

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4227097号  
(P4227097)

(45) 発行日 平成21年2月18日 (2009. 2. 18)

(24) 登録日 平成20年12月5日 (2008.12.5)

(51) Int. Cl. F I  
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 5 0

請求項の数 5 (全 16 頁)

<p>(21) 出願番号 特願2004-517520 (P2004-517520)                  (86) (22) 出願日 平成15年4月24日 (2003. 4. 24)                  (65) 公表番号 特表2005-531874 (P2005-531874A)                  (43) 公表日 平成17年10月20日 (2005.10.20)                  (86) 国際出願番号 PCT/US2003/012801                  (87) 国際公開番号 W02004/003918                  (87) 国際公開日 平成16年1月8日 (2004. 1. 8)                  審査請求日 平成18年3月8日 (2006. 3. 8)                  (31) 優先権主張番号 10/186, 363                  (32) 優先日 平成14年6月28日 (2002. 6. 28)                  (33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 504199127                  フリースケール セミコンダクター イン                  コーポレイテッド                  アメリカ合衆国 7 8 7 3 5 テキサス州                  オースティン ウィリアム キャノン                  ドライブ ウェスト 6 5 0 1                  (74) 代理人 100116322                  弁理士 桑垣 衛                  (72) 発明者 サブラマニアン、チトラ ケイ。                  アメリカ合衆国 7 8 7 5 0 テキサス州                  オースティン ピックフェア ドライブ                  1 0 6 0 1</p>
--	--

最終頁に続く

(54) 【発明の名称】 3入力感度増幅器及び動作方法

(57) 【特許請求の範囲】

【請求項 1】

メモリセルの状態を検出するための半導体メモリ相互接続構成(104)であって、  
 ハイ状態基準メモリセルに結合されてハイ状態基準出力を提供するための第1負荷(116)と、  
 ロー状態基準メモリセルに結合されてロー状態基準出力を提供するための第2負荷(120)と、  
 前記メモリセルに結合されてビット出力を提供するための第3負荷(118)と、  
 センス増幅器(126)と、  
 からなり、同センス増幅器(126)は、  
 前記ハイ状態基準出力( $V_H$ )及び前記ビット出力を受け取り、第1差動出力( $i_{c1}$ )  
 を提供するための第1差動手段(150、154、158、140)と、  
 前記ロー状態基準出力( $V_L$ )及び前記ビット出力を受け取り、第2差動出力( $i_{c2}$ )  
 を提供するための第2差動手段(162、166、142、170)と、  
 前記第1差動出力と前記第2差動出力とを比較するための第3差動手段であって、前記  
 第2差動出力にตอบสนองして前記第1差動手段において電流を変更するための第1トランジスタ  
 (160)と、前記第1差動出力にตอบสนองして前記第2差動手段において電流を変更する  
 ための第2トランジスタ(168)と、を含む前記第3差動手段(160, 168, 172)と、  
 からなる半導体メモリ相互接続構成(104)。

【請求項 2】

請求項 1 に記載の半導体メモリ相互接続構成であって、前記第 1 差動手段は更に、

前記ハイ状態基準出力を受け取るための制御電極、第 1 電源端子に結合された第 1 電流電極、及び第 2 電流電極、を有する第 3 トランジスタ ( 1 5 0 ) と、

前記第 3 トランジスタの前記第 2 電流電極に結合された第 1 電流電極を有する第 4 トランジスタであって、前記第 4 トランジスタの前記第 1 電流電極に結合された制御電極、及び第 2 電源端子に結合された第 2 電流電極、を有する前記第 4 トランジスタ ( 1 5 4 ) と

、  
前記第 2 電源端子に結合された第 1 電流電極、前記第 4 トランジスタの前記第 1 電流電極に結合された制御電極、及び前記第 1 差動出力を提供する第 2 電流電極、を有する第 5 トランジスタ ( 1 5 8 ) と、

前記第 1 電源端子に結合された第 1 電流電極、前記ビット出力を受け取るための制御電極、及び前記第 5 トランジスタの前記第 2 電流電極に結合された第 2 電流電極、を有する第 6 トランジスタ ( 1 4 0 ) と、によって特徴付けられ、

前記第 2 差動手段は、更に、

前記ビット出力を受け取るための制御電極、第 1 電源端子に結合された第 1 電流電極、及び第 2 電流電極、を有する第 7 トランジスタ ( 1 4 2 ) と、

前記第 7 トランジスタの前記第 2 電流電極に結合された第 1 電流電極を有する第 8 トランジスタ ( 1 7 0 ) であって、同第 8 トランジスタの前記第 1 電流電極に結合された制御電極、及び第 2 電源端子に結合された第 2 電流電極と、を有する前記第 8 トランジスタ ( 1 7 0 ) と、

前記第 2 電源端子に結合された第 1 電流電極、前記第 8 トランジスタの前記第 1 電流電極に結合された制御電極、及び前記第 2 差動出力を提供する第 2 電流電極、を有する第 9 トランジスタ ( 1 6 6 ) と、

前記第 1 電源端子に結合された第 1 電流電極、前記ロー状態基準出力を受け取るための制御電極、及び前記第 9 トランジスタの前記第 2 電流電極に結合された第 2 電流電極、を有する第 1 0 トランジスタ ( 1 6 2 ) と、によって特徴付けられる半導体メモリ相互接続構成。

#### 【請求項 3】

請求項 2 に記載の半導体メモリ相互接続構成であって、前記第 3 差動手段は、更に、

前記第 5 トランジスタの前記第 2 電流電極に結合された第 1 電流電極、第 1 等化信号を受け取るための制御電極、前記第 9 トランジスタの前記第 2 電流電極に結合された第 2 電流電極、を有する第 1 1 トランジスタ ( 1 7 2 ) が含まれる半導体メモリ相互接続構成。

#### 【請求項 4】

請求項 3 に記載の半導体メモリ相互接続構成であって、前記第 3 差動手段は更に、

前記第 5 トランジスタの前記第 2 電流電極に結合された第 1 電流電極、第 2 等化信号を受け取るための制御電極、前記第 9 トランジスタの前記第 2 電流電極に結合された第 2 電流電極、を有する第 1 2 トランジスタ ( 1 7 4 ) が含まれる半導体メモリ相互接続構成。

#### 【請求項 5】

請求項 2 に記載の半導体メモリ相互接続構成であって、前記第 3 トランジスタ、前記第 6 トランジスタ、前記第 7 トランジスタ、及び前記第 1 0 トランジスタは、更に、Pチャネルトランジスタ閾電圧によって特徴付けられるPチャネルトランジスタを含み、前記第 1 差動手段は、前記ハイ状態基準出力の電圧マイナス電源端子の電源電圧マイナス前記Pチャネルトランジスタのしきい値電圧、量の 2 乗に比例する、第 1 中間電流を発生させるためのものである半導体メモリ相互接続構成。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、一般的に、半導体回路に関し、特に、半導体メモリ回路に関する。

#### 【背景技術】

#### 【0002】

10

20

30

40

50

フラッシュメモリ等の不揮発性メモリデバイスは、電子システムにおいて極めて重要な構成要素である。フラッシュメモリは、現在用いられている主要な不揮発性メモリデバイスである。フラッシュメモリの問題点として、高電圧が必要であること、更に、プログラム時間や消去時間が遅いことが挙げられる。また、フラッシュメモリの書き込み耐久性は、メモリが機能停止するまでに、 $10^4$ 乃至 $10^6$ サイクルと短い。更に、適度なデータ保持を維持するために、ゲート酸化膜のスケーリングは、電子のトンネル障壁によって制限される。従って、フラッシュメモリは、それをスケーリングし得る寸法に制限がある。

【0003】

これらの問題点を克服するために、他のタイプの不揮発性メモリが、評価されつつある。1つのこのようなデバイスが、磁気抵抗効果RAM（以降「MRAM」と称する）である。しかしながら、実用に供するには、MRAMは、現在のメモリ技術に匹敵するメモリ密度を有さねばならず、今後の世代に対してスケーリングが可能であり、低電圧で動作し、消費電力が低く、読み出し/書き込み速度が競争力のあるものでなければならない。

【0004】

トンネル接合（TJ）の抵抗は、トンネル接合の上下にある磁性層の分極の状態に依存して変化する。抵抗は、磁界が同じ方向を向いている時の低抵抗値から、磁界が反対方向を向いている時の高抵抗値に変化する。この値の変化は、30パーセント程度である。従って、10Kオームという低抵抗値の場合、高抵抗値は、13Kオーム程度である。MRAM用の感度増幅器は、この値の差異を検出する必要がある。製造工程で抵抗の公称値が変動することから、ハイ状態の基準ビットとロー状態の基準ビットとの中間値として形成し得る隣接する中間基準値と、ビット中のTJの抵抗とを比較することによって、ビットの状態を検出することは有用である。また、対称性を維持して、ビット線の寄生抵抗及び寄生容量からの負荷と、列多重化とを平衡させることは重要である。レール（Reohr）らによる米国特許第6,269,040号、表題「メモリセルを感度増幅器に接続するための相互接続回路網」では、セルの抵抗値が、ハイ状態基準値とロー状態基準値との間の平均抵抗値と比較される。レール（Reohr）らによる回路において、負荷は、2つの異なるサブレイからの基準値を共有して中間基準値を形成することによって、完全ではないがほとんど平衡状態になっている。残念なことに、この解決策もまた、2つの感度増幅器を実装する必要がある。更に、MRAM等のように、定常状態の電流信号と比較して、ビット線容量を充電するのに極めて大きな電流が必要なメモリアレイの場合、検出時間の大半が、ビット線の充電と等化に費やされる。

【0005】

最も良く知られている感度増幅器は、感度増幅器の入力ノード上での動きに対して極めて応答性の良い出力端子を有する。この応答性によって、入力ノードがそれらの定常状態レベルまで充電される際、出力ノード上で揺れが発生する。電圧が揺れる際、容量性の不平衡が、過渡信号を支配し、差分信号及び動作速度に損失が生じ得る。

【0006】

MRAMは、高速で不揮発性である汎用メモリとして将来性がある。この将来性を実現するには、速度及びメモリ領域効率、特に、記憶データ値の検出速度の更なる改善が必要である。

【特許文献1】米国特許第6,269,040号

【発明を実施するための最良の形態】

【0007】

本発明は、一例として例示するものであり、添付の図によって制限されるものではない。図においては、同様な参照番号は同様な要素を示す。

同業者は、図中の要素が説明を簡単明瞭にするために示してあること、また、必ずしも縮尺通りに描かれていないことを認識されたい。例えば、本発明の実施形態の理解を助長するために、図中の要素の幾つかの寸法が、他の要素と比較して誇張される場合がある。

【0008】

図1は、平衡負荷構成を有する感度増幅器の恩恵を受け得るメモリアレイ構造10を示

10

20

30

40

50

す。メモリアレイ構造 10 の行復号器 12 は、復号メモリアドレスにตอบสนองして、第 1 サブアレイであるサブアレイ 14 に関連付けられた行を選択する。サブアレイ 14 は、第 1 部である左部及び第 2 部である右部を有する。行復号器 16 は、メモリアドレスを復号化し、同様に左部及び右部を有する第 2 サブアレイであるサブアレイ 18 に関連付けられた行を選択する。また、メモリアレイ構造は、サブアレイ 14 及び 18 の左部及び右部から、第 1 サブアレイ、第 2 サブアレイ、第 3 サブアレイ及び第 4 サブアレイを有すると見なしてよい。列復号器 20 は、サブアレイ 14 に接続され、メモリアドレスを復号化し、また、いずれかのメモリアドレスがサブアレイ 14 中の列アドレスと一致すれば、サブアレイ 14 内の所定の列からのビットデータにアクセスする。列復号器 22 は、サブアレイ 18 に接続され、メモリアドレスを復号化し、また、いずれかのメモリアドレスがサブアレイ 18 中の列アドレスと一致すれば、サブアレイ 18 内の所定の列からのビットデータにアクセスする。感度増幅器 24 は、列復号器 20 及び列復号器 22 の各々に接続される。感度増幅器 24 は、データ値が、サブアレイ 14 又はサブアレイ 18 のいずれかにおいて交差する選択された行及び列に対応するメモリビット位置において、1 又はゼロのいずれであるか決定する。感度増幅器 24 は、メモリアレイ構造 10 内においてアドレス指定されたビットにデータ出力値を提供するための出力端子を有する。本明細書で述べる復号及び検出機能は、出力の各データビットに対してモジュール形式で繰り返される。

#### 【0009】

図 2 は、メモリ構成の負荷を平衡させる追加回路と共に、図 1 の列復号器 20、列復号器 22 及び感度増幅器 24 内における相互接続構成について更に詳細に示す。メモリ相互接続構成は、T0 から、例えば、T31 までの符号「T」で示されるビット線の上部を有し、また、多重化スイッチモジュール 32 の形態のマルチプレクサによってインターフェイス接続される、B0 乃至 B31 等の、符号「B」で示されるビット線の下部を有する。列復号器 20 の N チャンネルトランジスタ 34 は、ビット線 (BL) 配線 BLT0 に接続されたソースと、制御信号 A に接続された制御電極であるゲートと、第 1 データ線である配線 37 に接続されたドレインとを有する。N チャンネルトランジスタ 35 は、ビット線配線 BLT1 に接続されたソースと、制御信号 B に接続されたゲートと、配線 37 に接続されたドレインとを有する。N チャンネルトランジスタ 36 は、ビット線配線 BLT15 に接続されたソースと、制御信号 C に接続されたゲートと、配線 37 に接続されたドレインとを有する。類似の接続部を有する所定数の仲介トランジスタが、点線で示すように、トランジスタ 35 と 36 との間に設けられている。仲介トランジスタの数は、個々の実装形態に依存し、列復号器 20 (TL) の左部にあるビット線トランジスタの合計数は、通常、8、16、32、64、又はいずれか他の 2 の累乗である。平衡相互接続方式を実現するために、列復号器 20 の左部にあるビット線トランジスタの合計数は、列復号器 20 (TR) の右上にあるビット線トランジスタの合計数と一致すべきであり、同様に、列復号器 22 (BL) の左部は、一般的に、トランジスタ 38、トランジスタ 39 及びトランジスタ 40、並びに他の仲介トランジスタ (図示せず) 等、複数のトランジスタを有する。N チャンネルトランジスタ 38 は、BLB0 と表示したビット線に接続されたソースと、G と表示した制御信号に接続されたゲートと、列復号器 22 の第 1 データ線である配線 41 に接続されたドレインとを有する。N チャンネルトランジスタ 39 は、BLB1 と表示したビット線に接続されたソースと、H と表示した制御信号に接続されたゲートと、配線 41 に接続されたドレインとを有する。N チャンネルトランジスタ 40 は、BLB15 と表示したビット線に接続されたソースと、I と表示した制御信号に接続されたゲートと、配線 41 に接続されたドレインとを有する。類似の接続部を有する (トランジスタ 35 と 36 との間の数に一致する) 所定数の仲介トランジスタが、点線で示すように、トランジスタ 39 と 40 との間に設けられている。N チャンネルトランジスタ 44 は、第 1 サブアレイ 14 の第 1 (左) 部にある第 1 基準ラインを介して、第 1 基準タイプである第 1 「ハイ状態基準」電圧を受け取るための基準電圧端子に接続されたソースを有する。トランジスタ 44 のゲートは、「上部基準イネーブル」を意味する「TRE」と表示した制御信号に接続さ

10

20

30

40

50

れる。トランジスタ44は、配線41に接続されたドレインを有する。Nチャネルトランジスタ46のドレインは、配線37に接続される。トランジスタ46のゲートは、「下部基準イネーブル」を意味する「BRE」と表示した制御信号に接続され、トランジスタ46のソースは、第2サブレイ18の第1(左)部にある第2基準ラインを介して、同様に第1基準タイプである第2「ハイ状態基準」電圧を受け取るための基準電圧端子に接続される。Nチャネルトランジスタ48は、BLT16と表示したビット線に接続されたソースと、Dと表示した制御信号に接続されたゲートと、第2データ線である配線51に接続されたドレインとを有する。Nチャネルトランジスタ49は、BLT17と表示したビット線に接続されたソースと、Eと表示した制御信号に接続されたゲートと、配線51に接続されたドレインとを有する。Nチャネルトランジスタ50は、BLB31と表示したビット線に接続されたソースと、Fと表示した制御信号に接続されたゲートと、配線51に接続されたドレインとを有する。類似の接続部を有する(トランジスタ35と36との間の数に一致する)所定数の仲介トランジスタが、点線で示すように、トランジスタ48と49との間に設けられている。Nチャネルトランジスタ64は、第1サブレイ14の第2(右)部にある第3基準ラインを介して、第2基準タイプである第1「ロー状態基準」電圧を受け取るための基準電圧端子に接続されたソースを有する。トランジスタ64のゲートは、「上部基準イネーブル」を意味する「TRE」と表示した制御信号に接続される。トランジスタ64は、列復号器22の第2データ線である配線63に接続されたドレインを有する。従って、配線37、41、51及び63は、それぞれ第1データ線、第2データ線、第3データ線及び第4データ線を形成する。Nチャネルトランジスタ66のドレインは、配線51に接続される。トランジスタ66のゲートは、「下部基準イネーブル」を意味する「BRE」と表示した制御信号に接続され、トランジスタ66のソースは、第2サブレイ18の第2(右)部にある第4基準ラインを介して、同様に第2基準タイプである第2「ロー状態基準」電圧を受け取るための基準電圧端子に接続される。Nチャネルトランジスタ60は、BLB16と表示したビット線に接続されたソースと、Jと表示した制御信号に接続されたゲートと、配線63に接続されたドレインとを有する。Nチャネルトランジスタ61は、BLB17と表示したビット線に接続されたソースと、Kと表示した制御信号に接続されたゲートと、配線63に接続されたドレインとを有する。Nチャネルトランジスタ62は、BLB31と表示したビット線に接続されたソースと、Lと表示した制御信号に接続されたゲートと、配線63に接続されたドレインとを有する。類似の接続部を有する(トランジスタ35と36との間の数に一致する)所定数の仲介トランジスタが、点線で示すように、トランジスタ61と62との間に設けられている。

#### 【0010】

多重化スイッチモジュール32は、一般的に、平衡状態のグループであるNチャネルトランジスタ72、74、76、78、Nチャネルトランジスタ82、84、Nチャネルトランジスタ86、88及びNチャネルトランジスタ92、94、96、98を有する。トランジスタ72は、復号論理回路30の左上(TL)復号化出力に接続されたゲートと、配線41に接続されたソースと、感度増幅器24のハイ状態基準入力である第1入力に接続される第1即ちハイ状態(H)基準出力70に接続されたドレインとを有する。トランジスタ74は、復号論理回路30の左下(BL)復号化出力に接続されたゲートと、配線37に接続されたソースと、ハイ状態基準出力70に接続されたドレインとを有する。トランジスタ76は、復号論理回路30の右上(TR)復号化出力に接続されたゲートと、配線41に接続されたソースと、ハイ状態基準出力70に接続されたドレインとを有する。トランジスタ78は、復号論理回路30の右下(BR)復号化出力に接続されたゲートと、配線37に接続されたソースと、ハイ状態基準出力70に接続されたドレインとを有する。トランジスタ82は、復号論理回路30の左上復号化出力に接続されたゲートと、配線37に接続されたソースと、ビット(B)データ出力80に接続されたドレインとを有する。ビットデータ出力80は、感度増幅器24のビットデータ入力である第2入力に接続される。トランジスタ84は、復号論理回路30の左下復号化出力に接続されたゲートと、配線41に接続されたソースと、ビットデータ出力80に接続されたドレインとを

10

20

30

40

50

有する。トランジスタ 86 は、復号論理回路 30 の右上復号化出力に接続されたゲートと、配線 51 に接続されたソースと、ビットデータ出力 80 に接続されたドレインとを有する。トランジスタ 88 は、復号論理回路 30 の右下復号化出力に接続されたゲートと、配線 63 に接続されたソースと、ビットデータ出力 80 に接続されたドレインとを有する。トランジスタ 92 は、復号論理回路 30 の左上復号化出力に接続されたゲートと、配線 63 に接続されたソースと、第 2 即ちロー状態 (L) 基準出力 90 に接続されたドレインとを有する。ロー状態基準出力 90 は、感度増幅器 24 のロー状態基準入力である第 3 入力に接続される。トランジスタ 94 は、復号論理回路 30 の左下復号化出力に接続されたゲートと、配線 51 に接続されたソースと、ロー状態基準出力 90 に接続されたドレインとを有する。トランジスタ 96 は、復号論理回路 30 の右上復号化出力に接続されたゲートと、配線 63 に接続されたソースと、ロー状態基準出力 90 に接続されたドレインとを有する。トランジスタ 98 は、復号論理回路 30 の右下出力に接続されたゲートと、配線 51 に接続されたソースと、ロー状態基準出力 90 に接続されたドレインとを有する。

10

## 【 0 0 1 1 】

動作時、各ビット線 B L T 0 乃至 B L T 1 5、B L T 1 6 乃至 B L T 3 1、B L B 0 乃至 B L B 1 5 及び B L B 1 6 乃至 B L B 3 1 は、所定のメモリサブアレイ列 ( 図示せず ) に接続される。各メモリサブアレイ列は、上部メモリサブアレイ又は下部メモリサブアレイに関連する。更に、上部メモリサブアレイは、左上部及び右上部の 2 つの部分を持つ。同様に、下部メモリサブアレイは、左下部及び右下部の 2 つの部分を持つ。各部分内におけるビット線は、左上部の配線 37 等の共通検出線路を共有するが、この線路には、個別のビット線が、トランジスタ 35 又はトランジスタ 36 等の通過ゲートスイッチを介して接続される。上部サブアレイの左上部及び右上部にあるビット線は、共通組のハイ状態基準及びロー状態基準ビット線を共有する。上部サブアレイからのハイ状態基準及びロー状態基準ビット線は、それらを配線 41 及び 63 である下部サブアレイの共通検出線路に経由させる又は接続するスイッチ ( それぞれトランジスタ 44 及び 64 ) を有する。同様に、下部アレイからのハイ状態基準及びロー状態基準ビット線は、それらを配線 37 及び 51 である上部半分の共通検出線路に接続するスイッチ ( それぞれトランジスタ 46 及び 66 ) を有する。上部又は下部メモリサブアレイのいずれか 1 つだけが、いずれか特定の読み出し動作のためにアクセスされる。上部メモリサブアレイと、その左サブアレイの特定の列にアクセスが行われるとする。トランジスタ 34、35 乃至 36 の 1 つに対する制御信号は、以前の復号動作の結果、制御信号 A、B 乃至 C の 1 つにตอบสนองして活性化される。例示のために、トランジスタ 35 だけが導通状態になるものとする。これに応じて、アクセスされた列からのデータは、検出線路である配線 37 に配置される。更に、左上サブアレイのハイ状態基準値及び右上サブアレイのロー状態基準値に対する制御信号 T R E が、活性化される。これに応じて、ハイ状態基準ビット線及びロー状態基準ビット線からのデータが、それぞれ配線 41 及び配線 63 の検出線路上に配置される。上部又は下部サブアレイのいずれか 1 つのサブアレイだけが活性状態であることから、同じ配線 41 を共有するトランジスタ 38、39 乃至 40 によって形成される他のスイッチのいずれも導通状態ではない。また、同じ配線 63 を共有するトランジスタ 60、61 乃至 62 によって形成されるスイッチのいずれも導通状態ではない。配線 37、41、51 及び 63 に接続されたスイッチの数が等しいとすると、相互接続構成上には、平衡容量が存在する。特に、配線 37 上のオフ状態のスイッチ ( トランジスタ 34、36 等 ) に起因する配線 37 に接続されたアクセスされるビット線上の容量性の負荷は、配線 41 に接続されたハイ状態基準ビット線上及び配線 63 に接続されたロー状態基準ビット線上の容量性の負荷と完全に平衡状態である。従って、いずれかのイネーブル状態の基準ビット線に対する容量性の負荷が、イネーブル状態の基準ビット線が接する共通検出線路に接続された非活性サブアレイの非導通状態のトランジスタスイッチによって提供される。

20

30

40

## 【 0 0 1 2 】

多重化スイッチモジュール 32 は、4 つの検出線路 ( 即ち、配線 37、41、51 及び 63 ) からのデータを受け取り、そのデータを感度増幅器 24 の入力に渡す一方で、各経

50

路にある直列トランジスタの数と、各経路にあるそれぞれのノードに接続されたトランジスタ接合部の数との平衡状態を厳密に維持する。従って、トランジスタ35によって渡されるデータは、トランジスタ82によって、復号論理回路30の信号TL(左上)に应答して、感度増幅器24のビット(B)入力に渡される。このデータは、配線80を介して、配線37から感度増幅器24のビット入力に配置される。同様に、ハイ状態基準信号は、配線70を介して、トランジスタ72によって感度増幅器24のハイ状態基準(ハイ)入力に渡される。トランジスタ92は、配線63からのロー状態基準入力データを感度増幅器24のロー状態基準(ロー)入力に至る配線90に配置する。スイッチ72、82及び92は、復号論理回路30の共通アドレス復号出力によって制御される。感度増幅器24の3入力及び配線70、80及び90は、等しい数即ち4つのスイッチ接合部がそれらに備えられており、従って、互いに対する容量性の平衡を維持する。トランジスタ72、74、76及び78からの負荷は、トランジスタ82、84、86及び88からの負荷によって平衡にされ、また、トランジスタ92、94、96及び98からの負荷によって平衡にされる。列復号20及び列復号22の4つの検出線路の構成内において完全に平衡が保たれ、また、多重化スイッチモジュール32の構成内において完全に平衡が保たれていることから、いずれかのビット線からのデータ及びその対応する対の基準値(ハイ及びロー)は、3つとも全て、完全な平衡状態で感度増幅器24に移送し得る。

10

#### 【0013】

図3は、図2のメモリ相互接続構成の他の実装例を示す。高、低及びビットの3感度増幅器入力の代わりに、感度増幅器24'は、2つの入力、即ち、ビット及び中間レベル基準値(Ref)のみを有する。説明のために、図3と図2との間の共通要素には、同じ参照番号を付与する。これに対して、図3のメモリ相互接続構成は、2つの個別の基準配線、即ち、ハイ状態基準配線70及びロー状態基準配線90の代わりに、共通中間レベル(M)基準配線99を利用する。メモリアクセス動作の他の全ての側面が、図3に関して、図2の場合に説明したものと同一である。この実装例では、感度増幅器24'のビット入力上の負荷は、その基準入力の負荷の半分であることに留意されたい。ビット(B)入力上の負荷は、スイッチ82、84、86及び88からの容量性の負荷から構成され、他方、基準入力M上の負荷は、スイッチ72、74、76及び78並びにスイッチ92、94、96及び98からの容量性の負荷から構成される。この容量比は、感度増幅器24'の設計時対応し得る。感度増幅器24'用の内部補償手法例は、そのビット入力と比較して、2倍の電流バイアスをその基準(Ref)入力に印加することである。

20

30

#### 【0014】

図4は、図2のメモリ相互接続構成の他の実装例を示す。説明のために、図4と図2との間の共通要素にも、同じ参照番号を付与し、同様な要素が若干修正された場合、同じ番号でプライム符号を用いて、構成又は動作の何らかの変更を示す。図4において、2つの感度増幅器、即ち、感度増幅器101及び感度増幅器102がある。各感度増幅器は、3入力、即ち、ビット入力、ロー状態基準入力(RefL)及びハイ状態基準入力(RefH)を有する。更に、トランジスタ74、76、94及び96は、図2の構成から除去されている。復号論理回路30'は、2つの復号信号、即ち、上部(T)アレイ復号信号及び下部(B)復号信号だけを提供する。トランジスタ72'、82'及び92'は、そのゲートが上部アレイ復号信号に接続されることを除いて、図2で接続されたように接続される。また、トランジスタ72'のドレインは、感度増幅器101、102の各ハイ状態基準入力に接続され、トランジスタ92'のドレインは、感度増幅器101及び102双方のロー状態基準入力に接続される。また、トランジスタ82'のドレインは、感度増幅器101のビット入力に接続され、トランジスタ86'のドレインは、感度増幅器102のビット入力に接続される。トランジスタ84'は、そのゲートが下部アレイ復号信号に接続され、そのソースが感度増幅器101のビット入力に接続されることを除いて、図2のように接続される。ここでは、トランジスタ86'のゲートは、上部アレイ復号信号に接続され、また、ここでは、そのドレインは、感度増幅器102のビット入力に接続されている。トランジスタ78'、88'及び98'は、それらのゲートが下部アレイ復号信

40

50

号に接続され、トランジスタ 8 8 ' のドレインが感度増幅器 1 0 2 のビット入力に接続され、また、トランジスタ 7 8 ' 及び 9 8 ' のドレインが、ここでは感度増幅器 1 0 1 及び 1 0 2 の両基準入力に接続されることを除いて、図 2 で接続されたように接続される。2 入力感度増幅器の実装例を望む場合、ハイ状態基準入力は、図 4 に示すロー状態基準入力に直接接続され、単一の基準入力感度増幅器が実現されることに更に留意されたい。

#### 【 0 0 1 5 】

動作時、左サブアレイ（上部又は下部）からアクセスされるデータは、感度増幅器 1 0 1 に接続され、右サブアレイ（上部又は下部）からアクセスされるデータは、同時に、感度増幅器 1 0 2 に接続される。上部アレイ又は下部アレイだけが、読み出しアクセス時、活性状態のワード線（図示せず）によって活性状態になる。左及び右サブアレイの双方からアクセスされるデータは、それぞれ感度増幅器 1 0 1 及び 1 0 2 によって同時に検出される。図 4 の変形例は、データ及び中間レベル基準値を感度増幅器 1 0 1 及び 1 0 2 に接続するための平衡相互接続構成を提供する。復号論理回路 3 0 ' の論理及び出力信号の数は、図 3 の相互接続構成と比較して、半分になる。復号論理回路 3 0 ' は、簡素化されるが、その理由は、復号論理回路 3 0 ' が上部及び下部アレイ読み出しアクセス間だけを識別するだけでよく、追加的に左対右サブアレイ読み出しアクセス間を識別する必要がないためである。

#### 【 0 0 1 6 】

図 5 は、上述した実装例より多くの感度増幅器を用いるが、多重化スイッチモジュール 3 2 又は 3 2 ' の使用を回避する平衡データ転送のための相互接続構成 1 0 4 を示す。図 2、3 及び 4 において前述した要素と同じ図 5 のあらゆる要素は、同様に付番されている。前出の図の配線 3 7 は、左上サブアレイからのビットデータ又は下部サブアレイからの基準データのいずれかを伝え、また、分配配線 1 3 0 に接続された出力を有する負荷デバイス 1 1 4 に接続される。感度増幅器 1 2 2 のデータ入力は、分配配線 1 3 0 に接続される。感度増幅器 1 2 4 のハイ状態基準（ハイ R e f）入力及び感度増幅器 1 2 8 のハイ状態基準入力は、各々分配配線 1 3 0 に接続され、ハイ状態基準メモリセルからの入力を受け取る。前出の図の配線 4 1 は、左下サブアレイからのビットデータ又は上部サブアレイからの基準データのいずれかを伝え、また、分配配線 1 3 2 に接続された出力を有する負荷デバイス 1 1 6 に接続される。感度増幅器 1 2 4 のデータ入力は、分配配線 1 3 2 に接続される。各感度増幅器 1 2 6 及び 1 2 2 は、分配配線 1 3 2 に接続されたハイ状態基準入力を有する。前出の図の配線 5 1 は、右上サブアレイからのビットデータ又は下部サブアレイからの基準データのいずれかを伝え、また、分配配線 1 3 4 に接続された出力を有する負荷デバイス 1 1 8 に接続される。感度増幅器 1 2 6 のデータ入力は、分配配線 1 3 4 に接続される。感度増幅器 1 2 8 のロー状態基準（ロー R e f）入力は、分配配線 1 3 4 に接続され、感度増幅器 1 2 4 のロー状態基準（ロー R e f）入力は、分配配線 1 3 4 に接続され、ロー状態基準メモリセルからの入力を受け取る。前出の図の配線 6 3 は、右下サブアレイからのビットデータ又は上部サブアレイからのロー状態基準データのいずれかを伝え、また、分配配線 1 3 6 に接続された出力を有する負荷デバイスに接続される。各感度増幅器 1 2 2 及び 1 2 6 のロー状態基準（低 R e f）入力は、分配配線 1 3 6 に接続される。

#### 【 0 0 1 7 】

動作時、上部サブアレイ又は下部サブアレイのいずれかは、読み出し動作時アクセスされる。従って、サブアレイの左部及び右部の双方からのデータは、それぞれ感度増幅器 1 2 2、1 2 6 又は感度増幅器 1 2 4、1 2 8 に伝えられる。配線 3 7 は、左上サブアレイからのビットデータ又は下部サブアレイからの基準ハイ状態データを含むことから、その分配配線 1 3 0 への接続は、このデータを 3 つの位置に移送する。このデータは、感度増幅器 1 2 2 のビットデータ入力と、感度増幅器 1 2 4 のハイ状態基準入力と、感度増幅器 1 2 8 のハイ状態基準入力とに伝えられる。同様に、配線 4 1、6 3 及び 5 1 上のデータは、それぞれ分配配線 1 3 2、1 3 6、及び 1 3 4 を介して、感度増幅器 1 2 2、1 2 4、1 2 6 及び 1 2 8 への適切な入力に伝えられる。電流ベースデータの場合、それぞれ分

10

20

30

40

50

配配線 130、132、134 及び 136 に接続されている負荷デバイス 114、116、118 及び 120 は、電流信号を電圧信号に変換して、適切な感度増幅器に移送する。例えば、負荷デバイスは、抵抗器、ダイオード接続されたトランジスタ、又は定電流源としてバイアスされたトランジスタであってよい。

#### 【0018】

図5の負荷デバイスの1つの実装例である負荷デバイス118を図6示す。図6と前出の図との間で共通な同じ要素には、同じ参照番号を付与する。Pチャネルトランジスタ138は、 $V_{DD}$ と表示した電源端子に接続されたソースと、基準電圧 $V_{REF}$ を受け取るための端子に接続されたゲートと、配線51及び分配配線134に接続されたドレインとを有する。列復号器20は、配線51に接続される。Pチャネルトランジスタ140は、分配配線134に接続されたゲートと、 $V_{DD}$ 電源端子に接続されたソースと、感度増幅器126内の他の回路に接続されたドレインとを有する。感度増幅器126は、Pチャネルトランジスタ142のゲートを分配配線134に接続することによって設けられた第2入力を有する。トランジスタ142のソースは、 $V_{DD}$ 電源端子に接続され、トランジスタ142のドレインは、感度増幅器126内の他の回路に接続される。Pチャネルトランジスタ144のゲートは、分配配線134に接続される。トランジスタ144のソースは、 $V_{DD}$ 電源端子に接続され、トランジスタ144のドレインは、感度増幅器128内の他の回路に接続される。Pチャネルトランジスタ146のゲートは、分配配線134に接続される。トランジスタ146のソースは、 $V_{DD}$ 電源端子に接続され、そのドレインは、感度増幅器124内の他の回路に接続される。

#### 【0019】

動作時、Pチャネルトランジスタ138は、基準電圧によってバイアスされ導通する。トランジスタ138は、定電流源として機能し、配線51を介してアレイ中の選択されたビット及び列復号器20に電流を供給する。他の形態では、トランジスタ138のゲートは、そのゲートとドレインが配線134において共に接続されるようにダイオード接続し得ることを認識されたい。このような形態において、トランジスタ140、142、144及び146は、トランジスタ138と共に電流ミラーとして機能する。ビット又は基準値のメモリ状態によって生成される電圧信号は、配線134を介して、感度増幅器126、128及び124の各Pチャネルトランジスタに伝えられ検出動作を行う。感度増幅器構成用の追加入力がほしい場合、トランジスタ142等の追加のトランジスタを配線134の入力に接続することによって、1つ又は複数の入力を設け得る。例示した形態では、感度増幅器126は、トランジスタ140及び142によって形成された2つの入力を有する。2つの入力が感度増幅器に設けられると、ビット入力の状態と中間レベル基準入力の状態との比較が行われ、ビットが中間レベルより高いか又は低いかが決定される。この結果によって、ビットは、論理ハイの値又は論理ローの値と見なされるか否かが決定される。3入力が感度増幅器に設けられている場合、感度増幅器は、ハイ及びロー状態基準入力からの信号の平均をとり、そして、平均値をデータビット値と比較して、データビットがハイ又はロー状態であるか否かが決定する。4つの入力が感度増幅器に設けられている場合、2つの入力は、同じビットデータ値であり、他の2つの入力は、ハイ状態基準値及びロー状態基準値である。感度増幅器は、ハイ状態基準と第1のビットデータ値との間の差を、ロー状態基準と第2のビットデータ値との間の差と比較して、データビットがハイ又はロー状態であるか否かが決定する。また、図3に関して前述したように、感度増幅器内において相互接続容量平衡補償が必要な場合、トランジスタ142等の追加トランジスタを同様に設け得る。

#### 【0020】

図5に戻ると、接続部が対称性を有するため、全てのデータ及び基準ライン並びに感度増幅器への入力は、負荷容量に対して平衡状態である。それぞれ各サブアレイ用である4つの感度増幅器を用いると、対称性を維持しつつ、多重化スイッチモジュールの必要性が無くなる。多重化スイッチモジュールが無くなると、トランジスタを追加すること無く、また、経路中でそれらにより電圧が降下すること無く、列復号スイッチを介して、ビット

線が感度増幅器に直接接続される。

【 0 0 2 1 】

図7は、負荷118等、図5のいずれかの負荷用の実装例として用い得る回路図の他の実施形態を示す概略図である。これらの負荷は、ハイ状態基準出力、ロー状態基準出力及びビット出力を提供するために用いられる。説明の都合上、図6に示す負荷実施形態の要素と同じ要素は、同様に付番して構造上の接続部は繰り返さない。負荷118の図7の実装例は、Pチャネルトランジスタ147が電圧Vに接続されたソースを有するという点で負荷118の図6の実装例と異なる。電圧Vは、電源電圧 $V_{DD}$ 又は $V_{DD}$ より小さいいずれかの電圧であってよい。トランジスタ147のゲートは、そのドレインに接続され、また、ノード134に接続される。図7の負荷118における他の構造上の全ての接続部は、図6の負荷118の場合と同じである。

10

【 0 0 2 2 】

動作時、電圧Vは、トランジスタ147のソースに印加され、電圧が配線51の両端間に生じる。トランジスタ147及び測定されるビットの特性が、配線51の両端間の電圧を規定する。(図7には示さないが、列復号器20を介して接続される)入力に接続する抵抗が高いと、配線51両端間の電圧が高くなり、抵抗が低いと電圧が低くなる。電圧Vは、配線51上の電圧を制限して所定の範囲内になるように調整される。

【 0 0 2 3 】

図8は、感度増幅器126を示す概略図である。感度増幅器126のPチャネルトランジスタ140は、第1電源端子である $V_{DD}$ 電源電圧端子に接続された第1電流電極であるソースと、検出されるビット電圧 $V_B$ を受け取るための第1入力端子に接続された制御電極であるゲートと、電流 $i_B$ を流す第2電流電極であるドレインとを有する。トランジスタ140のドレインは、ノード156において、第1出力端子OUTを提供する出力端子に接続される。Pチャネルトランジスタ142は、 $V_{DD}$ 電源電圧端子に接続されたソースと、検出されるビット電圧 $V_B$ を受け取るための入力端子に接続されたゲートと、同様に電流 $i_B$ を流すドレインとを有する。トランジスタ142のドレインは、ノード169に接続される。Pチャネルトランジスタ150は、 $V_{DD}$ 電源電圧端子に接続されたソースと、ハイ状態基準電圧 $V_H$ を受け取るための第2入力端子に接続されたゲートと、Nチャネルトランジスタ154のドレインに接続されたドレインとを有する。トランジスタ150は、電流 $i_H$ を流す。トランジスタ154のゲートは、そのドレインに接続される。トランジスタ154のソースは、第2電源端子である $V_{SS}$ 電源電圧端子に接続される。Nチャネルトランジスタ158は、ノード156に接続されたドレインと、トランジスタ154のドレインに接続されたゲートと、 $V_{SS}$ 電源電圧端子に接続されたソースとを有する。Nチャネルトランジスタ160は、ノード156に接続されたドレインと、第2出力端子OUT\_Bを提供するノード164に接続されたゲートと、 $V_{SS}$ 電源電圧端子に接続されたソースとを有する。Nチャネルトランジスタ170は、そのゲート及びノード169に接続されたドレインと、 $V_{SS}$ 電源電圧端子に接続されたソースとを有する。Nチャネルトランジスタ166は、ノード164において第2出力端子に接続されたドレインと、ノード169に接続されたゲートと、 $V_{SS}$ 電源電圧端子に接続されたソースとを有する。Nチャネルトランジスタ168は、ノード164において第2出力端子に接続されたドレインと、ノード156において第1出力端子に接続されたゲートと、 $V_{SS}$ 電源電圧端子に接続されたソースとを有する。Pチャネルトランジスタ162は、 $V_{DD}$ 電源電圧端子に接続されたソースと、ロー状態基準電圧 $V_L$ を受け取るための入力を提供するゲートと、ノード164において第2出力端子に接続されたドレインとを有する。トランジスタ162は、電流 $i_L$ を流す。Nチャネル等化トランジスタ172は、ノード156において第1出力端子に接続されたソースと、ノード164において第2出力端子に接続されたドレインと、等化制御電圧 $V_{EQ}$ に接続されたゲートとを有する。Pチャネル等化トランジスタ174は、ノード156において第1出力端子に接続されたソースと、ノード164において第2出力端子に接続されたドレインと、等化制御電圧 $V_{EQ\_B}$ に接続されたゲートとを有する。

20

30

40

50

## 【 0 0 2 4 】

動作時、初期的に、まず、信号 $V_{EQ}$ 及び $V_{EQ\_B}$ を活性状態にして、 $OUT$ と $OUT\_B$ との間電圧ポテンシャルを等しくすると仮定する。等化機能の目的は、安定性を維持する一方で、信号を生成するためである。検出動作時、トランジスタ150のゲートに印加される $V_H$ 信号の電圧は、 $V_t$ をトランジスタ150等のPチャネルトランジスタのトランジスタ閾電圧とすると、 $[(V_H - V_{DD}) - V_t]^2$ に比例するトランジスタ150用の中間又は飽和電流レベル $i_H$ を生成する。同様に、Pチャネルトランジスタ162のゲートに印加される $V_L$ 信号の電圧は、 $V_t$ をトランジスタ162等のPチャネルトランジスタのトランジスタ閾電圧とすると、 $[(V_L - V_{DD}) - V_t]^2$ に比例するPチャネルトランジスタ162用の中間又は飽和電流レベル $i_L$ を生成する。同様に、トランジスタ140及び142のゲートに印加される $V_B$ 信号の電圧は、 $V_t$ をトランジスタ140及び142等用のPチャネルトランジスタ閾電圧とすると、 $[(V_B - V_{DD}) - V_t]^2$ に比例するトランジスタ140及び142双方用の他の中間又は飽和電流レベル $i_B$ を生成する。従って、トランジスタ150、154、140及び158は、第1差分回路又は減算回路として機能する。トランジスタ154及び158は、その差分を実現するための第1電流ミラーとして機能する。トランジスタ162、166、142及び170は、第2差分回路又は減算回路として機能する。例示した形態において、第2差分回路は、第2電流ミラーとして機能するトランジスタ170及び166で実現される。電流 $i_H$ は、トランジスタ154を介してミラーリングされ、 $i_H$ に等しいトランジスタ158に対する飽和電流レベルを生成する。同様に、電流 $i_B$ は、トランジスタ170を介してミラーリングされ、 $i_B$ に等しいトランジスタ166に対する飽和電流レベルを生成する。トランジスタ160は、飽和電流レベル $i_{C1}$ を有し、トランジスタ168は、飽和電流レベル $i_{C2}$ を有し、また、トランジスタ160及び168は、特性が一致するように構成されていると仮定する。この場合、等化スイッチ172及び174を介した電流 $i_{EQ}$ は、左側から計算されると、 $i_B - i_H - i_{C1}$ に等しく、また、右側から計算されると、 $i_B - i_L + i_{C2}$ に等しい。等化スイッチにより $OUT$ 及び $OUT\_B$ における電圧が等しい場合、 $i_{C1}$ は、トランジスタ160及び168が一致することから、 $i_{C2}$ に等しい。この場合、 $i_{C1}$ は、 $i_{C2}$ に等しく、 $i_{C2}$ はまた $(i_L - i_H) / 2$ に等しい。従って、 $i_{EQ}$ は、 $i_B - (i_L + i_H) / 2$ に等しい。

## 【 0 0 2 5 】

考慮すべき2つの場合がある。即ち、メモリセルのビットBが低抵抗状態にあるため、 $i_B$ がほぼ $i_L$ に等しい場合と、ビットBが高抵抗状態にあるため、 $i_B$ がほぼ $i_H$ に等しい場合である。ビットBが低抵抗状態にある場合、 $i_{EQ}$ は、 $(i_L - i_H) / 2$ に等しい。 $V_{EQ}$ 及び $V_{EQ\_B}$ が非活性化された場合、 $i_{EQ}$ はゼロに等しく、電流 $(i_L - i_H) / 2$ によって、ノード156における寄生容量は充電し、また従って、 $OUT$ における電圧が増加する。同時に、電流 $(i_L - i_H) / 2$ によって、ノード164における寄生容量は充電し、また従って、 $OUT\_B$ における電圧が減少する。トランジスタ160及び168は、この電圧差に対して正帰還を提供する。同様に、ビットBが高抵抗状態にある場合、 $i_{EQ}$ は、 $-(i_L - i_H) / 2$ に等しい。 $V_{EQ}$ 及び $V_{EQ\_B}$ が非活性化された場合、 $i_{EQ}$ はゼロに等しく、電流 $-(i_L - i_H) / 2$ によって、ノード156における寄生容量は放電し、また従って、 $OUT$ における電圧は減少する。同時に、電流 $(i_L - i_H) / 2$ によって、ノード164における寄生容量は充電し、また従って、 $OUT\_B$ における電圧は増加する。トランジスタ160及び168は、この電圧差に対して正帰還を再度提供する。

## 【 0 0 2 6 】

双方の場合、ノード $OUT$ 及び $OUT\_B$ における寄生容量は、双方共反対方向に動いており、各々、初期的には、大きさが $(i_L - i_H) / 2$ に等しい電流で駆動される。このことには、2つの出力の内1つの出力のみが、大きさが $(i_L - i_H) / 2$ に等しい電流で駆動される他のほとんどの感度増幅器と比較して大きな速度上の利点がある。

## 【 0 0 2 7 】

10

20

30

40

50

以上、3入力をもつ感度増幅器が提供され、また、該感度増幅器は、ビット入力電圧、ハイ状態基準電圧、及びロー状態基準電圧をそれぞれの電流値に変換して、(1)ビット電流とハイ状態基準電流との間の差、及び(2)ロー状態基準電流とビット電流との間の差、をとることによって、ビットセルの状態を決定するということを認識されたであろう。電流ステアリング回路と共に用いられる電流ミラーは、ビット電流とハイ状態基準電流との差、また、ロー状態基準電流とビット電流との差を形成する。更に、感度増幅器は、トランジスタ160及び168を用いることによって、差分出力を駆動して、2つの電流差量間の差を反映するように機能する。

#### 【0028】

本発明を実現する装置は、大部分、当業者に公知の電子部品及び回路で構成されていることから、回路の詳細については、本発明の根底をなす概念を理解し認識する目的で、また、本発明の教示内容が不明瞭になったり又は逸れたりしないように、上述したように必要と考えられる範囲を越えて説明しない。

#### 【0029】

上記明細書において、本発明について特定の実施形態を参照して説明した。しかしながら、当業者は、以下の請求項に記載される本発明の範囲を逸脱することなく、様々な変形及び変更をなし得るということを認識されたい。例えば、本明細書で教示したメモリ相互接続構成で用いられる感度増幅器の回路実装例は、データ検出を実行するために変更して様々な方法で機能し得る。特定の導電性タイプのMOSFETを示したが、導電性タイプの変更又はトランジスタタイプの変更を行い、相互接続構成を実現し得ることを良く理解されたい。多重化スイッチモジュール32の回路構成は、様々な方法で変更可能であり、他方、この場合でも、容量性の負荷平衡を維持することが可能である。従って、明細書及び図は、限定的でなく例示的であると見なすものとし、また、このような全ての修正は、本発明の範囲内に含まれるものとする。

#### 【0030】

恩恵、他の利点、及び問題に対する解決策について、特定の実施形態に関して上述してきた。しかしながら、恩恵、利点、問題に対する解決策、及び何らかの恩恵、利点、又は解決策を生じるもしくはより顕著にするあらゆる要素(1つ又は複数)は、全ての請求項の決定的な、必要な、もしくは不可欠な特徴又は要素と解釈してはならない。本明細書において用いられる用語「含む」、「含んでいる」又は他のあらゆるその派生語は、非排他的な包括を網羅し、従って、要素の一覧を含むプロセス、方法、品目、又は装置は、それらの要素だけを含むのではなく、明確に一覧化されていない他の要素又はこのようなプロセス、方法、品目、もしくは装置に固有な他の要素も含み得ることを意図する。本明細書に用いた不定冠詞は、1つ又は1つ以上と定義する。本明細書中に用いた用語「複数の」は、2つ又は2つ以上と定義する。本明細書に用いた用語「他の」は、少なくとも第2の又はそれ以上と定義する。本明細書に用いた用語「含む」及び/又は「有する」は、含んでいる(即ち、オープンランゲージ)と定義する。本明細書中に用いた用語「結合される」は、必ずしも直接ではなく、また、必ずしも機械的ではないが、接続されるとして定義する。

#### 【図面の簡単な説明】

#### 【0031】

【図1】メモリアレイ構造を示すブロック図。

【図2】平衡負荷メモリ相互接続方式を示す部分概略図。

【図3】他の形態の平衡負荷メモリ相互接続方式を示す部分概略図。

【図4】更に他の形態の平衡負荷メモリ相互接続方式を示す部分概略図。

【図5】多重化スイッチ及び関連する復号論理回路の代わりに負荷デバイスを有する本発明に基づく平衡相互接続方式を用いる他のメモリ相互接続構成を示す部分概略図。

【図6】図5の負荷の1つに対する実装例を示す概略図。

【図7】図5の負荷の1つに対する共通ソース実装の他の実装例を示す概略図。

【図8】図5の相互接続方式及び図7の負荷図によって生成される電圧で用いる感度増幅

10

20

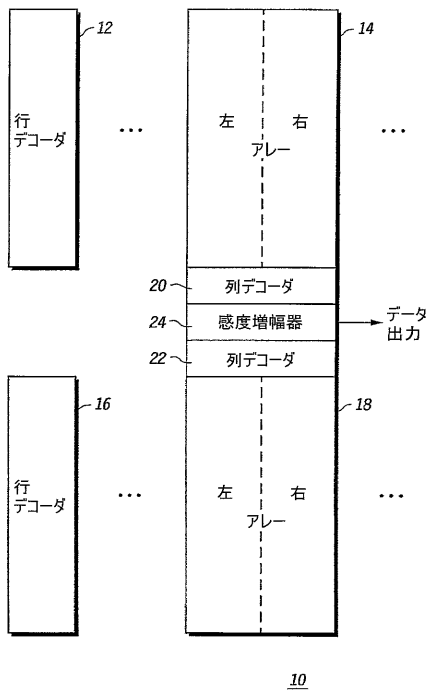
30

40

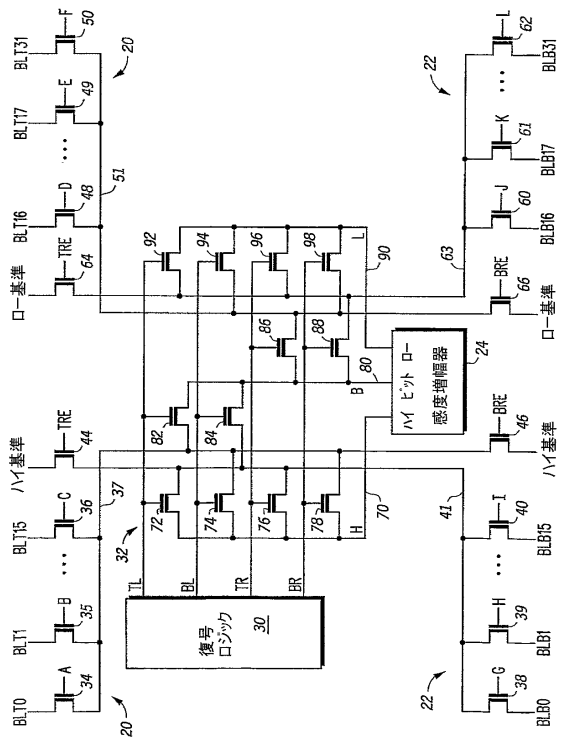
50

器を示す概略図。

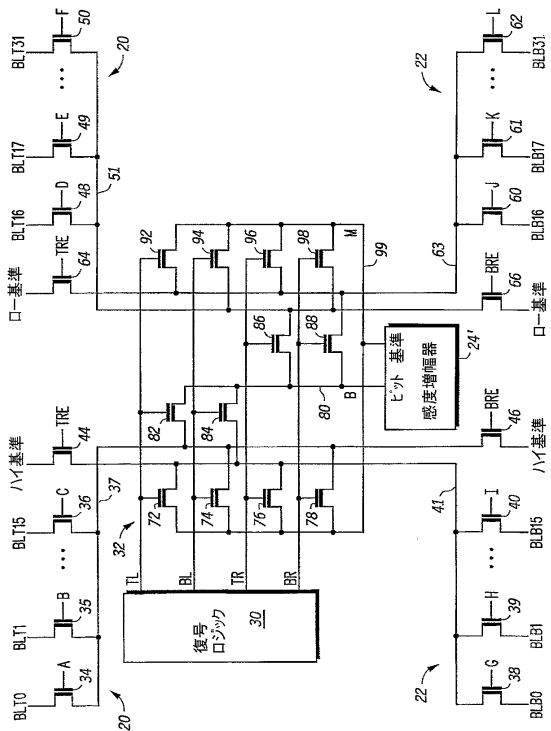
【図1】



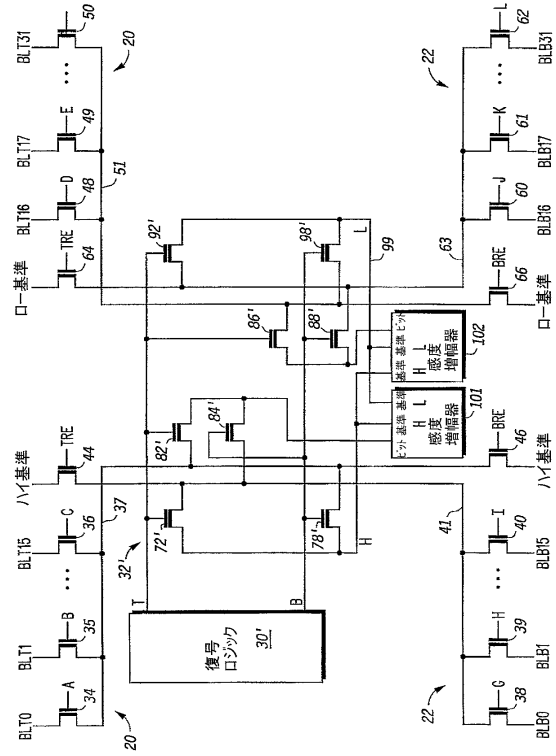
【図2】



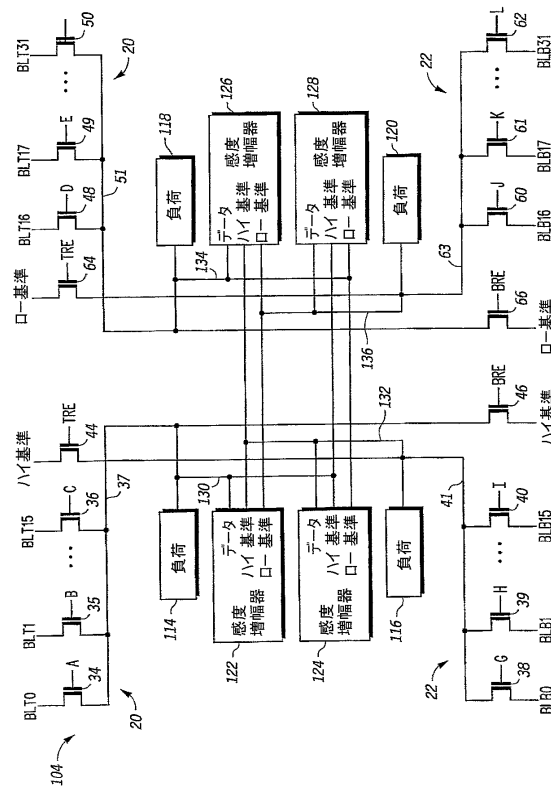
【図3】



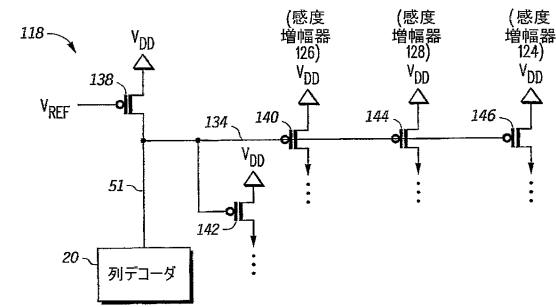
【図4】



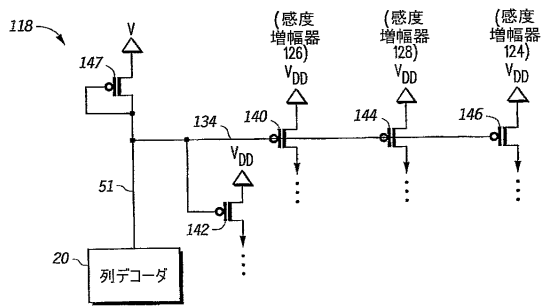
【図5】



【図6】



【図7】





---

フロントページの続き

- (72)発明者 ガーニ、ブラッドリー ジェイ .  
アメリカ合衆国 7 8 7 3 5 テキサス州 オースティン イーグル フェザー ドライブ 4 5  
3 2
- (72)発明者 ナハス、ジョセフ ジェイ .  
アメリカ合衆国 7 8 7 3 1 テキサス州 オースティン ジェントル プリーズ テラス 5 8  
2 4
- (72)発明者 アンドレ、トーマス ダブリュ .  
アメリカ合衆国 7 8 7 3 2 テキサス州 オースティン ラティマー ドライブ 3 5 0 8

審査官 滝谷 亮一

(56)参考文献 特開平 1 0 - 1 1 2 1 9 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G11C 11/15