(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0111791
(43) 공개일자 2007년11월22일

(51) Int. Cl.
G09G 3/20 (2006.01) *G09G 3/36* (2006.01)
G09G 3/30 (2006.01) *G09G 3/28* (2006.01)
(21) 출원번호 10-2006-0045058
(22) 출원일자 2006년05월19일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
우두형
경기도 안양시 동안구 호계동 대림아파트 119동 1504호
김일곤
서울특별시 동작구 상도동 431번지 래미안 상도3차아파트 327동803호
박기찬
경기도 안양시 동안구 평안동 초원럭키아파트 506동 1501호
(74) 대리인
팬코리아특허법인

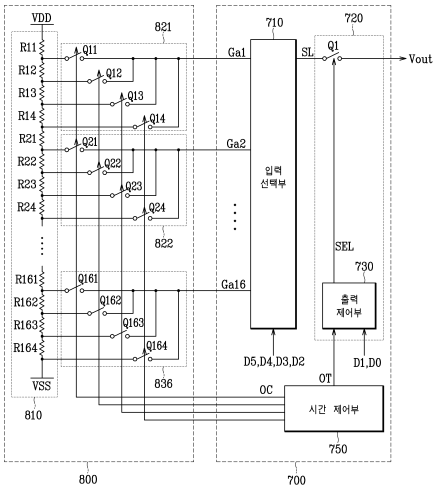
전체 청구항 수 : 총 26 항

(54) 표시 장치, 그 구동 장치 및 방법

(57) 요 약

본 발명은 표시 장치의 구동 장치에 관한 것으로서, 이 장치는 서로 다른 크기를 가지는 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 계조 전압 생성부, 그리고 영상 신호의 제1 부분에 기초하여 상기 복수의 계조 전압 집합 중 하나의 계조 전압 집합을 선택하는 제1 선택부, 그리고 상기 영상 신호의 제2 부분에 기초하여 상기 선택된 계조 전압 집합에 속하는 복수의 계조 전압 중 하나 이상의 계조 전압을 선택하는 제2 선택부를 포함하는 신호 변환부를 포함한다. 따라서 서로 다른 시간에 출력되는 계조 전압을 생성하고 이들 중 하나를 선택함으로써 디지털-아날로그 변환부의 크기를 현저하게 줄일 수 있다.

대표도 - 도4



특허청구의 범위

청구항 1

서로 다른 크기를 가지는 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 계조 전압 생성부, 그리고

영상 신호의 제1 부분에 기초하여 상기 복수의 계조 전압 집합 중 하나의 계조 전압 집합을 선택하는 제1 선택부, 그리고 상기 영상 신호의 제2 부분에 기초하여 상기 선택된 계조 전압 집합에 속하는 복수의 계조 전압 중 하나 이상의 계조 전압을 선택하는 제2 선택부를 포함하는 신호 변환부

를 포함하는 표시 장치의 구동 장치.

청구항 2

제1항에서,

상기 계조 전압 생성부는 상기 각 계조 전압 집합에 속하는 복수의 계조 전압을 서로 다른 시간에 출력하는 표시 장치의 구동 장치.

청구항 3

제2항에서,

상기 계조 전압 생성부는 상기 계조 전압을 선택적으로 전달하는 복수의 스위칭 소자를 포함하는 표시 장치의 구동 장치.

청구항 4

제2항에서,

상기 제2 선택부는 상기 선택된 하나 이상의 계조 전압을 연속하여 출력하는 표시 장치의 구동 장치.

청구항 5

제4항에서,

상기 연속하여 출력된 하나 이상의 계조 전압 중 마지막에 출력된 계조 전압이 상기 영상 신호에 대응하는 표시 장치의 구동 장치.

청구항 6

제4항에서,

상기 계조 전압의 출력 시간 정보를 상기 제2 선택부에 제공하는 시간 제어부를 더 포함하며,

상기 제2 선택부는 상기 영상 신호의 제2 부분과 더불어 상기 출력 시간 정보에 기초하여 상기 하나 이상의 계조 전압을 선택하는

표시 장치의 구동 장치.

청구항 7

제6항에서,

상기 제2 선택부는,

상기 선택된 계조 전압 집합에 속하는 복수의 계조 전압을 선택적으로 전달하는 스위칭 소자, 그리고

상기 출력 시간 정보 및 상기 영상 신호의 제2 부분에 기초하여 상기 스위칭 소자를 제어하는 선택 신호를 생성하는 출력 제어부

를 포함하는

표시 장치의 구동 장치.

청구항 8

제7항에서,

상기 출력 제어부는 상기 출력 시간 정보에 기초하여 상기 영상 신호의 제2 부분을 펄스폭 변조하여 상기 선택 신호를 생성하는 펄스폭 변조기를 포함하는 표시 장치의 구동 장치.

청구항 9

제7항에서,

상기 출력 제어부는,

상기 영상 신호의 제2 부분을 상기 출력 시간 정보와 비교하는 비교기, 그리고

상기 비교 결과에 기초하여 상기 선택 신호를 생성하는 선택 신호 생성부

를 포함하며,

상기 선택 신호는 제1 전압 레벨과 제2 전압 레벨을 가지고,

상기 선택 신호는 기준 시각에서부터 상기 출력 시간 정보가 상기 영상 신호의 제2 부분과 동일한 구간의 소정 시점까지는 상기 제1 전압 레벨이고 나머지 구간에서는 상기 제2 전압 레벨이며,

상기 스위칭 소자는 상기 선택 신호가 상기 제1 전압 레벨일 때 턴 온되는

표시 장치의 구동 장치.

청구항 10

제2항에서,

상기 제1 선택부는 직렬 연결되어 있는 복수의 스위칭 소자를 각각 포함하는 복수의 스위칭 소자 열(series)을 포함하며, 상기 각 스위칭 소자 열은 상기 영상 신호의 제1 부분에 따라 상기 복수의 계조 전압 집합 중 하나를 전달하는 표시 장치의 구동 장치.

청구항 11

제2항에서,

상기 영상 신호의 제1 부분은 제3 부분과 제4 부분을 포함하며,

상기 제1 선택부는 상기 영상 신호의 제3 부분에 기초하여 상기 복수의 계조 전압 집합 중 둘 이상을 선택하는 제1 스위칭 소자군, 그리고 상기 영상 신호의 제4 부분에 기초하여 상기 선택된 둘 이상의 계조 전압 집합 중에서 하나를 선택하는 제2 스위칭 소자군을 포함하는

표시 장치의 구동 장치.

청구항 12

제11항에서,

상기 제1 선택부는,

상기 영상 신호의 제3 부분을 변환하여 상기 제1 스위칭 소자군을 제어하는 제1 제어 신호를 생성하는 제1 변환부, 그리고

상기 영상 신호의 제4 부분을 변환하여 상기 제2 스위칭 소자군을 제어하는 제2 제어 신호를 생성하는 제2 변환부

를 더 포함하는

표시 장치의 구동 장치.

청구항 13

제2항에서,

상기 영상 신호의 제1 부분은 상위 비트 데이터이고 제2 부분은 하위 비트 데이터인 표시 장치의 구동 장치.

청구항 14

서로 다른 크기를 가지는 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 전압 생성부,

상기 복수의 계조 전압 집합 중 하나에 속하는 복수의 계조 전압을 하나의 출력단을 통하여 주기적으로 차례로 출력하는 복수의 계조 전압 출력부,

영상 신호의 상위 비트 데이터에 기초하여 상기 복수의 계조 전압 출력부의 출력 중 하나를 선택하여 출력하는 제1 선택부,

상기 제1 선택부의 출력을 상기 영상 신호의 하위 비트 데이터에 기초한 시간 동안 출력하는 제2 선택부, 그리고

상기 제2 선택부의 출력에 따라 영상을 표시하는 표시판

을 포함하는 표시 장치.

청구항 15

제14항에서,

상기 계조 전압 출력부 각각은 복수의 스위칭 소자를 포함하며,

상기 각 스위칭 소자는 상기 공급 받은 계조 전압 집합에 속하는 복수의 계조 전압 중 하나와 상기 계조 전압 출력부의 출력단 사이에 연결되어 있으며 상기 영상 신호의 하위 비트 데이터에 의하여 제어되는

표시 장치.

청구항 16

제14항에서,

상기 계조 전압 출력부의 계조 전압 출력 시간 정보를 상기 제2 선택부에 제공하는 시간 제어부를 더 포함하는 표시 장치.

청구항 17

제16항에서,

상기 제2 선택부는,

상기 출력 시간 정보에 기초하여 상기 영상 신호의 하위 비트 데이터를 펄스폭 변조하여 선택 신호를 생성하는 펄스폭 변조기, 그리고

상기 선택 신호에 따라 제어되며 상기 제1 선택부의 출력과 연결되어 있는 출력 스위칭 소자

를 포함하는

표시 장치.

청구항 18

제17항에서,

상기 펄스폭 변조기는,

상기 영상 신호의 하위 비트 데이터와 상기 출력 시간 정보를 비교하여 출력 신호를 출력하는 비교기, 그리고

상기 비교부의 출력 신호에 따라 상기 선택 신호의 레벨을 변환하는 선택 신호 생성부

를 포함하는

표시 장치.

청구항 19

제18항에서,

상기 선택 신호 생성부는,

상기 비교기의 출력과 연결되어 있으며 제1 제어 신호에 따라 제어되는 제1 트랜지스터,

상기 제1 트랜지스터와 기준 절점 사이에 연결되어 있으며 상기 선택 신호에 따라 제어되는 제2 트랜지스터,

상기 기준 절점과 연결되어 있는 입력단을 가지며 상기 선택 신호를 출력하는 반전 게이트, 그리고

제1 전압과 상기 기준 절점 사이에 연결되어 있으며, 상기 선택 신호에 따라 제어되는 제3 트랜지스터

를 포함하는

표시 장치.

청구항 20

제7항에서,

상기 선택 신호 생성부는,

제2 전압과 상기 기준 절점 사이에 연결되어 있으며, 제2 제어 신호에 따라 제어되는 제4 트랜지스터를 더 포함하는

표시 장치.

청구항 21

제20항에서,

상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 도전형의 트랜지스터인 표시 장치의 구동 장치.

청구항 22

제14항에서,

상기 제1 선택부는

직렬 연결되어 있는 복수의 스위칭 소자를 각각 포함하는 복수의 스위칭 소자 열(series)을 포함하며,

상기 각 스위칭 소자 열은 상기 복수의 계조 전압 출력부 중 하나와 상기 제1 선택부의 출력 사이에 연결되어 있는

표시 장치.

청구항 23

제22항에서,

상기 스위칭 소자 각각은 상기 영상 신호의 상위 비트 데이터의 한 비트에 따라 제어되는 표시 장치.

청구항 24

제22항에서,

상기 스위칭 소자 각각은 상기 영상 신호의 상위 비트 데이터의 두 비트 이상에 따라 제어되는 표시 장치.

청구항 25

제24항에서,

상기 영상 신호의 상위 비트 데이터는 비트수가 2 이상인 복수의 분할 데이터를 포함하고,

상기 제1 선택부는 상기 분할 데이터가 나타낼 수 있는 경우의 수와 동일한 수효의 출력단을 각각 가지며 상기 복수의 분할 데이터 중 하나에 기초하여 상기 출력단의 출력을 결정하는 복수의 변환부를 더 포함하며,

상기 스위칭 소자 각각은 상기 복수의 변환부의 출력단 중 어느 하나의 출력에 따라 제어되는

표시 장치.

청구항 26

복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 단계,

상기 복수의 계조 전압 집합 각각에 속하는 복수의 계조 전압을 차례로 출력하는 단계,

영상 신호의 상위 비트 데이터에 따라 상기 복수의 계조 전압 집합 중 하나를 선택하는 단계,

상기 영상 신호의 하위 비트 데이터에 기초하여 정해지는 시간에 따라 상기 선택한 계조 전압 집합에 속하는 복수의 계조 전압 중 하나를 선택하는 단계, 그리고

상기 선택한 계조 전압에 따라 화소를 구동하는 단계

를 포함하는 표시 장치의 구동 방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<9> 본 발명은 표시 장치, 표시 장치의 구동 장치 및 그 구동 방법에 관한 것이다.

<10> 최근 퍼스널 컴퓨터나 텔레비전 등의 경량화 및 박형화에 따라 표시 장치도 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 평판 표시 장치로 대체되고 있다.

<11> 이러한 평판 표시 장치에는 액정 표시 장치(liquid crystal display, LCD), 전계 방출 표시 장치(field emission display, FED), 유기 발광 표시 장치(organic light emitting display), 플라스마 표시 장치(plasma display panel, PDP) 등이 있다. 일반적으로 능동형 평판 표시 장치에서는 행렬 형태로 배열된 복수의 화소가 행렬 형태로 배열되며, 주어진 영상 정보에 따라 각 화소의 휘도를 제어함으로써 영상을 표시한다.

<12> 휘도 정보는 표시 장치의 신호 제어부에서 디지털 영상 신호로 출력되며, 이 신호는 데이터 구동부의 디지털-아날로그 변환기에서 아날로그 데이터 전압으로 변환되어 해당하는 화소에 공급된다. 디지털-아날로그 변환기에는 저항열로 이루어진 계조 전압 생성부에서 만들어진 다수의 계조 전압이 공급되며, 디지털-아날로그 변환기는 이러한 계조 전압 중에서 디지털 영상 신호에 대응하는 계조 전압을 선택하여 데이터 전압으로서 출력한다.

발명이 이루고자 하는 기술적 과제

<13> 그런데 계조 전압의 수효가 많을 경우 이를 선택하기 위한 디지털-아날로그 변환기의 구조가 복잡해질 수 있다. 따라서 계조 전압 생성부에서는 한정된 수의 계조 전압만을 생성하고, 데이터 구동부에서 이 한정된 수의 계조 전압 중 하나를 선택하여 분압하고 분압된 전압 중에서 다시 하나를 선택하여 데이터 전압으로서 출력하는 방법이 제시되었다. 그러나 이 경우 표시 장치의 감마 특성에 따른 전압 값을 정확하게 반영하기 어렵고, 전압의 단조 증가 특성 및 정확도가 떨어질 수 있다.

<14> 본 발명이 이루고자 하는 기술적 과제는 데이터 구동부의 디지털-아날로그 변환기 회로를 간단하게 하면서도, 표시 장치의 감마 특성에 따른 계조 전압 값을 정확하게 반영하고, 계조 전압의 단조 증가 특성 및 정확도를 우수하게 하는 것이다.

발명의 구성 및 작용

<15> 이러한 기술적 과제를 이루기 위한 본 발명의 한 실시예에 따른 표시 장치는 서로 다른 크기를 가지는 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 계조 전압 생성부, 그리고 영상 신호의 제1 부분에 기초하여 상기 복수의 계조 전압 집합 중 하나의 계조 전압 집합을 선택하는 제1 선택부, 그리고 상기 영상 신호의 제2 부분에 기초하여 상기 선택된 계조 전압 집합에 속하는 복수의 계조 전압 중 하나 이상의 계조 전압을 선택하는 제2 선택부를 포함하는 신호 변환부를 포함한다.

<16> 상기 계조 전압 생성부는 상기 각 계조 전압 집합에 속하는 복수의 계조 전압을 서로 다른 시간에 출력할 수 있다.

<17> 상기 계조 전압 생성부는 상기 계조 전압을 선택적으로 전달하는 복수의 스위칭 소자를 포함할 수 있다.

<18> 상기 제2 선택부는 상기 선택된 하나 이상의 계조 전압을 연속하여 출력할 수 있다.

<19> 상기 연속하여 출력된 하나 이상의 계조 전압 중 마지막에 출력된 계조 전압이 상기 영상 신호에 대응할 수 있다.

<20> 상기 계조 전압의 출력 시간 정보를 상기 제2 선택부에 제공하는 시간 제어부를 더 포함하며, 상기 제2 선택부는 상기 영상 신호의 제2 부분과 더불어 상기 출력 시간 정보에 기초하여 상기 하나 이상의 계조 전압을 선택할 수 있다.

<21> 상기 제2 선택부는, 상기 선택된 계조 전압 집합에 속하는 복수의 계조 전압을 선택적으로 전달하는 스위칭 소자, 그리고 상기 출력 시간 정보 및 상기 영상 신호의 제2 부분에 기초하여 상기 스위칭 소자를 제어하는 선택 신호를 생성하는 출력 제어부를 포함할 수 있다.

<22> 상기 출력 제어부는 상기 출력 시간 정보에 기초하여 상기 영상 신호의 제2 부분을 펄스폭 변조하여 상기 선택 신호를 생성하는 펄스폭 변조기를 포함할 수 있다.

<23> 상기 출력 제어부는, 상기 영상 신호의 제2 부분을 상기 출력 시간 정보와 비교하는 비교기, 그리고 상기 비교 결과에 기초하여 상기 선택 신호를 생성하는 선택 신호 생성부를 포함하며, 상기 선택 신호는 제1 전압 레벨과 제2 전압 레벨을 가지고, 상기 선택 신호는 기준 시각에서부터 상기 출력 시간 정보가 상기 영상 신호의 제2 부분과 동일한 구간의 소정 시점까지는 상기 제1 전압 레벨이고 나머지 구간에서는 상기 제2 전압 레벨이며, 상기 스위칭 소자는 상기 선택 신호가 상기 제1 전압 레벨일 때 턴 온될 수 있다.

<24> 상기 제1 선택부는 직렬 연결되어 있는 복수의 스위칭 소자를 각각 포함하는 복수의 스위칭 소자 열(series)을 포함하며, 상기 각 스위칭 소자 열은 상기 영상 신호의 제1 부분에 따라 상기 복수의 계조 전압 집합 중 하나를 전달할 수 있다

<25> 상기 영상 신호의 제1 부분은 제3 부분과 제4 부분을 포함하며, 상기 제1 선택부는 상기 영상 신호의 제3 부분에 기초하여 상기 복수의 계조 전압 집합 중 둘 이상을 선택하는 제1 스위칭 소자군, 그리고 상기 영상 신호의 제4 부분에 기초하여 상기 선택된 둘 이상의 계조 전압 집합 중에서 하나를 선택하는 제2 스위칭 소자군을 포함할 수 있다.

<26> 상기 제1 선택부는, 상기 영상 신호의 제3 부분을 변환하여 상기 제1 스위칭 소자군을 제어하는 제1 제어 신호를 생성하는 제1 변환부, 그리고 상기 영상 신호의 제4 부분을 변환하여 상기 제2 스위칭 소자군을 제어하는 제2 제어 신호를 생성하는 제2 변환부를 더 포함할 수 있다.

<27> 상기 영상 신호의 제1 부분은 상위 비트 데이터이고 제2 부분은 하위 비트 데이터일 수 있다.

<28> 또한 본 발명에 따르는 표시 장치는, 서로 다른 크기를 가지는 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 전압 생성부, 상기 복수의 계조 전압 집합 중 하나에 속하는 복수의 계조 전압을 하나의 출력단을 통하여 주기적으로 차례로 각각 출력하는 복수의 계조 전압 출력부, 영상 신호의 상위 비트 데이터에 기초하여 상기 복수의 계조 전압 출력부의 출력 중 하나를 선택하여 출력하는 제1 선택부, 상기 제1 선택부의 출력을 상기 영상 신호의 하위 비트 데이터에 기초한 시간 동안 출력하는 제2 선택부, 그리고 상기 제2 선택부의 출력에 따라 영상을 표시하는 표시판을 포함한다.

<29> 상기 계조 전압 출력부 각각은 복수의 스위칭 소자를 포함하며, 상기 각 스위칭 소자는 상기 공급 받은 계조 전압 집합에 속하는 복수의 계조 전압 중 하나와 상기 계조 전압 출력부의 출력단 사이에 연결되어 있으며 상기 영상 신호의 하위 비트 데이터에 의하여 제어될 수 있다.

<30> 상기 계조 전압 출력부의 계조 전압 출력 시간 정보를 상기 제2 선택부에 제공하는 시간 제어부를 더 포함할 수 있다.

<31> 상기 제2 선택부는, 상기 출력 시간 정보에 기초하여 상기 영상 신호의 하위 비트 데이터를 펄스폭 변조하여 선택 신호를 생성하는 펄스폭 변조기, 그리고 상기 선택 신호에 따라 제어되며 상기 제1 선택부의 출력과 연결되어 있는 출력 스위칭 소자를 포함할 수 있다.

<32> 상기 펄스폭 변조기는, 상기 영상 신호의 하위 비트 데이터와 상기 출력 시간 정보를 비교하여 출력 신호를 출력하는 비교기, 그리고 상기 비교부의 출력 신호에 따라 상기 선택 신호의 레벨을 변환하는 선택 신호 생성부를 포함할 수 있다.

<33> 상기 선택 신호 생성부는, 상기 비교기의 출력과 연결되어 있으며 제1 제어 신호에 따라 제어되는 제1 트랜지스터, 상기 제1 트랜지스터와 기준 절점 사이에 연결되어 있으며 상기 선택 신호에 따라 제어되는 제2 트랜지스터, 상기 기준 절점과 연결되어 있는 입력단을 가지며 상기 선택 신호를 출력하는 반전 게이트, 그리고 제1 전압과 상기 기준 절점 사이에 연결되어 있으며, 상기 선택 신호에 따라 제어되는 제3 트랜지스터를 포함할 수 있다.

<34> 상기 선택 신호 생성부는, 제2 전압과 상기 기준 절점 사이에 연결되어 있으며, 제2 제어 신호에 따라 제어되는 제4 트랜지스터를 더 포함할 수 있다.

<35> 상기 제2 트랜지스터와 상기 제3 트랜지스터는 서로 다른 도전형의 트랜지스터일 수 있다.

<36> 상기 제1 선택부는 직렬 연결되어 있는 복수의 스위칭 소자를 각각 포함하는 복수의 스위칭 소자 열(series)을 포함하며, 상기 각 스위칭 소자 열은 상기 복수의 계조 전압 출력부 중 하나와 상기 제1 선택부의 출력 사이에 연결되어 있을 수 있다.

<37> 상기 스위칭 소자 각각은 상기 영상 신호의 상위 비트 데이터의 한 비트에 따라 제어될 수 있다.

<38> 상기 스위칭 소자 각각은 상기 영상 신호의 상위 비트 데이터의 두 비트 이상에 따라 제어될 수 있다.

<39> 상기 영상 신호의 상위 비트 데이터는 비트수가 2 이상인 복수의 분할 데이터를 포함하고, 상기 제1 선택부는 상기 분할 데이터가 나타낼 수 있는 경우의 수와 동일한 수효의 출력단을 각각 가지며 상기 복수의 분할 데이터 중 하나에 기초하여 상기 출력단의 출력을 결정하는 복수의 변환부를 더 포함하며, 상기 스위칭 소자 각각은 상기 복수의 변환부의 출력단 중 어느 하나의 출력에 따라 제어될 수 있다.

<40> 또한 본 발명에 따른 표시 장치의 구동 방법은 복수의 계조 전압을 각각 포함하는 복수의 계조 전압 집합을 생성하는 단계, 상기 복수의 계조 전압 집합 각각에 속하는 복수의 계조 전압을 차례로 출력하는 단계, 영상 신호의 상위 비트 데이터에 따라 상기 복수의 계조 전압 집합 중 하나를 선택하는 단계, 상기 영상 신호의 하위 비트 데이터에 기초하여 정해지는 시간에 따라 상기 선택한 계조 전압 집합에 속하는 복수의 계조 전압 중 하나를 선택하는 단계, 그리고 상기 선택한 계조 전압에 따라 화소를 구동하는 단계를 포함한다.

<41> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

<42> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<43> 이제 표시 장치의 한 예인 액정 표시 장치에 대하여 도 1 및 도 2를 참고로 하여 상세하게 설명한다.

<44> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.

<45> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

<46> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(G_1-G_n, D_1-D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체

(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

<47> 신호선(G_1-G_n, D_1-D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1-G_n)과 데이터 전압을 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 게이트선(G_1-G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1-D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

<48> 각 화소(PX), 예를 들면 i번째(i=1, 2, …, n) 게이트선(G_i)과 j번째(j=1, 2, …, m) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i, D_j)에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.

<49> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다. 박막 트랜지스터는 다결정 규소나 비정질 규소를 포함할 수 있다.

<50> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

<51> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선과 중첩되어 이루어질 수 있다.

<52> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 둘 수도 있다.

<53> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.

<54> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 벌의 계조 전압 집합을 생성한다. 두 벌 중 한 벌은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 벌은 음의 값을 가진다. 계조 전압 생성부(800)가 생성하는 한 벌의 계조 전압 집합 내에 들어 있는 계조 전압의 수효는 액정 표시 장치가 표시할 수 있는 계조의 수효와 동일할 수 있다.

<55> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1-G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1-G_n)에 인가한다.

<56> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1-D_m)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(D_1-D_m)에 인가한다. 데이터 구동부(500)의 상세 구조에 대해서는 뒤에서 설명한다.

<57> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.

<58> 이러한 구동 장치(400, 500, 600, 800) 각각은 신호선(G_1-G_n, D_1-D_m) 및 박막 트랜지스터(Q) 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 이와는 달리 이들 구동 장치(400, 500, 600, 800)가 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도

하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

<59> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.

<60> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 1024(=2^{10}), 256(=2^{8}) 또는 64(=2^{6}) 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

<61> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.

<62> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클록 신호를 포함한다. 게이트 제어 신호(CONT1)는 또한 게이트 온 전압(Von)의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.

<63> 데이터 제어 신호(CONT2)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 아날로그 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 아날로그 데이터 전압의 전압 극성(이하 "공통 전압에 대한 데이터 전압의 극성"을 줄여 "데이터 전압의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.

<64> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(D_1-D_m)에 인가한다.

<65> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G_1-G_n)에 인가하여 이 게이트선(G_1-G_n)에 연결된 스위칭 소자(Q)를 턴 온시킨다. 그러면, 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴 온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다.

<66> 화소(PX)에 인가된 데이터 전압의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C_{LC})의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타나며, 이를 통해 화소(PX)는 영상 신호(DAT)의 계조가 나타내는 휘도를 표시한다.

<67> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G_1-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하고 모든 화소(PX)에 데이터 전압을 인가하여 한 프레임(frame)의 영상을 표시한다.

<68> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 전압의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).

<69> 이하에서는 도 3 내지 도 8을 참조하여 본 발명의 실시예에 따른 데이터 구동부(500) 및 계조 전압 생성부(800)에 대해 상세히 설명한다.

<70> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 데이터 구동부의 블록도이고, 도 4는 도 3에 도시한 데이터 구동부의 디지털-아날로그 변환부 및 계조 전압 생성부의 상세도이다.

<71> 도 3을 참조하면, 데이터 구동부(500)는 차례로 연결되어 있는 시프트 레지스터(shift register)(510), 래치(latch)(530), 디지털-아날로그 변환부(digital-to-analog converter)(700) 및 출력 버퍼(output buffer)(57

0)를 포함한다.

<72> 시프트 레지스터(510)는 수평 동기 시작 신호(STH)(또는 시프트 클록 신호)가 들어오면 데이터 클록 신호(HCLK)에 따라 영상 신호(DAT)를 래치(530)에 전달한다.

<73> 래치(530)는 영상 신호(DAT)를 기억하며, 로드 신호(LOAD)에 따라 디지털-아날로그 변환부(700)에 기억하고 있는 영상 신호(DAT)를 내보낸다.

<74> 디지털-아날로그 변환부(700)는 계조 전압 생성부(800)로부터 계조 전압을 공급 받으며, 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환하여 출력 버퍼(570)로 내보낸다.

<75> 출력 버퍼(570)는 디지털-아날로그 변환부(700)로부터의 출력 전압을 데이터 전압으로서 데이터선에 출력하며, 이를 1 수평 주기 동안 유지한다.

<76> 도 4를 참조하면, 본 발명의 한 실시예에 따른 계조 전압 생성부(800)는 저항열(a series of resistors)(810) 및 복수의 출력부(821-836)를 포함한다.

<77> 저항열(810)은 제1 기준 전압(VDD)과 제2 기준 전압(VSS) 사이에 직렬 연결되어 있는 복수의 저항(R11-R164)을 포함하며, 저항(R11-R164) 사이의 절점의 전압이 계조 전압이 된다. 도 4에서는 화소가 표시할 수 있는 계조의 수효가 64개인 것으로 가정하여 저항의 총수가 64개이다.

<78> 저항(R11-R164)의 크기가 모두 같을 수 있으며, 이 경우 제1 기준 전압(VDD)과 제2 기준 전압(VSS)의 전압 차가 균분된다. 그러나 저항(R11-R164)의 크기를 서로 다르게 할 수도 있으며, 이 경우 표시 장치의 감마 곡선에 맞도록 저항 값을 결정하는 것이 바람직하다.

<79> 각 출력부(821-836)는 저항(R11-R164) 사이의 절점에 연결되어 있으며 서로 인접한 복수의 선택 스위칭 소자(Q11-Q14, …, Q161-Q164)를 포함한다. 각 출력부(821-836) 내의 스위칭 소자(Q11-Q14, …, Q161-Q164)는 서로 다른 시간에 턴 온되어 해당하는 계조 전압을 출력하며, 그 출력단이 서로 연결되어 있다. 이에 따라 출력부(821-836)의 수효, 즉 계조 전압 생성부(800)의 출력(Ga1-Ga16) 수효는 저항열(810)이 생성하는 계조 전압의 총수보다 작다.

<80> 예를 들어 디지털 신호인 영상 신호(DAT)를 하위 비트 데이터와 상위 비트 데이터로 분할할 때, 계조 전압 생성부(800)가 생성하는 계조 전압의 총수는 영상 신호(DAT)가 나타낼 수 있는 계조의 총수와 동일하고, 출력부(821-836)의 수효는 상위 비트 데이터가 나타낼 수 있는 경우의 수와 동일하며, 각 출력부(821-836)가 출력하는 계조 전압의 수효는 하위 비트 데이터가 나타낼 수 있는 경우의 수와 동일하다. 도면에 나타낸 것처럼, 영상 신호(DAT)의 비트수가 6비트이고, 상위 비트가 4, 하위 비트가 2인 경우, 계조 전압 생성부(800)가 생성하는 계조 전압의 총수는 64개이고 출력부(821-836)의 수효는 16가지, 각 출력부(821-836)가 출력하는 계조 전압의 수효는 4 가지가 된다.

<81> 도 4를 참조하면, 디지털-아날로그 변환부(700)는 입력 선택부(710), 출력 선택부(720) 및 시간 제어부(750)를 포함한다.

<82> 입력 선택부(710)는 계조 전압 생성부(800)의 출력부(821-836)와 연결되어 있으며, 계조 전압 생성부(800)의 출력(Ga1-Ga16)을 입력으로서 받아들인다. 입력 선택부(710)는 또한 영상 신호(DAT)의 상위 비트 데이터(D5, D4, D3, D2)를 공급받으며, 상위 비트 데이터(D5, D4, D3, D2)에 기초하여 복수의 입력(Ga1-Ga16) 중 하나를 선택하여 출력한다.

<83> 도 5는 도 4에 도시한 입력 선택부의 한 예를 나타낸 회로도이고, 도 6은 도 4에 도시한 입력 선택부의 다른 예를 나타낸 회로도이다.

<84> 도 5를 참조하면, 본 발명의 한 실시예에 따른 입력 선택부(710)는 복수의 스위칭 트랜지스터 열(series)(S1-S16)을 포함한다.

<85> 각각의 스위칭 트랜지스터 열(S1-S16)의 입력단은 입력 선택부(710)의 한 입력(Ga1, Ga2, ..., Ga16)과 연결되어 있고, 이들의 출력단은 서로 연결되어 입력 선택부(710)의 출력(SL)이 된다.

<86> 스위칭 트랜지스터 열(S1-S16) 각각은 "직렬"로 연결된 복수의 스위칭 트랜지스터(S11-S14, …, S161-S164)를 포함한다. 여기에서 직렬로 연결되어 있다는 것은 입출력 단자 중 하나가 서로 연결되어 있다는 것을 뜻한다.

<87> 스위칭 트랜지스터 열(S1-S16)에 속하는 스위칭 트랜지스터(S11-S14, …, S161-S164)의 수효는 모두 동일한데,

예를 들면 영상 신호(DAT)의 상위 비트 데이터의 비트 수와 같다. 스위칭 트랜지스터 열(S1-S16)에 들어 있는 스위칭 트랜지스터(S11-S14, …, S161-S164)는 N형 또는 P형 트랜지스터일 수 있으며, 스위칭 트랜지스터 열(S1-S16)은 이들의 가능한 조합을 모두 포괄한다.

<88> 각 스위칭 트랜지스터 열(S1-S16)에서 하나씩 뽑은 스위칭 트랜지스터(S11ㅇ…ㅇS161, S12ㅇ…S162, S13ㅇ…S163, S14ㅇ…S164), 즉 도면에서 열(column) 방향으로 늘어선 스위칭 트랜지스터(S11ㅇ…ㅇS161, S12ㅇ…S162, S13ㅇ…S163, S14ㅇ…S164)는 서로 "병렬"로 연결되어 있다. 여기에서 병렬로 연결되어 있다는 것은 제어 단자가 서로 연결되어 있다는 의미이다. 예를 들면, 모든 스위칭 트랜지스터 열(S1-S16)에서 첫 번째 스위칭 트랜지스터(S11, S21, …, S161)끼리 그 제어 단자가 서로 연결되어 있고, 두 번째 스위칭 트랜지스터(S11, S21, …, S161)끼리 그 제어 단자가 서로 연결되어 있는 등이다. 병렬로 연결된 스위칭 트랜지스터(S11ㅇ…ㅇS161, S12ㅇ…S162, S13ㅇ…S163, S14ㅇ…S164)의 제어 단자에는 영상 신호(DAT)의 각 상위 비트 데이터(D5, D4, D3, D2)가 입력된다.

<89> 따라서 스위칭 트랜지스터 열(S1-S16)은 영상 신호(DAT)의 상위 비트 데이터(D5, D4, D3, D2)에 따라 그 내부의 모든 스위칭 트랜지스터(S11-S164)가 동시에 턴 온될 때, 해당 입력(Ga1, Ga2, ...,Ga16)을 출력(SL)한다.

<90> 도 6을 참조하면, 본 발명의 다른 실시예에 따른 입력 선택부(710)는 상위 데이터 변환부(711) 및 스위칭부(713)를 포함한다.

<91> 상위 데이터 변환부(711)는 영상 신호(DAT)의 상위 비트 데이터(D5, D4, D3, D2)를 공급받으며, 복수의 분할 데이터 변환기(711U, 711L)를 포함한다. 상위 비트 데이터(D5, D4, D3, D2)는 2 이상의 비트 수를 가진 복수의 분할 데이터로 나뉘어 상위 데이터 변환부(711)에 입력되는데 (도면에서는 비트 별로 다른 신호선을 통하여 병렬로 입력되는 것으로 도시하였으나 이에 한정되지는 않는다), 각 분할 데이터 변환기(711U, 711L)에는 이렇게 나뉜 하나의 분할 데이터가 입력된다. 각 분할 데이터 변환기(711U, 711L)는 분할 데이터에 기초하여 복수의 출력단(P11-P14, P21-P24) 중에서 하나를 선택하여 고전압을 내보낸다.

<92> 상위 비트 데이터(D5, D4, D3, D2)는 예를 들면, 비트수가 2인 복수의 분할 데이터로 나누거나, 두 개의 분할 데이터로 나눌 수 있다. 각각의 분할 데이터 변환기(711U, 711L)의 출력단(P11-P14, P21-P24) 수효는 분할 데이터가 나타내는 경우의 수와 동일하다. 예를 들어, 분할 데이터의 비트 수가 2비트인 경우에는, 각각의 분할 데이터가 나타내는 경우의 수가 4가지이므로 각 분할 데이터 변환기(711U, 711L)의 출력단(P11-P14, P21-P24) 수효는 4이고, 분할 데이터 변환기(711U, 711L)의 수효가 BN(=상위 비트 데이터의 비트 수)ㅅ(1/2)이므로, 상위 데이터 변환부(711)의 출력단(P11-P14, P21-P24)의 총수는 4ㅅBNㅅ(1/2)= 2BN가 된다. 상위 비트 데이터(D5, D4, D3, D2)를 두 개의 분할 데이터로 나눈 경우에는 분할 데이터의 비트수가 (BN/2)이고 분할 데이터가 나타내는 경우의 수는 $2^{BN/2}$이므로 각 분할 데이터 변환기(711U, 711L)의 출력단(P11-P14, P21-P24) 수효는 $2^{BN/2}$이며 상위 데이터 변환부(711) 출력단(P11-P14, P21-P24)의 총수는 $2^{BN/2+1}$가 된다.

<93> 스위칭부(713)는 상위 데이터 변환부(711)와 연결되어 있으며 계조 전압 생성부(800)로부터 복수의 입력(Ga1-Ga16)을 받고 그 중 하나를 선택하여 출력(SL)한다.

<94> 스위칭부(713)는 복수의 스위칭 소자군(713U, 713L)을 포함하며, 스위칭 소자군(713U, 713L)의 수효는 분할 데이터 변환기(711U, 711L)의 수효와 동일하다. 각각의 스위칭 소자군(713U, 713L)은 하나의 분할 데이터 변환기(711U, 711L)와 연결되어 있다.

<95> 스위칭 소자군(713U, 713L) 중 하나(713U)는 입력(Ga1-Ga16)에 연결되어 있고 다른 하나(713L)는 출력(SL)에 연결되어 있으며, 스위칭 소자군(713U, 713L)끼리도 서로 연결되어 있다.

<96> 스위칭 소자군(713U/713L)은 복수의 스위칭 소자(SWU11-SWU14, …, SWU41-SWU44/SWL11-SWL14, …, SWL41-SWL44)를 포함하며, 각 스위칭 소자군(713U/713L) 내의 스위칭 소자(SWU11-SWU44, SWL11-SWL44)의 수효는 입력(Ga1-Ga16)의 수효와 동일하다. 각 스위칭 소자(SWU11-SWU44/SWL11-SWL44)는 분할 데이터 변환기(711U/711L)의 출력 중 하나에 연결되어 분할 데이터 변환기(711U/711L)의 출력에 따라 개폐가 제어된다. 각 스위칭 소자군(713U, 713L) 내에서 복수의 스위칭 소자(SWU11-SWU44, SWL11-SWL44)가 동일한 분할 데이터 변환기(711U, 711L) 출력에 연결되어 있으므로, 분할 데이터 변환기(711U, 711L)의 출력단 중 하나에서 고전압이 출력되는 경우 복수의 스위칭 소자(SWU11-SWU44, SWL11-SWL44)가 턴 온되어 해당 입력(Ga1-Ga16)을 내보낸다.

<97> 스위칭 소자군(713U, 713L) 내의 각 스위칭 소자(SWU11-SWU44, SWL11-SWL44)의 입출력 단자 중 하나는 인접한 스위칭 소자군(713U, 713L)의 스위칭 소자(SWL11-SWL44/SWU11-SWU44) 중 하나와 연결되어 있고, 입출력 단자

중 다른 하나는 입력(Ga1-Ga16) 중 하나 또는 출력(SL)과 연결되어 있다. 스위칭 소자군이 셋 이상인 경우, 중간의 스위칭 소자군에 있는 스위칭 소자들은 입력 또는 출력 대신 양쪽의 스위칭 소자군의 스위칭 소자와 연결된다.

<98> 또한, 분할 데이터 변환기(711U)의 동일한 출력에 연결된 스위칭 소자군(713U)의 스위칭 소자(SWU11-SWU44)들과 연결된 스위칭 소자군(713L)의 스위칭 소자(SWL11-SWL44)들은 분할 데이터 변환기(711L)의 서로 다른 출력에 연결된다.

<99> 이와 같이 연결하면, 스위칭 소자군(713U)은 분할 데이터 변환기(711U)의 출력에 따라 복수의 입력(Ga1-Ga16) 중 몇 개를 선택하고, 스위칭 소자군(713L)은 선택된 몇 개의 입력(Ga1-Ga16) 중 하나를 분할 데이터 변환기(711L)의 출력에 따라 선택하여 출력한다.

<100> 이와 같이 함으로써, 영상 신호(DAT)의 상위 비트 데이터(D5, D4, D3, D2)에 따라 복수의 입력(Ga1-Ga16) 중 하나를 선택할 수 있다.

<101> 이 밖에도 도 4의 입력 선택부(710)는 다양한 실시예를 통하여 구현될 수 있다.

<102> 다시 도 4를 참조하면, 디지털-아날로그 변환부(700)의 시간 제어부(750)는 제어 신호에 따라 계조 전압 생성부(800)의 각 출력부(821-836)가 출력하는 여러 계조 전압의 출력 시간을 제어하는 출력 제어 신호(OC)를 생성하며 이에 대한 정보(앞으로 출력 시간 정보라 한다)(OT)를 출력 선택부(720)에 출력한다. 시간 제어부(750)는 계수기(counter)를 포함할 수 있다.

<103> 이때, 출력 제어 신호(OC)는 4 개의 전송선을 통하여 출력되며, 네 전송선에 번갈아 선택 스위칭 소자(Q11-Q14,…, Q161-Q164)를 턴 온시킬 수 있는 전압을 전송함으로써 계조 전압의 출력 시간을 제어한다. 출력 시간 정보(OT)는 예를 들면 디지털 신호로서 영상 신호(DAT)의 하위 비트 데이터(D1, D0)와 같은 비트 수를 가진다. 출력 시간 정보(OT)는 시간에 따라 값이 달라지며 각 출력부(821-836) 내에서 그 시간에 출력되는 스위칭 소자(Q11-Q14,…, Q161-Q164)의 상대 위치, 또는 계조 전압의 상대 위치를 나타낸다.

<104> 출력 선택부(720)는 입력 선택부(710) 및 시간 제어부(730)와 연결되어 있으며, 출력 제어부(730)와 출력 스위칭 소자(Q1)를 포함한다.

<105> 출력 제어부(730)는 시간 제어부(750)의 출력 시간 정보(OT)와 영상 신호(DAT)의 하위 비트 데이터(D1, D0)에 기초하여 선택 신호(SEL)를 출력한다. 출력 제어부(760)의 예로는 출력 시간 정보(OT)에 기초하여 하위 비트 데이터(D1, D0)를 펄스폭 변조시키는 펄스폭 변조기(pulse width modifier)를 들 수 있다.

<106> 출력 스위칭 소자(Q1)는 출력 제어부(730)의 선택 신호(SEL)에 따라 턴 온 또는 턴 오프되어 입력 선택부(710)의 출력(SL) 값, 즉 계조 전압 생성부(800)의 출력부(821-836) 중 하나에서 서로 다른 시간에 출력되는 복수의 계조 전압 중 하나 이상의 계조 전압을 선택하고, 선택한 하나 이상의 계조 전압을 연속하여 출력한다. 출력 스위칭 소자(Q1)의 출력이 곧 디지털-아날로그 변환부(700)의 출력이 된다.

<107> 그러면 도 7을 참고하여 도 4에 도시한 출력 제어부에 대하여 상세하게 설명한다.

<108> 도 7은 도 4에 도시한 출력 제어부의 한 예를 나타낸 회로도이다.

<109> 도 7을 참조하면, 본 발명의 한 실시예에 따른 출력 제어부(730)는 일종의 펄스폭 변조기로서 제1 절점(n1)에서 연결된 비교기(732) 및 선택 신호 생성부(734)를 포함한다.

<110> 비교기(732)는 시간 제어부(750)의 출력 시간 정보(OT)와 영상 신호(DAT)의 하위 비트 데이터(D1, D0)를 비교하여 출력 신호를 생성한다. 예를 들어 비교기(732)는 출력 시간 정보(OT)와 하위 비트 데이터(D1, D0)가 동일하면 고전압을 출력하고 서로 다르면 저전압을 출력할 수 있다.

<111> 이러한 비교기(732)는 하위 비트 데이터(D1, D0)의 비트 수(=출력 시간 정보의 비트 수)에 따라 다양하게 구현될 수 있으며, 도 7과 같이 하위 비트 데이터(D1, D0)가 2비트인 경우, 3개의 NAND 게이트(G1, G2, G3)와 한 개의 반전 게이트(G4)를 포함할 수 있다.

<112> 즉, 제1 및 제2 NAND 게이트(G1, G2)는 영상 신호(DAT)의 하위 비트 데이터(D1, D0)의 각 자리와 출력 시간 정보(OT)의 반전 데이터(OTB1, OTB2)의 각 자리를 NAND 연산하고, 제3 NAND 게이트(G3)는 제1 및 제2 NAND 게이트(G1, G2)의 출력을 NAND 연산한다. 반전 게이트(G4)는 제3 NAND 게이트(G3)의 출력을 반전하여 제1 절점(n1)으로 출력한다.

<113> 선택 신호 생성부(734)는 제1 및 제2 입력 트랜지스터(Q7, Q8)와 초기화 트랜지스터(Q6), 고전압 전달 트랜지스터(Q9) 및 반전 게이트(G5)를 포함한다.

<114> 제1 및 제2 입력 트랜지스터(Q7, Q8)는 제1 절점(n1)(즉, 입력 단자)과 제2 절점(n2) 사이에 직렬 연결되어 있으며, 반전 게이트(G5)는 제2 절점(n2)과 출력단(n3) 사이에 연결되어 있으며, 제2 절점(n2)의 전압을 반전하여 선택 신호(SEL)로서 선택 신호 생성부(734)의 출력단(n3)으로 출력한다.

<115> 제1 입력 트랜지스터(Q7)의 제어 단자는 샘플링 신호(Vsam)를 인가 받으며, 제2 입력 트랜지스터(Q8)의 제어 단자는 선택 신호(SEL)를 인가 받는다.

<116> 초기화 트랜지스터(Q6)는 초기화 신호(Vrst)를 인가 받는 제어 단자, 접지되어 있는 입력 단자 및 제2 절점(n2)과 연결되어 있는 출력 단자를 포함한다.

<117> 고전압 전달 트랜지스터(Q9)는 출력단(n3)과 연결되어 있는 제어 단자, 기준 전압(AVDD)과 연결되어 있는 입력 단자 및 제2 절점(n2)과 연결되어 있는 출력 단자를 포함한다.

<118> 제2 입력 트랜지스터(Q8)와 고전압 전달 트랜지스터(Q9)의 도전형은 서로 반대이며, 샘플링 신호(Vsam) 및 초기화 신호(Vrst)의 파형은 제1 입력 트랜지스터(Q7) 및 초기화 트랜지스터(Q6)의 도전형에 따라 결정된다.

<119> 그러면 도 8을 참조하여, 도 4 및 도 7에 도시한 디지털-아날로그 변환부(700) 및 계조 전압 생성부(800)의 동작에 대하여 상세하게 설명한다.

<120> 앞의 설명과 도면에 예시한 것처럼, 영상 신호(DAT)는 6비트의 디지털 신호이며, 4비트의 상위 비트 데이터, 2비트의 하위 비트 데이터로 분할된다고 가정한다.

<121> 래치(530)로부터 영상 신호(DAT)를 받으면, 입력 선택부(710)는 영상 신호(DAT)의 상위 비트 데이터(D5, D4, D3, D2)에 기초하여 16개의 입력(Ga1, Ga2, ...,Ga16) 중 하나를 선택하여 출력(SL)한다. 입력 선택부(710)의 출력(SL)은 시간에 따라 서로 다른 네 개의 계조 전압을 포함한다.

<122> 앞서 설명하였듯이 출력(SL)에 포함된 네 개의 계조 전압은 시간 제어부(750)로부터의 출력 제어 신호(OC)에 따라 차례로 출력되며 이에 대한 출력 시간 정보(OT)가 출력 제어부(730)에 제공된다. 출력 제어부(730)의 비교기(732)는 영상 신호(DAT)의 하위 비트 데이터(D1, D0)와 출력 시간 정보(OT)를 비교한다.

<123> 예를 들어, 출력 시간 정보(OT)가 00이면, 계조 전압 생성부(800)의 각 출력부(821-836)에서 가장 높은 계조 전압(앞으로 "제1 계조 전압"이라 함)(V1)이 출력되고, 01이면 그 다음 높은 계조 전압(앞으로 "제2 계조 전압"이라 함)(V2), 10이면 그 다음 높은 계조 전압(앞으로 "제3 계조 전압"이라 함)(V3), 그리고 11이면 제일 낮은 계조 전압(앞으로 "제4 계조 전압"이라 함)(V4)이 출력된다고 하자. 그리고 도 8에 도시한 것처럼, 높은 계조 전압에서 낮은 계조 전압의 순서로 차례대로 출력된다고 하고, 영상 신호(DAT)의 하위 비트 데이터는 01이라고 하자. 먼저, 입력 선택부(710)가 제1 계조 전압(V1)을 출력하기 시작하면 출력 제어부(730)의 초기화 트랜지스터(Q6)는 초기화 신호(Vrst)에 따라 턴 온되어 제2 절점(n2)을 저전압으로 설정한 다음 턴 오프된다. 그러면 반전 게이트(G5)의 출력 전압이 고전압이 되고, 이에 따라 고전압 전달 트랜지스터(Q9)는 턴 오프 상태, 제2 입력 트랜지스터(Q8)는 턴 온 상태가 된다. 샘플링 신호(Vsam)가 저전압이면 제1 입력 트랜지스터(Q7)는 턴 오프 상태이므로 절점(n2)은 저전압을 유지한다. 그러므로 출력 제어부(730)의 선택 신호(SEL)가 고전압이 되고 출력 스위칭 소자(Q1)가 턴 온되어 디지털-아날로그 변환부(700)는 제1 계조 전압(V1)을 출력한다.

<124> 이때, 출력 시간 정보(OT)가 00이고 이는 영상 신호(DAT)의 하위 비트 데이터(D1, D0)와 다르므로 비교기(732)는 저전압을 출력한다.

<125> 이 상태에서 샘플링 신호(Vsam)가 하이 레벨로 천이하면, 제1 입력 트랜지스터(Q7)가 턴 온되어 제1 절점(n1)의 저전압을 제2 절점(n2)으로 전달한다. 따라서 제2 절점(n2)은 저전압을 그대로 유지하고 선택 신호 생성부(734)는 선택 신호(SEL)를 고전압으로 계속 유지한다.

<126> 다음으로, 입력 선택부(710)가 제2 계조 전압(V2)을 출력하기 시작하고 출력 시간 정보(OT)가 01이 되면, 출력 시간 정보(OT)와 하위 비트 데이터(D1, D0)가 동일하므로 비교기(732)의 출력이 고전압이 된다. 그러나 제1 입력 트랜지스터(Q7)가 아직 턴 오프 상태이므로 선택 신호(SEL)는 고전압을 유지한다.

<127> 샘플링 신호(Vsam)가 하이 레벨로 천이하면, 제1 입력 트랜지스터(Q7)가 턴 온되어 비교기(732)의 고전압 출력이 제2 절점(n2)에 인가된다. 반전 게이트(G5)는 제2 절점(n2)의 고전압을 반전하여 저전압을 출력하고 이에 따라 고전압 전달 트랜지스터(Q9)는 턴 온되고 제2 입력 트랜지스터(Q8)는 턴 오프된다. 고전압 전달 트랜지스

터(Q9)는 제2 절점(n2)으로 고전압인 기준 전압(AVDD)을 전달하여 제2 절점(n2)의 고전압을 유지한다.

<128> 그러면, 선택 신호(SEL)는 저전압으로 바뀌고 출력 스위칭 소자(Q1)가 턴 오프되어 디지털-아날로그 변환부(700)의 출력을 차단한다.

<129> 한 번 턴 오프된 제2 입력 트랜지스터(Q8)는 초기화 신호(Vrst)가 다시 고전압이 되어 제2 절점(n2)이 저전압이 될 때까지 턴 오프 상태를 그대로 유지하므로 디지털-아날로그 변환부(700)의 출력 또한 그때까지 차단된다.

<130> 출력 버퍼(570)는 마지막으로 공급된 계조 전압, 즉 제2 계조 전압(V2)을 데이터 전압으로서 해당 데이터선에 인가하며, 이 전압을 1 수평 기간 동안 유지한다.

<131> 본 발명은 앞에서 설명한 액정 표시 장치 외에도 유기 발광 표시 장치 등 다른 표시 장치에도 적용할 수 있다.

발명의 효과

<132> 이와 같이, 본 발명에 따르면 서로 다른 시간에 출력되는 계조 전압을 생성하고 이들 중 하나를 선택함으로써 디지털-아날로그 변환부의 크기를 현저하게 줄일 수 있다.

<133> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

<2> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.

<3> 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에서 데이터 구동부 및 계조 전압 생성부의 블록도이다.

<4> 도 4는 도 3에 도시한 데이터 구동부의 디지털-아날로그 변환부 및 계조 전압 생성부의 상세도이다.

<5> 도 5는 도 4에 도시한 입력 선택부의 한 예를 나타낸 회로도이다.

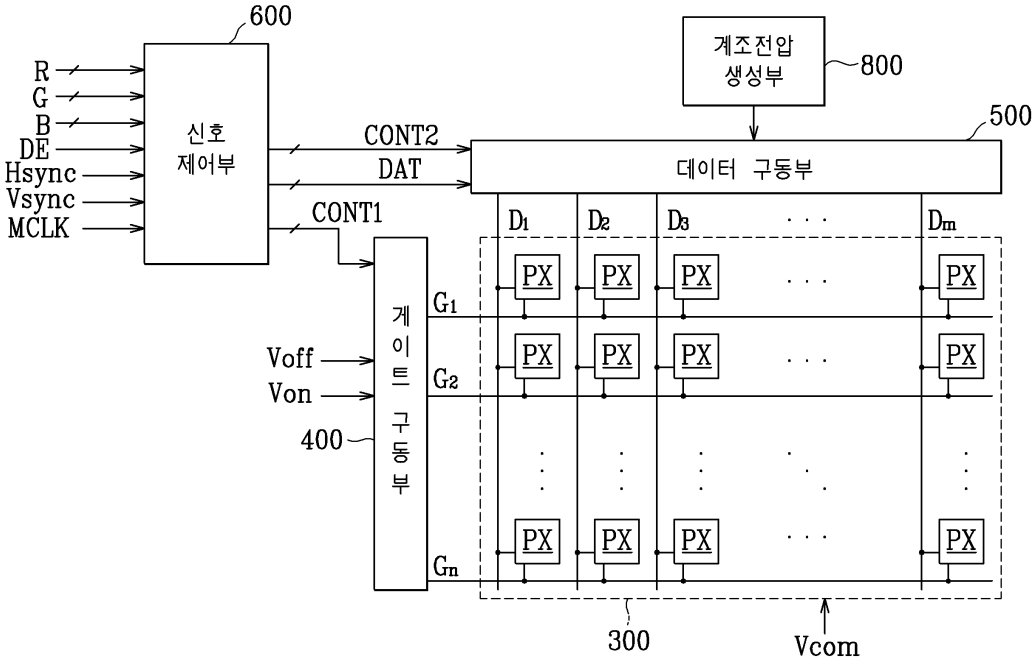
<6> 도 6은 도 4에 도시한 입력 선택부의 다른 예를 나타낸 회로도이다.

<7> 도 7은 도 4에 도시한 출력 제어부의 한 예를 나타낸 회로도이다.

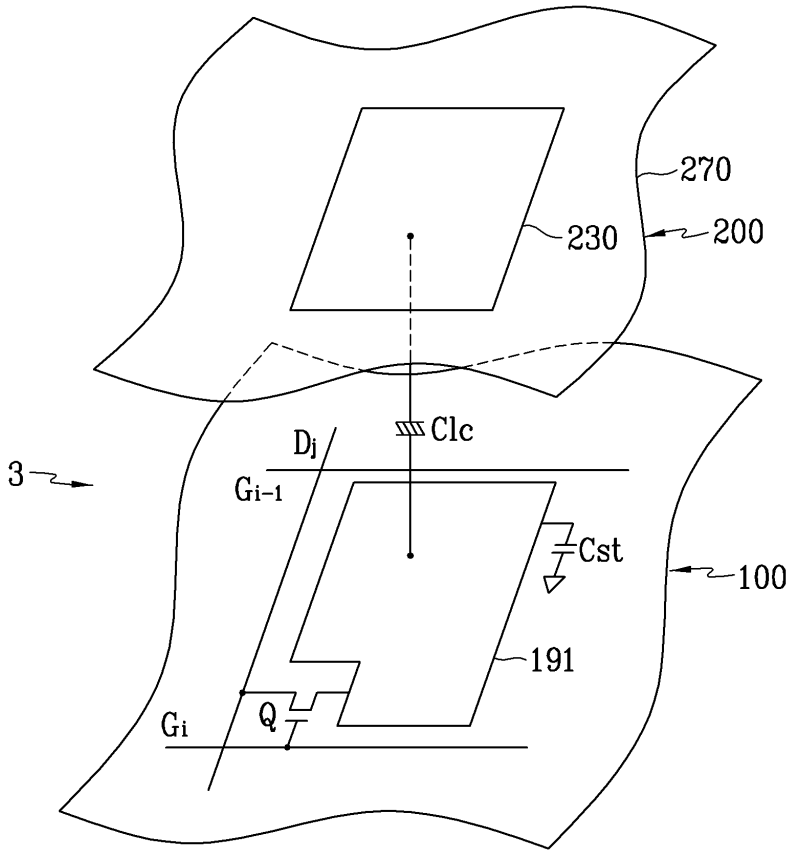
<8> 도 8은 본 발명의 한 실시예에 따른 데이터 구동부 및 계조 전압 생성부의 동작을 나타내는 신호 파형도이다.

도면

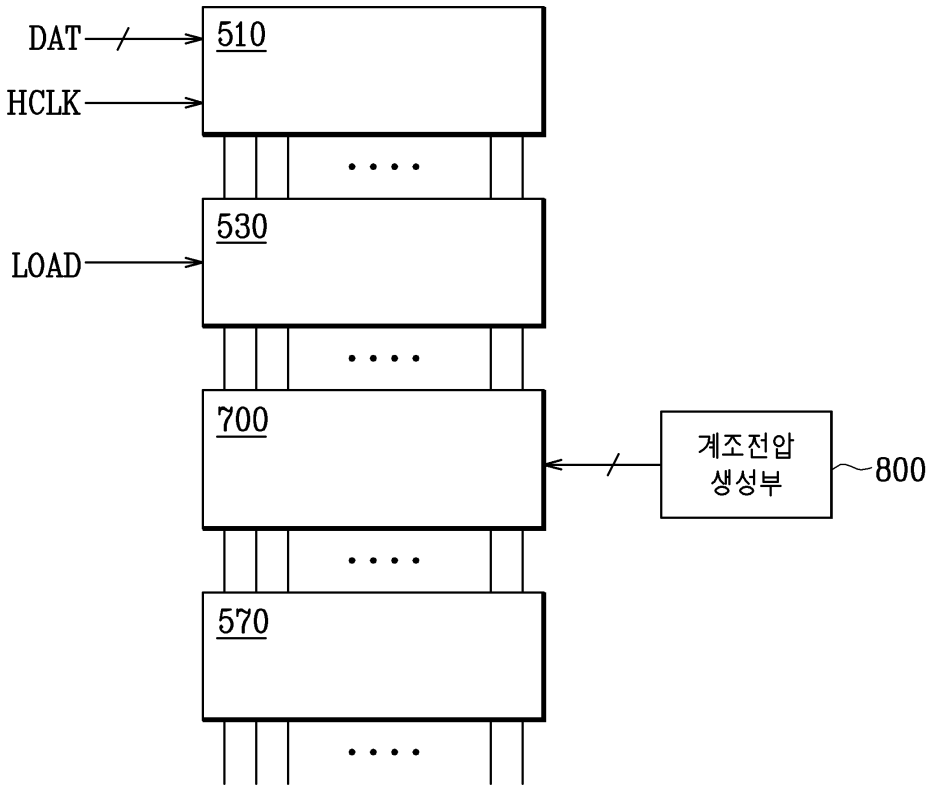
도면1


600
R
G
B
DE
Hsync
Vsync
MCLK
신호
제어부
CONT2
DAT
CONT1
계조전압
생성부
800
500
데이터 구동부
D1
D2
D3
Dm
PX
G1
G2
Gn
게이트 구동부
Voff
Von
400
300
Vcom

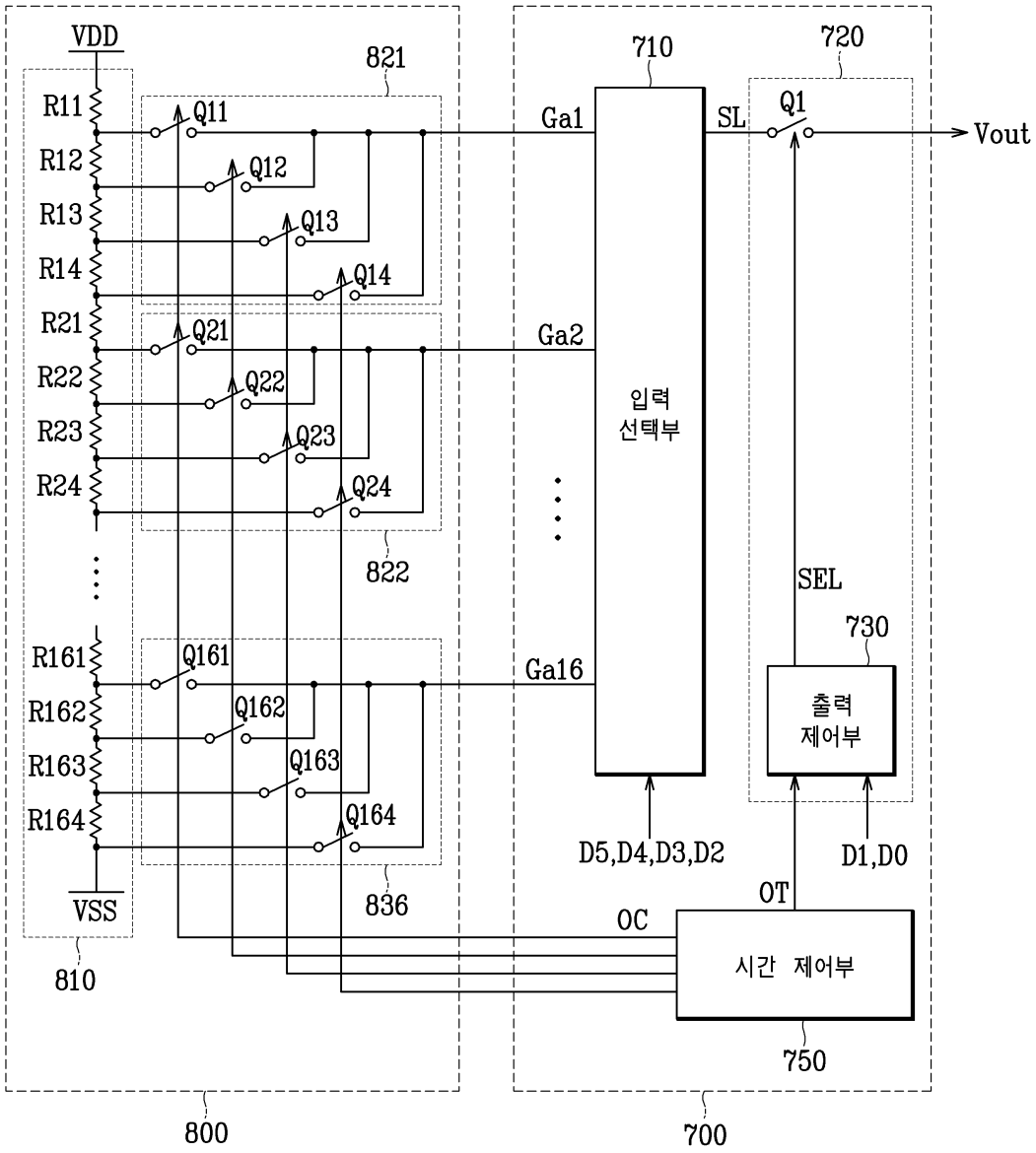
도면2



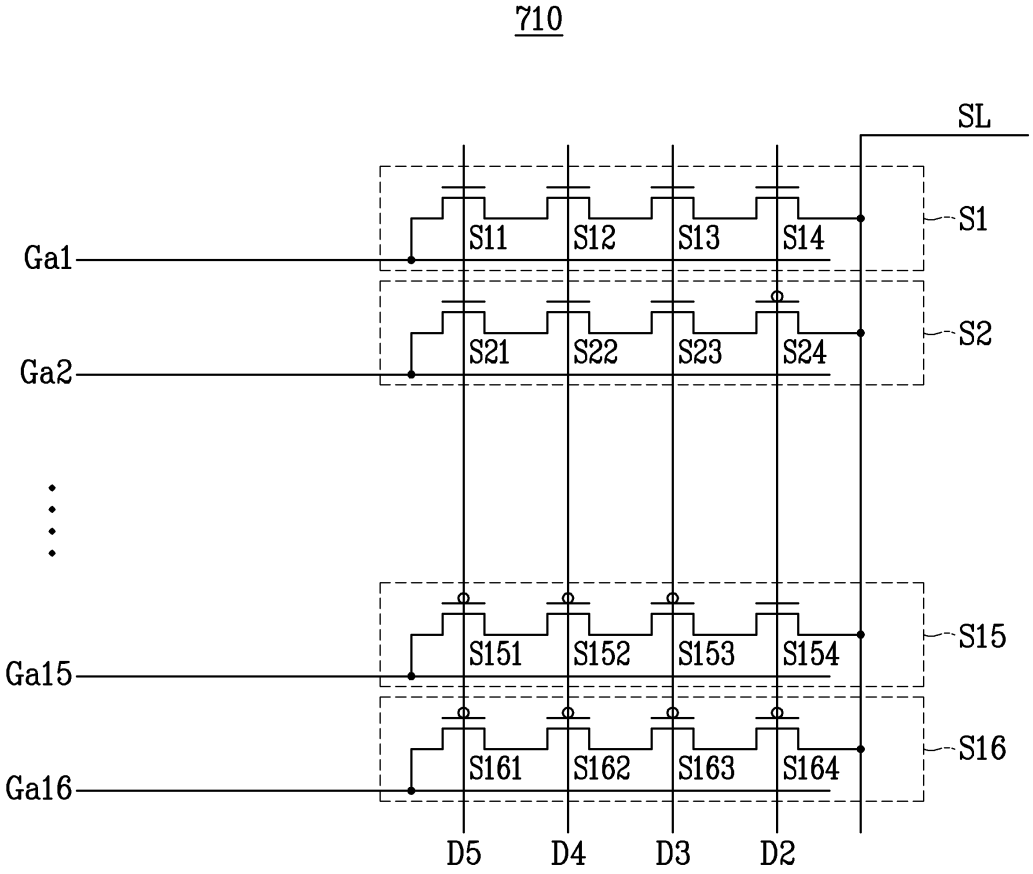
도면3



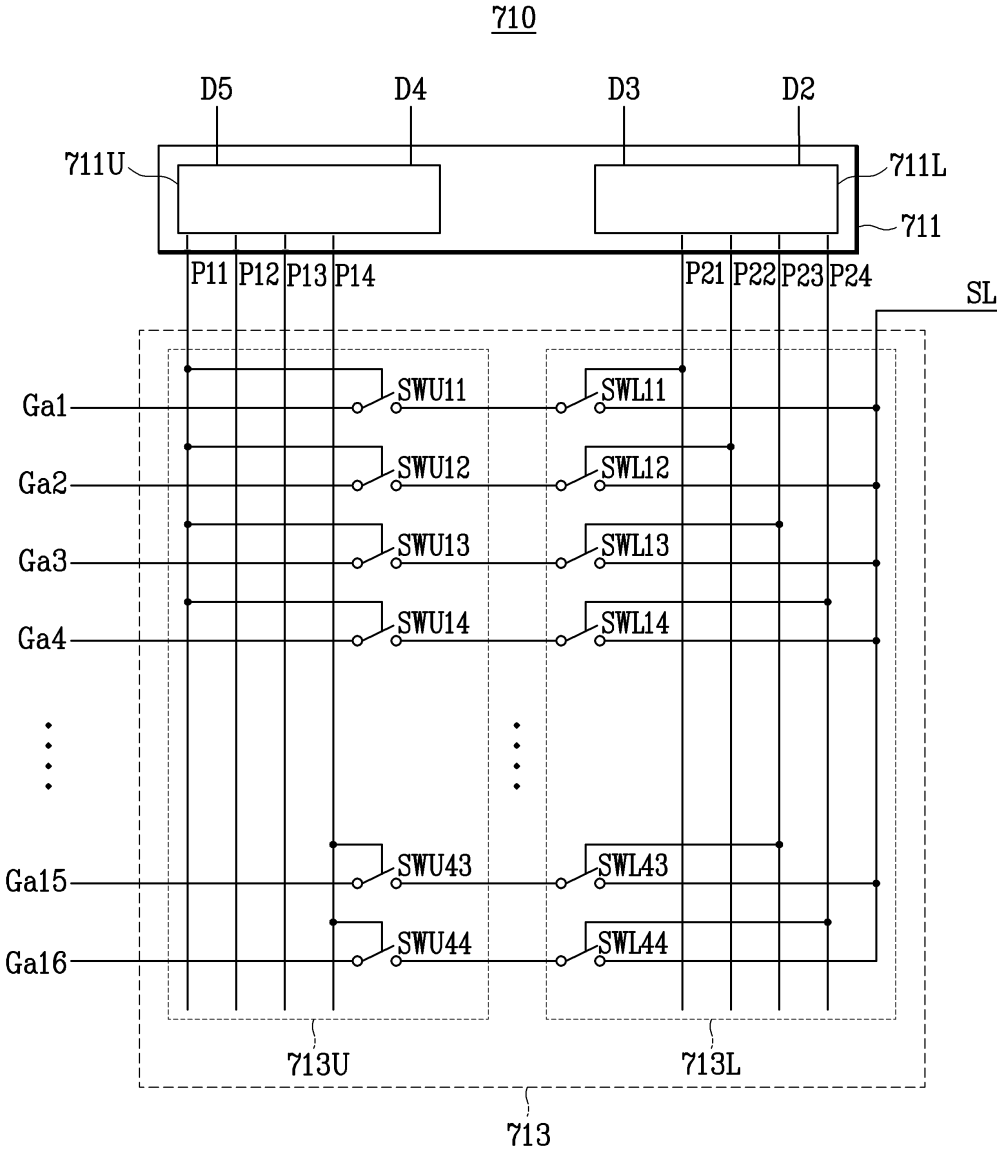
도면4


VDD
821
710
720
R11
Q11
Ga1
SL
Q1
Vout
R12
Q12
R13
Q13
R14
Q14
R21
Q21
Ga2
R22
Q22
입력
선택부
R23
Q23
R24
Q24
822
SEL
730
R161
Q161
Ga16
R162
Q162
출력
제어부
R163
Q163
R164
Q164
D5,D4,D3,D2
D1,D0
OT
VSS
OC
836
시간 제어부
810
750
800
700

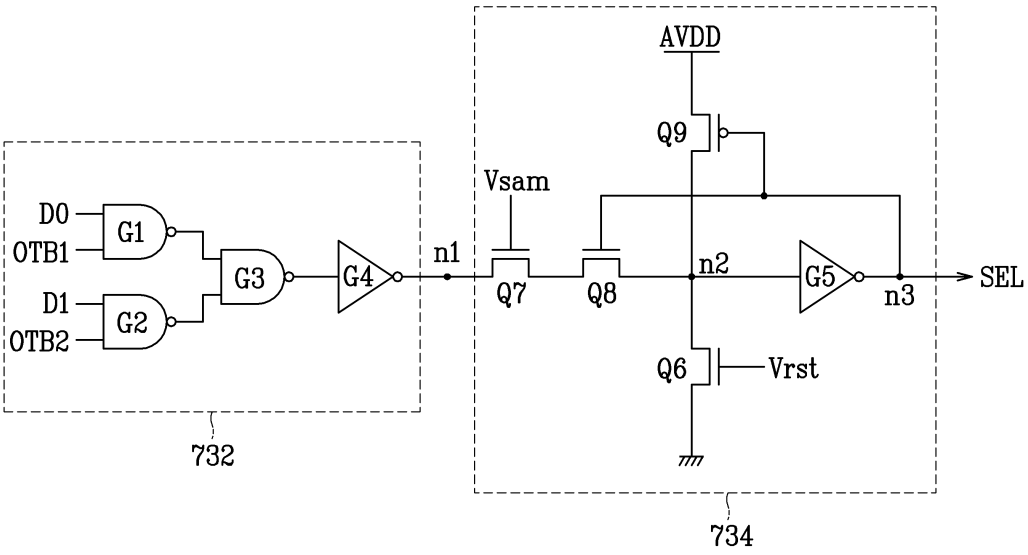
도면5


710
SL
S1
S2
S15
S16
Ga1
Ga2
Ga15
Ga16
S11
S12
S13
S14
S21
S22
S23
S24
S151
S152
S153
S154
S161
S162
S163
S164
D5
D4
D3
D2

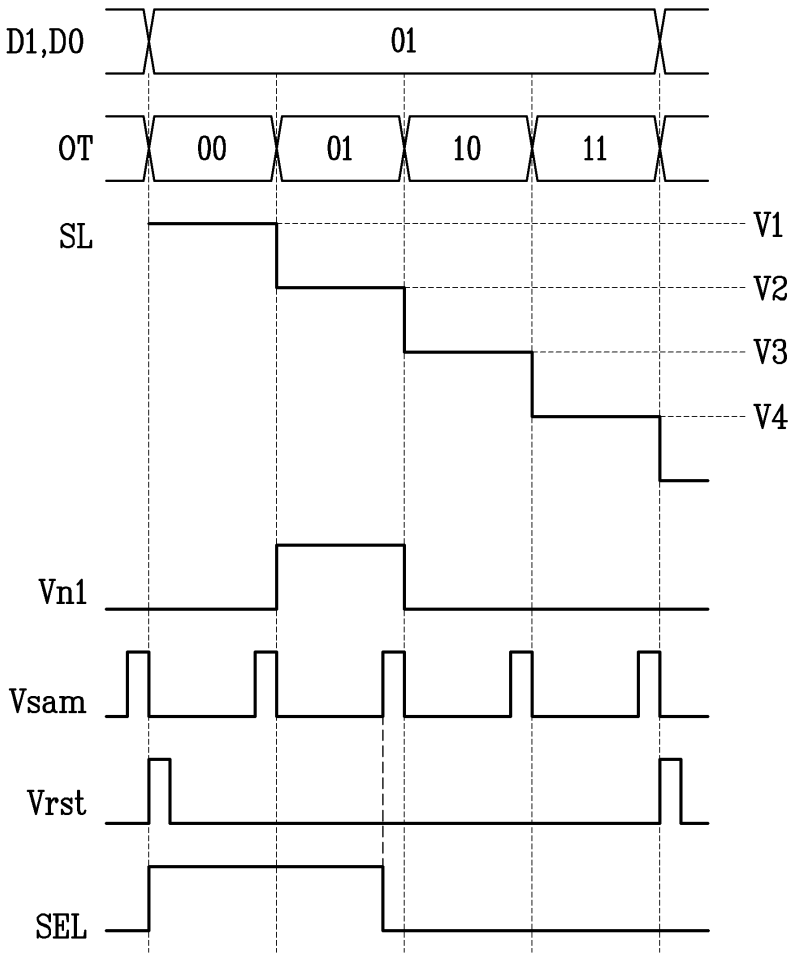
도면6


710
D5
D4
D3
D2
711U
711L
711
P11
P12
P13
P14
P21
P22
P23
P24
SL
Ga1
Ga2
Ga3
Ga4
Ga15
Ga16
SWU11
SWU12
SWU13
SWU14
SWU43
SWU44
SWL11
SWL12
SWL13
SWL14
SWL43
SWL44
713U
713L
713

도면7


AVDD
Q9
Vsam
D0
OTB1
G1
D1
OTB2
G2
G3
G4
n1
Q7
Q8
n2
G5
n3
SEL
Q6
Vrst
732
734

도면8


D1,D0
01
OT
00
01
10
11
SL
V1
V2
V3
V4
Vn1
Vsam
Vrst
SEL