



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201738965 A

(43)公開日：中華民國 106 (2017) 年 11 月 01 日

(21)申請案號：105106806

(22)申請日：中華民國 105 (2016) 年 03 月 04 日

(51)Int. Cl.：

*H01L21/336 (2006.01)**H01L27/115 (2017.01)**H01L29/788 (2006.01)**H01L29/792 (2006.01)*

(30)優先權：2016/01/13

世界智慧財產權組織

PCT/JP2016/050888

(71)申請人：東芝記憶體股份有限公司 (日本) TOSHIBA MEMORY CORPORATION (JP)

日本

(72)發明人：二山拓也 FUTATSUYAMA, TAKUYA (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：31 共 80 頁

(54)名稱

半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE

(57)摘要

根據一實施例，半導體記憶體裝置包含：列解碼器，及具備第 1 區塊之記憶胞陣列。第 1 區塊包含：第 1 區域；第 2 區域，其於第 1 方向與第 1 區域相鄰；及第 3 區域，其連接第 1 區域及第 2 區域。記憶胞陣列進而包含：第 1 絕緣層，其填埋第 1 區域與第 2 區域之間之第 1 槽，且與第 3 區域相接；第 1 接觸插塞，其設置於第 1 絕緣層中，且與列解碼器電性連接；及第 1 配線層，其連接選擇閘極線與第 1 接觸插塞。

指定代表圖：

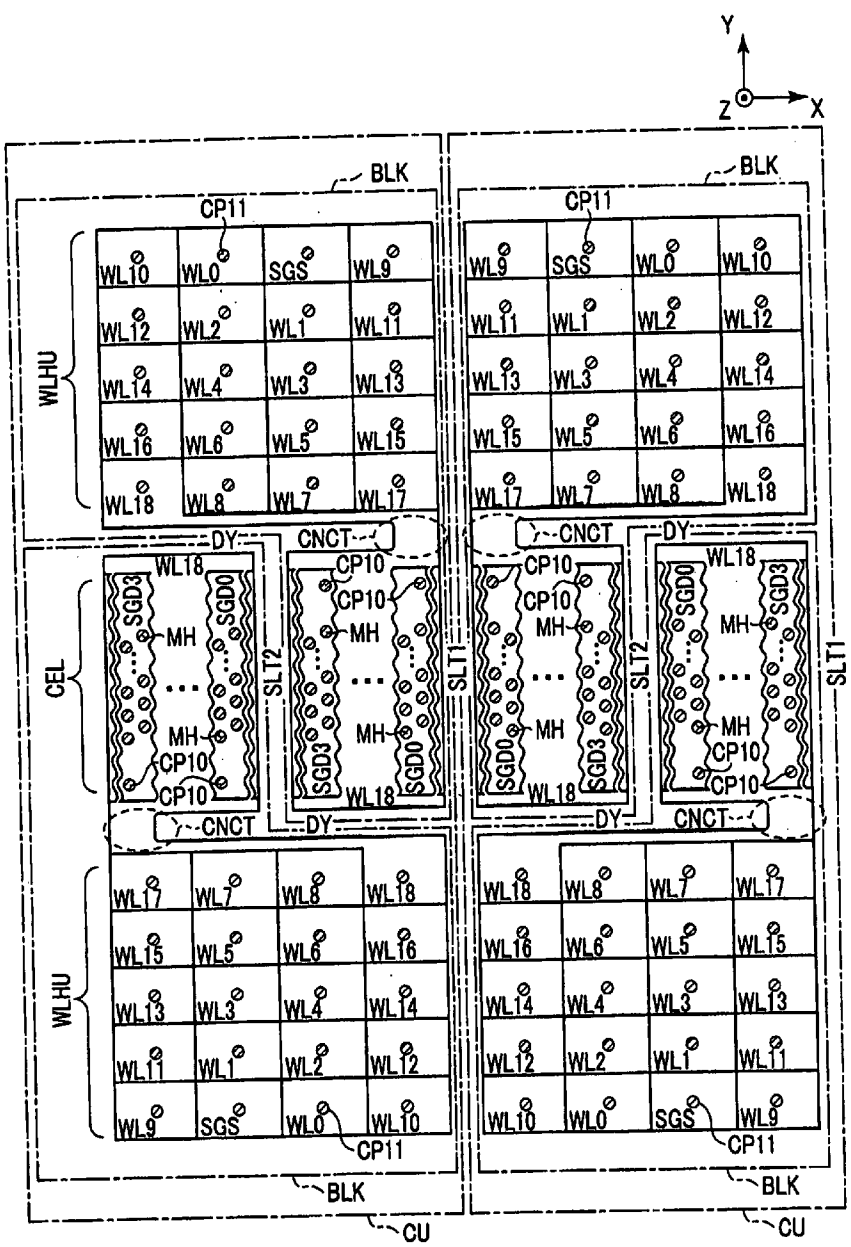


圖 10

- 符號簡單說明：
- BLK . . . 區塊
 - CEL . . . 胞部
 - CNCT . . . 連接部
 - CP10 . . . 接觸插塞
 - CP11 . . . 接觸插塞
 - CU . . . 胞單元
 - DY . . . 槽
 - MH . . . 矽支柱
 - SGD0 . . . 選擇閘極線
 - SGD3 . . . 選擇閘極線
 - SGS . . . 選擇閘極線
 - SLT1 . . . 狹縫
 - SLT2 . . . 狹縫
 - WL0~WL18 . . . 字元線
 - WLHU . . . 字元線接線部
 - X . . . 方向
 - Y . . . 方向
 - Z . . . 方向

發明摘要

※ 申請案號：105106806

※ 申請日：105.3.4

※ IPC 分類：

H01L	21/336	(2006.1)
H01L	27/115	(2006.1)
H01L	29/788	(2006.1)
H01L	29/792	(2006.1)

【發明名稱】

半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE

【中文】

根據一實施例，半導體記憶體裝置包含：列解碼器，及具備第1區塊之記憶體陣列。第1區塊包含：第1區域；第2區域，其於第1方向與第1區域相鄰；及第3區域，其連接第1區域及第2區域。記憶體陣列進而包含：第1絕緣層，其填埋第1區域與第2區域之間之第1槽，且與第3區域相接；第1接觸插塞，其設置於第1絕緣層中，且與列解碼器電性連接；及第1配線層，其連接選擇閘極線與第1接觸插塞。

【英文】

無

【代表圖】

【本案指定代表圖】：第（10）圖。

【本代表圖之符號簡單說明】：

BLK	區塊
CEL	胞部
CNCT	連接部
CP10	接觸插塞
CP11	接觸插塞
CU	胞單元
DY	槽
MH	矽支柱
SGD0	選擇閘極線
SGD3	選擇閘極線
SGS	選擇閘極線
SLT1	狹縫
SLT2	狹縫
WL0～WL18	字元線
WLHU	字元線接線部
X	方向
Y	方向
Z	方向

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體記憶體裝置

SEMICONDUCTOR MEMORY DEVICE

相關申請案之交叉參考

本申請案係基於且主張2016年1月13日申請之PCT申請案第PCT/JP2016/050888號之優先權之利益，其全部內容以引用之方式併入本文中。

【技術領域】

本案記述之實施例一般係關於一種半導體記憶體裝置。

【先前技術】

已知有一種將記憶胞三維排列之NAND(Not-AND：反及)型快閃記憶體。

【發明內容】

一般而言，根據一實施例，半導體記憶體裝置包含：列解碼器，其設置於半導體基板上；及記憶胞陣列，其設置於列解碼器之上方，且具備第1區塊。第1區塊包含：第1區域，其沿著由半導體基板之面內方向即第1方向、及上述面內方向且與第1方向不同之第2方向形成之第1平面伸展，且沿著第2方向具有第1寬度；第2區域，其沿著第1平面伸展，沿著第2方向具有大於上述第1寬度之第2寬度，且於第1方向與上述第1區域相鄰；及第3區域，其沿著第1平面伸展，沿著第2方向具有小於上述第1寬度之第3寬度，且位於第1區域與第2區域之間，而連接兩者。第1至第3區域包含沿著半導體基板之鉛直方向即第3方向積層之複數條第1字元線，且第1區域進而包含設置於最上層之

第1字元線上之第1選擇閘極線。記憶胞陣列進而包含：第1絕緣層，其填埋第1區域與第2區域之間之第1槽，且於上述第2方向與第3區域相接；第1接觸插塞，其設置於第1絕緣層中，且與列解碼器電性連接；及第1配線層，其連接第1選擇閘極線與第1接觸插塞。

【圖式簡單說明】

圖1係第1實施形態之記憶體系統之方塊圖；

圖2係第1實施形態之半導體記憶裝置所具備之區塊之電路圖；

圖3及圖4分別係第1實施形態之列解碼器及感測放大器之電路圖；

圖5係第1實施形態之記憶胞陣列及驅動電路之平面佈局圖；

圖6係第1實施形態之記憶胞陣列之平面佈局圖；

圖7係第1實施形態之記憶胞陣列下區域之平面佈局圖；

圖8係模式性顯示第1實施形態之記憶胞陣列與記憶胞陣列下區域之剖視圖；

圖9係第1實施形態之子陣列之平面佈局圖；

圖10及圖11係第1實施形態之胞單元之平面佈局圖；

圖12及圖13係第1實施形態之胞區域及訊道(lane)R之平面佈局圖；

圖14係沿圖6之14-14線之剖視圖；

圖15至圖20分別係沿圖11之15-15線、16-16線、17-17線、18-18線、19-19線、及20-20線之剖視圖；

圖21係沿圖12及圖13之21-21線之剖視圖；

圖22係顯示第1實施形態之字元線與列解碼器之連接關係之佈局圖；

圖23係第2實施形態之記憶胞陣列下區域之平面佈局圖；

圖24係詳細地顯示圖23之區域R2之平面佈局圖；

圖25係第3實施形態之胞區域之平面佈局圖；

圖26係沿圖25之26A-26A線及26B-26B線之剖視圖；

圖27及圖28分別係第1實施形態之第1變化例及第2變化例之訊道R之平面佈局圖；及

圖29至圖31分別係第3實施形態之第1變化例、第2變化例、及第3變化例之胞區域之平面佈局圖。

【實施方式】

1.第1實施形態

對第1實施形態之半導體記憶裝置進行說明。於以下，作為半導體記憶裝置，舉出將記憶胞於半導體基板上方三維地積層之三維積層型NAND型快閃記憶體為例進行說明。

1.1關於構成

1.1.1關於記憶體系統之整體構成

首先，使用圖1對本實施形態之包含半導體記憶裝置之記憶體系統之大致整體構成進行說明。圖1係本實施形態之記憶體系統之方塊圖。

如圖所示，記憶體系統1具備NAND型快閃記憶體100與控制器200。NAND型快閃記憶體100與控制器200，例如可藉由該等之組合而構成一個半導體裝置，作為其例可舉出如SD™卡般之記憶卡、或SSD(solid state drive：固態驅動器)等。

NAND型快閃記憶體100具備複數個記憶胞，非揮發性地記憶資料。控制器200藉由NAND匯流排而連接於NAND型快閃記憶體100，且藉由主機匯流排而連接於主機機器300。且控制器200控制NAND型快閃記憶體100，或對自主機機器300接收到之命令進行應答，而對NAND型快閃記憶體100進行存取。主機機器300係例如數位相機或個人電腦等，主機匯流排係例如依據SD™介面之匯流排。

NAND匯流排進行遵照NAND介面之信號之收發。該信號之具體

例為指令門鎖賦能信號CLE、位址門鎖賦能信號ALE、寫入賦能信號WEn、讀出賦能信號REn、就緒·忙碌信號RBn、及輸入輸出信號I/O。

信號CLE及ALE係將對NAND型快閃記憶體100之輸入信號I/O分別為指令及位址通知給NAND型快閃記憶體100之信號。信號WEn係於低位準確立、且用於將輸入信號I/O取入至NAND型快閃記憶體100之信號。另，「確立」意指將信號(或邏輯)設為有效(作用)之狀態，相對於此，作為用語「否定(Negate)」意指將信號(或邏輯)設為無效(無作用)之狀態。信號REn亦係於低位準確立、且用於自NAND型快閃記憶體100讀出輸入信號I/O之信號。就緒·忙碌信號RBn係顯示NAND型快閃記憶體100是處於就緒狀態(可接收來自控制器200之命令之狀態)、還是處於忙碌狀態(無法接收來自控制器200之命令之狀態)之信號，且低位準表示忙碌狀態。輸入輸出信號I/O係例如8位元之信號。且輸入輸出信號I/O係於NAND型快閃記憶體100與控制器200之間進行收發之資料之實體，為指令、位址、寫入資料、及讀出資料等。

1.1.2關於控制器200之構成

繼而使用圖1對控制器200之構成之細節進行說明。如圖1所示，控制器200具備主機介面電路210、內置記憶體(RAM：Random-Access Memory，隨機存取記憶體)220、處理器(CPU：Central Processing Unit，中央處理單元)230、緩衝記憶體240、NAND介面電路250、及ECC(Error Correcting Code：錯誤校正碼)電路260。

主機介面電路210經由主機匯流排與主機機器300連接，而將自主機機器300接收到之命令及資料分別傳送至處理器230及緩衝記憶體240。再者，對處理器230之命令進行應答，將緩衝記憶體240內之資料傳送至主機機器300。

處理器230係對控制器200整體之動作進行控制。例如，處理器230於自主機機器300接收到寫入命令時，對其應答而對NAND介面電

路250發行寫入命令。讀出及抹除之時亦相同。又，處理器230執行平均抹寫等、用於管理NAND型快閃記憶體100之各種處理。

NAND介面電路250經由NAND匯流排與NAND型快閃記憶體100連接，掌管與NAND型快閃記憶體100之通信。且，基於自處理器230接收到之命令，將信號ALE、CLE、WEn、及REn輸出至NAND型快閃記憶體100。又，於寫入時，將以處理器230發行之寫入指令、及緩衝記憶體240中之寫入資料作為輸入輸出信號I/O而傳送至NAND型快閃記憶體100。進而於讀出時，將以處理器230發行之讀出指令作為輸入輸出信號I/O傳送至NAND型快閃記憶體100，進而將自NAND型快閃記憶體100讀出之資料作為輸入輸出信號I/O接收，並將其傳送至緩衝記憶體240。

緩衝記憶體240暫時保持寫入資料或讀出資料。

內置記憶體220為例如DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)等半導體記憶體，且作為處理器230之作業區域使用。且內置記憶體220係保持用於管理NAND型快閃記憶體100之韌體、或各種管理表格等。

ECC電路260執行資料之錯誤校正(ECC：Error Checking and Correcting，錯誤檢查與校正)處理。即，ECC電路260於資料之寫入時基於寫入資料產生奇偶校驗位(parity)，於讀出時自奇偶校驗位產生校驗子(syndrome)而檢測錯誤，並更正該錯誤。另，CPU230亦可具有ECC電路260之功能。

1.1.3.1關於NAND型快閃記憶體100之構成

其次，對NAND型快閃記憶體100之構成進行說明。如圖1所示，NAND型快閃記憶體100具備記憶胞陣列110、列解碼器120(120-0～120-3)、驅動電路130、感測放大器140、位址暫存器150、指令暫存器160、及定序器170。

記憶胞陣列110具備複數個包含非揮發性之記憶胞之例如4個區塊BLK(BLK0～BLK3)。且記憶胞單元110記憶自控制器200賦予之資料。

列解碼器120-0～120-3係分別與區塊BLK0～BLK3相對應而設置，且選擇對應之區塊BLK。另，複數個區塊BLK亦可藉由1個列解碼器選擇，此種構成例如記載於2013年3月4日提出申請之美國專利申請案13/784,512號“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE(非揮發性半導體記憶體裝置)”。該申請案之全文以引用之方式併入本文中。

驅動電路130經由列解碼器120-0～120-3，對經選擇之區塊BLK0～BLK3之任一者輸出電壓。

感測放大器140於資料讀出時，感測自記憶胞陣列110讀出之資料，並將該資料DAT輸出至控制器。於資料寫入時，將自控制器200接收到之寫入資料DAT傳送至記憶胞陣列110。

位址暫存器150保持自控制器200接收到之位址ADD。指令暫存器160保持自控制器200接收到之指令CMD。

定序器170基於指令暫存器160所保持之指令CMD，控制NAND型快閃記憶體100整體之動作。又，於設定ROM(Read-Only Memory：唯讀記憶體)熔絲之情形時，將ROM熔絲資料之位址保持於位址暫存器150，且基於該資訊，對定序器170內之ROM熔絲暫存器進行存取，而變更該暫存器之值。NAND介面之SetFeature(設定特徵)指令亦相同。SetFeature指令係由控制器200發行、且用於設定NAND型快閃記憶體100之各種參數之指令。若將SetFeature指令設定於指令暫存器，則繼SetFeature指令之後自控制器200發送之參數資料會被設定於定序器170內之各種暫存器。

1.1.3.2關於記憶胞陣列100之電路構成。

其次，對上述記憶胞陣列110之電路構成進行說明。圖2係任一區塊BLK之電路圖，其他區塊BLK亦具有相同之構成。

如圖所示，區塊BLK包含例如4個串單元SU(SU0～SU3)。又，各個串單元SU包含複數個NAND串111。

NAND串111之各者例如包含19個記憶胞電晶體MT(MT0～MT18)、及選擇電晶體ST(ST1、ST2)。

記憶胞電晶體MT具備包含控制閘極與電荷蓄積層之積層閘極，且非揮發地保持資料。記憶胞電晶體MT之個數不限於19個，其數量不拘。又，電荷蓄積層既可於導電層形成(FG結構)，亦可於絕緣層形成(MONOS結構)。複數個記憶胞電晶體MT係其電流路徑串聯連接於選擇電晶體ST1、ST2間。該串聯連接之一端側之記憶胞電晶體MT18之電流路徑連接於選擇電晶體ST1之電流路徑之一端，另一端側之記憶胞電晶體MT0之電流路徑連接於選擇電晶體ST2之電流路徑之一端。

串單元SU0～SU3之各者之選擇電晶體ST1之閘極分別共通連接於選擇閘極線SGD0～SGD3。另一方面，選擇電晶體ST2之閘極於複數個串單元間共通連接於同一條選擇閘極線SGS。又，位於同一區塊內之記憶胞電晶體MT0～MT18之控制閘極分別共通連接於字元線WL0～WL18。

即，字元線WL0～WL18及選擇閘極線SGS係於同一區塊BLK內之複數個串單元SU0～SU3間共通連接，相對於此，選擇閘極線SGD即便在同一區塊中亦按每一串單元SU0～SU3而獨立。

又，於記憶胞陣列110中配置成矩陣狀之NAND串111之中、位於同一列之NAND串111之選擇電晶體ST1之電流路徑之另一端共通連接於任一位元線BL(BL0～BL(L-1)，(L-1)為1以上之自然數)。即，位元線BL於複數個串單元SU間共通地連接NAND串111，進而於複數個區

塊BLK間亦共通地連接NAND串111。又，選擇電晶體ST2之電流路徑之另一端共通地連接於源極線SL。源極線SL例如於複數個區塊間共通地連接NAND串111。

位於同一區塊內之記憶胞電晶體MT之資料可整批抹除。相對於此，資料之讀出及寫入係針對任一區塊之任一串單元SU之、共通地連接於任一字元線WL之複數個記憶胞電晶體MT整批地進行。

又，資料之抹除可以區塊BLK單位、或較區塊BLK更小之單位進行。關於抹除方法，例如記載於2011年9月18日提出申請之美國專利申請案13/235,389號“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE(非揮發性半導體記憶體裝置)”。又，記載於2010年1月27日提出申請之美國專利申請案12/694,690號“NON-VOLATILE SEMICONDUCTOR STORAGE DEVICE(非揮發性半導體儲存裝置)”。此外，記載於2012年5月30日提出申請之美國專利申請案13/483,610號“NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DATA ERASE METHOD THEREOF(非揮發性半導體記憶體裝置及其資料抹除方法)”。該等申請案之全文以引用之方式併入本文中。

1.1.3.3關於列解碼器120之電路構成

其次，使用圖3對列解碼器120之電路構成進行說明。如圖所示，列解碼器120具備區塊解碼器40及高耐壓n通道(channel)MOS電晶體50(50-0～50-23)。

首先，對區塊解碼器40進行說明。區塊解碼器40於資料之寫入、讀出、及抹除時，對自位址暫存器150接收到之區塊位址BA進行解碼。且，於區塊位址BA與對應之區塊BLK一致時，使信號TG確立。確立之信號TG之電位被設為將電晶體50設為導通狀態之電壓。另一方面，於區塊位址BA與該區塊BLK不一致時，將信號TG否定，

而其電位被設為將電晶體50設為斷開狀態之電壓(例如0 V)。

其次，對電晶體50進行說明。電晶體50-0～50-18係用於對選擇區塊BLK之字元線WL0～WL18傳送電壓者。電晶體50-0～50-18各者之電流路徑之一端分別連接於對應之區塊BLK之字元線WL0～WL18，另一端分別連接於信號線CG0～CG18，且閘極共通地連接於信號線TG。

電晶體50-19～50-22係用於對選擇區塊BLK之選擇閘極線SGD0～SGD3傳送電壓者。電晶體50-19～50-22各者之電流路徑之一端連接於對應之區塊BLK之選擇閘極線SGD0～SGD3，另一端連接於信號線SGDD0～SGDD3，且閘極共通地連接於信號線TG。

電晶體50-23係用以對選擇區塊BLK之選擇閘極線SGS傳送電壓者。電晶體50-23其電流路徑之一端連接於對應之區塊BLK之選擇閘極線SGS，另一端連接於信號線SGSD，且閘極共通地連接於信號線TG。

因此，例如於對應於選擇區塊BLK之列解碼器120中，電晶體50-0～50-23為導通狀態。藉此，字元線WL0～WL18連接於信號線CG0～CG18，選擇閘極線SGD0～SGD3連接於信號線SGDD0～SGDD3，選擇閘極線SGS連接於信號線SGSD。

另一方面，例如於對應於非選擇區塊BLK之列解碼器120中，將電晶體50-0～50-23設為斷開狀態。藉此，將字元線WL及選擇閘極線SGD、及SGS自信號線CG、SGDD、及SGSD分離。

信號線CG、SGDD、及SGSD係於列解碼器120-1～120-3共通地使用。且，驅動電路130遵照自位址暫存器150接收之頁位址PA，對信號線CG、SGDD、及SGS施加電壓。即，將自驅動電路130輸出之電壓經由對應於選擇區塊之任一系列解碼器120內之電晶體50，傳送至選擇區塊內之配線WL、SGD、及SGS。

1.1.3.4關於感測放大器140之電路構成

其次，對感測放大器140之電路構成進行說明。作為本例之感測放大器140，雖於以下舉出藉由感測流通於位元線之電流而判別資料之構成為例，但亦可為感測電壓之構成。

感測放大器140具備針對每一位元線BL設置之感測電路10。圖4係該感測電路10之電路圖。

如圖所示，感測電路10大致具備感測放大部11、門鎖電路12、及連接部13。再者，於各個記憶胞電晶體保持2位元以上之資料時等，將門鎖電路設置2個以上。

連接部13連接對應之位元線BL與感測放大部11，而控制位元線BL之電位。連接部13具備n通道MOS電晶體14及15。電晶體14係於閘極被施加信號BLS，且源極連接於對應之位元線BL。電晶體15其源極連接於電晶體14之汲極，於閘極被施加信號BLC，且汲極連接於節點SCOM。電晶體15係用以將對應之位元線BL箝位為對應於信號BLC之電位者。

感測放大部11感測被讀出至位元線BL之資料。感測放大部11具備n通道MOS電晶體20～26、p通道MOS電晶體27、及電容元件28。

電晶體27係用於對位元線BL及電容元件28進行充電者，於閘極連接有節點INV_S，汲極連接於節點SSRC，且於源極被賦予電源電壓VDD。電晶體20係用於對位元線BL進行預充電者，於閘極被賦予信號BLX，汲極連接於節點SSRC，且源極連接於節點SCOM。電晶體22係用於對電容元件28進行充電者，於閘極被賦予信號HLL，汲極連接於節點SSRC，且源極連接於節點SEN。電晶體21係用以於資料感測之時對節點SEN進行放電者，於閘極被賦予信號XXL，汲極連接於節點SEN，且源極連接於節點SCOM。電晶體26係用於將位元線BL固定於一定電位者，閘極連接於節點INV_S，汲極連接於節點SCOM，

且源極連接於節點SRCGND。

電容元件28係於位元線BL之預充電之時被充電，且其中一電極連接於節點SEN，於另一電極被賦予信號CLK。

電晶體23係於閘極被賦予信號BLQ，源極連接於節點SEN，且汲極連接於節點LBUS。節點LBUS係用於連接感測放大部11與門鎖電路12之信號路徑。電晶體24係決定資料之感測時序、且用於將讀出之資料儲存至門鎖電路12者，於閘極被賦予信號STB，且汲極連接於節點LBUS。

電晶體25係用於感測讀出資料為“0”還是“1”者，其閘極連接於節點SEN，汲極連接於電晶體24之源極，且源極接地。

節點INV_S係門鎖電路12內之節點，其取得對應於門鎖電路12之保持資料之位準。例如，若於資料讀出時選擇記憶胞變成導通狀態，且節點SEN充分下降，則節點INV_S成為“H”位準。另一方面，若選擇記憶胞為斷開狀態，且節點SEN保持一定電位，則節點INV_S成為“L”位準。

於以上之構成中，於信號STB確立之時序，電晶體25基於節點SEN之電位而感測讀出資料，且電晶體24將讀出資料傳送至門鎖電路12。包含信號STB在內之各種控制信號例如係由定序器170賦予。

另，作為感測電路10，可應用各種構成，例如可應用標題為“THRESHOLD DETECTING METHOD AND VERIFY METHOD OF MEMORY CELL(記憶胞之閾值檢測方法及驗證方法)”之、2011年3月21日提出申請之美國專利申請案13/052,148所記載之構成。該申請案之全部內容以引用之方式併入本文中。

1.2關於NAND型快閃記憶體100之平面佈局及剖面構成

其次，就上述構成之NAND型快閃記憶體100之平面佈局及剖面構成之一具體例，著眼於記憶胞陣列110、列解碼器120、及感測放大

器140，於以下進行說明。

1.2.1關於整體構成

首先，使用圖5就大致之平面佈局及剖面構成進行說明。圖5顯示記憶胞陣列110及驅動電路130之平面佈局。如圖所示，記憶胞陣列110具備於X軸方向排列之例如4個邏輯平面LP(LP0～LP3)。邏輯平面LP係對記憶胞陣列110之邏輯存取單位，且亦可對複數個邏輯平面LP同時進行存取。

另，正交於X軸方向之Z軸方向係相對於形成NAND型快閃記憶體100之半導體基板之表面垂直之方向。又，X軸方向係正交於Z軸方向，且為半導體基板之面內方向之一。且，Y軸方向係正交於Z軸方向及X軸方向，且為於半導體基板之面內方向上與X軸方向不同之方向。

各邏輯平面LP具備沿Y軸方向排列之例如4個子陣列SBARY。因此，若為圖5之例，則在記憶胞陣列110內於XY平面內具備(4×4)個子陣列SBARY。

子陣列SBARY之各者具備例如4個胞區域、2個訊道C、及2個訊道R。4個胞區域於XY平面中配置成(2×2)之陣列狀，於沿X軸方向相鄰之2個胞區域間設置訊道C，且於沿Y軸方向相鄰之2個胞區域間設置訊道R。胞區域係實際上供形成記憶胞電晶體MT之區域。且，於胞區域內，藉由沿Z軸方向積層記憶胞電晶體MT而形成NAND串111，且藉由該NAND串111之集合而形成複數個區塊BLK。相對於此，訊道C係與位元線BL等行系之配線相關之連接部，訊道R係與字元線或信號線CG等列系之配線相關之連接部。

另，訊道C及訊道R不僅設置於子陣列內，亦設置於鄰接之子陣列間。於圖6中顯示該情況。圖6詳細地顯示圖5之區域R1。如圖所示，訊道R亦設置於屬於相互不同之子陣列SBARY且於Y軸方向鄰接

之胞區域間。又，訊道C亦設置於屬於相互不同之子陣列SBARY(換言之即邏輯平面LP)且於X軸方向鄰接之胞區域間。

圖7顯示列解碼器120及感測放大器140之平面佈局(於XY平面觀看之配置)。列解碼器120及感測放大器140位於記憶胞陣列110之正下方。於圖7中，顯示與2個邏輯平面LP(即(4×2)個子陣列SBARY)於Z軸方向重疊之區域之列解碼器120及感測放大器140之配置例。另，列解碼器120及感測放大器140係分割成複數個區域而形成於半導體基板上。以下將該分割之各區域稱為列解碼器RD及感測放大器SA。又，於圖4中雖省略說明，但感測電路10具備複數個門鎖電路，且具備使用門鎖電路所保持之資料進行運算之運算電路。將該運算電路於圖7中顯示為運算電路YLOG。

如圖7所示，於1個子陣列SBARY正下方，配置有2個感測放大電路SA、4個列解碼器RD、及2個運算電路YLOG。且，於著眼於某一子陣列SBARY之情形時，若為圖7之例，則於位於圖7之紙面之左上方之胞區域60-1正下方配置感測放大器SA。又，在於Y軸方向上隔著訊道R而與胞區域60-1相鄰之胞區域60-2正下方，沿Y軸方向依序配置列解碼器RD、運算電路YLOG、及列解碼器RD。進而，在於X軸方向上夾隔訊道C與胞區域60-1相鄰之胞區域60-3正下方，沿Y軸方向依序配置列解碼器RD、運算電路YLOG、及列解碼器RD。且，在與胞區域60-3於Y軸方向相鄰之胞區域60-4正下方，配置感測放大器SA。

即，於記憶胞陣列110之正下方之區域，規則地排列感測放大器SA、列解碼器RD、及運算電路YLOG。即，感測放大器SA於Y軸方向及X軸方向之任一者上，皆與2個列解碼器RD與運算電路YLOG之組合相鄰。又，該列解碼器RD與運算電路YLOG之組合亦於Y軸方向及X軸方向之任一者上，皆與感測放大器SA相鄰。即，於記憶胞陣列110正下方之區域中，於X軸方向及Y軸方向之兩者上，交錯地排列有

感測放大器SA、及列解碼器RD與運算電路YLOG之組合。且，1個感測放大器SA重疊於1個胞區域60，列解碼器RD與運算電路YLOG之1個組合重疊於1個胞區域60。

圖8係記憶胞陣列110及記憶胞陣列110正下方之區域之剖視圖，且顯示子陣列SBARY之典型之構成。

如圖所示，於半導體基板500上形成感測放大器140及列解碼器120。且，以被覆該等之方式於半導體基板500上形成層間絕緣膜501，並於層間絕緣膜501上形成記憶胞陣列110。且，於層間絕緣膜501上，以被覆記憶胞陣列110之方式形成層間絕緣膜502。

即，於半導體基板500上，形成感測放大器140及列解碼器120所包含之半導體元件(MOS電晶體等)。於被覆該等半導體元件之層間絕緣膜501中，形成有例如2層金屬配線層(胞下配線M0及M1)。配線M1形成於較配線M0更上層。且，藉由配線M0及M1，進行感測放大器140內及列解碼器120內之半導體元件間之電性連接，再者，進行感測放大器140及列解碼器120與記憶胞陣列110之電性連接。配線M0與半導體基板500或閘極GC之間係藉由接觸插塞CS連接，進而配線M0與M1之間係藉由接觸插塞V1連接。

於層間絕緣膜501上，形成有記憶胞陣列110。於胞區域中，首先於層間絕緣膜501上，形成作為源極線SL發揮功能之導電層(例如多晶矽層或金屬層)，且於源極線SL上，形成有成為NAND串111之電流路徑(形成記憶胞電晶體MT以及選擇電晶體ST1及ST2之通道之區域)之矽支柱MH。進而於源極線SL上，經由絕緣膜而形成有作為選擇閘極線SGS、字元線WL、及選擇閘極線SGD發揮功能之複數層導電層(例如多晶矽層)。又，於選擇閘極線SGS及字元線WL與矽支柱MH之間，以包圍矽支柱MH之周圍之方式形成有電荷蓄積層。電荷蓄積層係以例如導電層(多晶矽層等)形成之浮動閘極電極FG。但電荷蓄積層

亦可藉由絕緣膜形成。於矽支柱MH與浮動閘極電極FG之間設置有閘極絕緣膜，又，於浮動閘極電極FG與選擇閘極GSGS及字元線WL之間設置有區塊絕緣膜。

又，於胞區域，設置有自最上層之字元線貫通至源極線SL之槽DY，且該槽DY內係藉由層間絕緣膜502填埋。於圖8所示之區域中，雖藉由槽DY將作為字元線WL、選擇閘極線SGS、及源極線SL發揮功能之導電層分割成2個區域，但將兩者於未圖示之區域連接(後述之連接部CNCT)。又，於槽DY內，設置有連接於配線M1之接觸插塞C0。

面向訊道R之選擇閘極線SGS及字元線WL之端部具有階梯狀之形狀。即，將選擇閘極線SGS及字元線WL之端部以與上層之配線(字元線WL)重疊之方式加工。於該區域中，於選擇閘極線SGS、SGD及字元線WL上形成有接觸插塞CC。

於訊道R及訊道C中，於層間絕緣膜502內形成連接於配線M1之接觸插塞C0。

於矽支柱MH及接觸插塞CC上，形成接觸插塞C1。進而以被覆上述構成之方式，形成有層間絕緣膜502。

於層間絕緣膜502上形成有層間絕緣膜503，且於層間絕緣膜503內形成有2層金屬配線層(胞上配線D1及D2)。配線D2形成於較配線D1更上層。例如藉由配線D1進行記憶胞陣列110與列解碼器120及感測放大器140之電性連接，藉由配線D2傳送控制列解碼器120或感測放大器140之信號。

於胞區域內，於層間絕緣膜502上形成連接於接觸插塞C1之配線D1，且該等作為選擇閘極線SGD及SGS、字元線WL、位元線BL、以及源極線SL發揮功能。又，配線D2係藉由未圖示之接觸插塞C2而連接於配線D1。

1.2.2關於子陣列SBARY之細節

其次，對上述子陣列SBARY之構成之細節進行說明。

1.2.2.1關於子陣列SBARY之平面構成

首先，對子陣列SBARY之平面構成之細節進行說明。

<關於胞區域之平面構成>

圖9顯示圖5所示之任1個子陣列SBARY，且係更詳細地顯示胞區域之構成者。如圖所示，子陣列SBARY中所含之胞區域之各者，具備複數個胞單元CU。胞單元CU之各者包含2個區塊BLK(區塊1、區塊2)。且各區塊BLK包含胞部CEL、字元線接線部WLHU、及連接部CNCT。

胞部CEL係包含於圖8所說明之源極線SL、選擇閘極線SGS及SGD、以及字元線WL之積層體，且係進而於內部包含記憶孔MH、且形成NAND串111之區域。

接線部WLHU係用以於字元線WL及選擇閘極線SGS上形成接觸插塞之區域。經由該接觸插塞，將字元線WL電性連接於列解碼器RD之電晶體50。另，於接線部WLHU中未設置選擇閘極線SGD。細節雖見後述，但其原因在於，如圖8所示，選擇閘極線SGD係經由胞區域內之槽DY而連接於列解碼器RD之電晶體50。

連接部CNCT係用於將胞部CEL之字元線WL及選擇閘極線、與接線部WLHU之字元線WL及選擇閘極線SGS物理連接之區域。

進而，於各區塊BLK中，沿Y方向排列有胞部CEL、連接部CNCT、及接線部WLHU。此時，在一者之區塊BLK中，沿Y方向按胞部CEL、連接部CNCT、及接線部WLHU之順序排列，相對的，於另一者之區塊BLK中，相反地按接線部WLHU、連接部CNCT、及胞部CEL之順序排列。

且，於各胞單元CU中2個胞部CEL沿X方向相鄰。該等2個胞部CEL係藉由沿Y方向設置之狹縫SLT2物理分離。狹縫SLT2具有於貫穿

胞部CEL之選擇閘極線SGS及SGD以及字元線WL之槽內填埋絕緣層之結構。

又，各胞單元CU內之2個接線部WLHU係以介隔於上述X方向排列之2個胞部CEL而於Y方向相對之方式配置。接線部WLHU之沿X方向之寬度大致等於例如2個胞部CEL之沿X方向之寬度、與狹縫SLT2之沿X方向之寬度。且，於Y方向相鄰之接線部WLHU與胞部CEL係藉由沿X方向設置之槽DY物理分離。槽DY具有於貫穿源極線SL、選擇閘極線SGS及SGD、以及字元線WL之槽內填埋絕緣層之結構。

連接部CNCT設置於屬於同一區塊之胞部CEL與接線區域WLHU之間。藉由該連接部CNCT，如上述般，將胞部CEL之選擇閘極線SGS及字元線WL與屬於與該胞部CEL同一區塊BLK之選擇閘極線SGS及字元線WL物理連接。另，連接部CNCT之沿X方向之寬度小於胞部CEL之沿X方向之寬度。因此，於同一區塊BLK內之胞部CEL與接線部WLHU之間亦存在槽DY。換言之，於某一胞單元CU中，胞部CEL之沿Y方向之兩端之中、面向屬於與該胞部CEL不同之區塊BLK之接線部WLHU之端部，其整面面向槽DY。另一方面，面向屬於與該胞部CEL相同區塊BLK之接線部WLHU(換言之，藉由該連接部CNCT與該胞部CEL物理連接之接線部)之端部，僅其一部分面向槽DY(其餘之區域連接於連接部CNCT)。進而換言之，將區塊BLK於XY平面觀看時之結構於連接部CNCT中具有中間變細之形狀。

於各胞區域中，具有上述構成之複數個胞單元係藉由沿Y方向設置之狹縫SLT1而物理分離。狹縫SLT1具有於貫穿選擇閘極線SGS及SGD以及字元線WL之槽內填埋絕緣層之結構，且係自胞單元CU之一者之區塊BLK之接線部WLHU之端部經由胞部CEL達至另一者之區塊BLK之接線部WLHU之端部而設置。另，槽DY雖以自選擇閘極線SGD亦貫穿源極線SL之方式形成，但狹縫SLT1及SLT2只要分離選擇

閘極線SGD及字元線WL即可，亦可為不分離源極線SL之情形。

夾隔該狹縫SLT1相鄰之胞單元CU之XY平面之形狀設為相對於狹縫SLT1成線對稱。即，若著眼於某2個胞單元CU之情形時，將一者之胞單元CU之區塊BLK1、與於X方向相鄰之不同胞單元CU之區塊BLK1，以相互之槽DY介隔狹縫SLT1而對面之方式配置。於該區域中，對面之2條槽DY係藉由以與狹縫SLT1交叉之方式進行之蝕刻步驟，及將藉由該蝕刻步驟形成之槽以絕緣層填埋而形成。且，兩者之胞部CEL係以中間介隔另一者之區塊BLK2之胞部CEL而相對之方式設置。

相對於此，區塊BLK2係以相互之連接部CNCT及胞部CEL介隔狹縫SLT1對面之方式配置。相反的，於兩者之槽DY之間，介隔連接部CNCT。因此，該等2個區塊BLK2之槽DY與先前所述之BLK1不同，係於蝕刻步驟中，形成為物理上不同之槽。

上述狹縫SLT1亦設置於在X方向上相鄰之胞區域間，該區域係訊道C。設置於訊道C之狹縫SLT1具有亦貫穿源極線SL之結構。訊道C於胞區域間沿Y方向設置。

又，在於Y方向相鄰之胞區域，亦設置去除上述源極線SL、選擇閘極線SGS及SGD、及字元線WL，且將經去除之區域藉由絕緣層填埋之區域，該區域係訊道R。訊道R於胞區域間沿X方向設置。

使用圖10及圖11對胞區域之平面構成更詳細地進行說明。圖10顯示2個胞單元CU之平面佈局，圖11顯示於圖10中進而藉由胞上配線形成之配線層。另，於圖10中，省略形成於槽DY之接觸插塞CP10之圖示。

首先對胞部CEL進行說明。如圖10及圖11所示，於胞部CEL中，積層有於XY平面伸展之平板狀之選擇閘極線SGS及字元線WL，且於字元線WL之積層體之最上層設置字元線WL18。於字元線WL18上，

設置長度方向沿著Y方向之條形狀之選擇閘極線SGD(SGD0～SGD3)。選擇閘極線SGD之側面於XY平面上具有凹凸之形狀，更具體而言具有波形之形狀。

於該選擇閘極線SGD上，形成有圖8所說明之矽支柱MH。該矽支柱MH係以自選擇閘極線SGD達至源極線SL之方式形成。又，如圖10所示，矽支柱MH於選擇閘極線SGD上設置為錯位狀。

且，於矽支柱MH上，形成沿著X方向之條形狀之金屬配線層IC0。該金屬配線層IC0相當於圖8所說明之胞上配線D1，且作為位元線BL發揮功能。

進而，於選擇閘極線SGD之沿著Y方向之兩端部之中、接近連接部CNCT之側之端部，設置接觸插塞CP10。接觸插塞CP10係用於將選擇閘極線SGD連接於列解碼器RD之電晶體50者，更具體而言係用於將作為選擇閘極線SGD發揮功能之導電層連接於胞上配線D1者。進而，於槽DY內設置接觸插塞CP12。又，使用胞上配線D1形成連接接觸插塞CP10與CP12之金屬配線層IC1。接觸插塞CP12係形成於槽DY內之絕緣層內，且連接於胞下配線M1。經由該接觸插塞CP10、CP12及配線層IC1，將選擇閘極線SGD電性連接於列解碼器RD之電晶體50。

另，將設置於屬於某一區塊BLK之胞部CEL之接觸插塞CP10連接於設置於與屬於相同區塊BLK之接線部WLHU之間之槽DY內之接觸插塞CP12。即，胞部CEL雖於沿著Y方向之兩端與槽DY相接，但連接於設置於該等2條槽DY之中、與接觸插塞CP10之距離較近側之槽DY之接觸插塞CP12。

又，若為圖10及圖11之例，則於某一胞部CEL、與屬於與該胞部CEL所屬之區塊BLK不同之區塊BLK之接線部WLHU之間之DY，未設置接觸插塞CP12。但，亦可於該槽DY內設置接觸插塞CP12之一部

分。

其次，對接線部WLHU進行說明。如圖10及圖11所示，於接線部WLHU中，亦積層有於XY平面伸展之平板狀之選擇閘極線SGS及字元線WL。且，接線區域WLHU包含例如(5×4)個矩形之區域，且於各區域中，露出選擇閘極線SGS及字元線WL0～WL18之表面。若為圖10及圖11之例，於各行中，配線層係每隔1層露出。

更具體而言，於某一行(將其稱為第1行)中，露出選擇閘極線SGS、字元線WL1、WL3、WL5、及WL7之上表面。於鄰接於第1行之行(將其稱為第2行)中，露出字元線WL0、WL2、WL4、WL6、及WL8之上表面。於介隔第1行而鄰接於第2行之行(將其稱為第3行)中，露出字元線WL9、WL11、WL13、WL15、及WL17之上表面。且，於介隔第2行而鄰接於第1行之行(將其稱為第4行)中，露出字元線WL10、WL12、WL14、WL16、及WL18之上表面。

又，於各行中，越接近連接部CNCT之區域，則越位於上層之配線層露出。即，於最接近連接部CNCT之列中，露出字元線WL7、WL8、WL17、及WL18之上表面，於最遠離連接部CNCT之列中，露出選擇閘極線SGS、字元線WL0、WL9、及WL10之上表面。

且，於(5×4)個區域上，分別形成接觸插塞CP11。接觸插塞CP11連接於使用胞上配線D1形成之金屬配線層IC2。金屬配線層IC2係自接線部WLHU引出至訊道R。且於訊道R與列解碼器RD之電晶體50連接(關於該點見後述)。

<關於訊道R之平面構成>

其次，使用圖12及圖13對訊道R之平面構成之細節進行說明。圖12及圖13顯示3個胞部CEL、及位於該等之間之2個訊道R之平面佈局(XY平面)，且圖12之Y軸方向端部之一點鏈線與圖13之Y軸方向端部之一點鏈線顯示相同位置。

如使用圖9所說明般，於訊道R中，於Y方向相鄰之胞區域之接線部WLHU相對向。且於訊道R中，形成於一者之接線部WLHU之金屬配線層IC2、與形成於另一者之接線部WLHU之金屬配線層IC2連接。進而，於設置於訊道R之絕緣層內設置接觸插塞CP21。接觸插塞CP21係用於將字元線WL連接於列解碼器RD之電晶體50者，更具體而言係用於將連接於字元線WL之金屬配線層IC2連接於胞下配線M1者。接觸插塞CP21分別連接於對應之金屬配線層IC2，進而連接於胞下配線M1。經由該等配線層IC2及接觸插塞CP21，將選擇閘極線SGS及字元線WL電性連接於列解碼器RD之電晶體50。

即，積層於胞部CEL內之選擇閘極線SGS、SGD、及字元線WL之中，選擇閘極線SGD經由形成於設置於胞部CEL內之槽DY之接觸插塞CP12，而電性連接於記憶胞陣列下之區域。另一方面，選擇閘極線SGS及字元線WL經由形成於訊道R之接觸插塞CP21，而電性連接於記憶胞陣列下之區域。

另，於訊道C中，雖將位元線BL電性連接於記憶胞陣列下之區域，但因其平面構成與訊道R大致相同，故省略詳細之說明。

1.2.2.2關於子陣列SBARY之剖面構成

其次，對就上述平面構成所說明之上述子陣列SBARY之剖面構成之細節進行說明。

<關於胞區域之剖面構成>

首先，對胞區域之剖面構成進行說明。圖14係沿著圖6之14-14線之剖視圖，圖15係沿著圖11之15-15線之剖視圖。

如上述，於半導體基板500上形成列解碼器120及感測放大器140，且於該等之上方之區域形成胞區域。於胞部中，首先於未圖示之層間絕緣膜上設置源極線SL，於源極線SL上形成選擇閘極線SGS，於選擇閘極線SGS上積層複數條字元線WL，且於其之上設置有選擇

閘極線SGD。各配線層間係藉由絕緣層電性分離。

進而，以貫通該等選擇閘極線SGD及字元線WL達至源極線SL之方式，設置矽支柱MH。於矽支柱MH上設置接觸插塞CP13，且於接觸插塞CP13上，設置作為位元線BL發揮功能之金屬配線層IC0。

其次，使用圖15對接線部WLHU進行說明。接線部WLJU亦與胞部CEL同樣，於被覆列解碼器120及感測放大器140之層間絕緣膜上設置源極線SL，於源極線SL上形成選擇閘極線SGS，並於選擇閘極線SGS上積層有複數條字元線WL。於接線部WLHU中，選擇閘極線SGS上及字元線WL之、面向訊道R之端部具有階梯狀之形狀。即，越下層之配線層，沿著Y方向之長度越長，而具有與上層之配線層不重疊之區域。

於圖16至圖20中顯示該情況。圖16至圖20係沿圖11之16-16線、17-17線、18-18線、19-19線、及20-20線之剖視圖。如圖所示，下層之配線層與上層之配線層不重疊之區域相當於圖10所說明之(5×4)個形成有接觸插塞CP11之區域。另，於圖16至圖20中雖省略圖示，但於接觸插塞CP11之周圍填埋有絕緣層，而將接觸插塞CP11彼此間電性絕緣。

其次，對槽DY進行說明。如圖13所示，槽DY於胞部CEL與接線部CEL之間，將源極線SL、選擇閘極線SGS、及字元線WL物理分斷。如先前所述，於該槽DY內填埋絕緣層。且，於該絕緣層內形成接觸插塞CP12。接觸插塞CP12自胞上配線D1(金屬配線層IC1)之階層達至胞下配線M1之階層。且，進而經由胞下配線M0，連接於列解碼器RD之電晶體50。電晶體50位於對應之胞區域之正下方。

<關於訊道C之剖面構成>

其次，使用圖14對訊道C之剖面構成進行說明。如上述般，於訊道C中，與訊道R同樣，去除自源極線SL達至選擇閘極線SGD之積層

結構，並藉由絕緣層填埋。於訊道C中，於該絕緣層內設置有接觸插塞CP20。

如圖14所示，接觸插塞CP20自胞上配線D1(金屬配線層IC0：位元線BL)之階層達至胞下配線M1之階層。且，進而經由胞下配線M0，連接於感測放大器SA之電晶體14。感測放大器14位於對應之胞區域之正下方。

<關於訊道R之剖面構成>

其次，使用圖21對訊道R之剖面構成進行說明。圖21係沿圖12及圖13之21-21線之剖視圖。於上述之訊道R中，去除自源極線SL達至選擇閘極線SGD之積層結構，並藉由絕緣層填埋。於訊道R中，於該絕緣層內設置有接觸插塞CP21。

進而，如圖21所示，隔著訊道R對向之選擇閘極線SGS及字元線WL分別經由接觸插塞CP11而共通地連接於金屬配線層IC2。且，於訊道R中，金屬配線層IC2連接於接觸插塞CP21。

接觸插塞CP20自胞上配線D1(金屬配線層IC2)之階層達至胞下配線M1之階層。且，進而經由胞下配線M0，連接於列解碼器RD之電晶體50。該電晶體50亦與連接於選擇閘極線SGD之電晶體50同樣地，位於對應之胞區域之正下方。

另，形成於位於感測放大器SA上方之胞區域之槽DY之接觸插塞CP21亦藉由胞下配線M1或M0，經由訊道R下部之區域而電性連接於位於鄰接之胞區域正下方之列解碼器RD。

1.2.2.3關於訊道R及訊道C之連接關係

如於上述1.2.2.1及1.2.2.2所說明般，選擇閘極線SGS及字元線WL於訊道R中被引出至記憶胞陣列下，且連接於列解碼器RD。又，位元線BL於訊道C中被引出至記憶胞陣列下，且連接於感測放大器SA。進而，選擇閘極線SGD於胞區域內之槽DY中被引出至記憶胞陣列

下，且連接於列解碼器RD。

此時，於胞區域中，有於正下方存在列解碼器RD者、與存在感測放大器SA者。因此，選擇閘極線SGS、SGD、及字元線WL係於在胞區域正下方存在列解碼器RD之情形時連接於該列解碼器RD即可，但於不存在列解碼器RD存在感測放大器SA之情形時，則連接於鄰接之胞區域正下方之列解碼器RD。

又，於記憶胞陣列內設置複數個訊道C，且將位元線BL於該等複數個訊道C中之任一個連接於感測放大器SA，而分散位元線BL與感測放大器SA之連接部位。

使用圖22就以上之點進行說明。圖22顯示子陣列SBARY之平面佈局。如圖所示，子陣列SBARY包含胞區域60-1～60-4，且於胞區域60-1及60-4正下方設置有感測放大器SA，於胞區域60-2及60-3正下方設置有列解碼器RD與運算電路YLOG之組合。

胞區域60-1之區塊BLKa與胞區域60-3之區塊BLKa隔著訊道RA相對，該等之字元線WL及選擇閘極線SGS藉由金屬配線層IC2A相互連接，而經由訊道RA，連接於胞區域60-3正下方之列解碼器RD_a(電晶體50)。又，胞區域60-1之區塊BLKa之選擇閘極線SGD、與胞區域60-3之區塊BLKa之選擇閘極線SGD亦經由槽DY而連接於胞區域60-3正下方之列解碼器RD_a。即，2個區塊BLKa共用電晶體50。

於胞區域60-3中，與區塊BLKa一同形成胞單元CU之區塊BLKb之字元線WL及選擇閘極線SGS係與隔著訊道RC於Y軸方向相鄰之另一子陣列SBARY之區塊BLKb藉由金屬配線層IC2C而相互連接，而經由訊道RC而連接於胞區域60-3正下方之列解碼器RD_b(電晶體50)。又，區塊BLKb之選擇閘極線SGD亦經由槽DY，連接於胞區域60-3正下方之列解碼器RD_b。即，2個區塊BLKb共用電晶體50。

又，胞區域60-1區塊BLKb之字元線及選擇閘極線SGS係與隔著

訊道RB於Y軸方向相鄰之另一子陣列SBARY之區塊BLKb藉由金屬配線層IC2B而相互連接，且經由訊道RB而連接於相鄰之子陣列SBARY正下方之列解碼器RDb(電晶體50)。又，區塊BLKb之選擇閘極線SGD亦經由槽DY，連接於相鄰之子陣列SBARY正下方之列解碼器RDb。

關於胞區域60-2及60-4亦相同。即，胞區域60-2之區塊BLKa與胞區域60-4之區塊BLKa隔著訊道RA相對，將該等之字元線WL及選擇閘極線SGS藉由金屬配線層IC2A相互連接，且經由訊道RA而連接於胞區域60-2正下方之列解碼器RDa。又，胞區域60-2之區塊BLKa之選擇閘極線SGD、與胞區域60-4之區塊BLKa之選擇閘極線SGD亦經由槽DY而連接於胞區域60-2正下方之列解碼器RDa。

於胞區域60-2中，區塊BLKb之字元線WL及選擇閘極線SGS係與隔著訊道RB於Y軸方向相鄰之另一子陣列SBARY之區塊BLKb藉由金屬配線層IC2B而相互連接，且經由訊道RB而連接於胞區域60-2正下方之列解碼器RDb。又，區塊BLKb之選擇閘極線SGD亦經由槽DY而連接於胞區域60-2正下方之列解碼器RDb。

又，胞區域60-4區塊BLKb之字元線及選擇閘極線SGS係與隔著訊道RC於Y軸方向相鄰之另一子陣列SBARY之區塊BLKb藉由金屬配線層IC2C而相互連接，且經由訊道RC而連接於相鄰之子陣列SBARY正下方之列解碼器RDb。又，區塊BLKb之選擇閘極線SGD亦經由槽DY而連接於相鄰之子陣列SBARY正下方之列解碼器RDb。

於訊道C中，位元線BL連接於感測放大器SA。若為圖22之例，則將通過胞區域60-1及60-2之位元線BL0～BL3之中、位元線BL0及BL1經由訊道CA而連接於胞區域60-1正下方之感測放大器SA。另一方面，將位元線BL2及BL3經由訊道CB連接於胞區域60-1正下方之感測放大器SA。

1.3本實施形態之效果

根據本實施形態之構成，可縮小記憶胞陣列之區塊尺寸。以下對本效果進行說明。

於NAND型快閃記憶體中，區塊尺寸亦可能成為例如抹除資料時之單位，故需根據情況而考量欲縮小區塊尺寸之要求。

此時，為了活用積層字元線WL之類型之三維積層型記憶體之特長，考慮不減少字元線WL之積層數，而減少串單元數。但於該情形下，雖可縮小區塊尺寸，但由於字元線WL之積層數未改變，故字元線之接線區域之尺寸成為與縮小區塊尺寸前相同程度之面積。於是，單純減少串單元數會有產生無用之區域從而積體度下降之虞。

關於該點，根據本實施形態之構成，如於圖9至圖13所說明般，以胞部CEL於X軸方向相鄰、且字元線接線區域WLHU於Y軸方向相對之方式配置區塊BLK。因此，根據本構成，抑制了無用之空區域之產生，而可一方面高效地配置區塊BLK，一方面縮小區塊尺寸。

本實施形態之區塊BLK之平面結構可藉由在層間絕緣膜501上形成作為源極線SL、選擇閘極線SGS、字元線WL、及選擇閘極線SGD發揮功能之配線層之後進行之例如如下之蝕刻步驟而形成。即：

(1)用於形成訊道C及訊道R之、上述配線層之蝕刻步驟

(2)用於在胞區域內，形成分離胞單元間之狹縫SLT1之、上述配線層之蝕刻步驟

(3)用於在各胞單元CU內形成分離胞部間之狹縫SLT2之、上述配線層之蝕刻步驟

(4)用於在各胞單元CU內形成設置選擇閘極線SGD之接觸件之槽DY之、上述配線層之蝕刻步驟

另，進行上述之蝕刻步驟之順序可儘可能地置換，又，亦可同時進行複數個蝕刻步驟。又，於(2)及(3)中亦可不蝕刻源極線SL。

其結果，於Y軸方向鄰接之胞單元CU於任一部位皆於接線區域

WLHU對向。且，對向之2個接線區域之字元線WL共通地連接於訊道R，而連接於列解碼器RD。又，槽DY係以與狹縫SLT1及SLT2相交，且與訊道C亦相交之方式形成。

另，於本說明書中，平面佈局及剖面構成圖之「字元線WL」於例如圖8等中，意指形成於層間絕緣膜502中、且設置於作為源極線發揮功能之導電層、與配線D1之間之導電層，且該導電層係經由閘極絕緣膜、電荷蓄積層、及區塊絕緣膜而與記憶孔MH相接之導電層。此點對於選擇閘極線SGD及SGS亦相同。關於字元線WL進而換言之，即意指沿著Z軸方向，於作為選擇閘極線SGS發揮功能之導電層、與作為選擇閘極線SGD發揮功能之導電層之間積層複數層之導電層、例如多晶矽層。

2.第2實施形態

其次，對第2實施形態之半導體記憶裝置進行說明。本實施形態係關於上述第1實施形態之設置於記憶胞陣列110之端部之列解碼器RD之構成者。於以下，僅對與第1實施形態不同之點進行說明。

2.1關於記憶胞陣列下區域之平面佈局

圖23顯示本實施形態之記憶胞陣列下區域之平面佈局、換言之即感測放大器SA、列解碼器RD、及運算電路YLOG之平面佈局。

如圖所示，於與重疊於記憶胞陣列110之區域於Y軸方向鄰接之區域，設置有列解碼器RD'與虛設區域DMY。列解碼器RD'設置於與感測放大器SA相鄰之區域，虛設區域DMY設置於與列解碼器RD相鄰之區域。

圖24詳細地顯示圖23之區域R2。如圖所示，列解碼器RD'包含電晶體50，且具有與設置於與記憶胞陣列110重疊之區域之列解碼器RD相同之構成。且，經由訊道R而連接於設置於在Y軸方向與列解碼器RD'鄰接之感測放大器SA上方之區塊BLKb之字元線WL及選擇閘極線

SGS。

另一方面，於虛設區域DMY，形成虛設之元件區域AA、與閘極電極(半導體層)GC。該等係為了於例如形成列解碼器RD、RD'或感測放大器SA時之蝕刻步驟時，防止蝕刻圖案大幅度崩塌而設置，並非作為尤其有效之半導體元件發揮功能者。

2.2本實施形態之效果

於使用於第1實施形態所說明之區塊佈局之情形，若將位於感測放大器SA上之胞區域之區塊BLKb之字元線WL連接於胞區域正下方之列解碼器RD，則必須藉由例如胞下配線貫穿感測放大器SA。對該點，根據本實施形態，可藉由於記憶胞陣列之外側設置區塊BLKb用之列解碼器RD'，抑制胞下配線之混雜。

又，基本上感測放大器SA及列解碼器RD於Z軸方向上與記憶胞陣列110重疊，於XY平面觀看時，感測放大器SA及列解碼器RD為記憶胞陣列110所被覆而無法看到。但根據本實施形態，可看到沿X軸方向之寬度與胞區域60大致相同之列解碼器RD'沿X軸方向以相同的重複週期形成之情況。

進而，於相鄰之列解碼器RD'間，較佳設置虛設區域DMY。虛設區域DMY內之元件區域AA及閘極電極GC亦可設為電性浮動。又，既可固定於某一定電位(例如0 V)，亦可相對於周圍之列解碼器RD、RD'或感測放大器SA電性獨立。

3.第3實施形態

其次，對第3實施形態之半導體記憶裝置進行說明。本實施形態係於上述第1、第2實施形態中，形成包圍胞區域之周圍之環形狀之積層結構者。於以下，僅對與第1、第2實施形態不同之點進行說明。

3.1關於平面佈局

圖25顯示胞區域、與設置於其周圍之積層結構之平面佈局。

如圖所示，於胞區域之周圍，以包圍胞區域之方式，設置有環形狀之積層結構700。積層結構700例如與胞部CEL同樣地，具有將形成於與作為源極線SL、選擇閘極線SGS、字元線WL、及選擇閘極線SGD發揮功能之配線層同層之導電層積層而成之結構。相鄰之胞單元CU與積層結構700之間隔例如為與狹縫SLT1、訊道C、或訊道R之寬度相同程度。該區域係由例如絕緣膜填埋，而將胞區域與積層結構700電性分離。

積層結構700於面向胞區域之側之側壁具有凹陷。該凹陷係如圖25中圖示為區域R3般，形成於在X軸方向與槽DY相鄰之區域。該凹陷係自積層結構700之最上層達至最下層形成，其內部例如藉由絕緣膜填埋。

圖26係圖25之剖視圖，上圖係沿著26A-26A線之剖視圖，下圖係沿著26B-26B線之剖視圖。且，圖26之上圖與下圖顯示於X方向相同之位置。

如圖所示，於胞部CEL中，於源極線SL上介隔絕緣層710設置有選擇閘極線SGS、字元線WL0～WL18、及選擇閘極線SGD。積層結構700亦具有與胞部相同之積層結構。即，於配線層IC10上，介隔絕緣層720而形成有配線層IC11、IC12-0～IC12-18、及IC13。配線層IC10係於與源極線SL相同之階層(高度)，例如藉由相同材料同時形成。配線層IC11係於與選擇閘極線SGS相同之階層(高度)，例如藉由相同材料同時形成。配線層IC12-0～IC12-18係於與字元線WL0～WL18相同之階層(高度)，例如藉由相同材料同時形成。且配線層IC13係於與選擇閘極線SGD相同之階層(高度)，例如藉由相同材料同時形成。另，亦可為未形成配線層IC13之情形。且，於積層結構700與胞部CEL(及接線部WLHU以及連接部CNCT)之間，填埋有絕緣層730。

積層結構700並非實際上作為任何半導體元件發揮功能者。因此，積層結構700中所含之配線IC11、IC12-0~IC12-18、及IC13係與源極線SL、選擇閘極線SGS、字元線WL、及選擇閘極線SGD電性分離，且既可固定於某一定電位(例如0 V)，亦可電性浮動。

於本構成中，如圖26下圖所示，於面向槽DY之部分，形成有凹陷R3，且於凹陷內填埋有絕緣層730。換言之，積層結構700之沿著X方向之寬度於面向槽DY之區域，小於其他區域(例如面向胞部CEL之區域)。

3.2本實施形態之效果

如於第1實施形態所說明般，作為源極線SL、選擇閘極線SGS、字元線WL、及選擇閘極線SGD發揮功能之配線層係於形成訊道C及訊道R時被蝕刻。此時，於記憶胞陣列110內部，由於應蝕刻之區域係等間隔地設置，且蝕刻寬度亦相等，故可以較高精度進行加工。但，於記憶胞陣列110端部進行之蝕刻與其說是出於訊道C及訊道R之形成之目的，倒不如說是出於將記憶胞陣列110以外之多餘之區域之配線層全部去除之目的而進行。因此，於記憶胞陣列110端部，有蝕刻圖案之週期性混亂、加工精度下降之虞。

對此，於本實施形態中，藉由於記憶胞陣列110周圍，設置與胞區域同樣之積層結構700，可進行以與記憶胞陣列110內部之訊道C及訊道R相同之圖案之蝕刻。藉此，即使於記憶胞陣列110端部，亦可以較高精度進行加工。

又，用於形成槽DY之蝕刻步驟通常係於用於形成訊道C及訊道R之蝕刻步驟之後進行。因此，於設置有積層結構700之情形，於槽DY形成時，亦會蝕刻積層結構700之一部分。其結果，如圖25所示般，於環形狀之積層結構之內周面之、對向於槽DY之區域，形成凹陷R3。

4.變化例等

如以上般，若為上述實施形態之半導體記憶裝置，則具備：列解碼器，其設置於半導體基板上；及記憶胞陣列，其設置於列解碼器之上方，且具備第1區塊。第1區塊具備：第1區域(圖10中CEL)，其沿著由半導體基板之面內方向即第1方向(圖10中Y方向)、及面內方向且與第1方向不同之第2方向(圖10中X方向)形成之第1平面伸展，且沿著第2方向(圖10中X方向)具有第1寬度；第2區域(圖10中WLHU)，其沿著第1平面伸展，且沿著第2方向(圖10中X方向)具有大於第1寬度之第2寬度，且於第1方向(圖10中Y方向)與第1區域(圖10中CEL)相鄰；及第3區域(圖10中CNCT)，其沿著第1平面伸展，且沿著第2方向(圖10中X方向)具有小於第1寬度之第3寬度，並位於第1區域(圖10中CEL)與第2區域(圖10中WLHU)之間，而連接兩者。第1至第3區域包含沿著半導體基板之鉛直方向即第3方向(圖10中Z方向)積層之複數條第1字元線(圖15中WL)。第1區域進而包含設置於最上層之第1字元線上之第1選擇閘極線(圖15中SGD)。記憶胞陣列進而包含：第1絕緣層(圖26中730)，其填埋第1區域(圖10中CEL)與第2區域(圖10中WLHU)之間之第1槽(圖10中DY)，且於第2方向(圖10中X方向)與第3區域(圖10中CNCT)相接；第1接觸插塞(圖10、26中CP12)，其設置於第1絕緣層(圖26中730)中，且與列解碼器電性連接；及第1配線層(圖11、15中IC1)，其連接第1選擇閘極線(圖11、15中SGD)與第1接觸插塞(圖11、15中CP12)。

又，上述實施形態之半導體記憶裝置具備：列解碼器(120)，其設置於具有第1面之半導體基板上；及記憶胞陣列，其設置於列解碼器之上方，且具備配置成矩陣狀之胞區域(60)之組，且包含與列解碼器連接之配線(WL)，並於沿著上述第1面之平面中與列解碼器(120、RD)重疊。且列解碼器(120)包含：第1電晶體(圖23-24中RD'、50)，其

於沿著第1面之平面中設置於胞區域之組之外周之外側。

進而，上述實施形態之半導體記憶裝置具備：記憶胞陣列(圖25中110)，其包含設置於半導體基板之第1面之上方之源極線(SL)，及設置於源極線之上方之字元線(WL)；壁(圖25中700)，其沿著沿第1面之平面包圍記憶胞陣列(110)，且包含自源極線之階層跨及字元線之階層排列於與半導體基板之第1面相交之方向之複數層導電層，且包含自上表面跨及下表面自內周之面朝向外周延伸之凹陷(圖25中R3)；及絕緣層，其自壁之上表面之位置遍及下表面之位置設置，且於凹陷中與壁之內周之面相接。

另，實施形態並非限定於上述說明之形態者，可進行各種變化。例如，於上述實施形態中雖舉出字元線WL之積層數為19層之情形為例進行說明，但並不限於該數量，一般為 2^n 條(n 為自然數)。又，於上述實施形態中，雖以如圖10等所示般將記憶孔MH錯位狀配置之情形為例進行說明，但亦可為於Y軸方向排列一行之情形。

又，於第1實施形態所說明之圖12及圖13中，以將訊道R內之接觸插塞CP21沿著X軸方向排列於一直線上之情形為例進行說明。但亦可如圖27所示般將接觸插塞CP21於XY平面上以相對於X軸方向及Y軸方向排列於傾斜方向之方式設置。於該情形時，如圖28所示，對應於在X方向相鄰之複數個區塊BLK之接觸插塞CP21之排列方向亦可相互相反。換言之，亦可以連結接觸插塞CP21之線於區塊BLK邊界曲折之方式配置。

此外，於第3實施形態所說明之圖25之構成，亦可為例如圖29至圖31所示之構成。即，積層結構700其在X方向對向之2個面面向槽DY。此時，積層結構700亦可於一者之面，面向一者之區塊BLKa(於Y軸方向位於上方向之區塊)之接線部WLHU與另一者之區塊BLKb(於Y軸方向位於下方向之區塊)之胞部CEL之間之槽DY，於另一者之

面，亦面向區塊BLKa之接線部WLHU與區塊BLKb之胞部CEL之間之槽DY。

又，如圖30所示，積層結構700亦可於一者之面，面向區塊BLKa之胞部CEL與區塊BLKb之接線部WLHU之間之槽DY，於另一者之面，亦面向區塊BLKa之胞部CEL與區塊BLKb之接線部WLHU之間之槽DY。

或如圖31所示，積層結構700亦可於一者之面，面向區塊BLKa之胞部CEL與區塊BLKb之接線部WLHU之間之槽DY，於另一者之面，面向區塊BLKa之接線部WLHU與區塊BLKb之胞部CEL之間之槽DY。

又，各實施形態既可分別單獨地實施，亦可組合實施。又，第2、第3實施形態亦可獨立進行。又，於將第3實施形態與第2實施形態組合實施之情形時，積層結構700亦可與列解碼器RD'之至少一部分重疊。又，兩者亦可完全重疊，於該情形時，於圖24所示之XY平面內，列解碼器RD'及虛設區域DMY為積層結構700所被覆而無法看到。

又，記憶胞陣列110可應用各種構成。關於記憶胞陣列110之構成，例如記載於2009年3月19日提出申請之美國專利申請案12/407,403號“三維積層非揮發性半導體記憶體”。又，記載於2009年3月18日提出申請之美國專利申請案12/406,524號“三維積層非揮發性半導體記憶體”、2010年3月25日提出申請之美國專利申請案12/679,991號“非揮發性半導體記憶裝置及其製造方法”、及2009年3月23日提出申請之美國專利申請案12/532,030號“半導體記憶體及其製造方法”。該等申請案之全文以引用之方式併入本文中。

進而，於本實施形態所使用之用語「連接(connect)」及「耦合(couple)」包含直接連接之情形、及中間介隔任何構成要件之情形之兩者。

又，於1個記憶胞電晶體MT保持2位元資料之情形時，其閾值電壓對應於保持資料採取4種位準之任一者。於將4種位準自較低者依序設為抹除位準、A位準、B位準、及C位準之情形時，於A位準之讀出動作時對選擇字元線施加之電壓例如為0 V~0.55 V之間。並非限定於此，亦可為0.1 V~0.24 V、0.21 V~0.31 V、0.31 V~0.4 V、0.4 V~0.5 V、0.5 V~0.55 V等任一者之間。於B位準之讀出時對選擇字元線施加之電壓例如為1.5 V~2.3 V之間。並非限定於此，亦可為1.65 V~1.8 V、1.8 V~1.95 V、1.95 V~2.1 V、2.1 V~2.3 V等任一者之間。於C位準之讀出動作時對選擇字元線施加之電壓例如為3.0 V~4.0 V之間。並非限定於此，亦可為3.0 V~3.2 V、3.2 V~3.4 V、3.4 V~3.5 V、3.5 V~3.6 V、3.6 V~4.0 V等任一者之間。作為讀出動作之時間(t_R)，例如可為25 μs ~38 μs 、38 μs ~70 μs 、70 μs ~80 μs 等任一者之間。

寫入動作包含編程與編程驗證。於寫入動作中，對於編程時選擇之字元線最初施加之電壓為例如13.7 V~14.3 V之間。並非限定於此，亦可為例如13.7 V~14.0 V、14.0 V~14.6 V等任一者之間，且亦可將對奇數序號之字元線進行寫入時之、經選擇之字元線最初施加之電壓，與對偶數序號之字元線進行寫入時之、經選擇之字元線最初施加之電壓設為不同。於將編程動作設為ISPP方式(Incremental Step Pulse Program：增量階躍脈衝編程)時，作為升壓之電壓，舉出例如0.5 V左右。作為對非選擇之字元線施加之電壓，亦可為例如6.0 V~7.3 V之間。並非限定於此，例如既可為7.3 V~8.4 V之間，亦可為6.0 V以下。亦可根據非選擇之字元線為奇數序號之字元線、或是偶數序號之字元線，將施加之匯流排電壓設為不同。作為寫入動作之時間(t_{Prog})，例如可為1700 μs ~1800 μs 、1800 μs ~1900 μs 、1900 μs ~2000 μs 之間。

於抹除動作中，對於配置於半導體基板上部、且於上方配置有記憶胞之晶圓最初施加之電壓例如為12 V～13.6 V之間。並非限定於此，亦可為13.6 V～14.8 V、14.8 V～19.0 V、19.0 V～19.8 V、19.8 V～21 V等任一者之間。作為抹除動作之時間(tErase)，例如可為3000 μ s～4000 μ s、4000 μ s～5000 μ s、4000 μ s～9000 μ s之間。

又，記憶胞亦可為例如以下般之結構。記憶胞具有隔著膜厚為4 nm～10 nm之穿隧絕緣膜配置之電荷蓄積膜。該電荷蓄積膜可設為膜厚為2 nm～3 nm之氮化矽(SiN)膜、或氮氧化矽(SiON)膜等絕緣膜、與膜厚為3 nm～8 nm之多晶矽(Poly-Si)之積層結構。於多晶矽膜中，亦可添加鈦(Ru)等金屬。記憶胞係於電荷蓄積膜之上具有絕緣膜。該絕緣膜具有例如被膜厚為3 nm～10 nm之下層High-K(高介電常數)膜、與膜厚為3 nm～10 nm之上層High-K膜相夾之、膜厚為4 nm～10 nm之氧化矽(SiO)膜。作為High-K(高介電常數)膜之材料，可列舉氧化鈦(HfO)等。又，氧化矽膜之厚度可設為較High-K(高介電常數)膜之膜厚更厚。於絕緣膜上，隔著膜厚為3 nm～10 nm之功函數調整用之膜，設置膜厚30 nm～70 nm之控制電極。此處，功函數調整用膜例如為氧化鈦(TaO)等金屬氧化膜、氮化鈦(TaN)等金屬氮化膜。對於控制電極可使用鎢(W)等。於記憶胞間可配置氣隙。

雖然上文已按照具體實施例加以描述，但是該等具體實施例僅為例示，而非在於限制本發明之範疇。事實上，上文所述之新穎方法及系統得以其他各種形式加以具體實施，且得省略、替代及變更所述之方法及系統之形式及細節，而不會脫離本發明的精神與範疇。該等形式或修改皆視為屬於本發明的範疇內，且包括在下列申請專利範圍及其等效物之範疇內。

【符號說明】

10	感測電路
11	感測放大部
12	門鎖電路
13	連接部
14	n通道MOS電晶體
14-14	線
15	n通道MOS電晶體
15-15	線
16-16	線
17-17	線
18-18	線
19-19	線
20-20	線
20～26	n通道MOS電晶體
21-21	線
26A-26A	線
26B-26B	線
27	p通道MOS電晶體
28	電容元件
40	區塊解碼器
50	高耐壓n通道MOS電晶體
50-0～50-23	高耐壓n通道MOS電晶體
60	胞區域
60-1～60-4	胞區域
100	NAND型快閃記憶體
110	記憶胞陣列

111	NAND串
120	列解碼器
120-0 ~ 120-3	列解碼器
130	驅動電路
140	感測放大器
150	位址暫存器
160	指令暫存器
170	定序器
200	控制器
210	主機介面電路
220	內置記憶體
230	處理器
240	緩衝記憶體
250	NAND介面電路
260	ECC電路
300	主機機器
500	半導體基板
501	層間絕緣膜
502	層間絕緣膜
503	層間絕緣膜
700	積層結構
710	絕緣層
730	絕緣層
AA	虛設之元件區域
ADD	位址
ALE	位址門鎖賦能信號

BA	區塊位址
BL	位元線
BL0~BL(L-1)	位元線
BLC	信號
BLK	區塊
BLK0~BLK3	區塊
BLKa	區塊
BLKb	區塊
BLQ	信號
BLS	信號
BLX	信號
C	訊道
C0	接觸插塞
C1	接觸插塞
C2	接觸插塞
CA	訊道
CB	訊道
CC	接觸插塞
CG	信號線
CG0~CG18	信號線
CEL	胞部
CLE	指令門鎖賦能信號
CLK	信號
CMD	指令
CNCT	連接部
CP10	接觸插塞

CS	接觸插塞
CU	胞單元
CP10～CP13	接觸插塞
CP20	接觸插塞
CP21	接觸插塞
D1	胞上配線
D2	胞上配線
DAT	資料
DMY	虛設區域
DY	槽
FG	浮動閘極電極
GSGS	選擇閘極
GC	閘極電極
GC	閘極
IC0～IC2	金屬配線層
IC2A	金屬配線層
IC2B	金屬配線層
IC2C	金屬配線層
IC10	配線層
IC11	配線層
IC12-0～IC12-18	配線層
IC13	配線層
INV_S	節點
I/O	輸入輸出信號
LBUS	節點
LP	邏輯平面

LP0～LP3	邏輯平面
M0	胞下配線
M1	胞下配線
MH	矽支柱(記憶孔)
MT	記憶胞電晶體
MT0～MT18	記憶胞電晶體
R	訊道
R1	區域
R2	區域
R3	區域(凹陷)
RA	訊道
RB	訊道
RBn	就緒·忙碌信號
RC	訊道
RD	列解碼器
RD'	列解碼器
RDa	列解碼器
RDb	列解碼器
RDc	列解碼器
REn	讀出賦能信號
SA	感測放大器
SBARY	子陣列
SCOM	節點
SEN	節點
SGD	選擇閘極線
SGD0～SGD3	選擇閘極線

SGDD0～SGDD3	信號線
SGS	選擇閘極線
SGSD	信號線
SL	源極線
SRCGND	節點
SSRC	節點
ST	選擇電晶體
ST1	選擇電晶體
ST2	選擇電晶體
STB	信號
SLT1	狹縫
SLT2	狹縫
SU	串單元
SU～SU3	串單元
TG	信號(信號線)
V1	接觸插塞
VDD	電源電壓
WEn	寫入賦能信號
WL0～WL18	字元線
WLHU	字元線接線部
X	方向
XXL	信號
Y	方向
YLOG	運算電路
Z	方向

申請專利範圍

1. 一種半導體記憶體裝置，其包含：

列解碼器，其設置於半導體基板上；及

記憶體陣列，其設置於上述列解碼器之上方，且包含第1區塊；其中

上述第1區塊包含：

第1區域，其沿著由上述半導體基板之面內方向即第1方向、及上述面內方向且與上述第1方向不同之第2方向形成之第1平面伸展，且沿著上述第2方向具有第1寬度；

第2區域，其沿著上述第1平面伸展，沿著上述第2方向具有大於上述第1寬度之第2寬度，且於上述第1方向與上述第1區域相鄰；及

第3區域，其沿著上述第1平面伸展，沿著上述第2方向具有小於上述第1寬度之第3寬度，並位於上述第1區域與上述第2區域之間，而連接兩者；

上述第1至第3區域包含沿著上述半導體基板之鉛直方向即第3方向積層之複數條第1字元線，且上述第1區域進而包含設置於最上層之第1字元線上之第1選擇閘極線；且

上述記憶體陣列進而包含：

第1絕緣層，其填埋上述第1區域與上述第2區域之間之第1槽，且於上述第2方向與上述第3區域相接；

第1接觸插塞，其設置於上述第1絕緣層中，且電性連接於上述列解碼器；及

第1配線層，其連接上述第1選擇閘極線與上述第1接觸插塞。

2. 如請求項1之裝置，其中記憶體陣列進而包含第2區塊；且

上述第2區塊包含：

第4區域，其沿著上述第1平面伸展，且沿著上述第2方向具有第4寬度；

第5區域，其沿著上述第1平面伸展，沿著上述第2方向具有大於上述第4寬度之第5寬度，且於上述第1方向與上述第4區域相鄰；及

第6區域，其沿著上述第1平面伸展，沿著上述第2方向具有小於上述第4寬度之第6寬度，並位於第4區域與第5區域之間，而連接兩者；

上述第4至第6區域包含沿著上述第3方向積層之複數條第2字元線，且上述第4區域進而包含設置於最上層之第2字元線上之第2選擇閘極線；

上述記憶胞陣列進而包含：

第2絕緣層，其填埋上述第4區域與上述第5區域之間之第2槽，且於上述第2方向與上述第6區域相接；

第2接觸插塞，其設置於上述第2絕緣層中，且電性連接於上述列解碼器；及

第2配線層，其連接上述第2選擇閘極線與上述第2接觸插塞；
且

上述第1區域與上述第4區域係介隔填埋該第1區域與第4區域間之第3槽之第3絕緣層而於上述第2方向相鄰；

上述第2區域與上述第5區域係介隔上述第1區域與上述第4區域而於上述第1方向相對；

上述第1槽延伸至上述第2區域與上述第4區域之間，第2區域與上述第4區域之間藉由上述第1絕緣層而分離；

上述第2槽延伸至上述第1區域與上述第5區域之間，且上述第

1區域與上述第5區域之間藉由上述第2絕緣層而分離。

3. 如請求項2之裝置，其中記憶胞陣列進而包含第3區塊；且

上述第3區塊包含：

第7區域，其沿著上述第1平面伸展，且沿著上述第2方向具有第7寬度；

第8區域，其沿著上述第1平面伸展，沿著上述第2方向具有大於上述第7寬度之第8寬度，且於上述第1方向與上述第7區域相鄰；及

第9區域，其沿著上述第1平面伸展，沿著上述第2方向具有小於上述第7寬度之第9寬度，並位於第7區域與第8區域之間，而連接兩者；

上述第7至第9區域包含沿著上述第3方向積層之複數條第3字元線，且上述第7區域進而包含設置於最上層之第3字元線上之第3選擇閘極線；

上述記憶胞陣列進而包含：

第4絕緣層，其填埋上述第7區域與上述第8區域之間之第4槽，且於上述第2方向與上述第9區域相接；

第3接觸插塞，其設置於上述第4絕緣層中，且電性連接於上述列解碼器；及

第3配線層，其連接上述選擇閘極線與上述第3接觸插塞；且

上述第2區域與上述第8區域係介隔填埋該第2區域與第8區域間之第5槽之第5絕緣層而於上述第2方向相鄰；

上述第1槽與上述第4槽沿著上述第2方向位於同一線上。

4. 如請求項3之裝置，其進而包含：

複數條位元線，其於上述第3方向上，設置於上述第1區域、上述第4區域、及上述第7區域之上方，且為沿著上述第2方向之

條形狀；及

第4接觸插塞，其設置於填埋上述第5槽之上上述第5絕緣層內，且連接於上述複數條位元線之任一者；且

上述位元線經由上述第4接觸插塞而電性連接於上述感測放大器。

5. 如請求項2之裝置，其中記憶胞陣列進而包含第3區塊；且

上述第3區塊包含：

第7區域，其沿著上述第1平面伸展，沿著上述第2方向具有第7寬度；

第8區域，其沿著上述第1平面伸展，沿著上述第2方向具有大於上述第7寬度之第8寬度，且於上述第1方向與上述第7區域相鄰；及

第9區域，其沿著上述第1平面伸展，且沿著上述第2方向具有小於上述第7寬度之第9寬度，並位於第7區域與第8區域之間，而連接兩者；

上述第7至第9區域包含沿著上述第3方向積層之複數條第3字元線，且上述第7區域進而包含設置於最上層之第3字元線上之第3選擇閘極線；

上述記憶胞陣列進而包含：

第4絕緣層，其填埋上述第7區域與上述第8區域之間之第3槽，且於上述第2方向與上述第9區域相接；

第3接觸插塞，其設置於上述第4絕緣層中，且電性連接於上述列解碼器；及

第3配線層，其連接上述選擇閘極線與上述第3接觸插塞；且

上述第2區域與上述第8區域係介隔填埋該第2區域與第8區域間之第5槽之第5絕緣層而於上述第2方向相鄰。

6. 如請求項5之裝置，其中記憶胞陣列進而包含：

第4接觸插塞，其設置於上述第5絕緣層內；及

第5配線層，其連接於上述第4接觸插塞，且長度方向沿著上述第1方向；

上述第1區塊於上述第2區域中，進而包含設置於上述第1字元線上之第5接觸插塞；

上述第3區塊於上述第8區域中，進而包含設置於上述第3字元線上之第6接觸插塞；且

上述第5配線層被引出至上述第2區域及第8區域，且連接於上述第5接觸插塞與上述第6接觸插塞；且

上述第1字元線及上述第3字元線經由上述第5配線層及上述第4接觸插塞而電性連接於上述列解碼器。

7. 如請求項6之裝置，其中第2區域沿著上述第1方向具有複數個階梯面，且該階梯面具有隨著靠近上述第5絕緣層而高度降低之形狀；

於上述階梯面露出任一者之上述第1字元線；

上述第8區域沿著上述第1方向具有複數個階梯面，且該階梯面具有隨著靠近上述第5絕緣層而高度降低之形狀；且

於上述階梯面露出任一者之上述第3字元線。

8. 如請求項1之裝置，其進而包含：

第2配線層，其設置於上述半導體基板與上述記憶胞陣列之間之區域；且

上述第1字元線之中最下層之第1字元線設置於源極線上；

上述第1槽形成為自最上層之上述第1字元線之上表面至少達至上述源極線之底面之深度；且

上述第1接觸插塞形成為自上述第1配線層達至上述第2配線層

之深度。

9. 如請求項2之裝置，其中第1字元線之中之最下層之第1字元線設置於第1源極線上；

上述第2字元線之中之最下層之第2字元線設置於第2源極線上；且

上述第1源極線與上述第2源極線共通地連接於上述第3槽正下方之區域。

10. 如請求項2之裝置，其中第1字元線之中最下層之第1字元線設置於第1源極線上；

第3字元線之中最下層之第3字元線設置於第3源極線上；且

第1源極線與上述第3源極線共通地連接於上述第8槽正下方之區域。

11. 如請求項4之裝置，其進而包含：

第4配線層，其設置於上述半導體基板與上述記憶胞陣列之間之區域；且

上述第1字元線之中最下層之第1字元線設置於第1源極線上；
且

上述第3字元線之中最下層之第3字元線設置於第3源極線上；

第8槽形成為自最上層之上述第1字元線及第3字元線之上表面至少達至上述第1源極線及上述第3源極線之底面之深度；且

第4接觸插塞形成為自上述位元線達至上述第4配線層之深度。

12. 如請求項6之裝置，其進而包含：

第6配線層，其設置於上述半導體基板與上述記憶胞陣列之間之區域；且

上述第1字元線之中最下層之第1字元線設置於第1源極線上；

且

上述第3字元線之中最下層之第3字元線設置於第3源極線上；

上述第5槽形成為自最上層之上述第1字元線及第3字元線之上表面至少達至上述第1源極線及上述第3源極線之底面之深度；

且

上述第4接觸插塞形成為自上述第5配線層達至上述第6配線層之深度。

13. 一種半導體記憶體裝置，其包含：

列解碼器，其設置於具有第1面之半導體基板上；及

記憶體陣列，其設置於上述列解碼器之上方，具備配置成矩陣狀之胞區域之組，包含與上述列解碼器連接之配線，並於沿著上述第1面之平面上與上述列解碼器重疊；且

上述列解碼器包含：第1電晶體，其於沿著上述第1面之平面上設置於上述胞區域之組之外周之外側。

14. 如請求項13之裝置，其中列解碼器進而包含：第2電晶體，其於沿著上述第1面之平面上與上述記憶體陣列重疊；

上述半導體記憶體裝置進而包含：感測放大器，其設置於上述半導體基板上，且於沿著上述第1面之平面上與上述記憶體陣列重疊。

15. 如請求項13之裝置，其進而包含：

第1連接部，其設置於上述胞區域之組之1個胞區域與上述第1電晶體之間，且設置連接上述配線與上述列解碼器之第1接觸插塞。

16. 如請求項15之裝置，其中上述胞區域之組包含相鄰之第1胞區域與第2胞區域；

上述第1電晶體位於沿著上述第1面之平面上之上述第1胞區域

之外周之外側；且

上述半導體記憶體裝置進而包含：虛設區域，其於沿著上述第1面之平面上設置於上述第2胞區域之外周之外側，且包含作用區域及導電體。

17. 如請求項16之裝置，其中第1連接部設置於上述第1胞區域與上述第1電晶體之間；

上述第1胞區域之上述配線經由上述第1連接部電性連接於上述第1電晶體；且

上述半導體記憶體裝置進而包含：第2連接部，其設置於上述第2胞區域與上述虛設區域之間，且設置將上述第2胞區域之上述配線連接於位於上述第2胞區域正下方之上述列解碼器之第2接觸插塞。

18. 一種半導體記憶體裝置，其包含：

記憶胞陣列，其包含設置於半導體基板之第1面之上方之源極線、及設置於上述源極線之上方之字元線；

壁，其沿著沿上述第1面之平面包圍上述記憶胞陣列，包含自上述源極線之階層跨及上述字元線之階層而排列於與上述半導體基板之上述第1面相交之方向之複數層導電層，且具有自上表面跨及下表面自內周之面朝向外周延伸之凹陷；及

絕緣層，其自上述壁之上表面之位置跨及下表面之位置而設置，且於上述凹陷中與上述壁之上述內周之面相接。

19. 如請求項18之裝置，其中上述記憶胞陣列包含：

選擇閘極線，其設置於上述字元線之上方；

第1區域及第2區域，其等沿著第1方向相鄰，且包含上述字元線及選擇閘極線；及

第3區域，其供上述第1區域之上述選擇閘極線與配線連接；

上述凹陷係於上述壁之內周之面上，設置於面向上述第3區域之區域。

20. 如請求項19之裝置，其中上述記憶胞陣列於上述源極線與上述選擇閘極線之間，包含於與上述半導體基板之第1面相交之方向積層之複數條配線；且

上述壁之上述複數層導電與上述複數條配線分別位於相同之階層。

圖式

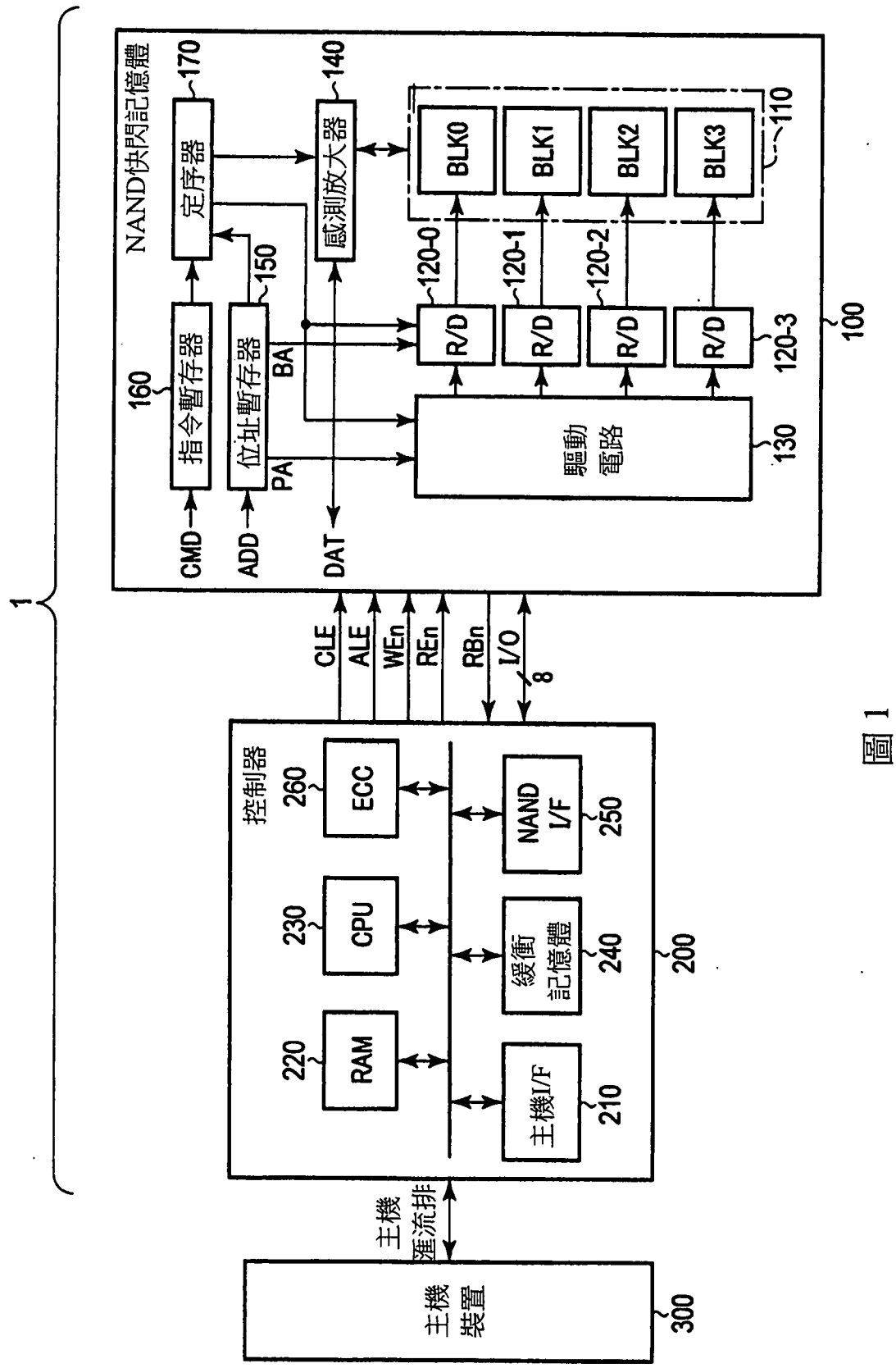


圖 1

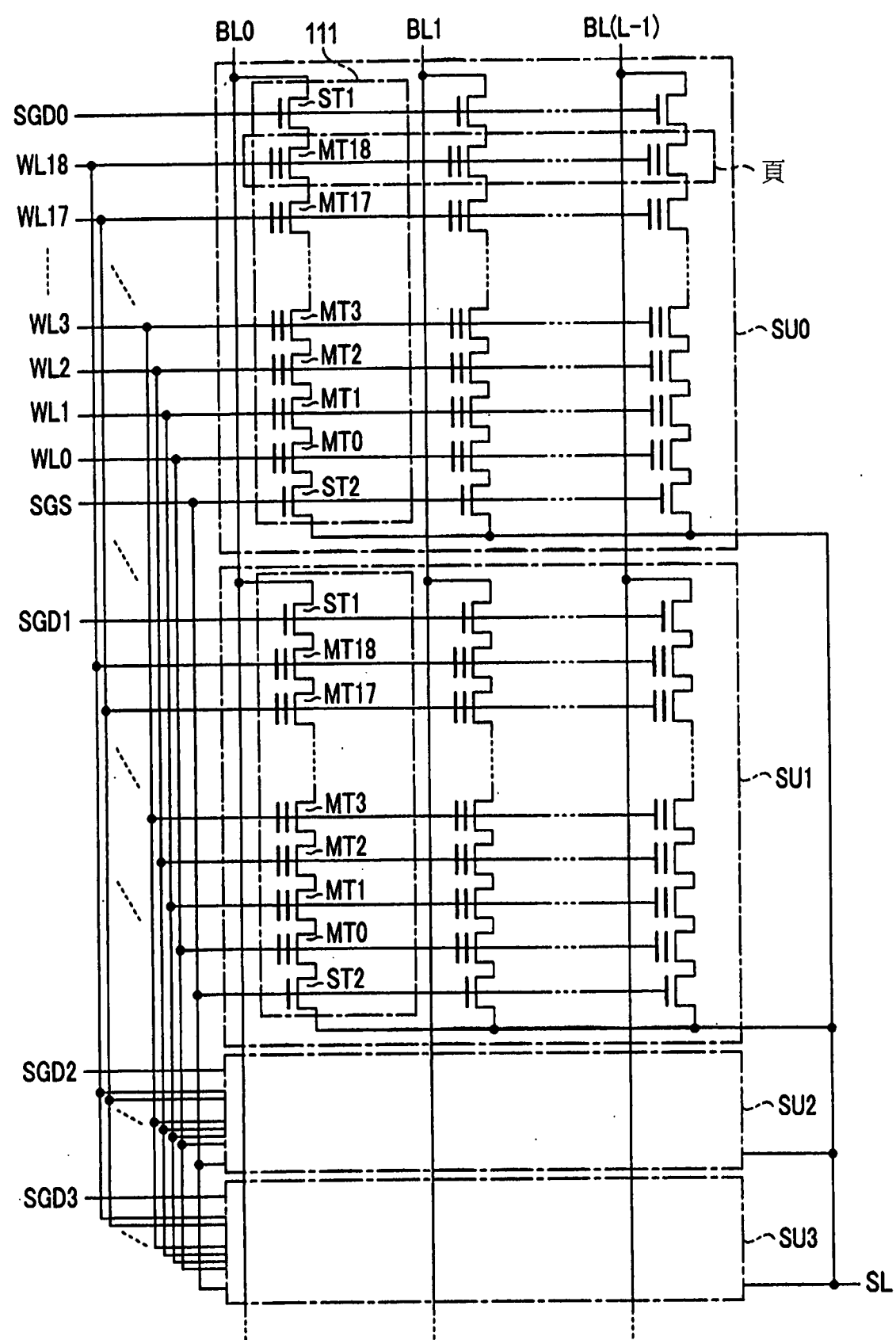


圖 2

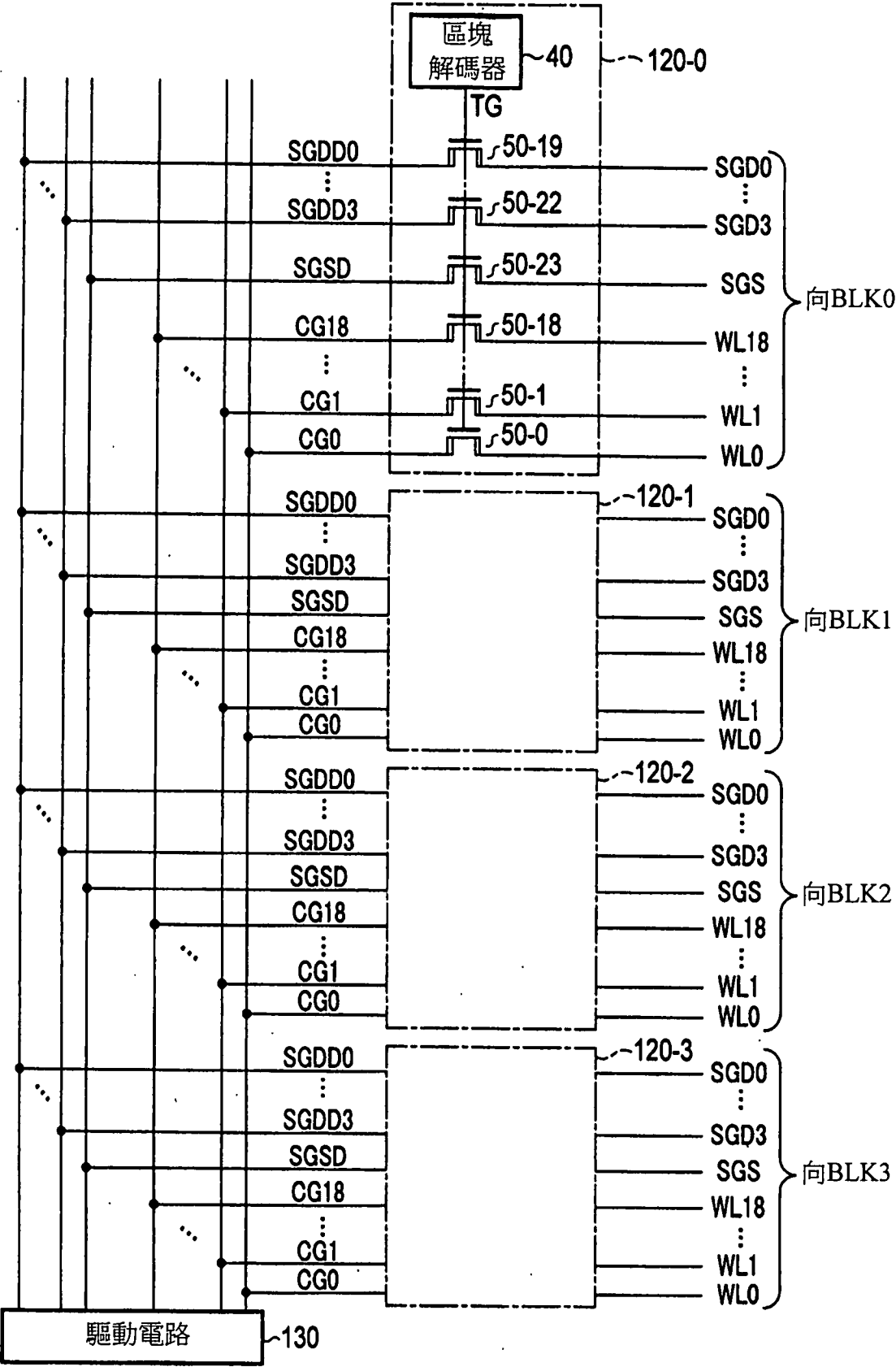


圖 3

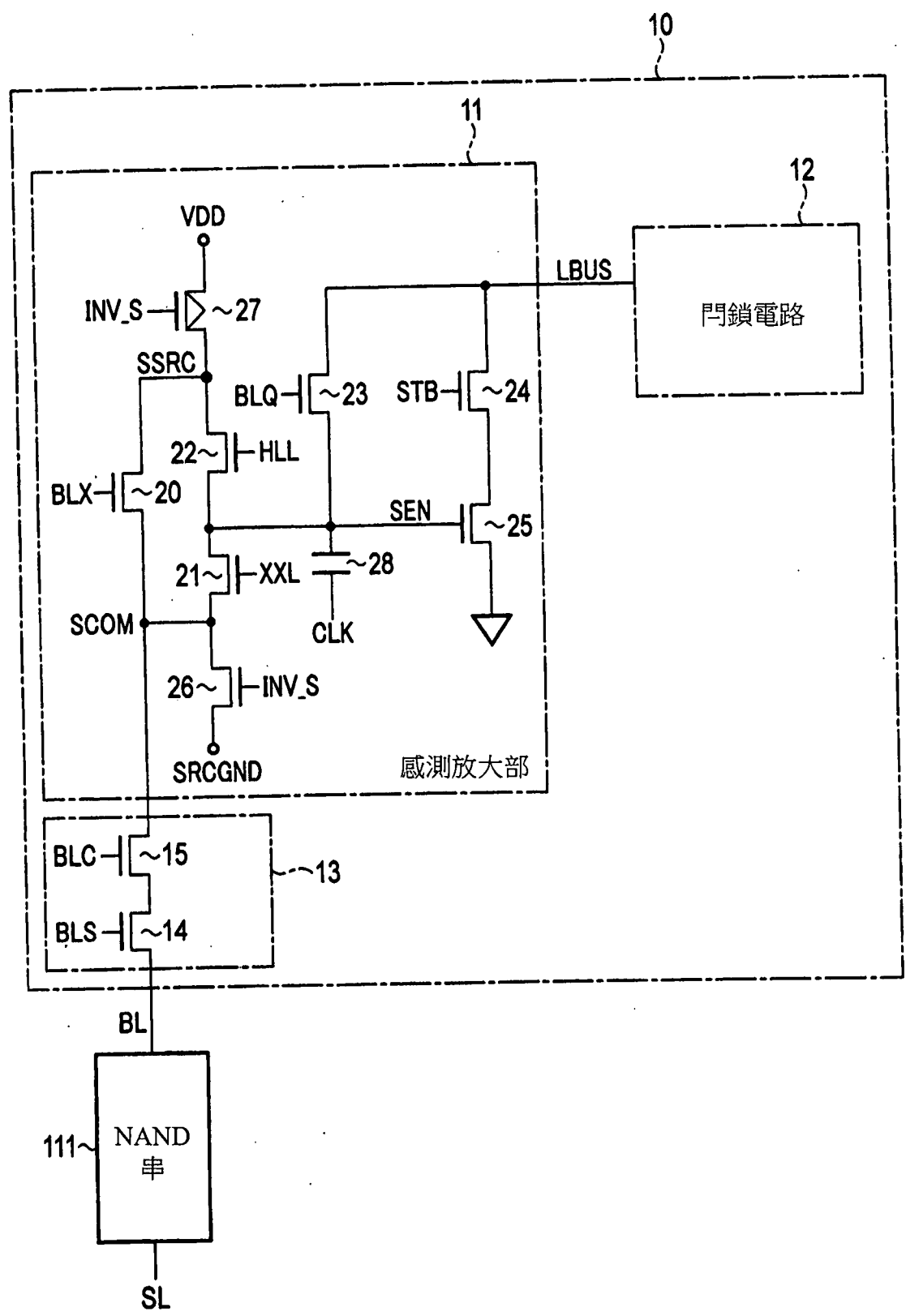


圖 4

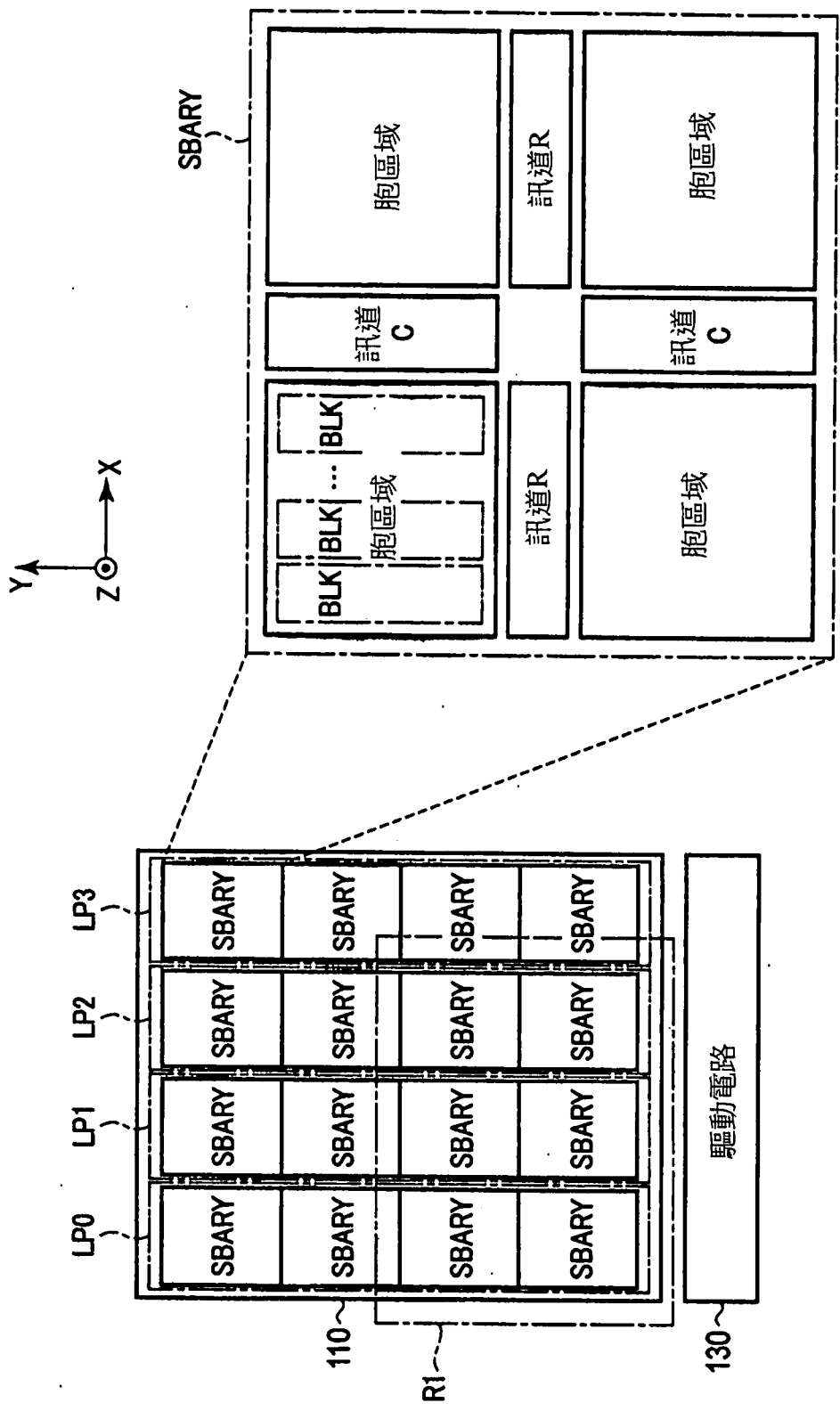


圖 5

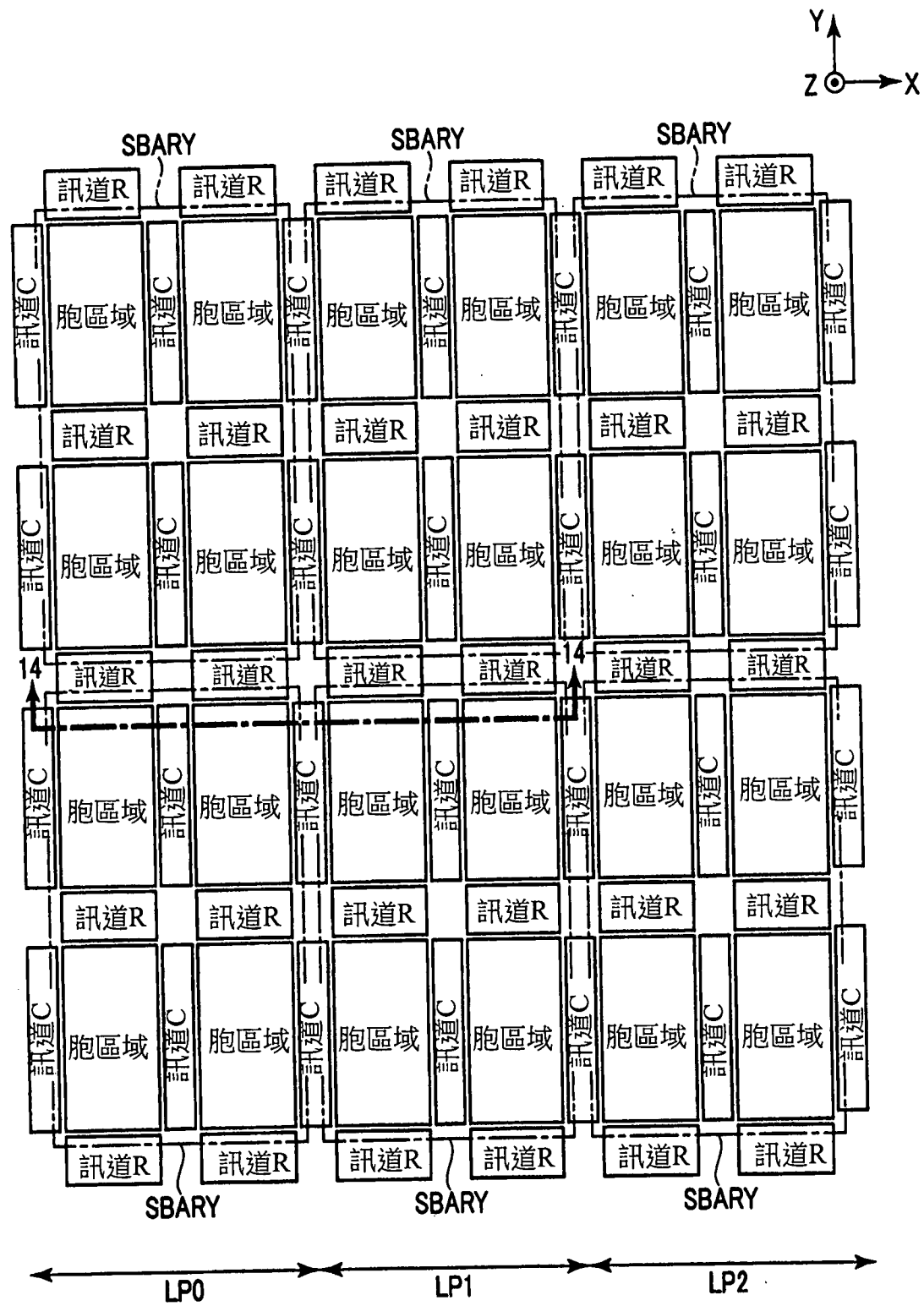


圖 6

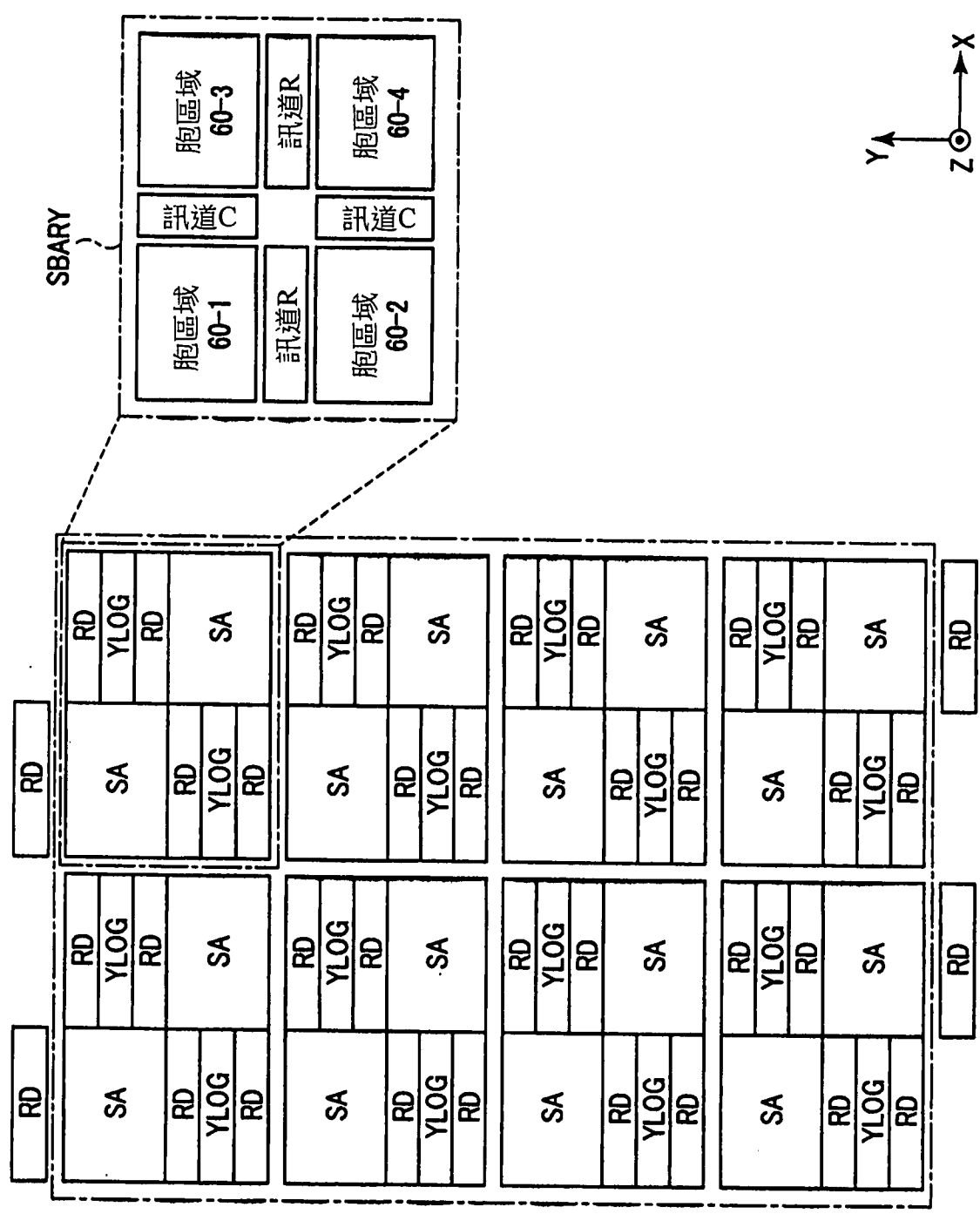
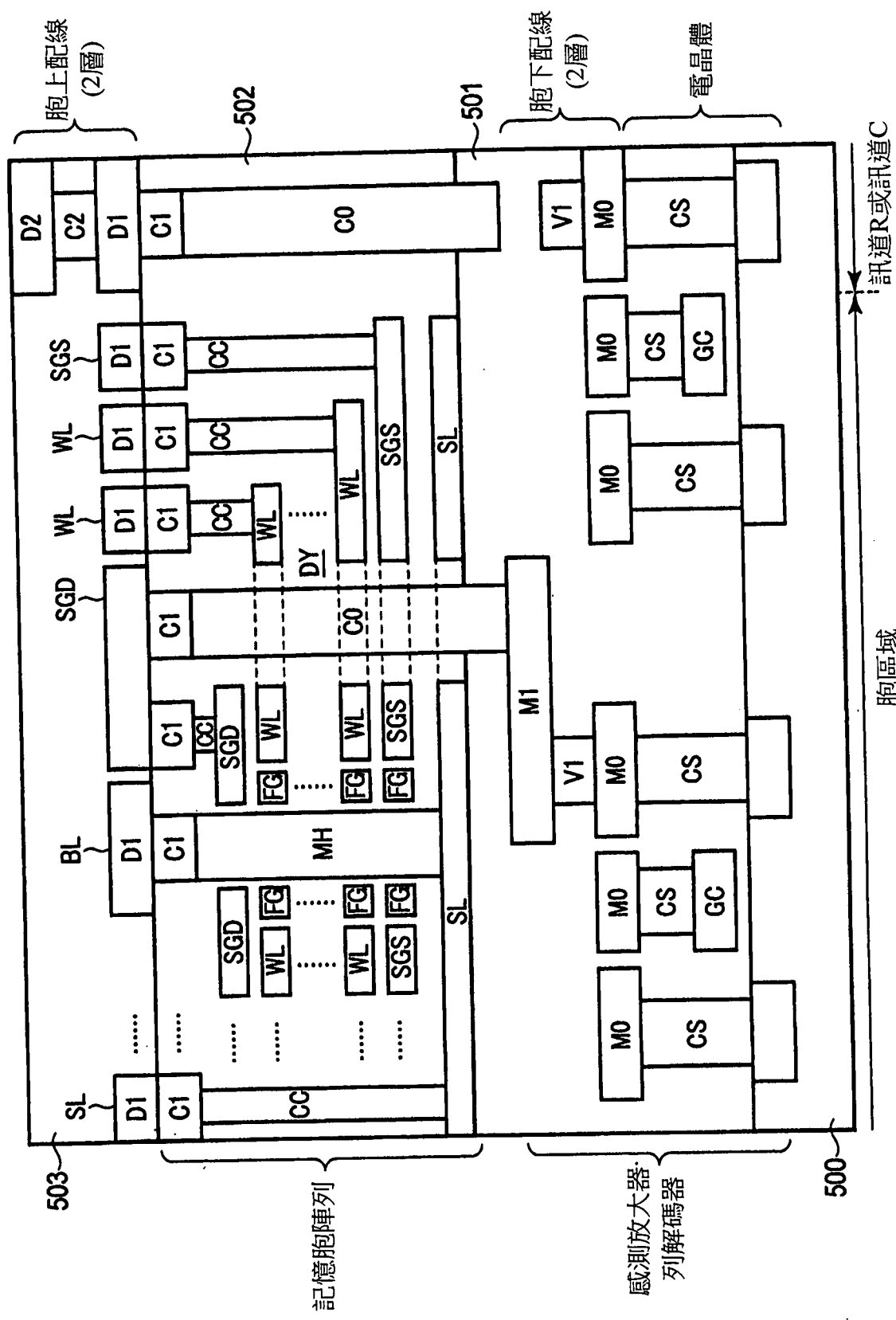


圖 7



訊道R或訊道C

胞區域

圖 8

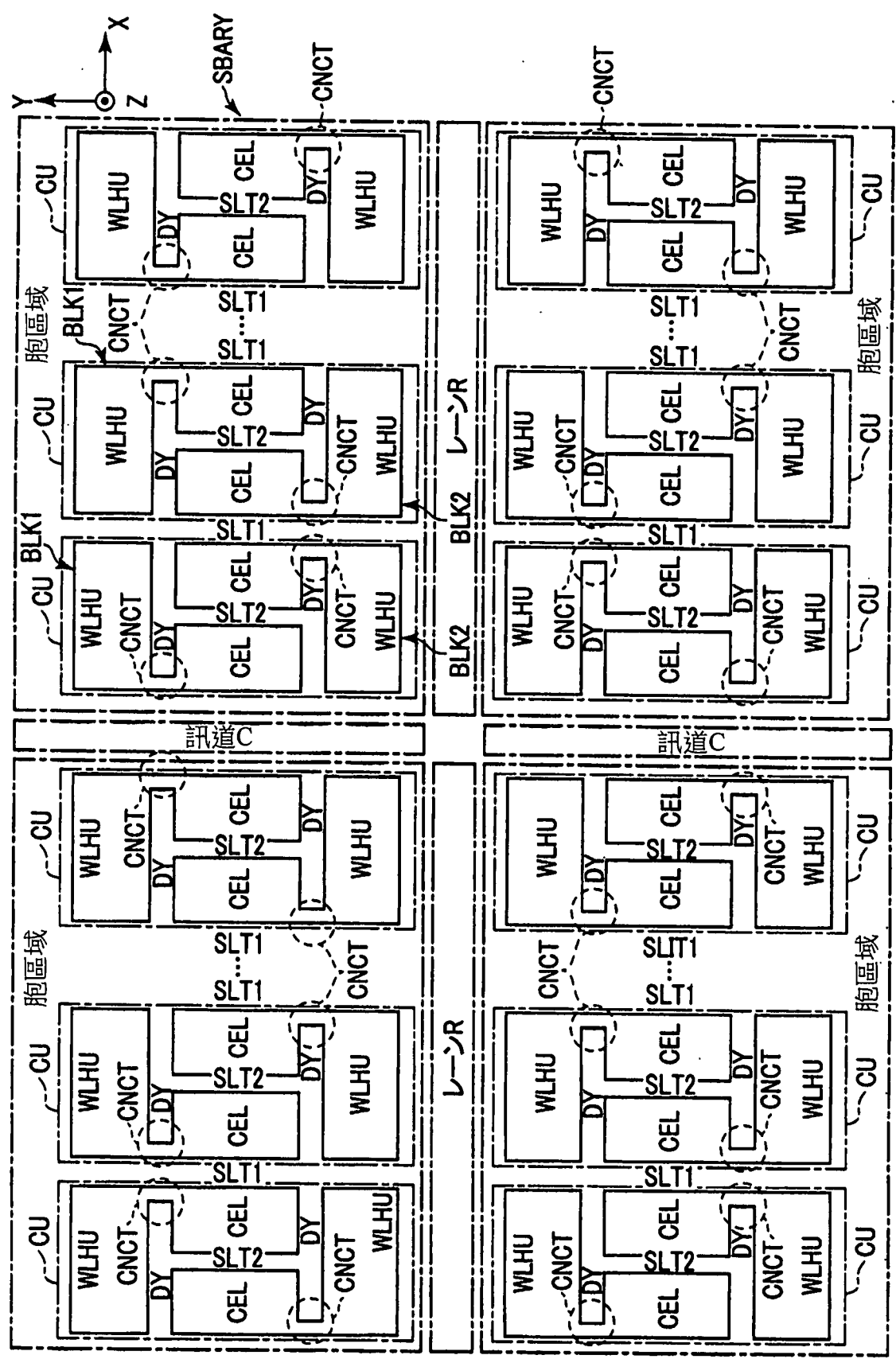


圖 9



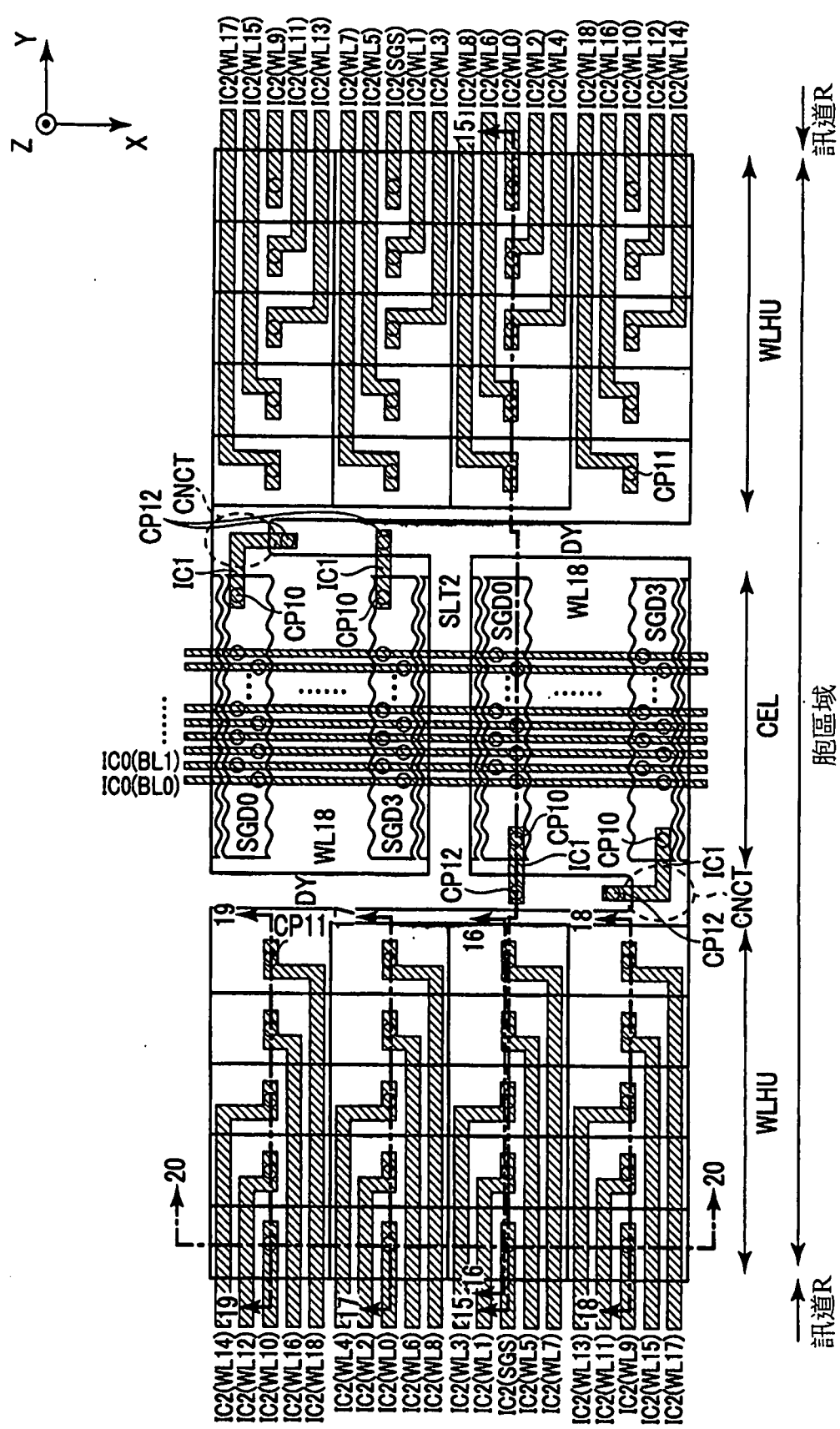


圖 11



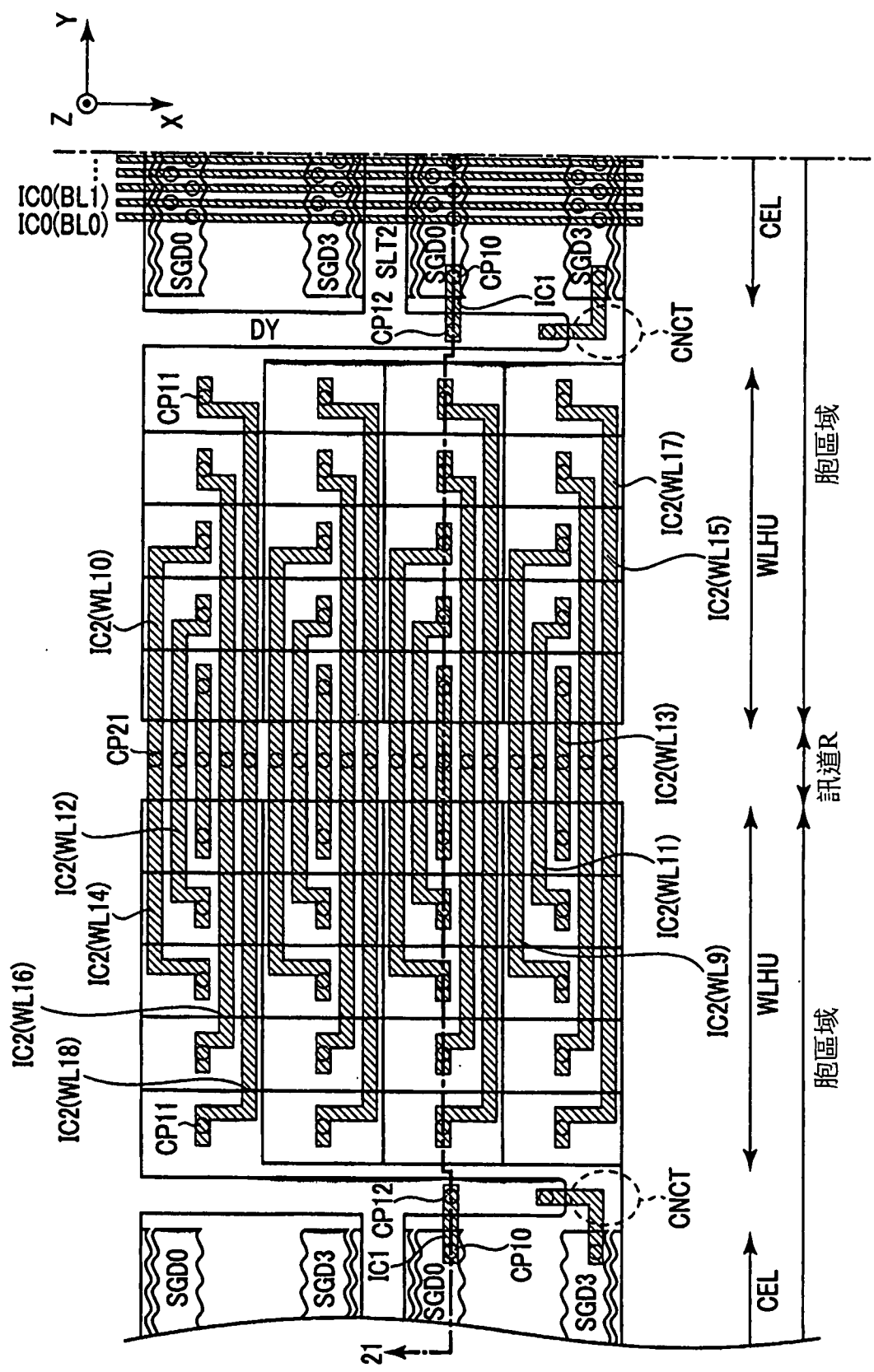
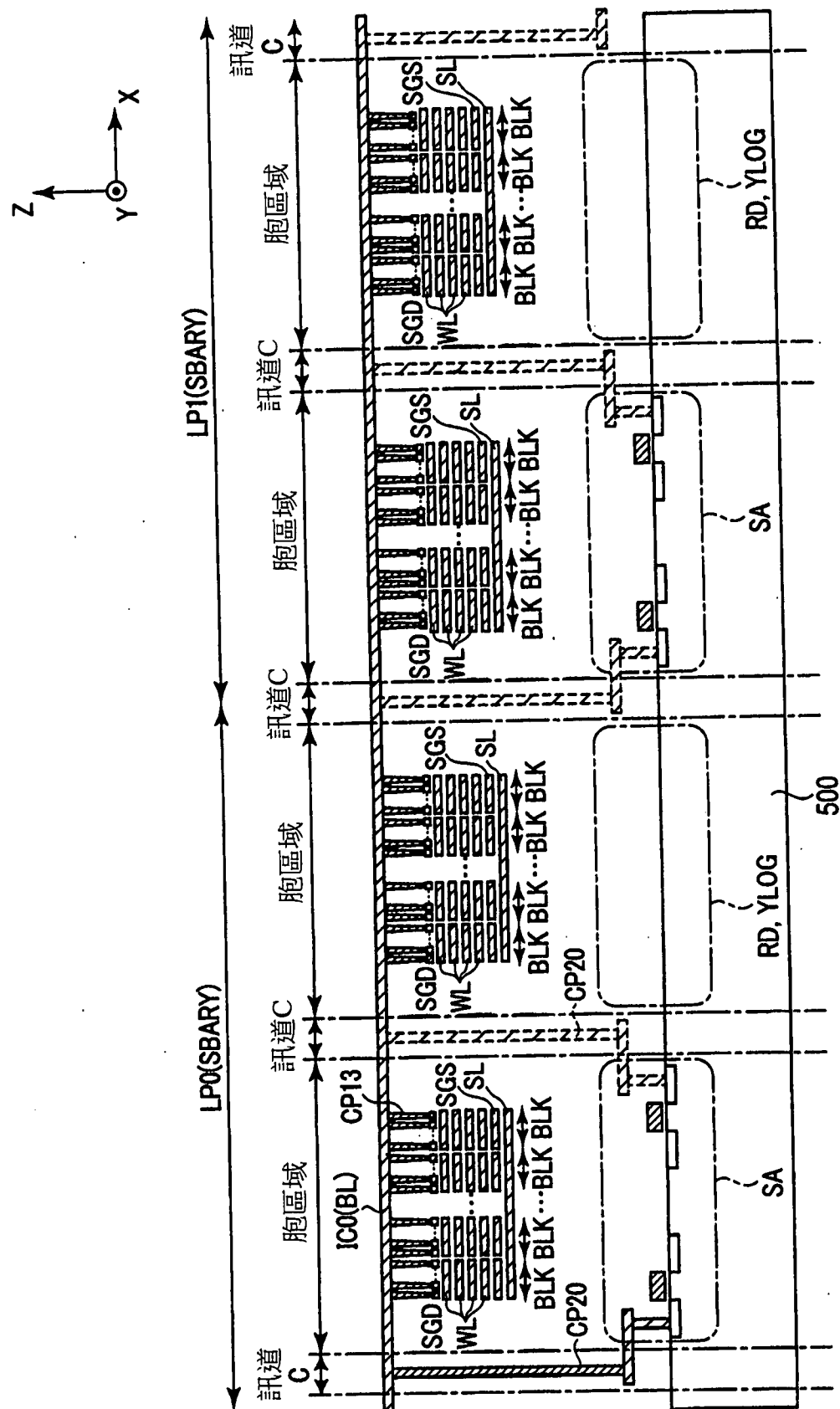


圖 13



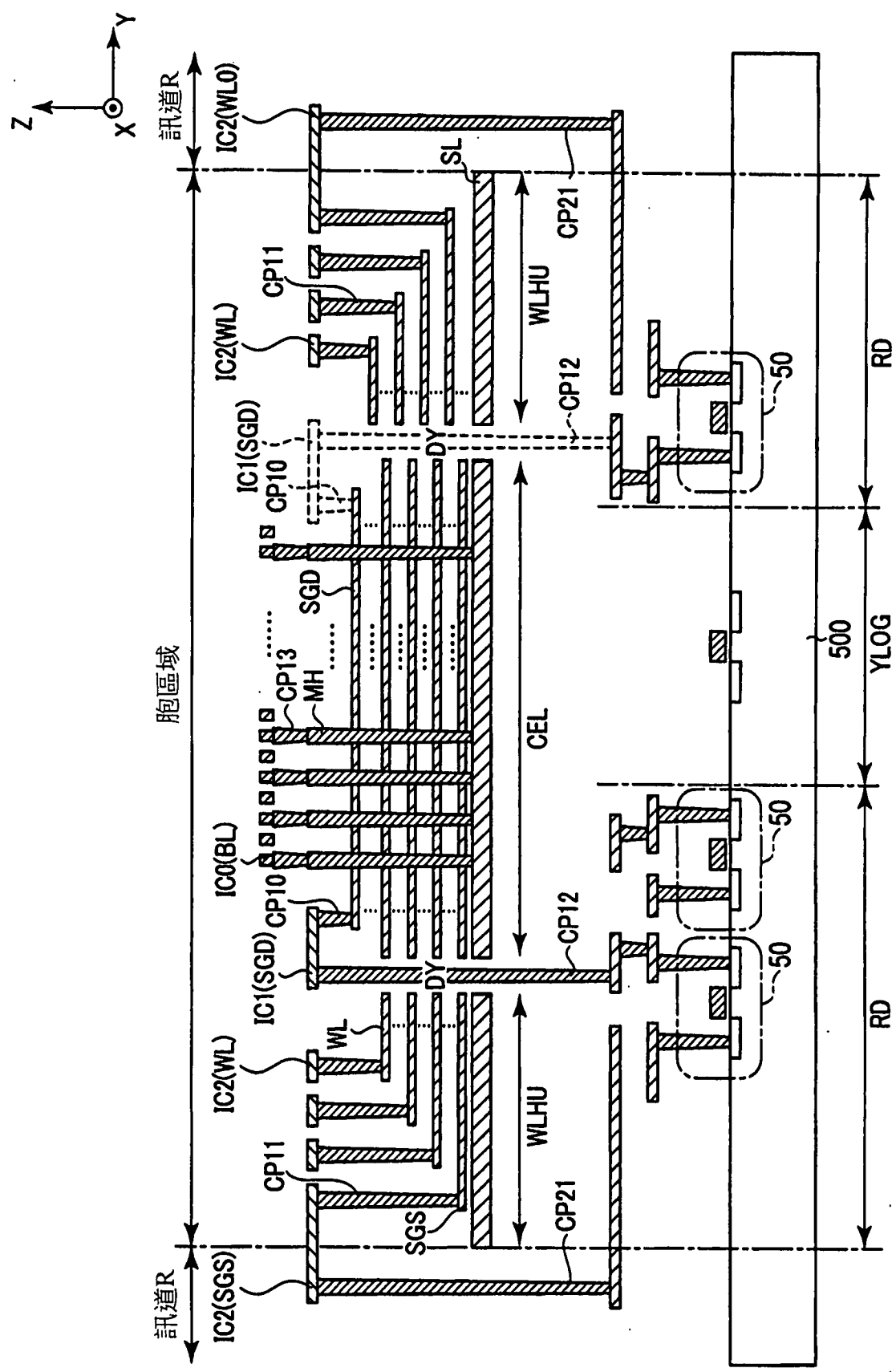


圖 15

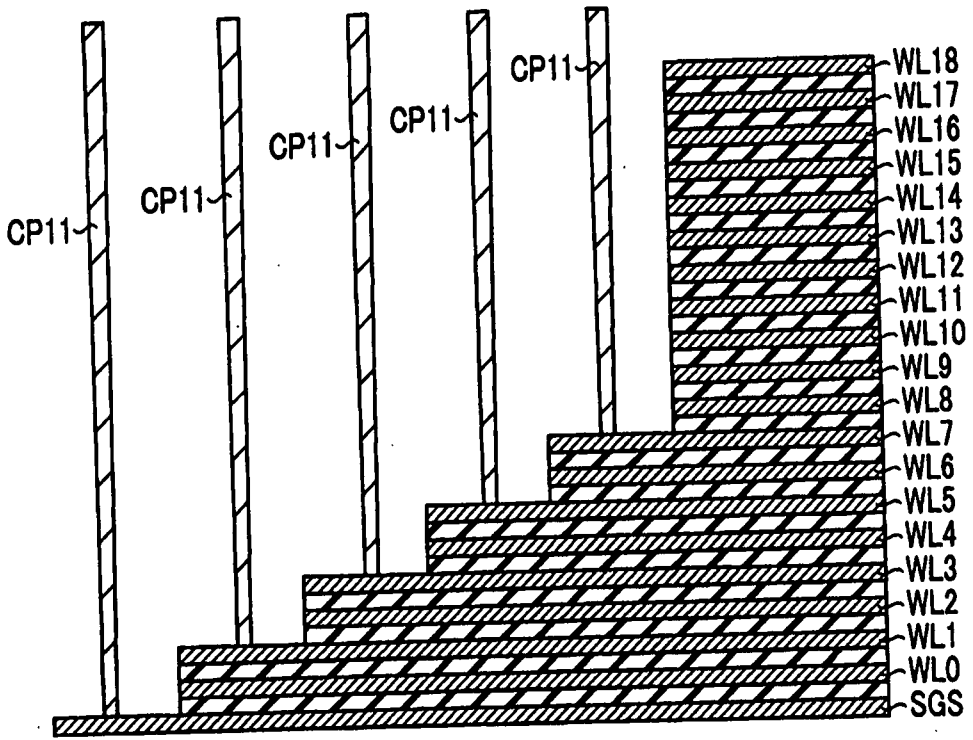


圖 16

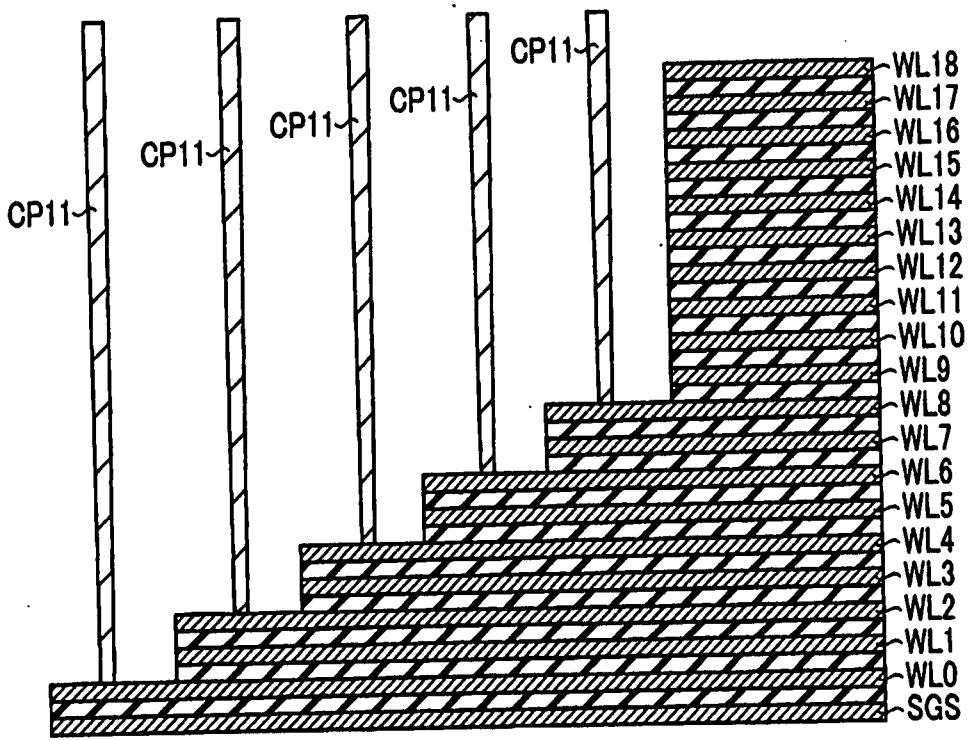


圖 17

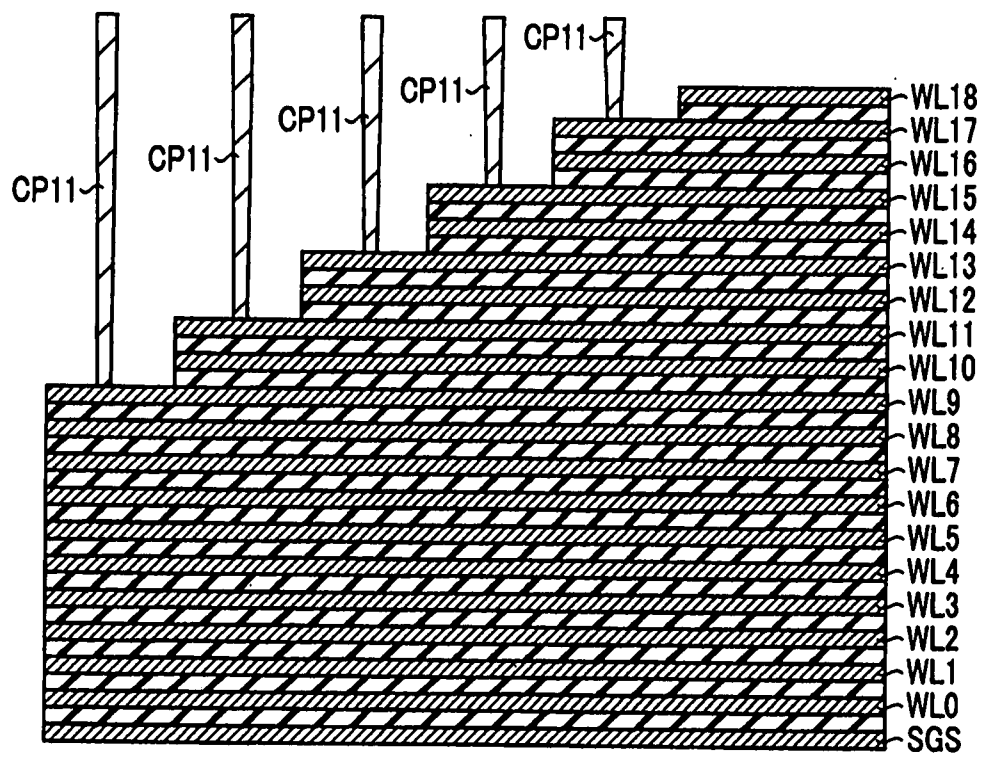


圖 18

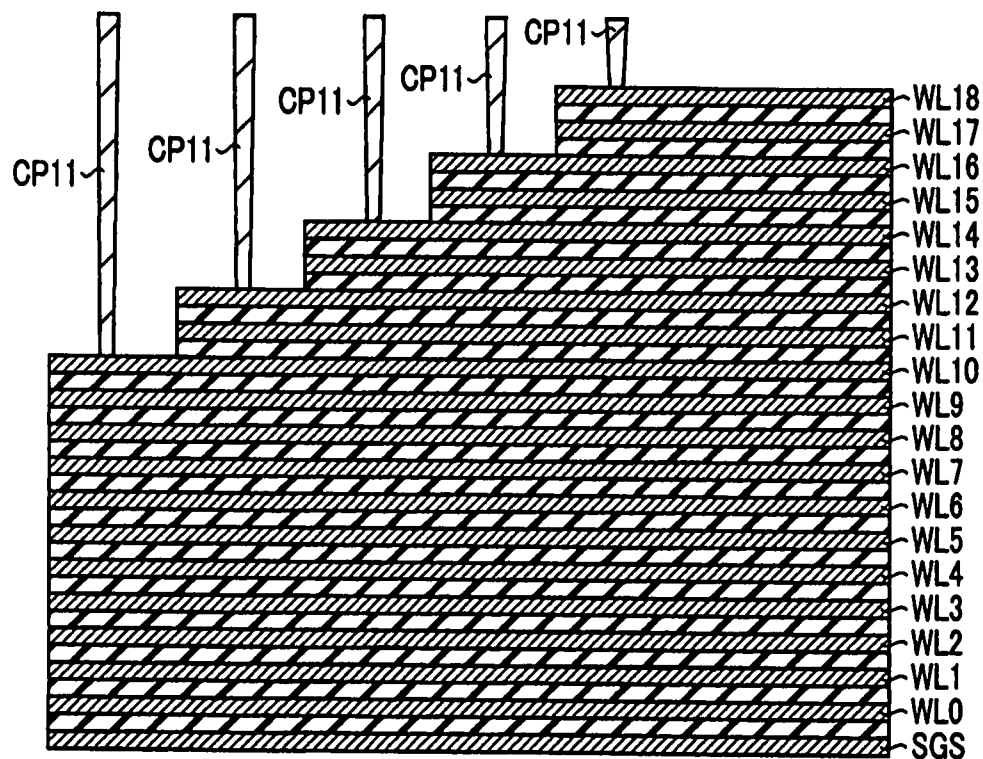


圖 19

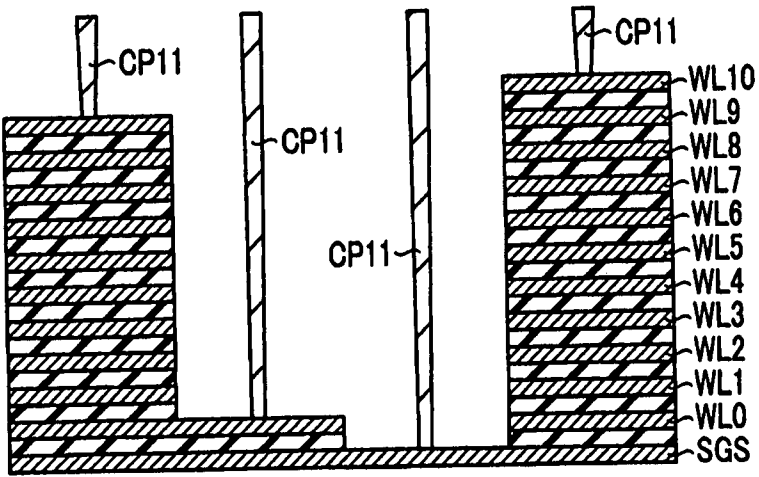


圖 20

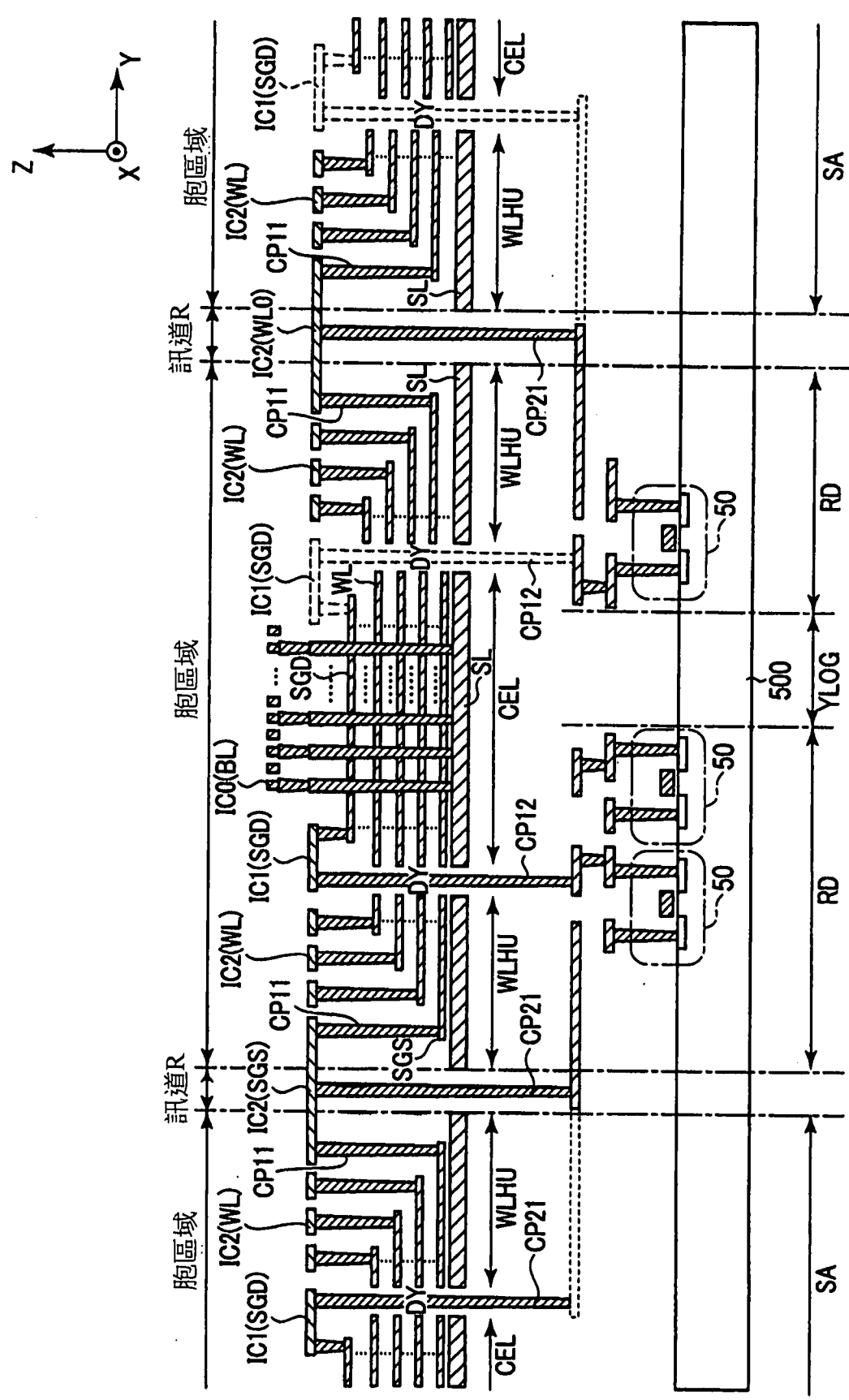


圖 21

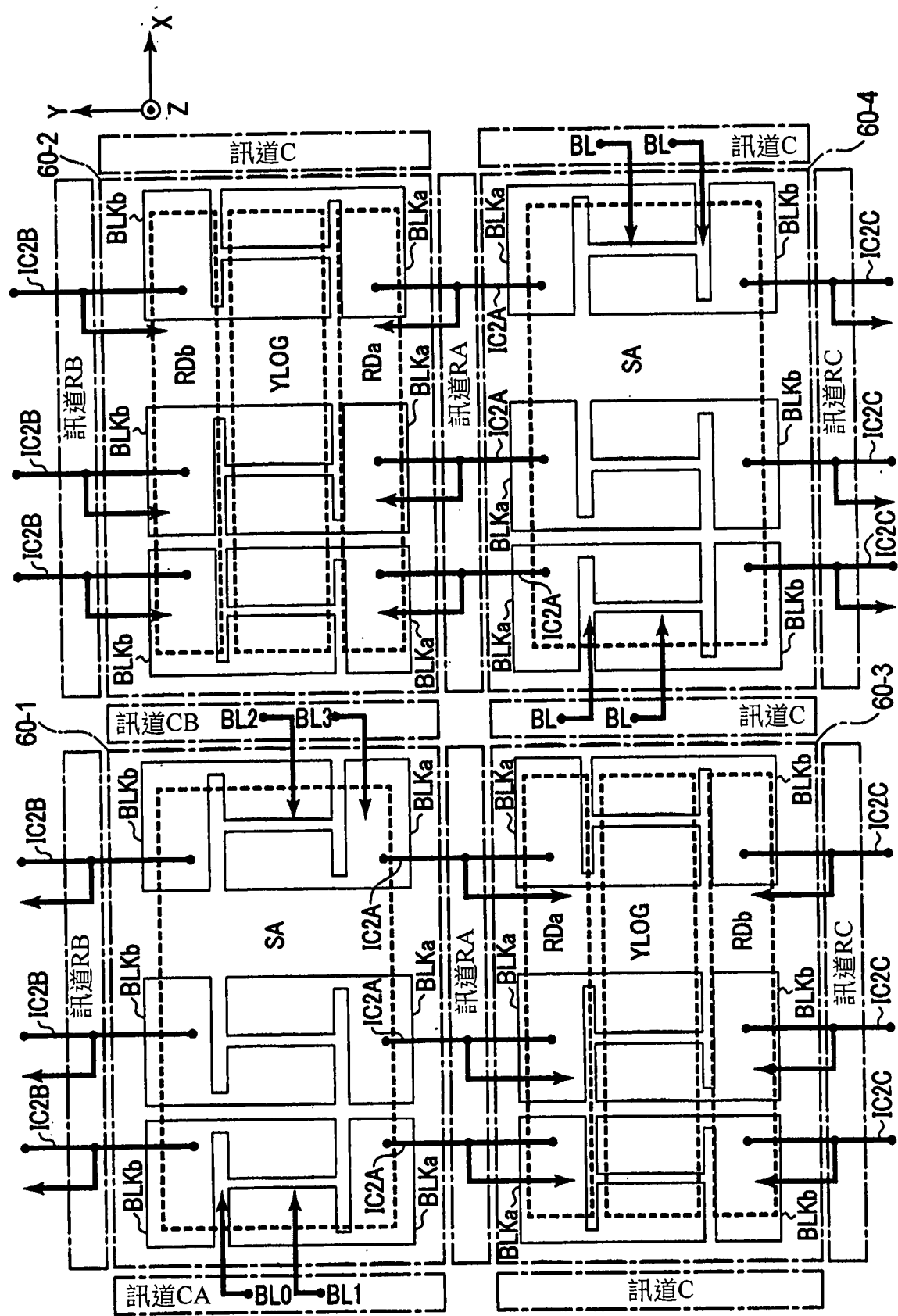


圖 22

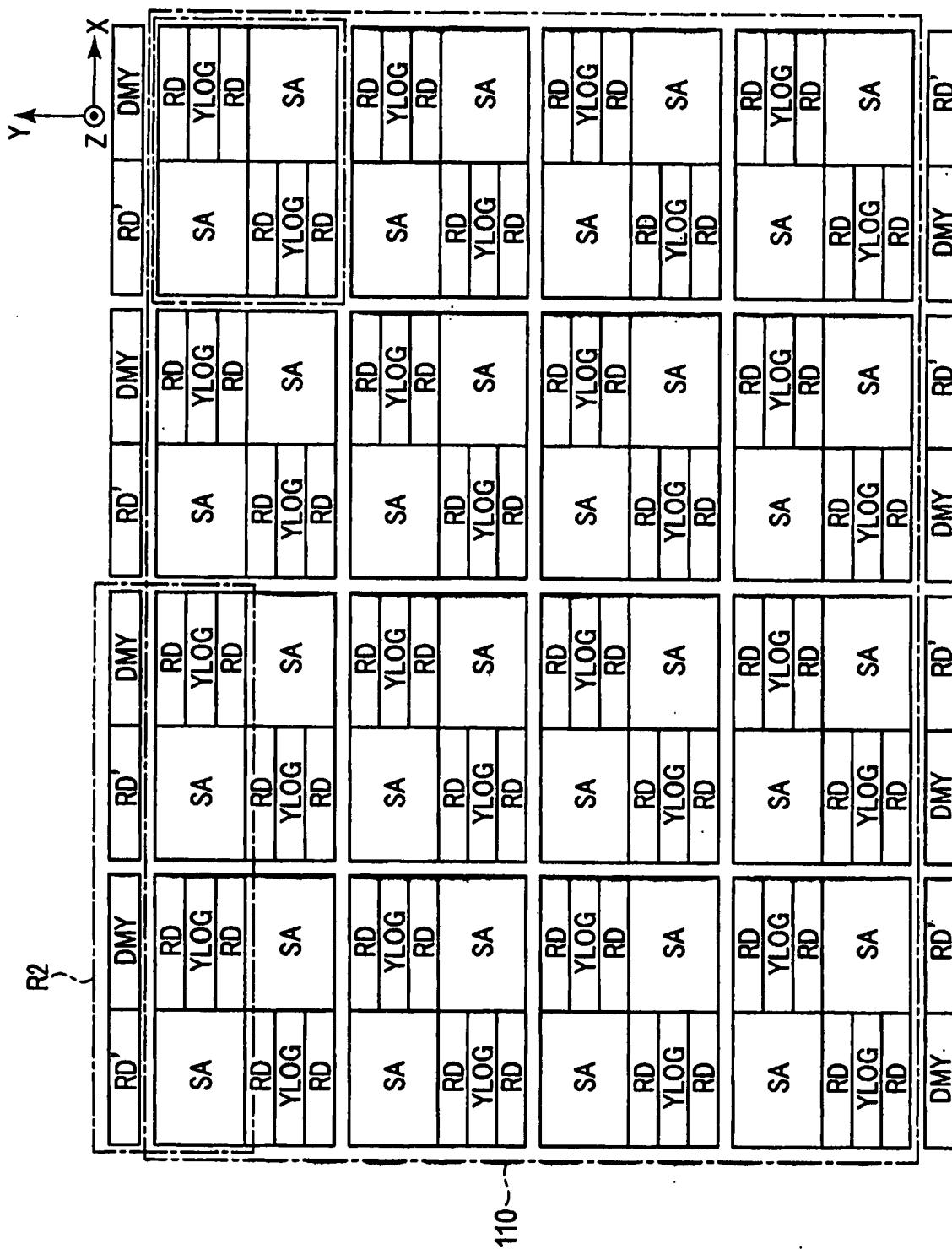
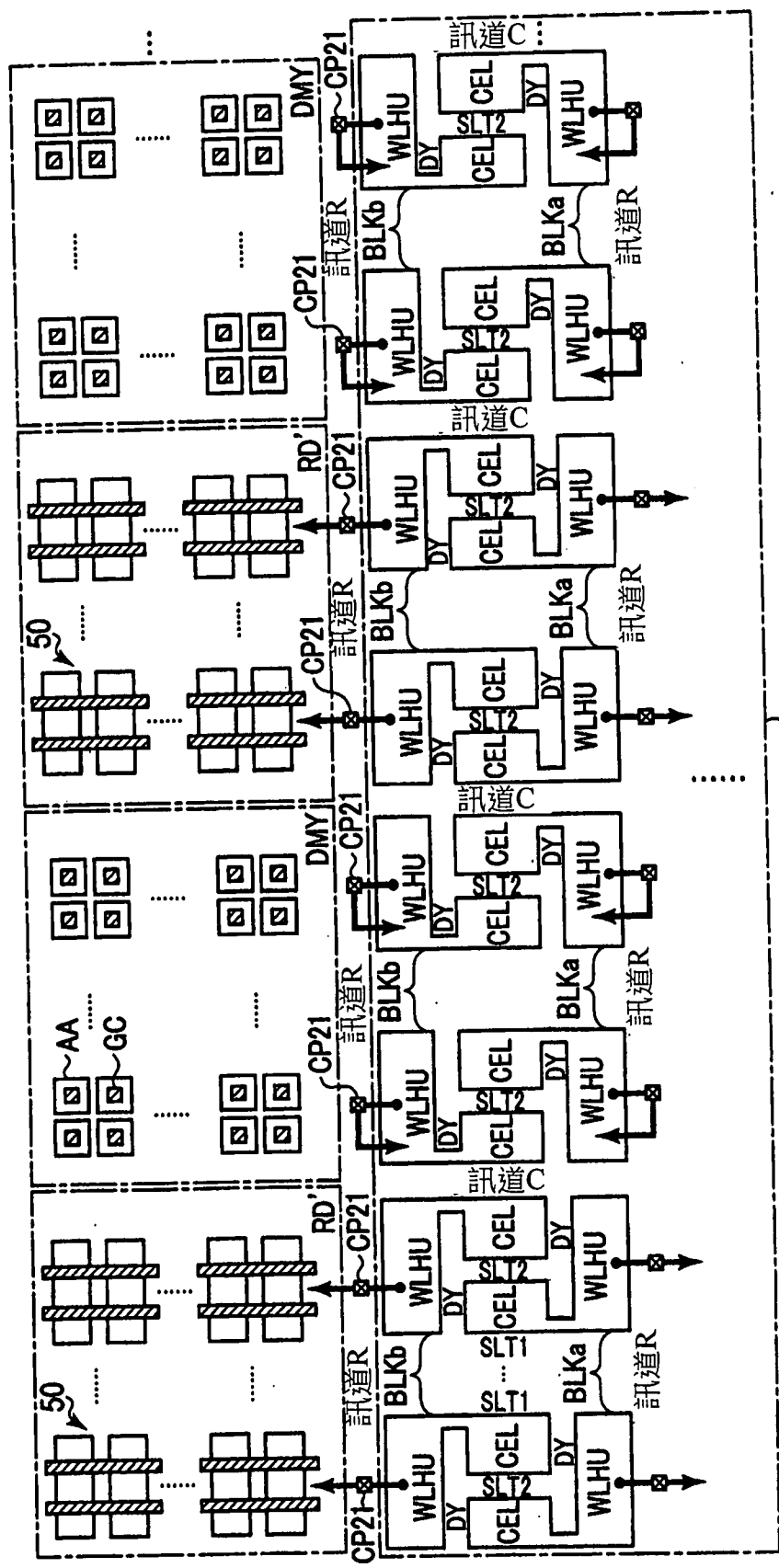
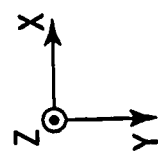


圖 23



110

圖 24

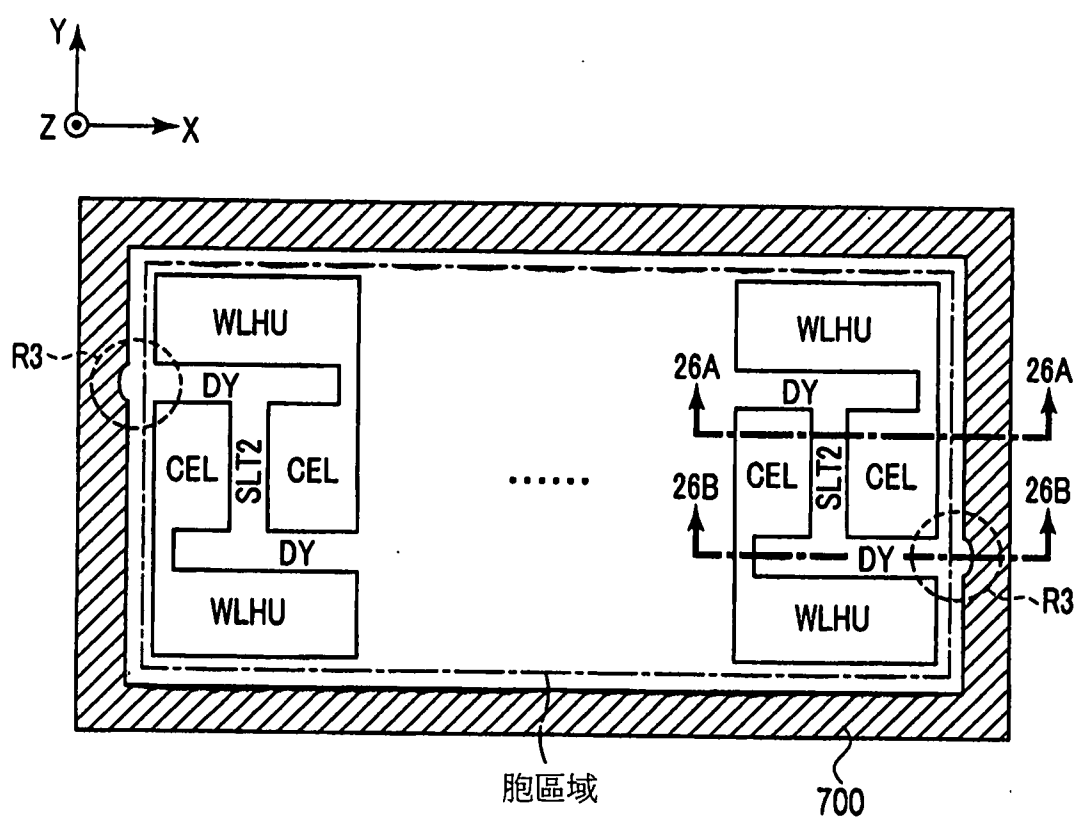


圖 25

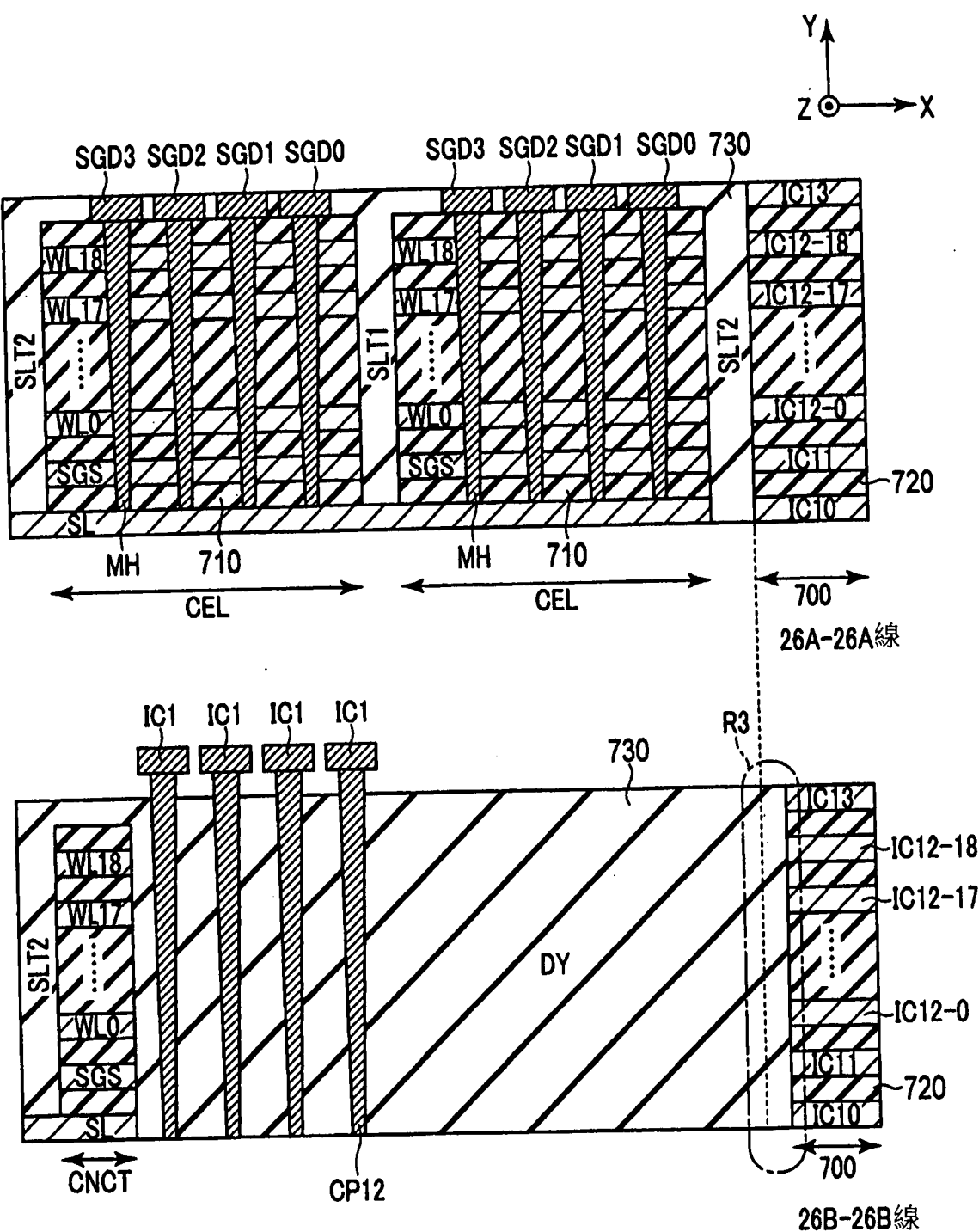


圖 26

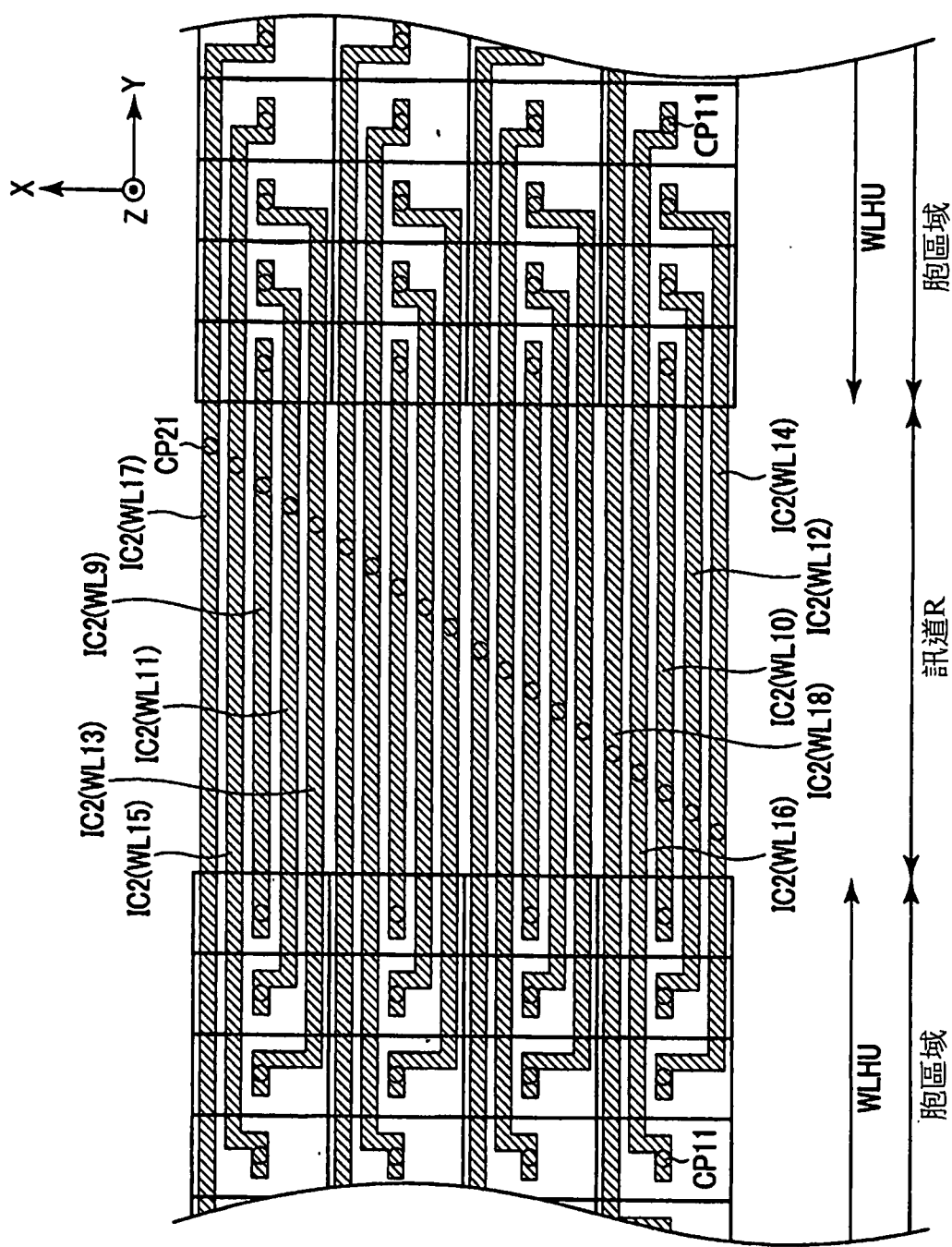


圖 27

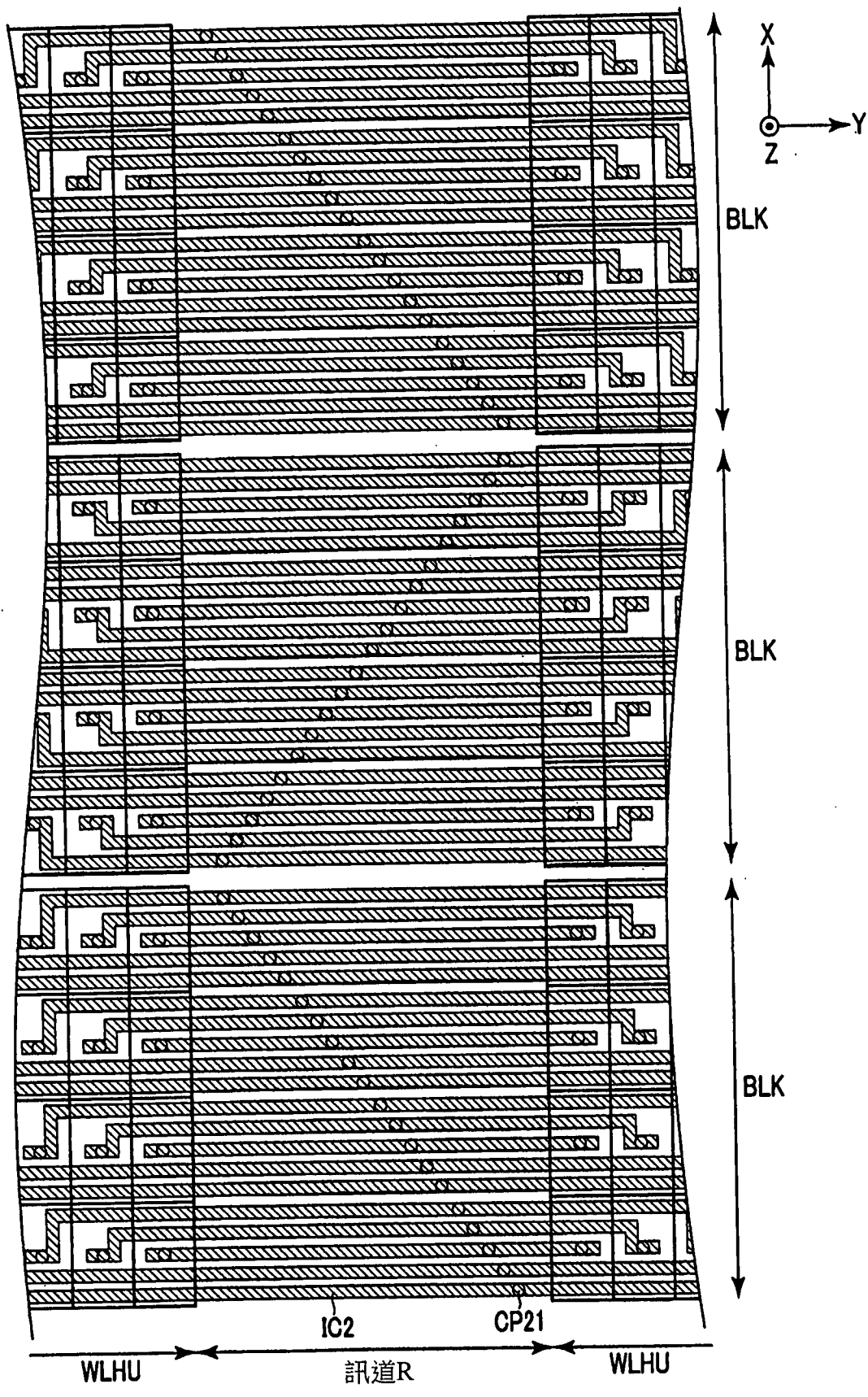


圖 28

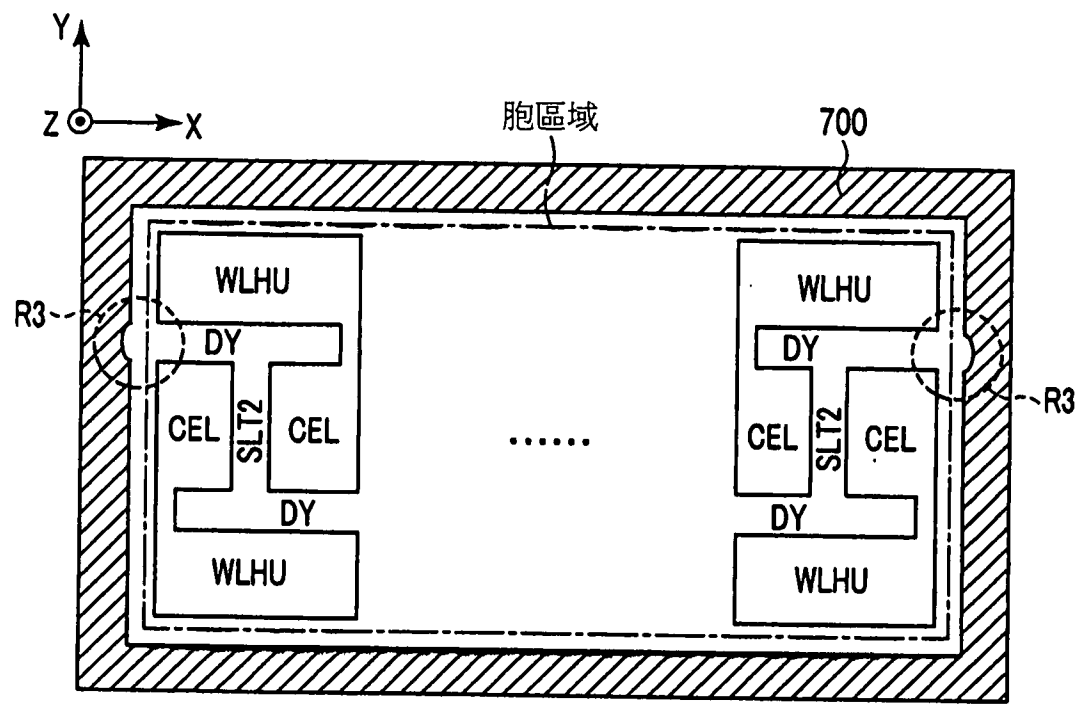


圖 29

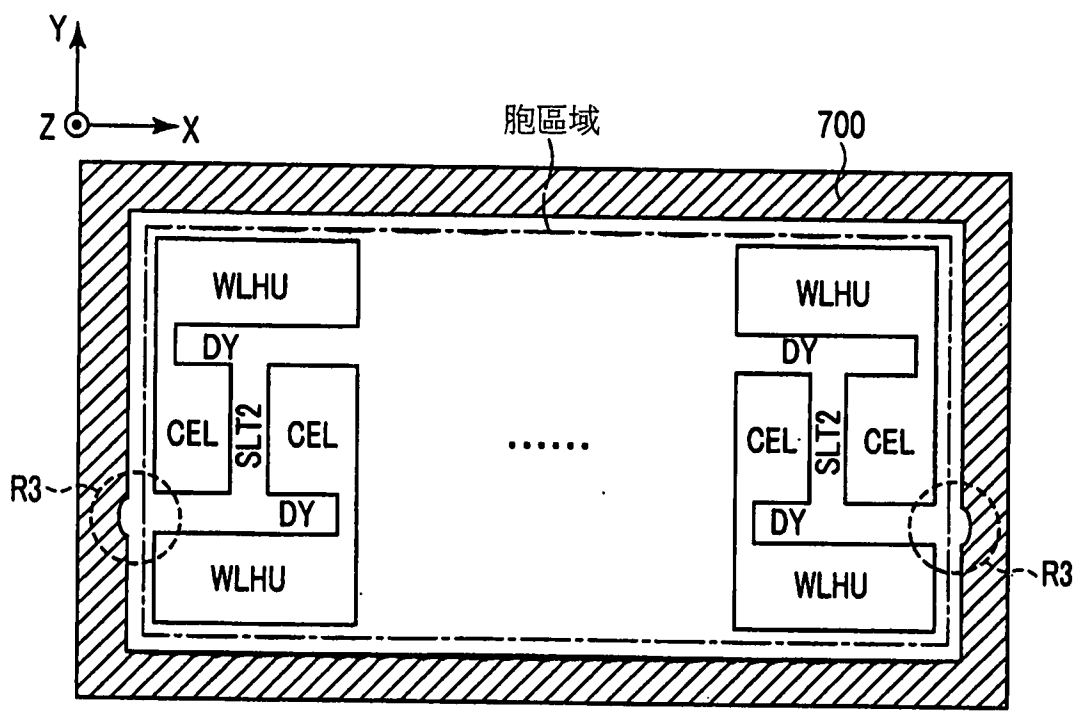


圖 30

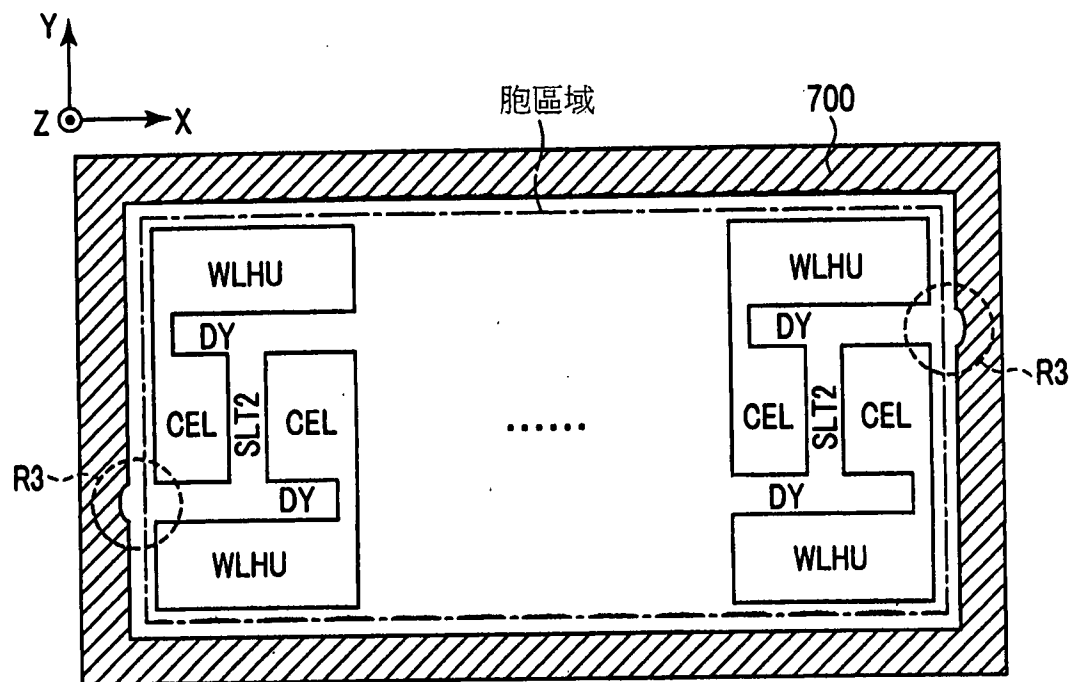


圖 31