204408

公告本

申請日期	81.03.20
案號	81102100
類別	G11C 19/00, 11/50

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明創作名稱	中文	半導體記憶裝置
	英文	
二、發明創作人	姓名	井上好永
	籍貫（國籍）	日本
	住、居所	日本國兵庫縣伊丹市瑞原4丁目1番地 三菱電機株式會社北伊丹製作所內
三、申請人	姓名（名稱）	三菱電機股份有限公司 （三菱電機株式會社）
	籍貫（國籍）	日本
	住、居所（事務所）	日本國東京都千代田區丸の內2丁目2番3號
	代表人姓名	志岐守哉

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

五、發明說明（1）

[產業上之利用領域]

本發明是關於半導體記憶裝置，尤其有關於可以減小輸入/輸出線對偶之等化時之消耗電流之半導體記憶裝置。

[習知之技術]

隨著半導體記憶裝置之記憶容量之大容量化，為著達成降低消耗電力和避免存取時間增長之目的，所以大部份之情況是將記憶器單元陣列分割成多個塊，使該多個塊個別的進行電路動作，藉以進行資料寫入和資料讀出。

圖7是概略方塊圖用來表示此種半導體記憶裝置之一實例，圖中顯示具有塊分割構造之DRAM(動態隨機存取記憶器)之全體構造。下面將參照圖7來說明該DRAM之全體構造及其動作。

記憶器單元陣列被分割成8個塊101～108。

圖8是電路圖，用來表示各個塊101～108之具體構造。該等塊101～108之構造都相同，所以在圖8只顯示一個代表性之塊之構造。

參照圖8，其中各個塊之主要部份包含有：多個記憶器單元MC，被排列成具有多個行和多個列之矩陣狀；多個字線WL，被設置成對應到該多個行，和多個位元線BL1，BL2，被設置成對應到該多個列。

各個記憶器單元MC包含有：MOS電晶體Tr，具有閘極連接到對應至它所排列之行之字線WL，和具有陣列連接到對應至它所排列之列之位元線BL1或BL2；和電容器C，被連接在該電晶體Tr和單元板等之低電位源之間。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（2）

對於互相鄰接的2根位元線BL1，BL2，在連接到其一方之記憶器單元MC和連接到另外一方之記憶器單元MC，連接有不同之字線WL。鄰接的2根位元線BL1，BL2構成一個之位元線對偶BL。

電容器C被充電之狀態和從電容器C放電之狀態分別對應到記憶器單元MC之記憶資料"1"之狀態和"0"之狀態。

各個塊更包含有：感測放大器14，被設置成分別對應到位元線對偶BL；構成1對的2根輸入/輸出線201，202；和轉移閘15，被設在該對輸入/輸出線和各個感測放大器14之間。

轉移閘15包含有2個MOS電晶體151，152被設置成對應到各個感測放大器14。

各個電晶體151被連接在感測放大器14和輸入/輸出線201之間，各個電晶體152被連接在對應之感測放大器14和輸入/輸出線202之間。亦即，在各個感測放大器14連接有1組之電晶體對偶500用來使2根之資料線201，202電連接在該感測放大器。

各個塊更包含有列解碼器12用來控制各個字線WL之電位，和行解碼器13用來控制轉移閘15。

連接在同一個感測放大器14的2個電晶體151，152之閘電位，一起受到行解碼器13之控制。

在列解碼器12和行解碼器13分別被施加有圖7之X預解碼器8之輸出和Y預解碼器9之輸出。

再度的參照圖7，X位址緩衝器6受控制電路11之控制，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

將外部位址信號φ1～φn當作緩衝信號的施加到X預解碼器8。Y位址緩衝器7受控制電路11之控制，以外部位址信址φ1～φn當作緩衝信號的施加到Y預解碼器9和位址變化檢測電路10。

X預解碼器8對來自X位址緩衝器6之位址信號進行解碼，然後將解碼後之信號供給到各個塊101～108內之列解碼器12（參照圖8）。Y預解碼器9對來自Y位址緩衝器7之位址信號進行解碼，然後將解碼後之信號供給到各個塊101～108內之行解碼器13（參照圖8）。

外部位址信號φ1～φn之設定方式是在資料寫入時和資料讀出時，只有1個塊之列解碼器12之輸出信號中之1個和行解碼器13之輸出信號中之1個變成高位準，在其他之塊，列解碼器12和行解碼器13之輸出信號均變成低位準。

因此，在任何一個塊中（參照圖8），列解碼器12對來自X預解碼器8之信號進行更進一步之解碼，只有其中之任何一個之字線WL被施加有對應到高位準之電源電位Vcc，其他之字線WL被施加對應到低位準之接地電位。利用這種方式可以對連接到該1根之字線WL之各個記憶器單元MC進行資料寫入和資料讀出。

當某一根字線WL之電位比記憶器單元MC內之電晶體Tr之臨界值電壓高時，連接在該一根字線WL之各個記憶器單元MC之電晶體Tr就變成ON狀態，使電容器C電連接在與該記憶器單元MC連接之位元線BL1或BL2。因此，當該1根之位元線BL1或BL2之電位升高時，電容器C就被充電，在該記

（請先閱讀背面之注意事項再填寫本頁）

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明（4）

憶器單元MC被寫入資料"1"。相反的，當該位元線BL1或BL2之電位降低時，因為該電容器C未被充電，所以該記憶器單元MC被寫入資料"0"。

其中，資料寫入之進行是強制位元線BL1或BL2使其電位對應到來自外部之寫入資料Din。實質上是各個感測放大器14在資料寫入時將來自轉移閘15的2個信號分別施加到對應的2根位元線BL1，BL2。

另外一方面，位元線BL1，BL2假如不被強制到此種電位時，由於電晶體Tr變成ON狀態，連接在該電晶體Tr之位元線BL1和BL2，在電容器C被充電之情況時產生電位上升和電容器C放電之情況時產生電位降低。其結果是在構成位元線對偶BL之2根位元線BL1，BL2之間產生微小之電位差。其中，資料讀出之進行方式是經由檢測位元線BL1和BL2間所產生之電位差和加以取出。實質上是在資料之讀出時，各個感測放大器14感測和放大對應的2根位元線BL1，BL2間之電位差，將具有互補電位之2個信號施加到轉移閘15。

行解碼器13對來自Y預解碼器9之信號進行更進一步的解碼，在轉移閘15內之電晶體151，152中，只有連接在任何1個之轉移放大器14的2個電晶體之閘極被施加有高位準之電位，在其他之電晶體之閘極則均被施加低位準之電位。利用這種方式，因為只有連接在1個感測放大器14的2個電晶體151，152變成ON狀態，所以只有該1個之感測放大器14被電的連接在輸入/輸出線對偶2。

（請先閱讀背面之注意事項再填寫本頁）

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明（5）

輸入/輸出線201和202在資料寫入時，其電位被強制成為對應到來自外部之資料信號Din之互補電位。在資料讀出時，輸入/輸出線201和202之電位作為1個之讀出資料信號施加到圖7之輸入/輸出電路16。

因此，在資料寫入時，外部資料信號寫入到具有高位準電位的1根字線W（以下稱該字線為被選擇之字線），和將外部資料寫入到1個記憶器單元MC，該1個記憶器單元MC連接到2根位元線（以下稱為被選擇之位元線）BL1，BL2中之任何一方，該2根位元線對應到連接在ON狀態之電晶體對偶500的1個感測放大器14。

在資料讀出時，依照連接在被選擇之字線WL和被選擇之位元線BL1或BL2的1個記憶器單元MC（以下稱為被選擇之記憶器單元）之記憶資料，在被選擇之位元線BL1和BL2間所產生之電位差被感測放大器14加以放大，然後出現在輸入/輸出線201和202之間。

因此，在資料寫入時，只有任何1個塊被寫入有外部資料，在資料讀出時，只從任何1個讀出資料。經由適當的變換位址信號 $\phi 1 \sim \phi n$，可以進行從所希望之塊到所希望之位置之記憶器單元之資料寫入和資料讀出。

如圖7所示，其中對應到各個塊101～108的設有等化電路4和預放大器3。

如圖8所示，各個等化器電路4和各個預放大器3均連接到對應之塊之輸入/輸出線201，202。

各個預放大器3利用位址變化檢測電路10來加以控制，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（6）

在資料寫入時，對施加自輸入/輸出電路16之信號進行放大，將互補電位供給到對應之塊之輸入/輸出線201和202，在資料讀出時，對應之塊之輸入/輸出線201和202間之電位差被更進一步的放大，然後施加到輸入/輸出電路16。

各個等化電路4被等化控制信號產生電路5控制，當外部位址信號φ1～φn每次變化時，對應之塊之輸入/輸出線201和202就被強制成為等電位。

輸入/輸出電路16被控制電路11控制，在資料寫入時，將對應到來自外部之寫入資料Din之信號供給到各個預放大器3，在資料讀出時，將來自各個預放大器3之信號當作讀出資料D out的供給到外部端子。

位址變化檢測電路10用來檢測來自Y位址緩衝器7之位址信號之變化，然後將檢測信號輸出到全部之預放大器3和等化控制信號產生電路5。

各個預放大器3依照該檢測信號被活性化。等化控制信號產生電路5被控制電路11控制，在資料寫入時和資料讀出時，依照該檢測信號產生等化控制信號EQ用來使等化電路4活性化。該等化控制信號EQ共同施加到全部之等化電路4。因此，當形成為資料寫入和資料讀出之對象之記憶器單元每次變化時，各個輸入/輸出線對偶2就被等化。

圖9是電路圖，用來表示等化電路4之構造。在圖9中只顯示1個代表性之等化電路之構造。

參照圖9，各個等化電路4被連接在對應之塊之輸入/輸出線201和202之間，而且包含有N通道MOS電晶體40以其閘

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

極接受等化控制信號EQ。在資料讀出時和資料寫入時，於每次外部位址信號φ1～φn進行變化時，等化控制信號EQ就變成高位準。利用這種方式使電晶體40變成ON狀態，因為資料線201和資料線202短路，所以該等資料線201，202變成等電位。

此種輸入/輸出線之等化之進行方式是在連續的從不同之記憶器單元讀出資料之情況時，和連續的將資料寫入到不同之記憶器單元之情況時，利用先前讀出之資料，使形成對偶之資料線201和202之電位成為與對應到下一個資料讀出對象之記憶器單元之記憶資料之位準相反時，則於下一次之資料讀出之際，輸入/輸出線201和202迅速而且確實的出現正電位。

控制電路11用來控制所希望之電路部份，其方式是依照列活動，列位址選通信號RAS，行位址選通信號CAS，寫入激勵信號WE，和輸出激勵信號OE等之外部控制信號，實施資料寫入之電路動作，或資料讀出之電路動作，或成為資料寫入和資料讀出之任何一方均不實施之狀態（以下稱此狀態為離線或等待狀態）。

在下面之說明中，列活動之信號分別以附加"/"來表示。

下面將參照圖7至圖10來更詳細的說明該DRAM之資料讀出時之電路動作。

圖10是時序圖用來表示資料讀出時之主要控制信號和信號線之電位變化。

在此處之說明中，資料之讀出是從同一塊內之同一行之

（請先閱讀背面之注意事項再填寫本頁）

裝・・・・訂・・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明（8）

多個記憶單元連續的進行。

首先，在供給用以指示某一位址A1之外部位址信號φ1～φn(圖10(b))之狀態，列位址選通信號/RAS(圖10(a))變成下降。

依照列位址選通信號/RAS之下降，X位址緩衝器6進行動作，所以在構成記憶器單元陣列1之塊101～108中之任何一個，利用列解碼器12使任何1根之字線WL之電位如圖10(c)所示的上升到高位準。

連接在被選擇之字線WL之記憶器單元MC，假如被連接在位元線BL1時，依照該上升，使位元線BL1之電位，如圖10(d)所示，依照被連接在該1根之字線和該1根之位元線BL1之記憶器單元MC之記憶資料，進行稍微之上升或下降。另外一方面，位元線BL2之電位則不變化。

相反的，連接在該1根之字線之記憶器單元MC，在被連接到位元線BL2之情況時，依照其上升，在各個位元線BL2之電位，依照連接在該1根之字線WL和該1根之位元線BL2的1個記憶器單元MC之記憶資料，產生稍微之電位上升或電位下降。另外一方面，位元線BL1之電位則不變化。

各個感測放大器14連接在用以構成對應之位元線對偶BL之位元線BL1和BL2之間，此種方式所產生之稍微之電位差如圖10(d)所示，其大小擴大到V。其結果是各個位元線BL1之電位，和與該位元線BL1構成對偶之位元線BL2之電位，成為互補之邏輯位準。

各個位元線對偶BL1和與其構成對偶之位元線BL2間之電

（請先閱讀背面之注意事項再填寫本頁）

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明（9）

位差，經由對應之感測放大器14被擴大，在擴大相當程度之時間，使Y位址緩衝器7進行動作。利用這種方式，在構成對偶之位元線BL1和BL2間之電位差擴大到某一個程度之時間，則有1個塊之行解碼器13之輸出信號線（以下稱為行選擇線）CSL中之任何1根之電位，會如圖10(e)所示的上升到高位準。

因此，依照被選擇之位元線BL1和BL2之電位，使資料線201之電位和資料線202之電位如圖10(f)所示的回應行選擇線之電位之上升，進行互補變化。

亦即，假如被選擇之位元線BL1之電位為高位準時，資料線201和202之電位就分別回應行選擇線CSL之電位之上升，開始上升和下降。相反的，假如被選擇之位元線BL1之電位為低位準時，輸入/輸出線201和202之電位就分別回應行選擇線CSL之電位之上升，開始下降和上升。

如此一來，當出現在1個塊之輸入/輸出線201和202間之電位差具有充分之大小時，輸入/輸出電路16就進行動作。其結果是出現在該輸入/輸出線對偶2之電位變化（亦即，位址A1所選擇之記憶器單元之記憶資料），作為對應到該變化之邏輯值之資料信號，確實的被取出到外部。

外部位址信號 $\phi 1 \sim \phi n$，如圖10(b)所示，被變換成用以指示位址A2之信號，促成與先前者不同的另外一個行選擇線之電位變成高位準。

利用位址變化檢測電路10來檢測此種變化，回應該變換時如圖10(g)所示，等化控制信號EQ只在一定之期間 τ 變

（請先閱讀背面之注意事項再填寫本頁）

裝・・・・訂・・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

成高位準。

外部位址信號φ1～φn之變換時間被設定成當進行資料讀出之塊中之資料線201和202間之電位差達到最大值以後，就使等化控制信號EQ變成高位準。

在等化控制信號EQ為高位準之期間，於各個塊101～108中之輸入/輸出線201和輸入/輸出線202就產生電連接。因此，在進行資料讀出之塊，產生電位上升之輸入/輸出線201(或202)之電位和產生電位下降之資料線202(或201)之電位分別回應等化控制信號EQ之上升，開始下降和上升，最後被等化成電源電位Vcc和接地電位0V之中間電位Vcc/2(以下稱為等化電位)。

另外一方面，當回應外部位址信號φ1～φn之變換時，在讀出先前資料之塊，分別利用與先前不同的2根位元線BL1和BL2之電位，使輸入/輸出線201和202之電位，從等化電位起，開始如圖10(f)所示的變化。

等化控制信號EQ為高位準之期間τ之長度被設定成在1根之行選擇線CSL之電位每次變成高位準之前，使等化控制信號EQ下降為低位準。因此，利用上述之電路動作，促成由位址A2所選擇的1個記憶器單元MC之記憶資料，經由連接在被選擇位元線對偶BL之感測放大器14，轉移閘15，和輸入/輸出線對偶2，然後被導出到預放大器3。

依照這種方式，在資料讀出時，當外部位址信號φ1～φn每次變換時，就重複的進行各個塊中之資料線201和資料線202之等化，等化之解除，在1個塊中利用1根行選擇

（請先閱讀背面之注意事項再填寫本頁）

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明 (11)

線CSL之電位上升從1組之位元線對偶BL將信號傳達到資料線對偶2。

依照這種方式，在具有分割成塊之記憶器單元陣列之半導體記憶裝置中，具有資料寫入和資料讀出等之半導體記憶裝置之本來功能是只有外部位址信號所指示之特定塊被活性化。因此，該特定塊以外之任何一個塊均不進行動作，所以近似完全沒有電力消耗。因此，該半導體記憶裝置之動作時之消耗電力被減小。

在下面之說明中，活性化之塊稱為選擇狀態之塊。

在非選擇狀態之塊中，因為輸入/輸出線201和202不與任何一個之位元線BL1，BL2產生電連接，所以不論圖10(h)所示之等化控制信號EQ(圖10(i))之電位位準之變化如何，都保持在等化電位。

在上述之說明中，選擇狀態之塊之數目為1，但是也可以使選擇狀態之塊數為多個。在選擇狀態之塊數為多個之情況時，於資料讀出時，分別從該多個塊讀出資料，在資料寫入時，分別將資料寫入到該多個塊。

[發明所欲解決之問題]

如上所述，在被分割成一些塊之習知之DRAM中，用以使資料線等化之等化電路對應到各個塊，亦即，被設置成對應到各個輸入/輸出線對偶，全部之等化電路利用同一個等化控制信號來一起控制。因此，在資料讀出時，對於選擇狀態之塊以外之塊(以下稱為非選擇狀態之塊)，均進行資料線之等化及其解除。

(請先閱讀背面之注意事項再填寫本頁)
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明 (12)

亦即，參照圖7至圖10之資料讀出時，供給到各個等化電路4之等化控制信號EQ，在外部位址信號φ1～φn之每次變換時，暫時的上升到高位準，在經過一定之期間τ後下降到低位準。因此，在8個塊101～108之每一個，於外部位址信號φ1～φn之每一次變換時，資料線201和資料線202被短路一定之時間，然後再度的變成電的斷開。

依照這種方式，在各個塊中，資料線201和資料線202之電連接狀態之控制之進行方式是將等化控制信號EQ施加到對應該塊之等化電路4內之電晶體40之閘極。MOS電晶體之閘電極以聚矽等經由絕緣膜形成在半導體基板上。因此，施加在MOS電晶體之閘極之電位之變化會在該閘極產生對應到閘極容量之大小之充放電電流。

因此，在各個等化電路4內之電晶體40之閘極和等化控制信號產生電路5之間會有用以使閘極充放電之充放電電流在其間流動。

電晶體40之閘極容量，分別對應到等化控制信號EQ之高位準和低位準之電位，外部位址信號φ1～φn之變換週期，以及1個讀出循環（列位址選通信號/RAS從下降到低位準起，到再度回至高位準之期間）中之外部位址信號φ1～φn之變換次數，分別以CG，VH和VL，tc，及N表示時，假如以B表示塊數，則在一個循環之資料讀出期間，可以利用下式來算出由於等化電路4之等化控制信號EQ所產生之電流之總和I。

$$I = [(CG \times |VH - VL| \times B) / tc] \times N$$

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (13)

例如，CG，VH，VL，tc之值分別為0，4PF，5V，0V，40ns，2次時，則電流I變成為(0.1mA×B)。

另外，隨著近年來之半導體記憶裝置之高密集化之進步，各個塊內之記憶器單元之數目日漸增大，為著要回應更進一層之高速化和低功率消耗之要求，所以使記憶器單元陣列之分割數目(亦即塊數B)增大。亦即，在圖7中，記憶器單元陣列1只被分割成8個塊，但是在最近有很多情況是分割成更多個之塊。例如，當塊數B為100時，上述之電流I就變成10mA。

半導體記憶裝置，在其動作時，於此種等化電路以外的許多電路部份亦有電流消耗。10mA對半導體記憶裝置全體之消耗電流來講，佔有相當大之比例。

因此，隨著塊數之增大，等化電路之充放電電流成為半導體記憶裝置之動作時之主要部份之消耗電流，因為其大小增大到不可以忽視，所以成為半導體記憶裝置之消耗電力增大之主要原因。亦即，等化電路之充放電電流所產生之現象與近年來之半導體記憶裝置之低消耗電力之要求相反。

因此，本發明之目的是提供一種半導體記憶裝置，用來解決上述之問題，不會使消耗電力增大，可以實現正確而且高速之資料讀出。

[發明之解決手段]

為著達成上述之目的，本發明之半導體記憶裝置，具備有：多個塊，各包含有多個記憶器單元；等化裝置，被設

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (14)

置成分別對應到該多個塊，用來使第1和第2輸出線，及第1和第2輸入/輸出塊進行等化；選擇裝置，依照位址信號，用來選擇上述多個塊中之任何一個；和等化控制裝置，利用設置成對應到被選擇塊之等化裝置，在資料讀出時依照位址信號之變換來解決該等化。

被設置成對應到各個塊之第1和第2輸出塊用來擔任將互補資料信號從該塊傳達到外部之工作。

各個等化裝置用來使對應之塊之第1和第2輸出線等化。

最好之方式是各個等化裝置包含有場效半導體元件具有分別連接到對應塊之第1和第2輸出線之第1和第2導通端子，和具有控制端子，等化控制裝置用來控制各個場效半導體元件之閘極電位。

[作用]

本發明之半導體記憶裝置因為依照上述方式來構成，所以在資料讀出時，依照位址信號變換之等化之解除，只對被設置成對應到多個輸出線對偶中之選擇狀態之塊之對偶進行等化解除。因此，被設置成對應到非選擇狀態之塊之各個等化裝置，在資料讀出時，即使位址信號有變換，亦可以控制成保持與先前相同之狀態。

各個等化裝置，在包含有被連接在對應之第1和第2輸出線間之場效半導體元件之情況時，被設置成對應到非選擇狀態之塊之等化裝置內之場效半導體元件，即使位址信號有變換時，亦可以利用等化控制裝置，將閘極電位保持在與先前相同之電位。因此，對應到非選擇狀態之塊之等化

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (15)

裝置之控制端子不會有充放電之消耗電流。

[實施例]

圖1是概略方塊圖，用來表示本發明之一實施例之DRAM之全體構造。

參照圖1，該DRAM除了圖7所示之習知之DRAM之構造外，還包含有8個之選擇塊判別電路17，被設置成分別對應到記憶器單元陣列1所包含之全部之塊101～108。另外，與習知技術之不同之處是各個等化電路18之構成方式係利用選擇塊判別電路17之輸出信號和等化控制信號EQ雙方來控制，該選擇塊判別電路17被設置成對應到對應之塊，該等化控制信號EQ來自等化控制信號產生電路5。本實施例之DRAM之其他部份之構造和動作與圖7之DRAM相同，所以參照圖8之說明在此加以省略。

圖2是電路圖，用來表示等化電路18之構造和選擇塊判別電路17之周邊之具體構造。在圖2中只顯示代表性之對應到1個塊之部份。

參照圖2，各個選擇塊判別電路17接收從X預解碼器8和Y預解碼器9分別供給到對應之塊內之列解碼器12和行解碼器13之相同之信號。各個選擇塊判別電路17對所接收到之信號進行解碼，判別對應之塊是否在選擇狀態，然後將判別信號BS施加到對應之等化電路18。

各個等化電路18包含有反相器181用來使施加在N通道MOS電晶體40(被連接在對應之塊之資料線201和202間)之等化控制信號EQ反轉；和NAND閘182其輸入用來接收反相

(請先閱讀背面之注意事項再填寫本頁)

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明 (16)

器181之輸出信號和來自對應之選擇塊判別電路17之判別信號BS。NAND閘182之輸出信號EQI施加到電晶體40之閘極。

因此，各個塊之輸入/輸出線201，202之等化及其解除之進行方式不是利用等化控制信號EQ直接進行，而是利用對應之等化電路18內之NAND閘182之輸出信號EQI來直接進行。

在本實施例中，各選擇塊判別電路17之輸出方式是在對應之塊為選擇狀態時輸出高位準之判別信號BS，在對應之塊為非選擇狀態時輸出低位準之判別信號BS。

假如選擇塊判別電路17之輸出信號BS為高位準時，在對應之等化電路18，以NAND閘182作為反相器的進行動作用來將反相器181之輸出信號反轉。假如選擇塊判別電路17之輸出信號BS為低位準時，對應之等化電路18之NAND閘182就輸出高位準之信號而不論反相器181之輸出信號位準為何。因此，各個等化電路18內之電晶體40，只有在對應之塊為選擇狀態時，才以其閘極接收與等化控制信號EQ相同邏輯位準之電位，在對應之塊為非選擇狀態時，不論等化控制信號EQ為何，經常以其閘極接收高位準之電位。

因此，在各個塊101～108中，資料線201和202之等化是當該塊為選擇狀態時，如同習知之方式，在外部位址信號$\phi 1$～ϕn之每一次變換時，只進行一定期間τ之等化然後解除等化，在該塊為未被選擇時，即使外部位址信號$\phi 1$～ϕn進行變換亦不會被解除等化。

圖3是時序圖，用來表示本實施例之DRAM之資料讀出時之主

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (17)

要控制信號和信號線之電位變化。在圖3中所顯示之情況是從被配置在同一塊內之同一行之多個記憶器單元MC連續讀出資料之情況。

在本實施例之DRAM中，選擇塊判別電路17和等化電路18以外之部份，其動作與習知技術者相同，所以其中之列位址選通信號/RAS，外部位址信號$\phi 1 \sim \phi n$，選擇狀態之塊內之1根之字線WL之電位，選擇狀態之塊內之各個位元線BL1和與其形成對偶之位元線BL2間之電位差，選擇狀態之塊內之行選擇線CSL之電位，和選擇狀態之塊內之輸入/輸出線201和202之電位，分別如圖3(a)，(b)，(c)，(d)，(e)和(f)所示的與習知技術者進行同樣之變化。在非選擇狀態之塊中，資料線201和202之電位如圖3(i)的不進行變化。

但是，在進行資料讀出時，亦即只有在對應至選擇狀態之塊之等化電路18，信號EQI才如圖3(h)所示，其電位變化與等化控制信號EQ相同，在未進行資料讀出之塊，亦即在對應至非選擇狀態之塊之等化電路18，其信號EQI就變成如圖3(c)所示，經常為高位準。

在選擇狀態之塊，如同習知技術之方式，輸入/輸出線201和202之等化是從與上次選擇之記憶器單元不同之記憶器單元讀出資料，所以從外部位址信號$\phi 1 \sim \phi n$被變換起，經過一個時間τ之後，就解除其等化。因此，在選擇狀態之塊，被選擇之記憶器單元之記憶資料，如同習知技術之方式，經由被選擇之位元線對偶BL，連接到該位元線對

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (18)

偶BL之感測放大器14，和轉移閘15後，出現在輸入/輸出線對偶2。

另外一方面，在非選擇狀態之塊，其方式與習知技術者不同，輸入/輸出線201和202之等化即使外部位址信號φ1～φn被變換亦不解除其等化。但是，在非選擇狀態之塊，任何一個之記憶器單元MC之記憶資料並不一定都要出現在輸入/輸出線對偶2。因此，非選擇狀態之塊之輸入/輸出線201和202之等化即使不解除亦不會發生任何問題。

依照這種方式，在本實施例中，用來進行資料線201，202之等化之塊101～108之各個輸入/輸出對偶2所連接之電晶體40(以下稱為等化電晶體)中，1個讀出循環之閘電位之變換只有1次被設定成對應到選擇狀態的1個塊。因此，在資料讀出時，用以使等化電晶體40之閘極進行充放電所消費之電流，當與習知技術相比時，可以大幅的減小。

在上述之實施例中，為著要判別那一個塊為選擇狀態，所以設有對應到各個塊之選擇塊判別電路17，依照各個選擇塊判別電路17之輸出，控制對應之塊之等化電晶體40，其控制與其他之等化電晶體無關，為著要使各個等化電晶體40之控制與其他之等化電晶體無關，所以全部之等化電晶體40之閘極分別被供給有多個控制信號，該多個控制信號可以一起產生。圖4是概略方塊圖，用來表示此種情況之DRAM之全體構造，該圖4表示本發明之另一實施例。

參照圖4，其DRAM與圖1所示之實施例之情況不同，其中選擇塊判別電路19之輸出信號被輸入到等化控制信號產生

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (19)

電路20，各個等化控制信號EQ1～EQ8分別從等化控制信號產生電路20供給到全部之等化電路4。

本實施例之DRAM除了選擇塊判別電路19和等化控制信號產生電路20及等化電路4外，其他之構造和動作均與圖1之DRAM之情況相同，故其說明在此加以省略。

選擇塊判別電路19與前面所述之實施例之情況不同，對X預解碼器8和Y預解碼器9之輸出信號進行解碼，產生8個之信號BS1～BS8用來表示構成記憶器單元陣列1之塊101～108是否為選擇狀態。

在本實施例中，選擇塊判別電路19之輸出信號BS1～BS8分別表示對應到高位準時之塊為選擇狀態，和對應到低位準時之塊為非選擇狀態。

等化控制信號產生電路20受控制電路11之控制，在資料讀出時，依照來自位址變化檢測電路10之檢測信號，供給到等化電路42之等化控制信號要為高位準時，該等化電路4只能對應到被選擇塊判別電路19判別為選擇狀態的1個塊，其他之7個等化控制信號全部為低位準。

圖6是電路圖，用來表示各個等化電路4之構造。在圖6中只顯示1個代表性之等化電路4之構造。

參照圖6，在本實施例中，各個等化電路4之構成與圖7所示之習知技術之DRAM之情況相同，N通道MOS電晶體40連接在對應之塊之輸入/輸出線201和202之間。

來自等化控制信號產生電路20之等化控制信號EQ1～EQ8分別施加到對應之等化電晶體40之閘極。

(請先閱讀背面之注意事項再填寫本頁)

裝・・・訂・・・線

經濟部中央標準局員工消費合作社印製

五、發明說明 (20)

圖5是電路圖，用來表示等化控制信號產生電路20之構造實例。

參照圖5，等化控制信號產生電路20包含有等化原信號產生電路21，和被設置成對應到各個塊101～108之NAND閘22和反相器23。

等化原信號產生電路21受控制電路11之控制，在資料讀出時，依照來自位址變化檢測電路10之檢測信號，產生只在一定之期間 τ 成為高位準之信號。亦即，從等化原信號產生電路21產生與圖1之等化控制信號產生電路5所產生者相同之信號，亦即產生等化控制信號EQ。

各個反相器23用來將等化原信號產生電路21之輸出信號EQ反轉，然後施加到對應之NAND閘22。

各個NAND閘22用來接收對應之反相器23之輸出信號，和接收選擇塊判別電路19之輸出信號BS1～BS8中之用以表示對應之塊為選擇狀態或非選擇狀態的1個信號。各個NAND閘22之輸出信號被使用作8個之等化控制信號EQ1～EQ8。

因此，各個等化控制信號EQ1～EQ8，在對應之判別信號BS1～BS8為高位準時，就顯示與等化控制信號EQ相同之邏輯位準，在對應之判別信號為低位準時，則不論等化控制信號EQ之邏輯位準為何，都顯示為高位準。亦即，各個等化控制信號EQ1～EQ8，在資料讀出時，只有在對應之塊為選擇狀態時，才回應來自位址變化檢測電路10之檢測信號，於一定期間之後變成低位準，另外一方面，在對應之塊為非選擇狀態時，則即使從位址變化檢測電路10輸出檢測

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (21)

信號亦不會變成低位準。

因此，各個等化電晶體40，不只限於對應之塊要為選擇狀態，亦可以使閘極電位保持高位準之狀態，繼續使對應之塊之輸入/輸出線201和202等化。

除此之外，本實施例亦可以獲得與前面所述之實施例完全相同之效果。

在上述之任何一個實施例中，其等化電晶體40都是N通道MOS電晶體，但是也可以使用P通道MOS電晶體。在這種情況時其構成方式是施加到各個等化電晶體之閘極之控制信號，在對應之塊為選擇狀態時，回應來自位址變化檢測電路10之檢測信號，於一定期間之後變成高位準，在對應之塊為非選擇狀態時，不論是否產生有來自位址變化檢測電路10之檢測信號，都形成低位準之狀態，以這種方式來構成選擇塊判別電路17，19和等化控制信號產生電路5，20。

另外，在資料讀出時和資料寫入時，即使同時活性化之塊有多個時，亦可以獲得與上述實施例相同之效果。

在上述之實施例中，資料寫入時之用以取得外部資料之輸入線，和資料讀出時之用以將讀出資料傳達到外部之輸出線是由共同之信號線（輸入/輸出線對偶2）來構成，但是也可以利用個別分開的信號線來構成，所構成之裝置亦可適用本發明。

另外，本發明之記憶器單元陣列不只適用於分割成8個塊之DRAM，而且也適用於將記憶器單元陣列分割成多個塊

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明 (22)

和需要使各個輸出線對偶等化之半導體記憶裝置。

[發明之效果]

如上所述，依照本發明時，用以從任意之記憶器單元讀出資料之輸入/輸出線之等化之解除，因為只在有該記憶器單元存在之記憶器單元陣列塊進行，所以輸出線對偶之等化及其解除所消耗之充放電電流可以大幅的減低。其結果是隨著記憶器單元陣列之分割數目之增大，即使輸出線對偶之等化及其解除時所產生之充放電電流增大時，亦不會妨礙半導體記憶裝置之消耗電力之降低。

[附圖之簡單說明]

圖1是概略方塊圖，用來表示本發明之一實施例之DRAM之全體構造。

圖2是電路圖，用來表示圖1中之任何一個之等化電路及其附圖之構造。

圖3是時序圖，用來說明圖1之DRAM之資料讀出時之動作。

圖4是概略方塊圖，用來表示本發明之另一實施例之DRAM之全體構造。

圖5是電路圖，用來表示圖4之選擇塊判別電路之構造實例。

圖6是電路圖，用來表示圖4中之任何一個之等化電路之構造。

圖7是概略方塊圖，用來表示被分割成一些塊之習知之DRAM之全體構造。

圖8是電路圖，用來表示圖7中之任何一個之塊之內部構

(請先閱讀背面之注意事項再填寫本頁)

裝·····訂·····線

經濟部中央標準局員工消費合作社印製

五、發明說明 (23)

造。

圖9是電路圖，用來表示圖7中之任何一個之等化電路之構造。

圖10是時序圖，用來說明圖7之DRAM之資料讀出時之動作。

[符號之說明]

1……記憶器單元陣列，　2……輸入/輸出線對偶，

3……預放大器，　4，18……等化電路，

5……等化控制信號產生電路，

6……X位址緩衝器，　7……Y位址緩衝器，

8……X預解碼器，　9……Y預解碼器，

10……位址變化檢測電路，

11……控制電路，

17，19……選擇塊判別電路，

101～108……記憶器單元陣列塊，

另外，圖中以相同的符號表示相同或相當之部份。

(請先閱讀背面之注意事項再填寫本頁)

裝……訂……線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　半導體記憶裝置　）

本發明之構造是在被分割成多個塊101～108藉以進行動作之DRAM中，經由控制各個等化電路4，18，使資料讀出用之輸出／輸出線對偶之等化之解除只在存在有欲讀出資料之記憶器單元之塊進行。

本發明之效果是在構成各個輸入／輸出對偶2的2根輸入／輸出線201和202之間設有MOS電晶體40用來使其等化和解除其等化，因為不會浪費的從ON狀態變換成OFF狀態，所以當與習知技術者比較時，該MOS電晶體40之閘之充放電所消耗之電流可以大幅的減小。

英文發明摘要（發明之名稱：　）

附註：本案已向 日　本 國（地區）申請專利，申請日期 1992-2-25 案號： 4-37859

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1.一種半導體記憶裝置，具備有：

多個塊，各包含有多個記憶器單元；

多個輸出線對偶，被設置成對應到上述之多個塊，包含有第1和第2輸出線分別用來擔任對應之塊到外部之互補資料信號之傳達；

選擇裝置，依照位址信號，用來選擇上述多個塊中之任何一個；

多個等化裝置，被設置成對應到上述之多個塊，分別用來使對應之塊之第1和第2輸出線進行等化；和等化控制裝置，在資料讀出時，用來回應上述位址信號之變換，利用被設置成對應到上述選擇裝置所選擇之塊之等化裝置來解除等化。

2.如申請專利範圍第1項之半導體記憶裝置，其中上述之多個等化裝置各包含有場效半導體元件具有第1和第2導通端子分別連接到構成對應之輸出線對偶之第1和第2輸出線和具有控制端子；

上述之等化控制裝置用來控制上述場效半導體元件之控制端子之電位。

2.一種半導體記憶裝置，具備有：

多個記憶器單元塊，各具有多個記憶器單元；

多個輸出線對偶，被設置成對應到上述之多個記憶器單元塊，用來傳達從對應之記憶器單元塊之被選擇記憶器單元讀出之資料為根據之互補資料信號；和

多個等化裝置，被設置成對應到上述之多個輸出線對偶

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

，分別用來回應根據塊判別信號之控制信號，藉以使輸出線對偶等化，該塊判別信號用來選擇上述多個記憶器單元塊之任何一個。

（請先閱讀背面之注意事項再填寫本頁）

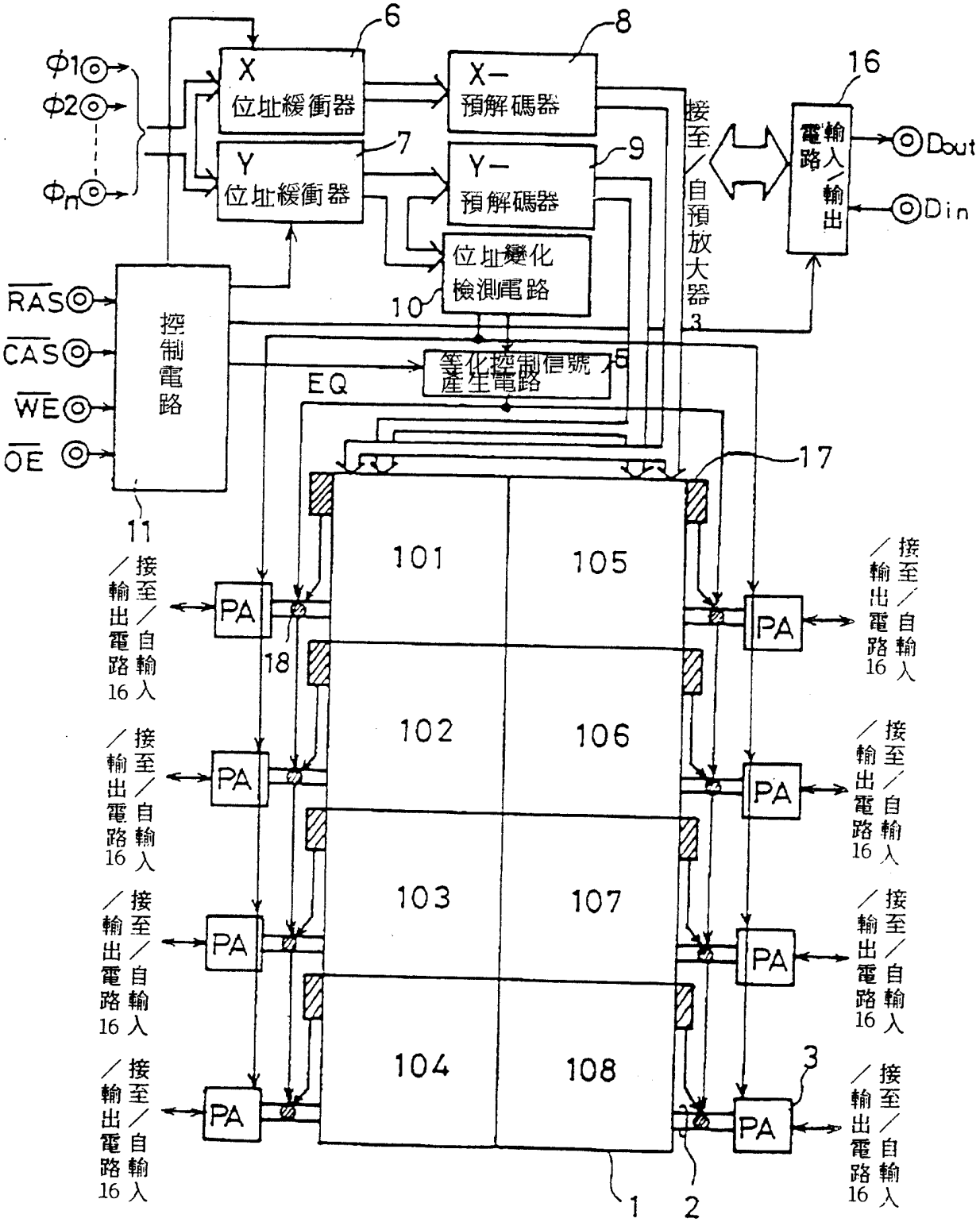
裝 訂 線

經濟部中央標準局員工消費合作社印製

204408

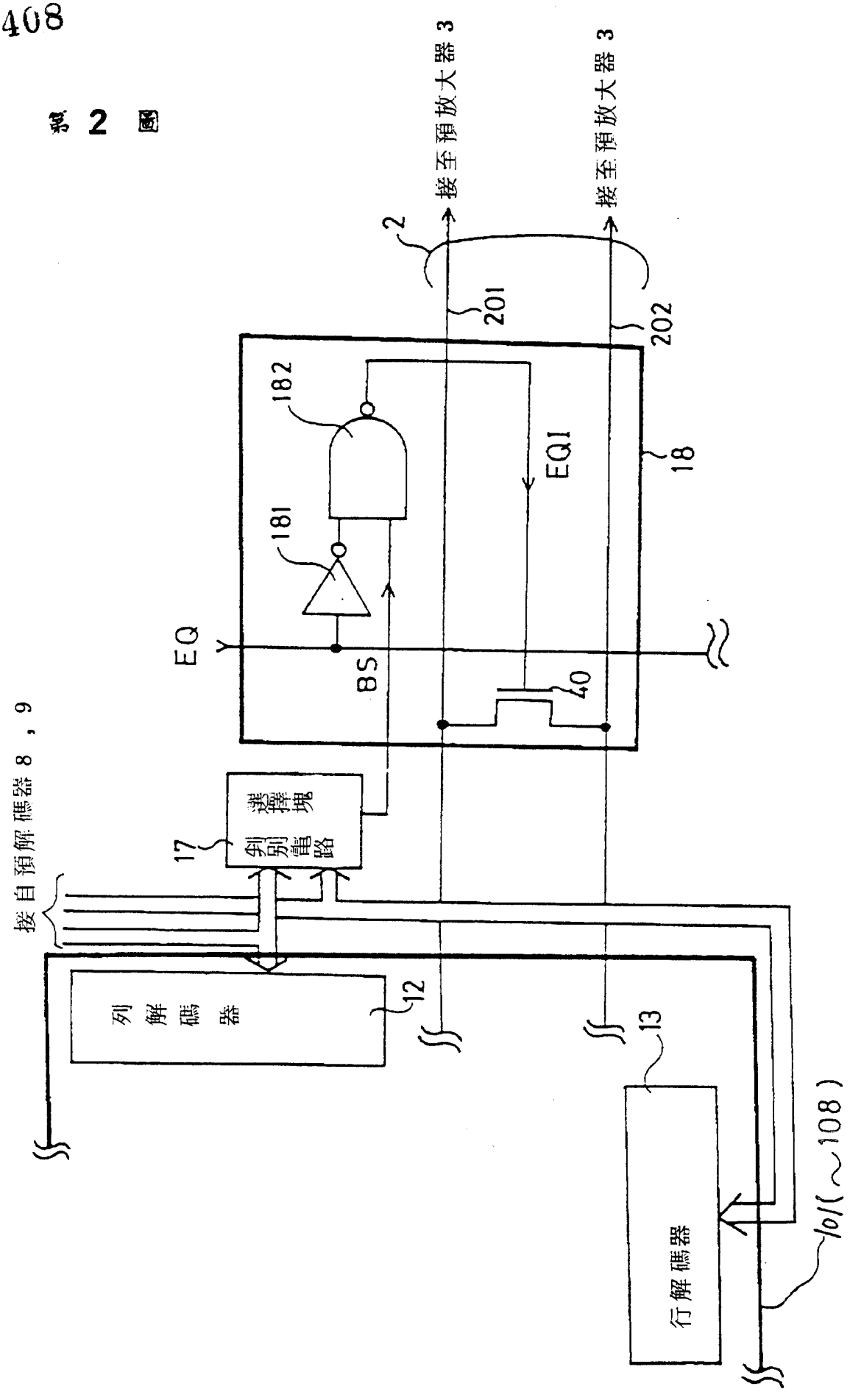
D1102100

第 1 圖

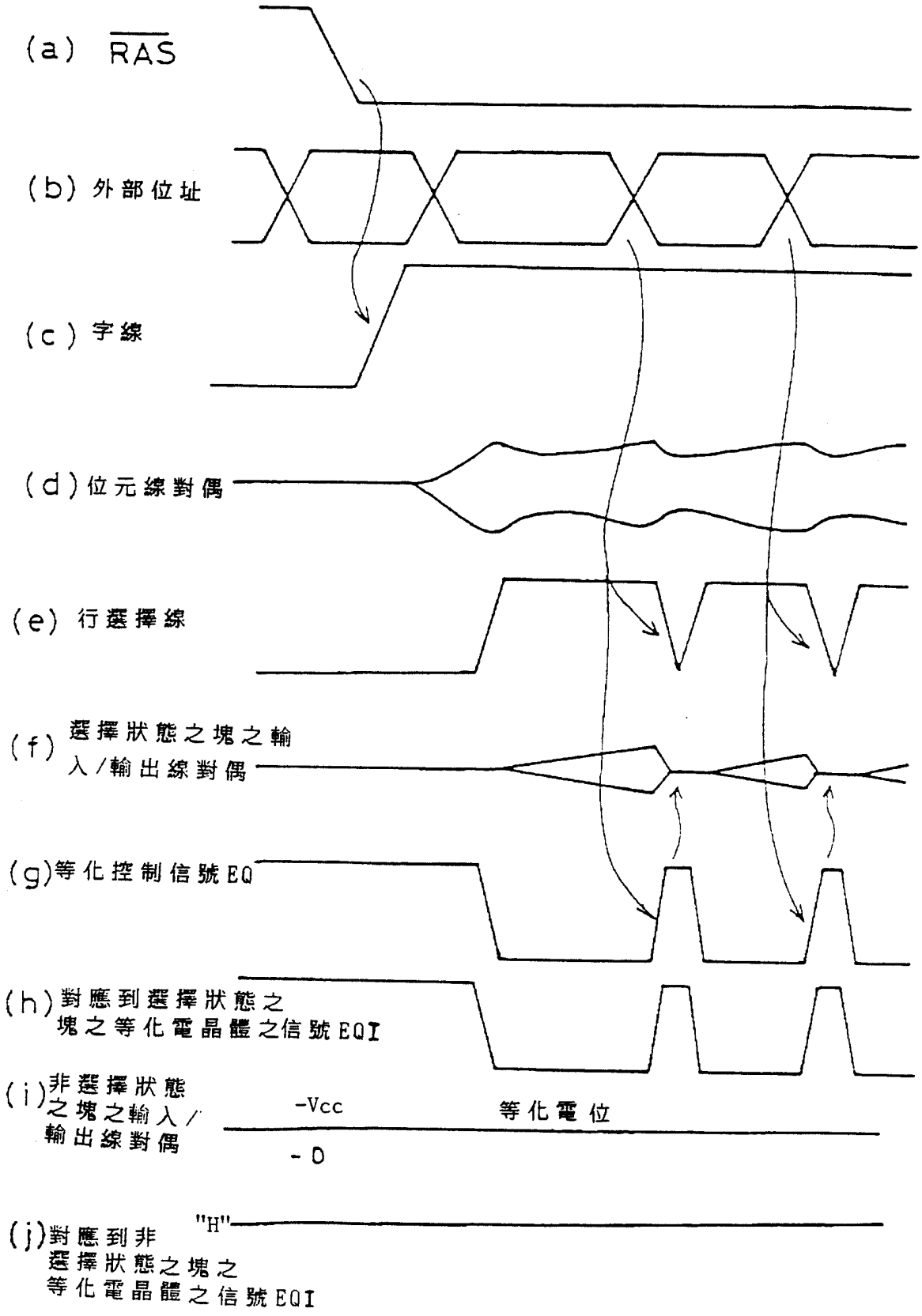


204408

第 2 圖

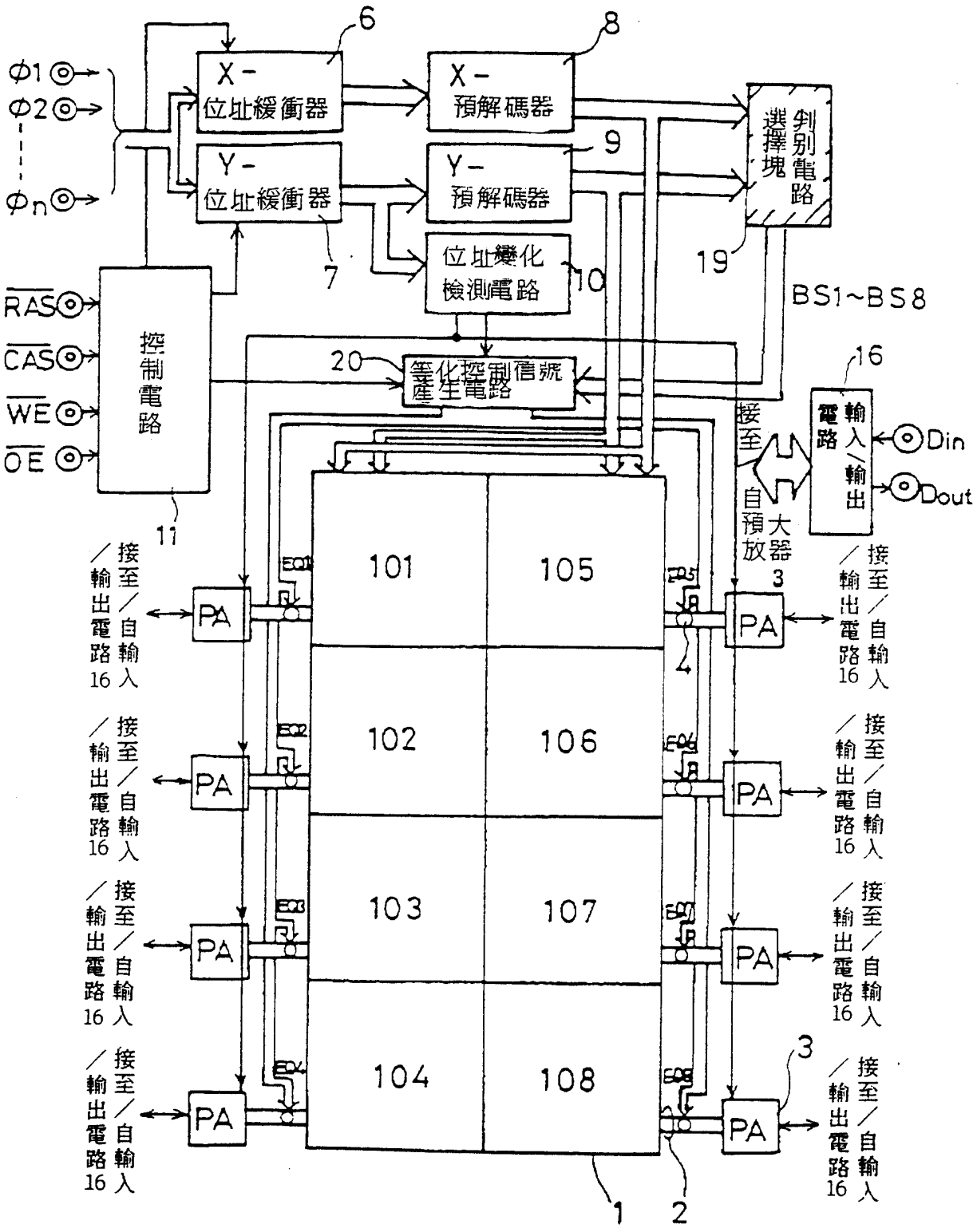

接至預放大器 3
接至預放大器 3
2
201
202
182
181
EQ1
18
EQ
Y
BS
40
選擇塊
判別電路
17
接自預解碼器 8，9
列解碼器
12
13
行解碼器
101(～108)

第 3 圖

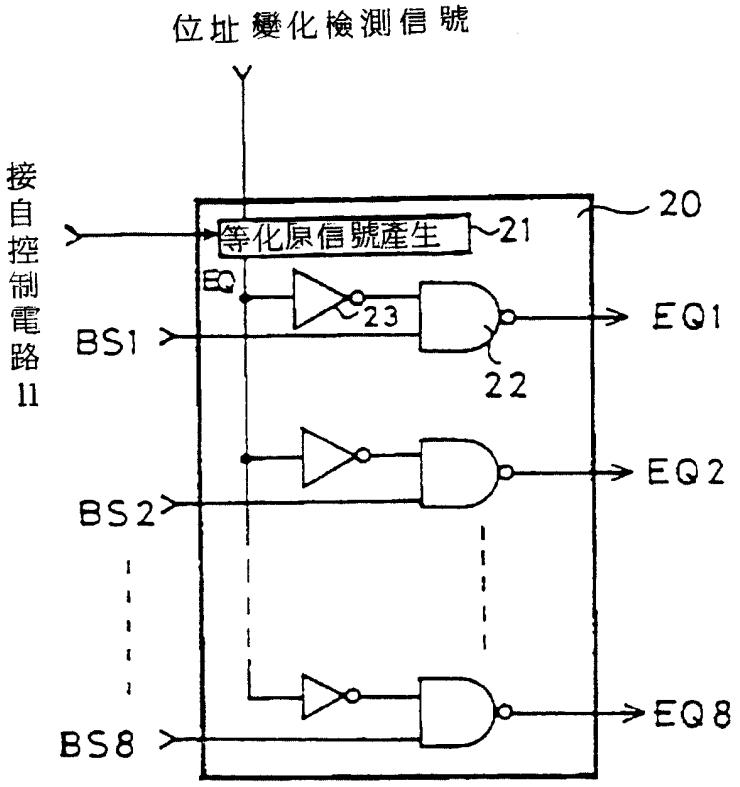

(a) $\overline{RAS}$
(b) 外部位址
(c) 字線
(d) 位元線對偶
(e) 行選擇線
(f) 選擇狀態之塊之輸入/輸出線對偶
(g) 等化控制信號EQ
(h) 對應到選擇狀態之塊之等化電晶體之信號EQI
(i) 非選擇狀態之塊之輸入/輸出線對偶
-Vcc
等化電位
-0
(j) 對應到非選擇狀態之塊之等化電晶體之信號EQI
"H"

204408

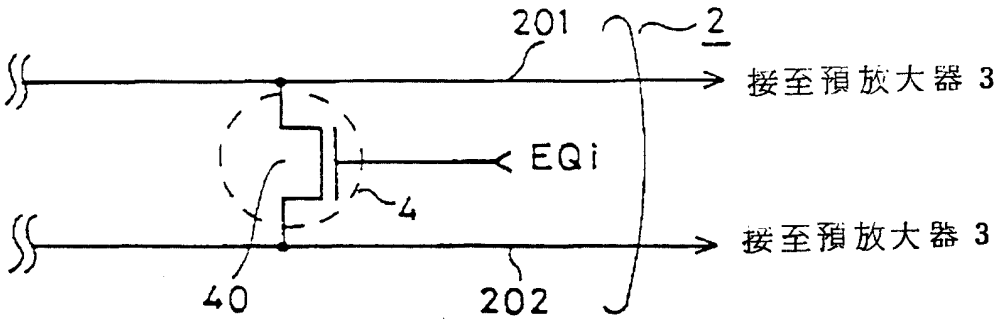
第 4 圖


φ1
φ2
φn
X-位址緩衝器
6
X-預解碼器
8
Y-位址緩衝器
7
Y-預解碼器
9
位址變化檢測電路
10
選擇塊
判別電路
19
BS1~BS8
RAS
CAS
WE
OE
控制電路
11
20
等化控制信號產生電路
16
輸入/輸出電路
Din
Dout
接至自預放大器
3
101
105
102
106
103
107
104
108
PA
接至/自輸入/輸出電路16
4
1
2

第 5 圖

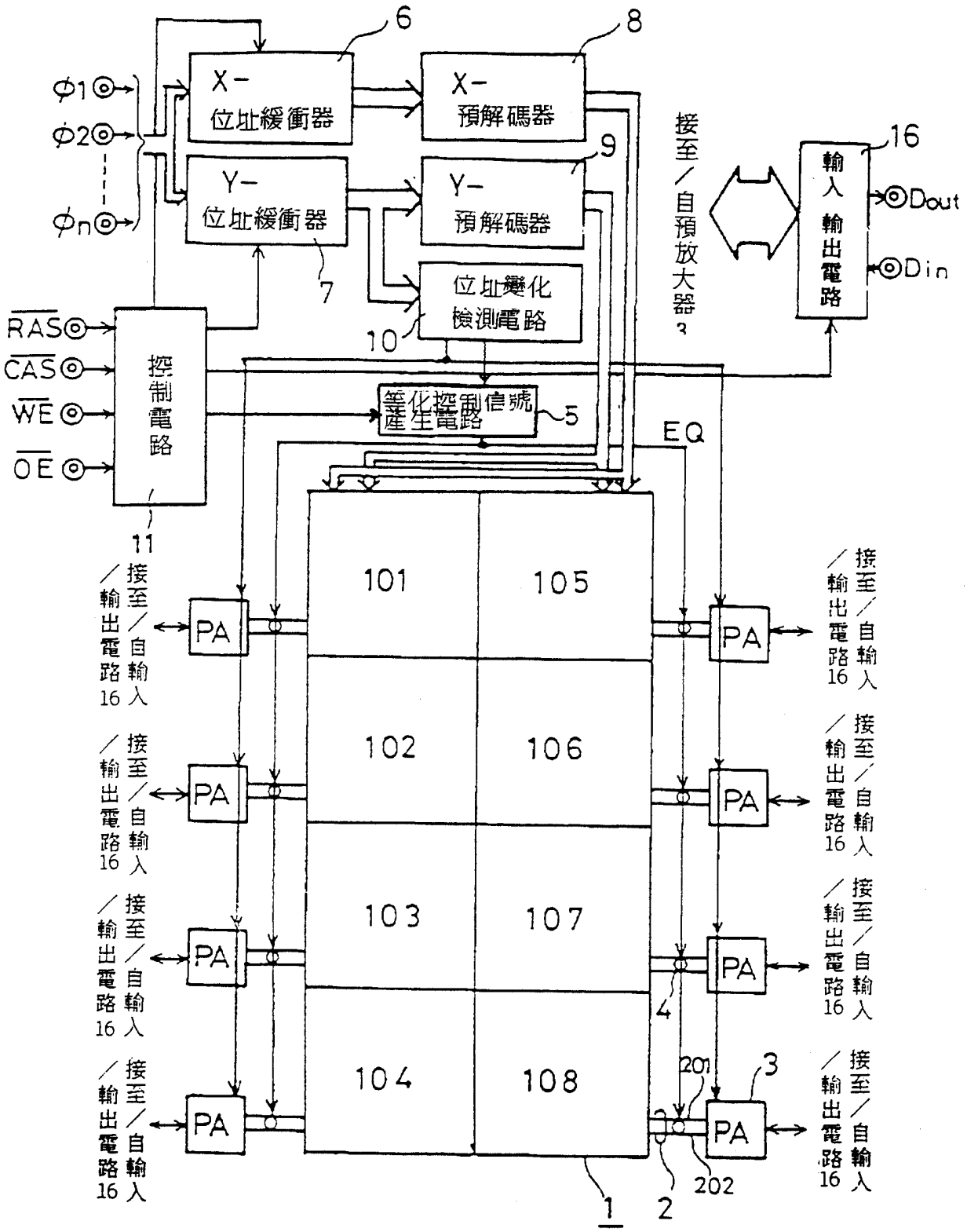

位址變化檢測信號
接自控制電路 11
等化原信號產生
21
20
EQ
23
BS1
22
EQ1
BS2
EQ2
BS8
EQ8

第 6 圖


201
2
接至預放大器 3
EQi
4
接至預放大器 3
40
202

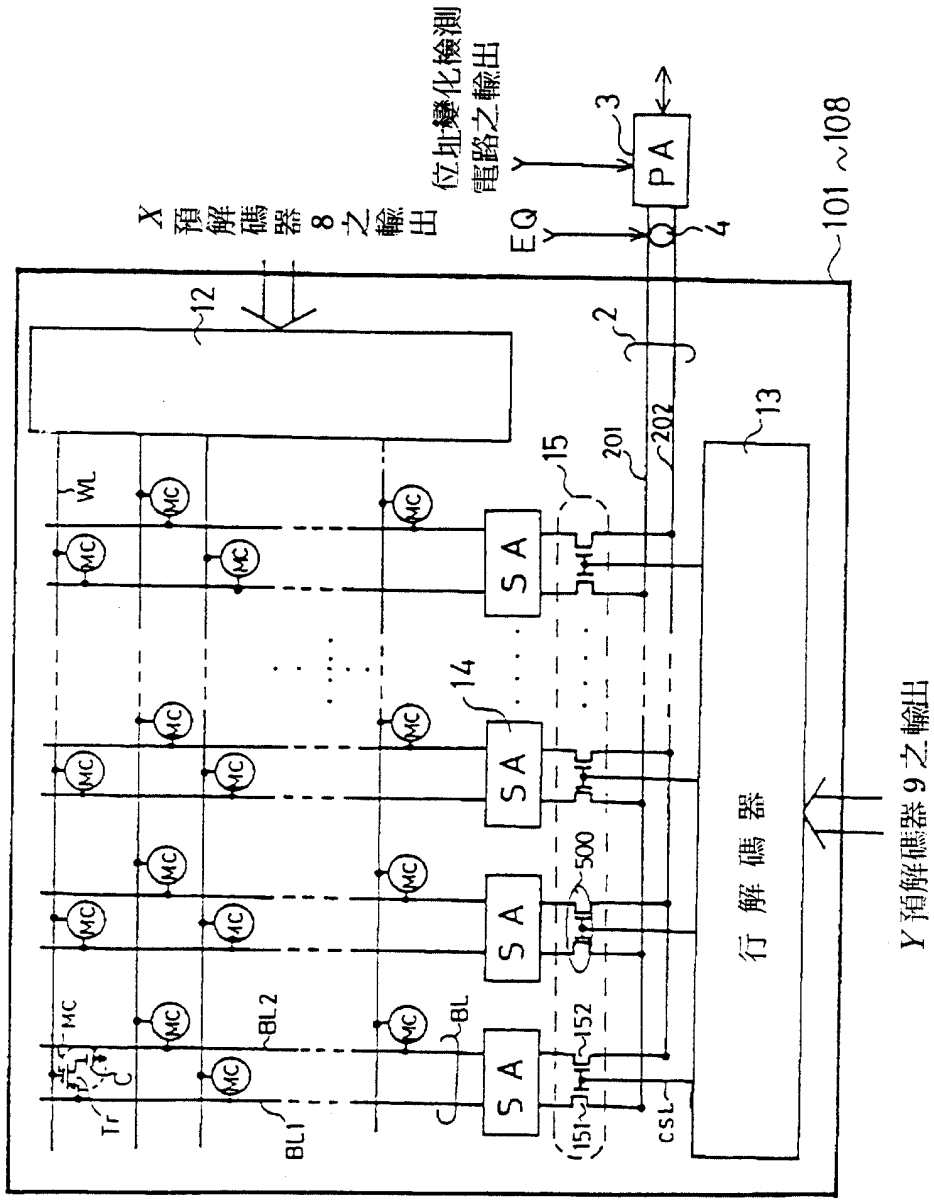
204408

第 7 圖


φ1
φ2
φn
X-
位址緩衝器
6
X-
預解碼器
8
Y-
位址緩衝器
7
Y-
預解碼器
9
位址變化
檢測電路
10
RAS
CAS
WE
OE
控制電路
11
等化控制信號
產生電路
5
EQ
接至／自預放大器3
輸入輸出電路
16
Dout
Din
101
105
102
106
103
107
104
108
PA
接至／輸出電路16／自輸入
4
201
3
202
1
2

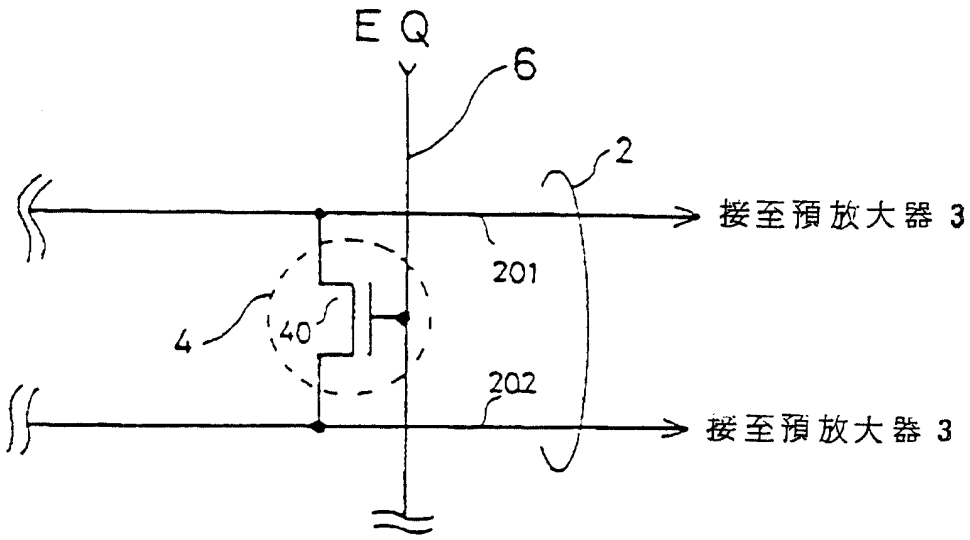
204408

第 8 圖

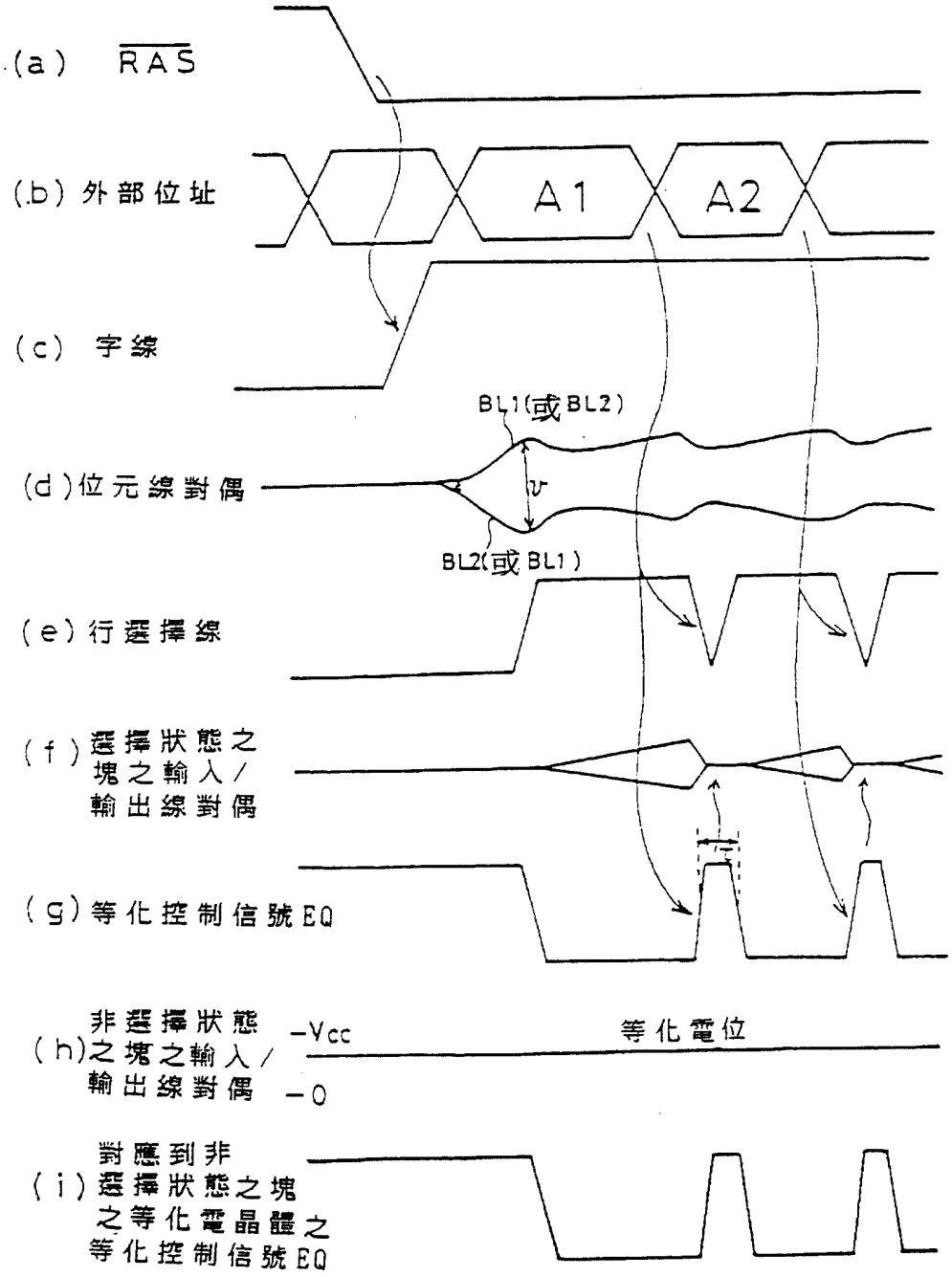


X預解碼器8之輸出
位址變化檢測電路之輸出
EQ
PA
3
4
101～108
12
2
13
15
201
202
14
500
152
151
WL
MC
Tr
C
BL1
BL2
BL
SA
CSL
行解碼器
Y預解碼器9之輸出

第 9 圖



第10圖


(a) $\overline{RAS}$
(b) 外部位址
A1
A2
(c) 字線
BL1(或BL2)
(d)位元線對偶
BL2(或BL1)
(e)行選擇線
(f)選擇狀態之塊之輸入/輸出線對偶
(g)等化控制信號EQ
(h)非選擇狀態之塊之輸入/輸出線對偶
-Vcc
-0
等化電位
(i)對應到非選擇狀態之塊之等化電晶體之等化控制信號EQ