(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/10

(45) 공고일자 2002년02월28일
(11) 등록번호 10-0317433
(24) 등록일자 2001년11월30일

(21) 출원번호 10-1998-0009510
(22) 출원일자 1998년03월19일

(65) 공개번호 특1999-0023091
(43) 공개일자 1999년03월25일

(30) 우선권주장 212091 1997년08월06일 일본(JP)

(73) 특허권자
후지쯔 가부시끼가이샤
아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1

(72) 발명자
미야자와 히사시
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시끼가이샤 내
이노우에 껜이찌
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시끼가이샤 내
야마자끼 타쓰야
일본국 가나가와켄 가와사키시 나가하라구 가미고다나카 4-1-1 후지쓰가부시끼가이샤 내

(74) 대리인
문기상
문두현
조기호

심사관 : 김근모

(54) 반도체 장치와 그 제조방법

요약

본 발명은 페로브스카이트형 결정구조(perovskite crystal structure)를 갖는 산화물 유전체막을 갖는 커패시터를 갖춘 반도체장치와 그 제조방법에 관한 것이며, 높은 유전특성을 갖는 페로브스카이트형 산화물 유전체막을 사용한 커패시터를 갖는 반도체장치를 제공한다.

반도체기판 상에 절연게이트형 전계효과 트랜지스터를 형성하는 공정과, 절연게이트 전극을 덮고 제1 절연막을 형성하는 공정과, 제1 절연막을 관통하여 기판 표면에 달하는 접촉창을 형성하는 공정과, 접촉창 내에 금속 플럭을 매립하는 공정과, 금속 플럭을 덮고 산소차폐능을 갖는 제2 절연막을 형성하는 공정과, 제2 절연막 상에 커패시터의 하부전극, 페로브스카이트형 결정구조를 갖는 산화물 유전체의 막을 형성하는 공정과, 산화물 유전체막 형성 후에 산소 분위기 중에서 반도체기판을 어닐하는 공정과, 산화물 유전체막 상에 커패시터의 상부전극을 형성하는 공정을 포함한 반도체장치

의 제조방법이 제공된다.

대표도

도 14

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 2는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 3은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 4는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 5는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 6은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 7은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 8은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 9는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 10은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 11은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 12는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 13은 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 14는 본 발명의 실시예에 따른 반도체장치의 제조방법을 설명하기 위한 반도체기판의 단면도.

도 15는 상술한 실시예에 따른 주변회로 영역, 메모리셀 영역을 동시에 나타낸 반도체기판의 단면도.

도 16은 본 발명의 다른 실시예에 따른 반도체장치의 주변회로 영역, 메모리셀 영역을 나타낸 반도체기판의 단면도.

도 17은 본 발명의 다른 실시예에 따른 반도체장치의 주변회로 영역, 메모리셀 영역을 나타낸 반도체기판의 단면도.

도 18은 본 발명의 다른 실시예에 따른 반도체장치의 주변회로 영역, 메모리셀 영역을 나타낸 반도체기판의 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치와 그 제조방법에 관한 것으로, 특히 페로브스카이트형 결정구조를 갖는 산화물 유전체막을 갖는 커패시터를 갖춘 반도체장치와 그 제조방법에 관한 것이다.

다이나믹 랜덤 액세스 메모리(DRAM)는 1개의 트랜지스터와 1개의 커패시터로 1개의 메모리셀을 구성한다. 작은 커패시터로 소망하는 용량을 실현하기 위해서는, 커패시터의 유전체막의 유전율은 높으면 높을수록 바람직하다. 유전체막이 강유전체이면 분극특성을 기억할 수가 있고, 불휘발성의 페로 일렉트릭 랜덤 액세스 메모리(FRAM)를 실현할 수가 있다.

비유전율이 10 이상, 보다 바람직하기는 50 이상의 고유전체로서는 바륨 스트론튬 타이타네이트(BST) BaSrTiO 등의 페로브스카이트형 결정구조를 갖는 산화물이 알려져 있다. 또, 강유전체로서는 마찬가지로 페로브스카이트형 결정구조를 갖는 산화물인 PZT PbZrTiO나 SBT SrBiTiO 등이 알려져 있다. 이들 페로브스카이트형 산화물 유전체는 솔·겔법 등의 스핀온, 스퍼터링, 화학기상 퇴적(CVD) 등에 의해 성막 할 수가 있다.

발명이 이루고자 하는 기술적 과제

페로브스카이트형 산화물 유전체를 성막하여도, 성막한 채로의 상태에서는 아모르퍼스 상이거나, 결정화가 불충분하거나 하는 경우가 많다. 또, 산소가 결핍하는 일도 있다. 이와 같은 경우에는, 성막한 채로의 산화물 유전체는 그대로는 유용한 산화물 유전체로서 사용할 수가 없다. 따라서 성막 후에 산화성 분위기 중에서 어닐할 필요가 있다.

일단, 결핍 산소를 보충하고 나서 결정화의 처리를 하여도, 그 후에 고온에서 수소 등의 환원성 분위기에 접촉하면, 산화물 유전체의 특성은 다시 열화하는 경우가 많다. 반도체장치의 제조공정에서는, 수소를 함유한 가스를 사용하여 반도체막이나 절연막을 성막하는 수가 많다. 페로브스카이트형 산화물 유전체막을 성막한 후에, 이와 같은 수소를 함유한 가스를 사용해서 다른 막을 성막하면, 산화물 유전체막의 유전특성이 심하게 열화하기도 한다.

본 발명의 목적은, 높은 유전특성을 갖는 페로브스카이트형 산화물 유전체막을 사용한 커패시터를 갖는 반도체장치를 제공하는데 있다.

본 발명의 다른 목적은, 높은 유전특성을 갖는 페로브스카이트형 산화물 유전체막을 형성하고, 또한 고 집적도의 반도체소자를 형성할 수 있는 반도체장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

본 발명의 일 관점에 의하면, 제 1 도전형의 제 1 영역과 제 1 도전형과 반대의 제 2 도전형의 제 2, 제 3 영역을 포함한 반도체기판과, 상기 반도체기판의 제 1, 제 2 및 제 3 도전형 영역 상에 각각 형성된 제 1, 제 2 및 제 3 절연 게이트 전극 구조와, 절연 게이트전극 구조의 양측에서 상기 반도체기판 내에 형성된 제 2 도전형의 제 1 쌍 및 제 1 도전형의 제 2 쌍, 제 3 쌍의 불순물 도프 영역을 갖는 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터와, 상기 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터를 덮어서 상기 반도체기판 상에 형성된 제 1 절연막과, 상기 제 1 절연막을 관통하여 상기 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터의 제 1 쌍, 제 2 쌍 및 제 3 쌍의 불순물 도프 영역의 각각 1개의 불순물 도프 영역에 도달하며 상기 제 1 절연막과 공통 레벨의 표면을 갖는 3개의, 산화 가능한 금속으로 형성된 금속 플러그와, 상기 제 1 절연막을 덮어서 상기 공통 레벨 상에 형성되어 산소차폐능을 갖는 제 2 절연막과, 상기 제 2 절연막 상에 형성된 하부전극과, 상기 하부전극 상에 형성되며 페로브스카이트형 결정구조를 갖는 산화물 유전체막과, 상기 산화물 유전체막 상에 형성되며 상기 하부전극, 산화물 유전체막과 더불어 커패시터를 형성하는 상부전극과, 상기 커패시터를 덮고서 반도체기판 상에 형성된 제 3 절연막과, 상기 제 3 절연막 상에 신장하며 상기 제 3 절연막과 상기 제 2 절연막을 통하는 접속구멍을 거쳐서 상기 제 3 영역 상의 금속 플러그와 접속되고 상기 제 3 절연막을 통하는 접속구멍을 거쳐서 상기 상부전극 또는 상기 하부전극에 접속된 국부배선을 갖고, 상기 제 1 및 제 2 절연게이트형 전계효과 트랜지스터가 CMOS 트랜지트터를 구성하고, 상기 제 3 절연게이트형 전계효과 트랜지스터와 상기 커패시터가 메모리셀을 구성하는 반도체장치가 제공된다.

본 발명의 다른 관점에 의하면, 반도체기판 상에 절연 게이트전극과 제 1 도전형의 소스/드레인 영역을 갖는 절연게이트형 전계효과 트랜지스터를 형성하는 공정과, 상기 절연 게이트전극을 덮어서 반도체기판 상에 제 1 절연막을 형성하는 공정과, 상기 제 1 절연막을 관통하여 상기 소스/드레인 영역의 적어도 한 쪽에 도달하는 접촉창을 형성하는 공정과, 상기 접촉창 내에 산화 가능한 금속으로 형성된 금속 플러그를 매립하는 공정과, 상기 금속 플러그를 덮어서 상기 제1 절연막 상에 산소차폐능을 갖는 제 2 절연막을 형성하는 공정과, 상기 제 2 절연막 상에 커패시터의 하부전극을 형성하는 공정과, 상기 하부전극 상에 페로브스카이트형 결정구조를 갖는 산화물 유전체 막을 형성하는 공정과, 상기 산화물 유전체막 형성공정 후에 산소 분위기 중에서 상기 반도체기판을 어닐하여 상기 산화물 유전체막을 결정화하는 어닐공정과, 상기 산화물 유전체막 상에 커패시터의 상부전극을 형성하는 공정을 포함한 반도체장치의 제조방법이 제공된다.

본 발명의 또 다른 관점에 의하면, 제 1 도전형 영역을 포함하는 반도체기판과, 상기 반도체기판 상에 형성된 절연 게이트전극 구조와, 상기 절연게이크 구조의 양측에서 상기 반도체기판의 제 1 도전형 영역 내에 형성된 제 2 도전형의 1쌍의 불순물 도프 영역을 갖는 절연게이트형 전계효과 트랜지스터와, 상기 절연게이트형 전계효과 트랜지스터를 덮어서 상기 반도체기판 상에 형성된 제 1 절연막과, 상기 제 1 절연막을 관통하여 상기 절연게이트형 전계효과 트랜지스터의 1쌍의 불순물 도프 영역의 한쪽에 도달하며 상기 제 1 절연막과 공통 레벨의 표면을 갖는 산화 가능한 금속으로 형성된 금속 플러그와, 상기 제 1 절연막을 덮어서 상기 공통 레벨 상에 형성된 산소차폐능을 갖는 제 2 절연막과, 상기 제 2 절연막에 형성된 하부전극과, 상기 하부전극 상에 형성되며 페로브스카이트형 결정구조를 갖는 산화물 유전체막과, 상기 산화물 유전체막 상에 형성되며 상기 하부전극, 산화물 유전체막과 함께 커패시터를 형성하는 상부전극과, 상기 커패시터를 덮어서 반도체기판 상에 형성된 제 3 절연막과, 상기 제 3 절연막 상에 신장하며 상기 제 3 절연막과 상기 제 2 절연막을 통하는 접속구멍을 거쳐서 상기 금속 플러그와 접속되고, 상기 제 3 절연막을 통하는 접속구멍을 거쳐서 상기 상부전극 또는 상기 하부전극에 접속된 국부배선을 갖는 반도체장치가 제공된다.

금속 플러그를 사용하면, 반도체소자를 고 집적도로 형성하는 것이 용이해진다. 산소차폐능을 갖는 제 2 절연막을 사용하면, 금속 플러그의 산화를 방지하면서 페로브스카이트형 산화물 유전체막을 안정하게 작성할 수가 있다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1에 나타낸 바와 같이, p형 실리콘기판(11)의 표면에 국소산화(LOCOS)에 의해 두께 약 500nm의 필드산화막(12)을 형성한다.

또한, 실리콘기판(11)이 p형을 갖는 경우를 예시하지만, 실리콘기판(11)의 표면에 소망하는 n형 웰, p형 웰, n형 웰 내에 p형 웰을 형성할 수도 있다. 또, 도전형을 모두 반전하여도 좋다.

도 2에 나타낸 바와 같이, 필드산화막(12)으로 획정된 실리콘기판(11) 표면(활성 영역 AR)에 열산화에 의해 두께 약 15nm의 게이트 산화막(13)을 형성한다. 게이트 산화막(13) 상에 두께 약 120nm의 다결정 실리콘층(14a), 두께 약 150nm의 텅스텐 실리사이드(WSi) 층(14b)을 성막하여, 게이트 전극층(14)을 형성한다. 또한, 게이트 전극층의 작성은 스퍼터링, CVD 등으로 할 수가 있다. 게이트 전극층(14) 상에 다시 DVD에 의해 실리콘 산화막(15)을 형성한다. 실리콘 산화막(15) 상에는 레지스트 패턴을 형성하여, 실리콘 산화막(15), 게이트 전극층(14)을 동일 형상으로 패터닝한다. 이후에, 레지스트 마스크를 제거한다.

도 3에 나타낸 바와 같이, 게이트 전극층(14)과 실리콘 산화막(15)의 패턴을 마스크로 해서 실리콘기판(11) 표면에 저 불순물 농도의 n형 불순물의 이온을 주입하여, 저 농도 n형 불순물 도프 영역(21)을 형성한다. 또한, 실리콘기판 상에 CMOS회로를 작성할 경우에는, n 채널 영역과 p 채널 영역으로 나누어서 이온을 주입한다.

이온 주입은 예컨대 n 채널 트랜지스터에 대해서는 P 또는/및 As를 이온 주입하고, p 채널 트랜지스터에 대해서는 예컨대 BF_2를 이온 주입한다. 또, 가속 전압은 예컨대 50 60keV 정도이며, 도즈량은 10^{13} 정도이다.

도 4에 나타낸 바와 같이, 게이트전극 구조를 덮어서 실리콘기판(11) 전체 면 위에 고온 산화(HTO)막을 기판 온도 800℃로 두께 150nm 정도 퇴적한다. 그 후에, 반응성 이온에칭(이방성 에칭)을 함으로써, 평탄면 상의 HTO막을 제거하고 게이트 전극 구조의 측벽 상에만 사이드 월(16)을 남긴다. 또한, 게이트전극 상면에는 먼저 형성한 실리콘 산화막(15)이 남는다. 이후, 실리콘 산화막(15), 사이드 월(16)을 합쳐서 제1 절연층(17)이라 부른다.

도 5에 나타낸 바와 같이, 제 1 절연층(17)을 마스크로 사용하고, 고농도로 이온 주입을 행하여 고불순물 농도의 소스/드레인 영역(22)을 형성한다. n 채널 트랜지스터에 대해서는, 예를 들어 As를 도즈량 10^{14} 10^{15} cm^{-2} 정도 이온 주입하고, p 채널 트랜지스터에 대해서는, 예를 들어 BF_2를 도즈량 10^{14} 10^{15} cm^{-2} 정도 이온 주입한다.

도 6에 나타낸 바와 같이, 실리콘기판(11) 전체 면 상에 보로포스포실리케이트 유리(BPSG), 옥시나이트라이드, 실리콘 산화물 등의 산화막(18)을 성막한다. 산화막(18)을 성막한 후, 표면을 평탄화해서 두께를 1㎛ 정도로 한다.

산화막(18)은 단일 층으로 형성하는 경우 이외에 복수 층의 적층으로 형성하는 경우도 있다. 예를 들어, 아래에 약 200nm의 옥시나이트라이드층을 형성하고, 그 위에 플라스마 여기 테트라에톡시실란(TEOS) 산화막을 형성하여도 좋다. 산화막(18)의 평탄화는 리플로우, 화학기계 연마(CMP), 에치 백 등을 이용할 수 있다.

산화막(18)의 표면을 평탄화한 후에, MOS 트랜지스터의 소스/드레인 영역을 노출하는 접촉구멍(19)을 형성한다. 접촉구멍(19)의 형성은, 예를 들어 직경 약 0.5㎛의 개구(opening)를 갖는 레지스트 마스크를 사용하여 반응성 이온에칭에 의해 실시할 수가 있다.

도 7에 나타낸 바와 같이, 접촉구멍(19)을 형성한 기판 위에 배선층을 형성한다. 배선층은 예컨대 두께 약 20nm의 Ti층과 두께 약 50nm의 TiN층의 적층으로 형성한 글루 금속층(24)과, 그 위에 퇴적한 W층(25)으로 형성한다. 글루 금속층은 예컨대 스퍼터링으로 퇴적한다. W층은 예컨대 WF_6와 H_2를 사용한 CVD에 의해 두께 약 800nm로 퇴적한다. 이 배선층 형성에 의해 접촉구멍(19)이 매립되어, 소스/드레인 영역(22)에 접속된 배선층이 형성된다.

도 8에 나타낸 바와 같이, 산화막(18) 상의 W층(25) 및 글루 금속층(24)을 에치 백에 의해 제거한다. 에칭 백은 Cl계 가스를 사용한 드라이 에칭에 의해 실시할 수 있다. 또, CMP에 의해 산화막(18) 상의 W층 및 글루 금속층을 제거하여도 좋다. 에치 백 또는 CMP공정에 의해 산화막(18a)과 W층(25a), 글루 금속층(24a)의 금속 플러그가 거의 같은 평탄한 평면을 형성한다. 에치 백을 실시할 때는, W층(25a)의 표면이 주위보다도 내려가는 수가 있다.

도 9에 나타낸 바와 같이, 평탄화된 평면 상에 기판 온도 350℃ 정도의 저온에서 플라스마 여기 CVD에 의해, 두께 50nm 100nm 정도의 질화막(26)을 퇴적한다. 질화막 형성을 저온으로 하는 것은 W층(25a)의 산화를 방지하기 위한 것과, 실리콘기판과 접하는 Ti층이 실리사이드화 반응을 일으켜서 접합을 파괴하는 것을 방지하기 위한 것이다. 바람직하게는, 질화막 형성 후 두께 약 80nm 정도의 산화막을 더 적층한다. 이 산화막은 예컨대 플라스마 여기 TEOS 산화막으로 형성한다. 기판 온도를 제한함으로써, 실리사이드화 반응에 의한 접합 파괴를 방지한다.

질화막은 접촉구멍 내에 매립된 금속 플러그를 덮어서, 그 후의 공정에서 표면으로부터 산소가 침입하여 금속 플러그를 산화하는 것을 방지한다.

질화막 상에 산화막을 형성할 경우에는, 그 위에 형성하는 커패시터 하부전극과의 밀착성을 향상시킨다. 이하, 단독의 질화막의 경우, 질화막과 산화막의 적층의 경우를 다 포함하여, 층(26)을 산소차폐 절연막이라 부른다.

도 10에 나타낸 바와 같이, 산소차폐 절연막(26) 상에 막 두께 20 30nm의 Ti층과 막 두께 150nm의 Pt층의 적층으로 된 하부전극(27), 막 두께 300nm의 PZT 유전체막(28), 막 두께 150nm의 Pt층으로 된 상부전극(29)을 각각 스퍼터링에 의해 성막한다. PZT 유전체막(28)은 퇴적한 채로의 상태에서는 아모르퍼스상이며, 분극특성을 갖지 않는다.

PZT 유전체막(28)을 형성한 후 상부전극(29)을 퇴적하기 전에, 또는 상부전극(29)을 퇴적한 후에 O_2 분위기 중에서 어닐 처리를 행한다. 예를 들어, 1기압의 O_2 분위기 중에서 850℃, 약 5초간의 어닐 처리를 행한다. 이와 같은 어닐 처리는 급속 열 어닐(rapid thermal anneal; RTA) 장치를 사용하여 실시할 수가 있다. 또한, RTA 대신에 저항로를 사용하여 800℃ 이상, 10분간 이상의 어닐 처리를 하여도 좋다. 예를 들어 800℃, 약 30분간의 어닐 처리를 한다.

이와 같은 산소 분위기 중의 어닐 처리에 의해 PZT 유전체막(28)은 다결정화하고, 예를 들어 약 30 μC/cm ^{2} 의 분극률을 나타내게 된다. W층(25a)은 산소차폐 절연막(26)으로 덮혀 있기 때문에 산화가 방지된다. 또한, 만일 W층(25a)이 산화하면, 체적 팽창에 의해 적층구조가 파괴될 위험성이 생긴다. 예를 들어, 높이방향으로 1㎛까지 팽창해버리는 수가 있다.

도 11에 나타낸 바와 같이, 상부전극(29), 유전체막(28), 하부전극(27)의 패터닝을 주지의 포토리소그래피 기술을 이용하여 실시한다. 패터닝에 의해 하부전극(27a), 유전체막(28a), 상부전극(29a)이 형성된다. 또한, 작성되는 단차를 완화하기 위해서는, 하층으로부터 상층을 향해 서서히 면적이 작아지도록 하는 것이 바람직하다. 커패시터의 패터닝 후에 다시 산소 분위기 중, 500 650℃의 온도로 리커버리 어닐을 한다.

또하, PZT 유전체막(28a)은 하부전극 상에 (111) 배향을 나타내었을 때에 우수한 분극특성을 나타낸다. 이와 같은 결정 방위를 실현하기 위해서는, 하부전극(27a)의 Ti막 두께를 제어하고, 또한 PZT 유전체막(28a) 중의 Pb량을 $Pb_xZr_yTi_{1-y}$ 로 표기할 때, 예를 들어 x = 1 1.4, 보다 바람직하기는 약 1.1로 제어하는 것이 좋다.

도 12에 나타낸 바와 같이, 작성된 커패시터를 덮어서 기판 전체 면 위에 플라스마 여기 TEOS 산화막을 온도 390 400℃ 정도로 퇴적한다. PZT 유전체막 작성 후에는 수소 등의 환원성 가스를 포함하는 고온 공정은 피하는 것이 바람직하다.

도 13에 나타낸 바와 같이, 산화막(30), 산소차폐 절연막(26)을 관통하여 금속 플러그에 도달하는 개구(31)를 형성하고, 산화막(30)을 관통하여 상부전극(29a)을 노출하는 개구를 형성한다.

전체 면에 TiN층을 퇴적하고, 패터닝에 의해 금속 플라스마와 커패시터의 상부전극(29a)을 접속하는 국부배선(33)을 형성한다. TiN층(33)은 예컨대 리액티브 스퍼터링에 의해 두께 약 100nm 정도 퇴적한다.

도 14에 나타낸 바와 같이, 국부배선(33)을 덮도록 기판 전체 면 위에 산화막(34)을 형성한다. 산화막(34) 및 그 아래의 절연막을 관통하여 다른 금속 플러그에 도달하는 개구(35)를 형성하고, Al 등으로 배선(36)을 형성한다.

필요에 따라 절연층 형성, 상부 배선 형성 등의 공정을 실시한다. 이와 같이 하여 페로브스카이트형 유전체막을 포함한 커패시터를 갖춘 반도체장치가 형성된다.

이상, 메모리셀 부분의 제조공정을 예로 들어 설명하였다. 이 메모리셀 공정의 제조공정과 동시에 주변회로 영역의 트랜지스터 등을 작성할 수가 있다.

도 15는 주변회로 영역(PC)과 메모리셀 영역(MC)을 동시에 나타낸 단면도이다. 메모리셀 영역(MC)에서는, 실리콘 기판 내의 p형 웰(P1) 내에 상술한 실시예에서 설명한 MOS 트랜지스터(Tr)와 커패시터(Cap)가 형성되어 있다. 주변회로 영역(PC)에서는, p형 웰(P2) 내에 n 채널 MOS 트랜지스터가 형성되고, n형 웰(N1) 내에 p 채널 MOS 트랜지스터가 형성되어 있다.

산소차폐 절연막(26)은 주변회로 영역에서도 전체 면 위에 형성되며, 금속 플러그(PL1 PL4)이 형성된 영역에만 선택적으로 제거된다. 플러그(PL1, PL2)은 n 채널 트랜지스터의 n형 영역에 대한 접촉부을 형성하고, 플러그(PL3, PL4)은 p 채널 트랜지스터의 p형 영역에 대한 접촉부을 형성한다. 금속으로 플러그를 형성함으로써, CMOS 트랜지스터의 소스/드레인 영역에 공통한 구조의 접촉을 형성할 수가 있다.

도 16은 도 11의 공정에서 커패시터 구조를 형성한 후에, 노출하고 있는 산소차폐 절연막(26)을 제거한 경우의 구조를 나타낸다. 주변회로 영역(PC)에서는, 산소차폐 절연막(26)은 완전히 제거되고, 산화막(18) 상에 산화막(30, 34)이 적층된 구조로 되어 있다. 메모리셀 영역(MC)에서는, 커패시터의 하부전극(27a) 아래에만 산소차폐 절연막(26)이 잔존하고, 다른 영역에서는 산소차폐 절연막은 제거되어 있다. 산소차폐 절연막의 제거는 예컨대 콘트롤 에칭에 의해 실시할 수가 있다.

도 17은 산화막(18)을 적층구조로 하고, 하부를 옥시나이트라이드막, 상부를 산화막으로 한 경우의 구성을 나타낸다. 금속 플러그 형성 전에 HF 에칭에 의해 가볍게 습식 에칭을 함으로써, 접촉창의 산화막 부분의 에칭을 진척시킨다. 그 결과, 각 접촉창은 하부의 구경이 좁고, 상부의 구경이 넓은 2단 구조가 형성된다. 상부를 넓힘으로써, 금속 플러그의 접촉을 개선할 수가 있다.

도 18은 다른 구성례를 나타낸다. 상술한 구성에서는, 커패시터 상부전극이 가장 가까운 소스/드레인 영역과 국부배선에 의해 접속되어 있다. 도 18의 구성에서는, 커패시터 상부전극은 배선층(41)에 의해 다른 장소에 접속되어 있다.

커패시터의 하부전극(27a)은 단부에서 노출되어, 국부배선(46)에 의해 근접한 소스/드레인 영역과 금속 플러그(PL6)을 통해서 접속되어 있다.

기타 여러 가지의 배선구조가 가능함은 당업자에게는 자명할 것이다. 또, 커패시터 유전체막 형성 후, 소망하는 시점에서 리커버리 어닐을 실시하여 산화물 유전체막의 유전특성의 열화를 방지하는 것이 바람직하다.

이상 실시예에 의해 본 발명을 설명하였으나, 본 발명은 이것들에 제한되는 것이 아니다. 예를 들어, 여러 가지 변경, 개량, 조합 등이 가능함은 당업자에게는 자명할 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면 금속 플러그를 사용하고, 또한 페로브스카이트형 결정구조를 갖는 산화물 유전체막을 포함한 커패시터를 형성하여, 높은 유전체 특성을 얻을 수가 있다.

(57) 청구의 범위

청구항 1.

제 1 도전형의 제 1 영역과 제 1 도전형과 반대의 제 2 도전형의 제 2, 제 3 영역을 포함한 반도체기판과,

상기 반도체기판의 제 1, 제 2 및 제 3 도전형 영역 상에 각각 형성된 제 1, 제 2 및 제 3 절연 게이트전극 구조와, 상기 절연 게이트전극 구조의 양측에서 상기 반도체기판 내에 형성된 제 2 도전형의 제 1 쌍 및 제 1 도전형의 제 2 쌍, 제 3 쌍의 불순물 도프 영역을 갖는 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터와,

상기 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터를 덮어서 상기 반도체기판 상에 형성된 제 1 절연막과,

상기 제 1 절연막을 관통하여 상기 제 1, 제 2 및 제 3 절연게이트형 전계효과 트랜지스터의 제 1 쌍, 제 2 쌍 및 제 3 쌍의 불순물 도프 영역의 각각 1개의 불순물 도프 영역에 도달하며 상기 제 1 절연막과 공통 레벨의 표면을 갖는 3개의, 산화 가능한 금속으로 형성된 금속 플러그와,

상기 제 1 절연막을 덮어서 상기 공통 레벨 상에 형성된 산소차폐능을 갖는 제 2 절연막과,

상기 제 2 절연막 상에 형성된 하부전극과,

상기 하부전극 상에 형성되며 페로브스카이트형 결정구조를 갖는 산화물 유전체막과,

상기 산화물 유전체막 상에 형성되며 상기 하부전극, 산화물 유전체막과 함께 커패시터를 형성하는 상부전극과,

상기 커패시터를 덮어서 반도체기판 상에 형성된 제 3 절연막과,

상기 제 3 절연막 상에 신장하며 상기 제 3 절연막과 상기 제 2 절연막을 통하는 접속구멍을 거쳐서 상기 제 3 영역 상의 금속 플러그와 접속되고 상기 제 3 절연막을 통하는 접속구멍을 거쳐서 상기 상부전극 또는 상기 하부전극에 접속된 국부배선을 갖고,

상기 제 1 및 제 2 절연게이트형 전계효과 트랜지스터가 CMOS 트랜지스터를 구성하고,

상기 제 3 절연게이트형 전계효과 트랜지스터와 상기 커패시터가 메모리셀을 구성하는

반도체장치.

청구항 2.

제 1 항에 있어서, 상기 산화물 유전체는 PZT, SBT, BST 중의 어느 하나인 반도체장치.

청구항 3.

제 1 항에 있어서, 상기 제 2 절연막은 질화막인 반도체장치.

청구항 4.

제 1 항에 있어서, 상기 금속 플러그는 고융점 금속을 포함한 반도체장치.

청구항 5.

제 1 항에 있어서, 상기 제 2 절연막은 상기 제 1 절연막 상에 선택적으로 형성되어 있는 반도체장치.

청구항 6.

반도체기판 상에 절연 게이트전극과 제 1 도전형 소스/드레인 영역을 갖는 절연게이트형 전계효과 트랜지스터를 형성하는 공정과,

상기 절연 게이트전극을 덮어서 반도체기판 상에 제 1 절연막을 형성하는 공정과,

상기 제 1 절연막을 관통하여 상기 소스/드레인 영역의 적어도 한 쪽에 도달하는 접촉창을 형성하는 공정과,

상기 접촉창 내에 산화 가능한 금속으로 형성된 금속 플러그를 매립하는 공정과,

상기 금속 플러그를 덮어서 상기 제 1 절연막 상에 산소차폐능을 갖는 제 2 절연막을 형성하는 공정과,

상기 제 2 절연막 상에 커패시터의 하부전극을 형성하는 공정과,

상기 하부전극 상에 페로브스카이트형 결정구조를 갖는 산화물 유전체 막을 형성하는 공정과,

상기 산화물 유전체막 형성공정 후에 산소 분위기 중에서 상기 반도체기판을 어닐하는 어닐공정과,

상기 산화물 유전체막 상에 커패시터의 상부전극을 형성하는 공정

을 포함한 반도체장치의 제조방법.

청구항 7.

제 6 항에 있어서, 상기 어닐공정이 800℃ 이상의 온도로 행하는 반도체장치의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 상부전극을 덮어서 반도체기판 상에 제 3 절연막을 형성하는 공정과,

상기 제 3 절연막을 관통하여 상기 금속 플러그 및 상기 상부전극 또는 상기 하부전극에 도달하는 접속구멍을 형성하는 공정과,

상기 금속 플러그와 상기 상부전극 또는 상기 하부전극을 접속하는 국부배선을 접속하는 공정

을 더 포함한 반도체장치의 제조방법.

청구항 9.

제 6 항에 있어서, 상기 제 2 절연막을 형성하는 공정은,

질화막을 형성하는 서브공정과,

상기 질화막 상에 산화막을 형성하는 서브공정

을 포함한 반도체장치의 제조방법.

청구항 10.

제 6 항에 있어서, 상기 커패시터의 하부전극을 형성하는 공정은,

Ti막을 형성하는 서브공정과,

상기 Ti막 상에 Pt막을 형성하는 서브공정

을 포함한 반도체장치의 제조방법.

청구항 11.

제 10 항에 있어서, 상기 Ti막을 형성하는 서브공정은, 상기 어닐공정에서 상기 산화물 유전체막의 (111) 배향을 실현하도록 Ti막 두께를 선택하는 반도체장치의 제조방법.

청구항 12.

제 6 항에 있어서, 상기 산화물 유전체막을 형성하는 공정은, PZT, SBT, BST 중의 적어도 하나를 주성분으로 하여 성막하는 공정인 반도체장치의 제조방법.

청구항 13.

제 6 항에 있어서, 상기 산화물 유전체막을 형성하는 공정이 PZT막을 형성하는 공정이며, 이때의 Pb의 조성이 상기 어닐공정 후 (111) 배향을 실현하는 값으로 선택되는 반도체장치의 제조방법.

청구항 14.

제 1 도전형 영역을 포함하는 반도체기판과,

상기 반도체기판 상에 형성된 절연 게이트전극 구조와, 상기 절연게이트 전극 구조의 양측에서 상기 반도체기판의 제 1 도전형 영역 내에 형성된 제 2 도전형의 1쌍의 불순물 도프 영역을 갖는 절연게이트형 전계효과 트랜지스터와,

상기 절연게이트형 전계효과 트랜지스터를 덮어서 상기 반도체기판 상에 형성된 제 1 절연막과,

상기 제 1 절연막을 관통하여 상기 절연게이트형 전계효과 트랜지스터의 1쌍의 불순물 도프 영역의 한쪽에 도달하며 상기 제 1 절연막과 공통 레벨의 표면을 갖는, 산화 가능한 금속으로 형성된 금속 플러그와,

상기 제 1 절연막을 덮어서 상기 공통 레벨 상에 형성된 산소차폐능을 갖는 제 2 절연막과,

상기 제 2 절연막에 형성된 하부전극과,

상기 하부전극 상에 형성되며 페로브스카이트형 결정구조를 갖는 산화물 유전체막과,

상기 산화물 유전체막 상에 형성되며 상기 하부전극, 산화물 유전체막과 함께 커패시터를 형성하는 상부전극과,

상기 커패시터를 덮어서 반도체기판 상에 형성된 제 3 절연막과,

상기 제 3 절연막 상에 신장하며 상기 제 3 절연막과 상기 제 2 절연막을 통하는 접소구멍을 거쳐서 상기 금속 플러그와 접속되고, 상기 제 3 절연막을 통하는 접소구멍을 거쳐서 상기 상부전극 또는 상기 하부전극에 접속된 국부배선

을 포함한 반도체장치.

청구항 15.

제 14 항에 있어서, 상기 산화물 유전체는 PZT, SBT, BST 중의 어느 하나인 반도체장치.

청구항 16.

제 14 항에 있어서, 상기 제 2 절연막은 질화막인 반도체장치.

청구항 17.

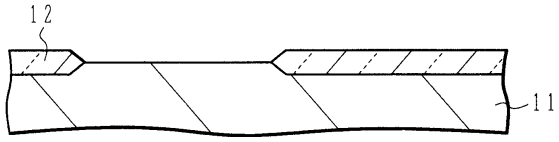
제 14 항에 있어서, 상기 금속 플러그는 고융점 금속을 포함한 반도체장치.

청구항 18.

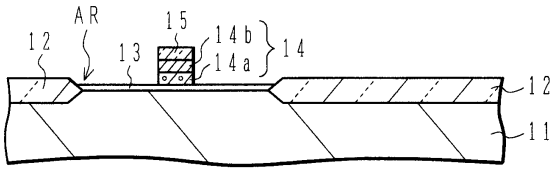
제 14 항에 있어서, 상기 제 2 절연막은 상기 제 1 절연막 상에 선택적으로 형성되어 있는 반도체장치.

도면

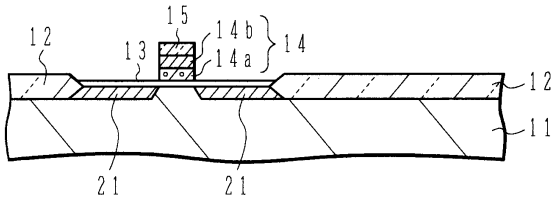
도면 1



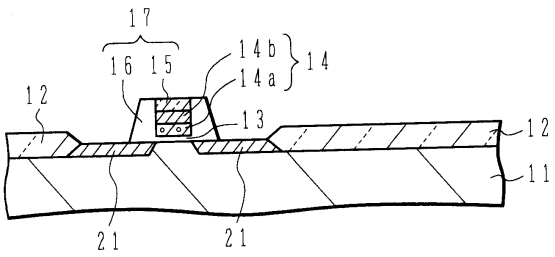
도면 2



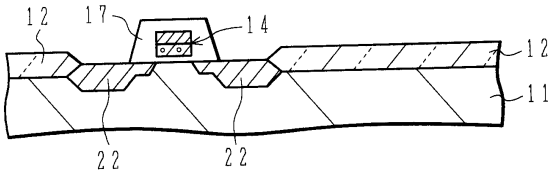
도면 3



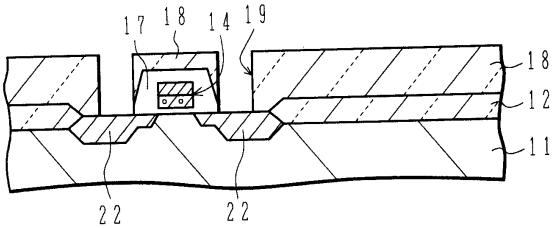
도면 4



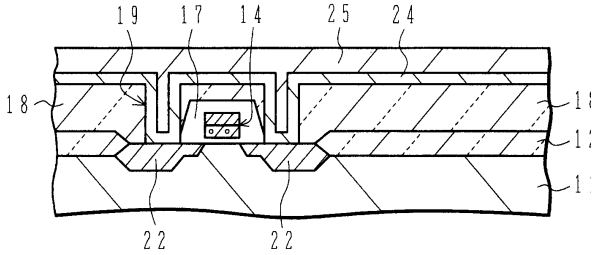
도면 5



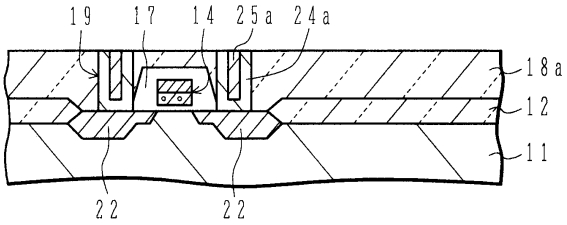
도면 6



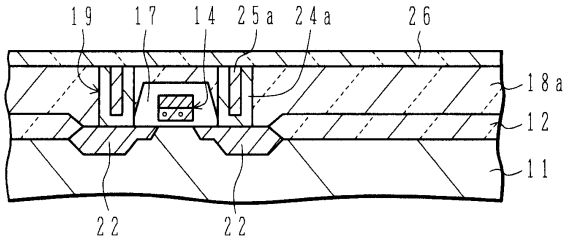
도면 7



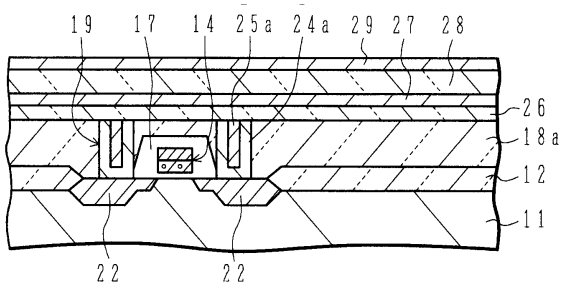
도면 8



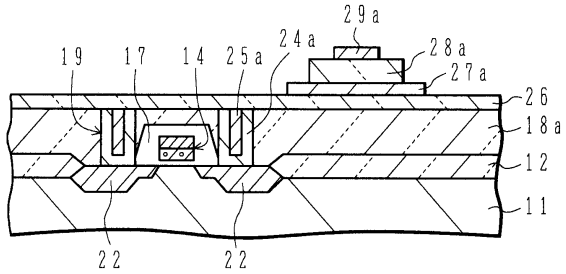
도면 9



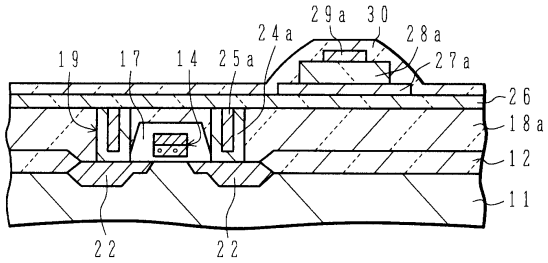
도면 10



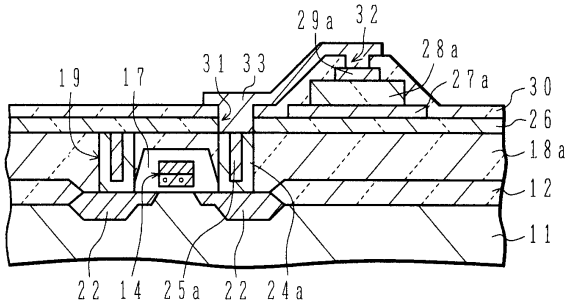
도면 11



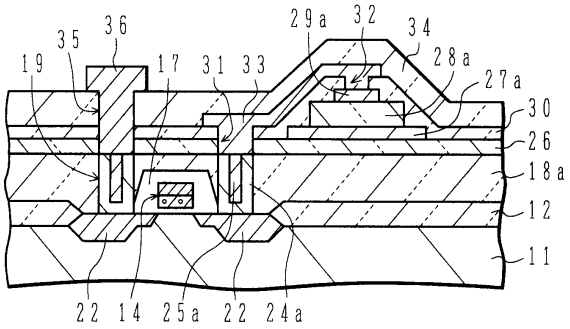
도면 12



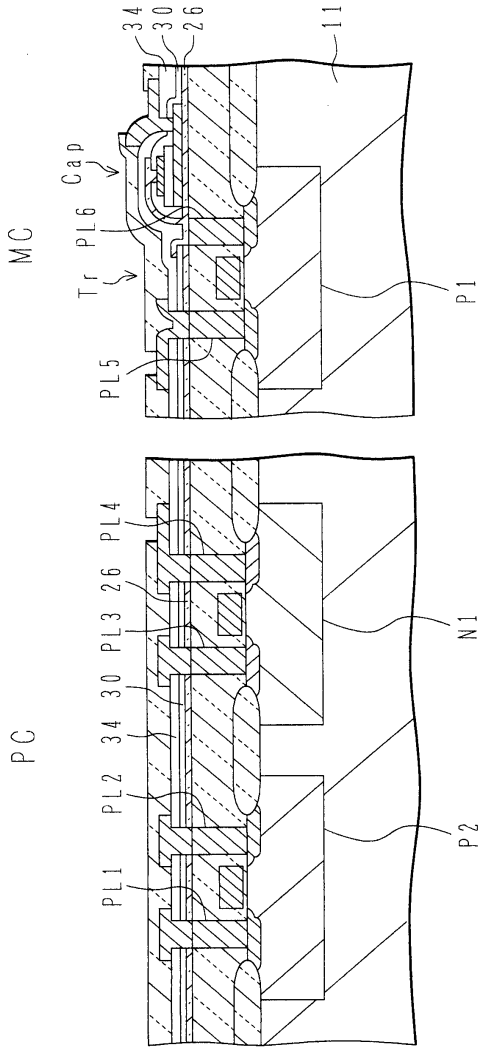
도면 13



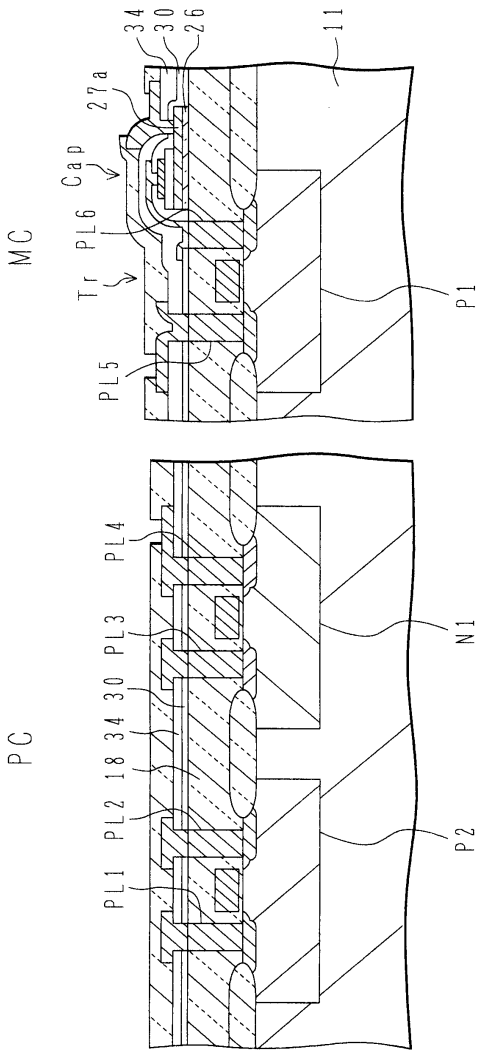
도면 14


35
36
19
17
31
33
29a
32
34
28a
27a
30
26
18a
12
11
22
14
25a
22
24a

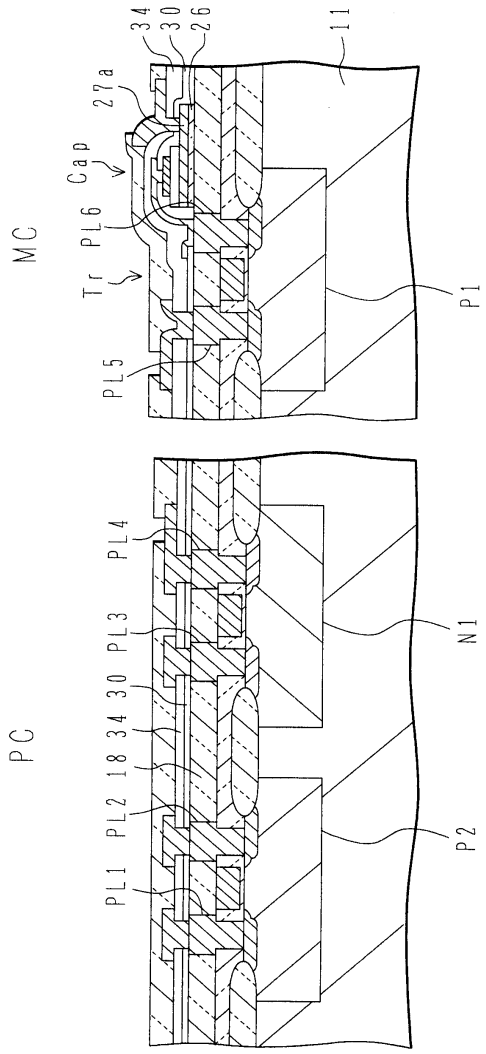
도면 15


34
30
26
11
Cap
PL6
Tr
PL5
MC
P1
PL4
26
PL3
30
34
PL2
PL1
PC
N1
P2

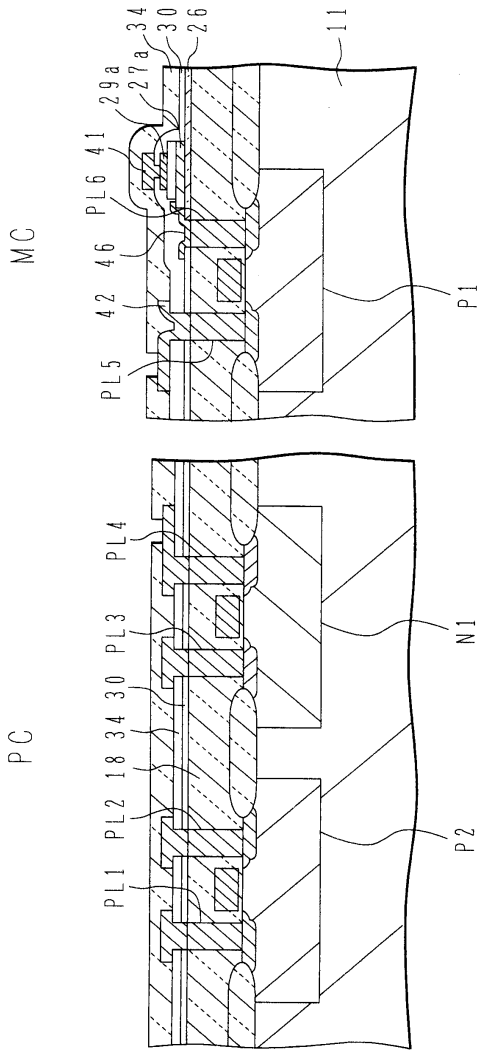
도면 16


MC
PC
34
30
26
11
27a
Cap
PL6
Tr
PL5
P1
PL4
PL3
30
34
18
PL2
PL1
N1
P2

도면 17


MC
PC
Tr
Cap
27a
PL6
PL5
PL4
PL3
30
34
18
PL2
PL1
34
30
26
11
P1
N1
P2

도면 18


MC
PC
PL5
42
46
PL6
41
29a
27a
34
30
26
11
P1
PL1
PL2
18
34
30
PL3
PL4
N1
P2