



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0126849
(43) 공개일자 2009년12월09일

(51) Int. Cl.

H01L 21/762 (2006.01) H01L 21/265 (2006.01)

(21) 출원번호 10-2008-0053175

(22) 출원일자 2008년06월05일

심사청구일자 2008년06월05일

(71) 출원인

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

강동우

인천광역시 동구 송림3동 89-13 9/1

(74) 대리인

김원준, 장성구

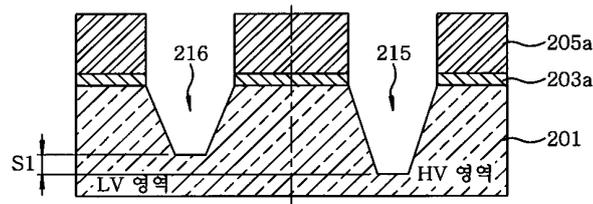
전체 청구항 수 : 총 6 항

(54) 반도체 소자 및 이를 위한 STI 형성 방법

(57) 요약

본 발명은 반도체 소자 및 이를 위한 STI 형성 방법에 관한 것으로, 이온 주입의 도핑에 의하여 식각진행시 발생하는 식각물의 차이를 이용하여 LV 영역 및 HV 영역에 단차가 발생하는 듀얼 STI를 형성함으로써, HV 영역의 식각물이 LV 영역보다 커지게 되어 HV 영역에 인가되는 높은 전류와 전압에도 정션 리키지가 발생하지 않아 BV Fail을 줄일 수 있어 반도체 수율을 향상시킬 수 있다.

대표도 - 도1



특허청구의 범위

청구항 1

LV(Low Voltage) 영역과 HV(High Voltage) 영역을 갖는 반도체 기판 상에 형성시킨 패드 산화막 패턴 및 질화막 패턴과,

상기 패드 산화막 패턴 및 질화막 패턴을 마스크로 식각공정을 실시할 경우, 상기 반도체 기판의 HV 영역에 도핑된 이온에 의해 단차가 발생되어 형성된 LV 영역의 STI(Shallow Trench Isolation)와 HV 영역의 STI

를 포함하는 반도체 소자.

청구항 2

제 1 항에 있어서,

상기 단차는,

상기 반도체 기판의 HV 영역에 도핑된 이온에 의해 결합력이 약해진 HV 영역의 식각률이 LV 영역의 식각률 보다 커지게 되어 발생하는 것을 특징으로 하는 반도체 소자.

청구항 3

LV 영역과 HV 영역을 갖는 반도체 기판 상에 패드 산화막 패턴 및 질화막 패턴을 형성하는 단계와,

상기 LV 영역을 블록킹(Blocking)하기 위한 PR 패턴을 형성하는 단계와,

상기 PR 패턴을 마스크로 이온주입 공정을 실시하여 상기 HV 영역에 이온을 도핑하는 단계와,

상기 패드 산화막 패턴 및 질화막 패턴을 마스크로 식각공정을 실시하여 상기 도핑된 이온에 의해 단차가 발생하는 LV 영역의 STI와 HV 영역의 STI를 형성하는 단계

를 포함하는 반도체 소자를 위한 STI 형성 방법.

청구항 4

제 3 항에 있어서,

상기 이온주입 공정은, 상기 반도체 기판이 P-type일 경우 붕소(Boron)의 도펀트를 사용하고, N-type일 경우 인(phosphorus) 혹은 비소(Arsenic)의 도펀트를 사용하는 것을 특징으로 하는 반도체 소자를 위한 STI 형성 방법.

청구항 5

제 3 항에 있어서,

상기 이온주입 공정은, 수 Kev~수천 Kev 범위의 에너지와 $1 \times 10^{10} \sim 1 \times 10^{16}$ 범위의 도즈량까지 조절 가능한 것을 특징으로 하는 반도체 소자를 위한 STI 형성 방법.

청구항 6

제 3 항에 있어서,

상기 단차는, 상기 반도체 기판의 HV 영역에 도핑된 이온에 의해 결합력이 약해진 HV 영역의 식각률이 LV 영역의 식각률 보다 커지게 되어 발생하는 것을 특징으로 하는 반도체 소자를 위한 STI 형성 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 이온 주입의 도핑에 의하여 식각진행시 발생하는 식각률의 차이를 이용하여 저전압(Low Voltage, 이하, LV라 함) 영역과 고전압(High Voltage, 이하, HV라 함) 영역에 단차가 발생하는 듀얼 STI(Shallow Trench

Isolation, 이하, STI라 함)를 형성시킨 반도체 소자 및 이를 위한 형성 방법에 관한 것이다.

배경 기술

- <2> 주지된 바와 같이 반도체 회로의 고집적화에 따라 다양한 기능의 집적회로가 동일 제품에 공존하면서 다중 전압/전류 구동용 고전압 혹은 고전력 트랜지스터(High Voltage & High Power Transistor) 소자가 요구되고 있다.
- <3> 한편, 박막트랜지스터 액정 디스플레이 소자(Thin Film Transistor-Liquid Crystal Device)는 구동회로와 제어회로로 구성되는데, 이중 제어회로는 5V의 로직으로, 그리고 구동회로는 30V이상의 HV 혹은 고전력 트랜지스터 소자로 구성되어 있다.
- <4> 이러한 HV 혹은 고전력 트랜지스터 소자를 제조함에 있어서, 듀얼 STI 공정을 이용하여 소자를 구현할 수 있는데, 듀얼 STI 공정에서 STI 코너(corner)의 토폴로지(topology)와 반도체 기판(일 예로, NMOS)의 도핑 프로파일(doping profile)은 소자 특성에 매우 큰 영향을 준다.

발명의 내용

해결 하고자하는 과제

- <5> 그러나, 상기한 바와 같이 듀얼 STI 공정을 진행함에 있어서, 하나의 칩안에 LV와 HV의 영역을 만들기 위하여 LV와 HV 영역을 각기 마스크하여 각각 식각하는 방식으로 두 번의 패터닝(patterning) 공정을 통해 영역마다 각기 다른 영역의 STI 깊이(Depth)를 다르게 만들 수 있지만 LV와 HV의 영역이 근접하게 붙어 있는 디바이스인 경우 한번의 식각후 발생하는 토폴로지에 의하여 HV 영역의 식각을 위한 패턴 형성시 문제가 발생하게 되는 문제점이 있다.
- <6> 이에, 본 발명의 기술적 과제는 상술한 바와 같은 문제점을 해결하기 위해 안출한 것으로, 이온 주입의 도핑에 의하여 식각진행시 발생하는 식각률의 차이를 이용하여 LV와 HV 영역에 단차가 발생하는 듀얼 STI를 형성시킨 반도체 소자 및 이를 위한 STI 형성 방법을 제공한다.

과제 해결수단

- <7> 본 발명의 일 관점에 따른 반도체 소자는, LV 영역과 HV 영역을 갖는 반도체 기판 상에 형성시킨 패드 산화막 패턴 및 질화막 패턴과, 패드 산화막 패턴 및 질화막 패턴을 마스크로 식각공정을 실시할 경우, 반도체 기판의 HV 영역에 도핑된 이온에 의해 단차가 발생되어 형성된 LV 영역의 STI와 HV 영역의 STI를 포함한다.
- <8> 상기 단차는, 반도체 기판의 HV 영역에 도핑된 이온에 의해 결합력이 약해진 HV 영역의 식각률이 LV 영역의 식각률 보다 커지게 되어 발생하는 것을 특징으로 한다.
- <9> 본 발명의 다른 관점에 따른 반도체 소자를 위한 STI 형성 방법은, LV 영역과 HV 영역을 갖는 반도체 기판 상에 패드 산화막 패턴 및 질화막 패턴을 형성하는 단계와, LV 영역을 블로킹(Blocking)하기 위한 PR 패턴을 형성하는 단계와, PR 패턴을 마스크로 이온주입 공정을 실시하여 HV 영역에 이온을 도핑하는 단계와, 패드 산화막 패턴 및 질화막 패턴을 마스크로 식각공정을 실시하여 도핑된 이온에 의해 단차가 발생하는 LV 영역의 STI와 HV 영역의 STI를 형성하는 단계를 포함한다.
- <10> 상기 이온주입 공정은, 반도체 기판이 P-type일 경우 붕소(Boron)의 도펀트를 사용하고, N-type일 경우 인(phosphorus) 혹은 비소(Arsenic)의 도펀트를 사용하는 것을 특징으로 한다.
- <11> 상기 이온주입 공정은, 수 Kev~수천 Kev 범위의 에너지와 $1 \times 10^{10} \sim 1 \times 10^{16}$ 범위의 도즈량까지 조절 가능한 것을 특징으로 한다.
- <12> 상기 단차는, 반도체 기판의 HV 영역에 도핑된 이온에 의해 결합력이 약해진 HV 영역의 식각률이 LV 영역의 식각률 보다 커지게 되어 발생하는 것을 특징으로 한다.

효과

- <13> 본 발명은 이온 주입의 도핑에 의하여 식각진행시 발생하는 식각률의 차이를 이용하여 LV 영역 및 HV 영역에 단차가 발생하는 듀얼 STI를 형성함으로써, HV 영역의 식각률이 LV 영역보다 커지게 되어 HV 영역에 인가되는 높은 전류와 전압에도 정선 리키지(junction leakage)가 발생하지 않아 BV(Breakt Brough) Fail을 줄일 수 있어

반도체 수율을 향상시킬 수 있는 잇점이 있다.

발명의 실시를 위한 구체적인 내용

<14> 이하 첨부된 도면을 참조하여 본 발명의 동작 원리를 상세히 설명한다. 하기에서 본 발명을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

실시예

<15> 도 1은 본 발명에 따른 STI를 형성시킨 반도체 소자의 구조도를 도시한 도면으로서, LV 영역과 HV 영역을 갖는 반도체 기판(P-Substrate)(201) 상에 형성시킨 패드 산화막(pad oxidation) 패턴(203a) 및 질화막(nitride) 패턴(205a)과, 이 패드 산화막 패턴(203a) 및 질화막 패턴(205a)을 마스크로 식각공정을 실시할 경우, 반도체 기판(201)의 HV 영역에 도핑된 이온에 의해 단차(S1)가 발생되어 형성된 LV 영역의 STI(216)와 HV 영역의 STI(215)로 이루어져 있다.

<16> 도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따른 반도체 소자를 위한 STI 형성 방법에 대한 각 공정별 수직 단면도이다.

<17> 즉, 도 2a를 참조하면, LV 영역과 HV 영역을 갖는 반도체 기판(201) 상에 패드 산화막(203) 및 질화막(205)이 순차적으로 형성되어 있다.

<18> 다음으로, 형성된 질화막(205) 상부에 목표로 하는 임의의 패턴으로 설계된 레티클을 이용하는 노광 공정과 현상 공정을 실시하여 전면 형성시킨 감광막(Photo Resist, 이하, PR이라함)의 일부를 선택적으로 제거함으로써, 일 예로서 도 2b에 도시된 바와 같이, STI 영역을 정의하기 위한 PR 패턴(207)을 형성한다.

<19> 이후, 상술한 바와 같이 형성된 PR 패턴(207)을 마스크로 식각 공정을 실시하여 반도체 기판(201)의 일부가 노출될 수 있도록 패드 산화막 및 질화막의 일부를 선택적으로 제거하여 일 예로, 도 2c에 도시된 바와 같이 패드 산화막 패턴(203a) 및 질화막 패턴(205a)을 형성한다.

<20> 다음으로, 목표로 하는 임의의 패턴으로 설계된 레티클을 이용하는 노광 공정과 현상 공정을 실시하여 전면 형성시킨 PR의 일부를 선택적으로 제거함으로써, 일 예로서 도 2d에 도시된 바와 같이, LV 영역을 블로킹(Blocking)하기 위한 PR 패턴(209)을 형성한다.

<21> 이어서, PR 패턴(209)을 마스크로 일 예로 도 2e에 도시된 바와 같이 이온주입 공정(211)을 실시함에 따라 반도체 기판(201)의 LV 영역은 블로킹되어 이온이 도핑되지 않는데 반하여 일 예로 도 2f에 도시된 바와 같이 HV 영역에는 이온이 도핑(213)된다. 여기서, 이온주입 공정(211)은 반도체 기판(201)이 P-type일 경우 붕소(Boron)의 도펀트를 사용하고, N-type일 경우 인(phosphorus) 혹은 비소(Arsenic)의 도펀트를 사용한다. 또한, LV 영역과 HV 영역의 단차 깊이(Depth)를 크게 가져가야 할 경우 이온공정 에너지를 높이거나 도즈(Dose)량을 높여야 하고, 반면에, LV 영역과 HV 영역의 단차 깊이를 작게 가져가야 할 경우 이온공정 에너지를 낮추거나 도즈량을 낮추어야 하는데, 일 예로, 이온공정 에너지는 수 Kev~수천 Kev까지 가능하며 도즈량은 $1 \times 10^{10} \sim 1 \times 10^{16}$ 범위까지 조절 가능하다.

<22> 마지막으로, LV 영역에 잔재하는 PR 패턴(209)을 스트리밍 공정으로 제거한 후, 패드 산화막 패턴(203a) 및 질화막 패턴(205a)을 마스크로 식각공정을 실시할 경우, 일 예로, 도 2g에 도시된 바와 같이 도핑된 이온(213)에 의해 단차(S1)가 발생하는 LV 영역의 STI(216)와 HV 영역의 STI(215)가 형성된다. 여기서, 단차(S1)는 반도체 기판(201)의 HV 영역에 도핑된 이온(213)에 의해 결합력이 약해진 HV 영역의 식각률이 LV 영역의 식각률 보다 커지게 되어 발생된다.

<23> 이상 설명한 바와 같이, 본 발명은 이온 주입의 도핑에 의하여 식각진행시 발생하는 식각률의 차이를 이용하여 LV 영역 및 HV 영역에 단차가 발생하는 듀얼 STI를 형성함으로써, HV 영역의 식각률이 LV 영역보다 커지게 되어 HV 영역에 인가되는 높은 전류와 전압에도 정션 리키지가 발생하지 않아 BV Fail을 줄일 수 있다.

<24> 한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으

며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

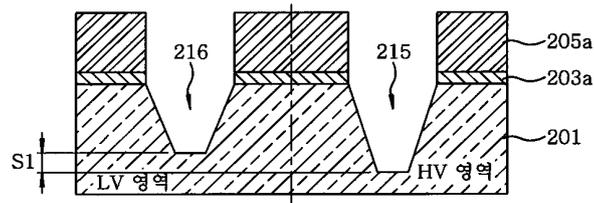
도면의 간단한 설명

<25> 도 1은 본 발명에 따른 STI를 형성시킨 반도체 소자의 구조도를 도시한 도면,

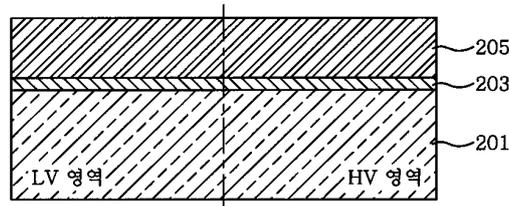
<26> 도 2a 내지 도 2g는 본 발명의 바람직한 실시예에 따른 반도체 소자의 STI 형성 방법에 대한 각 공정별 수직 단면도.

도면

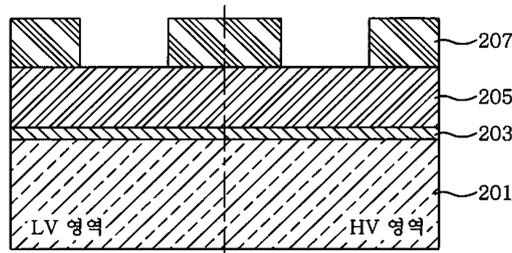
도면1



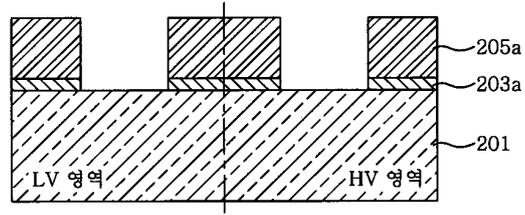
도면2a



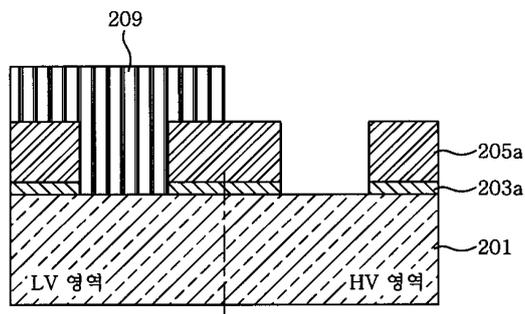
도면2b



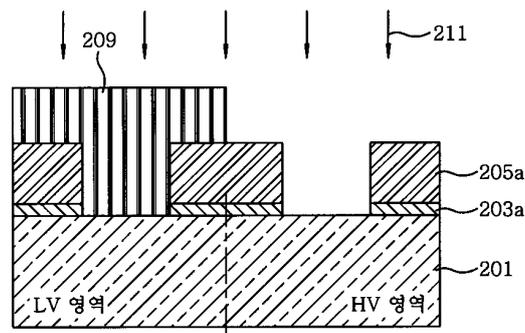
도면2c



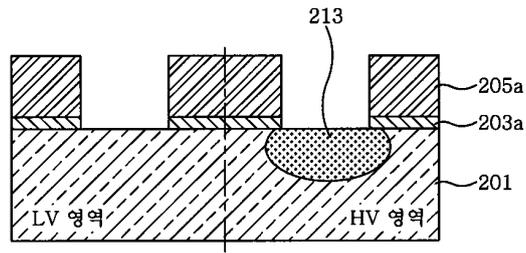
도면2d



도면2e



도면2f



도면2g

