

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3862002号  
(P3862002)

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int. Cl.

F I

G 1 1 C 27/02 (2006.01)

G 1 1 C 27/02 6 0 1 T

H 0 3 K 17/16 (2006.01)

G 1 1 C 27/02 6 0 2 D

H 0 3 K 17/687 (2006.01)

H 0 3 K 17/16 H

H 0 3 K 17/687 G

請求項の数 1 (全 7 頁)

(21) 出願番号 特願2002-85030 (P2002-85030)  
 (22) 出願日 平成14年3月26日(2002.3.26)  
 (65) 公開番号 特開2003-281898 (P2003-281898A)  
 (43) 公開日 平成15年10月3日(2003.10.3)  
 審査請求日 平成15年2月20日(2003.2.20)

(73) 特許権者 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100085501  
 弁理士 佐野 静夫  
 (72) 発明者 大西 一正  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内

審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 サンプルホールド回路

(57) 【特許請求の範囲】

【請求項 1】

入力電圧が印加される入力端子と；出力電圧が引き出される出力端子と；一端が前記入力端子に接続された静電破壊防止抵抗と；入力端が前記静電破壊防止抵抗の他端に接続された電界効果トランジスタで構成されたメインスイッチと；一端が前記出力端子に接続され、他端が接地されたホールドコンデンサと；前記メインスイッチの出力端と前記ホールドコンデンサの一端との間に接続された電界効果トランジスタで構成され、そのサイズが前記メインスイッチの半分程度とされており、その入力端と出力端が短絡されており、かつ、そのオン/オフが前記メインスイッチとは逆動作とされているダミースイッチと；を有して成り、前記メインスイッチのオン/オフに応じて前記ホールドコンデンサの充放電を切り換えることで、前記入力電圧のサンプリングとホールド出力とを交互に行うサンプルホールド回路であって、前記メインスイッチの出力端と前記ダミースイッチの入力端との間に、前記静電破壊防止抵抗と同値或いはほぼ同値の抵抗値を有するマッチング抵抗を接続したことを特徴とするサンプルホールド回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧を所定タイミングでサンプリングし、そのサンプリング電圧をホールド出力するサンプルホールド回路に関するものである。

【0002】

**【従来の技術】**

図2はサンプルホールド回路の一従来例を示す回路図である。図2(a)に示すサンプルホールド回路2aは、電界効果トランジスタで構成されたメインスイッチSW1と、出力電圧保持用のホールドコンデンサC1と、を有して成り、メインスイッチSW1のオン/オフに応じてホールドコンデンサC1の充放電を切り換えることで、メインスイッチSW1のソースに印加された入力電圧 $V_i$ のサンプリングとホールド出力を交互に行う構成である。なお、メインスイッチSW1のオン/オフは、ゲートへのサンプリングパルス $V_s$ によって制御される。

**【0003】**

例えば、サンプリングパルス $V_s$ がハイレベルのとき、メインスイッチSW1がオンとなって、ホールドコンデンサC1の充電(サンプリング)が行われ、サンプリングパルス $V_s$ がローレベルのとき、メインスイッチSW1がオフとなって、ホールドコンデンサC1の放電(ホールド出力)が行われる。

**【0004】**

上記構成から成るサンプルホールド回路2aでは、その動作が入力電圧 $V_i$ のサンプリングからホールド出力に切り換わる際、すなわち、メインスイッチSW1がオンからオフに変遷する際、該メインスイッチSW1のソース及びドレインとゲートとの間に付随した寄生容量PC1、PC2で電荷の充放電が生じる。このとき、ソース側の寄生容量PC1で充放電される電荷は、ローインピーダンスな経路es1を介して入力端子との間で流出入するため、出力電圧 $V_o$ には影響を及ぼさないが、ドレイン側の寄生容量PC2で充放電される電荷は、経路ed1を介してホールドコンデンサC1との間で流出入するため、その分だけホールド出力時の出力電圧 $V_o$ がオフセット(以下、ホールドオフセットと呼ぶ)してしまう。

**【0005】**

このようなホールドオフセットを解消する手段として、図2(b)に示すサンプルホールド回路2bでは、メインスイッチSW1とホールドコンデンサC1との間に、ダミースイッチSW2が設けられている。なお、ダミースイッチSW2は、メインスイッチSW1と同チャネルの電界効果トランジスタから構成されているが、そのサイズ(W/L[Width/Length]比)は、メインスイッチSW1の半分程度とされており、ソースとドレインは短絡されている。また、ダミースイッチSW2のオン/オフは、ゲートに入力されるインバータINV1の出力信号(サンプリングパルス $V_s$ の反転信号)によって制御されており、メインスイッチSW1とは逆動作とされている。

**【0006】****【発明が解決しようとする課題】**

確かに、上記構成から成るサンプルホールド回路2bであれば、メインスイッチSW1のドレイン側の寄生容量PC2で充放電される電荷が、ダミースイッチSW2のソース側及びドレイン側の寄生容量PC3、PC4で放電される電荷により一部キャンセルされて、ホールドコンデンサC1に影響を及ぼしにくくなるので、該電荷によるホールドオフセットを数[mV]程度までは低減することができる。

**【0007】**

しかしながら、上記構成から成るサンプルホールド回路2bのダミースイッチSW2は、あくまでドレイン側の寄生容量PC2で充放電される電荷の相殺のみを目的として設けられており、ソース側の寄生容量PC1で充放電される電荷については、ローインピーダンスな経路es1を介して入力端子との間で流出入するものとして、何ら考慮されていなかった。そのため、図2(c)に示すサンプルホールド回路2cのように、メインスイッチSW1のソース側にインピーダンス成分R1(静電破壊防止抵抗など)が接続された場合には、次のような課題があり、ホールドオフセットの値をさらに低減(例えば、1[mV]以下)することが難しかった。

**【0008】**

上記構成から成るサンプルホールド回路2c(2a、2bも同様)において、メインスイ

10

20

30

40

50

ッチSW1には、オンからオフへの変遷時に、短いながらも抵抗として働く遷移導通期間（ゲートに入力されるサンプリングパルス $V_s$ がスレッシュホールド電圧を横切るまでの期間）が存在する。一方、メインスイッチSW1のソースには、インピーダンス成分 $R_1$ が接続されており、入力端子に至る経路 $e_{s1}$ は、もはやローインピーダンスではなくなっている。

#### 【0009】

そのため、上記構成から成るサンプルホールド回路2cでは、メインスイッチSW1の遷移導通期間に、ソース側の寄生容量 $PC_1$ で充放電される電荷の一部が、メインスイッチSW1を通る経路 $e_{s2}$ を介して、ダミースイッチSW2との間で流出入していた。一方、ドレイン側の寄生容量 $PC_2$ で充放電される電荷は、前記遷移導通期間でも、よりローインピーダンスな経路 $e_{d1}$ を介して、ダミースイッチSW2との間で流出入していた。

10

#### 【0010】

このように、上記構成から成るサンプルホールド回路2cでは、メインスイッチSW1のドレイン側の寄生容量 $PC_2$ で充放電される電荷だけでなく、ソース側の寄生容量 $PC_1$ で充放電される電荷の一部までもが、ダミースイッチSW2との間で流出入しており、この余剰分だけ余分にホールドオフセットが生じていた。特に、サンプルホールド回路の後段に高ゲインのアンプ回路が接続されている場合には、このホールドオフセットが問題となることが多かった。

#### 【0011】

なお、例えば、ダミースイッチSW2のサイズ調整等によって、該余剰分によるホールドオフセットのみを低減しようとする、ICに形成される素子の絶対的精度がとれないことに起因して、ホールドオフセットが新たに生じるおそれがあり、課題の解決手段としては不適當であった。

20

#### 【0012】

本発明は、上記の問題点に鑑み、従来に比べてホールドオフセットを低減することが可能なサンプルホールド回路を提供することを目的とする。

#### 【0013】

##### 【課題を解決するための手段】

上記の目的を達成するために、本発明に係るサンプルホールド回路は、電界効果トランジスタで構成されたスイッチと、出力電圧保持用のホールドコンデンサと、前記スイッチと前記ホールドコンデンサとの間に接続されたダミースイッチと、を有して成り、前記スイッチのオン/オフに応じて前記ホールドコンデンサの充放電を切り換えることで、前記スイッチの入力側に印加された入力電圧のサンプリングとホールド出力を交互に行うサンプルホールド回路において、前記スイッチの入力側に接続されたインピーダンス成分と同値、或いはほぼ同値のインピーダンス成分を、前記スイッチの出力側にも接続した構成としている。

30

#### 【0014】

##### 【発明の実施の形態】

図1は本発明に係るサンプルホールド回路の一実施形態を示す回路図である。本実施形態のサンプルホールド回路1において、入力電圧 $V_i$ が印加される入力端子は、インピーダンス成分 $R_1$ （静電破壊防止抵抗など）を介して、電界効果トランジスタ（MOSFETなど）で構成されたメインスイッチSW1のソース（入力側）に接続されている。メインスイッチSW1のドレイン（出力側）は、後ほど詳細に説明するマッチング抵抗 $R_2$ を介して、メインスイッチSW1と同チャネルの電界効果トランジスタで構成されたダミースイッチSW2のソースに接続されている。

40

#### 【0015】

ダミースイッチのドレインは、ホールドコンデンサ $C_1$ を介してグランドに接続される一方、出力電圧 $V_o$ を所定ゲインで増幅出力するアンプ回路AMP1の入力端子にも接続されている。また、ダミースイッチSW2のソースとドレインは短絡されている。サンプリングパルス $V_s$ が印加される制御端子は、メインスイッチSW1のゲートに接続される一

50

方、インバータ  $INV1$  を介してダミースイッチのゲートにも接続されている。つまり、メインスイッチ  $SW1$  とダミースイッチ  $SW2$  のオン/オフは、互いに逆動作とされている。

【0016】

なお、ダミースイッチ  $SW2$  のサイズ ( $W/L$  比) は、メインスイッチ  $SW1$  の半分程度 (例えば、メインスイッチ  $SW1$  [ $W=80\mu m$ 、 $L=0.6\mu m$ ] に対してダミースイッチ  $SW2$  [ $W=40\mu m$ 、 $L=0.6\mu m$ ] ) とされている。

【0017】

上記構成から成るサンプルホールド回路 1 であれば、メインスイッチ  $SW1$  のオン/オフに応じてホールドコンデンサ  $C1$  の充放電を切り換えることで、メインスイッチ  $SW1$  のソースに印加された入力電圧  $V_i$  のサンプリングとホールド出力を交互に行うことができる。また、メインスイッチ  $SW1$  がオンからオフへ変遷するに際して、メインスイッチ  $SW1$  のドレイン側の寄生容量  $PC2$  で充放電される電荷が、ダミースイッチ  $SW2$  のソース側及びドレイン側の寄生容量  $PC3$ 、 $PC4$  で充放電される電荷によりキャンセルされ、ホールドコンデンサ  $C1$  に影響を及ぼしにくくなるので、該電荷によるホールドオフセットを低減することができる。

【0018】

そして、本実施形態のサンプルホールド回路 1 は、メインスイッチ  $SW1$  のソースに接続されたインピーダンス成分  $R1$  と同値、或いはほぼ同値のマッチング抵抗  $R2$  (例えば、インピーダンス成分  $R1$  [ $100\Omega$ ] に対してマッチング抵抗  $R2$  [ $100\Omega$ ] ) を、メインスイッチ  $SW1$  のドレインとダミースイッチ  $SW2$  のソースとの間にも接続した点に特徴を有している。

【0019】

このようなマッチング抵抗  $R2$  を接続することにより、メインスイッチ  $SW1$  のドレインからダミースイッチ  $SW2$  に至る経路  $ed1$  は、所定のインピーダンスを有することになる。そのため、メインスイッチ  $SW1$  がオンからオフへ変遷するに際して、該メインスイッチ  $SW1$  が抵抗として働く遷移導通期間には、ドレイン側の寄生容量  $PC2$  で充放電された電荷の一部が、メインスイッチ  $SW1$  を通る経路  $ed2$  を介して、入力端子との間でも流出入することになる。

【0020】

ここで、メインスイッチ  $SW1$  のドレインからダミースイッチ  $SW2$  に至る経路  $ed1$  は、メインスイッチ  $SW1$  のソースから入力端子に至る経路  $es1$  と同値或いはほぼ同値のインピーダンスを有するため、例えば寄生容量の放電に着目した場合、ドレイン側の寄生容量  $PC2$  から経路  $ed2$  を介して入力端子側に流出する電荷は、ソース側の寄生容量  $PC1$  から経路  $es2$  を介してダミースイッチ  $SW2$  側に流入する電荷と同量、或いはほぼ同量となる。

【0021】

従って、経路  $es2$  を介してダミースイッチ  $SW2$  側に流入する電荷量は、経路  $ed2$  を介して入力端子側に流出する電荷量によって相殺されることになるので、ソース側の寄生容量  $PC1$  に蓄積された電荷の一部がダミースイッチ  $SW2$  側に余剰流入することで生じていた従来のホールドオフセットを低減することが可能となる。特に、サンプルホールド回路 1 の後段に接続されるアンプ回路  $AMP1$  が高ゲインである場合には、本発明が有効である。

【0022】

なお、マッチング抵抗  $R2$  がインピーダンス成分  $R1$  に比べて小さ過ぎると、上記効果を十分に得ることができず、逆に大き過ぎると、ドレイン側の寄生容量  $PC2$  から経路  $ed2$  を介して入力端子側に流出する電荷が、ソース側の寄生容量  $PC1$  から経路  $es2$  を介してダミースイッチ  $SW2$  側に流入する電荷より大きくなり、新たなホールドオフセットを招いてしまう。そのため、マッチング抵抗  $R2$  は、本実施形態で示したように、メインスイッチ  $SW1$  のソースに接続されるインピーダンス成分  $R1$  と同値、或いはほぼ同値と

10

20

30

40

50

することが望ましい。

【 0 0 2 3 】

また、上記実施形態では、メインスイッチ S W 1 及びダミースイッチ S W 2 として、単体の電界効果トランジスタを用いた場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、 P M O S トランジスタと N M O S トランジスタを組み合わせたアナログスイッチによる構成としても構わない。

【 0 0 2 4 】

【 発明の効果 】

上記で説明したように、本発明に係るサンプルホールド回路は、電界効果トランジスタで構成されたスイッチと、出力電圧保持用のホールドコンデンサと、スイッチとホールドコンデンサとの間に接続されたダミースイッチと、を有して成り、スイッチのオン/オフに応じてホールドコンデンサの充放電を切り換えることで、スイッチの入力側に印加された入力電圧のサンプリングとホールド出力を交互に行うサンプルホールド回路において、スイッチの入力側に接続されたインピーダンス成分と同値、或いはほぼ同値のインピーダンス成分を、スイッチの出力側にも接続した構成としている。

10

【 0 0 2 5 】

このような構成とすることにより、スイッチがオンからオフへ変遷するに際して、該スイッチが抵抗として働く遷移導通期間に、ソース側の寄生容量で充放電された電荷の一部が、該スイッチを介してホールドコンデンサとの間で流入入することにより生じていた従来のホールドオフセットを低減することができる。

20

【 図面の簡単な説明 】

【 図 1 】 本発明に係るサンプルホールド回路の一実施形態を示す回路図である。

【 図 2 】 サンプルホールド回路の一従来例を示す回路図である。

【 符号の説明 】

1      サンプルホールド回路  
S W 1      メインスイッチ  
S W 2      ダミースイッチ  
C 1      ホールドコンデンサ  
I N V 1      インバータ  
P C 1、P C 2、P C 3、P C 4      寄生容量  
R 1      インピーダンス成分  
R 2      マッチング抵抗  
A M P 1      アンプ回路

30



---

フロントページの続き

- (56)参考文献 特開昭64-071323(JP,A)  
特開平06-349294(JP,A)  
特開平04-044700(JP,A)  
特開昭60-174518(JP,A)  
特開昭60-057723(JP,A)  
特開昭58-170119(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G11C 27/02