



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월28일
(11) 등록번호 10-0779847
(24) 등록일자 2007년11월20일

(51) Int. Cl.

H01L 33/00 (2006.01)

(21) 출원번호 10-2006-0046466

(22) 출원일자 2006년05월24일

심사청구일자 2006년05월24일

(56) 선행기술조사문헌

KR1020030072528 A

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김태근

경기 성남시 분당구 이매동 122번지 금강아파트 103-1301

신영철

서울 서초구 서초동 1338번지 현대ESA아파트 702호

최원철

서울 양천구 신월2동 1030번지 방주기폰샘 아파트 101-901

(74) 대리인

김정식

전체 청구항 수 : 총 11 항

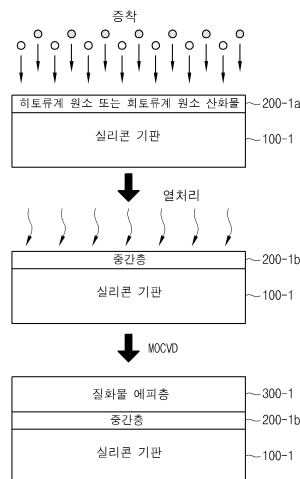
심사관 : 안철홍

(54) 질화물 반도체 및 그 제조 방법

(57) 요약

본 발명은 질화물 반도체 제조 방법 및 질화물 반도체를 개시한다. 본 발명의 질화물 반도체 제조 방법은, 종래의 사파이어 기판 또는 실리콘 기판 상에 직접 질화물을 증착하여 질화물 반도체를 제조하는 경우에, 기판과 질화물간의 격자 상수 차이 및 열팽창 계수 차이로 인하여 발생하는 문제점을 해결하기 위해서, 질화물 반도체 제조용 기판과 질화물간의 격자 상수 차이 및 열팽창 계수 차이를 경감시키도록 기판 상에 격자 정합을 제어할 수 있는 중간층을 회도류계 원소를 이용하여 형성하고, 형성된 중간층상에 질화물을 에피 성장시킴으로써 제조된다. 따라서, 본 발명은 질화물 성장 시 발생하는 격자 결함을 억제하여 품질이 양호한 질화물 반도체를 얻을 수 있을 뿐만 아니라, 사이즈가 큰 실리콘 기판을 질화물 반도체 기판으로서 사용할 수 있으므로 질화물 반도체의 생산성을 현저하게 향상시킬 수 있는 효과가 있다.

대표도 - 도3a



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

기관상에, 질화물 에피층과 격자 정합되도록 중간층을 형성하는 중간층 형성 단계; 및

상기 중간층에 상기 질화물 에피층을 형성하는 질화물 형성 단계를 포함하고,

상기 중간층 형성 단계는

상기 기관상에 회토류계 원소 산화물을 증착하고 500℃ 내지 2000℃의 온도 범위에서 열처리하여 회토류계 원소 실리케이트층을 형성하는 것을 특징으로 하는 반도체 제조 방법.

청구항 4

기관상에, 질화물 에피층과 격자 정합되도록 중간층을 형성하는 중간층 형성 단계; 및

상기 중간층에 상기 질화물 에피층을 형성하는 질화물 형성 단계를 포함하고,

상기 중간층 형성 단계는

상기 기관상에 회토류계 원소 산화물과 실리콘 산화물을 증착하고 500℃ 내지 2000℃의 온도 범위에서 열처리하여 회토류계 원소 실리케이트층을 형성하는 것을 특징으로 하는 반도체 제조 방법.

청구항 5

기관상에, 질화물 에피층과 격자 정합되도록 중간층을 형성하는 중간층 형성 단계; 및

상기 중간층에 상기 질화물 에피층을 형성하는 질화물 형성 단계를 포함하고,

상기 중간층 형성 단계는

(a) 상기 기관상에 실리콘 산화물 또는 실리콘 질화물을 증착하는 단계; 및

(b) 상기 (a) 단계에서 증착된 층에, 회토류계 원소 산화물을 증착하거나, 회토류계 원소 산화물과 실리콘 산화물을 함께 증착하고, 500℃ 내지 2000℃의 온도 범위에서 열처리하여 회토류계 원소 실리케이트층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 제조 방법.

청구항 6

제 3 항 내지 제 5 항 중 어느 한 항에 있어서, 상기 중간층 형성 단계는

스퍼터링 또는 CVD 방식으로 증착을 수행하는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 7

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 열처리는 1분 내지 2시간의 시간 범위에서 수행되는 것을 특징으로 하는 질화물 반도체 제조 방법.

청구항 8

제 3 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 기관은 실리콘 기판인 것을 특징으로 하는 반도체 제조 방법.

청구항 9

제 3 항 내지 제 5 항 중 어느 한 항의 질화물 반도체 제조 방법에 의해서 제조된 질화물 반도체.

청구항 10

삭제

청구항 11

반도체 제조용 기판;

상기 기판에 회토류계 원소 또는 회토류계 원소 산화물을 증착하고 열처리를 수행하여 형성된 실리케이트층인 중간층; 및

상기 중간층에 형성된 질화물 에피층을 포함하고,

상기 중간층은 상기 질화물 에피층과 서로 격자 정합되도록 형성된 것을 특징으로 하는 질화물 반도체.

청구항 12

반도체 제조용 기판;

상기 기판에 회토류계 원소 산화물과 실리콘 산화물을 증착하고 열처리를 수행하여 형성된 실리케이트층인 중간층; 및

상기 중간층에 형성된 질화물 에피층을 포함하고,

상기 중간층은 상기 질화물 에피층과 서로 격자 정합되도록 형성된 것을 특징으로 하는 질화물 반도체.

청구항 13

반도체 제조용 기판;

상기 기판상에 형성된 중간층; 및

상기 중간층에 형성된 질화물 에피층을 포함하고,

상기 중간층은

상기 기판에 증착된 실리콘 산화물층 또는 실리콘 질화물층, 및

상기 실리콘 산화물층 또는 상기 실리콘 질화물층에 회토류계 원소 산화물을 증착하고 열처리하여 생성된 회토류계 원소 실리케이트층으로 구성되어, 상기 질화물 에피층과 서로 격자 정합되도록 형성된 것을 특징으로 하는 질화물 반도체.

청구항 14

제 11 항 내지 제 13 항 중 어느 한 항에 있어서, 상기 기판은 실리콘 기판인 것을 특징으로 하는 질화물 반도체.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<6> 본 발명은 질화물 반도체 및 그 제조 방법에 관한 것이다. 구체적으로 본 발명은 질화물 반도체의 에피 성장이 용이하도록 중간층을 형성한 질화물 반도체 및 그 제조 방법에 관한 것이다.

<7> 질화물 반도체 소자는 보라색 또는 청색 발광 소자로 이용되고 있으며, 특히, 레이저 다이오드(Laser Diode; LD) 또는 발광 다이오드(Light Emitting Diode:LED) 등에 이용되고 있다. 질화물 반도체는 격자결합이 적을수록 발광 특성이 우수하고, 수명이 길어진다는 것이 익히 알려져 있으나, 종래의 질화물 반도체 소자는 3-5족 화

합물에 비해 이러한 격자 결함을 상당히 많이 포함하고 있다.

- <8> 종래기술에 따른 질화물 반도체의 단면을 도시한 도 1a 내지 도 1d 를 참조하여 그 이유를 설명하면 다음과 같다.
- <9> 3-5족 화합물 기판(10a)에서 호모 에피 성장을 하여 3-5족 화합물(20)을 형성하는 경우에는, 격자정합이 거의 동일하므로 격자 결함이 적은 에피 성장을 수행할 수 있으나, 질화물 반도체 제조 공정에서는 이러한 호모 에피 성장을 위한 질화물 기판의 제조가 매우 어렵다(도 1a 참조).
- <10> 따라서, 현재는 질화물 기판(10a) 대신 사파이어 기판 또는 SiC 기판(10b)상에 질화물(20)을 형성하여 질화물 반도체를 제조하고 있다(도 1b 참조). 그러나, 이러한 기판들(10b)과 질화물(20)간의 격자 상수의 차이로 인하여 기판위에 질화물을 에피 성장시킴에 있어 격자결합이 발생하거나, 기판(10b)과 질화물(20)간의 열팽창 계수의 차이로 인하여 질화물(20)의 에피 성장 후 온도 하강시에 기판(10b)과 질화물(20)간의 접합면에 결함이 발생하는 문제가 있을뿐만 아니라, 질화물 기판(10a), 사파이어 기판 또는 SiC 기판(10b)은 실리콘 기판과 같이 inch-up을 쉽게할 수 없는 문제점이 있다.
- <11> 이러한 문제점을 해결하기 위해서 최근에는 도 1c 및 도 1d 에 도시된 바와 같이, 실리콘 기판(10c) 위에서 질화물(20)을 성장시켜 생산성을 향상시키려는 노력이 경주되고 있으나, 실리콘 기판(10c)은 질화물(20)과 격자 상수 차가 클뿐만 아니라, 열팽창계수 차이 또한 커서, 실리콘 기판(10c) 상에서 질화물(20)을 성장시키는 것은 사파이어 기판등에서 질화물(20)을 성장시키는 것 보다 더 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <12> 본 발명이 이루고자 하는 기술적 과제는 종래 기술에 따라서 질화물 반도체를 제조할 때 발생하는 격자 결함을 최소화하고 생산성을 향상시킬 수 있는 질화물 반도체 제조 방법 및 그 방법으로 제조된 질화물 반도체를 제공하는 것이다.

발명의 구성 및 작용

- <13> 상술한 기술적 과제를 이루기 위하여, 본 발명은 질화물 반도체 제조용 기판과 질화물간의 격자 상수 차이 및 열팽창 계수 차이를 경감시키도록 기판 상에 격자 정합을 제어할 수 있는 중간층을 형성하고, 형성된 중간층상에 질화물을 에피 성장시킴으로써 제조된다. 다만, 이하에서는 반도체 제조용 기판으로서 실리콘 기판을 이용하여, 실리콘 기판위에 질화물 반도체를 제조하는 방법을 중심으로 본 발명의 기술적 사상을 설명하지만, 본 발명에서는 실리콘 기판 대신에 사파이어 기판 또는 SiC 기판이 이용될 수 도 있음을 주지하여야 한다.
- <14> 구체적으로, 상술한 기술적 과제를 이루기 위한 본 발명의 질화물 반도체 제조 방법은, 소정의 기판상에, 질화물 에피층과 격자 정합되도록 중간층을 형성하는 중간층 형성 단계; 및 중간층에 질화물 에피층을 형성하는 질화물 형성 단계를 기본적으로 포함한다.
- <15> 또한, 본 발명의 질화물 반도체 제조 방법은, 중간층 형성 단계에서 형성된 중간층에 소정의 식각 방법을 이용하여 표면처리하는 표면처리 단계를 더 포함하는 것이 바람직하고, 이 경우, 질화물 형성 단계는 표면처리 단계에서 표면처리된 중간층에 질화물 에피층을 형성된다.
- <16> 또한, 상술한 중간층 형성 단계는, 기판상에 희토류계 원소 산화물을 증착하고 소정 온도 범위에서 열처리하여 희토류계 원소 실리케이트층을 형성할 수 있다.
- <17> 또한, 상술한 중간층 형성 단계는, 기판상에 희토류계 원소 산화물과 실리콘 산화물을 증착하고 소정 온도 범위에서 열처리하여 희토류계 원소 실리케이트층을 형성할 수 있다.
- <18> 또한, 상술한 중간층 형성 단계는, (a) 기판상에 실리콘 산화물 또는 실리콘 질화물을 증착하는 단계; 및 (b) (a) 단계에서 증착된 층에, 희토류계 원소 산화물을 증착하거나, 희토류계 원소 산화물과 실리콘 산화물을 함께 증착하고, 소정 온도 범위에서 열처리하여 희토류계 원소 실리케이트층을 형성하는 단계를 포함할 수 있다.
- <19> 또한, 상술한 중간층 형성 단계는, 스퍼터링 또는 CVD 방식으로 증착을 수행할 수 있다.
- <20> 또한, 상술한 중간층 형성 단계는, 열처리하는 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간의 시간에서 수행될 수 있다.
- <21> 한편, 상술한 본 발명의 기술적 과제를 이루기 위한 본 발명의 질화물 반도체는, 반도체 제조용 기판; 기판상에

형성된 중간층; 및 중간층에 형성된 질화물 에피층을 포함하고, 중간층은 질화물 에피층과 서로 격자 정합되도록 형성된다.

- <22> 또한, 상술한 중간층은 기판에 회토류계 원소 또는 회토류계 원소 산화물을 증착하고 열처리를 수행하여 형성된 실리케이트층일 수 있다.
- <23> 또한, 상술한 중간층은 기판에 회토류계 원소 산화물과 실리콘 산화물을 증착하고 열처리를 수행하여 형성된 실리케이트층일 수 있다.
- <24> 또한, 상술한 중간층은 기판에 증착된 실리콘 산화물층 또는 실리콘 질화물층, 및 실리콘 산화물층 또는 실리콘 질화물층에 회토류계 원소 산화물을 증착하고 열처리하여 생성된 회토류계 원소 실리케이트층으로 구성될 수 있다.
- <25> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- <26> 도 2 는 본 발명에 따른 질화물 반도체의 구조를 개략적으로 도시하는 단면도이다. 도 2 를 참조하면, 본 발명의 질화물 반도체의 구조는 상술한 바와 같이, 실리콘 기판(100), 실리콘 기판(100)위에 형성된 중간층(200), 및 중간층(200) 위에 에피택시얼 성장된 질화물층(300)으로 구성된다.
- <27> 중간층(200)은 질화물의 에피택시얼 성장이 용이하도록, 실리콘 기판(100)상에 란타넘계열에 속하는 회토류계 원소(원자번호 57 란타넘(La)부터 원자번호 71 루테튬(Lu)) 또는 그 산화물들을 스퍼터링 또는 다양한 증착 방식에 의해서 증착하고, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간에서 열처리를 수행하여 형성된 회토류계 실리케이트층으로서, 실리콘 및 질화물에 각각 유사한 격자구조를 가지게 하거나 또는 amorphous 구조를 가지도록 제어될 수 있다. 즉, 중간층(200)은 적절한 물질 선정과 적절한 증착 방법 및 열처리에 의해 질화물 에피 성장에 적합한 층을 형성할 수 있다. 이렇게 적절히 선택된 중간층을 이용함으로써, 종래의 실리콘 기판등에 직접 질화물을 형성하여 제조된 질화물 반도체보다 격자 결함 및 열팽창 계수 차이로 인한 문제점이 현저하게 감소된 질화물 반도체를 얻을 수 있다.
- <28> 한편, 질화물층(300)은 회토류계 원소 실리케이트 상에 질화물을 MOCVD(Metal Organic Chemical Vapor Deposition) 방식을 이용하여 에피 성장시킨다.
- <29> 도 3a 내지 도 5b 는 본 발명의 바람직한 실시예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다. 먼저, 도 3a 및 도 3b를 참조하여 본 발명의 제 1 실시예에 따른 질화물 반도체 제조 방법을 설명한다.
- <30> 도 3a 를 참조하면, 제 1 실시예의 질화물 반도체 제조 방법은, 질화물 반도체 제조용 기판(100-1)으로서 (100)방향 또는 (111) 방향의 실리콘 웨이퍼를 준비한다. 그 후, 아르곤 분위기 또는 아르곤과 산소 분위기에서 실리콘 기판(100-1)상에 회토류계 원소 또는 회토류계 원소 산화물을 스퍼터링 방법으로 10nm 이상의 두께로 증착하여 회토류계 원소(산화물)층(200-1a)을 형성한 후, 500℃ 내지 2000℃의 온도 범위에서 1분 내지 2시간 동안 열처리를 수행하여 회토류계 원소 실리케이트층(200-1b)을 형성한다.
- <31> 회토류계 원소 실리케이트층(200-1b)이 형성되면, 질화물의 에피택시얼 성장이 용이하도록 실리케이트층(200-1b) 표면에 건식 식각 또는 습식 식각 방식으로 표면처리를 수행하고, 그 위에 MOCVD(Metal Organic Chemical Vapor Deposition) 방식으로 질화물 에피택시얼층(300-1)을 성장시켜 질화물 반도체를 제조한다.
- <32> 도 3b 는 도 3a 의 제 1 실시예에 따라서 회토류계 원소인 세륨을 이용하여 제조된 질화물 반도체의 일 예를 도시한 도면이다. 도 3b 를 참조하면, 먼저, 실리콘 기판(100-1) 상에 세륨 산화물(CeO₂:200-1a)을 증착하고, 급속 램프 열처리(Rapid Lamp Heating:RLH)방식과 같은 급속열처리 방법으로 1100℃ 내지 1200℃에서 1분 내지 30분간 열처리하여 세륨 실리케이트층(200-1b)을 실리콘 기판(100-1)위에 형성한 후, 실리케이트층(200-1b) 표면을 적절한 식각 방식(습식 식각 또는 건식 식각)으로 표면 처리를 수행한 후, MOCVD 방식으로 실리케이트층(200-1b)위에 갈륨 질화물을 에피 성장시켜 질화물 에피층(300-1)을 형성하였다.
- <33> 도 3b 의 하단에 세륨 실리케이트층(200-1b)의 박막 계면을 고배율 투과 현미경으로 관측한 사진을 도시하였다. 증착 두께는 약 10nm 이상이며, 세륨 산화물 증착 직후에는 세륨 실리케이트 결정이 발견되지 않았으나 1100℃ 내지 1200℃에서 1분 내지 30분간 열처리 후 세륨 실리케이트 중 Ce_{4.667}(SiO₄)₃O가 관측되었다. 이렇게 형성된 Ce_{4.667}(SiO₄)₃O는 Hexagonal 구조를 가지므로, 실리콘 기판에 비하여 질화물층의 wurtzite 격자 구조에 격자 정합이 용이하다. 또한, 세륨 실리케이트층과 질화물층간의 열팽창 계수의 차이가 실리콘 기판과 질화물간의 열팽창 계수의 차이보다 작으므로 열팽창 계수의 차이로 인한 접합면 결함의 문제점도 해결할 수 있다.

- <34> 도 4a 및 도 4b 는 본 발명의 바람직한 제 2 실시예에 따른 질화물 반도체 제조 방법을 설명한다. 도 4a 에 도시된 제 2 실시예는 도 3a 에 도시된 제 1 실시예와 그 처리 과정은 거의 동일하다.
- <35> 다만, 제 2 실시예는 아르곤 분위기 또는 아르곤과 산소 분위기에서 실리콘 기판(100-2)상에 희토류계 원소 산화물과 함께 실리콘 산화물을 스퍼터링 방법으로 10nm 이상의 두께로 증착하여 희토류계 원소(산화물)층(200-2a)을 형성한 후, 500℃ 내지 2000℃에서 1분 내지 2시간 열처리를 수행하여 실리케이트층(200-2b)을 형성하고, 실리케이트층(200-2b)에 제 1 실시예와 동일한 방식으로 질화물 에피층(300-2)을 형성한다.
- <36> 도 4b 는 도 4a 의 제 2 실시예에 따라서 희토류계 원소인 세륨 산화물 및 실리콘 산화물을 이용하여 실리케이트층(200-2b)을 형성하여 제조된 질화물 반도체의 일 예를 도시한 도면이다.
- <37> 도 4b 를 참조하면, 스퍼터링에 의해 실리콘 기판(100-2) 상에 세륨 산화물(CeO_2)과 실리콘 산화물(SiO_2)을 동시 증착하고, 급속열처리 방법으로 1100℃ 내지 1200℃에서 1분 내지 30분간 열처리하여 세륨 산화물과 실리콘 산화물로 구성된 실리케이트층(200-2b)을 실리콘 기판(100-2)위에 형성하고, 실리케이트층(200-2b) 표면을 적절한 식각 방식(습식 식각 또는 건식 식각)으로 표면 처리를 수행한 후, MOCVD 방식으로 실리케이트층(200-2b)위에 갈륨 질화물을 에피 성장시켜 질화물 에피층(300-2)을 형성하였다.
- <38> 도 4b의 하단에, 실리케이트층(200-2b)의 박막 계면을 고배율 투과 현미경으로 관측한 사진을 도시하였다. 실리케이트층(200-2b)의 증착 두께는 약 10nm 이상이며, 1100℃ 내지 1200℃에서 1분 내지 30분간 열처리 후 세륨 실리케이트 중 $Ce_{4.667}(SiO_4)_3O$ 와 $Ce_2Si_2O_7$ 관측되었다. 이렇게 형성된 $Ce_{4.667}(SiO_4)_3O$ 는 Hexagonal 구조이며 $Ce_2Si_2O_7$ 는 Orthorhombic구조를 가지므로, 실리콘 기판에 비하여 질화물층의 wurtzite 격자 구조에 격자 정합이 용이하다. 또한, 제 1 실시예와 마찬가지로 세륨 실리케이트층과 질화물층간의 열팽창 계수의 차이가 실리콘 기판과 질화물간의 열팽창 계수의 차이보다 작으므로 열팽창 계수의 차이로 인한 접합면 결함의 문제점도 해결할 수 있다.
- <39> 도 5a 및 도 5b 는 본 발명의 바람직한 제 3 실시예에 따른 질화물 반도체 제조 방법을 설명한다. 도 5a 를 참조하면, 제 3 실시예에 따른 질화물 반도체 제조 방법은 제 1 실시예와 마찬가지로 실리콘 기판(100-3)으로 (100)방향 또는 (111) 방향의 실리콘 웨이퍼를 준비한다. 그 후, 아르곤 분위기 또는 아르곤과 산소 분위기에서 실리콘 기판(100-3)상에 실리콘 산화물(SiO_2) 또는 실리콘 질화물(Si_3N_4)을 스퍼터링 방식 또는 CVD 방식으로 10nm 이상의 두께로 증착하여 실리콘 산화물층(200-3a) 또는 실리콘 질화물층(200-3a)을 형성한다. 그 후, 실리콘 산화물층(200-3a) 또는 실리콘 질화물층(200-3a)위에, 희토류계 원소 산화물만을 증착하거나, 희토류계 원소 산화물과 실리콘 산화물을 함께 아르곤 분위기 또는 아르곤과 산소 분위기에서 증착하여 희토류계 원소 산화물층(200-3b)을 형성한 후, 500℃ 내지 2000℃에서 1분 내지 2시간 열처리를 수행하여 희토류계 원소 실리케이트층(200-3c)을 형성한다.
- <40> 희토류계 원소 실리케이트층(200-3c)이 형성되면, 제 1 및 제 2 실시예와 동일한 방식으로, 질화물의 에피택시얼 성장이 용이하도록 실리케이트층(200-3c) 표면에 건식 식각 또는 습식 식각 방식으로 표면처리를 수행하고, 그 위에 MOCVD(Metal Organic Chemical Vapor Deposition) 방식으로 질화물을 에피택시얼 성장시켜 질화물 에피층(300-3)을 형성하여 질화물 반도체를 제조한다.
- <41> 도 5b 는 도 5a 의 제 3 실시예에 따라서 희토류계 원소인 세륨 실리케이트층(200-3c)을 형성하여 제조된 질화물 반도체의 일 예를 도시한 도면이다. 도 5b 를 참조하면, 먼저, 실리콘 기판(100-3)상에 실리콘 산화물(SiO_2)을 10nm 이상 두께로 증착한 후, 그 위에 세륨 산화물(CeO_2)을 아르곤 분위기 또는 아르곤 산소 분위기에서 증착한다. 그 후, 급속열처리 방법으로 1100℃ 내지 1200℃에서 1분 내지 30분간 열처리하여 세륨 실리케이트층(200-3c)을 형성하고 실리케이트층(200-3c) 표면을 적절한 식각 방식(습식 식각 또는 건식 식각)으로 표면 처리를 수행한 후, MOCVD 방식으로 실리케이트층(200-3c)위에 갈륨 질화물을 에피 성장시켜 질화물 에피층(300-3)을 형성하였다.
- <42> 도 5b 의 하단에 세륨 실리케이트층(200-3c)의 박막 계면을 고배율 투과 현미경으로 관측한 사진을 도시하였다. 세륨 산화물의 증착 두께는 약 10nm 이상이며, 1100℃ 열처리 후 세륨 실리케이트 중 $Ce_2Si_2O_7$ 관측되었다. 이렇게 형성된 $Ce_2Si_2O_7$ 는 Orthorhombic구조를 가지므로, 실리콘 기판에 비하여 질화물층의 wurtzite 격자 구조에 격자 정합이 용이하다. 또한, 상술한 제 1 및 제 2 실시예와 마찬가지로 세륨 실리케이트층과 질화물층간의 열팽창 계수의 차이가 실리콘 기판과 질화물간의 열팽창 계수의 차이보다 작으므로 열팽창 계수의 차이로 인한 접

합면 결함의 문제점도 해결할 수 있다.

<43> 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

발명의 효과

<44> 상술한 바와 같이, 본 발명의 질화물 반도체 제조 방법은, 격자 상수 차이 및 열팽창 계수 차이가 큰 반도체 제조용 기판과 질화물층 사이에, 질화물의 격자 구조와 격자 정합이 용이해지도록 격자 구조를 제어할 수 있는 중간층을 형성함으로써 질화물 성장시 발생하는 격자 결함을 억제할 수 있는 효과가 있다.

<45> 또한, 이러한 중간층과 질화물간의 열팽창 계수의 차이는 종래의 실리콘 기판등과 질화물간의 열팽창 계수의 차이보다 작으므로 접합면의 결함을 해결하는 효과가 있다.

<46> 상술한 바와 같이, 본 발명은 격자 결함 발생 문제 및 열팽창 계수 차이로 인한 접합면의 결함을 해결함으로써, 종래의 질화물 기판 또는 사파이어 기판등보다 사이즈가 큰 실리콘 기판을 질화물 반도체 기판으로서 사용할 수 있고, 따라서 질화물 반도체의 생산성을 현저하게 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1d 는 종래 기술에 따라서 제조된 질화물 반도체 소자의 단면도이다.

<2> 도 2 는 본 발명에 따른 질화물 반도체의 구조를 개략적으로 도시하는 단면도이다.

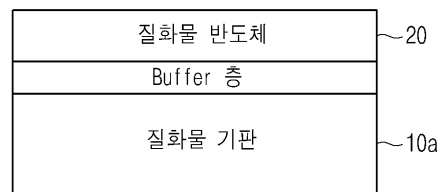
<3> 도 3a 및 도 3b 는 본 발명의 바람직한 제 1 실시 예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다.

<4> 도 4a 및 도 4b 는 본 발명의 바람직한 제 2 실시 예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다.

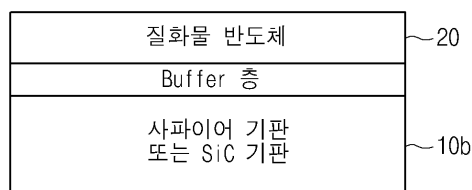
<5> 도 5a 및 도 5b 는 본 발명의 바람직한 제 3 실시 예에 따른 질화물 반도체 제조 방법을 설명하는 도면이다.

도면

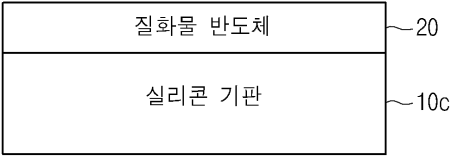
도면1a



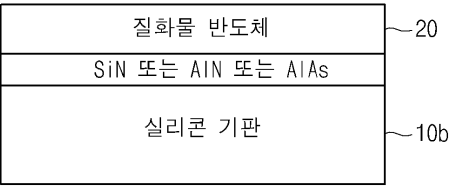
도면1b



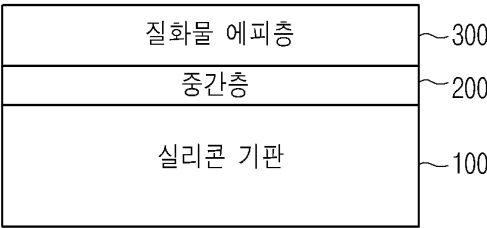
도면1c



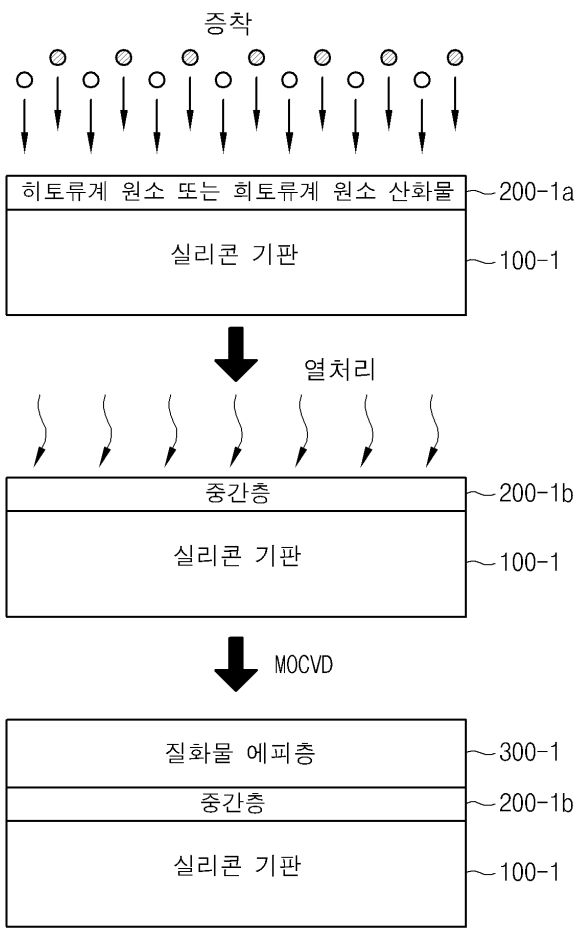
도면1d



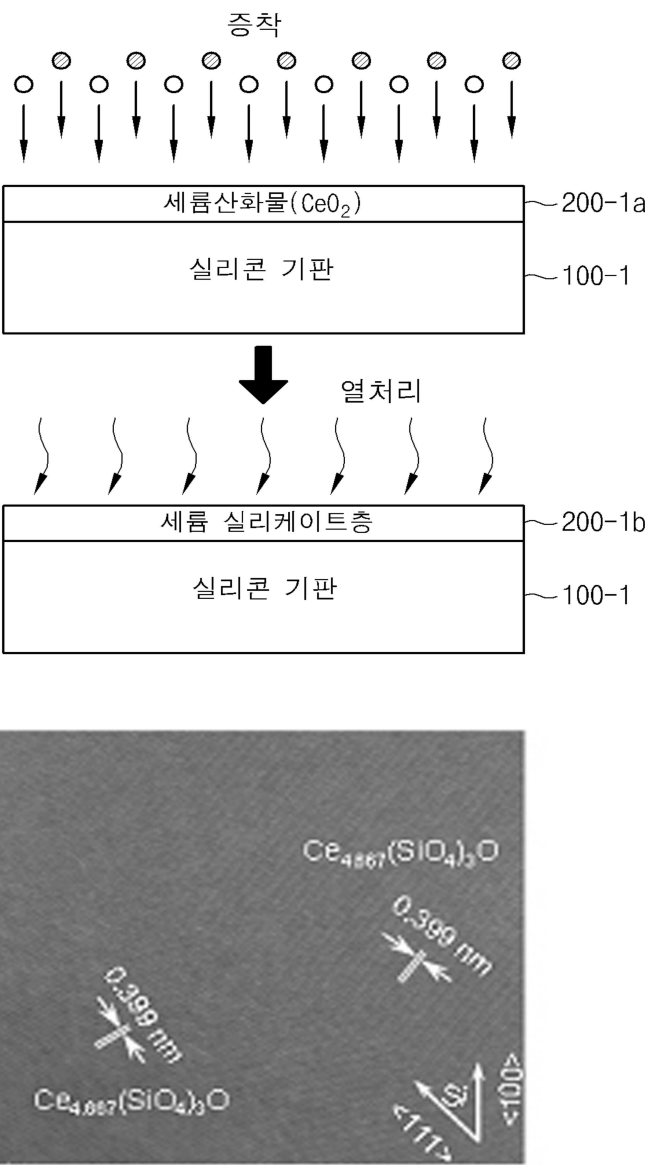
도면2



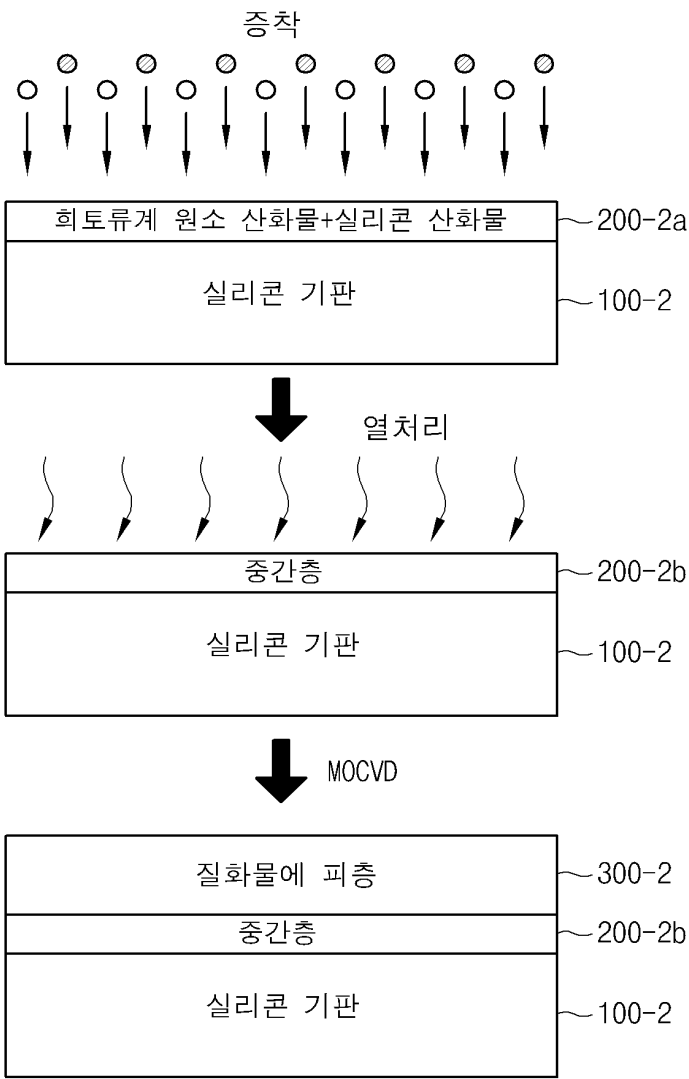
도면3a



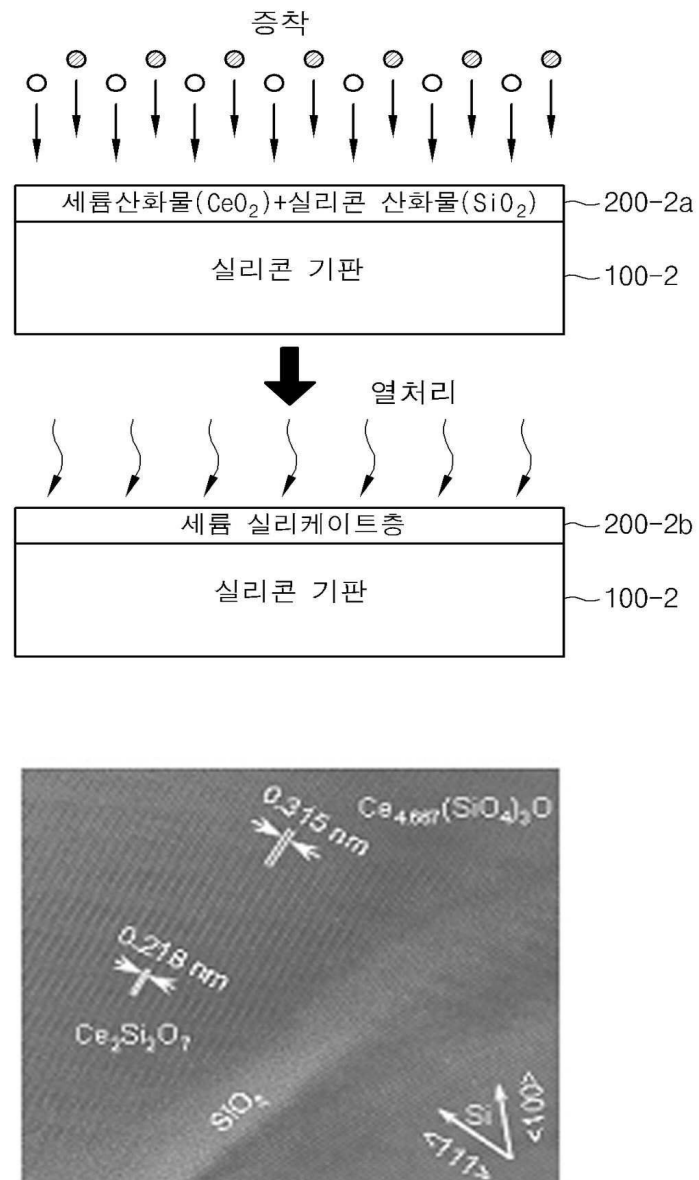
도면3b



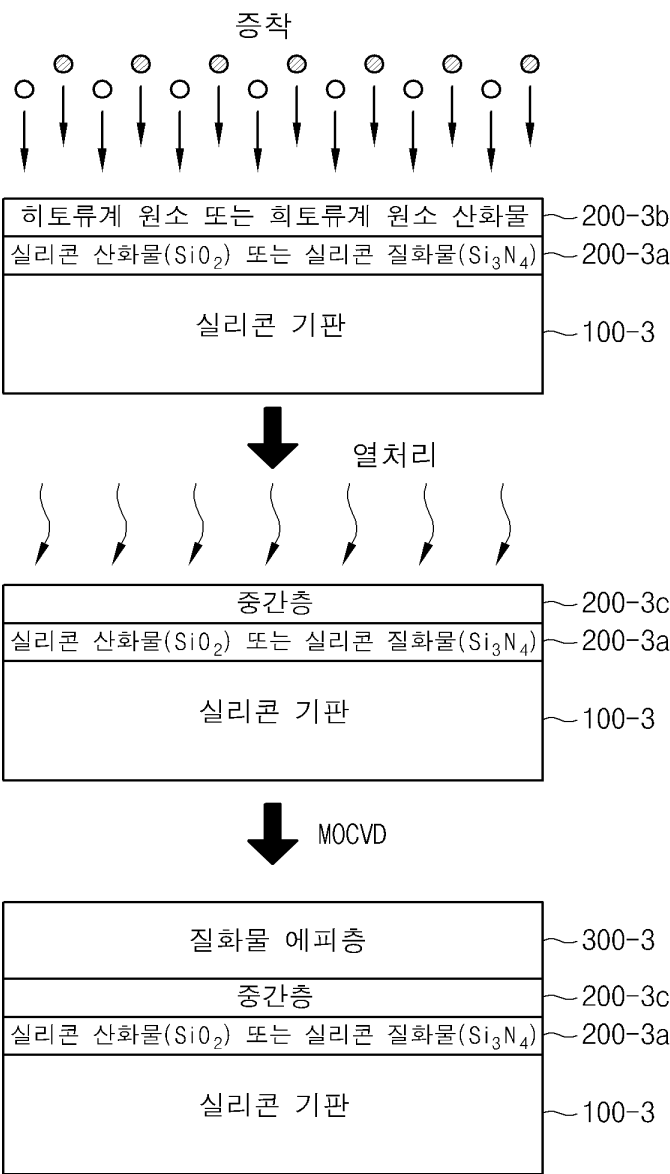
도면4a



도면4b



도면5a



도면5b

