

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5991739号
(P5991739)

(45) 発行日 平成28年9月14日 (2016. 9. 14)

(24) 登録日 平成28年8月26日 (2016. 8. 26)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

H O 1 L 27/14 (2006. 01)

H O 1 L 27/14 D

H O 4 N 5/369 (2011. 01)

H O 4 N 5/335 6 9 0

請求項の数 17 (全 16 頁)

(21) 出願番号 特願2012-136305 (P2012-136305)
 (22) 出願日 平成24年6月15日 (2012. 6. 15)
 (65) 公開番号 特開2014-3099 (P2014-3099A)
 (43) 公開日 平成26年1月9日 (2014. 1. 9)
 審査請求日 平成27年6月15日 (2015. 6. 15)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康德
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置およびその製造方法、ならびにカメラ

(57) 【特許請求の範囲】

【請求項 1】

光電変換部を有する画素領域と、前記画素領域の少なくとも一部を取り囲むように配置された周辺回路領域と、前記画素領域と前記周辺回路領域との間に配置された中間領域とが半導体基板に配された固体撮像装置の製造方法であって、

前記画素領域の上に第1膜が位置した状態で、前記周辺回路領域の活性領域の上および前記中間領域の上に金属化合物を形成する工程と、

前記金属化合物を形成する工程の後に、前記画素領域、前記周辺回路領域および前記中間領域の上に第2膜を形成する工程と、

前記周辺回路領域および前記中間領域の上に前記第2膜が残るように、前記第2膜のうちの前記画素領域の上に位置する部分を除去する工程と、

前記周辺回路領域および前記中間領域の上に前記第2膜が位置した状態で、前記画素領域、前記周辺回路領域および前記中間領域の上に層間絶縁膜を形成する工程と、

前記画素領域の上において前記層間絶縁膜および前記第1膜に形成された第1コンタクトホールと、前記周辺回路領域の前記金属化合物の上において前記層間絶縁膜および前記第2膜に形成された第2コンタクトホールと、のそれぞれの中にコンタクトプラグを形成する工程と、を有し、

前記第1膜は、前記画素領域の前記光電変換部と前記層間絶縁膜との間に位置する部分を有し、

前記中間領域の上に形成された前記金属化合物は前記周辺回路領域の前記金属化合物か

10

20

ら離れて形成されており、前記コンタクトプラグを形成する工程では、前記中間領域の上に形成された前記金属化合物の上にコンタクトホールを形成しないことを特徴とする固体撮像装置の製造方法。

【請求項 2】

前記金属化合物がシリサイドであり、前記第 1 膜が窒化シリコン膜であり、前記第 2 膜が窒化シリコン膜であることを特徴とする請求項 1 に記載の固体撮像装置の製造方法。

【請求項 3】

前記画素領域の光電変換部に光を導く導波路を前記層間絶縁膜に形成する工程を更に有し、

前記第 2 膜のうちの前記画素領域の上に位置する部分を除去する工程は、前記第 2 膜のうちの前記光電変換部の上に位置する部分が残るように行われ、

前記導波路を形成する工程は、前記第 2 膜の前記光電変換部の上に残った前記部分をエッチングストップ膜として用いて、前記層間絶縁膜に前記導波路が設けられる開口を形成する工程を含む、ことを特徴とする請求項 1 又は 2 に記載の固体撮像装置の製造方法。

【請求項 4】

前記第 1 膜をエッチングストップ膜として用いて前記層間絶縁膜および前記第 1 膜に前記第 1 コンタクトホールを形成した後に、前記第 2 膜をエッチングストップ膜として用いて前記層間絶縁膜および前記第 2 膜に前記第 2 コンタクトホールを形成することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の固体撮像装置の製造方法。

【請求項 5】

画素領域と、前記画素領域の少なくとも一部を取り囲むように配置された周辺回路領域と、前記画素領域と前記周辺回路領域との間に配置された中間領域とが半導体基板に配された固体撮像装置の製造方法であって、

前記画素領域の活性領域の上に第 1 膜が位置した状態で、前記周辺回路領域の活性領域および前記中間領域の活性領域に金属化合物を形成する工程と、

前記金属化合物を形成する工程の後に、前記画素領域の前記活性領域、前記周辺回路領域の前記活性領域および前記中間領域の前記活性領域の上に第 2 膜を形成する工程と、

前記周辺回路領域の前記活性領域および前記中間領域の前記活性領域の上に前記第 2 膜が残るように、前記第 2 膜のうちの前記画素領域の前記活性領域の上に位置する部分を除去する工程と、

前記周辺回路領域の前記活性領域および前記中間領域の前記活性領域の上に前記第 2 膜が位置した状態で、前記画素領域、前記周辺回路領域および前記中間領域の上に層間絶縁膜を形成する工程と、

前記第 2 膜をエッチングストップ膜として用いて前記層間絶縁膜および前記第 2 膜にコンタクトホールを形成し、前記コンタクトホールの中に、前記周辺回路領域の前記活性領域の前記金属化合物に接触するコンタクトプラグを形成する工程と、を有し、

前記画素領域と前記中間領域との間に、前記画素領域に配されるウエルに基準電圧を供給するためのコンタクト領域が配され、

前記除去する工程では、前記第 2 膜のうちの前記コンタクト領域の上に位置する部分を除去することを特徴とする固体撮像装置の製造方法。

【請求項 6】

画素領域と、前記画素領域の周囲に配置された周辺回路領域と、前記画素領域と前記周辺回路領域との間に配置された中間領域とが配された半導体基板、および、前記画素領域と、前記周辺回路領域と、前記中間領域とを覆う層間絶縁膜を有する固体撮像装置であって、

前記画素領域は光電変換部及び第 1 半導体領域を有し、前記周辺回路領域は第 2 半導体領域を有し、前記中間領域は第 3 半導体領域を有し、

前記光電変換部と前記層間絶縁膜との間および前記第 1 半導体領域と前記層間絶縁膜との間には、第 1 膜が配置され、かつ、前記第 1 半導体領域の上には第 1 コンタクトプラグが配置され、

10

20

30

40

50

前記第 2 半導体領域と前記層間絶縁膜との間には第 1 金属化合物領域が配置され、
前記第 3 半導体領域と前記層間絶縁膜との間には前記第 1 金属化合物領域から離れた第
2 金属化合物領域が配置され、

前記第 1 金属化合物領域と前記層間絶縁膜との間には第 2 膜が配置され、かつ、前記第
1 金属化合物領域の上には第 2 コンタクトプラグが配置され、

前記第 1 膜は、前記第 2 膜に重なる第 1 部分と前記第 2 膜に重ならない第 2 部分とを有
し、前記第 1 コンタクトプラグは前記層間絶縁膜および前記第 1 膜の前記第 2 部分を通っ
て前記第 1 半導体領域に接続されており、

前記第 2 膜は、前記第 1 膜に重なる第 3 部分と前記第 1 膜に重ならない第 4 部分とを有
し、前記第 2 コンタクトプラグは前記層間絶縁膜および前記第 2 膜の前記第 4 部分を通っ
て前記第 1 金属化合物領域に接続されており、

前記層間絶縁膜が前記第 2 金属化合物領域に接しないように、前記第 2 金属化合物領域
と前記層間絶縁膜との間には前記第 2 膜が配置され、かつ、前記第 2 金属化合物領域の上
には前記層間絶縁膜を通るコンタクトプラグが配置されていない、

ことを特徴とする固体撮像装置。

【請求項 7】

前記第 1 金属化合物領域および前記第 2 金属化合物領域がシリサイドを含み、前記第 2
膜の前記第 3 部分は、前記第 1 膜の前記第 1 部分と前記層間絶縁膜との間に位置すること
を特徴とする請求項 6 に記載の固体撮像装置。

【請求項 8】

前記第 1 金属化合物領域はポリシリコンパターンの上に配置されている、

ことを特徴とする請求項 6 又は 7 に記載の固体撮像装置。

【請求項 9】

前記画素領域と前記中間領域との間に、前記画素領域に設けられた半導体層の電位を固
定するための第 4 半導体領域を有する領域が配置され、

前記第 4 半導体領域には前記層間絶縁膜および前記第 1 膜を通して第 3 コンタクトプラ
グが接続されている、

ことを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の固体撮像装置。

【請求項 10】

前記第 2 膜は前記第 3 コンタクトプラグから離れている、

ことを特徴とする請求項 9 に記載の固体撮像装置。

【請求項 11】

前記画素領域と前記第 1 膜との間に第 3 膜が配置されており、

前記第 1 コンタクトプラグは前記第 3 膜を通して前記第 1 半導体領域に接続されており

、

前記第 3 膜は前記第 3 コンタクトプラグから離れている、

ことを特徴とする請求項 9 または 10 に記載の固体撮像装置。

【請求項 12】

前記画素領域に配置された光電変換部に光を導く導波路が設けられており、前記第 1 膜
と前記層間絶縁膜との間に配置された膜が、前記導波路に接するように前記第 1 膜と前記
導波路との間に位置している、

ことを特徴とする請求項 6 乃至 11 のいずれか 1 項に記載の固体撮像装置。

【請求項 13】

前記第 2 膜が窒化シリコン膜である、

ことを特徴とする請求項 6 乃至 12 のいずれか 1 項に記載の固体撮像装置。

【請求項 14】

前記第 1 膜が酸化シリコン膜である、

ことを特徴とする請求項 6 乃至 13 のいずれか 1 項に記載の固体撮像装置。

【請求項 15】

前記第 2 半導体領域と前記第 2 膜との間に酸化シリコンからなる第 4 膜が配置されてい

10

20

30

40

50

る、

ことを特徴とする請求項 6 乃至 14 のいずれか 1 項に記載の固体撮像装置。

【請求項 16】

前記金属化合物を形成する工程の前に、前記画素領域、前記周辺回路領域および前記中間領域の上に絶縁膜を形成する工程と、

前記絶縁膜をエッチングすることで、前記絶縁膜から、前記第 1 膜と、前記周辺回路領域のポリシリコンパターンの側面にスペーサと、を形成する工程と、を有し、

前記金属化合物を形成する工程では、前記ポリシリコンパターンの上に金属化合物を形成する、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の固体撮像装置の製造方法。

10

【請求項 17】

請求項 6 乃至 15 のいずれか 1 項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理する処理部と、

を備えることを特徴とするカメラ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置およびその製造方法、ならびにカメラに関する。

【背景技術】

【0002】

20

特許文献 1 には、周辺回路部のゲート電極、ソース領域およびドレイン領域をシリサイド化する一方で、画素部のゲート電極、ソース領域およびドレイン領域をシリサイド化しない方法が記載されている。特許文献 2 にも同様の方法が記載されている。周辺回路部のゲート電極、ソース領域およびドレイン領域をシリサイド化することにより周辺回路部の MOS トランジスタの動作を高速化することができる。一方、画素部のゲート電極、ソース領域およびドレイン領域をシリサイド化しないことにより、白キズや暗電流の増加を抑えることができる。

【先行技術文献】

【特許文献】

【0003】

30

【特許文献 1】特開 2010 - 56515 号公報

【特許文献 2】特開 2011 - 243474 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1、2 には、周辺回路部（周辺回路領域）と画素部（画素領域）との間の境界ないしは中間領域をどのように設計するかに対する考慮がない。

【0005】

本発明者等は、周辺回路部（周辺回路領域）と画素部（画素領域）との間の境界ないしは中間領域において、製造工程中にシリサイドが露出し、このシリサイドが剥離してパーティクルとなる場合があることを見出した。これは歩留まりを低下させる原因となる。

40

【0006】

本発明は、上記の課題認識を契機としてなされたものであり、歩留まりの向上に有利な技術を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明の 1 つの側面は、光電変換部を有する画素領域と、前記画素領域の少なくとも一部を取り囲むように配置された周辺回路領域と、前記画素領域と前記周辺回路領域との間に配置された中間領域とが半導体基板に配された固体撮像装置の製造方法であって、前記画素領域の上に第 1 膜が位置した状態で、前記周辺回路領域の活性領域の上および前記中

50

間領域の上に金属化合物を形成する工程と、前記金属化合物を形成する工程の後に、前記画素領域、前記周辺回路領域および前記中間領域の上に第2膜を形成する工程と、前記周辺回路領域および前記中間領域の上に前記第2膜が残るように、前記第2膜のうちの前記画素領域の上に位置する部分を除去する工程と、前記周辺回路領域および前記中間領域の上に前記第2膜が位置した状態で、前記画素領域、前記周辺回路領域および前記中間領域の上に層間絶縁膜を形成する工程と、前記画素領域の前記半導体領域の上において前記層間絶縁膜および前記第1膜に形成された第1コンタクトホールと、前記周辺回路領域の前記金属化合物の上において前記層間絶縁膜および前記第2膜に形成された第2コンタクトホールと、のそれぞれの中にコンタクトプラグを形成する工程と、を有し、前記第1膜は、前記画素領域の光電変換部と前記層間絶縁膜との間に位置する部分を有し、前記中間領域の上に形成された前記金属化合物は前記周辺回路領域の前記金属化合物から離れて形成されており、前記コンタクトプラグを形成する工程では、前記中間領域の上に形成された前記金属化合物の上にコンタクトホールを形成しないことを特徴とする。

10

【発明の効果】

【0008】

本発明によれば、歩留まりの向上に有利な技術が提供される。

【図面の簡単な説明】

【0009】

【図1】本発明の1つの実施形態の固体撮像装置の構成を模式的に示す平面図。

【図2】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

20

【図3】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図4】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図5】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図6】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図7】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図8】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図9】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図10】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図11】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図12】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

30

【図13】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図14】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図15】本発明の1つの実施形態の固体撮像装置の製造方法を説明するための断面図。

【図16】比較例を示す図。

【発明を実施するための形態】

【0010】

以下、添付図面を参照しながら本発明の実施形態を説明する。以下では、トランジスタの動作を高速にするためにシリサイドを用いる場合を例に説明する。しかしながら、本発明はこれに限定されるものではなく、活性領域を構成する材料と高融点金属との化合物（高融点金属化合物）が形成されていればよい。活性領域を構成する半導体材料の例としては、シリコン、ガリウムヒ素などが考えられ、高融点金属としては、コバルト、タングステン、チタンなどがある。また、エッチングストップ膜に関して、エッチングストップ膜でエッチングが停止する場合を例に説明するが、完全に停止しなくても、被エッチング膜に対してエッチングレートが低い膜を設けてエッチング速度を落とすものであればよい。

40

【0011】

図1は、本発明の1つの実施形態の固体撮像装置ISの構成を模式的に示す平面図である。固体撮像装置ISは、画素領域10、中間領域30および周辺回路領域40を含み、画素領域10、中間領域30および周辺回路領域40は、半導体基板に配されている。ここで、画素領域10は、複数の画素が複数の行および複数の列を構成するように配列された領域である。各画素は、光電変換部を含む。各画素は、その他、フローティングディフ

50

ュージョン、転送ゲート、増幅トランジスタ、リセットトランジスタを含みうる。転送ゲートは、光電変換素部で発生した電荷をフローティングディフュージョンに転送するチャネルを形成する。増幅トランジスタは、フローティングディフュージョンの電位に応じた信号を列信号線に出力する。リセットトランジスタは、フローティングディフュージョンの電位をリセットする。フローティングディフュージョン、増幅トランジスタおよびリセットトランジスタは、複数の画素で共有されてもよい。各画素の選択動作に関しては選択トランジスタを設けてもよいし、リセットトランジスタによりフローティングディフュージョンの電位を切り替えて選択、非選択状態を実現する構成でもよい。

【0012】

周辺回路領域40は、画素領域10の周囲に配置された領域であり、周辺回路領域40には、画素領域10に配置された画素の動作を制御する回路、画素から読み出された信号を処理する回路などが配置されうる。より具体的には、周辺回路領域40には、例えば、垂直走査回路31、水平走査回路32、列アンプ33、列AD変換器34、メモリ35、タイミング生成回路36、パッド部37が配置されうる。垂直走査回路31は、画素領域10における行を選択する。列アンプ33は、画素領域10の列信号線に出力される信号を増幅する。列AD変換器34は、列アンプ33から出力されるアナログの画素信号をデジタル信号に変換する。メモリ35は、列AD変換器34から出力されるデジタルのアナログ信号を保持する。水平走査回路32は、メモリに保持された信号を選択して読み出す。タイミング生成回路36は、垂直走査回路31、水平走査回路32、列アンプ33、列AD変換器34、メモリ35を制御する信号を生成する。

【0013】

中間領域30は、画素領域10と周辺回路領域40との間に配置された領域である。中間領域30には、回路素子が配置されず、したがって、コンタクトプラグも配置されない。画素領域10と中間領域30の間には、画素領域10に配置された半導体層の電位の変動を抑制し、望ましくは電位を固定するためのコンタクトプラグが配置されたコンタクト領域20が配置されうる。より具体的には、該半導体層は、画素のトランジスタのチャネル部を提供するウエルである。コンタクト領域20はウエルに基準電圧を供給することにより、ウエルの電位の変動を抑制している。

【0014】

画素領域10、コンタクト領域20、中間領域30および周辺回路領域40には、活性領域が形成されている。画素領域10の活性領域およびコンタクト領域20の活性領域にはシリサイドが形成されず、周辺回路領域40の活性領域および中間領域30の活性領域にはシリサイドが形成されている。周辺回路領域40の活性領域は、エッチングストップ膜で覆われ、かつ、該エッチングストップ膜に形成された開口を通してコンタクトプラグが接続されている。中間領域30の活性領域は、その全体がエッチングストップ膜で覆われている。

【0015】

図15は、固体撮像装置ISの構成を示す模式的な断面図である。固体撮像装置ISは、第1導電型の不純物半導体領域151、152を有する半導体基板SBに形成されている。なお、図15および後に参照する図2～図14では、半導体基板SBの一部が示されている。

【0016】

半導体基板SBには、MOSトランジスタなどの素子を相互に分離するための素子分離105が形成されている。素子分離105は、STI又はLOCOSでありうる。半導体基板SBの表面のうち素子分離105が存在しない領域が活性領域であり、前述のように、画素領域10、コンタクト領域20、中間領域30および周辺回路領域40のそれぞれに活性領域が存在する。

【0017】

画素領域10は、埋め込み半導体層101、光電変換部を構成する半導体領域103、フローティングディフュージョン104および半導体領域102を含みうる。半導体領域

１０３およびフローティングディフュージョン１０４は、第１導電型の半導体領域で構成されうる。埋め込み半導体層１０１および半導体領域１０２は、第２導電型の半導体領域で構成されうる。ここで、第１導電型および第２導電型は、相互に異なる導電型である。第１導電型がｎ型である場合には第２導電型がｐ型であり、第１導電型がｐ型である場合には第２導電型がｎ型である。

【００１８】

画素領域１０には、複数のゲート電極１６１が配置されている。複数のゲート電極１６１は、例えば、転送ゲート電極、増幅トランジスタのゲート電極、リセットトランジスタのゲート電極を含みうる。複数のゲート電極１６１の上には絶縁膜１４１が配置されうる。絶縁膜１４１は、酸化シリコン膜でありうる。ゲート電極１６１は、ポリシリコンパターン１１３で構成されうる。

10

【００１９】

画素領域１０の活性領域、ゲート電極１６１および素子分離１０５は、絶縁膜１１８で覆われうる。絶縁膜１１８は、絶縁膜１１９で覆われうる。絶縁膜１１８は、窒化シリコン膜でありうる。絶縁膜１１９は、酸化シリコン膜でありうる。半導体領域（光電変換部）１０３が配置された領域では、絶縁膜１１９の上にエッチングストップ膜１１６が配置されうる。エッチングストップ膜１１６および絶縁膜１１９は、層間絶縁膜１２０で覆われている。層間絶縁膜１２０の上には、配線構造ＷＳが配置されている。配線構造ＷＳは、配線層１７１、１７３、ビア１７２および層間絶縁膜を含む。該層間絶縁膜は、例えば、絶縁膜１２１、１２２の積層構造を有しうる。絶縁膜１２１、１２２は、それぞれ、窒化シリコン膜、酸化シリコン膜でありうる。各配線層の配線を構成する材料は、好ましくは銅である。この場合には、ビア１７２についても、配線材料である銅を用いてデュアルダマシン法で構成することもできる。配線層の数に関して、図では画素領域１０、周辺回路領域４０ともに２層の例を示しているが、更に多層の配線層を設けてもよい。更に、画素領域１０と周辺回路領域４０とで配線層の数を変えてもよい。好ましくは周辺回路領域４０の配線層数が画素領域１０に比べて多くされる。

20

【００２０】

半導体領域（光電変換部）１０３の上には、半導体領域１０３に光を導く導波路１８１が配置されうる。導波路１８１は、エッチングストップ膜１１６のうち画素領域１０に配置されたパターンでエッチングが停止するように配線構造ＷＳ、層間絶縁膜１２０にエッチングによって導波路開口を形成する工程と、該導波路開口に絶縁体を充填する工程とを経て形成されうる。エッチングストップ膜１１６の前記パターンは、その一部の領域が導波路１８１の下面に接し、他の一部の領域が層間絶縁膜１２０に接している。導波路開口に絶縁体を充填する際に、該導波路開口以外の領域にも絶縁膜１２３が形成されうる。導波路１８１および絶縁膜１２３は、例えば、窒化シリコンで構成されうる。

30

【００２１】

コンタクト領域２０は、第２導電型の半導体領域１１０と、半導体領域１１０と埋め込み半導体層１０１とを電氣的に接続する第２導電型の半導体領域１１１とを含みうる。半導体領域１１０にはコンタクトプラグ１１７が電氣的に接続されていて、半導体領域１１０、１１１を介して当該コンタクトプラグ１１７と埋め込み半導体層１０１とが電氣的に接続される。これにより、埋め込み半導体層１０１の電位を固定することができる。埋め込み半導体層１０１は、画素領域１０の全体にわたって広がっている。

40

【００２２】

中間領域３０は、第１導電型のウエル１０６と、ウエル１０６に形成された第２導電型の半導体領域１０８と、半導体領域１０８の上に配置されたシリサイド１０９とを含みうる。図示されていないが、中間領域３０は、第２導電型のウエルと、該ウエルに形成された第１導電型の半導体領域と、該半導体領域の上に配置されたシリサイドとを含みうる。

【００２３】

中間領域３０の活性領域、即ちシリサイド１０９が形成された領域は、その全体がエッチングストップ膜１１６で覆われている。ここで、エッチングストップ膜１１６とシリサ

50

イド１０９との間には、絶縁膜１１５が配置されうる。絶縁膜１１５は、エッチングストップ膜１１６とシリサイド１０９との間に生じる応力を緩和するために有用である。エッチングストップ膜１１６は、周辺回路領域４０の活性領域、即ちシリサイド１１２に接触するコンタクトプラグ１１７を形成する際に使用される。

【００２４】

周辺回路領域４０は、第１導電型のウエル１０６と、ウエル１０６に形成された第２導電型の半導体領域１０７と、半導体領域１０７の上に配置されたシリサイド１１２とを含みうる。図示されていないが、周辺回路領域４０は、第２導電型のウエルと、該ウエルに形成された第１導電型の半導体領域と、該半導体領域の上に配置されたシリサイドとを含みうる。半導体領域１０７は、ＭＯＳトランジスタの拡散領域（ソース領域およびドレイン領域）を構成しうる。

10

【００２５】

周辺回路領域４０の活性領域、即ちシリサイド１１２が形成された領域は、エッチングストップ膜１１６で覆われ、かつ、エッチングストップ膜１１６に形成された開口を通してコンタクトプラグ１１７が接続されている。周辺回路領域４０には、ゲート電極１６０が配置されている。ゲート電極１６０は、半導体領域１０７とともにＭＯＳトランジスタを構成しうる。ゲート電極１６０は、ポリシリコンパターン１１３と、その上に配置されたシリサイド１１４とを含む。シリサイド１１４は、エッチングストップ膜１１６で覆われ、かつ、エッチングストップ膜１１６に形成された開口を通してコンタクトプラグ１１７が接続されている。エッチングストップ膜１１６とシリサイド１１２との間、および、エッチングストップ膜１１６とシリサイド１１４との間には、絶縁膜１１５が配置されうる。絶縁膜１１５は、エッチングストップ膜１１６とシリサイド１１２、１１４との間に生じる応力を緩和するために有用である。

20

【００２６】

周辺回路領域４０の活性領域に形成されたシリサイド１１２に接触するコンタクトプラグ１１７を形成する工程は、コンタクトホール形成工程と充填工程とを含みうる。コンタクトホール形成工程では、エッチングストップ膜１１６でエッチングが停止するように層間絶縁膜１２０にエッチングによって開口を形成した後に該開口を通してエッチングストップ膜１１６をエッチングする。これによってコンタクトホールが形成される。充填工程では、該コンタクトホールに導電体を充填する。

30

【００２７】

中間領域３０および周辺回路領域４０に配置されたエッチングストップ膜１１６と、画素領域１０に配置されたエッチングストップ膜１１６とは、同一の工程で形成されうる。換言すると、中間領域３０および周辺回路領域４０に配置されたエッチングストップ膜１１６と、画素領域１０に配置されたエッチングストップ膜１１６とは同一材料で構成され、平坦な部分においては同一の厚さを有しうる。エッチングストップ膜１１６は、コンタクト領域２０には配置されていない。

【００２８】

導波路１８１および絶縁膜１２３の上には絶縁膜１２４が配置されうる。絶縁膜１２４は、例えば、酸化シリコンで構成されうる。絶縁膜１２４の上には、絶縁膜１２５で構成された層内レンズ１８２が配置されうる。絶縁膜１２５は、例えば、窒化シリコンで構成されうる。絶縁膜１２５の上には、平坦化膜１２６が配置されうる。平坦化膜１２６の上には、カラーフィルタ１２７、１２８が配置されうる。ここで、画素領域１０に配置されるカラーフィルタ１２７は、画素に割り当てられたカラーに応じたカラーフィルタである。一方、コンタクト領域２０、中間領域３０および周辺回路領域４０にもカラーフィルタ１２８が配置されることが好ましく、カラーフィルタ１２８は、ＲＧＢカラーフィルタ構成におけるＢカラーフィルタであることが好ましい。カラーフィルタ１２７、１２８が配置された層の上には、マイクロレンズ１２９を含むマイクロレンズ層１３０が配置されうる。

40

【００２９】

50

以下、図 2 ～ 図 15 を参照しながら固体撮像装置 I S の製造方法を例示的に説明する。図 2 に示す工程では、半導体基板 S B に埋め込み半導体層 1 0 1、半導体領域 1 0 2、光電変換部 1 0 3、フローティングディフュージョン 1 0 4、ウエル 1 0 6 および素子分離 1 0 5 を形成する。不図示であるが、転送ゲート電極となるポリシリコンパターン 1 1 3 の下部に第 2 導電型の半導体領域を形成し、光電変換部とフローティングディフュージョンの間のパンチスルーを抑制する構成としてもよい。図 2 に示す工程ではまた、半導体基板 S B の上にゲート絶縁膜（不図示）を介してポリシリコンパターン 1 1 3 を形成する。ポリシリコンパターン 1 1 3 は、ゲート絶縁膜の上にポリシリコン層を形成し、その上に絶縁膜 1 4 1 によってハードマスクを形成した後に、絶縁膜 1 4 1 をエッチングマスクとしてポリシリコン層をエッチングすることによって形成されうる。

10

【 0 0 3 0 】

図 3 に示す工程では、半導体基板 S B、ポリシリコンパターン 1 1 3 および絶縁膜 1 4 1 を覆うように絶縁膜 1 1 8 を形成する。好ましくは、絶縁膜 1 1 8 は、酸化シリコンと窒化シリコンとの積層膜で構成される。図 3 に示す工程では、更に、画素領域 1 0 の絶縁膜 1 1 8 を覆う一方でコンタクト領域 2 0、中間領域 3 0 および周辺回路領域 4 0 の絶縁膜 1 1 8 が露出するようにレジストパターン 1 3 2 を形成する。

【 0 0 3 1 】

図 4 に示す工程では、レジストパターン 1 3 2 をエッチングマスクとして使って、コンタクト領域 2 0、中間領域 3 0 および周辺回路領域 4 0 の絶縁膜 1 1 8 をエッチングし、その後、レジストパターン 1 3 2 を除去する。これにより、周辺回路領域 4 0 のポリシリコンパターン 1 1 3 および絶縁膜 1 4 1 の側面に絶縁膜 1 1 8 からなるサイドスペーサが形成される。

20

【 0 0 3 2 】

図 5 に示す工程では、コンタクト領域 2 0 の半導体領域 1 1 1 の上の領域、および、中間領域 3 0 および周辺回路領域 4 0 に配置されているウエル 1 0 6 に不純物イオンを注入し、半導体領域 1 1 0、1 0 8、1 0 7 を形成する。各半導体領域 1 1 0、1 0 8、1 0 7 の導電型が異なる場合には、それぞれマスクで異なる導電型の不純物イオンを打ち分けて形成する。

【 0 0 3 3 】

図 6 に示す工程では、a) 画素領域 1 0 の絶縁膜 1 1 8、b) コンタクト領域 2 0、中間領域 3 0 および周辺回路領域 4 0 の活性領域、ならびに、c) 周辺回路領域 4 0 のポリシリコンパターン 1 1 3 を含む構造、を覆うように絶縁膜 1 1 9 を形成する。絶縁膜 1 1 8 は、シリサイド化防止膜として機能する。絶縁膜 1 1 9 は、例えば、酸化シリコン膜でありうる。次いで、画素領域 1 0 およびコンタクト領域 2 0 における絶縁膜 1 1 9 を覆う一方で中間領域 3 0 および周辺回路領域 4 0 における絶縁膜 1 1 9 を露出させるレジストパターン 1 3 1 を形成する。

30

【 0 0 3 4 】

図 7 に示す工程では、レジストパターン 1 3 1 をエッチングマスクとして使って、中間領域 3 0 および周辺回路領域 4 0 における絶縁膜 1 1 9 をエッチングし、その後、レジストパターン 1 3 1 を除去する。次いで、露出した半導体領域 1 0 8、1 0 7 およびポリシリコンパターン 1 1 3 の表面をシリサイド化してシリサイド 1 0 9、1 1 2、1 1 4 を形成する。このシリサイド化の具体例を挙げると、次のとおりである。まず、半導体領域 1 0 8、1 0 7 およびポリシリコンパターン 1 1 3 を覆うように高融点金属としてのコバルトと該高融点金属の酸化防止膜としての窒化チタンとで構成される積層膜を形成する。ここで、高融点金属としては、コバルトのほかに、チタン、ニッケル、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナ等を挙げることができる。また、高融点金属の酸化防止膜としては、窒化チタンのほかに、ニッケルやチタン等を挙げることができる。次いで、該積層膜を熱処理する。この熱処理により、半導体領域 1 0 8、1 0 7 およびポリシリコンパターン 1 1 3 を構成しているシリコンと高融点金属とが反応してシリサイド 1 0 9、1 1 2、1 1 4 が形成される。次いで、未反応の高融点金属を含む積層

40

50

膜を除去する。

【 0 0 3 5 】

図 8 に示す工程では、画素領域 1 0、コンタクト領域 2 0、中間領域 3 0 および周辺回路領域 4 0 の構造を覆う絶縁膜 1 1 5 を形成し、その上にエッチングストップ膜 1 1 6 を形成する。好ましくは、絶縁膜 1 1 5 は酸化シリコンであり、エッチングストップ膜 1 1 6 は窒化シリコンである。絶縁膜 1 1 5 は画素領域にも延在して設けられている。画素領域 1 0 においては、絶縁膜 1 1 9 と同種の材料である酸化シリコンで形成されているとして、絶縁膜 1 1 9 と一体的に図示している。次いで、レジストパターン 1 3 3 を形成する。レジストパターン 1 3 3 は、画素領域 1 0 における半導体領域 1 0 3 が形成された領域、中間領域 3 0 及び周辺回路領域 4 0 のエッチングストップ膜 1 1 6 を覆う一方で画素領域 1 0 のうち M O S トランジスタが形成された領域およびコンタクト領域 2 0 を露出させる。

10

【 0 0 3 6 】

図 9 に示す工程では、レジストパターン 1 3 3 をエッチングマスクとして使って、画素領域 1 0 のうち M O S トランジスタが形成された領域とコンタクト領域 2 0 とをエッチングし、その後、レジストパターン 1 3 3 を除去する。これにより、画素領域 1 0 のうち半導体領域（光電変換部）1 0 3 が形成された領域、中間領域 3 0 および周辺回路領域 4 0 にエッチングストップ膜 1 1 6 が残る。また、エッチングストップ膜 1 1 6 の下に配置されている絶縁膜 1 1 5 も残る。つまり、エッチングストップ膜 1 1 6 および絶縁膜 1 1 5 は、中間領域 3 0 のシリサイド 1 0 9 および周辺回路領域 4 0 のシリサイド 1 1 2、1 1 4 を覆うように残される。したがって、コンタクトプラグ 1 1 7 が形成されない中間領域 3 0 のシリサイド 1 0 9 がエッチングストップ膜 1 1 6 の除去工程の後に剥離してパーティクルの原因になることが防止される。なお、周辺回路領域 4 0 におけるエッチングストップ膜 1 1 6 は、コンタクトホールを形成するためのエッチングにおいて使われる。

20

【 0 0 3 7 】

図 1 6 は、比較例を示す図である。図 1 6 に示される比較例では、中間領域 3 0 のエッチングストップ膜 1 1 6 および絶縁膜 1 1 5 が除去され、シリサイド 1 0 9 が露出した状態が模式的に示されている。このような状態では、シリサイド 1 0 9 が剥離して、これがパーティクルになり易い。よって、図 1 5 に例示されるように、中間領域 3 0 のシリサイド 1 0 9 をエッチングストップ膜 1 1 6 で覆うことが重要である。

30

【 0 0 3 8 】

図 1 0 に示す工程では、画素領域 1 0、コンタクト領域 2 0、中間領域 3 0 および周辺回路領域 4 0 の構造を覆う層間絶縁膜 1 2 0 を形成する。

【 0 0 3 9 】

図 1 1 に示す工程では、画素領域 1 0 およびコンタクト領域 2 0 にコンタクトプラグ 1 1 7 を形成し、図 1 2 に示す工程では、周辺回路領域 4 0 にコンタクトプラグ 1 1 7 を形成する。ここで、画素領域 1 0、コンタクト領域 2 0 および周辺回路領域 4 0 に同時にコンタクトプラグ 1 1 7 を形成してもよい。

【 0 0 4 0 】

ここで、画素領域 1 0 およびコンタクト領域 2 0 のコンタクトプラグ 1 1 7 と周辺回路領域 4 0 のコンタクトプラグ 1 1 7 とを別個に形成する具体例を説明するが、これは本発明を制限するものではない。図 1 1 に示す工程では、絶縁膜 1 1 8 でエッチングが停止するように画素領域 1 0 およびコンタクト領域 2 0 の層間絶縁膜 1 2 0 および絶縁膜 1 1 9 に開口を形成した後に該開口を通して絶縁膜 1 1 8 および絶縁膜 1 4 1 をエッチングする。これによってコンタクトホールが形成される。このとき、コンタクト領域 2 0 にはエッチングストップ膜 1 1 6 がないので、画素領域 1 0 よりも深く、半導体基板 S B の半導体領域 1 1 0 に届くコンタクトホールが形成される。次いで、該コンタクトホールに導電体を充填することによってコンタクトプラグ 1 1 7 を形成する。

40

【 0 0 4 1 】

図 1 2 に示す工程では、エッチングストップ膜 1 1 6 でエッチングが停止するように周

50

辺回路領域 40 の層間絶縁膜 120 に開口を形成した後に該開口を通してエッチングストップ膜 116 および絶縁膜 115 をエッチングする。これによってコンタクトホールが形成される。次いで、該コンタクトホールに導電体を充填することによってコンタクトプラグ 117 を形成する。

【0042】

図 13 に示す工程では、配線構造 WS を形成する。図 14 に示す工程では、導波路 181 を形成する。この工程では、エッチングストップ膜 116 のうち画素領域 10 に配置されたパターンが導波路開口を形成するためのエッチングストップ膜として使われる。前述のとおり、エッチングストップ膜 116 のうち画素領域 10 に配置されたパターンと周辺回路領域 40 に配置されたパターンとは同一工程で形成され、平坦部において同一の厚さを有しうる。

10

【0043】

具体例を挙げると、図 14 に示す工程では、エッチングストップ膜 116 のうち画素領域 10 に配置されたパターンでエッチングが停止するように配線構造 WS および層間絶縁膜 120 をエッチングして導波路開口を形成する。次いで、該導波路開口に絶縁体を充填することによって導波路 181 が形成される。充填する絶縁体は、層間絶縁膜 120 よりも屈折率が高い材料で構成されることが好ましい。導波路開口に絶縁体を充填する際に、該導波路開口以外の領域にも絶縁膜 123 が形成されうる。

【0044】

図 15 に示す工程では、絶縁膜 123、層内レンズ 182 を有する絶縁膜 125、平坦化膜 126、カラーフィルタ 127、128、および、マイクロレンズ 129 を有するマイクロレンズ層 130 を形成する。これによって、固体撮像装置が得られる。

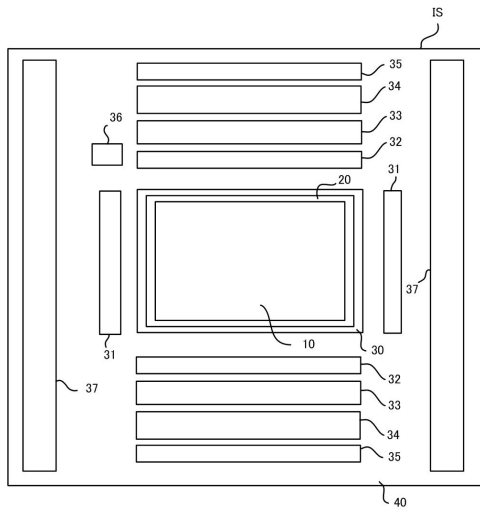
20

【0045】

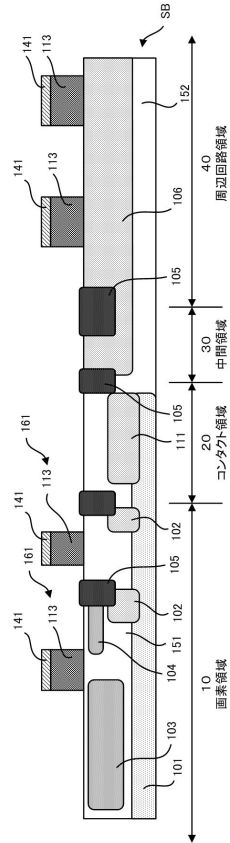
以下、上記の実施形態に係る固体撮像装置の応用例として、該固体撮像装置が組み込まれたカメラについて例示的に説明する。カメラの概念には、撮影を主目的とする装置のみならず、撮影機能を補助的に備える装置（例えば、パーソナルコンピュータ、携帯端末）も含まれる。カメラは、上記の実施形態として例示された本発明に係る固体撮像装置と、該固体撮像装置から出力される信号を処理する処理部とを含む。該処理部は、例えば、A/D 変換器、および、該 A/D 変換器から出力されるデジタルデータを処理するプロセッサを含みうる。

30

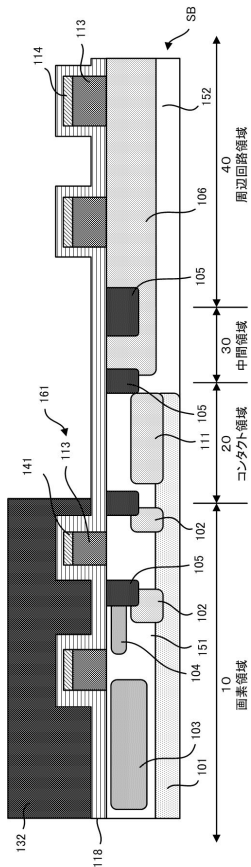
【 図 1 】



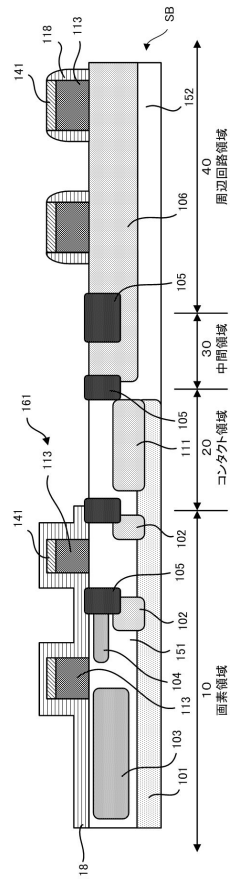
【圖 2】



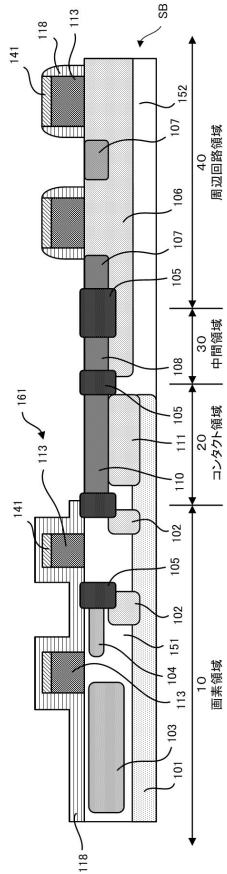
【 図 3 】



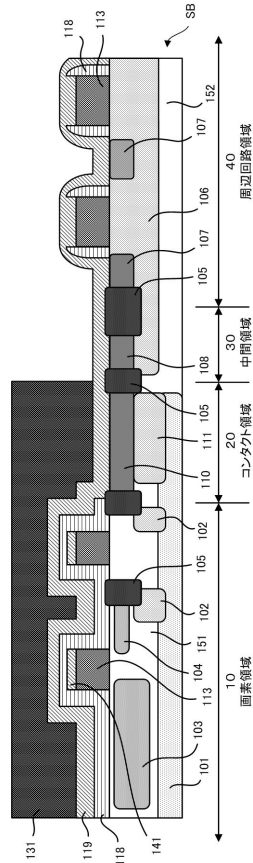
【圖 4】



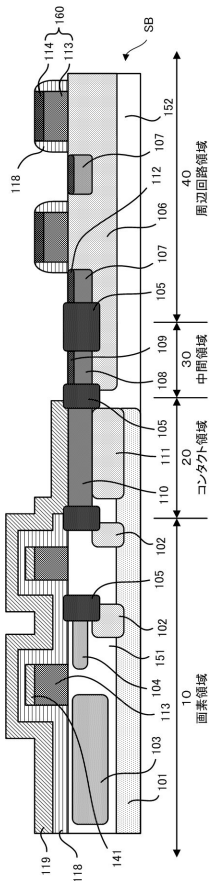
【図 5】



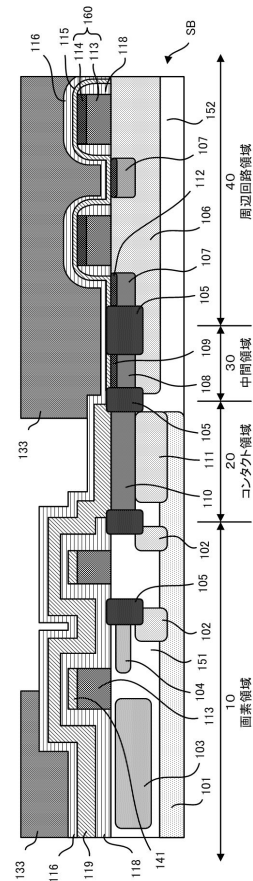
【図 6】



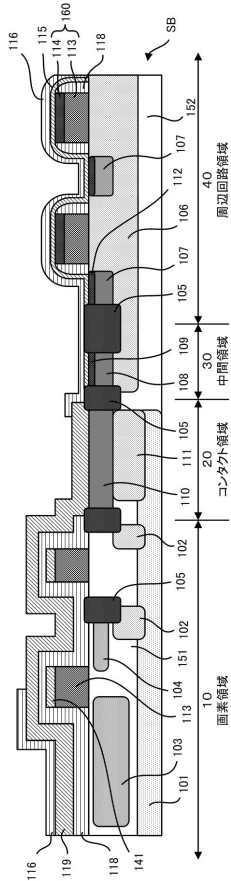
【図 7】



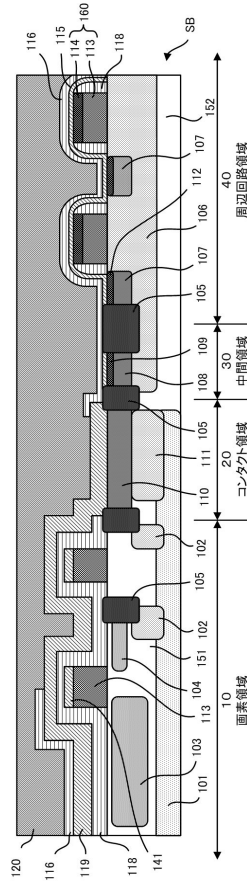
【図 8】



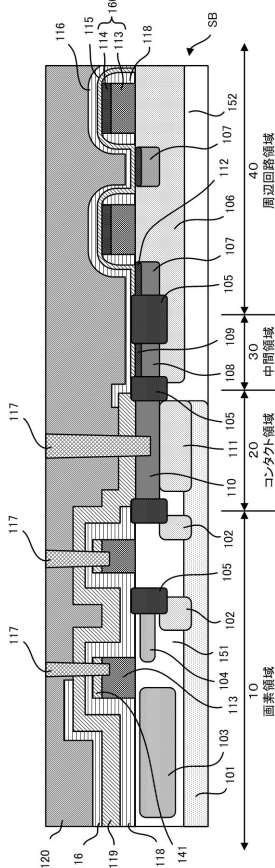
【 図 9 】



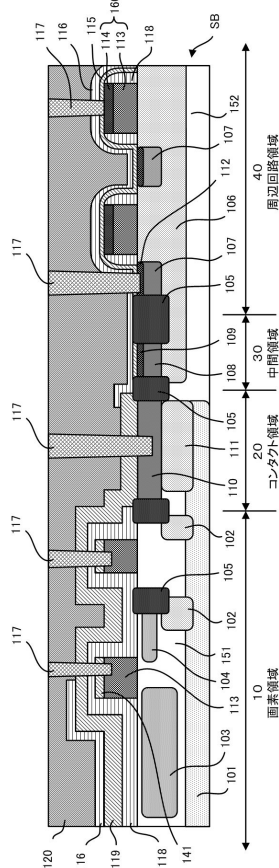
【 図 1 0 】



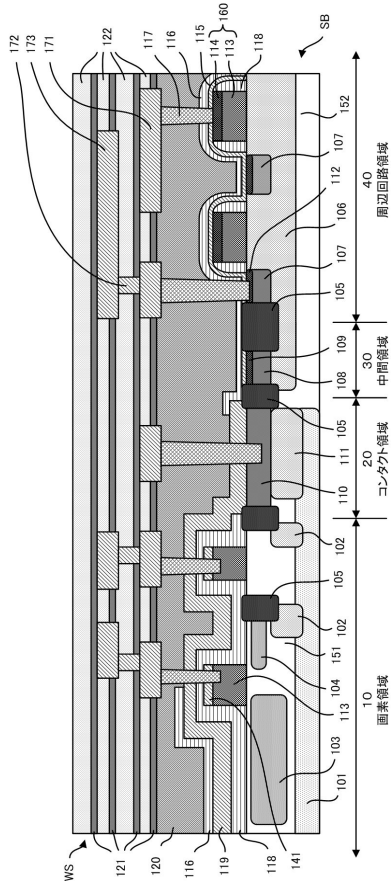
【 図 1 1 】



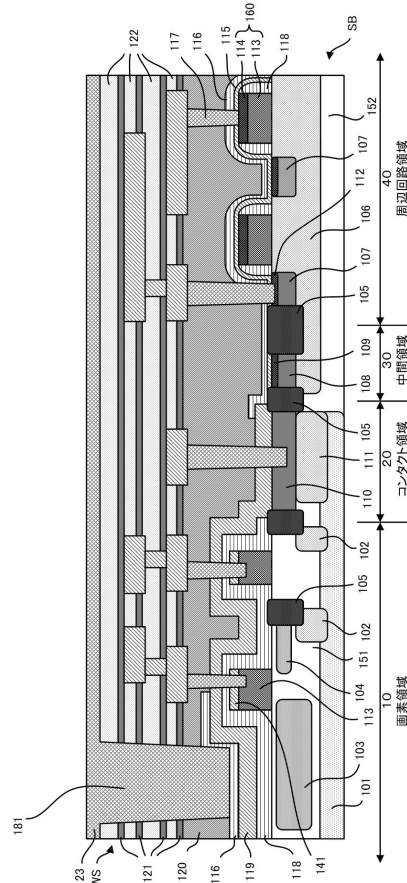
【 図 1 2 】



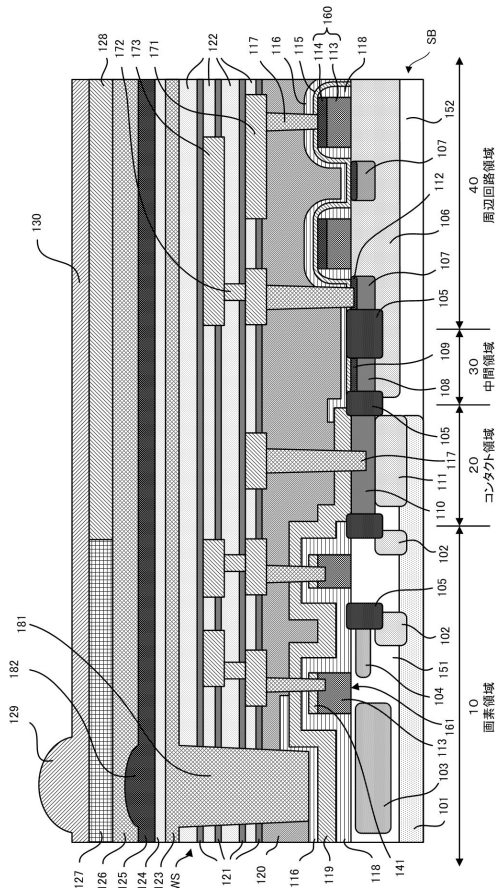
【 図 1 3 】



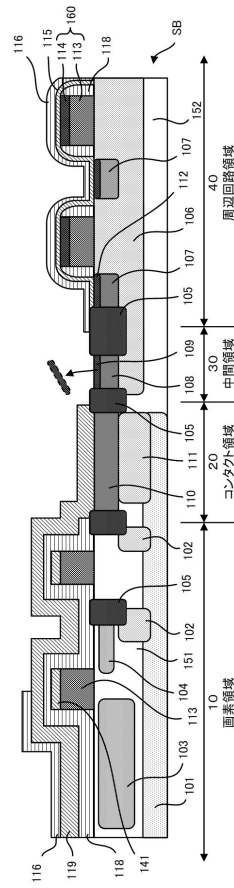
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

- (72)発明者 鈴木 健太郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 大貫 裕介
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西出 隆二

- (56)参考文献 特開2011-243747(JP,A)
特開2006-049921(JP,A)
特開2012-074405(JP,A)
特開2006-032672(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------|
| H01L | 27/146 |
| H01L | 27/14 |
| H04N | 5/369 |