

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-247316

(P2012-247316A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.

G 0 1 R 31/319 (2006.01)

F 1

G 0 1 R 31/28

R

テーマコード (参考)

2 G 1 3 2

審査請求 有 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2011-119658 (P2011-119658)
(22) 出願日 平成23年5月27日 (2011.5.27)

(71) 出願人 390005175
株式会社アドバンテスト
東京都練馬区旭町1丁目32番1号
(74) 代理人 110000877
龍華国際特許業務法人
(72) 発明者 大島 広美
東京都練馬区旭町1丁目32番1号 株式
会社アドバンテスト内
Fターム(参考) 2G132 AA08 AC03 AD06 AE14 AH01
AL00

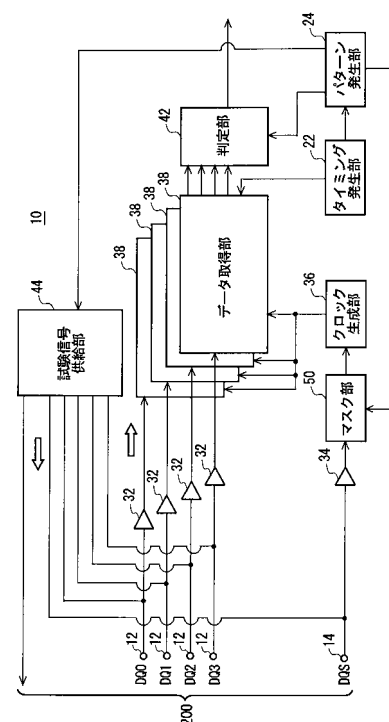
(54) 【発明の名称】 試験装置および試験方法

(57) 【要約】

【課題】 確実にデータを取り込んで試験する。

【解決手段】 データ信号とデータ信号をサンプルするタイミングを示すクロック信号とを出力する被試験デバイスを試験する試験装置であって、被試験デバイスが出力するデータ信号をクロック信号に応じたタイミングで取得する取得部と、複数のエントリを有し、クロック信号に応じたタイミングにおいて取得部により取得されたデータ信号を順次各エントリにバッファリングし、当該試験装置の試験周期に応じて発生されるタイミング信号のタイミングで各エントリにバッファリングしたデータ信号を出力するバッファ部と、バッファ部から出力されたデータ信号を期待値と比較する判定部とを備える試験装置を提供する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

データ信号と前記データ信号をサンプルするタイミングを示すクロック信号とを出力する被試験デバイスを試験する試験装置であって、

前記被試験デバイスが出力する前記データ信号を前記被試験デバイスが出力する前記クロック信号に応じたタイミングで取得する取得部と、

複数のエントリを有し、前記被試験デバイスが出力するクロック信号に応じたタイミングにおいて前記取得部により取得されたデータ信号を順次各エントリにバッファリングし、当該試験装置の試験周期に応じて発生されるタイミング信号のタイミングで各エントリにバッファリングしたデータ信号を出力するバッファ部と、

前記バッファ部から出力された前記データ信号を期待値と比較した結果に基づいて、前記被試験デバイスの良否を判定する判定部と

を備える試験装置。

【請求項 2】

当該試験装置の内部クロックに基づき前記試験周期に応じた前記タイミング信号を発生するタイミング発生部を更に備える

請求項 1 に記載の試験装置。

【請求項 3】

前記バッファ部がオーバーフローしたことに応じて、オーバーフローの発生を示す情報を記憶するオーバーフロー検出部を更に備える

請求項 1 または 2 に記載の試験装置。

【請求項 4】

当該試験装置は、

前記被試験デバイスに対して試験信号を供給する試験信号供給部を更に備え、

前記試験信号供給部は、前記データ信号を前記被試験デバイスから出力させるコマンドおよびデータの出力を許可するリードイネーブル信号を前記試験信号として出力し、

前記判定部は、前記試験信号供給部が前記リードイネーブル信号を出力してから、予め定められた時間経過後において、前記バッファ部から出力された前記データ信号を受信して期待値と比較する

請求項 1 から 3 の何れか 1 項に記載の試験装置。

【請求項 5】

前記判定部は、前記試験信号供給部が前記リードイネーブル信号を出力してから、前記被試験デバイスの仕様により定められた前記リードイネーブル信号を受け取ってから前記データ信号を出力するまでの最大遅延時間以上経過した後において、前記バッファ部から前記データ信号を受信する

請求項 4 に記載の試験装置。

【請求項 6】

前記バッファ部は、前記最大遅延時間に相当する時間の間に、前記被試験デバイスが出力可能なデータ数以上のエントリ数を有する

請求項 5 に記載の試験装置。

【請求項 7】

当該試験装置は、双方向バスを介して前記被試験デバイスとデータ信号およびクロック信号を授受する

請求項 1 から 6 の何れか 1 項に記載の試験装置。

【請求項 8】

前記被試験デバイスは、双方向バスを介してデータ信号およびクロック信号を授受するメモリデバイスである

請求項 1 から 7 の何れか 1 項に記載の試験装置。

【請求項 9】

データ信号と前記データ信号をサンプルするタイミングを示すクロック信号とを出力す

10

20

30

40

50

る被試験デバイスを試験する試験装置における試験方法であって、

取得部が、前記被試験デバイスが出力する前記データ信号を前記被試験デバイスが出力する前記クロック信号に応じたタイミングで取得し、

複数のエントリを有するバッファ部が、前記被試験デバイスが出力するクロック信号に応じたタイミングにおいて前記取得部により取得されたデータ信号を順次各エントリにバッファリングし、

前記バッファ部が、当該試験装置の試験周期に応じて発生されるタイミング信号のタイミングで各エントリにバッファリングしたデータ信号を出力し、

前記バッファ部から出力された前記データ信号を期待値と比較した結果に基づいて、前記被試験デバイスの良否を判定する

10

試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置および試験方法に関する。

【背景技術】

【0002】

ソース・シンクロナスと呼ばれる、データ信号とともに同期用のクロック信号を並行して出力するインターフェイスが知られている。特許文献1には、このようなインターフェイスを採用する被試験デバイスを試験する試験装置が記載されている。特許文献1に記載された試験装置は、被試験デバイスから出力されたクロック信号によりデータ信号をサンプリングし、サンプリングしたデータ信号を期待値と比較する。

20

【0003】

特許文献1 米国特許第7644324号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、ソース・シンクロナスインターフェイスを採用するデバイスは、データ信号を出力し続けるのではなく、リードイネーブル信号が与えられてから一定時間経過した後には有効なデータ信号を出力する。従って、試験装置は、ソース・シンクロナスインターフェイスを採用する被試験デバイスを試験する場合、被試験デバイスから有効なデータ信号が出力されたタイミングにおいて精度良くデータ信号を取り込まなければならなかった。

30

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の第1の態様においては、データ信号と前記データ信号をサンプルするタイミングを示すクロック信号とを出力する被試験デバイスを試験する試験装置であって、前記被試験デバイスが出力する前記データ信号を前記被試験デバイスが出力する前記クロック信号に応じたタイミングで取得する取得部と、複数のエントリを有し、前記被試験デバイスが出力するクロック信号に応じたタイミングにおいて前記取得部により取得されたデータ信号を順次各エントリにバッファリングし、当該試験装置の試験周期に応じて発生されるタイミング信号のタイミングで各エントリにバッファリングしたデータ信号を出力するバッファ部と、前記バッファ部から出力された前記データ信号を期待値と比較した結果に基づいて、前記被試験デバイスの良否を判定する判定部とを備える試験装置、および、試験方法を提供する。

40

【0006】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0007】

【図1】被試験デバイス200、および、被試験デバイス200を試験する本実施形態に

50

係る試験装置 10 を示す。

【図 2】被試験デバイス 200 から出力されるデータ信号およびクロック信号のタイミングを示す。

【図 3】本実施形態に係る試験装置 10 の構成を示す。

【図 4】クロック生成部 36 の構成の一例、および、データ取得部 38 の構成の一例を示す。

【図 5】データ信号、クロック信号、遅延信号、第 1 ストロープ信号、第 2 ストロープ信号、および、サンプリングクロックのタイミングの一例を示す。

【図 6】メモリデバイスである被試験デバイス 200 の機能試験をする場合のタイミングチャートを示す。

【図 7】読み出し処理時において、試験装置 10 から被試験デバイス 200 へ送信されるコマンドおよびリードイネーブル信号、被試験デバイス 200 から試験装置 10 へ送信されるクロック信号およびデータ信号、マスク信号およびサンプリングクロックのタイミング、並びに、バッファ部 54 から判定部 42 へと転送されるデータのタイミングの一例を示す。

【図 8】本実施形態の変形例に係る試験装置 10 の構成を示す。

【図 9】変形例に係る試験装置 10 のクロック取得タイミングの一例を示す。

【発明を実施するための形態】

【0008】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

【0009】

図 1 は、被試験デバイス 200、および、被試験デバイス 200 を試験する本実施形態に係る試験装置 10 を示す。図 2 は、被試験デバイス 200 から出力されるデータ信号およびクロック信号のタイミングを示す。

【0010】

本実施形態に係る試験装置 10 は、被試験デバイス 200 を試験する。本実施形態において、被試験デバイス 200 は、双方向バスである DDR (Double Data Rate) インターフェイスを介して、他のデバイスとデータを授受する。

【0011】

DDR インターフェイスは、複数本のデータ信号 DQ と、データ信号 DQ をサンプリングするタイミングを示すクロック信号 DQS とを並行して転送する。本例において、DDR インターフェイスは、例えば図 2 に示されるように、4 本のデータ信号 DQ0、DQ1、DQ2、DQ3 に対して 1 本のクロック信号 DQS を転送する。また、DDR インターフェイスは、クロック信号 DQS のレートに対して、クロック信号 DQS に同期した 2 倍のレートのデータ信号 DQ を転送する。

【0012】

本実施形態において、被試験デバイス 200 は、例えば不揮発性のメモリデバイスであって、DDR インターフェイスを介して、他の制御用デバイスからデータの書き込みおよび読み出しがされる。本実施形態に係る試験装置 10 は、このような双方向バスである DDR インターフェイスを介して被試験デバイス 200 とデータ信号 DQ およびクロック信号 DQS を授受して、被試験デバイス 200 を試験する。さらに、試験装置 10 は、ライトイネーブル信号およびリードイネーブル信号等の制御用信号も被試験デバイス 200 との間で授受する。

【0013】

図 3 は、本実施形態に係る試験装置 10 の構成を示す。試験装置 10 は、複数のデータ端子 12 と、クロック端子 14 と、タイミング発生部 22 と、パターン発生部 24 と、複数のデータ用コンパレータ 32 と、クロック用コンパレータ 34 と、クロック生成部 36 と、複数のデータ取得部 38 と、判定部 42 と、試験信号供給部 44 と、マスク部 50 と

10

20

30

40

50

を備える。

【0014】

複数のデータ端子12のそれぞれは、双方向バスであるDDRインターフェイスを介して、被試験デバイス200におけるデータ信号の入出力端子に接続される。本例においては、試験装置10は、4つのデータ端子12を備える。4つのデータ端子12のそれぞれは、被試験デバイス200における4本のデータ信号DQ0、DQ1、DQ2、DQ3のそれぞれの入出力端子に、DDRインターフェイスを介して接続される。クロック端子14は、DDRインターフェイスを介して被試験デバイス200におけるクロック信号DQSの入出力端子に接続される。

【0015】

タイミング発生部22は、当該試験装置10の内部において発生される基準クロックに基づき、当該試験装置10の試験周期に応じたタイミング信号を発生する。タイミング発生部22は、一例として、試験周期に同期したタイミング信号を発生する。

【0016】

パターン発生部24は、被試験デバイス200から出力されるデータ信号の期待値を表す期待値パターンを発生する。また、パターン発生部24は、被試験デバイス200に供給する試験信号の波形を表す試験パターンを発生する。パターン発生部24は、一例として、プログラムの実行に応じて期待値パターンおよび試験パターンを発生する。

【0017】

複数のデータ用コンパレータ32は、DDRインターフェイスを介して被試験デバイス200との間で授受する複数のデータ信号のそれぞれに対応して設けられる。本例においては、試験装置10は、4本のデータ信号DQ0、DQ1、DQ2、DQ3のそれぞれに対応する4つのデータ用コンパレータ32を備える。複数のデータ用コンパレータ32のそれぞれは、被試験デバイス200から出力された対応するデータ信号を、対応するデータ端子12を介して受信する。複数のデータ用コンパレータ32のそれぞれは、受信したデータ信号を予め定められた閾値レベルと比較して論理値化し、論理値化したデータ信号を出力する。

【0018】

クロック用コンパレータ34は、DDRインターフェイスを介して被試験デバイス200との間で授受するクロック信号DQSに対応して設けられる。クロック用コンパレータ34は、被試験デバイス200から出力された対応するクロック信号を、対応するクロック端子14を介して受信する。そして、クロック用コンパレータ34は、受信したクロック信号を予め定められた閾値レベルと比較して論理値化し、論理値化したクロック信号を出力する。

【0019】

クロック生成部36は、クロック用コンパレータ34により論理値化されたクロック信号に基づき、被試験デバイス200から出力されたデータ信号をサンプルするためのサンプリングクロックを生成する。本例においては、クロック生成部36は、クロック信号の2倍のレートでのサンプリングクロックを生成する。

【0020】

複数のデータ取得部38は、被試験デバイス200がDDRインターフェイスを介して出力する複数のデータ信号のそれぞれに対応して設けられる。本例においては、試験装置10は、4本のデータ信号DQ0、DQ1、DQ2、DQ3のそれぞれに対応する4つのデータ取得部38を備える。

【0021】

複数のデータ取得部38のそれぞれは、被試験デバイス200が出力するデータ信号を、クロック信号に応じたサンプリングクロックのタイミングで取得する。本実施形態においては、複数のデータ取得部38のそれぞれは、クロック生成部36により生成されたサンプリングクロックのタイミングにおいて、対応するデータ信号のデータ値を取得する。

【0022】

10

20

30

40

50

そして、複数のデータ取得部 38 のそれぞれは、取得したデータ信号を当該試験装置 10 の内部で発生されるタイミング信号のタイミングで出力する。本実施形態においては、複数のデータ取得部 38 のそれぞれは、タイミング発生部 22 により生成されたタイミング信号のタイミングで取得したデータ信号の各データ値を出力する。

【0023】

これにより、複数のデータ取得部 38 のそれぞれは、被試験デバイス 200 から出力されたデータ信号を被試験デバイス 200 から出力されたクロック信号に応じたタイミングで取り込み、取り込んだクロックを当該試験装置 10 の内部の基準クロックに同期したタイミングで出力することができる。即ち、複数のデータ取得部 38 のそれぞれは、データ信号のクロックを、被試験デバイス 200 から出力されたクロック信号から、当該試験装置 10 の内部で発生される基準クロックにませ替えることができる。

10

【0024】

判定部 42 は、複数のデータ取得部 38 のそれぞれが取得したデータ信号を期待値と比較した結果に基づいて、被試験デバイス 200 の良否を判定する。本実施形態においては、判定部 42 は、複数のデータ取得部 38 のそれぞれか出力されたデータ信号のデータ値と、判定部 42 から発生された期待値パターンに示された期待値とを比較する。そして、本実施形態においては、判定部 42 は、複数のデータ取得部 38 が取得したデータ信号のデータ値のそれぞれと期待値とが一致したことに応じて、被試験デバイス 200 が正常であると判定する。

【0025】

試験信号供給部 44 は、パターン発生部 24 が発生した試験パターンに応じて被試験デバイス 200 に対して試験信号を供給する。本実施形態において、試験信号供給部 44 は、試験信号として、複数のデータ信号を D D R インターフェイスを介して被試験デバイス 200 に出力するとともに、出力したデータ信号のサンプルタイミングを示すクロック信号を D D R インターフェイスを介して被試験デバイス 200 に出力する。即ち、試験信号供給部 44 は、複数のデータ信号 D Q 0、D Q 1、D Q 2、D Q 3 を複数のデータ端子 12 を介して被試験デバイス 200 に出力するとともに、クロック信号 D Q S をクロック端子 14 を介して被試験デバイス 200 に出力する。

20

【0026】

さらに、試験信号供給部 44 は、データの出力を許可するリードイネーブル信号を、制御用信号として被試験デバイス 200 に供給する。これにより、試験信号供給部 44 は、被試験デバイス 200 から内部に記憶したデータを含むデータ信号 D Q を D D R インターフェイスを介して出力させることができる。

30

【0027】

マスク部 50 は、被試験デバイス 200 がクロック信号を出力しない期間において、複数のデータ取得部 38 のそれぞれによるデータ取得をマスクする。即ち、マスク部 50 は、被試験デバイス 200 がクロック信号を出力しない期間において、複数のデータ取得部 38 のそれぞれにおけるデータ取得動作を停止させる。

【0028】

また、マスク部 50 は、一例として、試験プログラムに応じて動作するパターン発生部 24 により、被試験デバイス 200 がクロック信号を出力しない期間が指定される。即ち、マスク部 50 は、パターン発生部 24 から発生される試験パターンに応じて、複数のデータ取得部 38 のデータ取得動作をマスクするか、動作を許可するかを切り替える。

40

【0029】

本実施形態においては、マスク部 50 は、被試験デバイス 200 がクロック信号を出力しない期間において、複数のデータ取得部 38 に供給されるサンプリングクロックをマスクする。即ち、本実施形態においては、マスク部 50 は、被試験デバイス 200 がクロック信号を出力する期間においてサンプリングクロックをデータ取得部 38 に供給し、被試験デバイス 200 がクロック信号を出力しない期間においてサンプリングクロックを固定値にマスクする。

50

【0030】

例えば、マスク部50は、クロック生成部36の入力段においてクロック信号をマスク回路によりマスクすることにより、データ取得部38に供給されるサンプリングクロックをマスクしてもよい。また、例えば、マスク部50は、クロック生成部36の出力段においてサンプリングクロックをマスク回路によりマスクすることにより、データ取得部38に供給されるサンプリングクロックをマスクしてもよい。

【0031】

また、マスク部50は、バッファ部54の内部においてサンプリングクロックまたはデータ信号をマスクしてもよい。マスク部50は、一例として、バッファ部54の内部におけるFIFO等のバッファの前段において、サンプリングクロックまたはデータ信号をマスクしてもよい。

10

【0032】

図4は、クロック生成部36の構成の一例、および、データ取得部38の構成の一例を示す。図5は、データ信号、クロック信号、遅延信号、第1ストロブ信号、第2ストロブ信号、および、サンプリングクロックのタイミングの一例を示す。

【0033】

データ取得部38は、図5の(A)に示されるような、予め定められたデータレートで伝送されるデータ値を含むデータ信号DQを入力する。そして、データ取得部38は、データ信号DQに含まれる各データ値を、クロック生成部36により生成されるサンプリングクロックのタイミングで順次にサンプルする。

20

【0034】

クロック生成部36は、一例として、遅延器62と、ストロブ発生部64と、合成部66とを有する。遅延器62は、一例として、図5の(B)に示されるような、被試験デバイス200から出力された、データ信号DQの2倍のレートのクロック信号DQSを入力する。そして、遅延器62は、図5の(C)に示すような、入力したクロック信号DQSを当該クロック信号DQSの1/4の周期分の時間遅延した遅延信号を出力する。

【0035】

ストロブ発生部64は、図5の(D)に示されるように、遅延信号の立ち上がりエッジにおいて微小時間幅のパルスをもつ第1ストロブ信号を発生する。これにより、クロック生成部36は、データ信号DQにおける奇数番目のデータ値をサンプルするタイミングを示す第1ストロブ信号を出力することができる。

30

【0036】

また、ストロブ発生部64は、図5の(E)に示されるような、遅延信号の立下りエッジにおいて微小時間幅のパルスをもつ第2ストロブ信号を発生する。これにより、クロック生成部36は、データ信号DQにおける偶数番目のデータ値をサンプルするタイミングを示す第2ストロブ信号を出力することができる。なお、第1ストロブ信号がデータ信号DQにおける偶数番目のデータをサンプルするタイミングを示し、第2ストロブ信号がデータ信号DQにおける奇数番目のデータをサンプルするタイミングを示してもよい。

【0037】

合成部66は、図5の(F)に示されるような、第1ストロブ信号および第2ストロブ信号を合成したサンプリングクロックを出力する。合成部66は、一例として、第1ストロブ信号および第2ストロブ信号を論理和演算したサンプリングクロックを出力する。これにより、合成部66は、データ信号DQに含まれる各データ値におけるアイ開きの略中心のタイミングを示すサンプリングクロックを出力することができる。

40

【0038】

また、データ取得部38は、取得部52と、バッファ部54と、オーバーフロー検出部56とを有する。取得部52は、図5の(A)に示されるデータ信号DQの各データ値を、図5の(F)のサンプリングクロックのタイミングにおいて取得する。取得部52は、一例として、奇数側フリップフロップ72と、偶数側フリップフロップ74と、マルチブ

50

レクサ 76 とを含む。

【0039】

奇数側フリップフロップ 72 は、被試験デバイス 200 から出力されたデータ信号 DQ のデータ値を第 1 ストロブ信号のタイミングにおいて取得して内部に保持する。偶数側フリップフロップ 74 は、被試験デバイス 200 から出力されたデータ信号 DQ のデータ値を第 2 ストロブ信号のタイミングにおいて取得して内部に保持する。

【0040】

マルチプレクサ 76 は、奇数側フリップフロップ 72 が保持するデータ信号 DQ のデータ値と、偶数側フリップフロップ 74 が保持するデータ信号 DQ のデータ値とを、サンプリングクロックのタイミングにおいて交互に選択して、バッファ部 54 へと供給する。これにより、取得部 52 は、クロック生成部 36 により生成されたサンプリングクロックに応じたタイミングでデータ信号 DQ のデータ値を取得することができる。

【0041】

バッファ部 54 は、複数のエントリを有する。バッファ部 54 は、取得部 52 のマルチプレクサ 76 から順次に出るデータ信号 DQ のデータ値を、クロック生成部 36 により生成されたサンプリングクロックのタイミングで順次に各エントリにバッファリングする。さらに、バッファ部 54 は、各エントリにバッファリングしたデータ信号 DQ のデータ値を、入力順に、当該試験装置 10 の試験周期に応じて発生されるタイミング信号のタイミングで各エントリから出力する。

【0042】

そして、バッファ部 54 は、出力したデータ信号 DQ のデータ値を判定部 42 に供給する。このようなクロック生成部 36 およびデータ取得部 38 は、被試験デバイス 200 から出力されたデータ信号 DQ をクロック信号 DQS に応じたタイミングで取得するとともに、取得したデータ信号 DQ の各データ値を、当該試験装置 10 の内部で発生されたタイミング信号のタイミングに合せ替えて判定部 42 に供給することができる。

【0043】

オーバーフロー検出部 56 は、バッファ部 54 がオーバーフローしたか否かを検出する。オーバーフロー検出部 56 は、バッファ部 54 がオーバーフローしたことに応じて、オーバーフローの発生を示す情報を例えば内部のレジスタに記憶する。そして、オーバーフローの発生を示す情報は、例えば試験終了において、試験制御部等に読み出される。試験制御部は、オーバーフローの発生を示す情報が読み出された場合には、試験が正常に実行されなかったと判断して、例えば対応する被試験デバイス 200 を不良であると判断したり、対応する被試験デバイス 200 の再試験を実行したりする。

【0044】

図 6 は、メモリデバイスである被試験デバイス 200 の機能試験をする場合のタイミングチャートを示す。被試験デバイス 200 は、双方向バスである DDR インターフェイスを介して他のデバイスとデータを授受するメモリデバイスである。メモリデバイスである被試験デバイス 200 を試験する場合、試験装置 10 は次のような動作をする。

【0045】

まず、ステップ S11 において、試験装置 10 は、被試験デバイス 200 における試験対象となるアドレス領域に対して、予め定められたデータを書き込む。続いて、ステップ S12 において、試験装置 10 は、被試験デバイス 200 における試験対象となるアドレス領域に書き込まれたデータを読み出す。そして、ステップ S13 において、試験装置 10 は、読み出したデータを期待値と比較して、被試験デバイス 200 における試験対象となるアドレス領域が正常に動作しているか否かを判定する。試験装置 10 は、このような処理を被試験デバイス 200 における全てのアドレス領域に対して実行することにより、被試験デバイス 200 の良否を判定することができる。

【0046】

ここで、マスク部 50 は、当該試験装置 10 が被試験デバイス 200 へと書込データを送信している期間において、データ取得部 38 におけるデータ取得をマスクする。即ち、

10

20

30

40

50

マスク部 50 は、当該試験装置 10 が被試験デバイス 200 へ書き込み処理をしている期間において、データ取得部 38 におけるデータ取得をマスクする。

【0047】

また、マスク部 50 は、ステップ S11 の書き込み処理およびステップ S12 の読み出し処理以外の期間において、データ取得部 38 におけるデータ取得をマスクする。また、さらに、マスク部 50 は、ステップ S12 の読み出し処理中であっても、被試験デバイス 200 がデータ信号を出力していない期間において、データ取得部 38 におけるデータ取得をマスクする。

【0048】

マスク部 50 は、このような期間においてデータ取得部 38 におけるデータ取得をマスクすることにより、被試験デバイス 200 がクロック信号を出力していない期間において、データ取得部 38 におけるデータ取得をマスクすることができる。そして、マスク部 50 は、読み出し処理中における、被試験デバイス 200 が当該試験装置 10 へと読出データを送信している期間において、データ取得部 38 のマスク状態を解除して、データ取得部 38 にデータを取得させることができる。

【0049】

図 7 は、読み出し処理時において、試験装置 10 から被試験デバイス 200 へ送信されるコマンドおよびリードイネーブル信号、被試験デバイス 200 から試験装置 10 へ送信されるクロック信号およびデータ信号、マスク信号およびサンプリングクロックのタイミング、並びに、バッファ部 54 から判定部 42 へと転送されるデータのタイミングの一例を示す。メモリデバイスである被試験デバイス 200 から DDR インターフェイスを介してデータを読み出す場合、試験装置 10 は次のような動作をする。

【0050】

まず、試験装置 10 の試験信号供給部 44 は、被試験デバイス 200 に対してデータ信号の出力を指示するコマンド（例えばリードコマンド）を表すデータ信号およびクロック信号を、DDR インターフェイスを介して被試験デバイス 200 に出力する（時刻 t31）。続いて、試験信号供給部 44 は、被試験デバイス 200 に対して、データの出力を許可するリードイネーブル信号を供給する（時刻 t32）。

【0051】

続いて、リードコマンドが与えられた被試験デバイス 200 は、リードコマンドが与えられてから一定時間経過後、リードコマンドに示されたアドレスに記憶されたデータ値を含んだデータ信号 DQ を、DDR インターフェイスを介して出力する（時刻 t35）。これとともに、被試験デバイス 200 は、データ信号 DQ のサンプルタイミングを示すクロック信号 DQS を DDR インターフェイスを介して出力する（時刻 t35）。そして、被試験デバイス 200 は、一定のデータ数のデータ信号 DQ を出力すると、データ信号 DQ およびクロック信号 DQS の出力を終了する（時刻 t37）。

【0052】

なお、被試験デバイス 200 は、データ信号 DQ の出力期間（時刻 t35～t37の間）以外の期間においては、データ信号 DQ の入出力端子をドライブせず、ハイインピーダンス（HiZ）としている。また、被試験デバイス 200 は、データ信号 DQ の出力期間（時刻 t35～t37の間）より前の一定期間（時刻 t33～時刻 t35）においては、クロック信号 DQS を予め定められた信号レベル、例えばロー論理レベルに固定する。また、被試験デバイス 200 は、クロック信号 DQS を予め定められた信号レベルに固定している期間より前（時刻 t33 より前）、および、データ信号 DQ の出力期間より後（時刻 t37 より後）においては、クロック信号 DQS の入出力端子をドライブせず、ハイインピーダンス（HiZ）としている。

【0053】

そして、試験装置 10 のデータ取得部 38 は、被試験デバイス 200 がデータ信号を出力している期間（時刻 t35～t37の間）において、被試験デバイス 200 から出力されたクロック信号 DQS のタイミングで、データ信号 DQ の各データ値を順次に取り込む

10

20

30

40

50

。データ取得部 38 は、取り込んだデータを各エントリに順次にバッファリングする。

【0054】

ここで、マスク部 50 は、当該試験装置 10 の試験信号供給部 44 が被試験デバイス 200 へとコマンドを送信している期間において、サンプリングクロックをマスクして固定値とする。これにより、マスク部 50 は、試験装置 10 から被試験デバイス 200 へ信号を供給している期間において、データ取得をマスクすることができる。

【0055】

さらに、マスク部 50 は、当該試験装置 10 の試験信号供給部 44 がコマンドを出力してから予め定められた基準遅延時間 T_x 経過までの間において、サンプリングクロックをマスクして固定値とする。予め定められた基準遅延時間 T_x は、被試験デバイス 200 がクロック信号を出力しない期間であって、例えば、被試験デバイス 200 の仕様および実験結果等に応じて設定される。これにより、マスク部 50 は、被試験デバイス 200 がクロック信号を出力しない期間において、データ取得をマスクすることができる。

【0056】

そして、マスク部 50 は、試験信号供給部 44 がコマンドを出力してから予め定められた基準遅延時間経過した後において、サンプリングクロックをマスクしている状態を解除して、サンプリングクロックをデータ取得部 38 に供給する。これにより、マスク部 50 は、クロック信号が出力される期間において、データ取得部 38 に確実にデータ取得をさせることができる。

【0057】

また、マスク部 50 は、試験信号供給部 44 がコマンドを出力してから基準遅延時間 T_x を経過した後において、クロック信号 DQS が予め定められた信号レベルであることを条件として、被試験デバイス 200 から出力されたクロック信号 DQS に応じたサンプリングクロックをデータ取得部 38 に供給してもよい。ソース・シンクロナスインターフェイスにおいては、データ信号 DQ が出力する直前において、クロック信号 DQS が予め定められた信号レベル（例えばロー論理レベル）に一定期間固定される。従って、マスク部 50 は、クロック信号が出力される前に、確実にデータ取得部 38 をデータ取得が可能な状態とすることができる。

【0058】

また、マスク部 50 は、試験信号供給部 44 がコマンドを出力してから基準遅延時間 T_x を経過した後において、クロック信号 DQS が予め定められた信号レベルであることを条件として、被試験デバイス 200 から出力されたクロック信号 DQS に応じたサンプリングクロックをデータ取得部 38 に供給してもよい。これにより、マスク部 50 は、被試験デバイス 200 がクロック信号 DQS を予め定められた信号レベルとした後に、マスク状態からデータ取得状態へと切り替えることができる。

【0059】

また、被試験デバイス 200 から出力される読出データのビット数は、コマンド内容等によって決定される。従って、1 回のコマンドを与えたことに応じて被試験デバイス 200 から出力されるクロック信号 DQS のクロック数は、被試験デバイス 200 に与えたコマンドの内容に応じて決定される。そこで、マスク部 50 は、被試験デバイス 200 から出力されたクロック信号 DQS に応じたサンプリングクロックの出力を開始してから、クロック信号 DQS のクロック数が基準クロック数に達した場合に、サンプリングクロックを固定値にマスクして、サンプリングクロックのデータ取得部 38 への供給を停止する。これにより、マスク部 50 は、サンプリングクロックを供給している状態からサンプリングクロックを固定値としてマスクする状態へと、正確なタイミングで切り替えることができる。

【0060】

以上のように本実施形態に係る試験装置 10 は、被試験デバイス 200 がデータ信号およびクロック信号を出力していない期間において、被試験デバイス 200 から出力されたデータを取り込ませないようにできる。即ち、試験装置 10 は、被試験デバイス 200 が

データ信号およびクロック信号の入出力端子をドライブせずにハイインピーダンス状態としている場合において、データを取り込ませないようにできる。これにより、試験装置 10 によれば、不確定なデータ値を取り込まずに精度良く試験することができる。

【0061】

また、さらに、試験装置 10 の判定部 42 は、試験信号供給部 44 がリードイネーブル信号を出力してから、予め定められた時間 T_y 経過後において、バッファ部 54 から出力されたデータ信号を受信して、期待値と比較する。本例においては、判定部 42 は、時刻 t_{32} から、少なくとも一定時間 T_y を経過した後の時刻 t_{36} において、バッファ部 54 からデータ信号の転送を受ける。

【0062】

判定部 42 は、一例として、試験信号供給部 44 がリードイネーブル信号を出力してから、被試験デバイス 200 の仕様により定められたリードイネーブル信号を受け取ってからデータ信号を出力するまでの最大遅延時間以上経過した後において、バッファ部 54 からデータ信号を受信する。これにより、判定部 42 は、被試験デバイス 200 から出力されたデータ信号がバッファ部 54 にバッファリングされる前に、バッファ部 54 から無効なデータを読み出してして判定することを回避できる。従って、試験装置 10 によれば、被試験デバイス 200 から出力されたデータ信号を確実に取り込んで試験することができる。

【0063】

なお、取得部 52 がデータ信号を取得してからバッファ部 54 がデータ信号を取得するまでの時間に遅延が生じる場合には、判定部 42 は、取得部 52 における遅延時間と、リードイネーブル信号が与えられてからデータ信号を出力するまでの最大遅延時間とに加えた時間以上経過した後において、バッファ部 54 からデータ信号を受信する。また、バッファ部 54 は、被試験デバイス 200 における最大遅延時間に相当する時間の間に、被試験デバイス 200 が出力可能なデータ数以上のエントリ数を有することが好ましい。これにより、バッファ部 54 は、被試験デバイス 200 から出力されるデータ信号が、リードイネーブル信号が与えられてから最大遅延時間分遅延した場合であっても、オーバーフローさせずにデータ信号をバッファリングすることができる。

【0064】

以上のように、本実施形態に係る試験装置 10 は、被試験デバイス 200 にリードイネーブル信号を与えてから、予め定められた時間経過後において、バッファ部 54 にバッファリングされたデータ信号を期待値と比較する。これにより、試験装置 10 によれば、被試験デバイス 200 から出力されたデータ信号がバッファ部 54 にバッファリングされる前において判定を開始することを回避して、被試験デバイス 200 から出力されたデータ信号を確実に取り込んで試験することができる。

【0065】

図 8 は、本実施形態の変形例に係る試験装置 10 の構成を示す。本変形例に係る試験装置 10 は、図 3 に示される本実施形態に係る試験装置 10 と略同一の構成および機能を採用するので、図 3 に示される本実施形態に係る試験装置 10 が備える部材と略同一の構成および機能の部材に同一の符号を付け、以下相違点を除き説明を省略する。

【0066】

試験装置 10 は、トレーニング部 82 と、クロック取得部 84 とを更に備える。トレーニング部 82 は、被試験デバイス 200 の試験に先立って、被試験デバイス 200 にコマンドを出力してから被試験デバイス 200 から有効なクロック信号を受け取るまでの遅延時間を測定する。より具体的には、トレーニング部 82 は、試験信号供給部 44 を制御して、試験信号供給部 44 から被試験デバイス 200 に対してデータ信号の出力を指示するコマンド例えばリードコマンドを送信させる。そして、トレーニング部 82 は、試験信号供給部 44 からコマンドを送信してから、被試験デバイス 200 から有効なクロック信号を受けとまでの遅延時間を測定する。

【0067】

クロック取得部 84 は、被試験デバイス 200 が出力するクロック信号を取得する。そして、クロック取得部 84 は、被試験デバイス 200 から出力されたクロック信号が取得されたか否かを検出する。

【0068】

図 9 は、変形例に係る試験装置 10 のクロック取得タイミングの一例を示す。トレーニング部 82 は、被試験デバイス 200 の試験に先立って、被試験デバイス 200 に対してデータ信号の出力を指示するコマンド（例えばリードコマンド）を試験信号供給部 44 から複数回繰り返して出力させる。これにより、試験信号供給部 44 は、被試験デバイス 200 に対して例えばリードコマンドを複数回送信する。

【0069】

さらに、トレーニング部 82 は、試験信号供給部 44 からリードコマンドを出力させる毎に、クロック取得部 84 にクロック信号を取得させる。この場合において、トレーニング部 82 は、クロック取得部 84 がクロック信号を取得するタイミングを、リードコマンド毎に変化させる。そして、トレーニング部 82 は、複数のコマンドに対するクロック信号を取得させた結果に基づいて、リードコマンドが与えられてからクロック信号を出力するまでの遅延時間を測定する。

【0070】

例えば、トレーニング部 82 は、リードコマンド毎に、クロック信号が出力されているか否かを判断するための時間幅を規定する検出ウィンドウを、クロック取得部 84 に対して設定する。この場合において、トレーニング部 82 は、リードコマンド毎に検出ウィンドウの位置を移動させる。そして、クロック取得部 84 は、リードコマンド毎に、設定された検出ウィンドウ内においてクロック信号を取得できたか否かを判断する。クロック取得部 84 は、一例として、検出ウィンドウ内において、論理レベルが反転するパルス信号が取得できたか否かを検出する。

【0071】

このような検出をした場合、クロック取得部 84 がクロック信号を取得できた最も早い時間の検出ウィンドウの位置が、被試験デバイス 200 から有効なクロック信号を受けとまでの遅延時間となる。これにより、トレーニング部 82 は、被試験デバイス 200 がリードコマンドが与えられてからクロック信号を出力するまでの遅延時間を測定することができる。

【0072】

トレーニング部 82 は、測定した遅延時間に応じた基準遅延時間をマスク部 50 に設定する。そして、マスク部 50 は、試験時において、トレーニング部 82 が測定した遅延時間に応じた基準遅延時間を使用して被試験デバイス 200 からのクロック信号に応じたサンプリングクロックを出力する。

【0073】

以上により、試験装置 10 は、コマンドを受けてからデータ信号を出力するまでの時間が被試験デバイス 200 毎に個体差がある場合であっても、それぞれの個体に応じた正確な基準遅延時間を測定することができる。これにより、試験装置 10 によれば、被試験デバイス 200 が読出データの出力を開始するタイミングにおいて精度良くサンプリングクロックの出力を、マスク状態からイネーブル状態へと切り替えることができる。

【0074】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0075】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用い

10

20

30

40

50

るのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【0076】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【0077】

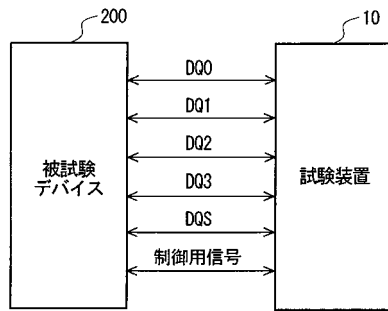
特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【符号の説明】

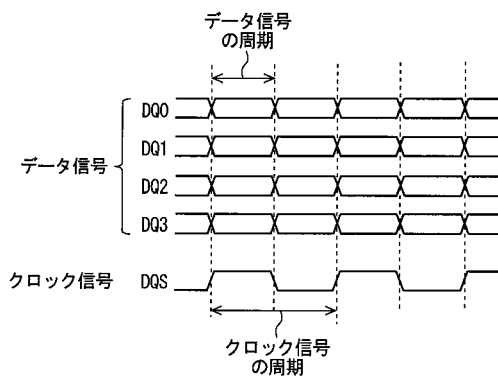
【0078】

10	試験装置	
12	データ端子	
14	クロック端子	20
22	タイミング発生部	
24	パターン発生部	
32	データ用コンパレータ	
34	クロック用コンパレータ	
36	クロック生成部	
38	データ取得部	
42	判定部	
44	試験信号供給部	
50	マスク部	
52	取得部	30
54	バッファ部	
56	オーバーフロー検出部	
62	遅延器	
64	ストローブ発生部	
66	合成部	
72	奇数側フリップフロップ	
74	偶数側フリップフロップ	
76	マルチプレクサ	
82	トレーニング部	
84	クロック取得部	40
200	被試験デバイス	

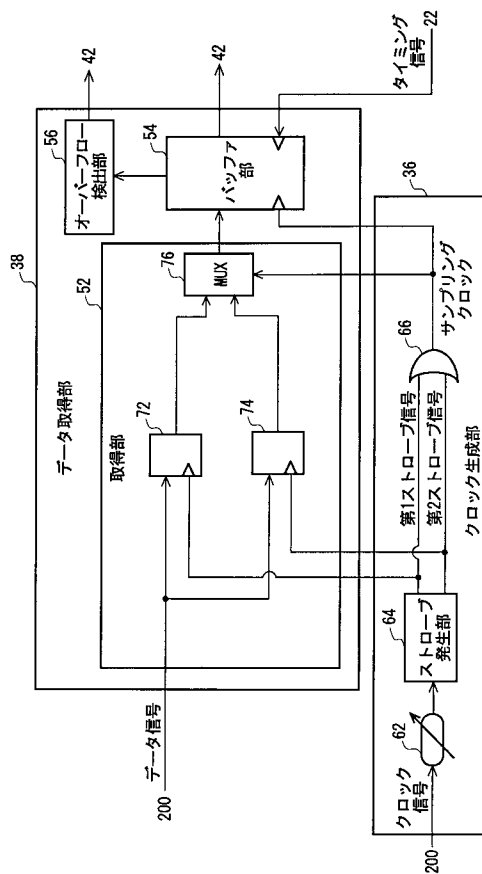
【図 1】



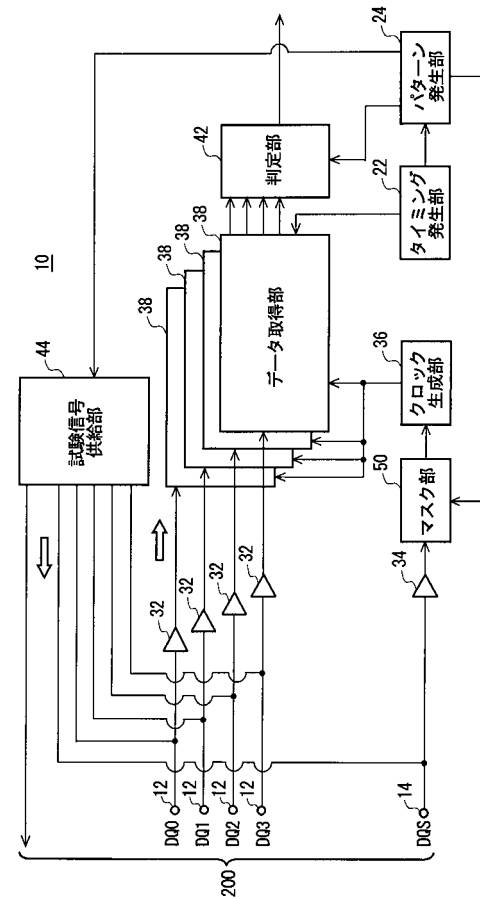
【図 2】



【図 4】



【図 3】



【図 5】

