



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년11월22일
(11) 등록번호 10-2048155
(24) 등록일자 2019년11월18일

- (51) 국제특허분류(Int. Cl.)
H01G 4/252 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/232 (2006.01)
H01G 4/30 (2006.01)
- (52) CPC특허분류
H01G 4/252 (2013.01)
H01G 4/012 (2013.01)
- (21) 출원번호 10-2018-0105915
- (22) 출원일자 2018년09월05일
심사청구일자 2018년09월05일
- (65) 공개번호 10-2019-0121168
- (43) 공개일자 2019년10월25일
- (56) 선행기술조사문헌
KR1020150048045 A
KR1020170116949 A
KR1020150039479 A

- (73) 특허권자
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
- (72) 발명자
최혜영
경기도 수원시 영통구 매영로 150 (매탄동)
이중호
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)
- (74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 10 항

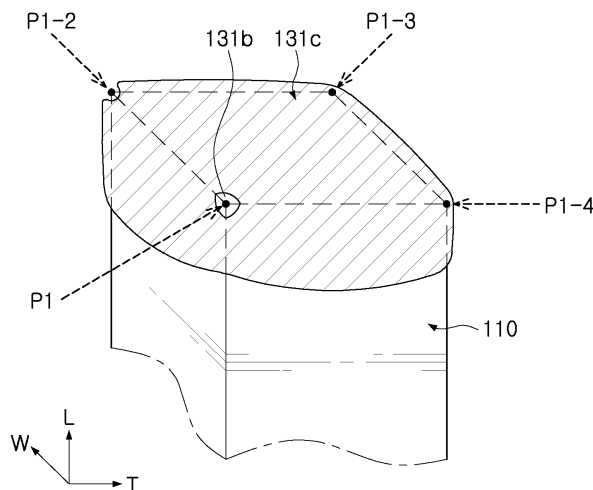
심사관 : 황승희

(54) 발명의 명칭 적층 세라믹 전자부품

(57) 요약

본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 제1 및 제2 내부전극을 포함하는 세라믹 바디와, 각각 제1 및 제2 내부전극에 연결되도록 세라믹 바디의 외측에 배치되고 세라믹 바디의 8개 코너를 커버하도록 배치된 제1 및 제2 외부전극을 포함하며, 제1 및 제2 외부전극 각각은 적어도 일부분이 세라믹 바디의 외측에 각각 접촉하는 제1 및 제2 베이스 전극층과, 제1 및 제2 베이스 전극층을 커버하도록 배치된 제1 및 제2 도금층을 포함하고, 제1 및 제2 도금층은 제1 및 제2 도금층에서 세라믹 바디의 8개 코너에 가장 가까운 8개 지점 중 1개 이상 3개 이하 지점에 위치할 1개 이상 3개 이하의 구멍을 가진다.

대표도 - 도4



(52) CPC특허분류

H01G 4/1209 (2013.01)

H01G 4/2325 (2013.01)

H01G 4/30 (2013.01)

(72) 발명자

조의현

경기도 수원시 영통구 매영로 150 (매탄동)

이장열

경기도 수원시 영통구 매영로 150 (매탄동)

이진우

경기도 수원시 영통구 매영로 150 (매탄동)

구현희

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 제1 및 제2 내부전극을 포함하는 세라믹 바디; 및

각각 상기 제1 및 제2 내부전극에 연결되도록 상기 세라믹 바디의 외측에 배치되고 상기 세라믹 바디의 8개 코너 중 적어도 5개 코너를 커버하도록 배치된 제1 및 제2 외부전극; 을 포함하며,

상기 제1 및 제2 외부전극 각각은 적어도 일부분이 상기 세라믹 바디의 외측에 각각 접촉하는 제1 및 제2 베이스 전극층과, 상기 제1 및 제2 베이스 전극층을 커버하도록 배치된 제1 및 제2 도금층을 포함하고,

상기 제1 및 제2 도금층은 상기 제1 및 제2 도금층에서 상기 세라믹 바디의 8개 코너에 가장 가까운 8개 지점 중 1개 이상 3개 이하 지점에 위치한 1개 이상 3개 이하의 구멍을 가지는 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 제1 및 제2 외부전극 각각의 [폭X두께]면 중심의 두께는 10 μ m 이하인 적층 세라믹 전자부품.

청구항 3

제2항에 있어서,

상기 제1 및 제2 외부전극 각각은 각각 상기 제1 및 제2 베이스 전극층과 상기 제1 및 제2 도금층의 사이에 배치된 제1 및 제2 도전성 수지층을 더 포함하고,

상기 제1 및 제2 도전성 수지층은 상기 제1 및 제2 도금층의 구멍으로 노출되는 적층 세라믹 전자부품.

청구항 4

제3항에 있어서,

상기 제1 및 제2 외부전극 각각은 각각 상기 제1 및 제2 도금층의 외측에 배치되는 제1 및 제2 주석 도금층을 더 포함하고,

상기 제1 및 제2 도금층은 각각 니켈을 가장 많이 함유하는 적층 세라믹 전자부품.

청구항 5

제4항에 있어서,

상기 제1 및 제2 주석 도금층은 상기 제1 및 제2 도금층의 구멍들을 커버하는 적층 세라믹 전자부품.

청구항 6

제2항에 있어서,

상기 제1 및 제2 베이스 전극층은 상기 제1 및 제2 베이스 전극층에서 상기 제1 및 제2 도금층의 구멍들에 가장

가까운 지점에 각각 위치한 1개 이상 3개 이하의 구멍을 가지는 적층 세라믹 전자부품.

청구항 7

제6항에 있어서,

상기 제1 및 제2 외부전극 각각은 각각 상기 제1 및 제2 베이스 전극층과 상기 제1 및 제2 도금층의 사이에 배치된 제1 및 제2 도전성 수지층을 더 포함하고,

상기 제1 및 제2 도전성 수지층은 상기 제1 및 제2 도전성 수지층에서 상기 제1 및 제2 도금층의 구멍들에 가장 가까운 지점에 각각 위치한 1개 이상 3개 이하의 구멍을 가지는 적층 세라믹 전자부품.

청구항 8

제5항 또는 제7항에 있어서,

상기 제1 및 제2 도금층 각각의 [폭X두께]면 중심의 두께는 $3\mu\text{m}$ 이상 $5\mu\text{m}$ 이하인 적층 세라믹 전자부품.

청구항 9

제8항에 있어서,

상기 제1 및 제2 내부전극 사이에 배치된 유전체층의 평균두께는 $0.4\mu\text{m}$ 이하이고,

상기 제1 및 제2 내부전극의 평균두께는 $0.4\mu\text{m}$ 이하인 적층 세라믹 전자부품.

청구항 10

제9항에 있어서,

기관 상에서 상기 제1 및 제2 외부전극에 각각 연결되는 제1 및 제2 솔더를 더 포함하는 적층 세라믹 전자부품.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 전자부품에 관한 것이다.

배경 기술

[0003] 적층 세라믹 전자부품은 소형이면서도 고용량이 보장되고 실장이 용이하다는 장점으로 인하여 컴퓨터, PDA, 휴대폰 등의 IT부품으로서 널리 사용되고 있으며, 고신뢰성, 고강도 특성을 가져서 전장부품으로서도 널리 사용되고 있다.

[0004] 적층 세라믹 전자부품에 포함된 외부전극은 적층 세라믹 전자부품의 외부로 노출되는 전극이므로 신뢰성, 강도에 큰 영향을 줄 수 있다.

[0005] 최근 제품의 소형화 및 고기능화에 따라 외부전극의 두께가 점차 얇아지고 있다. 그러나, 외부전극의 신뢰성, 강도는 외부전극의 두께가 얇아질수록 저하될 수 있다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 특개2017-011172호

발명의 내용

해결하려는 과제

[0008] 외부전극에 포함된 도금층 및/또는 베이스 전극층은 외부전극의 두께가 얇아짐에 따라 세라믹 바디의 8개 코너에 대응되는 지점들에 위치한 구멍을 가질 수 있다.

[0009] 본 발명은 상기 구멍의 개수를 최적화하여 얇은 외부전극을 가지면서도 외부전극의 실질적인 내습 신뢰성 및 실장 불량률의 열화를 억제할 수 있는 적층 세라믹 전자부품을 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 제1 및 제2 내부전극을 포함하는 세라믹 바디; 및 각각 상기 제1 및 제2 내부전극에 연결되도록 상기 세라믹 바디의 외측에 배치되고 상기 세라믹 바디의 8개 코너를 커버하도록 배치된 제1 및 제2 외부전극; 을 포함하며, 상기 제1 및 제2 외부전극 각각은 적어도 일부분이 상기 세라믹 바디의 외측에 각각 접촉하는 제1 및 제2 베이스 전극층과, 상기 제1 및 제2 베이스 전극층을 커버하도록 배치된 제1 및 제2 도금층을 포함하고, 상기 제1 및 제2 도금층은 상기 제1 및 제2 도금층에서 상기 세라믹 바디의 8개 코너에 가장 가까운 8개 지점 중 1개 이상 3개 이하 지점에 위치한 1개 이상 3개 이하의 구멍을 가질 수 있다.

[0012] 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 유전체층과 상기 유전체층을 사이에 두고 일 측면과 타 측면으로 교대로 노출되도록 적층된 제1 및 제2 내부전극을 포함하는 세라믹 바디; 및 각각 상기 제1 및 제2 내부전극에 연결되도록 상기 세라믹 바디의 외측에 배치되고 상기 세라믹 바디의 8개 코너를 커버하도록 배치된 제1 및 제2 외부전극; 을 포함하며, 상기 제1 및 제2 외부전극 각각은 적어도 일부분이 상기 세라믹 바디의 외측에 각각 접촉하는 제1 및 제2 베이스 전극층과, 상기 제1 및 제2 베이스 전극층을 커버하도록 배치된 제1 및 제2 도금층을 포함하고, 상기 제1 및 제2 베이스 전극층은 상기 제1 및 제2 베이스 전극층에서 상기 세라믹 바디의 8개 코너에 가장 가까운 8개 지점 중 1개 이상 3개 이하 지점에 위치한 1개 이상 3개 이하의 구멍을 가진다.

발명의 효과

[0014] 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 도금층 및/또는 베이스 전극층의 구멍 개수를 최적화하

여 외부전극의 두께를 줄이면서도 외부전극의 실질적인 내습 신뢰성 및 실장 불량률의 열화를 억제할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품을 나타내는 사시도이다.
- 도 2는 도 1의 A-A' 단면도이다.
- 도 3은 도 2의 S 영역 확대도이다.
- 도 4는 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품의 코너를 나타낸 사시도이다.
- 도 5는 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품의 실장형태를 예시한 사시도이다.
- 도 6a는 코너에 구멍이 형성된 적층 세라믹 전자부품의 예시한 SEM 도면이다.
- 도 6b는 코너에 구멍이 형성되지 않은 적층 세라믹 전자부품의 예시한 SEM 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0018] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.
- [0019] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 본 발명의 실시형태들을 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도면 상에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향 및 두께 방향을 나타낸다. 여기서, 두께 방향은 유전체층이 적층되는 적층 방향과 동일한 개념으로 사용될 수 있다.
- [0021] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.
- [0023] 도 1은 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 나타내는 사시도이며, 도 2는 도 1의 A-A' 단면도이고, 도 3은 도 2의 S 영역 확대도이다.
- [0024] 도 1 내지 도 3을 참조하면, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품(100)은, 세라믹 바디(110) 및 제1 및 제2 외부전극(131, 132)을 포함한다.
- [0026] 세라믹 바디(110)는 길이 방향(L)의 양 측면, 폭 방향(W)의 양 측면 및 두께 방향(T)의 양 측면을 갖는 육면체로 형성될 수 있다. 이러한 세라믹 바디(110)는 복수의 유전체층(111)을 두께 방향(T)으로 적층한 다음 소성하여 형성되며, 이러한 세라믹 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수(1개 이상)가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0027] 세라믹 바디(110)에 배치된 복수의 유전체층(111)은 소결된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0028] 예를 들어, 세라믹 바디(110)는 육면체에서 8개 코너가 둥근 형태를 가질 수 있다. 이에 따라, 세라믹 바디(110)의 내구성, 신뢰성은 향상될 수 있으며, 상기 코너에서의 제1 및 제2 외부전극(131, 132)의 구조적 신뢰성을 향상시킬 수 있다.
- [0030] 유전체층(111)은 그 두께를 적층 세라믹 전자부품(100)의 용량 설계에 맞추어 임의로 변경할 수 있으며, 고유전률을 갖는 세라믹 분말, 예를 들어 티탄산바륨(BaTiO₃)계 또는 티탄산스트론튬(SrTiO₃)계 분말을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 또한, 세라믹 분말에 본 발명의 목적에 따라 다양한 세라믹 첨가제,

유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.

- [0031] 유전체층(111) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다. 이에 따라, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 IT부품과 같이 소형화와 고용량을 크게 요구하는 부품으로서 사용될 수 있다.
- [0032] 예를 들어, 유전체층(111)은 티탄산바륨(BaTiO₃) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 시트를 마련함에 의해 형성될 수 있다. 상기 세라믹 시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작함에 따라 형성될 수 있으나, 이에 한정되지 않는다.
- [0034] 제1 및 제2 내부전극(121, 122)은 각각 서로 다른 극성을 갖는 적어도 하나의 제1 내부전극(121)과 적어도 하나의 제2 내부전극(122)으로 구성될 수 있으며, 세라믹 바디(110)의 두께 방향(T)으로 적층되는 복수의 유전체층(111)을 사이에 두고 소정의 두께로 형성될 수 있다.
- [0035] 상기 제1 내부전극(121)과 제2 내부전극(122)은 도전성 금속을 포함하는 도전성 페이스트를 인쇄하여 유전체층(111)의 적층 방향을 따라 세라믹 바디(110)의 길이 방향(L)의 일 측면과 타 측면으로 번갈아 노출되도록 형성될 수 있으며, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연될 수 있다.
- [0036] 즉, 제1 및 제2 내부 전극(121, 122)은 세라믹 바디(110)의 길이 방향 양 측면으로 번갈아 노출되는 부분을 통해 세라믹 바디(110)의 길이 방향(L)의 양 측면에 형성된 제1 및 제2 외부 전극(131, 132)과 각각 전기적으로 연결될 수 있다.
- [0037] 예를 들어, 제1 및 제2 내부전극(121, 122)은 입자 평균 크기가 0.1 내지 0.2 μm 이고 40 내지 50 중량%의 도전성 금속 분말을 포함하는 내부전극용 도전성 페이스트에 의해 형성될 수 있으나, 이에 한정되지 않는다.
- [0038] 상기 세라믹 시트 상에 상기 내부전극용 도전성 페이스트를 인쇄 공법 등으로 도포하여 내부전극 패턴을 형성할 수 있다. 상기 도전성 페이스트의 인쇄 방법은 스크린 인쇄법 또는 그라비아 인쇄법 등을 사용할 수 있으며, 본 발명이 이에 한정되는 것은 아니다. 상기 내부 전극 패턴이 인쇄된 세라믹 시트를 200 내지 300층 적층하고, 압착, 소성하여 세라믹 바디(110)를 제작할 수 있다.
- [0040] 따라서, 제1 및 제2 외부 전극(131, 132)에 전압을 인가하면 서로 대향하는 제1 및 제2 내부 전극(121, 122) 사이에 전하가 축적되고, 이때 적층 세라믹 커패시터(100)의 정전 용량은 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적과 비례하게 된다.
- [0041] 즉, 제1 및 제2 내부 전극(121, 122)의 서로 중첩되는 영역의 면적이 극대화될 경우 동일 사이즈의 커패시터라도 정전 용량은 극대화될 수 있다.
- [0043] 이러한 제1 및 제2 내부 전극(121, 122)의 폭은 용도에 따라 결정될 수 있는데, 예를 들어 0.4 μm 이하일 수 있다. 이에 따라, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품(100)은 IT부품과 같이 소형화와 고용량을 크게 요구하는 부품으로서 사용될 수 있다.
- [0044] 유전체층(111)의 두께는 제1 및 제2 내부 전극(121, 122) 사이의 간격에 대응되므로, 적층 세라믹 전자부품(100)의 정전 용량은 유전체층(111)의 두께가 짧을수록 클 수 있다.
- [0046] 한편, 제1 및 제2 내부 전극(121, 122)을 형성하는 도전성 페이스트에 포함되는 도전성 금속은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금일 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0048] 제1 및 제2 외부전극(131, 132)은 각각 제1 및 제2 내부전극(121, 122)에 연결되도록 세라믹 바디(110)의 외측에 배치될 수 있으며, 제1 및 제2 내부전극(121, 122)과 기판 사이를 전기적으로 연결시키도록 구성될 수 있다.
- [0049] 제1 및 제2 외부전극(131, 132) 각각은 구조적 신뢰성, 기판실장 용이성, 외부에 대한 내구도, 내열성, 등가직렬저항값(Equivalent Series Resistance, ESR) 중 적어도 일부를 위해 제1 및 제2 도금층(131c, 132c)을 포함한다.
- [0050] 예를 들어, 제1 및 제2 도금층(131c, 132c)은 스퍼터 또는 전해 도금(Electric Deposition)에 따라 형성될 수 있으나, 이에 한정되지 않는다.
- [0051] 예를 들어, 제1 및 제2 도금층(131c, 132c)은 니켈을 가장 많이 함유할 수 있으나, 이에 한정되지 않으며 구리

(Cu), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 단독 또는 이들의 합금으로 구현될 수도 있다.

- [0053] 제1 및 제2 외부전극(131, 132) 각각은 각각 제1 및 제2 내부전극(121, 122)과 제1 및 제2 도금층(131c, 132c)의 사이에 배치되고 적어도 일부분이 세라믹 바디(110)의 외측에 접촉하는 제1 및 제2 베이스 전극층(131a, 132a)을 더 포함할 수 있다.
- [0054] 제1 및 제2 베이스 전극층(131a, 132a)은 제1 및 제2 도금층(131c, 132c)에 비해 상대적으로 제1 및 제2 내부전극(121, 122)에 쉽게 결합될 수 있으므로, 제1 및 제2 내부전극(121, 122)에 대한 접촉저항을 줄일 수 있다.
- [0055] 제1 및 제2 베이스 전극층(131a, 132a)은 제1 및 제2 외부전극(131, 132)에서 제1 및 제2 도금층(131c, 132c)의 내측영역에 배치될 수 있다.
- [0056] 예를 들어, 제1 및 제2 베이스 전극층(131a, 132a)은 각각 적층 세라믹 전자부품(100)의 외부로 노출되지 않도록 제1 및 제2 도금층(131c, 132c)과 제1 및 제2 도전성 수지층(131b, 132b)에 의해 덮힐 수 있다.
- [0058] 예를 들어, 제1 및 제2 베이스 전극층(131a, 132a)은 금속 성분이 포함된 페이스트에 딥핑(dipping)하는 방법이나 세라믹 바디(110)의 두께 방향(T)의 적어도 일면 상에 도전성 금속을 포함하는 도전성 페이스트를 인쇄하는 방법으로 형성될 수 있으며, 시트(Sheet) 전사, 패드(Pad) 전사 방식에 의해 형성될 수도 있다.
- [0059] 예를 들어, 제1 및 제2 베이스 전극층(131a, 132a)은 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 단독 또는 이들의 합금일 수 있다.
- [0061] 제1 및 제2 외부전극(131, 132) 각각은 각각 제1 및 제2 베이스 전극층(131a, 132a)과 제1 및 제2 도금층(131c, 132c)의 사이에 배치된 제1 및 제2 도전성 수지층(131b, 132b)을 더 포함할 수 있다.
- [0062] 제1 및 제2 도전성 수지층(131b, 132b)은 제1 및 제2 도금층(131c, 132c)에 비해 상대적으로 높은 유연성을 가지므로, 외부의 물리적 충격이나 적층 세라믹 전자부품(100)의 휨 충격으로부터 보호할 수 있으며, 기판 실장시에 가해지는 응력이나 인장 스트레스를 흡수하여 외부전극에 크랙이 발생하는 것을 방지할 수 있다.
- [0063] 예를 들어, 제1 및 제2 도전성 수지층(131b, 132b)은 글래스(glass)나 에폭시(epoxy) 수지와 같이 높은 유연성을 가지는 수지에 구리(Cu), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 금(Au), 은(Ag) 또는 납(Pb) 등의 도전성 입자가 함유된 구조를 가져서 높은 유연성과 높은 전도도를 가질 수 있다.
- [0065] 제1 및 제2 외부전극(131, 132) 각각은 각각 제1 및 제2 도금층(131c, 132c)의 외측에 배치되는 제1 및 제2 주석 도금층(131d, 132d)을 더 포함할 수 있다. 제1 및 제2 주석 도금층(131d, 132d)은 구조적 신뢰성, 기판실장 용이성, 외부에 대한 내구도, 내열성, 등가직렬저항값 중 적어도 일부를 더욱 향상시킬 수 있다.
- [0067] 도 4는 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품의 코너를 나타낸 사시도이다.
- [0068] 도 4를 참조하면, 세라믹 바디(110)는 8개 코너(P1, P1-2, P1-3, P1-4)를 포함할 수 있다.
- [0069] 제1 및 제2 도금층(131c, 132c)은 세라믹 바디(110)의 8개 코너(P1, P1-2, P1-3, P1-4)를 커버하도록 배치될 수 있다.
- [0070] 제1 및 제2 도금층(131c, 132c)은 각각 두께편차를 가질 수 있다.
- [0071] 예를 들어, 제1 및 제2 도금층(131c, 132c)의 [폭X두께]면 중심 두께는 제1 및 제2 도금층(131c, 132c)에서 가장 긴 두께이고, 제1 및 제2 도금층(131c, 132c)의 8개 코너(P1, P1-2, P1-3, P1-4) 두께는 제1 및 제2 도금층(131c, 132c)에서 가장 짧을 수 있다.
- [0072] 따라서, 제1 및 제2 도금층(131c, 132c)의 평균 두께가 점점 얇아질 경우, 제1 및 제2 도금층(131c, 132c)의 8개 코너(P1, P1-2, P1-3, P1-4)에는 구멍이 형성될 수 있다.
- [0073] 상기 구멍의 크기는 제1 및 제2 도금층(131c, 132c)의 평균 두께가 얇을수록 더 커질 수 있다.
- [0074] 제1 및 제2 도금층(131c, 132c)은 얇은 평균 두께를 가질수록 적층 세라믹 전자부품의 비용 대비 신뢰성과 휨 강도를 향상시킬 수 있다.
- [0075] 제1 및 제2 도금층(131c, 132c)이 얇아짐에 따라 형성되는 구멍은 외부의 수분침투 경로로 작용하여 내습 신뢰성을 저하시키고 실장 신뢰성도 저하시킬 수 있다.
- [0076] 따라서, 제1 및 제2 도금층(131c, 132c)의 두께가 최적화될 경우, 제1 및 제2 도금층(131c, 132c)은 적층 세라

믹 전자부품의 비용 대비 신뢰성과 휨 강도를 확보할 수 있을 뿐만 아니라 내습 신뢰성과 실장 신뢰성도 확보할 수 있다.

[0077] 제1 및 제2 도금층(131c, 132c)의 8개 코너(P1, P1-2, P1-3, P1-4)는 서로 두께편차를 가질 수 있으므로, 제1 및 제2 도금층(131c, 132c) 형성시 제1 및 제2 도금층(131c, 132c)의 8개 코너(P1, P1-2, P1-3, P1-4) 중 일부 코너에만 구멍이 형성되도록 두께를 제어할 경우, 제1 및 제2 도금층(131c, 132c)의 두께는 최적화될 수 있다.

[0078] 표 1은 8개 코너(P1, P1-2, P1-3, P1-4) 중 일 코너의 구멍 형성 빈도에 따른 실장 신뢰성과 내습 신뢰성을 나타낸다.

표 1

[0079]

설계No. 측정수	구멍 형성 빈도	실장 불량 빈도	내습신뢰성 불량 빈도
	10	400	400
1	10	87	112
2	9	64	88
3	9	66	93
4	7	33	48
5	6	9	51
6	6	3	5
7	5	1	0
8	3	0	0
9	2	0	0
10	0	0	0

[0080] 표 1을 참조하면, 실장 불량과 내습 신뢰성 불량은 구멍 형성 빈도가 50% 미만일 경우에 방지될 수 있다.

[0081] 즉, 제1 및 제2 도금층(131c, 132c)은 8개 코너(P1, P1-2, P1-3, P1-4)에 위치한 1개 이상 3개 이하의 구멍을 가지도록 두께가 조절된 경우에 실장 불량과 내습 신뢰성 불량을 방지할 수 있다.

[0083] 예를 들어, 제1 및 제2 외부전극의 [폭X두께]면 중심의 두께는 10 μ m 이하이도록 조절될 수 있다.

[0084] 이에 따라, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은 내습 신뢰성과 실장 신뢰성도 확보할 수 있을 뿐만 아니라, 적층 세라믹 전자부품의 비용 대비 신뢰성과 휨 강도도 확보할 수 있다.

[0086] 예를 들어, 제1 및 제2 도금층(131c, 132c)의 [폭X두께]면 중심의 두께는 3 μ m 이상 5 μ m 이하이도록 조절될 수 있다.

[0087] 이에 따라, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은 내습 신뢰성과 실장 신뢰성도 확보할 수 있을 뿐만 아니라, 적층 세라믹 전자부품의 비용 대비 신뢰성과 휨 강도도 확보할 수 있다.

[0089] 제1 및 제2 도전성 수지층(131b, 132b)은 제1 및 제2 도금층(131c, 132c)의 구멍을 통해 노출될 수 있다. 이에 따라, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품의 외부의 물리적 충격이나 적층 세라믹 전자부품(100)의 휨 충격에 대한 강도는 실질적으로 열화되지 않을 수 있다.

[0091] 한편, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 제1 및 제2 도금층(131c, 132c) 대신 도 1 내지 도 3에 도시된 제1 및 제2 베이스 전극층의 두께를 최적화하여 적층 세라믹 전자부품의 비용 대비 신뢰성과 휨 강도를 확보할 수 있을 뿐만 아니라 내습 신뢰성과 실장 신뢰성도 확보할 수 있다.

[0092] 제1 및 제2 도금층(131c, 132c)의 두께편차와 유사하게, 제1 및 제2 베이스 전극층도 형성 과정에서 유동성 및 점성으로 인해 두께편차를 가질 수 있기 때문이다.

[0093] 즉, 제1 및 제2 베이스 전극층은 제1 및 제2 베이스 전극층에서 세라믹 바디(110)의 8개 코너(P1, P1-2, P1-3, P1-4)에 가장 가까운 8개 지점 중 1개 이상 3개 이하 지점에 위치한 1개 이상 3개 이하의 구멍을 가질 수 있다.

[0095] 한편, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품은, 제1 및 제2 도금층(131c, 132c)의 두께와 제1 및 제2 베이스 전극층의 두께를 모두 최적화하여 제1 및 제2 외부전극의 두께를 더욱 줄이면서도 내습 신뢰성과 실장 신뢰성도 확보할 수 있다.

[0096] 즉, 세라믹 바디(110)의 8개 코너(P1, P1-2, P1-3, P1-4) 중 일부 코너는 제1 및 제2 외부전극의 구멍을 통해

노출될 수 있다.

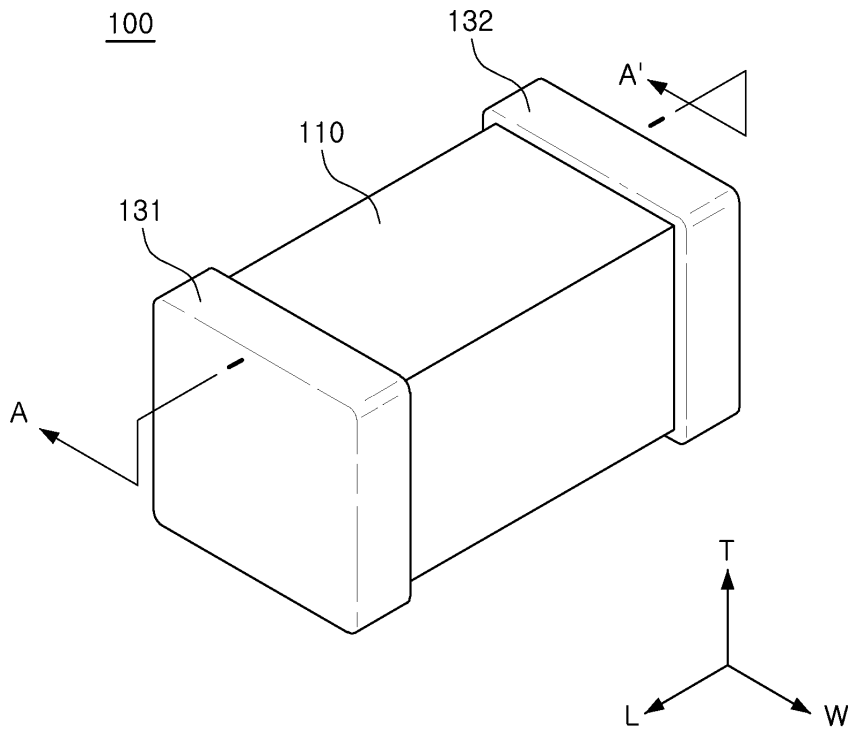
- [0097] 여기서, 제1 및 제2 주석 도금층은 세라믹 바디(110)가 노출되는 구멍을 커버할 수 있다. 설계에 따라, 제1 및 제2 도전성 수지층(131b, 132b)도 세라믹 바디(110)가 노출되는 구멍을 커버할 수 있다.
- [0099] 도 5는 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품의 실장형태를 예시한 사시도이다.
- [0100] 도 5를 참조하면, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품(100)은 각각 제1 및 제2 외부전극(131, 132)에 연결된 제1 및 제2 솔더(230)를 포함하여 기관(210)에 전기적으로 연결될 수 있다.
- [0101] 예를 들어, 기관(210)은 제1 및 제2 전극패드(221, 222)를 포함할 수 있으며, 제1 및 제2 솔더(230)는 각각 제1 및 제2 전극패드(221, 222) 상에 배치될 수 있다.
- [0102] 만약 세라믹 바디(110)의 코너가 둥글 경우, 제1 및 제2 솔더(230)는 세라믹 바디(110)의 둥근 코너에 따른 여유공간에 채워짐에 따라 제1 및 제2 외부전극(131, 132)에 대해 안정적으로 연결될 수 있다.
- [0103] 제1 및 제2 솔더(230)는 리플로우(reflow) 과정에 따라 제1 및 제2 외부전극(131, 132)에 더욱 긴밀히 결합될 수 있는데, 본 발명의 일 실시 예에 따른 적층 세라믹 전자부품(100)은 상대적으로 얇은 제1 및 제2 외부전극(131, 132)을 가지면서도 실장 신뢰성을 가져서 리플로우시의 제1 및 제2 솔더(230)의 끊김을 방지할 수 있다.
- [0105] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다.
- [0106] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

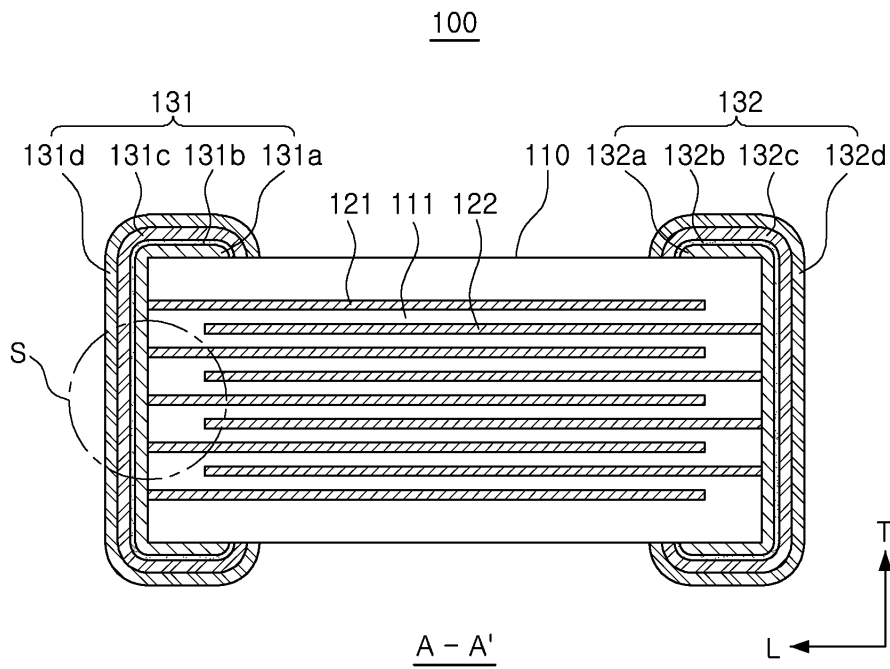
- [0108] 100 : 적층 세라믹 커패시터
- 110 : 세라믹 바디
- 111 : 유전체층
- 121, 122 : 제 1 및 제 2 내부전극
- 131, 132 : 제 1 및 제 2 외부전극
- 131a, 132a : 제1 및 제2 베이스 전극층
- 131b, 132b: 제1 및 제2 도전성 수지층
- 131c, 132c: 제1 및 제2 도금층
- 131d, 132d: 제1 및 제2 주석 도금층
- 210: 기관
- 221, 222: 제1 및 제2 전극패드
- 230: 솔더

도면

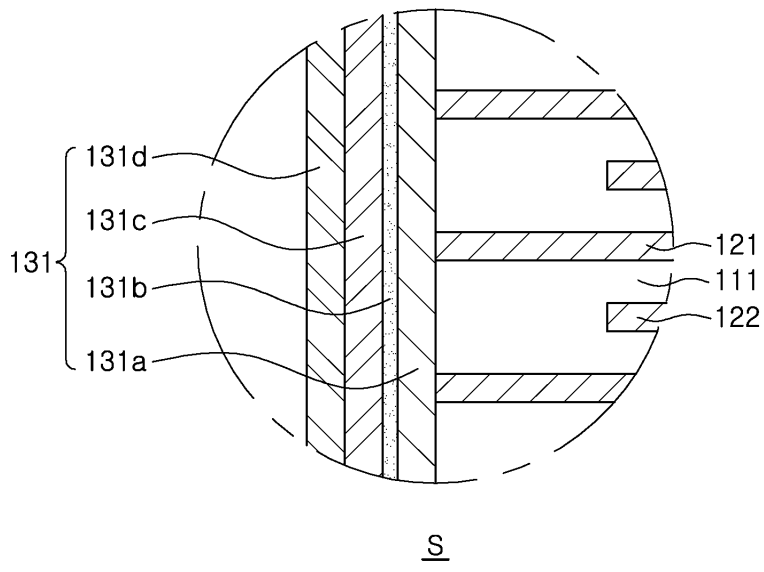
도면1



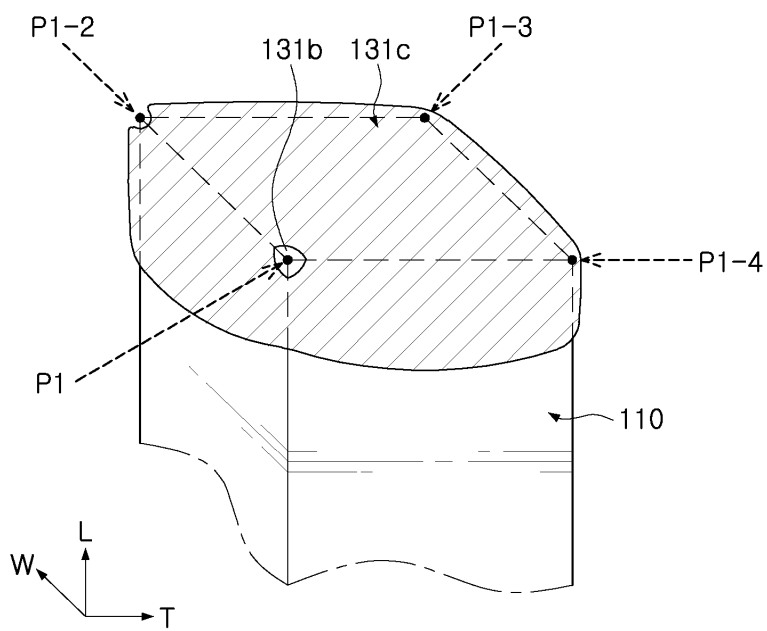
도면2



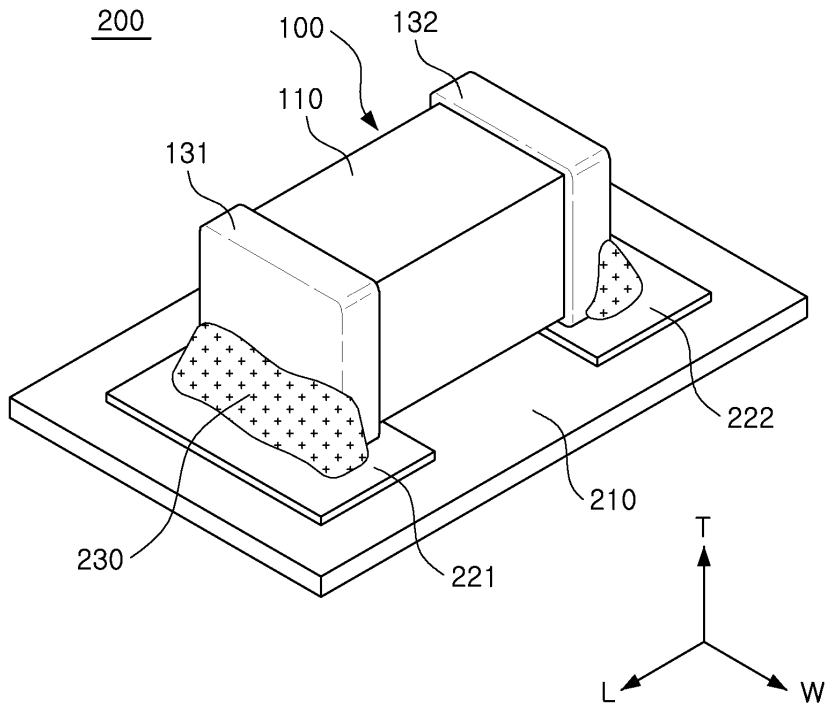
도면3



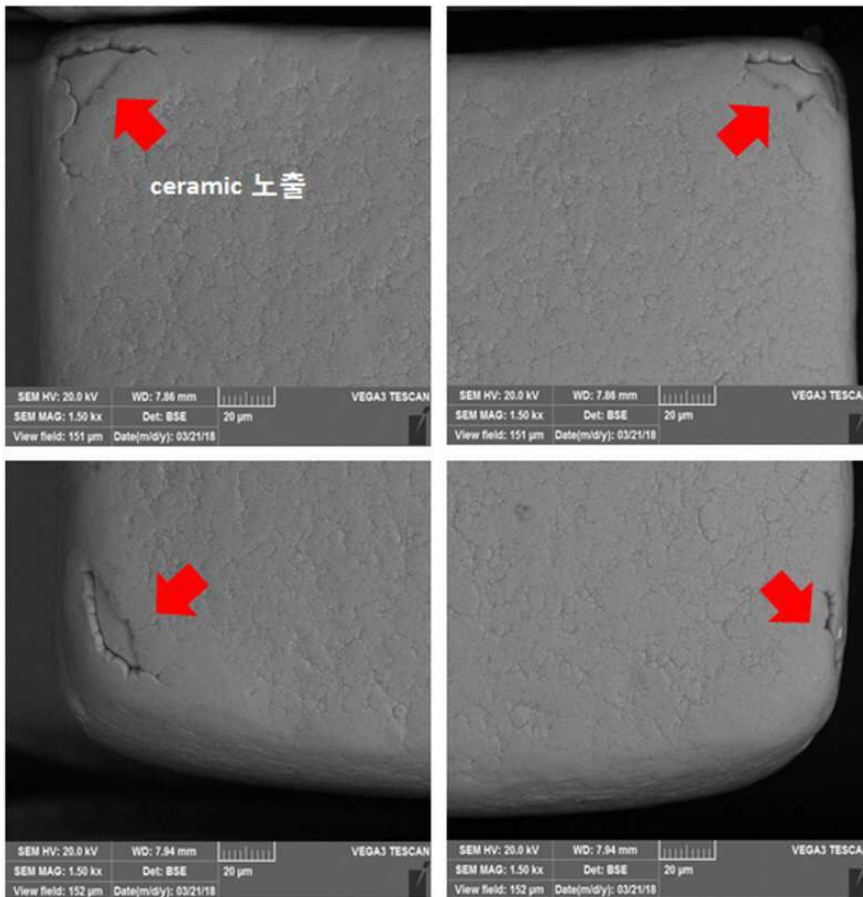
도면4



도면5



도면6a



도면6b

