



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0062145
(43) 공개일자 2020년06월03일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01F 41/04 (2006.01) H01F 17/00 (2006.01)
H01F 27/28 (2006.01) H01F 41/10 (2006.01)</p> <p>(52) CPC특허분류
H01F 41/042 (2013.01)
H01F 17/0013 (2018.08)</p> <p>(21) 출원번호 10-2020-0063247(분할)</p> <p>(22) 출원일자 2020년05월26일
심사청구일자 2020년05월26일</p> <p>(62) 원출원 특허 10-2019-0088124
원출원일자 2019년07월22일
심사청구일자 2019년07월22일</p> | <p>(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)</p> <p>(72) 발명자
최민성
경기도 수원시 영통구 매영로 150 (매탄동)</p> <p>(74) 대리인
특허법인씨엔에스</p> |
|--|---|

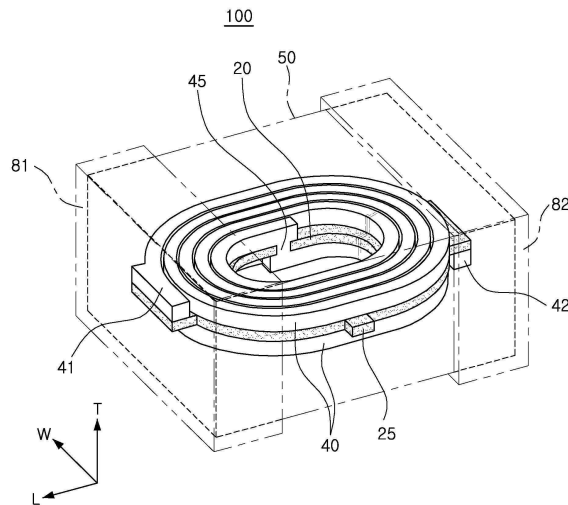
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 칩 전자부품 및 그 제조방법

(57) 요약

본 발명은 칩 전자부품 및 그 제조방법에 관한 것으로, 보다 상세하게는 내부 코일부를 지지하는 힘을 증가시켜 자성체 층을 적층하고 압착하는 과정에서의 내부 코일부의 변형을 방지하고, 내부 코일부의 변형에 의한 노출 불량을 개선할 수 있는 칩 전자부품 및 그 제조방법에 관한 것이다.

대표도 - 도1



(52) CPC특허분류

H01F 41/10 (2013.01)

H01F 2027/2809 (2013.01)

명세서

청구범위

청구항 1

절연 기관;

상기 절연 기관을 포함하고, 서로 마주하는 양 단면, 및 상기 양 단면을 연결하며 서로 마주하는 양 측면을 갖는 본체;

상기 절연 기관의 적어도 일면에 형성되고, 상기 자성체 본체의 양 단면에 각각 노출되는 제 1 및 제 2 인출부를 포함하는 코일부; 및

상기 본체의 양 단면에 형성되며, 상기 코일부와 접속하는 외부전극; 을 포함하고,

상기 절연 기관은 상기 코일부가 형성되지 않은 브릿지 패턴부를 포함하고,

상기 절연 기관의 외주면의 적어도 일부와 상기 코일부의 외주면의 적어도 일부는 서로 중첩되는, 칩 전자부품.

청구항 2

제 1항에 있어서,

상기 브릿지 패턴부는 상기 본체의 일 측면으로 노출되는 칩 전자부품.

청구항 3

제 1항에 있어서,

상기 브릿지 패턴부는 상기 코일부의 제 1 및 제 2 인출부가 노출되는 상기 본체의 양 단면과 직교하는 방향의 서로 대향하는 양 측면으로 노출되는 칩 전자부품.

청구항 4

제 1항에 있어서,

상기 브릿지 패턴부는 상기 절연 기관 상에 형성된 코일부의 변형을 방지하는 칩 전자부품.

청구항 5

제 1항에 있어서,

상기 절연 기관의 두께를 t , 상기 브릿지 패턴부가 노출되는 본체의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부의 단면적의 비는 0.02 내지 0.88인 칩 전자부품.

청구항 6

제 1항에 있어서,

상기 절연 기관의 중앙부는 관통 홀을 형성하고, 상기 관통 홀은 자성체로 충전되어 코어부를 형성하는 칩 전자부품.

청구항 7

제 1항에 있어서,

상기 절연 기판은 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 및 금속계 연자성 기판으로 이루어진 군에서 선택된 어느 하나 이상인 칩 전자부품.

청구항 8

중앙부에 관통홀이 형성된 절연 기판;

상기 절연 기판을 포함하고, 서로 마주하는 양 단면, 및 상기 양 단면을 연결하며 서로 마주하는 양 측면을 갖는 본체;

상기 절연 기판의 양면에 형성되며, 상기 본체의 양 단면으로 각각 제 1 인출부 및 제 2 인출부가 노출되는 코일부; 및

상기 본체의 양 단면에 형성되며, 상기 코일부의 제 1 인출부 및 제 2 인출부와 각각 접속하는 제 1 외부전극 및 제 2 외부전극; 을 포함하고,

상기 절연 기판은 상기 코일부의 제 1 인출부 및 제 2 인출부가 노출되는 본체의 양 단면과 직교하는 방향의 서로 대향하는 양 측면으로 노출되어 상기 코일부의 변형을 방지하는 브릿지 패턴부를 포함하고,

상기 절연 기판의 외주면의 적어도 일부와 상기 코일부의 외주면의 적어도 일부는 서로 중첩되는, 칩 전자부품.

청구항 9

제 8항에 있어서,

상기 절연 기판의 두께를 t , 상기 브릿지 패턴부가 노출되는 본체의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부의 단면적의 비는 0.02 내지 0.88인 칩 전자부품.

청구항 10

제 8항에 있어서,

상기 관통 홀은 자성체로 충전되어 코어부를 형성하는 칩 전자부품.

청구항 11

제 8항에 있어서,

상기 절연 기판은 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 및 금속계 연자성 기판으로 이루어진 군에서 선택된 어느 하나 이상인 칩 전자부품.

발명의 설명

기술 분야

본 발명은 칩 전자부품 및 그 제조방법에 관한 것이다.

[0001]

배경 기술

- [0003] 칩 전자부품 중 하나인 인덕터(inductor)는 저항, 커패시터와 더불어 전자회로를 이루어 노이즈(Noise)를 제거하는 대표적인 수동소자로서, 전자기적 특성을 이용하여 커패시터와 조합하여 특정 주파수 대역의 신호를 증폭시키는 공진회로, 필터(Filter) 회로 등의 구성에 사용된다.
- [0005] 최근 들어 각종 통신 디바이스 또는 디스플레이 디바이스 등 IT 디바이스의 소형화 및 박막화가 가속화되고 있는데, 이러한 IT 디바이스에 채용되는 인덕터, 커패시터, 트랜지스터 등의 각종 소자들 또한 소형화 및 박막화하기 위한 연구가 지속적으로 이루어지고 있다.
- [0007] 또한, 전자기기의 소형화 및 고성능화가 요구되면서 소비 전력이 증가하고 있다. 이러한 소비 전력의 증가에 따라 전자기기의 전원 회로에 사용되는 PMIC(Power Management Integrated Circuit) 또는 DC-DC 컨버터(DC-DC Converter)는 스위칭 주파수(Switching Frequency)가 고주파화되고, 출력 전류가 증가하고 있으며, 이에 PMIC 또는 DC-DC 컨버터의 출력 전류 안정화에 사용되는 파워 인덕터(Power Inductor)의 사용이 증가되고 있는 추세이다.
- [0009] 파워 인덕터의 개발 방향은 소형화, 고 전류화 및 낮은 직류 저항에 맞추어져 있는데, 종래의 적층형 파워 인덕터로는 이를 구현하는데 한계가 있어, 박막의 절연 기관의 상하면에 도금으로 형성되는 코일 패턴 위에 자성 분말을 수지와 혼합시켜 형성시킨 박막형 인덕터의 개발이 이어지고 있다.
- [0011] 박막형 인덕터는 도금으로 코일 패턴을 형성한 후 인덕턴스를 최대한 확보하기 위하여 코일 패턴이 형성된 부위를 제외한 영역의 절연 기관을 제거한다. 그러나, 코일 패턴이 형성된 부위를 제외한 모든 영역이 제거된 절연 기관이 코일을 지지하는 힘이 부족하여 자성체 층을 적층하여 압착하는 과정에서 코일의 변형이 발생하고, 코일의 변형에 의한 노출 불량이 발생하는 문제점이 있었다.

선행기술문헌

특허문헌

- [0013] (특허문헌 0001) 일본공개특허 제2006-278479호

발명의 내용

해결하려는 과제

- [0014] 본 발명의 일 실시형태는 내부 코일부를 지지하는 힘을 증가시켜 자성체 층을 적층하고 압착하는 과정에서의 내부 코일부의 변형을 방지하고, 내부 코일부의 변형에 의한 노출 불량을 개선할 수 있는 칩 전자부품 및 그 제조 방법에 관한 것이다.

과제의 해결 수단

- [0016] 본 발명의 일 실시형태는 절연 기관을 포함하는 자성체 본체; 상기 절연 기관의 적어도 일면에 형성되는 내부 코일부; 및 상기 자성체 본체의 단면에 형성되며, 상기 내부 코일부와 접속하는 외부전극;을 포함하고, 상기 절연 기관은 상기 내부 코일부가 형성되지 않은 브릿지 패턴부를 포함하는 칩 전자부품을 제공한다.

- [0018] 상기 브릿지 패턴부는 상기 자성체 본체의 서로 대향하는 양 측면으로 노출될 수 있다.
- [0020] 상기 브릿지 패턴부는 상기 내부 코일부의 인출부가 노출되는 상기 자성체 본체의 양 단면과 직교하도록 서로 대향하는 양 측면으로 노출될 수 있다.
- [0022] 상기 브릿지 패턴부는 상기 절연 기판 상에 형성된 내부 코일부의 변형을 방지할 수 있다.
- [0024] 상기 절연 기판의 두께를 t , 상기 브릿지 패턴부가 노출되는 자성체 본체의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부의 단면적의 비는 0.02 내지 0.88일 수 있다.
- [0026] 상기 절연 기판의 중앙부는 관통 홀을 형성하고, 상기 관통 홀은 자성체로 충전되어 코어부를 형성할 수 있다.
- [0028] 상기 절연 기판은 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 및 금속계 연자성 기판으로 이루어진 군에서 선택된 어느 하나 이상일 수 있다.
- [0030] 본 발명의 다른 일 실시형태는 중앙부에 관통홀이 형성된 절연 기판을 포함하는 자성체 본체; 상기 절연 기판의 양면에 형성되며, 상기 자성체 본체의 서로 대향하는 양 단면으로 제 1 인출부 및 제 2 인출부가 노출되는 내부 코일부; 상기 자성체 본체의 양 단면에 형성되며, 상기 내부 코일부의 제 1 인출부 및 제 2 인출부와 각각 접속하는 제 1 외부전극 및 제 2 외부전극;을 포함하고, 상기 절연 기판은 상기 내부 코일부의 제 1 인출부 및 제 2 인출부가 노출되는 자성체 본체의 양 단면과 직교하도록 서로 대향하는 양 측면으로 노출되어 상기 내부 코일부의 변형을 방지하는 브릿지 패턴부를 포함하는 칩 전자부품을 제공한다.
- [0032] 상기 절연 기판의 두께를 t , 상기 브릿지 패턴부가 노출되는 자성체 본체의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부의 단면적의 비는 0.02 내지 0.88일 수 있다.
- [0034] 상기 관통 홀은 자성체로 충전되어 코어부를 형성할 수 있다.
- [0036] 상기 절연 기판은 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 및 금속계 연자성 기판으로 이루어진 군에서 선택된 어느 하나 이상일 수 있다.
- [0038] 본 발명의 다른 일 실시형태는 절연 기판의 적어도 일면에 내부 코일부를 형성하는 단계; 상기 절연 기판에서 상기 내부 코일부가 형성되지 않은 부분을 제거하는 단계; 상기 내부 코일부가 형성된 절연 기판의 상부 및 하부에 자성체 층을 적층하여 자성체 본체를 형성하는 단계; 및 상기 자성체 본체의 단면에 상기 내부 코일부와 접속되도록 외부전극을 형성하는 단계;를 포함하며, 상기 내부 코일부가 형성되지 않은 부분의 절연 기판을 제거하는 단계에서 상기 내부 코일부가 형성되지 않은 부분 중 일부를 제외하고 절연 기판을 제거하여 브릿지 패턴부를 형성하는 칩 전자부품의 제조방법을 제공한다.
- [0040] 상기 브릿지 패턴부는 상기 자성체 본체의 서로 대향하는 양 측면으로 노출되도록 형성할 수 있다.
- [0042] 상기 브릿지 패턴부는 상기 내부 코일부의 인출부가 노출되는 상기 자성체 본체의 양 단면과 직교하도록 서로

대향하는 양 측면으로 노출될 수 있다.

[0044] 상기 브릿지 패턴부는 상기 자성체 층을 적층하여 자성체 본체를 형성 시 상기 절연 기판 상에 형성된 내부 코일부의 변형을 방지할 수 있다.

[0046] 상기 절연 기판의 두께를 t , 상기 브릿지 패턴부가 노출되는 자성체 본체의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부의 단면적의 비는 0.02 내지 0.88일 수 있다.

[0048] 상기 절연 기판의 중앙부는 관통 홀을 형성하고, 상기 자성체 층을 적층하는 단계에서 상기 관통 홀에 자성체가 충전되어 코어부를 형성할 수 있다.

발명의 효과

[0050] 본 발명의 일 실시형태는 내부 코일부를 지지하는 힘을 증가시켜 자성체 층을 적층하고 압착하는 과정에서의 내부 코일부의 변형을 방지하고, 내부 코일부의 변형에 의한 노출 불량을 개선할 수 있다.

[0051] 또한, 코일 주변에 흐르는 자속을 차단함으로써 코일 주변이 자화되는 것을 방지하여 전류 인가에 따른 인덕턴스(L) 값의 변화 특성을 개선하면서도 충전되는 자성체 부피를 충분히 확보하여 높은 최대 인덕턴스 값을 구현할 수 있다.

도면의 간단한 설명

[0053] 도 1은 본 발명의 일 실시형태에 따른 칩 전자부품의 내부 코일부가 나타나게 도시한 개략 사시도이다.

도 2는 본 발명의 일 실시형태에 따른 칩 전자부품의 개략 평면도이다.

도 3은 본 발명의 일 실시형태에 따른 칩 전자부품의 개략 평면도이다.

도 4는 본 발명의 일 실시형태에 따른 칩 전자부품의 브릿지 패턴부의 단면적을 나타내기 위한 개략 사시도이다.

도 5는 본 발명의 일 실시형태에 따른 칩 전자부품의 제조방법을 나타내는 공정도이다.

도 6 내지 도 8은 본 발명의 일 실시형태에 따른 칩 전자부품의 제조방법을 순차적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0054] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0055] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0056] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [0058] **칩 전자부품**
- [0060] 이하에서는 본 발명의 일 실시형태에 따른 칩 전자부품을 설명하되, 특히 박막형 인덕터로 설명하지만 이에 제한되는 것은 아니다.
- [0062] 도 1은 본 발명의 일 실시형태의 칩 전자부품의 내부 코일부가 나타나게 도시한 개략 사시도이다.
- [0064] 도 1을 참조하면, 칩 전자부품의 일 예로써 전원 공급 회로의 전원 라인에 사용되는 박막형 칩 인덕터(100)가 개시된다. 상기 칩 전자부품은 칩 인덕터 이외에도 칩 비드(chip bead), 칩 필터(chip filter) 등으로 적절하게 응용될 수 있다.
- [0066] 상기 박막형 인덕터(100)는 자성체 본체(50), 절연 기판(20), 내부 코일부(40) 및 외부전극(81, 82)을 포함한다.
- [0068] 자성체 본체(50)는 박막형 인덕터(100)의 외관을 이루며, 자기 특성을 나타내는 재료라면 제한되지 않고 예를 들어, 페라이트 또는 금속계 연자성 재료가 충전되어 형성될 수 있다.
- [0069] 상기 페라이트로, Mn-Zn계 페라이트, Ni-Zn계 페라이트, Ni-Zn-Cu계 페라이트, Mn-Mg계 페라이트, Ba계 페라이트 또는 Li계 페라이트 등의 공지된 페라이트를 포함할 수 있다.
- [0070] 상기 금속계 연자성 재료로, Fe, Si, Cr, Al 및 Ni로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 합금일 수 있고 예를 들어, Fe-Si-B-Cr 계 비정질 금속 입자를 포함할 수 있으며, 이에 제한되는 것은 아니다.
- [0071] 상기 금속계 연자성 재료의 입자 직경은 0.1 μ m 내지 30 μ m일 수 있으며, 에폭시(epoxy) 수지 또는 폴리이미드(polyimide) 등의 고분자 상에 분산된 형태로 포함될 수 있다.
- [0073] 자성체 본체(50)는 육면체 형상일 수 있으며, 본 발명의 실시형태를 명확하게 설명하기 위해 육면체의 방향을 정의하면, 도 1에 표시된 L, W 및 T는 각각 길이 방향, 폭 방향, 두께 방향을 나타낸다. 상기 자성체 본체(50)는 길이 방향의 길이가 폭 방향의 길이보다 큰 직육면체의 형상을 가질 수 있다. 본 실시예에서, 자성체 본체(50)는, 길이 방향(L)으로 서로 마주하는 일 단면과 타 단면, 일 단면과 타 단면을 연결하며 폭 방향(W)으로 서로 마주하는 일 측면과 타 측면, 및 일 측면과 타 측면을 연결하며 두께 방향(T)으로 서로 마주하는 일면과 타면을 가진다.
- [0075] 상기 자성체 본체(50)의 내부에 형성되는 절연 기판(20)은 예를 들어, 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 또는 금속계 연자성 기판 등으로 형성될 수 있다.
- [0077] 상기 절연 기판(20)의 일면에는 코일 형상의 패턴을 가지는 내부 코일부(40)가 형성될 수 있으며, 상기 절연 기판(20)의 반대 면에도 코일 형상 패턴의 내부 코일부(40)가 형성될 수 있다.
- [0078] 상기 내부 코일부(40)는 스파이럴(spiral) 형상으로 코일 패턴이 형성될 수 있으며, 상기 절연 기판(20)의 일면과 반대 면에 형성되는 내부 코일부(40)는 상기 절연 기판(20)에 형성되는 비아 전극(45)을 통해 전기적으로 접속될 수 있다.
- [0080] 상기 내부 코일부(40)는 자성체 본체(50)의 서로 대향하는 양 단면으로 각각 노출되는 제 1 인출부(41) 및 제 2 인출부(42)를 포함할 수 있다.

- [0081] 상기 절연 기판(20)의 일면에 형성된 내부 코일부(40)는 자성체 본체(50)의 일 단면으로 노출되는 제 1 인출부(41)를 포함하고, 상기 절연 기판(20)의 반대 면에 형성된 내부 코일부(40)는 제 1 인출부(41)가 노출된 자성체 본체(50)의 일 단면과 대향하는 타 단면으로 노출되는 제 2 인출부(42)를 포함할 수 있다.
- [0083] 상기 내부 코일부(40) 및 비아 전극(45)은 전기 전도성이 뛰어난 금속을 포함하여 형성될 수 있으며 예를 들어, 은(Ag), 팔라듐(Pd), 알루미늄(Al), 니켈(Ni), 티타늄(Ti), 금(Au), 구리(Cu), 백금(Pt) 또는 이들의 합금 등으로 형성될 수 있다.
- [0085] 상기 내부 코일부(40)가 형성되지 않은 절연 기판(20)의 중앙부에는 관통홀이 형성되고, 상기 관통홀은 페라이트 또는 금속계 연자성 재료 등의 자성체로 충전되어 코어부(55)를 형성할 수 있다. 자성체로 충전되는 코어부(55)를 형성함에 따라 인덕턴스(L)를 향상시킬 수 있다.
- [0087] 상기 절연 기판(20)은 내부 코일부(40)가 형성되지 않은 영역의 브릿지 패턴부(25)를 포함할 수 있다.
- [0088] 종래에는 내부 코일부(40)가 형성된 부위를 제외한 모든 영역의 절연 기판(20)을 제거하였으나, 본 발명의 일 실시형태는 내부 코일부(40)가 형성되지 않은 일부 영역의 절연 기판(20)을 제거하지 않고, 브릿지 패턴부(25)를 형성함에 따라 내부 코일부(40)를 지지하는 힘을 증가시켜 자성체 층의 적층, 압착 시 내부 코일부(40)의 변형을 방지할 수 있다. 예를 들어, 브릿지 패턴부(25)를 형성함으로써 내부 코일부(40)의 변형을 방지하여 코일의 변형으로 인한 노출 불량률이 9.2%에서 0.34%로 현저히 감소하였다.
- [0090] 도 2 및 도 3은 본 발명의 일 실시형태에 따른 칩 전자부품의 개략 평면도이다.
- [0091] 도 2 및 도 3을 참조하면, 상기 브릿지 패턴부(25)는 자성체 본체(50)의 서로 대향하는 양 측면으로 노출될 수 있다.
- [0092] 예를 들어, 상기 브릿지 패턴부(25)는 상기 내부 코일부(40)의 제 1 인출부(41) 및 제 2 인출부(42)가 노출되는 자성체 본체(50)의 양 단면과 직교하는 방향의 서로 대향하는 양 측면으로 노출될 수 있다.
- [0094] 한편, 브릿지 패턴부(25)는 도 2 및 도 3에 도시된 각각 다른 일 실시형태와 같이 그 체적을 달리 조절할 수 있다.
- [0095] 다만, 브릿지 패턴부(25)의 위치 및 형상은 도 2 및 도 3에 한정되는 것은 아니며, 내부 코일부(40)가 형성되지 않은 절연 기판(20)의 일부 영역으로써 내부 코일부(40)의 변형을 방지할 수 있는 형태라면 특별히 제한이 없다.
- [0097] 도 4는 본 발명의 일 실시형태에 따른 칩 전자부품의 브릿지 패턴부의 단면적을 나타내기 위한 개략 사시도이다.
- [0098] 도 4를 참조하면, 절연 기판(20)의 두께를 t , 브릿지 패턴부(25)가 노출되는 자성체 본체(50)의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부(25)의 단면적의 비는 0.02 내지 0.88일 수 있다.
- [0099] 브릿지 패턴부(25)의 단면적 비가 상기 범위를 만족할 때, 내부 코일부(40)의 변형을 효과적으로 방지할 수 있으며, 더 나아가 비자성체인 절연 기판(20)이 자속의 흐름을 차단하여 전류 인가에 따른 인덕턴스 변화가 감소되는 효과가 향상되면서도 동시에 자성체 본체(50)에 충전되는 자성체 부피를 충분히 확보하여 높은 인덕턴스 값을 구현할 수 있다.
- [0101] 브릿지 패턴부(25)의 단면적 비가 0.02 미만일 경우 내부 코일부(40)를 지지하는 힘이 부족하여 자성체 층의 적

층 및 압착 과정에서 내부 코일부(40)의 변형에 의한 노출 불량이 발생할 수 있으며, 0.88을 초과할 경우 자성체 부피 감소로 인해서 인덕턴스 값이 크게 감소할 수 있다.

- [0103] 한편, 상기 내부 코일부(40)는 절연층(30)으로 피복될 수 있다.
- [0104] 절연층(30)은 스크린 인쇄법, 포토레지스트(photo resist, PR)의 노광, 현상을 통한 공정, 스프레이(spray) 도포 공정 등 공지의 방법으로 형성할 수 있으며, 진공 딥핑(Dipping) 공정, CVD(기상증착법) 등으로 형성할 수도 있다. 내부 코일부(40)는 절연층(30)으로 피복되어 자성체 본체(50)를 이루는 자성체 재료와 직접 접촉되지 않을 수 있다.
- [0106] 상기 자성체 본체(50)의 양 단면으로 노출되는 상기 내부 코일부(40)의 제 1 인출부(41) 및 제 2 인출부(42)와 각각 접속하도록 자성체 본체(50)의 양 단면에는 제 1 외부 전극 및 제 2 외부전극(81, 82)이 형성될 수 있다.
- [0107] 상기 제 1 외부 전극 및 제 2 외부전극(81, 82)은 자성체 본체(50)의 길이 방향의 양 단면에 형성되고, 자성체 본체(50)의 두께 방향의 일면과 타면 및/또는 폭 방향의 양 측면으로 연장되어 형성될 수 있다.
- [0108] 상기 제 1 및 제 2 외부 전극(81, 82)은 전기 전도성이 뛰어난 금속을 포함하여 형성될 수 있으며 예를 들어, 니켈(Ni), 구리(Cu), 주석(Sn) 또는 은(Ag) 등의 단독 또는 이들의 합금 등으로 형성될 수 있다.

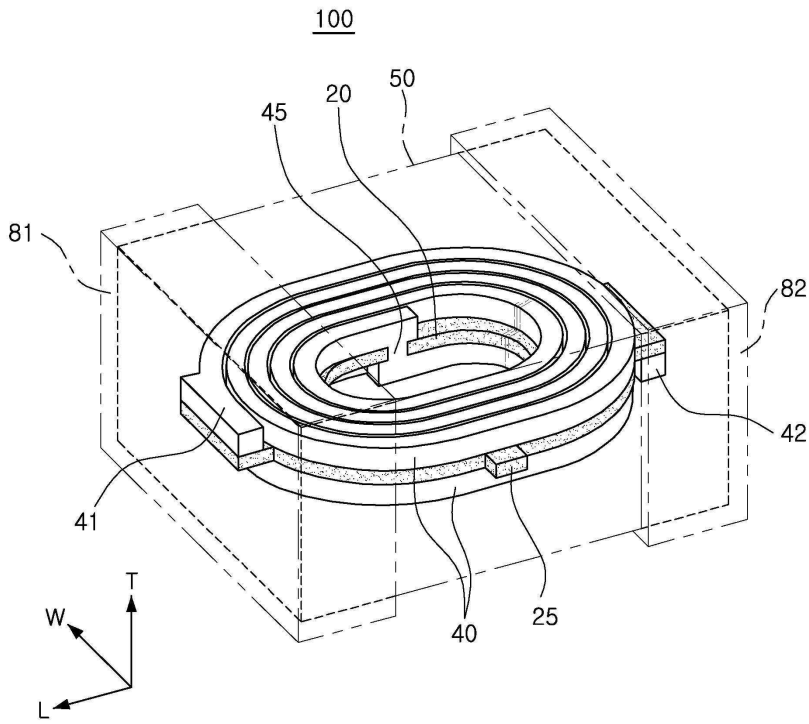
[0110] **칩 전자부품의 제조방법**

- [0112] 도 5는 본 발명의 일 실시형태에 따른 칩 전자부품의 제조방법을 나타내는 공정도이며, 도 6 내지 도 8은 본 발명의 일 실시형태에 따른 칩 전자부품의 제조방법을 순차적으로 나타내는 도면이다.
- [0114] 도 6을 참조하면, 먼저 절연 기판(20)의 적어도 일면에 내부 코일부(40)를 형성할 수 있다.
- [0116] 상기 절연 기판(20)은 특별하게 제한되지 않으며 예를 들어, 폴리프로필렌글리콜(PPG) 기판, 페라이트 기판 또는 금속계 연자성 기판 등을 사용할 수 있고, 40 내지 100 μm의 두께일 수 있다.
- [0118] 상기 내부 코일부(40)의 형성 방법으로는 예를 들면, 전기 도금법을 들 수 있지만 이에 제한되지는 않으며, 내부 코일부(40)는 전기 전도성이 뛰어난 금속을 포함하여 형성할 수 있고 예를 들어, 은(Ag), 팔라듐(Pd), 알루미늄(Al), 니켈(Ni), 티타늄(Ti), 금(Au), 구리(Cu), 백금(Pt) 또는 이들의 합금 등을 사용할 수 있다.
- [0120] 상기 절연 기판(20)의 일부에는 홀을 형성하고 전도성 물질을 충전하여 비아 전극(45)을 형성할 수 있으며, 상기 비아 전극(45)을 통해 절연 기판(20)의 일면과 반대 면에 형성되는 내부 코일부(40)를 전기적으로 접속시킬 수 있다.
- [0122] 상기 내부 코일부(40)는 양 단면으로 각각 노출되는 제 1 인출부(41) 및 제 2 인출부(42)를 포함할 수 있다.
- [0123] 상기 절연 기판(20)의 일면에 형성된 내부 코일부(40)는 일 단면으로 노출되는 제 1 인출부(41)를 포함하고, 상기 절연 기판(20)의 반대 면에 형성된 내부 코일부(40)는 제 1 인출부(41)가 노출된 일 단면과 대향하는 타 단면으로 노출되는 제 2 인출부(42)를 포함할 수 있다.

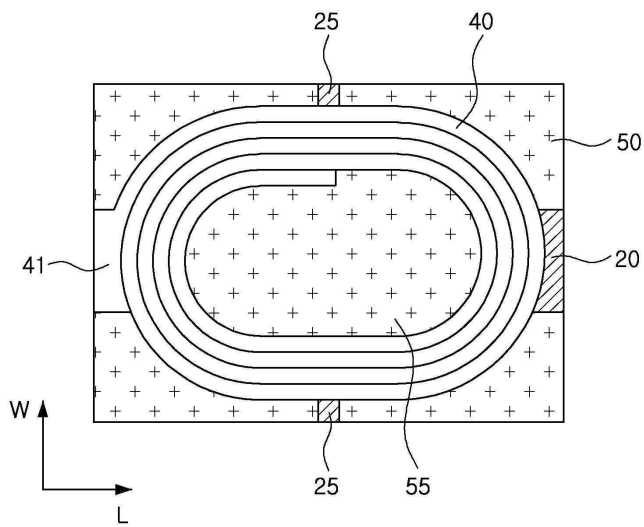
- [0125] 도 7을 참조하면, 상기 절연 기관(20)에서 내부 코일부(40)가 형성되지 않은 부분을 제거할 수 있다.
- [0127] 절연 기관(20)의 제거는 드릴, 레이저, 샌드 블라스트, 펀칭 가공 등을 적용하여 수행할 수 있으며, 예를 들어 CO₂ 레이저를 수행하여 제거할 수 있다.
- [0128] 상기 내부 코일부(40)가 형성되지 않은 절연 기관(20)의 중앙부를 제거하여 절연 기관(20)을 관통하는 관통 홀을 형성할 수 있다.
- [0130] 이때, 상기 절연 기관(20)에서 내부 코일부(40)가 형성되지 않은 부분 중 일부를 제외하고 제거하여 브릿지 패턴부(25)를 형성할 수 있다.
- [0131] 종래에는 내부 코일부(40)가 형성된 부위를 제외한 모든 영역의 절연 기관(20)을 제거하였으나, 본 발명의 일 실시형태는 내부 코일부(40)가 형성되지 않은 일부 영역의 절연 기관(20)을 제거하지 않고, 브릿지 패턴부(25)를 형성함에 따라 내부 코일부(40)를 지지하는 힘을 증가시켜 자성체 층의 적층, 압착 시 내부 코일부(40)의 변형을 방지할 수 있다.
- [0133] 상기 브릿지 패턴부(25)는 상기 내부 코일부(40)의 제 1 인출부(41) 및 제 2 인출부(42)가 노출되는 양 단면과 직교하는 방향의 서로 대향하는 양 측면으로 노출될 수 있다.
- [0135] 상기 절연 기관(20)의 두께를 t , 브릿지 패턴부(25)가 노출되는 자성체 본체(50)의 일 측면의 길이를 l 이라고 했을 때, $t \times l$ 의 단면적에 대한 상기 브릿지 패턴부(25)의 단면적의 비는 0.02 내지 0.88일 수 있다.
- [0136] 브릿지 패턴부(25)의 단면적 비가 상기 범위를 만족할 때, 내부 코일부(40)의 변형을 효과적으로 방지할 수 있으며, 더 나아가 비자성체인 절연 기관(20)이 자속의 흐름을 차단하여 전류 인가에 따른 인덕턴스 변화가 감소되는 효과가 향상되면서도 동시에 자성체 본체(50)에 충전되는 자성체 부피를 충분히 확보하여 높은 인덕턴스 값을 구현할 수 있다.
- [0138] 브릿지 패턴부(25)의 단면적 비가 0.02 미만일 경우 내부 코일부(40)를 지지하는 힘이 부족하여 자성체 층의 적층 및 압착 과정에서 내부 코일부(40)의 변형에 의한 노출 불량이 발생할 수 있으며, 0.88을 초과할 경우 자성체 부피 감소로 인해서 인덕턴스 값이 크게 감소할 수 있다.
- [0140] 상기 내부 코일부(40)의 표면에는 내부 코일부(40)를 피복하는 절연층(30)을 형성할 수 있다. 절연층(30)은 스크린 인쇄법, 포토레지스트(photo resist, PR)의 노광, 현상을 통한 공정, 스프레이(spray) 도포 공정, 진공 딥핑(Dipping) 공정, CVD(기상증착법) 등의 방법으로 형성할 수 있으며, 이에 제한되지는 않는다.
- [0142] 도 8을 참조하면, 내부 코일부(40)가 형성된 절연 기관(20)의 상부 및 하부에 자성체 층(51)을 적층하여 자성체 본체(50)를 형성할 수 있다.
- [0143] 자성체 층(51)을 절연 기관(20)의 양면에 적층하고 라미네이트법이나 정수압 프레스법을 통해 압착하여 자성체 본체(50)를 형성할 수 있다.
- [0144] 이때, 상기 절연 기관(20)의 중앙부에 형성된 관통 홀이 자성체로 충전되어 코어부(55)를 형성할 수 있다.
- [0146] 다음으로, 상기 자성체 본체(50)의 양 단면으로 노출되는 상기 내부 코일부(40)의 제 1 인출부(41) 및 제 2 인출부(42)와 각각 접촉하도록 자성체 본체(50)의 양 단면에 제 1 외부 전극 및 제 2 외부전극(81, 82)을 형성할 수 있다.

도면

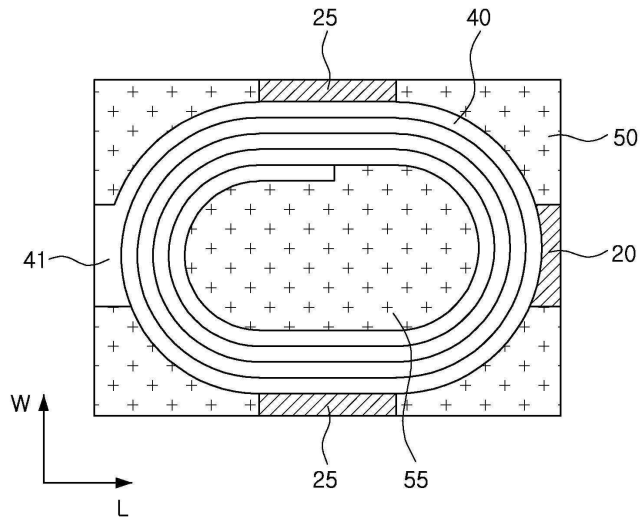
도면1



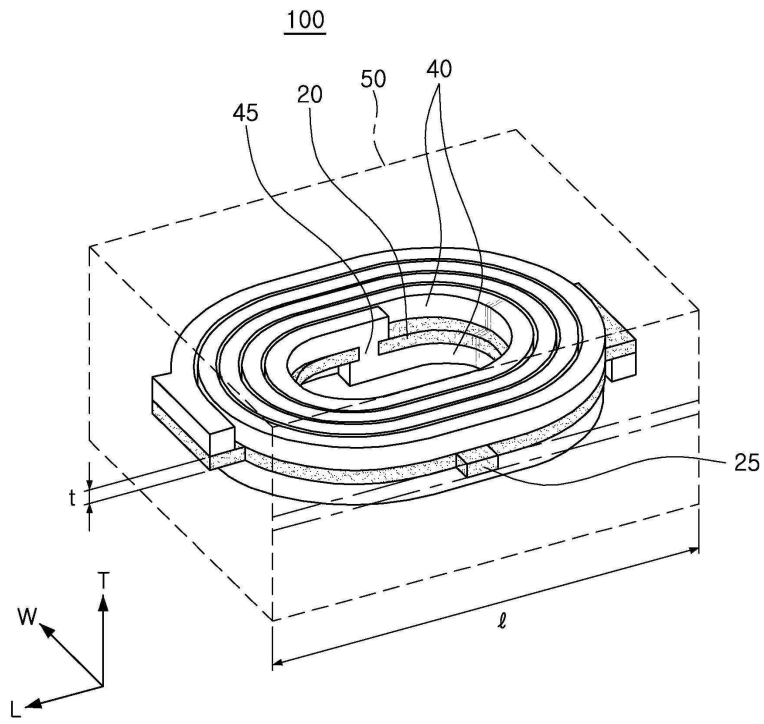
도면2



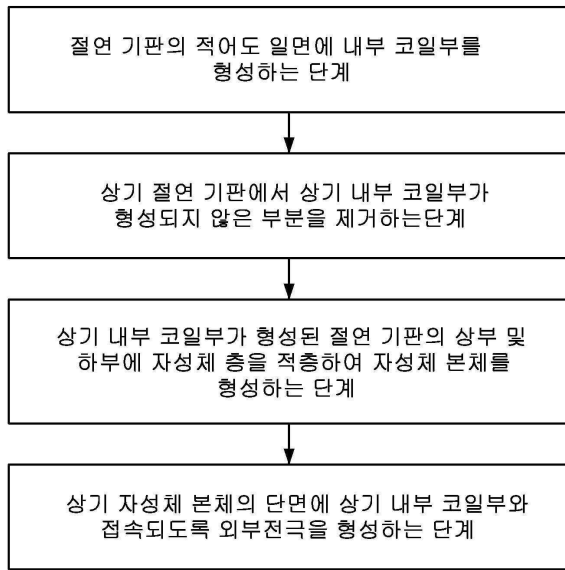
도면3



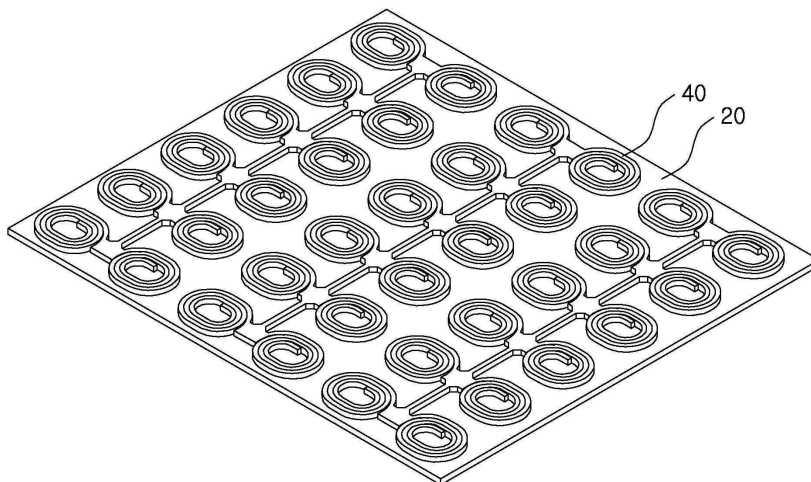
도면4



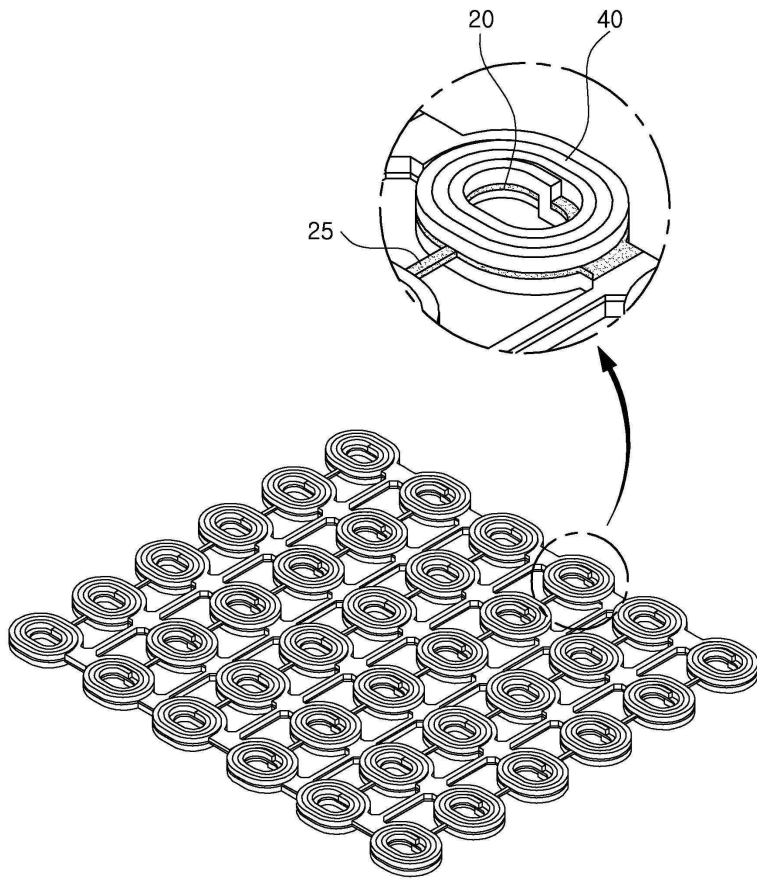
도면5



도면6



도면7



도면8

