

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016年8月11日 (11.08.2016)



(10) 国际公布号  
WO 2016/123985 A1

- (51) 国际专利分类号:  
G06F 3/041 (2006.01)
- (21) 国际申请号: PCT/CN2015/089998
- (22) 国际申请日: 2015年9月18日 (18.09.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510053731.7 2015年2月2日 (02.02.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。北京京东方光电科技有限公司 (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京市经济技术开发区西环中路8号, Beijing 100176 (CN)。
- (72) 发明人: 刘英明 (LIU, Yingming); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。董学 (DONG, Xue); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。王海生 (WANG, Haisheng); 中国北京市经济技术开发区地泽路9号,

Beijing 100176 (CN)。陈小川 (CHEN, Xiaochuan); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。丁小梁 (DING, Xiaoliang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。杨盛际 (YANG, Shengji); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。赵卫杰 (ZHAO, Weijie); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。刘红娟 (LIU, Hongjuan); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。李昌峰 (LI, Changfeng); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。刘伟 (LIU, Wei); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD AND DRIVING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法和驱动方法、显示装置

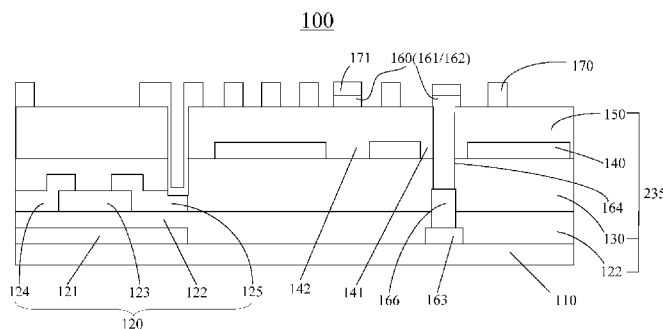


图 1

(57) Abstract: An array substrate and a manufacturing method and a driving method therefor, and a display device. The array substrate (100) comprises a base substrate (110), and multiple grid lines (180) and multiple data lines (190) arranged on the base substrate (110); the grid lines (180) and the data lines (190) define multiple pixel units (089) in array distribution; each of the pixel units (089) comprises a common electrode (140), a pixel electrode (170) and a thin-film transistor (120); one side, away from the base substrate (110), of a layer where each of the common electrodes (140) is located is provided with a first insulating layer (150); one side of each of the first insulating layers (150) away from the base substrate (110) is provided with multiple self-capacitance electrodes (160). Compared with an array substrate adopting a mutual capacitance technology, the array substrate (100) requires fewer manufacturing procedures and has a higher signal-to-noise ratio.

(57) 摘要:

[见续页]



WO 2016/123985 A1



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT,

**本国际公布:**

— 包括国际检索报告(条约第 21 条(3))。

---

一种阵列基板及其制作方法和驱动方法、显示装置, 所述阵列基板(100)包括衬底基板(110)、设置于所述衬底基板(110)上的多条栅线(180)和多条数据线(190); 所述栅线(180)和所述数据线(190)限定多个呈阵列分布的像素单元(089); 每个像素单元(089)包括公共电极(140)、像素电极(170)以及薄膜晶体管(120); 所述公共电极(140)所在的层远离所述衬底基板(110)的一侧设有第一绝缘层(150); 所述第一绝缘层(150)的远离所述衬底基板(110)的一侧设有多个自电容电极(160)。与采用互电容技术的阵列基板相比, 该阵列基板(100)的制作流程少且信噪比较高。

## 阵列基板及其制作方法和驱动方法、显示装置

### 技术领域

- 5 本发明的至少一个实施例涉及一种阵列基板及其制作方法和驱动方法、显示装置。

### 背景技术

10 随着显示技术的飞速发展，触摸屏已经逐渐遍及人们的生活中。目前常用的触摸屏为液晶式触摸屏，其主要包括用于实现触控功能的触控结构和用于实现显示功能的液晶显示面板。

液晶显示面板包括相互对置的阵列基板和对置基板（例如彩膜基板），以及设置于阵列基板和对置基板之间的液晶层。液晶显示装置通过对公共电极和像素电极加载电压以控制液晶分子的偏转，进而控制光线。根据显示模  
15 式的不同，公共电极和像素电极可分别位于对置基板和阵列基板上（例如 TN 模式），公共电极与像素电极也可以均位于阵列基板上（例如 IPS 模式、ADS 模式）。

触摸屏例如包括将触控结构与显示面板外的保护玻璃集成在一起的外挂式触摸屏，以及将触控结构设置在显示面板内部的内嵌式触摸屏。外挂式触  
20 摸屏具有制作成本较高、光透过率较低且模组较厚等缺点，内嵌式触摸屏可以减薄触模组整体的厚度、降低触摸屏的制作成本，因而受到各大面板厂家的青睐。

目前，大多数触摸屏为电容式触摸屏，其分为利用互电容原理的触摸屏和利用自电容原理的触摸屏。

25 利用互电容原理的触摸屏通常是在基板表面制作横向电极与纵向电极，在横向电极和纵向电极交叉的地方会形成电容。当触摸物（例如，人的手指）触摸到屏幕时，影响了触摸位置附近两个电极之间的耦合，从而改变了这两个电极之间的电容，根据电容的变化情况，可以计算出触摸位置的坐标。

30 利用自电容原理的触摸屏的结构通常包括多个同层设置且相互绝缘的自电容电极，每个自电容电极通过导线连接到触控侦测芯片。当触摸物（例如，

人的手指)未触摸屏幕时,各自电容电极的电容为一固定值;当触摸物触摸屏幕时,触摸位置对应的自电容电极的电容为固定值叠加触摸物引起的电容,触控侦测芯片通过检测各自电容电极的电容值的变化情况可以得出触摸位置的坐标。

5

### 发明内容

本发明的至少一个实施例提供了一种阵列基板及其制作方法和驱动方法、显示装置,与采用互电容技术相比,本发明实施例可以减少制作流程并提高信噪比。

10 本发明的至少一个实施例提供了一种阵列基板,其包括衬底基板、设置于所述衬底基板上的多条栅线和多条数据线,所述栅线和所述数据线限定多个呈阵列分布的像素单元;每个像素单元包括公共电极、像素电极以及薄膜晶体管;所述公共电极所在的层远离所述衬底基板的一侧设有第一绝缘层;所述第一绝缘层的远离所述衬底基板的一侧设有多个自电容电极。

15 本发明的至少一个实施例还提供了一种显示装置,其包括上述任一项所述的阵列基板。

本发明的至少一个实施例提供了一种阵列基板的制作方法,该方法包括:在衬底基板上形成多条栅线、多条数据线、薄膜晶体管、公共电极和像素电极;通过一次构图工艺在所述公共电极的远离所述衬底基板的一侧形成第一  
20 绝缘层;以及通过一次构图工艺在所述第一绝缘层的远离所述衬底基板的一侧形成多个自电容电极。在该方法中,所述栅线和数据线限定呈阵列分布的多个像素单元,每个像素单元包括所述薄膜晶体管、公共电极和像素电极。

本发明的至少一个实施例还提供了一种阵列基板的驱动方法,该方法包括:对所述公共电极施加公共电极信号,同时对所述各自电容电极施加驱动  
25 信号;接收各自电容电极的反馈信号,并根据反馈信号判断触摸位置。或者,该方法包括:将显示一帧图像的时间分成显示时间段和触控时间段,在显示时间段和触控时间段对所述公共电极施加公共电极信号,在触控时间段对各自电容电极施加驱动信号并接收各自电容电极的反馈信号,并根据反馈信号判断触摸位置。在该方法中,所述公共电极、所述自电容电极均设置在所述  
30 阵列基板的衬底基板上,所述公共电极所在的层远离所述衬底基板的一侧设

有第一绝缘层,所述第一绝缘层的远离所述衬底基板的一侧设有自电容电极。

#### 附图说明

5 为了更清楚地说明本发明实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本发明的一些实施例,而非对本发明的限制。

图 1 为本发明实施例提供的一种阵列基板的剖视示意图;

图 2 为本发明实施例提供的一种阵列基板的俯视示意图;

10 图 3 为本发明实施例提供的一种自电容电极与导线同层设置的俯视示意图;

图 4 为本发明实施例提供的一种自电容电极与导线异层设置的俯视示意图;

图 5 为本发明实施例提供的一种阵列基板的俯视示意图;

15 图 6a-6h 为本发明实施例提供的一种阵列基板的制作方法中经过各步骤处理之后的阵列基板的剖视示意图;

图 7 为本发明实施例提供的一种显示装置的剖视示意图。

#### 具体实施方式

20 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

25 除非另外定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排  
30 除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或

者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

5 在研究中，本申请的发明人注意到，对于内嵌式触摸屏，当将触控结构制作在阵列基板上并且采用互电容技术时，需要增加至少两次构图工艺，并且制得的触摸屏的信噪比较低。由于在自电容技术中，触摸物（例如，手指）触摸屏幕时，触摸物与自电容电极直接耦合，因而产生的触控变化量比较大，信噪比较高，并且自电容技术只需要一次构图工艺形成自电容电极，因而自电容技术相对于互电容技术可以减少制作流程并提高信噪比，因而更适合内嵌式触摸屏。  
10

本发明的至少一个实施例提供了一种阵列基板及其制作方法和驱动方法、显示装置，通过在阵列基板的衬底基板上形成公共电极和多个自电容电极，将公共电极设置在衬底基板和自电容电极所在的层之间，可以减少制作流程并提高信噪比。

15 本发明的至少一个实施例提供了一种阵列基板，如图 1 和图 2 所示，阵列基板 100 包括衬底基板 110、设置于衬底基板 110 上的多条栅线 180 和 multiple 数据线 190；栅线 180 和数据线 190 限定多个呈阵列分布的像素单元 089，每个像素单元 089 包括公共电极 140、像素电极 170 以及薄膜晶体管 120；公共电极 140 所在的层远离衬底基板 110 的一侧设有第一绝缘层 150；第一绝缘层 150 的远离衬底基板 110 的一侧设有多个自电容电极 160。  
20

在本发明实施例中，例如，衬底基板 110 可以为玻璃基板、石英基板等。

在本发明实施例中，公共电极 140 和像素电极 170 采用透明导电材料制作，例如可以采用氧化铟锡、氧化铟锌、氧化铟镓锌等透明金属氧化物制作。公共电极 140 可以为板状电极位于狭缝状的像素电极 170 的下层（即更靠近衬底基板 110），或者公共电极 140 也可以为狭缝电极位于板状的像素电极 170 的上层。图 1 以公共电极 140 为板状电极且位于狭缝状像素电极 170 的下层为例进行说明。  
25

在本发明实施例中，第一绝缘层 150 用于使公共电极 140 和自电容电极 160 彼此绝缘，其例如可以采用氧化硅、氮氧化硅、氮化硅、树脂等绝缘材料制作。  
30

在至少一个实施例中，自电容电极 160 可以位于公共电极 140 所在的层与像素电极 170 所在的层之间，或者自电容电极 160 可以位于像素电极 170 所在的层的背离衬底基板 110 的一侧，或者自电容电极 160 与像素电极 170 可以并排位于同一膜层上。也就是说，自电容电极 160 可以位于像素电极 170 的上层或下层，或与像素电极 170 同层。图 1 以自电容电极 160 位于像素电极 170 之间的间隙中、与像素电极 170 并排位于第一绝缘层 150 上为例进行说明。

在至少一个实施例中，当自电容电极 160 位于像素电极 170 所在的层背离衬底基板 110 的一侧时，或者当自电容电极 160 与像素电极 170 并排位于同一膜层上时，自电容电极 160 上可以设有保护层。

例如，如图 1 所示，当自电容电极 160 与像素电极 170 并排位于第一绝缘层 150 上时，自电容电极 160 上设有保护层 171。例如，保护层 171 可以采用透明金属氧化物材料制作以防止自电容电极 160 氧化。例如，在采用金属导电材料形成自电容电极 160 之后，可以在其上形成一层透明金属氧化物材料，然后通过一次构图工艺（例如包括曝光、显影、刻蚀等步骤）形成像素电极 170 以及位于自电容电极 160 上的保护层 171，即，保护层 171 可以与像素电极 170 同层设置，这样可以节省单独制作保护层 171 的工艺流程。例如，当自电容电极 160 位于像素电极 170 所在的层之上时，可以在自电容电极 160 上设置绝缘层（例如可以采用氮化硅等绝缘材料）以对自电容电极 160 进行保护。

在至少一个实施例中，可以将每个自电容电极 160 设计成网格状或十字形等结构。这样可以尽量减少自电容电极占据的尺寸（面积），从而减小自电容电极 160 对公共电极 140 和像素电极 170 之间的电场的影响，并提高开口率。例如，如图 2 所示，每个自电容电极 160 可以包括至少一个沿第一方向延伸的第一延伸部 161 和/或至少一个沿第二方向延伸的第二延伸部 162，第一方向与第二方向交叉。图 2 中示出了两个网格状的自电容电极 160，即此时自电容电极 160 包括多个第一延伸部和多个第二延伸部。例如当自电容电极采用十字形、L 形或 T 形结构时，其可以包括一个第一延伸部和一个第二延伸部。

需要说明的是，图 1 中的 160 可以表示采用网格状或十字形等结构的自

电容电极 160 的第一延伸部 161 或第二延伸部 162。

在至少一个实施例中,当自电容电极 160 采用网格状或十字形等结构时,可以采用金属材料(例如铝、铜、锆、钼等金属或金属材料)制作自电容电极 160,以减小其电阻值。

5 在至少一个实施例中,为尽量降低自电容电极 160 对开口率和显示效果的影响,尤其是当自电容电极 160 采用金属材料制作时,可以使第一延伸部 161 在垂直于衬底基板 110 的方向上与栅线 180 重叠,第二延伸部 162 在垂直于衬底基板 110 的方向上与数据线 190 重叠,如图 2 所示。这是因为当阵列基板与对置基板(例如彩膜基板)对盒之后,数据线和栅线对应对置基板上的黑矩阵所在的位置,将第一延伸部和第二延伸部分别与栅线和数据线对  
10 应,使得第一延伸部和第二延伸部也对应黑矩阵所在的位置,从而不容易被用户注意到,避免影响显示效果,并且不会对开口率造成影响。

为了将自电容电极的信号导出,每个自电容电极可以与一条导线电连接。在至少一个实施例中,自电容电极与导线可以同层设置或者异层设置。下面  
15 结合附图对自电容电极的导线的设置进行详细说明。

图 3 为本发明实施例提供的一种自电容电极与导线同层设置的俯视示意图。在图 3 中,每个自电容电极 160 与其对应的导线 163 同层设置在公共电极 140 所在的层之上(图 3 中未示出第一绝缘层 150)。由于自电容电极 160 与导线 163 同层设置,在导线 163 比较密集的位置(例如区域 A 处)容易出现触控盲区,在触控盲区内信号比较紊乱,难以保证触控性能。但自电容电极与导线同层设置的方式可以应用到分辨率较高的产品,因为这类产品的像素尺寸较小,触控盲区可以调整到可接受范围内。此外,这种方式还可以应用到具有较高 PPI (Pixels Per Inch, 每英寸像素数目)的产品上。  
20

图 1 示出了自电容电极与导线异层设置的方式。如图 1 所示,自电容电极 160 所在的层以及导线 163 之间设有第二绝缘层 235,自电容电极 160 与导线 163 通过过孔 164 电连接。在本发明实施例中,自电容电极与导线异层设置,可以避免触控盲区。  
25

图 4 为本发明实施例提供的一种自电容电极与导线异层设置的俯视示意图。如图 4 所示,自电容电极可以与至少一条与其他自电容电极电连接的导线重叠,图 4 以每个自电容电极与两条导线(一条为该自电容电极的导线,  
30

另一条为其他自电容电极的导线)重叠为例进行说明。从图4可以看出,过孔164并不是均匀分布的,由于光的衍射作用等,这些过孔164可能被用户注意到,从而影响显示效果。

5 为了降低因过孔分布不均而对显示效果造成的影响,在至少一个实施例中,可以在每个自电容电极和与其重叠的至少一条与其他自电容电极电连接的导线之间的第二绝缘层中设置凹陷部,凹陷部的深度小于第二绝缘层的厚度(即未形成通孔)。图4中示出了8个自电容电极,例如,自电容电极160a和与其电连接的导线163a重叠,还与自电容电极160b的导线163b重叠;自电容电极160a通过过孔164与导线163a电连接,在自电容电极160a与导线10 163b之间设置凹陷部165;图4中的其他自电容电极也采用类似的方式设置。从图4可以看出,过孔164和凹陷部165的整体是均匀分布的,这样可以提高显示的一致性,降低因过孔分布不均对显示效果造成的影响。

15 当自电容电极和与其电连接的导线异层设置时,导线可以位于自电容电极的远离衬底基板的一侧(即图1中自电容电极160的上方),也可以位于自电容电极的面向衬底基板的一侧(即图1中自电容电极160的下方)。自电容电极和与其电连接的导线可以直接接触,也可以如图1所示的自电容电极通过其他导电结构与导线电连接。以下实施例以图1所示的情形为例进行说明。

20 例如,如图1所示,导线163设置在自电容电极160的下方,在这种情况下,公共电极140在对应过孔164的位置处设有开口141,过孔164通过开口141,该开口141例如为封闭开口或半封闭开口。自电容电极160与导线163之间的第二绝缘层235包括自电容电极160与公共电极140之间的第一绝缘层150。

25 在本发明实施例中,与自电容电极电连接的导线可以利用阵列基板上的任一金属结构的材料制作。例如,导线163可以与薄膜晶体管120包括的第一电极同层设置,这样可以利用制作第一电极的材料制作导线。例如,第一电极可以为薄膜晶体管120的栅极121,或源极124和漏极125。例如,栅极和源极/漏极可以采用铝、铜、钴、钼等金属材料制作。

30 例如,自电容电极160与导线163可以通过导电块166电连接。通过设置导电块166,可以避免在制作过孔164的过程中由于对第二绝缘层235的

过度刻蚀而使导线 163 断开的问题，可以使自电容电极 160 与导线 163 更好地电连接。例如，导电块 166 可以与薄膜晶体管 120 包括的第二电极同层设置。例如，如图 1 所示，第二电极可以为源极 124 和漏极 125，这样导电块 166 以及薄膜晶体管的源极 124 和漏极 125 可以在同一次构图工艺（例如包括曝光、显影、刻蚀等步骤）中同时形成。

需要说明的是，图 1 仅以薄膜晶体管 120 为底栅型薄膜晶体管为例进行说明，但其还可以为顶栅型薄膜晶体管，此时栅极 121 和栅绝缘层 122 可以位于源极 124 和漏极 125 之上。在这种情况下，导线 163 可以与位于下层的源极和漏极同层设置，导电块 166 可以与位于上层的栅极同层设置。

10 为了减小阵列基板的功耗，可以在公共电极 140 下方设置一层较厚的绝缘层来减小公共电极 140 与位于其下方的金属结构（例如栅线、数据线等）之间的电容。例如，如图 1 所示，在公共电极 140 所在的层与薄膜晶体管 120 之间设置有第三绝缘层 130。例如，第三绝缘层可以采用树脂材料制作。例如，第三绝缘层的厚度可以为  $2\sim 3\mu\text{m}$ 。当设有第三绝缘层 130 时，自电容电极 160 与导线 163 之间的第二绝缘层 235 还包括第三绝缘层 130。

15 此外，上述位于第二绝缘层 235 中的凹陷部 165 可以设置在第三绝缘层 130 中，这是因为第三绝缘层 130 可以设置得较厚，将凹陷部 165 设置在该绝缘层中可以有效地改善因过孔 164 分布不均造成的显示不均问题。为进一步改善显示不均的问题，还可以在公共电极 140 对应凹陷部 165 的位置处设置开口。

20 如图 1 所示，薄膜晶体管 120 包括栅绝缘层 122，当导线 163 与薄膜晶体管 120 中位于下层的电极（例如底栅型薄膜晶体管的栅极，或顶栅型薄膜晶体管的源极和漏极）同层设置时，自电容电极 160 与导线 163 之间的第二绝缘层 235 还包括栅绝缘层 122（例如可以采用氮化硅等绝缘材料制作）。

25 在至少一个实施例中，可以在公共电极 140 的对应每个自电容电极 140 的部分或全部第一延伸部 161 和第二延伸部 162 的位置处设置镂空区域 142，这样可以降低自电容电极 160 的对地电容，使自电容电极 160 更容易被驱动。例如，对于采用网格状结构的自电容电极 160，可以在公共电极 140 对应其第一延伸部 161 和第二延伸部 162 中的一部分的位置处设置镂空区域；例如，30 对于采用十字形结构的自电容电极 160，可以在公共电极 140 对应其全部第

一延伸部和第二延伸部的位置处设置镂空区域。

此外，公共电极被挖空后，自电容电极 160 与栅线 180、数据线 190 之间可产生寄生电容，为减小此寄生电容，可以在自电容电极 160 与栅线 180 和/或数据线 190 之间设置绝缘层。例如，可以利用上述公共电极 140 所在的层与薄膜晶体管 120 之间的第三绝缘层 130 来减小自电容电极 160 分别与栅线 180 和数据线 190 之间的电容。

在至少一个实施例中，如图 5 所示，每相邻的两行像素单元 089 形成一个像素单元组，所述相邻的两行像素单元 089 之间设有两条栅线 180，导线 163 可以设置在相邻的像素单元组之间的间隙处。

通常，在阵列基板中，栅线与薄膜晶体管的栅极同层设置（例如二者一体形成），数据线与薄膜晶体管的源极和漏极同层设置（例如数据线与源漏极之一一体形成）。因此，在图 1 所示的情形中，导线 163、栅极 121 和栅线可以同层设置，并在同一个构图工艺中形成；导电块 166、源极 124、漏极 125 以及数据线可以同层设置，并在同一构图工艺中形成。此外，为公共电极提供信号的公共电极线还可以与导线 163、栅极 121 和栅线同层设置并在同一构图工艺中形成。

需要说明的是，在图 1 所示的情形中，自电容电极 160 与导线 163 之间的第二绝缘层 235 包括第一绝缘层 150、第三绝缘层 130 和栅绝缘层 122。但本发明实施例不限于此。例如，第二绝缘层 235 还可以包括第一绝缘层 150、第三绝缘层 130，不包括栅绝缘层 122；例如，阵列基板 100 上还可以不设置第三绝缘层 130，相应地，第二绝缘层 235 可以不包括第三绝缘层 130。

本发明的至少一个实施例还提供了一种阵列基板的制作方法，如图 1 和图 2 所示，该方法包括：在衬底基板 110 上形成多条栅线 180、多条数据线 190、薄膜晶体管 120、公共电极 140 和像素电极 170；通过一次构图工艺在公共电极 140 的远离衬底基板 110 的一侧形成第一绝缘层 150；以及通过一次构图工艺在第一绝缘层 150 的远离衬底基板 110 的一侧形成多个自电容电极 160。在该方法中，栅线 180 和数据线 190 限定呈阵列分布的多个像素单元 089，每个像素单元 089 包括薄膜晶体管 120、公共电极 140 和像素电极 170。

构图工艺包括通过利用掩模板形成设定图案的工艺，例如包括光刻胶涂

敷、光刻胶曝光、光刻胶显影、利用光刻胶图案刻蚀薄膜层等步骤；但实施方式不限于此，构图工艺还可以是其他的不需要利用掩膜板即可形成设定图案的工艺，例如可以通过丝网印刷工艺形成设定图案。

5 在本发明实施例中，自电容电极 160 形成在公共电极 140 之后，从而所形成的阵列基板中，公共电极 140 位于衬底基板 110 和自电容电极 160 所在的层之间。与采用互电容技术相比，本发明实施例只需增加一次构图工艺即可形成自电容电极，这不但可以减少制作流程，也可以提高信噪比。

10 在本发明实施例中，自电容电极 160 与像素电极 170 形成的先后顺序不受限制，例如，可以在形成多个自电容电极 160 之前或者之后，形成像素电极 170。

在形成自电容电极 140 之前形成像素电极 170 时，由于自电容电极 160 位于像素电极 170 的上层，因此可以在自电容电极 160 上形成保护层 171。例如，可以在自电容电极的远离衬底基板的一侧形成透明导电材料；通过一次构图工艺，在形成所述像素电极的同时，在每个自电容电极上形成保护层。

15 在至少一个实施例中，自电容电极可以采用网格状或十字形等结构，以减小对公共电极和像素电极之间的电场的影响。例如，如图 2 所示，形成的每个自电容电极 160 包括至少一个沿第一方向延伸的第一延伸部 161 和/或至少一个沿第二方向延伸的第二延伸部 162，所述第一方向与所述第二方向交叉。

20 在至少一个实施例中，为了减小自电容电极的对地电容，可以通过一次构图工艺，在形成公共电极 140 的同时，在公共电极 140 对应每个自电容电极 160 的部分或全部第一延伸部 161 和第二延伸部 162 的位置处形成镂空区域 142。

25 在至少一个实施例中，自电容电极和与其电连接的导线可以同层设置或异层设置。例如，当自电容电极与导线同层设置时，可以在形成多个自电容电极的同时形成多条导线，使每个自电容电极与一条导线电连接。例如，当自电容电极与导线异层设置时，如图 1 所示，可以在形成公共电极 140 之前，在衬底基板 110 上依次形成多条导线 163 以及第二绝缘层 235，使每个自电容电极 160 通过第二绝缘层 235 中的过孔 164 与导线 163 电连接。

30 在至少一个实施例中，为了降低因过孔 164 分布不均造成的显示不均，

如图 4 所示, 所述制作方法可以包括: 在形成自电容电极 140 的过程中, 使每个自电容电极 140 与至少一条与其他自电容电极电连接的导线重叠; 在形成第二绝缘层的过程中, 在第二绝缘层中形成至少一个凹陷部 165, 该至少一个凹陷部 165 对应每个自电容电极及与该自电容电极重叠的所述至少一条  
5 与其他自电容电极电连接的导线, 凹陷部 165 的深度小于所述第二绝缘层的厚度 (即, 凹陷部 165 不是贯穿第二绝缘层的通孔)。

在本发明实施例中, 当自电容电极与导线异层设置时, 导线可以位于自电容电极的上方或下方。当导线位于自电容电极的下方时, 在至少一个实施例中, 如图 1 所示, 所述制作方法包括: 在形成公共电极 140 的同时, 在公共  
10 电极 140 中形成对应过孔 164 的开口 141。

在本发明实施例中, 与自电容电极电连接的导线可以利用形成阵列基板上的任一金属结构的材料制作。例如, 所述制作方法可以包括: 通过一次构图工艺, 形成薄膜晶体管 120 的第一电极 (例如栅极 121, 或者源极 124 和漏极 125) 以及多条导线 163。

15 在本发明实施例中, 自电容电极 160 与导线 163 可以直接接触, 也可以通过导电块 166 电连接。例如, 自电容电极 160 与导线 163 通过导电块 166 电连接时, 所述制作方法包括: 通过一次构图工艺, 形成薄膜晶体管的第二电极, 以及电连接自电容电极 160 与导线 163 的导电块 166。例如, 当薄膜晶体管 120 为底栅型薄膜晶体管时, 第二电极可以为源极 124 和漏极 125;  
20 例如, 当薄膜晶体管 120 为顶栅型薄膜晶体管时, 第二电极可以为栅极。

下面以图 1 所示的阵列基板为例, 对本发明实施例提供的阵列基板的制作方法进行详细说明。

如图 1 所示, 阵列基板 100 中的公共电极 140 为板状电极, 像素电极 170 为狭缝电极, 自电容电极 160 与像素电极 170 并排位于第一绝缘层 150 上,  
25 薄膜晶体管 120 为底栅型薄膜晶体管, 自电容电极 160 通过导电块 166 与导线 163 电连接。在这种情况下, 本发明实施例提供的阵列基板的制作方法可以包括以下步骤 S1 至步骤 S9, 下面逐一介绍这些步骤。

步骤 S1、如图 6a 所示, 在衬底基板 110 上形成栅极金属层, 通过第一次构图工艺形成导线 163、栅极 121 和栅线 (图 6a 中未示出)。

30 例如, 衬底基板 110 可以为玻璃基板、石英基板等, 栅极金属层可以采

用铝、铜、锆、钼等金属制作。此外，在此步骤中还可以形成公共电极线等，此处不做赘述。

步骤 S2、形成栅绝缘层材料，通过第二次构图工艺形成栅绝缘层 122，并在栅绝缘层 122 的对应导线 163 的位置处形成栅绝缘层过孔 022 以暴露出导线 163，如图 6b 所示。

步骤 S3、形成有源层材料，通过第三次构图工艺形成有源层 123，并且刻蚀掉栅绝缘层过孔 022 中的有源层材料以暴露出导线 163，如图 6c 所示。

步骤 S4、如图 6d 所示，形成源漏金属层，通过第四次构图工艺形成源极 124、漏极 125、数据线（图 6d 中未示出）以及位于栅绝缘层过孔 022 中的导电块 166，使导电块 166 与导线 163 接触。

步骤 S5、形成第三绝缘层材料，通过第五次构图工艺形成第三绝缘层 130，在对应导电块 166 的位置处形成过孔 131 以暴露出导电块 166，在对应漏极 125 的位置处形成过孔 132 以暴露出漏极 125，如图 6e 所示。

在该步骤中，还可以在第三绝缘层 130 中形成凹陷部（图 6e 中未示出），该凹陷部在沿衬底基板 110 的方向上与一条导线重叠。

步骤 S6、形成第一透明导电材料，通过第六次构图工艺形成公共电极 140，如图 6f 所示。在该步骤中，公共电极 140 在对应导电块 166 的位置处形成有开口 141，过孔 131 中的第一透明导电材料被刻蚀掉以暴露出导电块 166；公共电极 140 在对应待形成的每个自电容电极的一部分或全部第一延伸部和第二延伸部的位置处形成有镂空区域 142；公共电极 140 在对应漏极 125 的位置处形成有开口，过孔 132 中的第一透明导电材料被刻蚀掉以暴露出漏极 125。

在此步骤中，如果上述步骤 S5 中形成有凹陷部，还可以在公共电极的对应凹陷部的位置处形成开口。

步骤 S7、形成第一绝缘层材料，通过第七次构图工艺形成第一绝缘层 150，在对应导电块 166 的位置处形成过孔 164 以暴露出导电块 166，并且在对应漏极 125 的位置处形成过孔 172 以暴露出漏极 125，如图 6g 所示。

步骤 S8、形成一层金属材料，通过第八次构图工艺形成自电容电极 160，使每个自电容电极 160 包括至少一个第一延伸部 161 和至少一个第二延伸部 162，使每个自电容电极 160 的一个延伸部与导电块 166 电连接以及至少一个

延伸部对应公共电极 140 中的镂空区域 142，刻蚀掉过孔 172 中的金属材料以暴露出漏极 125，如图 6h。

在此步骤中，如果上述步骤 S5 中形成有凹陷部，则在对应该凹陷部的位置处形成有自电容电极 160。在此步骤中，过孔 172 中的金属材料也可以保留。

步骤 S9、形成第二透明导电材料，通过第九次构图工艺形成像素电极 170，使其与漏极 125 接触，并且保留覆盖自电容电极 160 的第二透明导电材料以形成保护层 171，如图 1 所示。

在此步骤中，如果步骤 S8 中未刻蚀掉过孔 172 中的金属材料，则可以使像素电极 170 与过孔 172 中的金属材料接触，以实现像素电极 170 与漏极 125 的电连接。

需要说明的是，上述制作方法是在采用 8 次掩膜工艺（即构图工艺）的阵列基板的基础上增加一次形成自电容电极的掩膜工艺得到的。本发明实施例提供的制作方法还适用于其他阵列基板，例如采用 7 次掩膜工艺以及 6 次掩膜工艺的阵列基板，此处不做赘述。

以上制作方法中，各结构的设置可参考阵列基板的实施例中的相关描述，重复之处不再赘述。

本发明的至少一个实施例还提供了一种如上述任一实施例提供的阵列基板的驱动方法，该驱动方法包括：对公共电极施加公共电极信号，同时对各自电容电极施加驱动信号；接收各自电容电极的反馈信号，并根据反馈信号判断触摸位置（以下称为方式一）；或者将显示一帧图像的时间分成显示时间段和触控时间段，在显示时间段和触控时间段对公共电极施加公共电极信号，在触控时间段对各自电容电极施加驱动信号并接收各自电容电极的反馈信号，并根据反馈信号判断触摸位置（以下称为方式二）。在该驱动方法中，如图 1 所示，公共电极 140、自电容电极 160 均设置在阵列基板 100 的衬底基板 110 上，公共电极 140 所在的层远离衬底基板 110 的一侧设有第一绝缘层 150，第一绝缘层 150 的远离衬底基板的一侧设有自电容电极 160。关于该驱动方法中阵列基板的实施，可以参考上述阵列基板的实施例，此处不再赘述。

本发明实施例的驱动方法提供了两种驱动方式：在方式一中，显示驱动

和触控驱动是分别进行的，二者互不影响，因此显示驱动可以一直进行，触控驱动也可以一直进行；在方式二中，采用分时驱动，将一帧图像的显示时间分成显示时间段和触控时间段，显示驱动在显示时间段和触控时间段可以一直进行，触控驱动只在触控阶段进行。因此，本发明实施例提供的驱动方法中，显示功能不受触控功能的影响。

在本发明实施例中，在进行显示驱动的过程中，所述驱动方法还包括：对栅线施加栅扫描信号，对数据线施加灰阶信号。

例如，当采用上述方式二时，所述驱动方法可以包括：在显示时间段，对多条栅线依次施加栅扫描信号，对多条数据信号线依次施加灰阶信号，对公共电极施加公共电极信号，以实现液晶显示功能，并且，自电容电极接地。在触控时间段，向各自电容电极施加驱动信号，接收各自电容电极的反馈信号，通过对反馈信号进行分析以判断是否发生触控，从而实现触控功能，并且在此过程中，栅线、数据线以及公共电极的信号与显示时间段一致以实现液晶显示功能。在该示例中，在显示时间段，还可以向自电容电极施加公共电极信号。

当采用方式一时，液晶显示功能的实现以及触控功能的实现与上述方式二类似，不同之处在于方式一中不需要划分显示时间段和触控时间段，显示驱动和触控驱动可以同时进行。

此外，在实现触控功能的过程中，可以向自电容电极依次施加驱动信号，并依次接收各自电容电极的反馈信号，也可以向各自电容电极同时施加驱动信号，并同时接收各自电容电极的反馈信号。

本发明的至少一个实施例还提供了一种显示装置，其包括上述任一实施例所述的阵列基板 100。如图 7 所示，阵列基板 100 上的自电容电极 160 设置在公共电极 140 上，并且图 7 以自电容电极 160 与导线 163 异层设置为例进行说明。关于阵列基板的实施，可参考以上相关描述，此处不做赘述。

本发明实施例提供的显示装置可以为：液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

在至少一个实施例中，如图 7 所示，所述显示装置还包括与阵列基板 100 相对设置的对置基板 200，对置基板 200 上设有黑矩阵 210，当每个自电容电

极 160 包括至少一个沿第一方向延伸的第一延伸部和/或至少一个沿第二方向延伸的第二延伸部，且第一方向与第二方向交叉时，第一延伸部 161 和第二延伸部 162 对应黑矩阵所在的位置。也就是说，当每个自电容电极 160 采用网格状或十字形等结构时，自电容电极 160 对应黑矩阵 210 所在的位置。

5 由于黑矩阵采用黑色遮光材料制作，自电容电极 160（尤其是采用金属材料制作时）由于被黑矩阵遮挡而不会对显示效果造成影响。

当然，阵列基板 100 和对置基板 200 之间还设有液晶，在对置基板 200 上还可以设有例如彩色滤光层、平坦层、隔垫物等结构，在阵列基板 100 上还设有触控 IC、印刷电路板等结构。由于这些结构为本领域技术人员所熟知，

10 本发明实施例不做赘述。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

本申请要求于 2015 年 2 月 2 日递交的中国专利申请第 201510053731.7 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一

15 部分。

## 权利要求书

1、一种阵列基板，包括衬底基板、设置于所述衬底基板上的多条栅线和多条数据线，其中，

- 5 所述栅线和所述数据线限定多个呈阵列分布的像素单元；  
每个像素单元包括公共电极、像素电极以及薄膜晶体管；  
所述公共电极所在的层远离所述衬底基板的一侧设有第一绝缘层；  
所述第一绝缘层的远离所述衬底基板的一侧设有多个自电容电极。

2、如权利要求 1 所述的阵列基板，其中，

- 10 所述自电容电极位于所述公共电极所在的层与所述像素电极所在的层之间，或者所述自电容电极位于所述像素电极所在的层背离所述衬底基板的一侧，或者所述自电容电极与所述像素电极并排位于同一膜层上。

3、如权利要求 2 所述的阵列基板，其中，

- 15 当所述自电容电极位于所述像素电极所在的层背离所述衬底基板的一侧时，或者当所述自电容电极与所述像素电极并排位于同一膜层上时，所述自电容电极上设有保护层。

4、如权利要求 1-3 任一项所述的阵列基板，其中，

每个自电容电极包括至少一个沿第一方向延伸的第一延伸部和/或至少一个沿第二方向延伸的第二延伸部，所述第一方向与所述第二方向交叉。

- 20 5、如权利要求 4 所述的阵列基板，其中，每个第一延伸部在垂直于所述衬底基板的方向上与所述栅线之一重叠，每个第二延伸部在垂直于所述衬底基板的方向上与所述数据线之一重叠。

6、如权利要求 4 或 5 所述的阵列基板，其中，

- 25 所述公共电极在对应每个自电容电极的部分或全部所述第一延伸部和第二延伸部的位置处设有镂空区域。

7、如权利要求 1-6 任一项所述的阵列基板，其中，

每个自电容电极与一条导线电连接，所述导线用于将所述自电容电极的信号导出；

- 30 所述自电容电极与所述导线异层设置，所述自电容电极所在的层以及所述导线之间设有第二绝缘层，所述自电容电极与所述导线通过过孔电连接。

8、如权利要求 7 所述的阵列基板，其中，所述自电容电极与至少一条与其他自电容电极电连接的导线重叠并且在二者之间的所述第二绝缘层中设有凹陷部，所述凹陷部的深度小于所述第二绝缘层的厚度。

5 9、如权利要求 7 或 8 所述的阵列基板，其中，所述公共电极在对应所述过孔的位置设有开口，所述过孔通过所述开口。

10、如权利要求 9 所述的阵列基板，其中，所述薄膜晶体管包括第一电极，所述导线与所述第一电极同层设置。

11、如权利要求 10 所述的阵列基板，其中，  
10 所述薄膜晶体管还包括第二电极，所述自电容电极与所述导线通过与所述第二电极同层设置的导电块电连接。

12、如权利要求 9-11 任一项所述的阵列基板，其中，所述公共电极所在的层与所述薄膜晶体管之间设有第三绝缘层，所述第二绝缘层包括所述第三绝缘层。

13、如权利要求 12 所述的阵列基板，其中，所述薄膜晶体管包括栅绝缘  
15 层，所述第二绝缘层还包括所述栅绝缘层。

14、如权利要求 9-13 任一项所述的阵列基板，其中，每相邻的两行像素单元形成一个像素单元组，所述相邻的两行像素单元之间设有两条栅线，所述导线设置在相邻的所述像素单元组之间的间隙处。

15、如权利要求 1-8 任一项所述的阵列基板，其中，所述公共电极所在  
20 的层与所述薄膜晶体管之间设有第三绝缘层。

16、如权利要求 1-6 任一项所述的阵列基板，其中，  
每个自电容电极与一条导线电连接，所述导线用于将所述自电容电极的信号导出；所述自电容电极与所述导线同层设置。

17、如权利要求 4-16 任一项所述的阵列基板，其中，所述自电容电极采  
25 用金属材料制作。

18、一种显示装置，包括如权利要求 1-17 任一项所述的阵列基板。

19、如权利要求 18 所述的显示装置，还包括：与所述阵列基板相对设置的对置基板，其中，

30 所述对置基板上设有黑矩阵，当每个自电容电极包括至少一个沿第一方向延伸的第一延伸部和/或至少一个沿第二方向延伸的第二延伸部，且所述第

一方向与所述第二方向交叉时，所述第一延伸部和所述第二延伸部对应所述黑矩阵所在的位置。

20、一种阵列基板的制作方法，包括：

5 在衬底基板上形成多条栅线、多条数据线、薄膜晶体管、公共电极和像素电极；

通过一次构图工艺在所述公共电极的远离所述衬底基板的一侧形成第一绝缘层；以及

通过一次构图工艺在所述第一绝缘层的远离所述衬底基板的一侧形成多个自电容电极；

10 其中，所述栅线和数据线限定呈阵列分布的多个像素单元，每个像素单元包括所述薄膜晶体管、公共电极和像素电极。

21、如权利要求 20 所述的制作方法，其中，  
在形成所述自电容电极之前或者之后，形成所述像素电极。

15 22、如权利要求 21 所述的制作方法，其中，  
在所述自电容电极的远离所述衬底基板的一侧形成透明导电材料；  
通过一次构图工艺，在形成所述像素电极的同时，在每个自电容电极上形成保护层。

23、如权利要求 20-22 任一项所述的制作方法，其中，  
每个自电容电极包括至少一个沿第一方向延伸的第一延伸部和/或至少  
20 一个沿第二方向延伸的第二延伸部，所述第一方向与所述第二方向交叉。

24、如权利要求 23 所述的制作方法，其中，  
在形成所述公共电极的同时，在所述公共电极对应每个自电容电极的部分或全部所述第一延伸部和第二延伸部的位置处形成镂空区域。

25 25、如权利要求 20-24 任一项所述的制作方法，其中，  
在所述衬底基板上依次形成多条导线以及第二绝缘层，使每个自电容电极通过过孔与所述导线电连接。

26、如权利要求 25 所述的制作方法，其中，  
在形成所述自电容电极的过程中，使每个自电容电极与至少一条与其他自电容电极电连接的导线重叠；

30 在形成所述第二绝缘层的过程中，在所述第二绝缘层中形成凹陷部，所

述凹陷部对应每个自电容电极及与其重叠的所述至少一条与其他自电容电极电连接的导线，所述凹陷部的深度小于所述第二绝缘层的厚度。

27、如权利要求 25 或 26 所述的制作方法，其中，

在形成所述公共电极的同时，在所述公共电极中形成对应所述过孔的开口。

5

28、如权利要求 27 所述的制作方法，其中，

通过一次构图工艺，形成所述薄膜晶体管的第一电极以及所述多条导线。

29、如权利要求 28 所述的制作方法，其中，

通过一次构图工艺，形成所述薄膜晶体管的第二电极，以及电连接所述

10 自电容电极与所述导线的导电块。

30、一种阵列基板的驱动方法，包括：

对所述公共电极施加公共电极信号，同时对所述各自电容电极施加驱动信号；接收各自电容电极的反馈信号，并根据反馈信号判断触摸位置；或者

将显示一帧图像的时间分成显示时间段和触控时间段，在显示时间段和

15 触控时间段对所述公共电极施加公共电极信号，在触控时间段对各自电容电极施加驱动信号并接收各自电容电极的反馈信号，并根据反馈信号判断触摸位置；

其中，所述公共电极、所述自电容电极均设置在所述阵列基板的衬底基板上，所述公共电极所在的层远离所述衬底基板的一侧设有第一绝缘层，所

20 述第一绝缘层的远离所述衬底基板的一侧设有自电容电极。

100

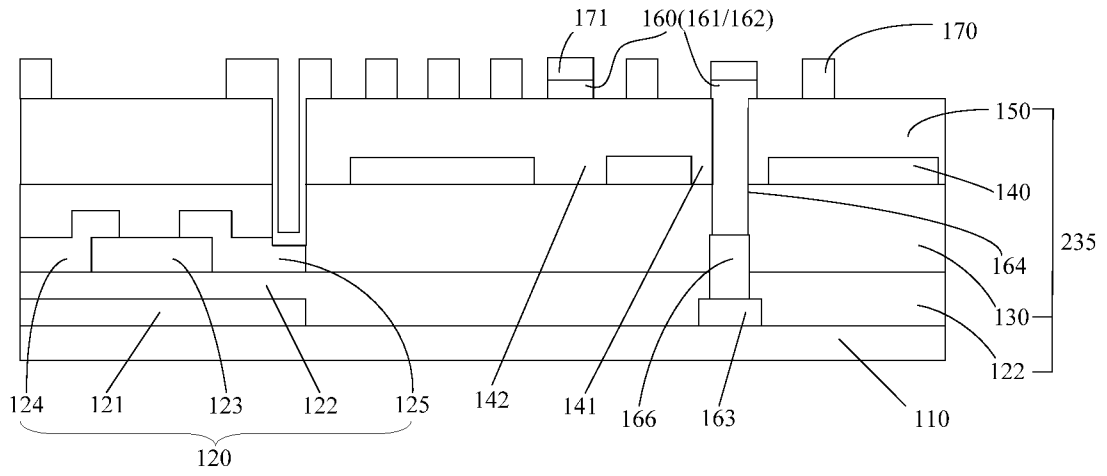


图 1

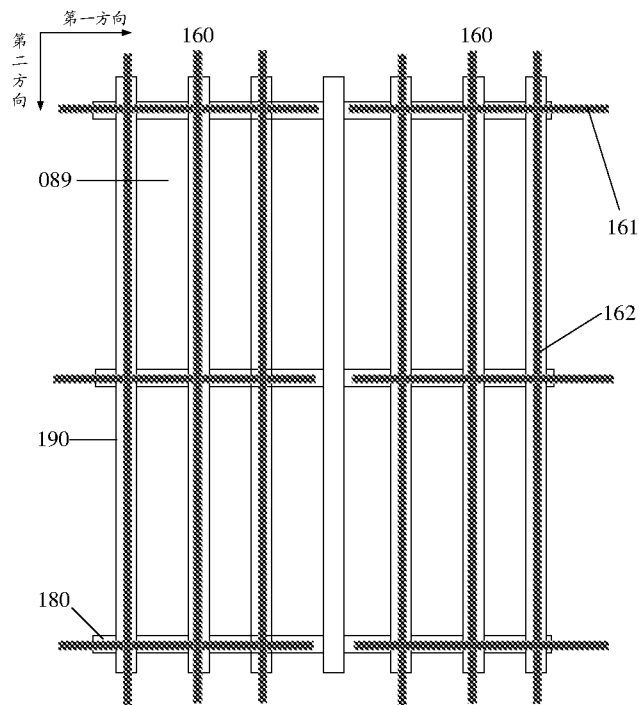


图 2

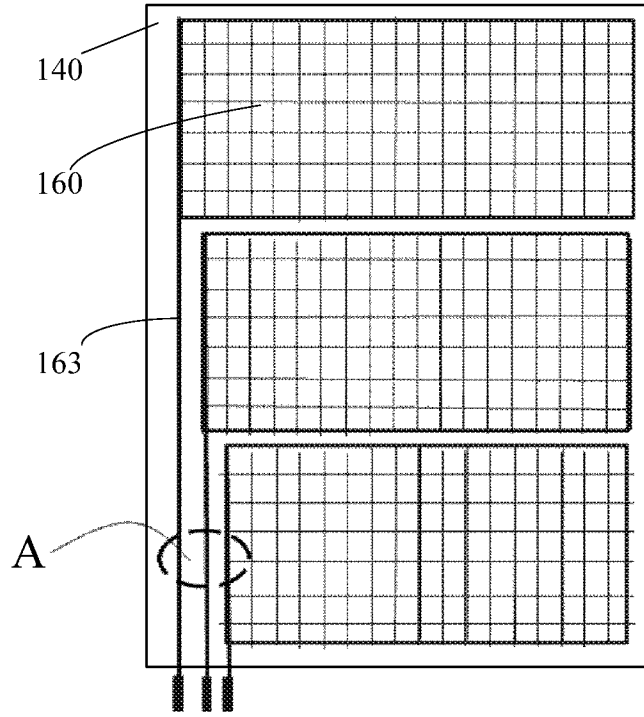


图 3

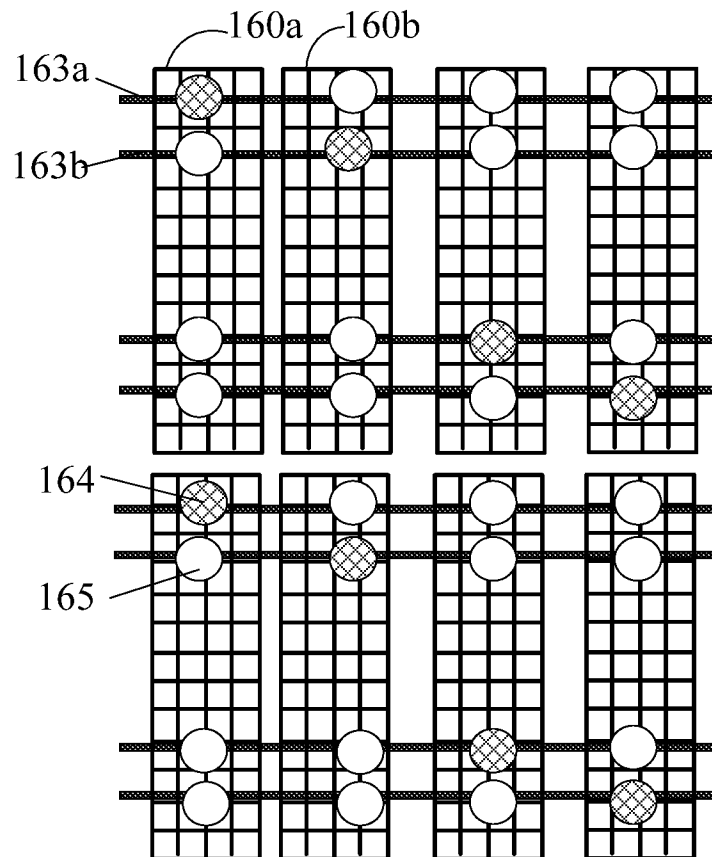


图 4

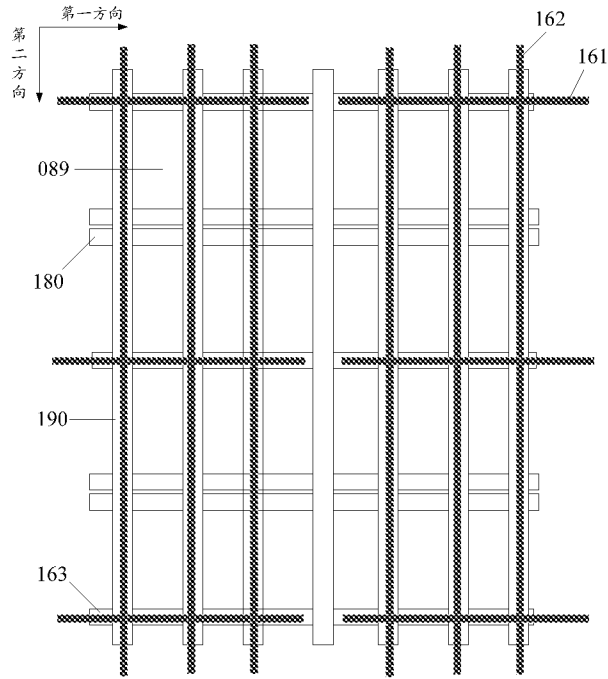


图 5

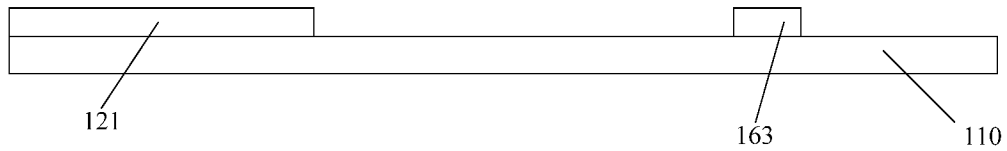


图 6a



图 6b

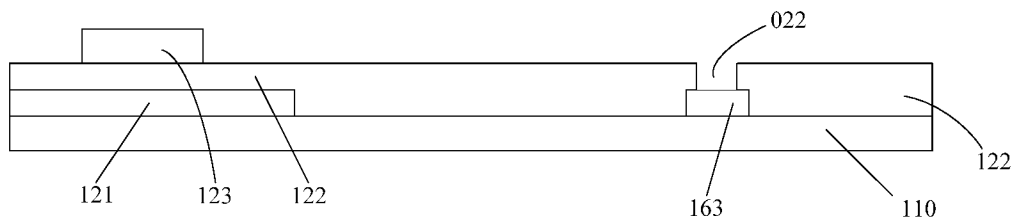


图 6c

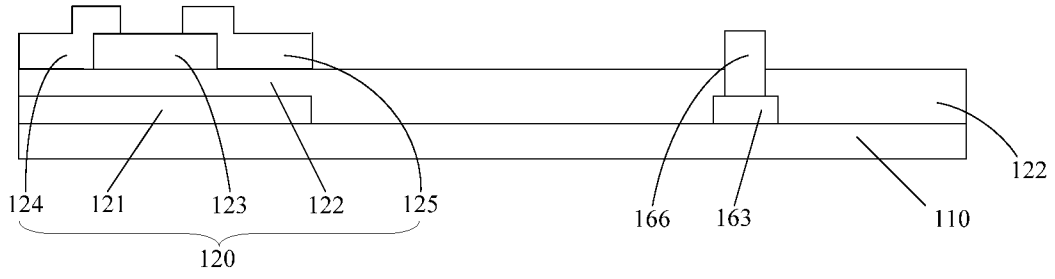


图 6d

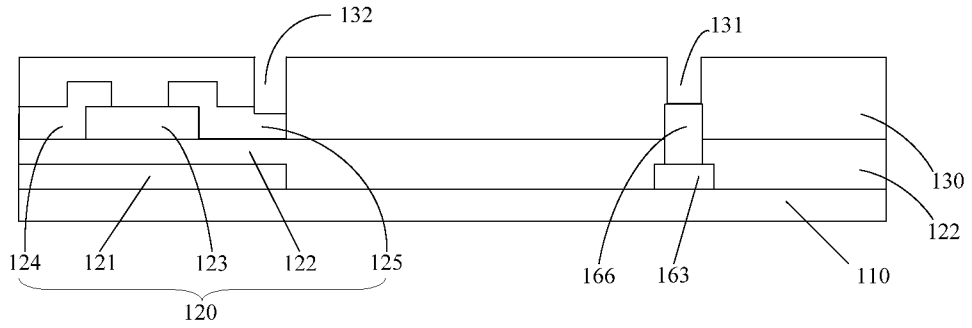


图 6e

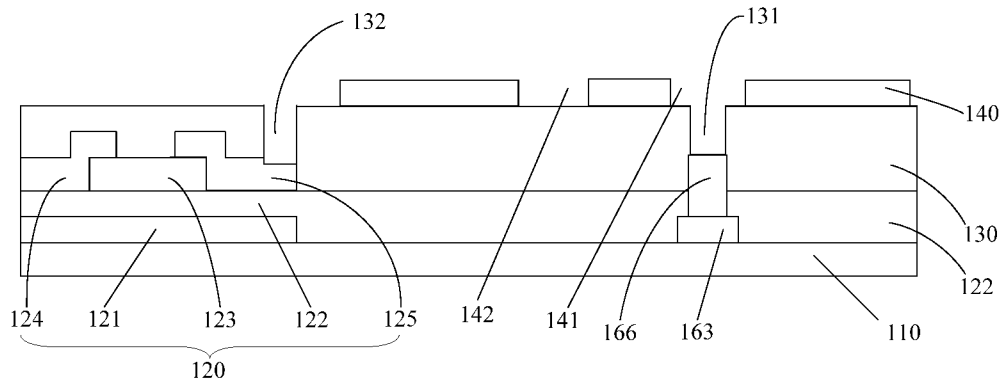


图 6f

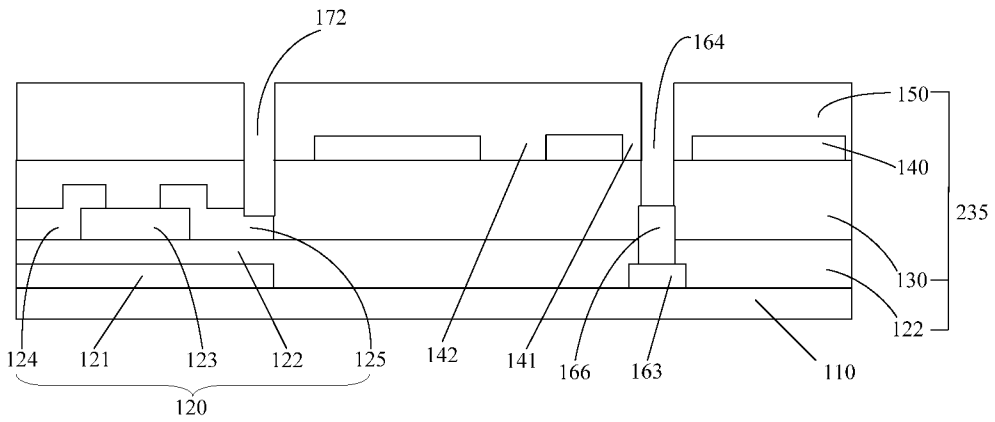


图 6g

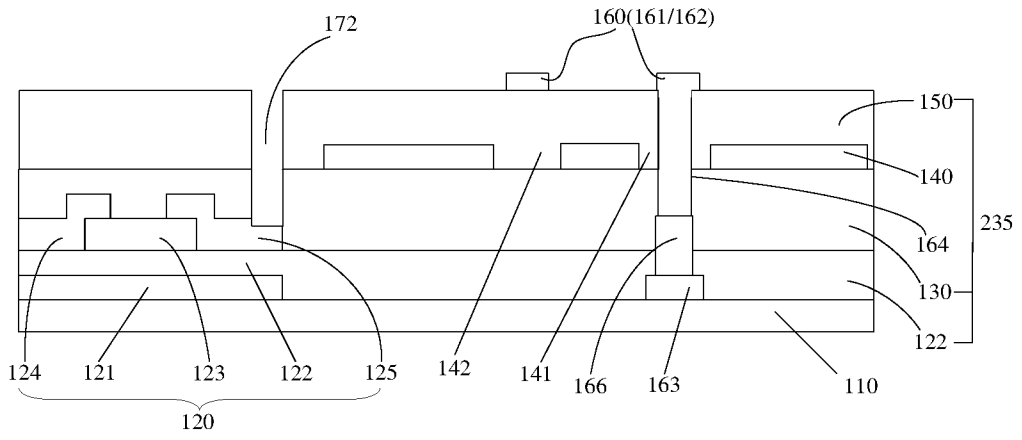


图 6h

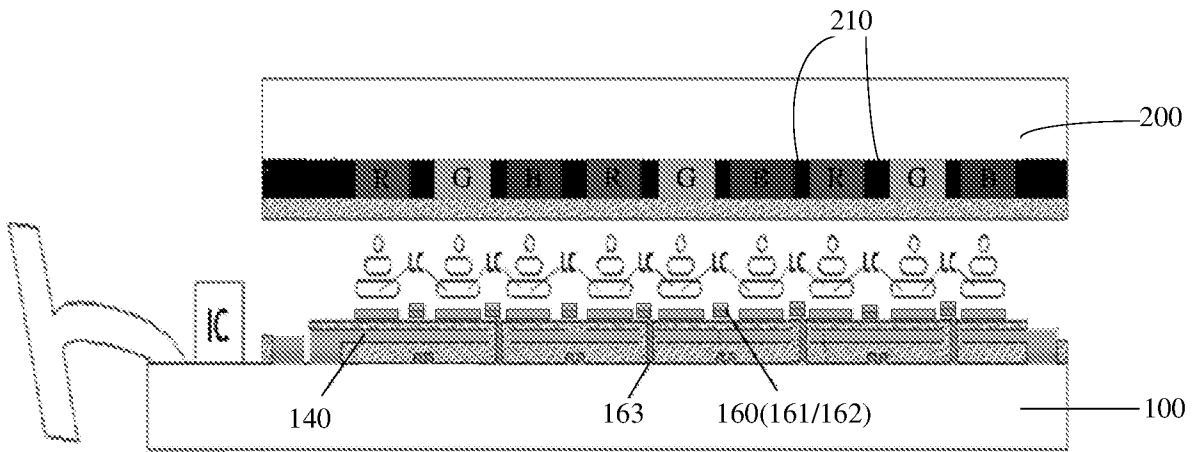


图 7

# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2015/089998**

## A. CLASSIFICATION OF SUBJECT MATTER

G06F 3/041 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: array substrate, gate lines, data lines, pixel units, common electrode, pixel electrode, thin film transistor, insulation, self-capacitance

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104571715 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 April 2015 (29.04.2015), claims 1-30, and description, paragraphs [0009]-[0038]	1-30
A	CN 103744245 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 April 2014 (23.04.2014), description, paragraphs [0013]-[0022], and figures 3-4	1-30
A	CN 101840084 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 22 September 2010 (22.09.2010), the whole document	1-30
A	CN 102544025 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 04 July 2012 (04.07.2012), the whole document	1-30
A	US 2002036724 A1 (HA, Y.M.), 28 March 2002 (28.03.2002), the whole document	1-30

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search

03 December 2015 (03.12.2015)

Date of mailing of the international search report

**17 December 2015 (17.12.2015)**

Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer

**BAI, Lushuang**

Telephone No.: (86-10) **82246937**

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
**PCT/CN2015/089998**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104571715 A	29 April 2015	None	
CN 103744245 A	23 April 2014	WO 2015100778 A1	09 July 2015
CN 101840084 A	22 September 2010	None	
CN 102544025 A	04 July 2012	US 2012168760 A1	05 July 2012
US 2002036724 A1	28 March 2002	KR 20020024466 A	30 March 2002

国际检索报告

国际申请号

PCT/CN2015/089998

<p>A. 主题的分类</p> <p>G06F 3/041 (2006.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC: 阵列基板, 栅线, 数据线, 像素单元, 公共电极, 像素电极, 薄膜晶体管, 绝缘, 自电容, array substrate, gate lines, data lines, pixel units, common electrode, pixel electrode, thin film transistor, insulation, self-capacitance</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 104571715 A (京东方科技集团股份有限公司等) 2015年 4月 29日 (2015 - 04 - 29) 权利要求1-30, 说明书第[0009]-[0038]段</td> <td>1-30</td> </tr> <tr> <td>A</td> <td>CN 103744245 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书第[0013]-[0022]段, 附图3-4</td> <td>1-30</td> </tr> <tr> <td>A</td> <td>CN 101840084 A (北京京东方光电科技有限公司) 2010年 9月 22日 (2010 - 09 - 22) 全文</td> <td>1-30</td> </tr> <tr> <td>A</td> <td>CN 102544025 A (京东方科技集团股份有限公司等) 2012年 7月 4日 (2012 - 07 - 04) 全文</td> <td>1-30</td> </tr> <tr> <td>A</td> <td>US 2002036724 A1 (HA YONG-MIN) 2002年 3月 28日 (2002 - 03 - 28) 全文</td> <td>1-30</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 104571715 A (京东方科技集团股份有限公司等) 2015年 4月 29日 (2015 - 04 - 29) 权利要求1-30, 说明书第[0009]-[0038]段	1-30	A	CN 103744245 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书第[0013]-[0022]段, 附图3-4	1-30	A	CN 101840084 A (北京京东方光电科技有限公司) 2010年 9月 22日 (2010 - 09 - 22) 全文	1-30	A	CN 102544025 A (京东方科技集团股份有限公司等) 2012年 7月 4日 (2012 - 07 - 04) 全文	1-30	A	US 2002036724 A1 (HA YONG-MIN) 2002年 3月 28日 (2002 - 03 - 28) 全文	1-30
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 104571715 A (京东方科技集团股份有限公司等) 2015年 4月 29日 (2015 - 04 - 29) 权利要求1-30, 说明书第[0009]-[0038]段	1-30																		
A	CN 103744245 A (深圳市华星光电技术有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书第[0013]-[0022]段, 附图3-4	1-30																		
A	CN 101840084 A (北京京东方光电科技有限公司) 2010年 9月 22日 (2010 - 09 - 22) 全文	1-30																		
A	CN 102544025 A (京东方科技集团股份有限公司等) 2012年 7月 4日 (2012 - 07 - 04) 全文	1-30																		
A	US 2002036724 A1 (HA YONG-MIN) 2002年 3月 28日 (2002 - 03 - 28) 全文	1-30																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2015年 12月 3日</p>	<p>国际检索报告邮寄日期</p> <p>2015年 12月 17日</p>																			
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10) 62019451</p>	<p>受权官员</p> <p>白露霜</p> <p>电话号码 (86-10) 82246937</p>																			

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2015/089998

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104571715	A	2015年 4月 29日	无			
CN	103744245	A	2014年 4月 23日	WO	2015100778	A1	2015年 7月 9日
CN	101840084	A	2010年 9月 22日	无			
CN	102544025	A	2012年 7月 4日	US	2012168760	A1	2012年 7月 5日
US	2002036724	A1	2002年 3月 28日	KR	20020024466	A	2002年 3月 30日

表 PCT/ISA/210 (同族专利附件) (2009年7月)