

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月20日(20.08.2015)



(10) 国際公開番号

WO 2015/122393 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2015/053588
- (22) 国際出願日: 2015年2月10日(10.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-026292 2014年2月14日(14.02.2014) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 富田 雅裕(TOMIDA Masahiro). 上田 直樹(UEDA Naoki).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

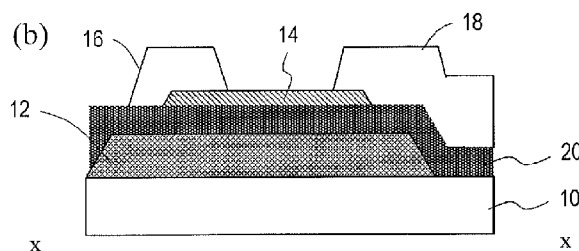
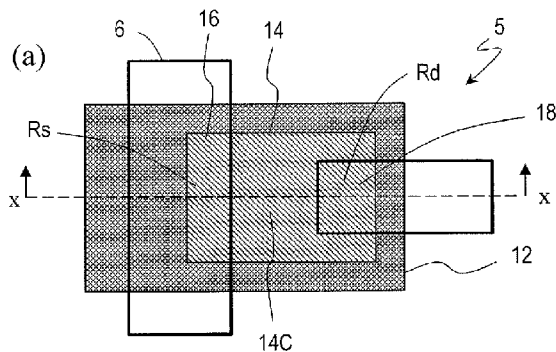
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE

(54) 発明の名称: アクティブマトリクス基板



(57) Abstract: An active matrix substrate (100) has a display region (R1) in which a plurality of pixels are provided, and a frame region (R2) provided around the display region, and is provided with a plurality of peripheral circuit TFTs (5) constituting a drive circuit in the frame region. Each of the plurality of peripheral circuit TFTs has a gate electrode (12), a source electrode (16), a drain electrode (18), and an oxide semiconductor layer (14). In at least some of the plurality of peripheral circuit TFTs, a source connection region (Rs), which is a region in which the oxide semiconductor layer and the source electrode are connected, and a drain connection region (Rd), which is a region in which the oxide semiconductor layer and the drain electrode are connected, are asymmetrically formed.

(57) 要約: アクティブマトリクス基板 (100) は、複数の画素が設けられた表示領域 (R1) と、表示領域の周囲に設けられた額縁領域 (R2) とを有し、額縁領域において駆動回路を構成する複数の周辺回路 TFT (5) が備えられており、複数の周辺回路 TFT のそれぞれは、ゲート電極 (12)、ソース電極 (16)、ドレイン電極 (18)、酸化物半導体層 (14) を有しており、複数の周辺回路 TFT のうちの少なくとも一部において、酸化物半導体

層とソース電極との接続領域であるソース接続領域 (Rs) と、酸化物半導体層とドレイン電極との接続領域であるドレイン接続領域 (Rd) とが非対称に形成されている。

明 細 書

発明の名称： アクティブマトリクス基板

技術分野

[0001] 本発明は表示装置などに用いられるアクティブマトリクス基板に関し、特に酸化物半導体ＴＦＴを備えるアクティブマトリクス基板に関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、画素毎に薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられていた。

[0003] 近年、ＴＦＴの活性層の材料として、アモルファスシリコンや多結晶シリコン以外の材料を用いる試みが行われている。例えば、特許文献１には、 InGaZnO （インジウム、ガリウム、亜鉛から構成される酸化物）などの酸化物半導体膜によってＴＦＴの活性層を形成する液晶表示装置が記載されている。このようなＴＦＴを「酸化物半導体ＴＦＴ」と称する。

[0004] 酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作させることが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも簡便なプロセスで形成され、大面積が必要とされる装置にも適用できる。このため、酸化物半導体ＴＦＴは、製造工程数や製造コストを抑えつつ作製できる高性能なアクティブ素子として、表示装置などへの利用が進められている。

[0005] また、酸化物半導体の移動度は高いため、従来のアモルファスシリコンＴＦＴに比べてサイズを小型化しても同等以上の性能を得ることが可能である。このため、酸化物半導体ＴＦＴを用いてアクティブマトリクス基板を作製すれば、画素内におけるＴＦＴの占有面積を低下させ、画素開口率を向上さ

せることができる。これによって、バックライトの光量を抑えて明るい表示を行うことが可能になり、低消費電力を実現できる。

[0006] 特に、スマートフォンなどに用いられる小型・高精細の表示装置では、配線の最小幅制限（プロセスルール）などに起因して、画素の開口率を高くすることが容易ではない。そこで、酸化物半導体TFTを用いて画素開口率を向上させれば、消費電力を抑えながら高精細な画像の表示を行うことができる。

[0007] また、酸化物半導体TFTのオフリーク特性は優れているので、画像の書き換え頻度を低下させて表示を行う方式を利用することもできる。例えば、静止画表示時などには、1秒に1回の頻度で画像データを書き換えるように動作させることができる。このような駆動方式は、休止駆動方式または低周波駆動方式などと呼ばれる。休止駆動方式を利用することによって、表示装置の消費電力を大幅に削減することができる。

先行技術文献

特許文献

[0008] 特許文献1：特開2012-134475号公報

特許文献2：国際公開第2011/024499号

特許文献3：特開2012-74681号公報

発明の概要

発明が解決しようとする課題

[0009] 液晶表示装置用のアクティブマトリクス基板において、表示領域内の各画素にそれぞれ設けられたTFT（以下、画素TFTと呼ぶことがある）のソース電極は信号線に接続され、ドレイン電極は画素電極に接続されている。画素TFTがオンのとき、画素電極には信号線を介して画素電圧が印加される。また、画素TFTがオフの期間中、画素電圧は液晶容量 C_{lc} や補助容量 C_{cs} などによって保持される。

[0010] 画素TFTでは、オフ期間中におけるドレイン電極の電位はそれほど高い

ものではない。このため、酸化物半導体ＴＦＴを用いれば、オフリーク電流を抑制することは比較的容易であった。

[0011] 一方で、一般的なアクティブマトリクス基板において、表示領域の外側に、接続端子や駆動回路を配置するための額縁領域が設けられている。また、額縁領域において、ゲートドライバやソースドライバなどの駆動回路を基板上にモノリシック（一体的）に形成する技術が知られている。これらのモノリシックドライバは、例えば、複数のＴＦＴ（以下、周辺回路ＴＦＴと呼ぶことがある）を用いて構成されるシフトレジスタを含んでいる。例えば特許文献２に、それぞれがゲート配線に接続された複数段のシフトレジスタを備えるモノリシックゲートドライバの構成が開示されている。

[0012] モノリシックドライバは、画素ＴＦＴと同時に、すなわち、画素ＴＦＴを作製するプロセスを利用して作製することができる。画素ＴＦＴおよび周辺回路ＴＦＴの活性層を酸化物半導体から形成する場合、各ＴＦＴのサイズを比較的小さくできる。このため、狭い額縁領域においても、複数の周辺回路ＴＦＴを含むモノリシックドライバを設けることが可能である。このような構成によれば、従来のようにドライバ用のＩＣチップを基板上に実装する必要がなくなるので、部品点数や製造工程数を削減することが可能である。また、ドライバを狭い領域に配置することができるので、額縁領域の狭小化も図ることができる。

[0013] ただし、周辺回路ＴＦＴとして酸化物半導体ＴＦＴを用いる場合であっても、ＴＦＴのサイズ（特にチャネル長）を小さく設計するとオフリーク特性が悪化する場合があることが本発明者によって確認された。周辺回路ＴＦＴの中には、オフ時におけるソース電位に対するドレイン電位の大きさ（ソース・ドレイン間電圧）が画素ＴＦＴの場合に比べて大きいものが含まれている。このため、周辺回路ＴＦＴでは、画素ＴＦＴでは問題にならなかったオフ時の絶縁破壊が生じ、リーク電流が増大するおそれがある。

[0014] ＴＦＴのオフリーク特性を向上させる（すなわちＴＦＴを高耐圧化する）技術としては、例えば特許文献３に、ゲート電極とドレイン電極との重なり

面積を低減するように、これらをオフセット構造とする構成が開示されている。しかし、特許文献3に記載のTFTでは、高耐圧化は期待できるものの、ゲート電極とドレイン電極とがずれて配置されているために、オン電流の減少を招くおそれがある。また、補助ゲート電極を必要としているのでTFTの面積の増大につながり、このような構成を周辺回路TFTに適用すると狭額縁の実現が困難になるという課題がある。

[0015] 本発明は上記課題を解決するために為されたものであり、耐圧性に優れた酸化物半導体TFTを備えるアクティブマトリクス基板を提供することをその目的とする。

課題を解決するための手段

[0016] 本発明の実施形態によるアクティブマトリクス基板は、複数の画素が設けられた表示領域と、前記表示領域の外側に設けられた額縁領域とを有し、前記額縁領域において駆動回路を構成する複数の周辺回路TFTを備えたアクティブマトリクス基板であって、前記複数の周辺回路TFTのそれぞれは、ゲート電極と、前記ゲート電極と絶縁された状態で前記ゲート電極と少なくとも部分的に重なるように配置された酸化物半導体層と、前記酸化物半導体層に接続されたソース電極およびドレイン電極とを有しており、前記複数の周辺回路TFTのうちの少なくとも一部の周辺回路TFTにおいて、前記酸化物半導体層と前記ソース電極との接続領域であるソース接続領域と、前記酸化物半導体層と前記ドレイン電極との接続領域であるドレイン接続領域とが非対称に形成されている。

[0017] ある実施形態において、前記ドレイン接続領域の幅は、前記ソース接続領域の幅よりも小さい。

[0018] ある実施形態において、前記ドレイン接続領域の面積は、前記ソース接続領域の面積よりも小さい。

[0019] ある実施形態において、前記ドレイン電極の幅は、前記ソース電極の幅よりも小さい。

[0020] ある実施形態において、前記酸化物半導体層と前記ソース電極および前記

ドレイン電極との間に介在される絶縁層であって、前記ソース電極および前記ドレイン電極に対応する位置にソースコンタクトホールおよびドレインコンタクトホールが形成された絶縁層をさらに有し、前記ソース電極および前記ドレイン電極は、それぞれ、前記ソースコンタクトホールおよび前記ドレインコンタクトホールの内部で前記酸化物半導体層に接続されており、前記ソースコンタクトホールと前記ドレインコンタクトホールとが異なる形状を有する。

[0021] ある実施形態において、前記絶縁層の上に前記ゲート電極が設けられている。

[0022] ある実施形態において、前記絶縁層の下に前記ゲート電極が設けられている。

[0023] ある実施形態において、前記複数の周辺回路 T F T は、前記ソース接続領域と前記ドレイン接続領域とが前記非対称に形成されている周辺回路 T F T と、前記ソース接続領域と前記ドレイン接続領域とが対称に形成されている周辺回路 T F T とを含む。

[0024] ある実施形態において、前記ソース接続領域と前記ドレイン接続領域とが前記非対称に形成されている周辺回路 T F T のオフ期間において、前記ドレイン電極に印加される電圧が 20 V 以上となるように構成されている。

[0025] ある実施形態において、前記酸化物半導体層は、In、Ga、および、Zn からなる群から選択される少なくとも 1 種の元素を含んでいる。

[0026] ある実施形態において、前記酸化物半導体層は In-Ga-Zn-O 系半導体を含んでおり、前記 In-Ga-Zn-O 系半導体は結晶質部分を含む。

発明の効果

[0027] 本発明の実施形態によると、アクティブマトリクス基板に設けられた酸化物 T F T において高耐圧化を実現し、オフリーク電流を抑制することができる。

図面の簡単な説明

[0028] [図1]比較例の酸化物半導体TFTの構成を示す平面図である。

[図2]本発明の実施形態1のアクティブマトリクス基板を示す平面図である。

[図3]実施形態1のTFTの構成を示す図であり、(a)は平面図、(b)は(a)のx-x線に沿った断面図である。

[図4]図3(a)および(b)に示すTFTのソース接続領域およびドレイン接続領域の幅や面積の大小関係を説明するための平面図である。

[図5]ソース・ドレイン非対称構造(S/D非対称)の場合と、ソース・ドレイン対称構造(S/D対称)の場合とにおける、オフ時の印加電圧の大きさに対するドレイン電流(リーク電流)の大きさを示すグラフである。

[図6]実施形態1のモノリシックゲートドライバを示す回路図である。

[図7]実施形態1のゲートドライバに含まれる双安定回路を示す図である。

[図8]実施形態2のTFTの構成を示す図であり、(a)は平面図、(b)は(a)のx-x線に沿った断面図である。

[図9]図8(a)および(b)に示すTFTのソース接続領域およびドレイン接続領域の幅や面積の大小関係を説明するための平面図である。

[図10]実施形態3のTFTの構成を示す図であり、(a)は平面図、(b)は(a)のx-x線に沿った断面図である。

[図11]図10(a)および(b)に示すTFTのソース接続領域およびドレイン接続領域の幅や面積の大小関係を説明するための平面図である。

[図12]実施形態3の変形例のTFTの構成を示す平面図である。

[図13]実施形態4のTFTの構成を示す平面図であり、(a)および(b)はそれぞれ別の形態を示す。

発明を実施するための形態

[0029] 以下、図面を参照しながら、本発明の実施形態によるアクティブマトリクス基板(TFT基板)を説明するが、本発明は下記の実施形態に限定されるものではない。

[0030] 本発明の実施形態によるアクティブマトリクス基板は、例えば、縦電界モード(例えば、VA(Vertical Alignment)、TN(T

wisted Nematic)) または横電界モード (例えば、IPS (In Plane Switching)、FFS (Fringe Field Switching)) で動作する液晶表示装置において好適に用いられる。また、有機EL表示装置など他の表示装置においても好適に用いられる。また、本発明の実施形態によるアクティブマトリクス基板において形成されるTFTの構造は、TFTを用いて構成されるパワーデバイス (例えば、電源回路、高電圧I/Oデバイスなど) にも適用可能である。

[0031] 本発明の実施形態によるアクティブマトリクス基板には、表示領域と、表示領域外側の額縁領域とが設けられている。表示領域には複数の画素がマトリクス状に配置されており、複数の画素のそれぞれにはアクティブ素子としての画素TFTが設けられている。また、額縁領域においてモノリシックドライバを設ける場合、額縁領域にはモノリシックドライバを構成する複数の周辺回路TFTが設けられている。

[0032] ここで、周辺回路TFTにおいて生じ得るオフ時の絶縁破壊について説明する。図1は、額縁領域に設けられた比較例のTFT90 (周辺回路TFT) を示す平面図である。TFT90は、モノリシックゲートドライバを構成するシフトレジスタに含まれているものであってよく、例えば、そのドレインがゲート配線に接続された出力バッファトランジスタであってよい。

[0033] TFT90は、ゲート電極92と、ゲート電極92を覆うゲート絶縁層 (図示せず) と、ゲート絶縁層を介してゲート電極92の上に重なるように設けられた島状の酸化物半導体層94とを有している。また、酸化物半導体層94には、ソース電極96およびドレイン電極98がそれぞれ接続されている。ソース電極96およびドレイン電極98は、これらの間にチャネル領域94Cが形成されるように互いに対して離間して配置されている。

[0034] 図1に示すように、ソース電極96およびドレイン電極98は、それぞれ、酸化物半導体層94の端部を横切って直線状に延びるソースライン6およびドレインライン8の一部として設けられている。この構成において、ソースライン6と酸化物半導体層94との接続領域 (以下、ソース接続領域Rs

と呼ぶことがある)がTF T 9 0のソース電極9 6に対応する領域であり、ドレインライン8と酸化物半導体層9 4との接続領域(以下、ドレイン接続領域R dと呼ぶことがある)がTF T 9 0のドレイン電極9 8に対応する領域である。TF T 9 0のチャネル領域9 4 Cは、ソース接続領域R sとドレイン接続領域R dとの間に設けられており、そのチャネル幅は酸化物半導体層9 4の幅と実質的に同等である。

[0035] なお、本明細書において、酸化物半導体層の幅およびチャネル幅は、ソース電極からドレイン電極に向かう方向(チャネル電流方向と呼ぶことがある)に対して直交する方向(幅方向と呼ぶことがある)における酸化物半導体層およびチャネル領域の寸法を意味するものとする。また、チャネル長とは、ソース電極からドレイン電極に向かう方向に対して平行な方向におけるチャネル領域の寸法を意味するものとする。また、ソース接続領域R s(またはソース電極)の幅およびドレイン接続領域(またはドレイン電極)の幅という場合、上記の幅方向におけるそれぞれの寸法を意味するものとする。

[0036] 額縁領域を狭小化するためには、複数のTF T 9 0を、なるべく密集して配置することが好ましい。上記のようにソース電極9 6およびドレイン電極9 8をソースライン6およびドレインライン8の一部として設ける構成を採用すれば、それぞれのTF T 9 0のサイズを小さくすることができる。このため、多数のTF T 9 0を比較的狭い領域に集約して配置することが可能になる。

[0037] しかしながら、このような構成のTF T 9 0は、ドレイン電極9 8と酸化物半導体層9 4との重なり面積が大きいので、ドレイン電極側の電位が高いときに、TF T オフ時(ゲート電圧9 2に印加するゲート電圧V gが閾値電圧V t h未満の状態)においてソース・ドレイン間にリーク電流が流れるおそれがある。

[0038] ゲートドライバに含まれる周辺回路TF T には、画素TF T に比べてオフ時に高いドレイン電圧が印加されるものが含まれている。TF T 9 0のオフ期間においてドレイン電極9 8側に高電圧が印加された場合、酸化物半導体

層 9 4 とドレイン電極 9 8 との間に静電容量結合が生じることで酸化物半導体層 9 4 のチャネル領域 9 4 C が活性化され、これによって、リーク電流が増大するものと考えられる。

[0039] T F T のオフ時の耐圧性を向上させるためには、T F T のチャネル幅を狭くし、チャネル長を長くすることが考えられる。しかしこの場合には、オン電流が低下し易いという問題が発生する。また、チャネル長を確保するために素子サイズが大きくなるので、ゲートドライバのレイアウト面積が増加し、狭額縁化の実現が困難になる。

[0040] そこで、本発明者は、周辺回路 T F T においてドレイン電極と酸化物半導体層との接続領域（ソース接続領域 R_s ）の幅または面積を、ソース電極と酸化物半導体層との接続領域（ドレイン接続領域 R_d ）の幅または面積よりも小さくすることを考えた。この構成は、例えば、ドレイン電極の幅をソース電極の幅よりも小さく設定することによって実現できる。この場合、図 1 に示した従来の一般的な周辺回路 T F T の構成とは異なり、ソース接続領域 R_s とドレイン接続領域 R_d とが非対称な形状を有することになる。本明細書では、このような構造をソース・ドレイン非対称構造と呼ぶことがある。

[0041] このようにドレイン接続領域の幅や面積をソース接続領域の幅や面積と比較して小さくすることによって、T F T のオフ時にドレイン側に高い電圧が印加されるときにも、ドレイン電位がチャネル電位へ及ぼす影響が低減され、リーク電流を抑制することができる。また、チャネル長を増加させずにリーク電流を抑制できるので、T F T のサイズを比較的小さく設計することで狭額縁化を実現できる。さらに、ソース接続領域の面積は十分に確保されており、また、チャネル長は比較的短いので、オン電流の低下も防止される。

[0042] なお、周辺回路 T F T のうちの特に高耐圧化が必要とされる T F T（すなわちオフ時にドレイン電極に印加される電圧が比較的大きい T F T）において選択的に上記のソース・ドレイン非対称構造を適用し、その他の T F T については図 1 に示したようなソース・ドレイン対称構造を適用してもよい。

[0043] 高耐圧化が必要とされる T F T としては、例えば、モノリシックゲートド

ライバを構成するシフトレジスタにおいて、後述するようにブートストラップによってオンとなるように設計されているTFT（例えば出力バッファトランジスタ）のゲートに対し、そのドレインが接続されている種々のTFTが挙げられる。このような特定のTFTのみにソース・ドレイン非対称構造を適用する場合、モノリシックゲートドライバにおいて、ソース・ドレイン非対称構造のTFTと、ソース・ドレイン対称構造のTFTとが混在することになる。

[0044] 以下、本発明の実施形態によるアクティブマトリクス基板のより具体的な構成を説明する。

[0045] （実施形態1）

図2は、実施形態1のアクティブマトリクス基板100の全体構成を模式的に示す平面図である。アクティブマトリクス基板100は、表示領域R1と、表示領域R1の外側に設けられた非表示領域である額縁領域R2とを有している。図2に示す態様において、額縁領域R2は、表示領域R1の上側および左側に位置する帯状の領域として設けられている。ただし額縁領域R2は他の態様で設けられていても良く、例えば、表示領域R1の下側のみに設けられていてもよい。

[0046] 表示領域R1において、複数の画素Pxがマトリクス状に配列されている。各画素Pxはスイッチング素子としての画素TFT50を備えている。画素TFT50のゲートは、水平方向（行方向）に沿って延びるゲートバスライン2に接続され、画素TFT50のソースは、垂直方向（列方向）に沿って延びるソースバスライン4に接続されている。また、画素TFT50のドレインは、画素電極に接続されている。

[0047] また、額縁領域R2において、ゲートドライバ110およびソースドライバ120が表示領域R1の左側および上側の帯状領域にそれぞれ設けられている。本実施形態においてゲートドライバ110はモノリシックゲートドライバであり、画素TFT50などを作製するための製造プロセスを利用して基板上に一体的に形成された回路である。なお、ソースドライバ120は、

ゲートドライバ110と同様に基板上にモノリシックに形成されたドライバとして設けられていてもよいし、ICチップを実装することによって設けられていてもよい。

[0048] ゲートドライバ110は、行方向に並ぶ複数の画素 $P \times$ に対して共通に接続されたゲートバスライン2を介して、画素TF T 50のゲート電極にゲート電圧 V_g を供給する。より詳細には、ゲートドライバ110は、行方向に沿って互いに平行に延びる複数のゲートバスライン2のそれぞれに対してそれぞれが接続された複数のシフトレジスタ112を備えており、所定のタイミングで各行の画素 $P \times$ ごとにゲートオン電圧 V_{gh} を順次供給するように構成されている。

[0049] 図3(a)および(b)は、ゲートドライバ110を構成するシフトレジスタ112に含まれる複数のTF Tのうち一部のTF T 5(周辺回路TF T)に係る構成を示す平面図および断面図である。TF T 5は、後述するように、例えばシフトレジスタ112を構成する複数のTF Tのうちの、特に高耐圧化が求められる特定のTF Tであってよい。

[0050] 本実施形態のTF T 5は、絶縁基板10上に、ゲート電極12と、ゲート電極12を覆うゲート絶縁層20と、ゲート絶縁層20を介してゲート電極12の上に重なるように設けられた島状の酸化物半導体層14とを有している。また、酸化物半導体層14の上面には、互いに離間するように設けられたソース電極16およびドレイン電極18が接続されており、ソース電極16とドレイン電極18との間に酸化物半導体層14のチャネル領域14Cが形成されている。ゲート電極12にオン電圧 V_{gh} が印加されたとき、TF T 5はオン状態となり、ソース電極16とドレイン電極18とが酸化物半導体層14を介して電氣的に導通する。

[0051] TF T 5において、ソース電極16は、酸化物半導体層14の左端部を横切って垂直方向に直線状に延びるソースライン6(図2に示すソースバスライン4)の一部として設けられている。この構成において、ソース電極16は、ソースライン6と酸化物半導体層14との接続領域(ソース接続領域R

s) に対応する部分である。また、ソース電極 16 (またはソース接続領域 R_s) の幅は、酸化物半導体層 14 の幅と同じである。なお、本実施形態の TFT 5 では、酸化物半導体層 14 だけでなくソースライン 6 の下にもゲート電極 12 が存在している。

[0052] 一方、ドレイン電極 18 は、ソース電極 16 とは異なり、酸化物半導体層 14 の幅方向内側に収まるようにより狭い幅を有して設けられている。ドレイン電極 18 は、ソース電極 16 に向かって図中右から左に突き出す形状を有しており、その先端部において酸化物半導体層 14 との接続領域 R_d が形成されている。なお、図には示さないが、ドレイン電極 18 のソース電極 16 側とは反対側に接続されたドレインラインがソースライン 6 と平行に設けられていても良い。このドレインラインは、例えば酸化物半導体層 14 を覆わないように設けられるが、わずかに酸化物半導体層 14 の右端部と重なっていても良い。

[0053] 図 4 は、TFT 5 におけるソース電極 16 (またはソース接続領域 R_s) の幅 W_s 、ドレイン電極 18 (またはドレイン接続領域 R_d) の幅 W_d 、ソース接続領域 R_s の面積 A_s 、ドレイン接続領域 R_d の面積 A_d などの大小関係を説明するための図である。

[0054] 図 4 に示すように、ドレイン接続領域 R_d の幅 W_d は、ソース接続領域 R_s の幅 W_s よりも小さい。また、ドレイン接続領域 R_d の面積 A_d は、ソース接続領域 R_s の面積 A_s よりも小さい。このようなソース・ドレイン非対称構造によって、ドレイン側に高電圧が印加される場合にもオフリーク電流を抑制することができる。

[0055] オン電流の低下を防止しながらオフリーク電流を効果的に抑制するために、ドレイン接続領域 R_d の幅 W_d は、ソース接続領域 R_s の幅 W_s の例えば 0.5 倍以上 0.8 倍以下に設定される。また、ドレイン接続領域 R_d の面積 A_d は、ソース接続領域 R_s の面積 A_s の例えば 0.5 倍以上 0.8 倍以下に設定される。

[0056] この構成において、ソース接続領域 R_s とドレイン接続領域 R_d との間に

形成される実効的なチャネル領域 14C は、ソース電極 16 のエッジを下底としドレイン電極 18 のエッジを上底とする台形状に形成されている。このチャネル領域 14C を、チャネル電流方向におけるソース・ドレイン中央部を通りチャネル電流方向に直交する直線 C で分割したとき、ソース電極 16 側の実効的なチャネル領域の面積 A_{cs} よりも、ドレイン電極 18 側の実効的なチャネル領域の面積 A_{cd} の方が小さい。

[0057] なお、上記の実効的なチャネル領域 14C は、便宜上、ソース接続領域 R_s のエッジと、ドレイン接続領域 R_d のエッジと、これらの端同士を結ぶ 2 本の直線とによって囲まれた台形領域として説明しているが、実際には、酸化物半導体層 14 における台形領域近傍の外側部分も TFT5 のチャネルとして機能し得る。

[0058] 図 5 は、酸化物半導体 TFT においてソース・ドレイン非対称構造 (S/D 非対称: 図 3) を採用した場合と、ソース・ドレイン対称構造 (S/D 対称: 図 1) を採用した場合とのそれぞれについて、オフ時 ($V_g = 0$) におけるソース電圧またはドレイン電圧の大きさに対するドレイン電流の大きさ (すなわちリーク電流の大きさ) を示す。図 5 の破線で示すグラフ (S/D 非対称) と実線で示すグラフ (S/D 対称) とを比較してわかるように、S/D 非対称としたときの方がリーク電流が抑制される。

[0059] 次に、図 6 および図 7 を参照しながら、図 2 に示したゲートドライバ 110 の構成例を説明する。なお、図 6 および図 7 に示すゲートドライバ 110 と同様の構成が国際公開第 2011/024499 号 (特許文献 2) に記載されている。参考のため、国際公開第 2011/024499 号の開示内容の全てを本明細書に援用する。

[0060] 図 6 は、ゲートドライバ 110 の回路構成例を示す図である。図示するようにゲートドライバ 110 は、複数段のシフトレジスタ 112 によって構成されている。各段のシフトレジスタ 112 は、画素マトリクス of 各行に対応している。

[0061] シフトレジスタ 112 は $2a$ 個の双安定回路を含んでおり、それぞれの双

安定回路はトリガ信号によって2つの安定状態のうちの一方向の安定状態を切り替えて出力することができるように構成されている。双安定回路のそれぞれには、4相のクロック信号CKA、CKB、CKC、CKDを受け取る入力端子と、セット信号Sを受け取る入力端子と、リセット信号Rを受け取る入力端子と、クリア信号CLRを受け取る入力端子と、低電位の直流電圧VSSを受け取る入力端子と、状態信号Qを出力する出力端子とが設けられている。

[0062] また、額縁領域における外周部分には、ゲートクロック信号（第1ゲートクロック信号CK1、第2ゲートクロック信号CK1B、第3ゲートクロック信号CK2、および、第4ゲートクロック信号CK2B）用の幹配線、低電位の直流電圧VSS用の幹配線、クリア信号CLR用の幹配線が設けられている。

[0063] 図7は、双安定回路112A（シフトレジスタ112の1段分の構成）のより詳細な構成を示す回路図である。図7に示すように、双安定回路112Aは、10個の薄膜トランジスタ（MA、MB、MI、MF、MJ、MK、ME、ML、MN、および、MD）と、キャパシタCAP1とを備えている。また、この双安定回路112Aは、クロック信号CKA、CKB、CKC、CKDを受け取る入力端子、セット信号Sを受け取る入力端子、リセット信号Rを受け取る入力端子、クリア信号CLRを受け取る入力端子、および、状態信号Qnを出力する出力端子OUTを備えている。

[0064] 薄膜トランジスタMBのソース端子と、薄膜トランジスタMAのドレイン端子と、薄膜トランジスタMJのゲート端子と、薄膜トランジスタMEのドレイン端子と、薄膜トランジスタMLのドレイン端子と、薄膜トランジスタMIのゲート端子と、キャパシタCAP1の一端とは互いに接続されている。なお、これらが互いに接続されている配線部のことを便宜上「第1ノード」と称し、図において符号N1で示している。

[0065] また、薄膜トランジスタMJのドレイン端子と、薄膜トランジスタMKのドレイン端子と、薄膜トランジスタMFのソース端子と、薄膜トランジスタ

MEのゲート端子とは互いに接続されている。なお、これらが互いに接続されている配線部のことを便宜上「第2ノード」と称し、図において符号N2で示している。

[0066] この構成において、図左側に示す薄膜トランジスタMAは、クリア信号CLRがハイレベルになっているときに、第1ノードN1の電位をローレベルに設定する。一方で、薄膜トランジスタMBは、セット信号Sがハイレベルになっているときに、第1ノードN1の電位をハイレベルに設定する。

[0067] また、図右側に示す薄膜トランジスタMIは、出力バッファトランジスタとして機能し、第1ノードN1の電位がハイレベルになっているときに、第1クロック信号CKAの電位を出力端子に与える。また図中央上部に示す薄膜トランジスタMFは、第3クロック信号CKCがハイレベルになっているときに、第2ノードN2の電位をハイレベルにする。

[0068] 薄膜トランジスタMJは、第1ノードN1の電位がハイレベルになっているときに、第2ノードN2の電位をローレベルにする。この双安定回路112Aの出力端子OUTに接続されたゲートバスラインが選択されている期間中に、第2ノードN2がハイレベルとなって薄膜トランジスタMEがオン状態になると、第1ノードN1の電位が低下して薄膜トランジスタMIがオフ状態となる。このような現象を防止するために薄膜トランジスタMJが設けられている。

[0069] 薄膜トランジスタMKは、第4クロック信号CKDがハイレベルになっているときに、第2ノードN2の電位をローレベルにする。薄膜トランジスタMKが設けられていなければ、選択期間以外の期間中、第2ノードN2の電位は常にハイレベルとなり薄膜トランジスタMEにバイアス電圧がかかり続ける。そうすると、薄膜トランジスタMEの閾値電圧が上昇し、薄膜トランジスタMEはスイッチとして十分に機能しなくなる。このような現象を防止するために薄膜トランジスタMKが設けられている。

[0070] 薄膜トランジスタMEは、第2ノードN2の電位がハイレベルになっているときに、第1ノードN1の電位をローレベルにする。薄膜トランジスタM

Lは、リセット信号Rがハイレベルになっているときに、第1ノードN1の電位をローレベルにする。薄膜トランジスタMNは、リセット信号Rがハイレベルになっているときに、出力端子の電位をローレベルにする。薄膜トランジスタMDは、第2クロックCKBがハイレベルになっているときに、出力端子OUTの電位をローレベルにする。キャパシタCAP1は、この双安定回路112Aの出力端子OUTに接続されたゲートバスラインが選択されている期間中に第1ノードN1の電位をハイレベルに維持するための補償容量として機能する。

[0071] この構成において、図7に示す第1ノードN1は、ブートストラップにより電位が電源電圧以上にブーストされるノードである。なお、本回路構成においてブートストラップとは、出力バッファトランジスタMIをオンにする際に、出力バッファトランジスタMIのソース電位の上昇による寄生容量を介したゲート端子への電圧印加およびキャパシタCAP1への蓄電を利用して、セット信号Sを超える電位にゲート電圧を引き上げた状態で出力バッファトランジスタMIをオンにする動作を意味する。

[0072] 第1ノードN1をプルダウンする薄膜トランジスタMA、ME、MLのドレイン側は第1ノードN1に接続され、ソース側はVSSに接続されている。ブートストラップ動作時、第1ノードN1が高電圧になる際、上記の各薄膜トランジスタMA、ME、MLはオフ状態であり、しかもドレイン－ソース間には高電圧が印加される。このとき、各薄膜トランジスタMA、ME、MLのチャネル長が短くオフ耐圧が低いと正常なオフ状態が保てなくなり、その結果、第1ノードN1電位が低下してドライバの選択／非選択動作が破たんするおそれがある。

[0073] また、出力バッファトランジスタMIのドレイン端子には、DUTY比50%のクロック信号CKAが入力されるが、この段が選択されていない場合は、クロック信号CKAを状態信号Qnとして出力してはならない。このトランジスタMIのオフ耐圧が低い場合、非選択時にも、クロック信号CKAの電圧が状態信号Qnとして出力され、誤動作の要因となる。

[0074] したがって、上述したような薄膜トランジスタについては高耐圧であることが求められるが、チャネル長を長くすれば薄膜トランジスタのオフ耐圧は上昇する傾向にありドライバの動作を確保しやすくなる一方で、薄膜トランジスタの面積が増加してゲートドライバのレイアウト面積が増加する。これはディスプレイパネルの外形寸法の増加につながり、デバイスの小型化の要求を満たせなくなる。

[0075] そこで、オフ耐圧性が求められる薄膜トランジスタについて、図3および図4を用いて説明した本実施形態のTF T 5の構成（ソース・ドレイン非対称構造）を適用する。これによって、デバイスを大型化させずにオフ耐圧を向上させることができる。なお、特にオフ耐圧性を必要としない薄膜トランジスタMD、MF、MNなどについては、図1に示した比較例のTF T 90の構造を適用してもよい。

[0076] 以上、モノリシックゲートドライバ110の例示的な構成を説明したが、他の構成を有していても良いことは言うまでもない。この場合にも、モノリシックゲートドライバにおいてオフ時にドレイン側に高電圧が印加される可能性のある任意のTF Tについて、上記のソース・ドレイン非対称構造を適用すればよい。例えば、オフ時にドレイン側に印加される電圧が20V～60Vであり得るようなTF Tについてソース・ドレイン非対称構造を適用することが好適である。

[0077] 以下、図3（a）および（b）を参照しながら、本実施形態に係る周辺回路TF T 5の製造方法を説明する。この周辺回路TF T 5は、表示領域R1に設けられる画素TF T 50（図2参照）に適用される製造プロセスを利用して作製することができる。

[0078] まず、基板10上に、ゲート電極12を形成する。より具体的には、ガラス基板上にゲート電極となる金属膜（Mo、Ti、Al、Ta、Cr、Auなど）をスパッタ装置で100～300nmの厚さで形成する。この金属膜は積層構造（例えばTi／Al／Ti）を有していてもよい。成膜後、フォトリソグラフィ法によって金属膜をパターニングすることによって、ゲート

電極 1 2 等を得ることができる。

[0079] 次に、ゲート絶縁層 2 0 を形成する。より具体的には、シリコン酸化膜 SiO_2 又はシリコン窒化膜 SiN_x を、プラズマ CVD 装置で $300 \sim 400^\circ\text{C}$ の温度にて $300 \sim 400 \text{ nm}$ の厚さで形成することによってゲート絶縁層 2 0 が得られる。ゲート絶縁層 2 0 は SiO_2 と SiN_x の積層構造を有していてもよい。

[0080] 次に、活性層としての酸化物半導体層 1 4 を形成する。より具体的には、酸化物半導体 (In-Ga-Zn-O 系半導体、 In-Zn-O 系半導体、 ZnO 系半導体など) からなる薄膜をスパッタ装置で $200 \sim 400^\circ\text{C}$ の温度にて $40 \sim 50 \text{ nm}$ の厚さで形成する。その後、不活性アルゴンガス Ar (流量: $100 \sim 300 \text{ sccm}$) と酸素ガス O_2 (流量: $5 \sim 20 \text{ sccm}$) をスパッタ装置に導入してもよい。なお、酸化物半導体膜は、スパッタ法ではなく、塗布プロセスで $40 \sim 50 \text{ nm}$ の厚さで形成してもよい。成膜後、フォトリソグラフィ法によって酸化物半導体膜をパターニングし、各 TFT の活性層となる島状の酸化物半導体層 1 4 を得ることができる。酸化物半導体層 1 4 の幅方向の寸法は例えば $5 \mu\text{m} \sim 50 \mu\text{m}$ に設定され、チャンネル電流方向の寸法は、例えば $10 \mu\text{m} \sim 20 \mu\text{m}$ に設定される。

[0081] 次に、ソース・ドレイン電極 1 6、1 8 を形成する。より具体的には、金属膜 (Mo 、 Ti 、 Al 、 Ta 、 Cr 、 Au など) をスパッタ装置で $100 \sim 300 \text{ nm}$ の厚さで形成し、これをフォトリソグラフィ法によってパターニングすることによってソース・ドレイン電極 1 6、1 8 が得られる。この工程において TFT 5 が完成する。なお、金属膜は、積層構造 (例えば $\text{Ti}/\text{Al}/\text{Ti}$) を有していても良い。

[0082] このとき、図 4 を用いて説明したように、ドレイン接続領域 R_d の幅および面積が、ソース接続領域 R_s の幅および面積よりも小さくなるように、ソース・ドレイン電極 1 6、1 8 の形状および配置を適宜選択する。このためには、フォトリソグラフィ法において、例えば感光性樹脂からなるレジストを用いて金属膜のエッチングを行う場合、レジストパターンを決めるマスク

のパターンやアライメントを適切に選択すればよい。

[0083] 具体的には、ソース接続領域 R_s の幅（本実施形態では酸化物半導体層 14 の幅と同等）は、例えば $5\ \mu\text{m} \sim 50\ \mu\text{m}$ であってよく、ドレイン接続領域 R_d の幅は、例えば $2.5\ \mu\text{m} \sim 40\ \mu\text{m}$ であってよい。また、ソース・ドレイン間の間隔（すなわち、TFT5 のチャンネル長）は、例えば $5\ \mu\text{m} \sim 15\ \mu\text{m}$ であってよい。

[0084] その後、必要に応じて TFT5 を覆う保護層としてのパッシベーション層（図示せず）を形成する。より具体的には、酸化膜 SiO_2 あるいは窒化膜 SiN_x をプラズマ CVD 装置で $200 \sim 300^\circ\text{C}$ の温度にて $200 \sim 300\ \text{nm}$ の厚さで形成する。保護層は SiO_2 と SiN_x との積層構造を有していても良い。

[0085] その後、 $200 \sim 400^\circ\text{C}$ の温度にて熱処理を 1～2 時間ドライエアまたは大気中で行う。この熱処理によって、TFT5 の素子特性を向上させることができる。

[0086] 以上に説明した TFT5 を作製するためのプロセスは、画素 TFT50 を作製するプロセスと共通するものであり、画素 TFT50 の対応する各構成要素も上記の各プロセスによって形成することができる。

[0087] なお、アクティブマトリクス基板 100 を作製するためには、上記の熱処理工程の後、表示領域 R_1 において、例えば、有機層間絶縁膜を形成する工程、透明共通電極を形成する工程、さらに絶縁層を介して画素電極を形成する工程などが行われて良い。これらの工程は公知の方法によって行うことができるのでここでは説明を省略する。

[0088] また、上記の酸化物半導体層 14 は、例えば In-Ga-Zn-O 系の半導体（以下、「 In-Ga-Zn-O 系半導体」と略する。）を含む。ここで、 In-Ga-Zn-O 系半導体は、 In （インジウム）、 Ga （ガリウム）、 Zn （亜鉛）の三元系酸化物であって、 In 、 Ga および Zn の割合（組成比）は特に限定されず、例えば $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ 等を含む。本実

施形態では、酸化物半導体層 14 は、 In 、 Ga 、 Zn を、例えば $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の割合で含む $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体層であってもよい。

[0089] $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体層を有する TFT は、高い移動度 ($\mu_{\text{FT}}/\mu_{\text{SiFT}}$ に比べ 20 倍超) および低いリーク電流 ($I_{\text{off}}/I_{\text{SiFT}}$ に比べ 100 分の 1 未満) を有しているので、駆動 TFT および画素 TFT として好適に用いられる。 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体層を有する TFT を用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0090] $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体は、アモルファスでもよいし、結晶質部分を含んでもよい。結晶質 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体が好ましい。このような $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体の結晶構造は、例えば、特開 2012-134475 号公報 (特許文献 1) に開示されている。参考のために、特開 2012-134475 号公報の開示内容の全てを本明細書に援用する。

[0091] 酸化物半導体層 14 は、 $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば $\text{Zn}-\text{O}$ 系半導体 (ZnO)、 $\text{In}-\text{Zn}-\text{O}$ 系半導体 (IZO (登録商標))、 $\text{Zn}-\text{Ti}-\text{O}$ 系半導体 (ZTO)、 $\text{Cd}-\text{Ge}-\text{O}$ 系半導体、 $\text{Cd}-\text{Pb}-\text{O}$ 系半導体、 CdO (酸化カドミウム)、 $\text{Mg}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Sn}-\text{Zn}-\text{O}$ 系半導体 (例えば $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$)、 $\text{In}-\text{Ga}-\text{Sn}-\text{O}$ 系半導体などを含んでいてもよい。

[0092] 以上に説明した本実施形態のアクティブマトリクス基板 100 を用いて液晶パネルを作製する場合、アクティブマトリクス基板 100 とは別個に対向基板を用意し、アクティブマトリクス基板 100 と対向基板との間に液晶層を設ける構成を採用すれば良い。

[0093] 対向基板は、例えば縦電界モードの場合、ガラス基板上に透明導電膜 (例えば厚さ 100 nm の ITO 膜) から形成される対向電極を設けることによ

って得られる。また、カラー表示を行う場合には、対向基板に、例えば R G B 3 色のカラーフィルタが設けられていても良い。また、対向基板とアクティブマトリクス基板 100 との間隙を維持するためのフォトスペーサが、対向基板上に設けられていても良い。なお、カラーフィルタやフォトスペーサは、アクティブマトリクス基板 100 に設けられていても良い。

[0094] また、液晶パネルを作製するためには、例えば、アクティブマトリクス基板 100 と対向基板とを、外周部に配置された環状のシール材を用いて間隙を開けて貼り合わせた後、シール材によって囲まれた基板間の空隙に液晶材料を注入すればよい。これ以外にも、対向基板上にシール材やフォトスペーサを設けた後、液晶材料を滴下し、その後、アクティブマトリクス基板 100 と対向基板とを貼り合わせるようにして液晶パネルを作製しても良い。なお、1 枚のマザーガラスを用いて複数の液晶パネルを製造する場合には、各液晶パネルに分割するための分断工程が行われる。

[0095] また、透過型の液晶表示装置を作製する場合には、上記の液晶パネルの背面（T F T 基板側）にバックライトユニットが設けられる。バックライトユニットには、拡散フィルムなどの種々の光学素子が設けられていても良い。

[0096] なお、画素 T F T 50 において、ソース・ドレイン非対称構造を採用する例が、本出願人による国際公開第 2014/069260 号に記載されている。本実施形態のアクティブマトリクス基板 100 では、周辺回路 T F T 5 において上記のソース・ドレイン非対称構造を適用するとともに、画素 T F T 50 においてもソース・ドレイン非対称構造を適用してもよい。

[0097] （実施形態 2）

以下、実施形態 2 のアクティブマトリクス基板を説明する。本実施形態 2 のアクティブマトリクス基板が、実施形態 1 のアクティブマトリクス基板 100 と異なっている主な点は、モノリシックゲートドライバを構成する少なくとも一部の T F T 52（周辺回路 T F T）において、酸化物半導体層 14 の上層にゲート電極 12 が配置されたトップゲート型の T F T 構造が採用されている点である。なお、以下では、実施形態 1 のアクティブマトリクス基

板 1 0 0 と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0098] 図 8 (a) および (b) は、本実施形態のアクティブマトリクス基板において、モノリシックゲートドライバを構成するシフトレジスタが備える複数の T F T のうち一部の T F T 5 2 (周辺回路 T F T) に係る構成を示す平面図および断面図である。T F T 5 2 は、シフトレジスタを構成する複数の T F T のうちの特に高耐圧化が求められる特定の T F T であってよい。

[0099] T F T 5 2 は、絶縁基板 1 0 上に、バッファ層 1 1 (例えば、厚さ 1 0 0 ~ 3 0 0 n m の S i O₂膜または S i N_x膜) と、島状の酸化物半導体層 1 4 と、酸化物半導体層 1 4 を覆うゲート絶縁層 2 0 と、ゲート絶縁層 2 0 を介して酸化物半導体層 1 4 と重なるように設けられたゲート電極 1 2 とを有している。また、ゲート電極 1 2 を覆うように、層間絶縁層 2 2 (例えば、厚さ 2 0 0 ~ 3 0 0 n m の S i O₂膜または S i N_x膜) が設けられている。

[0100] また、層間絶縁層 2 2 の上には、ドレイン電極 1 6 およびソース電極 1 8 が設けられている。ドレイン電極 1 6 およびソース電極 1 8 は、ゲート絶縁層 2 0 および層間絶縁層 2 2 を貫通するように設けられたソースコンタクトホール C H S およびドレインコンタクトホール C H D をそれぞれ通って酸化物半導体層 1 4 の上面に接続されている。

[0101] T F T 5 2 では、ソースコンタクトホール C H S 内においてソース電極 1 6 と酸化物半導体層 1 4 との接続領域 (ソース接続領域 R s) が形成され、ドレインコンタクトホール C H D 内において、ドレイン電極 1 8 と酸化物半導体層 1 4 との接続領域 (ドレイン接続領域 R d) が形成されている。なお、ソース電極 1 6 およびドレイン電極 1 8 は、幅方向に沿って延びるソースライン 6 およびドレインライン 8 の一部であってよい。

[0102] ソース接続領域 R s およびドレイン接続領域 R d は、酸化物半導体層 1 4 の両端部で互いに離間するように形成されており、ソース接続領域 R s とドレイン接続領域 R d との間に酸化物半導体層 1 4 のチャネル領域 1 4 C が形成されている。

- [0103] 図9は、TF T 5 2におけるソース接続領域 R_s の幅 W_s 、ドレイン接続領域 R_d の幅 W_d 、ソース接続領域 R_s の面積 A_s 、ドレイン接続領域 R_d の面積 A_d などの大小関係を説明するための図である。
- [0104] 図9に示すように、実施形態1のTF T 5と同様に、ドレイン接続領域 R_d の幅 W_d は、ソース接続領域 R_s の幅 W_s よりも小さい。また、ドレイン接続領域 R_d の面積 A_d は、ソース接続領域 R_s の面積 A_s よりも小さい。さらに、実施形態1のTF T 5と同様に、チャネル領域14Cを中央直線Cで分割したとき、ソース電極16側の実効的なチャネル領域の面積 A_{cs} よりも、ドレイン電極18側の実効的なチャネル領域の面積 A_{cd} の方が小さい。
- [0105] 実施形態1のTF T 5と同様に、オン電流の低下を防止しながらオフリーク電流を効果的に抑制するために、ドレイン接続領域 R_d の幅 W_d は、ソース接続領域 R_s の幅 W_s の例えば0.5倍以上0.8倍以下に設定される。
- [0106] また、本実施形態では、酸化物半導体層14の幅とソース接続領域 R_s の幅 W_s とが異なるものであって良い。典型的には、ソース接続領域 R_s の幅 W_s が酸化物半導体層14の幅よりも小さくなるようにソースコンタクトホールCHSの形状が決められる。ただし、ソースコンタクトホールCHSの幅を酸化物半導体層14の幅よりも大きくしても良く、この場合、ソース接続領域 R_s の幅 W_s は、酸化物半導体層14の幅と同等のものとなる。
- [0107] このように、トップゲート型のTF T 5 2においても、ソース・ドレイン非対称構造を採用することで、ドレイン側に高電圧が印加される場合のオフリーク電流を抑制することができる。なお、本実施形態のTF T 5 2についても、図5に示したグラフと同様に、ソース・ドレイン非対称構造（S/D非対称）を用いた場合に、ソース・ドレイン対称構造（S/D対称）を用いた場合よりも、オフリーク電流が低減することが確認されている。
- [0108] 以下、図8（a）および（b）を参照しながら、TF T 5 2の製造プロセスを説明する。
- [0109] まず、絶縁基板10上にバッファ層11を形成する。バッファ層11は、

例えば、厚さ100～300nmのSiO₂膜またはSiN_x膜をプラズマCVD装置で200～300℃の温度にて形成することによって得られる。

[0110] 次に、実施形態1のTF T5と同様のプロセスによって酸化物半導体層14を形成する。さらに、TF T5と同様のプロセスによってゲート絶縁層20を酸化物半導体層14上に形成する。さらに、TF T5と同様のプロセスによってゲート絶縁層20を介して酸化物半導体層14に重なるようにゲート電極12を形成する。

[0111] その後、層間絶縁層22を形成する。より具体的には、SiO₂膜あるいはSiN_x膜をプラズマCVD装置を用いて200～300℃の温度にて200～300nmの厚さで形成することによって層間絶縁層22が得られる。層間絶縁層22はSiO₂膜とSiN_x膜の積層構造であってもよい。

[0112] その後、フォトリソグラフィ工程とドライまたはウェットエッチングとを行うことによって層間絶縁層22およびゲート絶縁層20を貫通する一対のコンタクトホールCHS、CHDを形成する。このとき、ドレインコンタクトホールCHDの面積および幅が、ソースコンタクトホールCHSの面積および幅よりも小さくなるように、各コンタクトホールCHS、CHDを形成する。

[0113] その後、TF T5と同様のプロセスによってソース電極16およびドレイン電極18を形成する。ソース電極16およびドレイン電極18は、ソースライン6およびドレインライン8の一部として形成されてよい。ソース電極16およびドレイン電極18は、ソースコンタクトホールCHSおよびドレインコンタクトホールCHDをそれぞれ完全に覆うように設けられる。この工程において、ソース電極16はソースコンタクトホールCHSの内部で酸化物半導体層14と接続されてソース接続領域Rsを形成し、ドレイン電極18はドレインコンタクトホールCHDの内部で酸化物半導体層14と接続されてドレイン接続領域Rdを形成する。

[0114] ソース接続領域Rsの幅および面積はソースコンタクトホールCHSのサイズによって決定され、ドレイン接続領域Rdの幅および面積はドレインコ

ンタクトホールCHDのサイズによって決定される。上記のように各コンタクトホールのサイズを設定しているので、ドレイン接続領域R_dの幅および面積はソース接続領域R_sの幅および面積よりも小さいものとなる。

[0115] その後、TF₅と同様の熱処理が行われてよく、これによってTF₅の素子特性を向上させることができる。

[0116] 以上に説明したTF₅を作製するためのプロセスは、表示領域に形成される画素TFを作製するプロセスと共通するものであり、画素TFの対応する各構成要素も上記の各プロセスによって形成することができる。本実施形態では、周辺回路TF₅とともに、画素TFもトップゲート型のTF構造を有するように作製される。

[0117] (実施形態3)

以下、実施形態3のアクティブマトリクス基板を説明する。本実施形態3のアクティブマトリクス基板が、実施形態1のアクティブマトリクス基板100と異なっている主な点は、モノリシックゲートドライバを構成する少なくとも一部のTF₅（周辺回路TF）において、酸化物半導体層14の上層にエッチストップ層24が設けられている点である。なお、以下では、TF基板100と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0118] 図10(a)および(b)は、本実施形態のアクティブマトリクス基板において、モノリシックゲートドライバを構成するシフトレジスタが備える複数のTFのうち一部のTF₅（周辺回路TF）に係る構成を示す平面図および断面図である。TF₅は、シフトレジスタを構成する複数のTFのうちの特に高耐圧化が求められる特定のTFであってよい。

[0119] TF₅は、絶縁基板10上に、ゲート電極12と、ゲート電極12を覆うゲート絶縁層20と、ゲート絶縁層20を介してゲート電極12の上に重なるように設けられた島状の酸化物半導体層14とを有している。

[0120] また、酸化物半導体層14の上には、SiO₂などから形成されるエッチストップ層24が設けられている。エッチストップ層24は、後述するソース

・ドレイン形成工程において金属膜をパターニングするときに、酸化物半導体層 14 のチャネル領域 14 C にエッチングダメージが及ぶことを防止するために設けられている。

[0121] 図 10 (a) および (b) に示す形態では、エッチストップ層 24 は酸化物半導体層 14 を全体的に覆うように設けられている。ただし、エッチストップ層 24 を貫通するようにして、酸化物半導体層 14 の左端部に対応する位置にソースコンタクトホール C H S が形成されており、右端部に対応する位置にドレインコンタクトホール C H D が形成されている。ソースコンタクトホール C H S の幅および面積は、ドレインコンタクトホール C H D の幅および面積よりも大きく形成されている。

[0122] このソースコンタクトホール C H S およびドレインコンタクトホール C H D を通って、互いに離間するように設けられたソース電極 16 およびドレイン電極 18 が酸化物半導体層 14 に接続されている。この構成において、ソースコンタクトホール C H S 内においてソース電極 16 と酸化物半導体層 14 との接続領域（ソース接続領域 R_s ）が形成され、ドレインコンタクトホール C H D 内において、ドレイン電極 18 と酸化物半導体層 14 との接続領域（ドレイン接続領域 R_d ）が形成されている。なお、ソース電極 16 およびドレイン電極 18 は、垂直方向に沿って延びるソースライン 6 およびドレインライン 8 の一部であってよい。

[0123] ソース接続領域 R_s およびドレイン接続領域 R_d は、酸化物半導体層 14 の両端部で互いに離間するように形成されており、ソース接続領域 R_s とドレイン接続領域 R_d との間に酸化物半導体層 14 のチャネル領域 14 C が形成されている。

[0124] 図 11 は、T F T 53 におけるソース接続領域 R_s の幅 W_s 、ドレイン接続領域 R_d の幅 W_d 、ソース接続領域 R_s の面積 A_s 、ドレイン接続領域 R_d の面積 A_d などの関係を説明するための図である。

[0125] 図 11 に示すように、本実施形態においても、ドレイン接続領域 R_d の幅 W_d は、ソース接続領域 R_s の幅 W_s よりも小さい。また、ドレイン接続領

域 R_d の面積 A_d は、ソース接続領域 R_s の面積 A_s よりも小さい。さらに、実施形態2のTF T 5 2と同様に、チャネル領域1 4 Cを中央直線Cで分割したとき、ソース電極1 6側の実効的なチャネル領域の面積 A_{cs} よりも、ドレイン電極1 8側の実効的なチャネル領域の面積 A_{cd} の方が小さい。

[0126] このように、エッチストップ層2 4を有するTF T 5 3でソース・ドレイン非対称構造を採用することによっても、ドレイン側に高電圧が印加される場合にオフリーク電流を抑制することができる。なお、本実施形態のTF T 5 3についても、図5に示したグラフと同様に、ソース・ドレイン非対称構造（S/D非対称）を用いた場合に、ソース・ドレイン対称構造（S/D対称）を用いた場合よりも、オフリーク電流が低減することが確認されている。

[0127] 以下、図1 0を参照しながらTF T 5 3の製造プロセスを説明する。

[0128] 実施形態1のTF T 5と同様のプロセスによって、絶縁基板1 0上に、ゲート電極1 2、ゲート絶縁層2 0、酸化物半導体層1 4を形成する。

[0129] その後、エッチストップ層2 4を少なくとも酸化物半導体層1 4のチャネル領域となる部分を覆うように形成する。より具体的には、 SiO_2 膜をプラズマCVD装置を用いて300～400℃の温度にて100～400nmの厚さで形成し、フォトリソグラフィ法を用いて SiO_2 膜に一对のコンタクトホールCHS、CHDを設けることによってエッチストップ層2 4を得ることができる。このとき、ドレインコンタクトホールCHDの面積および幅が、ソースコンタクトホールCHSの面積および幅よりも小さくなるように、各コンタクトホールCHS、CHDを形成する。

[0130] その後、TF T 5と同様のプロセスによってソース電極1 6およびドレイン電極1 8を形成する。ソース電極1 6およびドレイン電極1 8は、ソースライン6およびドレインライン8の一部として、ソースコンタクトホールCHSおよびドレインコンタクトホールCHDをそれぞれ完全に覆うように設けられる。この工程において、ソース電極1 6はソースコンタクトホールCHSの内部で酸化物半導体層1 4と接続されてソース接続領域 R_s を形成し

、ドレイン電極18はドレインコンタクトホールCHDの内部で酸化物半導体層14と接続されてドレイン接続領域Rsを形成する。

[0131] ソース接続領域Rsの幅および面積はソースコンタクトホールCHSのサイズによって決定され、ドレイン接続領域Rdの幅および面積はドレインコンタクトホールCHDのサイズによって決定される。上記のように各コンタクトホールのサイズを設定しているので、ドレイン接続領域Rdの幅および面積はソース接続領域Rsの幅および面積よりも小さいものとなる。

[0132] その後、必要に応じて、実施形態1のTF T5と同様に保護層（図示せず）を設けても良い。保護層は、酸化膜SiO₂あるいは窒化膜SiN_xをプラズマCVD装置で200～300℃の温度にて200～300nmの厚さで形成する。保護膜はSiO₂とSiN_xとの積層構造であってもよい。さらに、実施形態1のTF T5と同様の熱処理が行われてよく、これによってTF T53の素子特性を向上させることができる。

[0133] 以上に説明したTF T53を作製するためのプロセスは、表示領域に形成される画素TF Tを作製するプロセスと共通するものであり、画素TF Tの対応する各構成要素も上記の各プロセスによって形成することができる。本実施形態では、周辺回路TF T53とともに、画素TF Tにもエッチストップ層24が設けられ、酸化物半導体層におけるチャネル領域へのエッチングダメージが低減される。

[0134] 以下、図12を参照して、本実施形態の変形例のアクティブマトリクス基板を説明する。

[0135] 図12に示すように、変形例のアクティブマトリクス基板に設けられたTF T53'（周辺回路TF T）では、酸化物半導体層14の少なくともチャネル部分14Cを覆うようにエッチストップ層24'が島状に設けられている。ただし、この島状のエッチストップ層24'は、ソース側とドレイン側とでは異なる非対称の形状を有している。

[0136] より具体的には、変形例のTF T53'において、島状のエッチストップ層24'は、酸化物半導体層14のチャネル領域14Cを覆うが、酸化物半

導体層 14 の端部を露出するように設けられている。ソース電極 16 およびド레인電極 18 は、エッチストップ層 24' のそれぞれの横側エッジを覆うように形成されており、酸化物半導体層 14 の露出部分において接続領域 R_s および R_d を形成している。

[0137] ここで、非対称の接続領域 R_s および R_d を形成するために、エッチストップ層 24' は、ソース側とド레인側とでは異なるエッジ形状を有している。より具体的には、ソース側では酸化物半導体層を横切る直線状のエッジが形成されているのに対し、ド레인側では、酸化物半導体層を部分的に露出させる矩形の切り欠き部がエッジに形成されている。この切り欠き部において露出した酸化物半導体層 14 に対してド레인電極 18 を接続することで、ソース側よりも幅および面積が小さいド레인接続領域を得ることができる。

[0138] (実施形態 4)

以下、実施形態 4 のアクティブマトリクス基板を説明する。本実施形態 4 のアクティブマトリクス基板が、実施形態 1 のアクティブマトリクス基板 100 と異なっている主な点は、モノリシックゲートドライバを構成する少なくとも一部の TFT 54a、54b (周辺回路 TFT) において、ソース側とド레인側とで非対称な平面形状を有する酸化物半導体層 14' を用いる点である。なお、以下では、TFT 基板 100 と共通する構成要素には同じ参照符号を付し、説明の重複を避ける。

[0139] 図 13 (a) は、本実施形態のアクティブマトリクス基板における周辺回路 TFT 54a に係る構成を示す平面図である。TFT 54a は、モノリシックゲートドライバに含まれる複数の TFT のうちの特に高耐圧化が求められる特定の TFT であってよい。

[0140] TFT 54a は、ボトムゲート型の TFT であり、実施形態 1 の TFT 5 と同様に、絶縁基板上にゲート電極 12、ゲート絶縁層、酸化物半導体層 14' を有している。ここで、酸化物半導体層 14' は、チャネル幅方向に略平行な上底および下底を有する台形の平面形状を有している。

- [0141] TFT54aにおいて、酸化物半導体層14'の下底を覆うようにしてソースライン6がチャネル幅方向に平行に直線状に延びている。ソースライン6のうちの酸化物半導体層14'と接続される部分がソース電極16として機能し、この部分においてソース接続領域R_sが形成されている。
- [0142] また、酸化物半導体層14'の上底を覆うようにしてドレインライン8がチャネル幅方向に平行に直線状に延びている。ドレインライン8のうちの酸化物半導体層14'と接続される部分がドレイン電極18として機能し、この部分においてドレイン接続領域R_dが形成されている。
- [0143] このように酸化物半導体層14'の平面形状をソース側とドレイン側とで非対称な台形に設けることによって、ドレイン接続領域R_dの幅および面積をソース接続領域R_sの幅および面積よりも小さくすることができる。
- [0144] 図13(b)は、本実施形態の変形例の周辺回路TFT54bに係る構成を示す平面図である。図13(b)に示す変形例では、酸化物半導体層14'が、横向きのT字型(凸型)の平面形状を有しており、チャネル幅方向に延びるT字型の上辺部分がソースライン6に接続され、T字型の突き出し部分がドレインライン8に接続されている。このような構成においても、ドレイン接続領域R_dの幅および面積をソース接続領域R_sの幅および面積よりも小さくすることができる。
- [0145] 以上のように酸化物半導体層14'の形状をソース側とドレイン側とで非対称な形状とすることによって、ソースライン6とドレインライン8とを比較的近接して配置することができる。本実施形態では、酸化物半導体層14とソース電極16およびドレイン電極18とを、介在する絶縁層に設けた面積の異なる一对のコンタクトホールを介して接続する(実施形態2および3)ことなく、直線状に延びるソースライン6とドレインライン8の一部をソース電極16およびドレイン電極18として利用することができる。したがって、酸化物半導体層14'とソース、ドレイン電極16、18との間に絶縁層を設けるプロセスを省くことができ、また、素子サイズをより小さく設定することが可能になる。

[0146] なお、本実施形態４のように酸化物半導体層１４’をソース・ドレイン非対称形状とする構成は、上記の実施形態１～３で説明したＴＦＴに組み合わせて適用することも可能である。

産業上の利用可能性

[0147] 本発明の実施形態によるアクティブマトリクス基板は、例えば液晶表示装置などの表示装置において好適に用いられる。また、酸化物半導体ＴＦＴを用いて構成される種々のデバイスにおいて、高耐圧化が求められるＴＦＴのオフリーク電流を抑制するために利用され得る。

符号の説明

- [0148]
- ２ ゲートバスライン
 - ４ ソースバスライン
 - ５ ＴＦＴ（周辺回路ＴＦＴ）
 - ６ ソースライン
 - ８ ドレインライン
 - １０ 基板
 - １１ バッファ層
 - １２ ゲート電極
 - １４ 酸化物半導体層
 - １６ ソース電極
 - １８ ドレイン電極
 - ２０ ゲート絶縁層
 - ２２ 層間絶縁層
 - ２４ エッチストップ層
 - １００ アクティブマトリクス基板
 - １１０ ゲートドライバ
 - １１２ シフトレジスタ
 - １１２Ａ 双安定回路
 - １２０ ソースドライバ

C H S ソースコンタクトホール

C H D ドレインコンタクトホール

R 1 表示領域

R 2 額縁領域

R s ソース接続領域

R d ドレイン接続領域

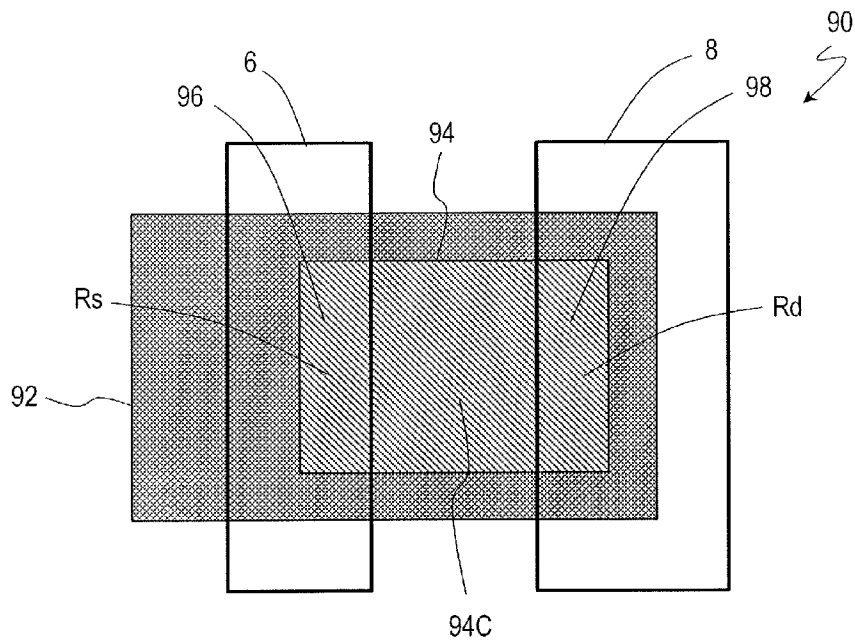
請求の範囲

- [請求項1] 複数の画素が設けられた表示領域と、前記表示領域の外側に設けられた額縁領域とを有し、前記額縁領域において駆動回路を構成する複数の周辺回路 T F T を備えたアクティブマトリクス基板であって、
- 前記複数の周辺回路 T F T のそれぞれは、ゲート電極と、前記ゲート電極と絶縁された状態で前記ゲート電極と少なくとも部分的に重なるように配置された酸化物半導体層と、前記酸化物半導体層に接続されたソース電極およびドレイン電極とを有しており、
- 前記複数の周辺回路 T F T のうちの少なくとも一部の周辺回路 T F T において、前記酸化物半導体層と前記ソース電極との接続領域であるソース接続領域と、前記酸化物半導体層と前記ドレイン電極との接続領域であるドレイン接続領域とが非対称に形成されている、アクティブマトリクス基板。
- [請求項2] 前記ドレイン接続領域の幅は、前記ソース接続領域の幅よりも小さい、請求項 1 に記載のアクティブマトリクス基板。
- [請求項3] 前記ドレイン接続領域の面積は、前記ソース接続領域の面積よりも小さい、請求項 1 または 2 に記載のアクティブマトリクス基板。
- [請求項4] 前記ドレイン電極の幅は、前記ソース電極の幅よりも小さい、請求項 1 から 3 のいずれかに記載のアクティブマトリクス基板。
- [請求項5] 前記酸化物半導体層と前記ソース電極および前記ドレイン電極との間に介在される絶縁層であって、前記ソース電極および前記ドレイン電極に対応する位置にソースコンタクトホールおよびドレインコンタクトホールが形成された絶縁層をさらに有し、
- 前記ソース電極および前記ドレイン電極は、それぞれ、前記ソースコンタクトホールおよび前記ドレインコンタクトホールの内部で前記酸化物半導体層に接続されており、
- 前記ソースコンタクトホールと前記ドレインコンタクトホールとが異なる形状を有する、請求項 1 から 3 のいずれかに記載のアクティブ

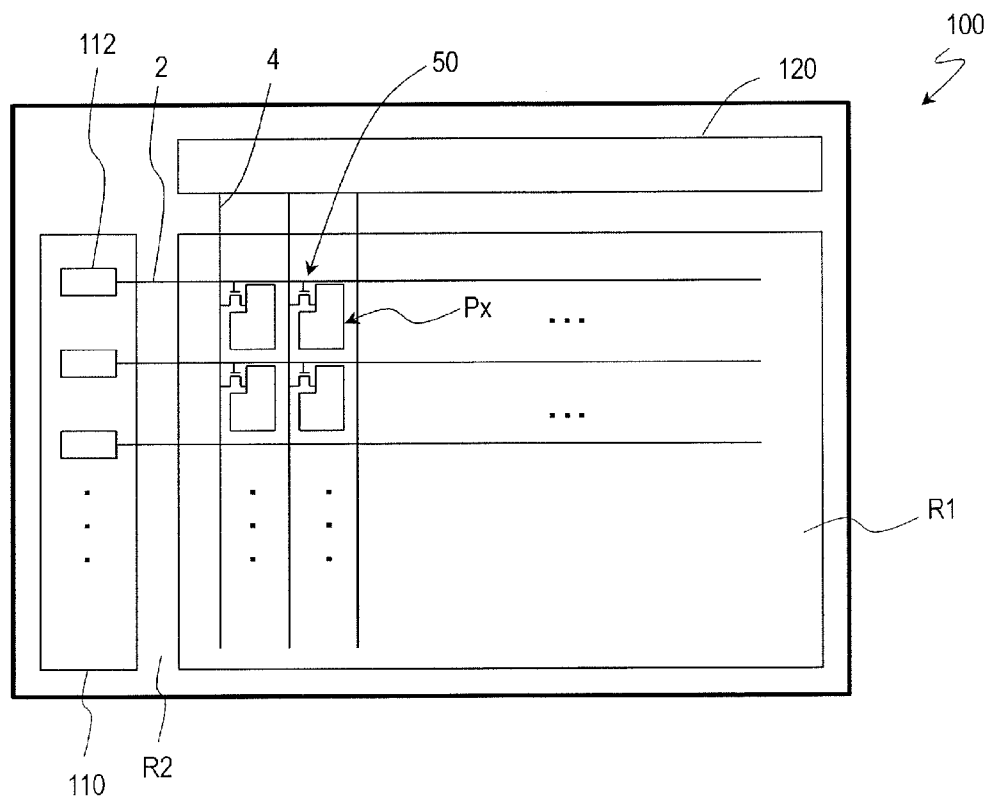
マトリクス基板。

- [請求項6] 前記絶縁層の上に前記ゲート電極が設けられている、請求項5に記載のアクティブマトリクス基板。
- [請求項7] 前記絶縁層の下に前記ゲート電極が設けられている、請求項5に記載のアクティブマトリクス基板。
- [請求項8] 前記複数の周辺回路T F Tは、前記ソース接続領域と前記ドレイン接続領域とが前記非対称に形成されている周辺回路T F Tと、前記ソース接続領域と前記ドレイン接続領域とが対称に形成されている周辺回路T F Tとを含む、請求項1から7のいずれかに記載のアクティブマトリクス基板。
- [請求項9] 前記ソース接続領域と前記ドレイン接続領域とが前記非対称に形成されている周辺回路T F Tのオフ期間において、前記ドレイン電極に印加される電圧が20V以上となるように構成されている、請求項1から8のいずれかに記載のアクティブマトリクス基板。
- [請求項10] 前記酸化物半導体層は、In、Ga、および、Znからなる群から選択される少なくとも1種の元素を含んでいる、請求項1から9のいずれかに記載のアクティブマトリクス基板。
- [請求項11] 前記酸化物半導体層はIn-Ga-Zn-O系半導体を含んでおり、前記In-Ga-Zn-O系半導体は結晶質部分を含む、請求項10に記載のアクティブマトリクス基板。

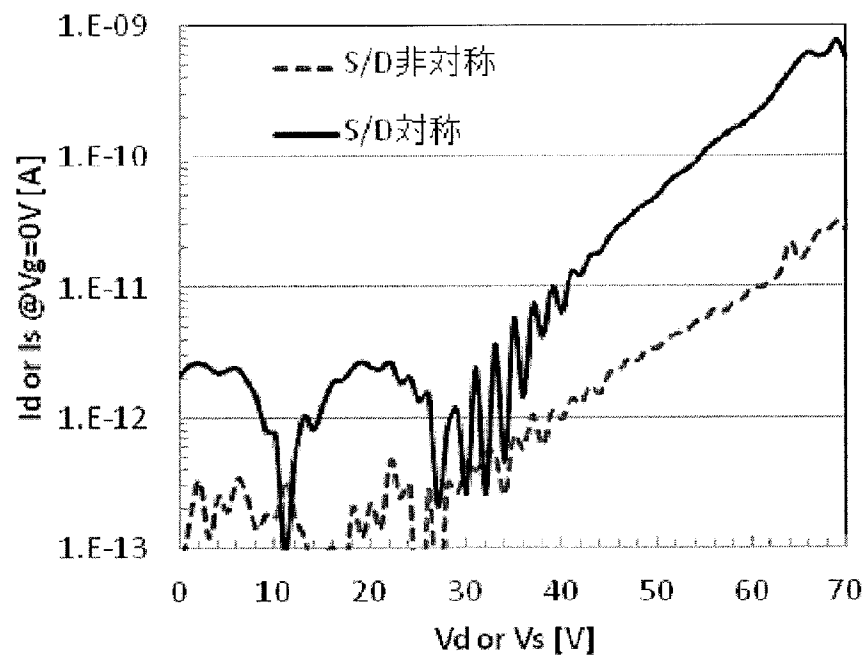
[図1]



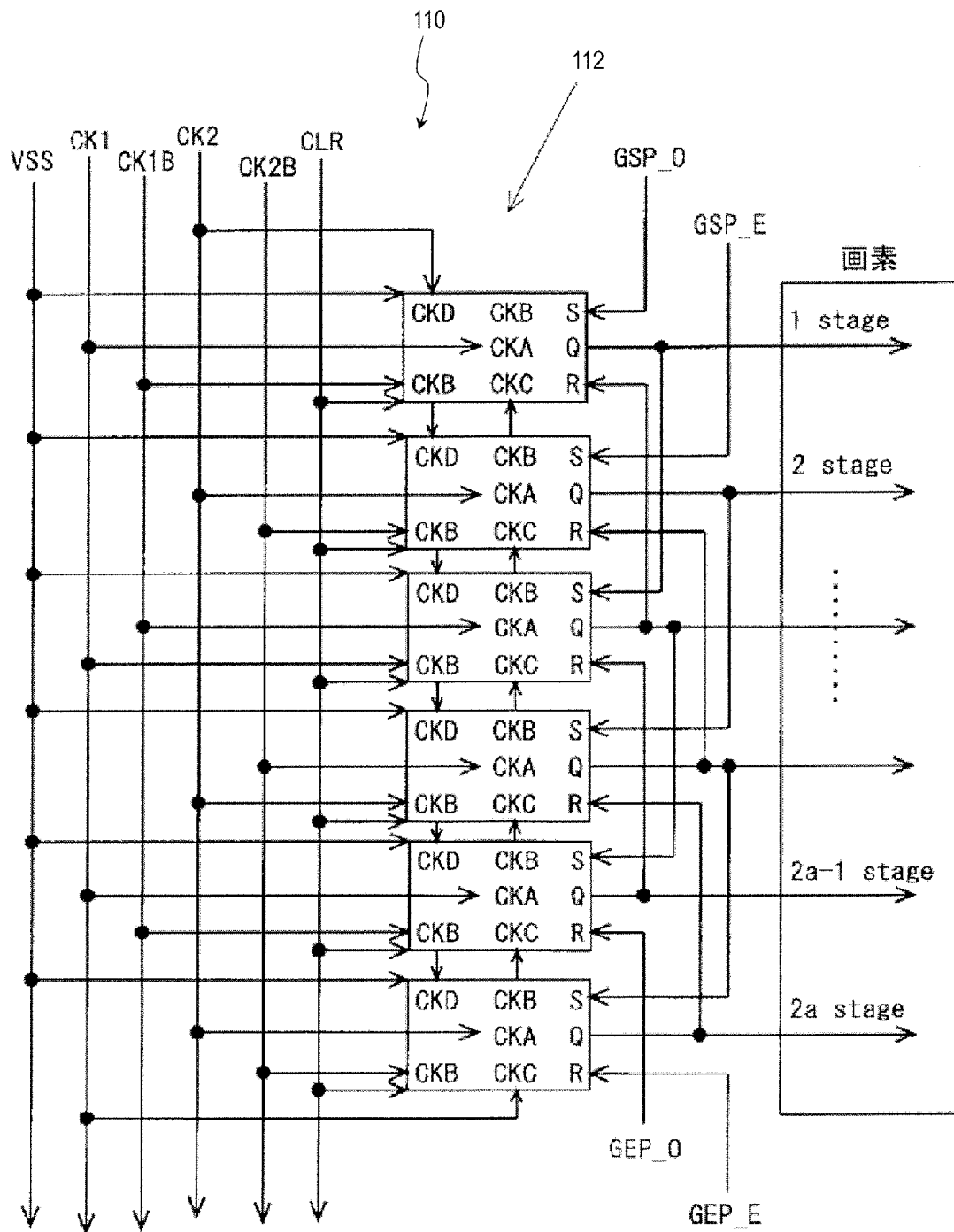
[図2]



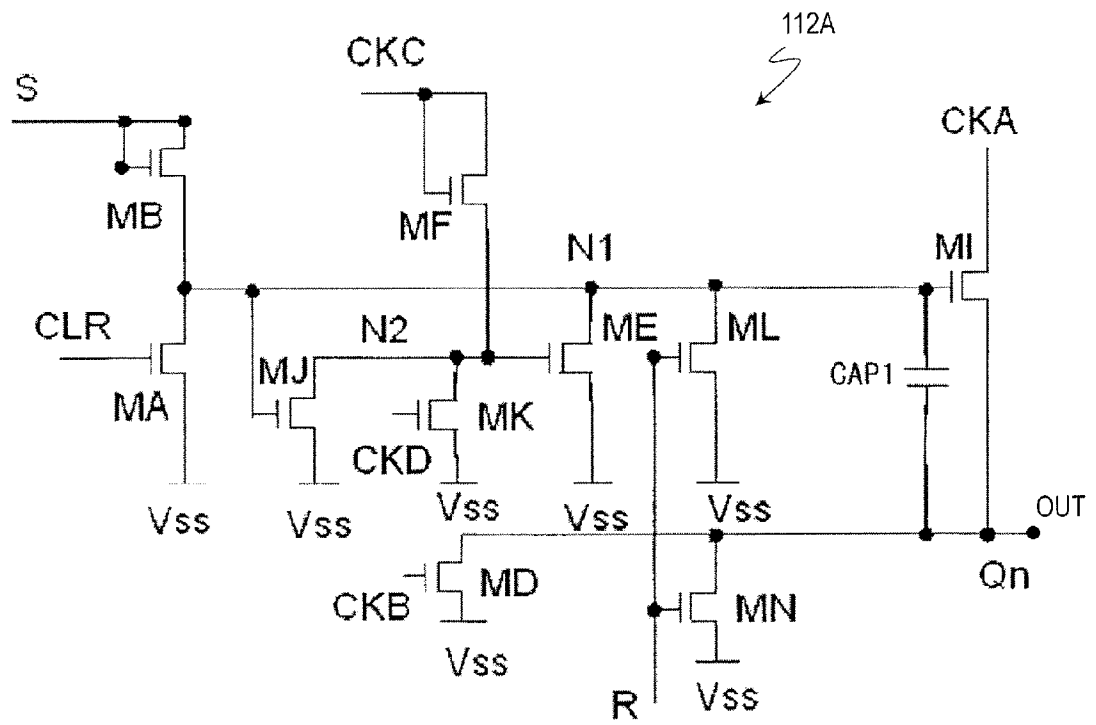
[図5]



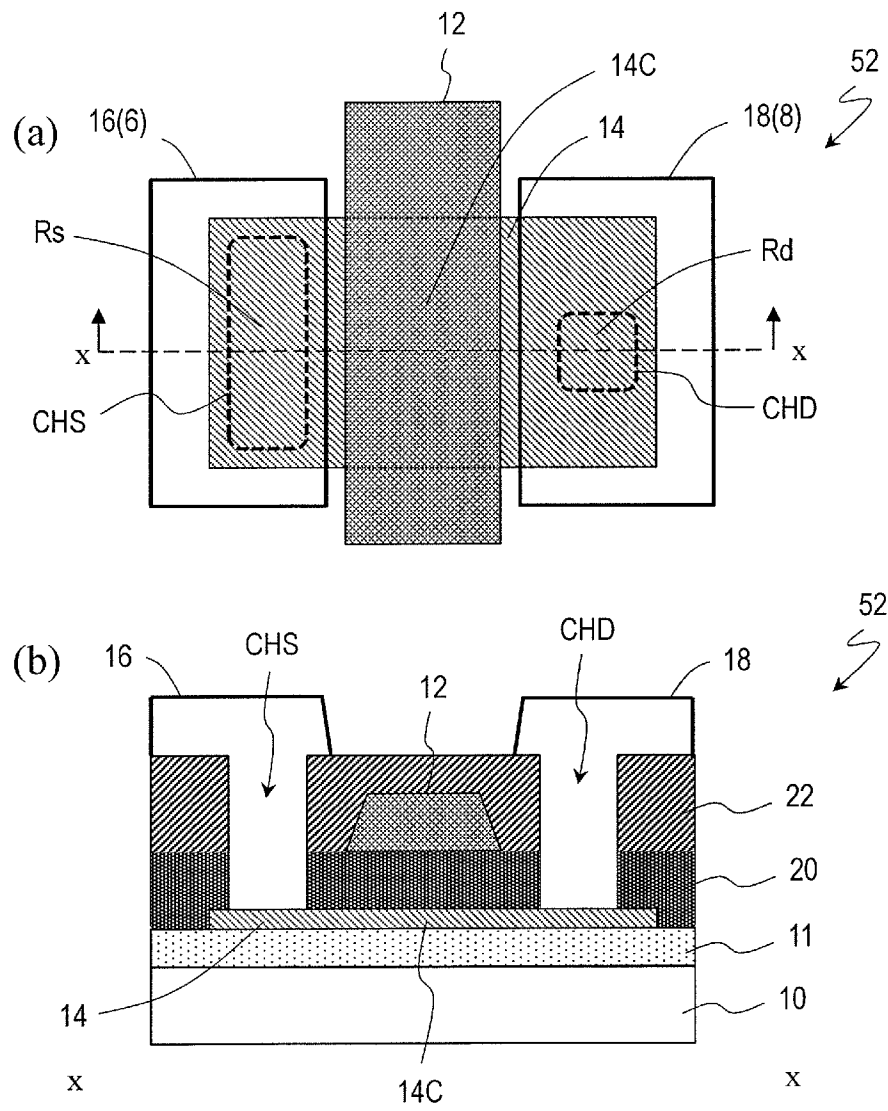
[図6]



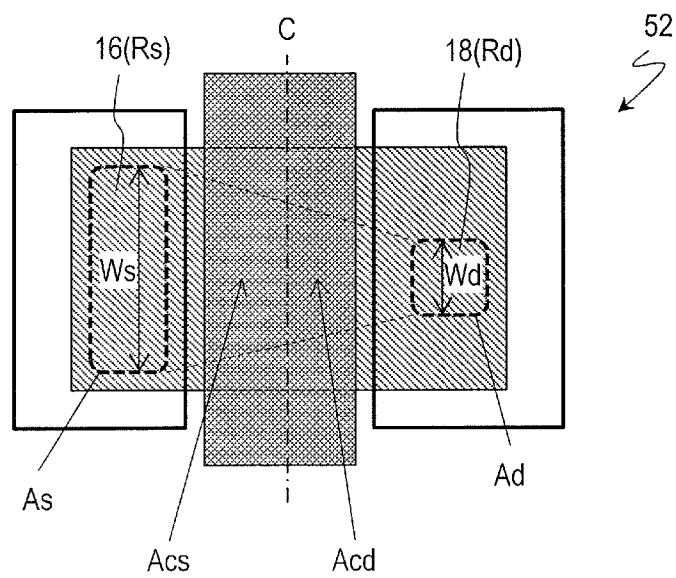
[図7]



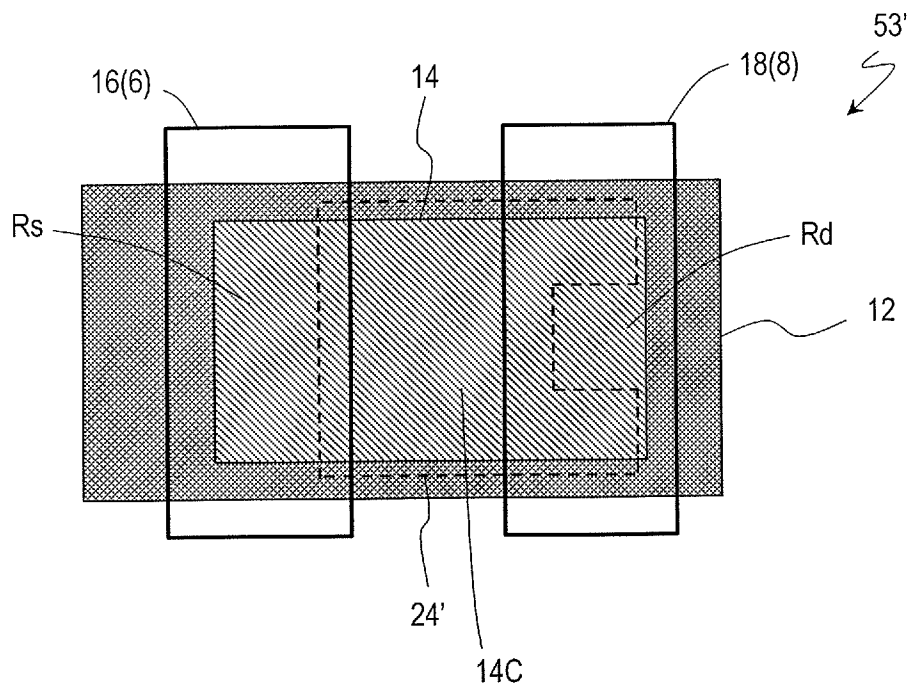
[図8]



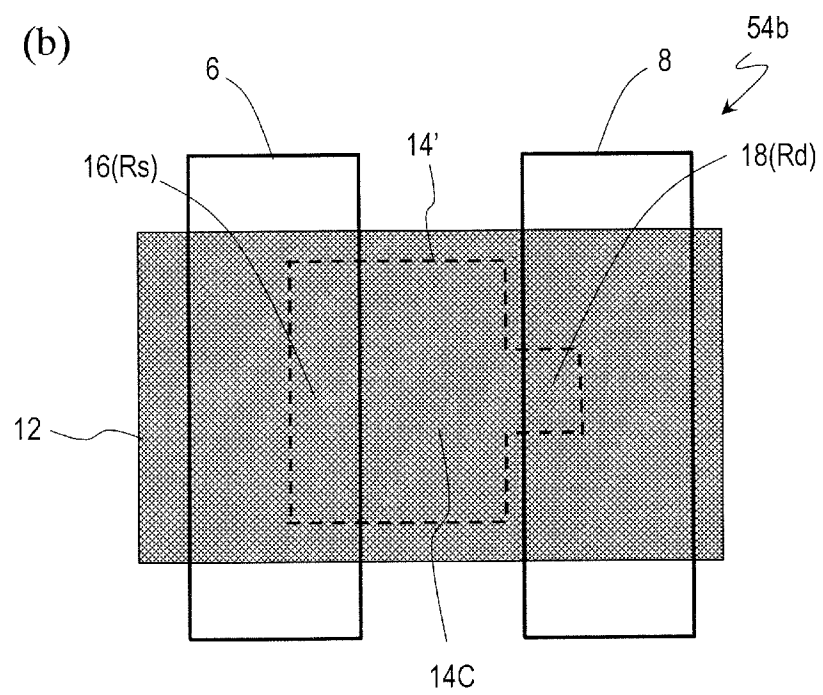
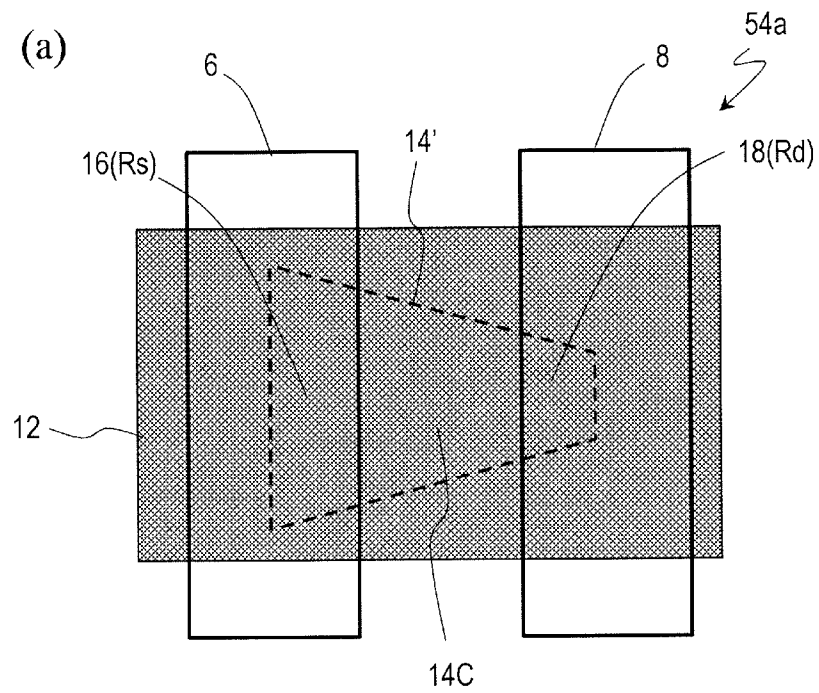
[図9]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053588

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, G02F1/1368(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2010/107027 A1 (Toppan Printing Co., Ltd.), 23 September 2010 (23.09.2010), paragraph [0067]; fig. 1 to 29 & JP 4743348 B & US 2012/0001189 A1	1, 10-11 2-7 8-9
Y	JP 2003-273364 A (Matsushita Electric Industrial Co., Ltd.), 26 September 2003 (26.09.2003), paragraph [0017]; fig. 1 (Family: none)	2
Y	JP 2003-249655 A (NEC Corp.), 05 September 2003 (05.09.2003), paragraph [0026]; fig. 5 & US 2003/0160240 A1 & TW 200303616 A & CN 1440080 A & KR 10-2003-0069889 A	3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 March 2015 (16.03.15)

Date of mailing of the international search report
31 March 2015 (31.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/053588

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-313398 A (Matsushita Electric Industrial Co., Ltd.), 09 November 2001 (09.11.2001), paragraph [0033]; fig. 4, 6 (Family: none)	2, 4
Y	JP 10-125933 A (LG Electronics Inc.), 15 May 1998 (15.05.1998), paragraph [0028]; fig. 2 & US 5886757 A & GB 2318210 A & DE 19744920 A & FR 2754610 A & KR 10-0223901 B1	2, 4
Y	JP 2006-269491 A (Seiko Epson Corp.), 05 October 2006 (05.10.2006), paragraphs [0030] to [0035]; fig. 1 to 2 (Family: none)	5-7

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2010/107027 A1（凸版印刷株式会社） 2010.09.23, [0067] 段落, [図1] - [図29] & JP 4743348 B & US 2012/0001189 A1	1, 10-11 2-7 8-9
Y	JP 2003-273364 A（松下電器産業株式会社） 2003.09.26, [0017] 段落, [図1] （ファミリーなし）	2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 1 6 . 0 3 . 2 0 1 5	国際調査報告の発送日 3 1 . 0 3 . 2 0 1 5		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 山口 大志	5 F	4 0 5 3
	電話番号 03-3581-1101 内線 3516		

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-249655 A (日本電気株式会社) 2003.09.05, [0026] 段落, [図5] & US 2003/0160240 A1 & TW 200303616 A & CN 1440080 A & KR 10-2003-0069889 A	3
Y	JP 2001-313398 A (松下電器産業株式会社) 2001.11.09, [0033] 段落, [図4], [図6] (ファミリーなし)	2, 4
Y	JP 10-125933 A (エルジー電子株式会社) 1998.05.15, [0028] 段落, [図2] & US 5886757 A & GB 2318210 A & DE 19744920 A & FR 2754610 A & KR 10-0223901 B1	2, 4
Y	JP 2006-269491 A (セイコーエプソン株式会社) 2006.10.05, [0030] - [0035] 段落, [図1] - [図2] (ファミリーなし)	5-7