



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I857139 B

(45)公告日：中華民國 113 (2024) 年 10 月 01 日

(21)申請案號：109131845

(22)申請日：中華民國 109 (2020) 年 09 月 16 日

(51)Int. Cl. : H01L21/205 (2006.01)

C23C16/06 (2006.01)

(30)優先權：2019/09/16 美國

62/900,794

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：尤 凱鴻 YU, KAI-HUNG (US)；格熱希科維亞克 約迪 GRZESKOWIAK, JODI (US)；喬伊 尼可拉斯 JOY, NICHOLAS (US)；史密斯 傑佛瑞 SMITH, JEFFREY (US)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 09589960B1

US 2010/0210105A1

US 2018/0130707A1

US 2019/0198389A1

審查人員：賴文能

申請專利範圍項數：19 項 圖式數：10 共 42 頁

(54)名稱

在凹入特徵部之中自下而上金屬化的方法

(57)摘要

一種金屬化方法，包含接收有著一凹入部形成於其中的一基板。該凹入部有著一底部及側壁，並且一共形襯裡被沉積在該凹入部的該底部及該等側壁之上。自該凹入部的一上部份加以移除該共形襯裡俾以將該凹入部的上側壁暴露，而將在覆蓋該凹入部之該底部及該等下側壁的該凹入部之下部份之中的該共形襯裡予以保留。金屬被沉積在該凹入部之下部份之中以形成一金屬化特徵部，其包含位於該凹入部之該下部份及該金屬之中的該共形襯裡。

A method of metallization includes receiving a substrate having a recess formed therein. The recess has a bottom and sidewalls, and a conformal liner is deposited on the bottom and sidewalls of the recess. The conformal liner is removed from an upper portion of the recess to expose upper sidewalls of the recess while leaving the conformal liner in a lower portion of the recess covering the bottom and lower sidewalls of the recess. Metal is deposited in a lower portion of the recess to form a metallization feature including the conformal liner in the lower portion of the recess and the metal.

指定代表圖：

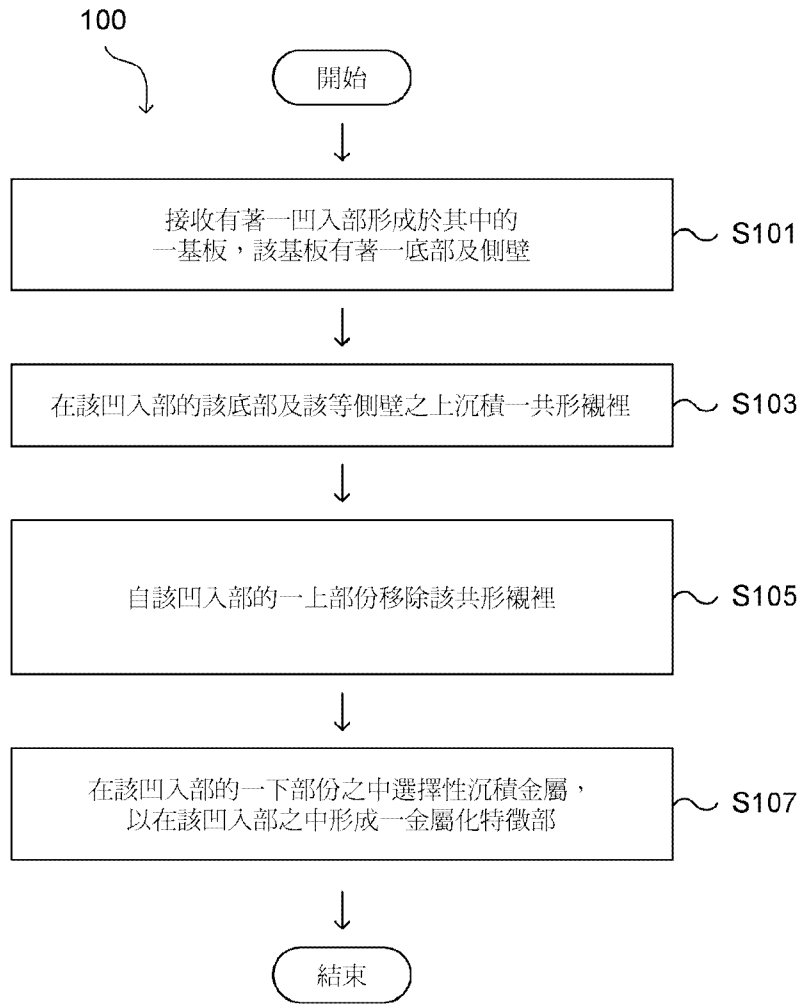


圖 1



I857139

【發明摘要】

【中文發明名稱】在凹入特徵部之中自下而上金屬化的方法

【英文發明名稱】METHOD OF BOTTOM-UP METALLIZATION IN A

RECESSED FEATURE

【中文】一種金屬化方法，包含接收有著一凹入部形成於其中的一基板。該凹入部有著一底部及側壁，並且一共形襯裡被沉積在該凹入部的該底部及該等側壁之上。自該凹入部的一上部份加以移除該共形襯裡俾以將該凹入部的上側壁暴露，而將在覆蓋該凹入部之該底部及該等下側壁的該凹入部之下部份之中的該共形襯裡予以保留。金屬被沉積在該凹入部之下部份之中以形成一金屬化特徵部，其包含位於該凹入部之該下部份及該金屬之中的該共形襯裡。

【英文】A method of metallization includes receiving a substrate having a recess formed therein. The recess has a bottom and sidewalls, and a conformal liner is deposited on the bottom and sidewalls of the recess. The conformal liner is removed from an upper portion of the recess to expose upper sidewalls of the recess while leaving the conformal liner in a lower portion of the recess covering the bottom and lower sidewalls of the recess. Metal is deposited in a lower portion of the recess to form a metallization feature including the conformal liner in the lower portion of the recess and the metal.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】在凹入特徵部之中自下而上金屬化的方法

【英文發明名稱】METHOD OF BOTTOM-UP METALLIZATION IN A
RECESSED FEATURE

【技術領域】

【0001】 [相關申請案的交互參照] 此揭露主張以下優先權：美國臨時專利申請案第62/900794號，申請於西元2019年9月16日，藉由引用將其全部納入於此。

【0002】 此揭露關聯於半導體裝置的設計及微製造。

【先前技術】

【0003】 在半導體裝置（特別是在微觀尺度下）的製造之中，實施了各種不同的製造方法，諸如膜形成沉積、蝕刻遮罩產生、圖案化、材料蝕刻及移除、及摻雜處理。這些製程被重複地實施，以在一基板之上形成所欲的半導體裝置元件。從歷史的角度來說，在微製造的情況下，電晶體被產生在一平面之中，有著佈線/金屬化形成於主動裝置平面的上方，並且因此被特徵化為二維（2D）電路或者2D製造。微縮努力已大大地增加在2D電路之中每單位面積的電晶體數，但微縮努力因為微縮進入個位數奈米半導體裝置製造節點而遭遇更大的挑戰。半導體裝置製造商已表示對於三維（3D）半導體電路的渴望，其中電晶體係堆疊在彼此的頂部之上。

【發明內容】

【0004】 本揭露案關聯於在凹入特徵部之中自下而上金屬化的方法。

【0005】 第一態樣係一種金屬化的方法，其包含接收有著一凹入部形成於其中的一基板，該凹入部有著一底部及側壁，以及將一共形襯裡沉積在該凹入部的該底部及該等側壁之上。該共形襯裡自該凹入部的上部份加以移除，以暴露該凹入部的上側壁，而在該凹入部的一下部份之中留下覆蓋該凹入部的該底部及該等下側壁的該共形襯裡。金屬被選擇性沉積在該凹入部的下部份之中，以形成一金屬特徵部，其包含了在該凹入部的該下部份之中的該共形襯裡以及該金屬。

【0006】 根據該第一態樣，該共形襯裡可藉由以下步驟加以移除：將一材料沉積以將在該凹入部之該下部份之中的該共形襯裡覆蓋，以及相對於在該凹入部之該下部份之中覆蓋該共形襯裡的該材料，自該凹入部之該上部份加以選擇性蝕刻該共形襯裡。接著沉積一材料，其可係將在該凹入部的該下部份之中形成該金屬化特徵部之一部份的一金屬，或者係不會在該凹入部的該下部份之中形成該金屬化特徵部之一部份的一阻斷材料。該第一態樣可進一步包含使用一自對準單層將該凹入部的該等暴露上側壁加以表面處理，俾以相對於該等暴露側壁促進該金屬的選擇性沉積。

【0007】 根據另一態樣，一種基板處理方法被揭露，其中可使用界定一凹入特徵部的一圖案化第一層加以接收一基板，該凹入特徵部界定一底部及側壁。該基板亦可包含在該第一層下方的一第二層，並且該第一層可有著延伸進入該第二層的該凹入特徵部。該第二層可係任何的半導體材料，例如矽，並且該第一層可係一介電材料，例如氧化矽。

【0008】 該方法可進一步包含：將一襯膜沉積在該基板之上以共形地對未覆蓋表面加襯；實施一初始金屬沉積製程，與該凹入特徵部之側壁的上部份相比，其沉積相對較多的金屬在該凹入特徵部之側壁的下部份之上；將該初始金屬沉積物凹入至在該凹入特徵部之內的一預定深度，導致一凹入金屬沉積物；以及自該基板將該襯膜的未覆蓋部份移除。

【0009】 隨後，相同的金屬材料可被選擇性沉積在該凹入金屬沉積物之上。該選擇性金屬沉積物可填充在該凹入金屬沉積物之中的空隙。該選擇性金屬沉積製程亦可藉由減少該凹入金屬沉積物的橫剖面輪廓的凹度而改變該凹入金屬沉積的橫剖面輪廓。在若干實施例之中，將該第一層之上的金屬成核減少的一自組裝單層可被沉積在該第一層的未覆蓋部份之上，接著進行一金屬沉積製程，其中該金屬材料可被選擇性沉積在該凹入金屬沉積物之上。在一替代實施例之中，用作金屬成核之一前驅物的一自組裝單層可被沉積在該凹入金屬沉積物上方，接著進行一金屬沉積製程，其中該金屬材料可被選擇性沉積在該凹入金屬沉積物之上。

【0010】 進一步，該方法可包含清潔該基板，以將非選擇性沉積在該第一層的未覆蓋部份之上的金屬加以移除。

【0011】 根據一第二態樣，一種基板處理方法被揭露，其中可使用界定一凹入特徵部的一圖案化第一層接收一基板，該凹入特徵部界定一底部及側壁。該基板亦可包含在該第一層下方的一第二層，並且該第一層可有著延伸進入該第二層的該凹入特徵部。該第二層可係任何的半導體材料，例如矽，並且該第一層可係一介電材料，例如氧化矽。

【0012】 該方法可進一步包含將一襯膜沉積在該基板之上，俾以共形地對未覆蓋表面加襯、使用一填充材料填充該凹入特徵部、將該填充材料凹入至一預定深度而有著覆蓋該襯膜之一部份的剩餘填充材料、以及自該基板移除該襯膜的未覆蓋部份使得剩餘的襯膜對該凹入特徵部的該底部及該等側壁加襯。剩餘的填充材料可接著被移除以使剩餘襯膜不被覆蓋。

【0013】 隨後，一金屬材料可被選擇性沉積在該剩餘襯膜的上方。在若干實施例之中，減少在該第一層之上金屬成核的一自組裝單層可被沉積在該第一層的未覆蓋部份之上，接著進行一金屬沉積製程，其中金屬材料可被選擇性沉積在該剩餘襯膜之上。在一替代實施例之中，用作金屬成核之前驅物的一自組裝單層可被沉積在該剩餘襯膜上方，接著進行一金屬沉積製程，其中該金屬材料可被選擇性沉積在該剩餘襯膜之上。

【0014】 進一步，該方法可包含清潔該基板以將非選擇性沉積在該第一層之未覆蓋部份之上的金屬移除。

【0015】 當然，如在此所述的不同步驟的討論順序係為了清晰之目的加以呈現。通常而言，這些步驟可以藉任何合適的順序加以實施。再者，儘管該等不同特徵部、技術、配置等等每一者在此可能在本揭露的不同位置加以討論，但該等概念的每一者係旨在可彼此獨立或彼此組合地實施。因此，本發明可以藉許多不同方式實施及審視。

【0016】 應注意到此發明內容章節未指明本揭露或所主張發明的全部實施例及/或些微的新穎態樣。替代地，此發明內容僅提供不同實施例的初步討論以及相對於習用技術的新穎性的對應點。至於發明及實施例之額外細節及/或可

態樣，讀者請參見如本揭露以下進一步討論的實施方法章節及相對應的圖式。

【圖式簡單說明】

【0017】 當與附隨圖示一起閱讀時，從附隨的詳細敘述中可以最好地理解本發明的態樣。應注意到，根據在產業之中的標準方法，各種不同的特徵未按比例繪製。事實上，各種不同特徵的尺度可能為了討論之清晰而增加或減少。

【0018】 圖1係根據本揭露實施例之自下而上金屬化製程的流程圖。

【0019】 圖2A及2B係根據本揭露之例示性實施例之分別有彎月形及沒有彎月形之軌輪廓的圖像。

【0020】 圖3係根據本揭露之例示實施例的自下而上金屬化製程的流程圖。

【0021】 圖4A-4F係根據圖3之例示製程的在製造的各種不同中間步驟處的半導體裝置的示意橫剖面。

【0022】 圖5A、5B、及5C係根據本揭露之例示性實施例之軌輪廓根據選擇性沉積時間變化的示意圖。

【0023】 圖6A、6B、及6C係根據圖3之例示製程加以形成的半導體裝置之中間結構的橫剖面圖。

【0024】 圖7係根據本揭露之另一例示實施例的自下而上金屬化製程的流程圖。

【0025】圖8A-8G係根據圖7之例示製程的在製造之各種不同中間步驟處的半導體裝置的示意橫剖面。

【0026】圖9係作為本揭露的例示性應用的在半導體裝置之中的例示埋入式功率軌的一橫剖面圖。

【0027】圖10A、10B、及10C係在傳統軌金屬化製程之各種不同中間步驟處的半導體裝置的橫剖面圖。

【實施方式】

【0028】以下揭露內容提供了許多不同的實施例、或示例，用於實作所提供專利標的之不同特徵。構件及佈置的特定示例在以下加以敘述，俾以簡化本揭露。當然，這些僅係示例且不在限制。舉例而言，在後續的敘述之中的在第一第二特徵部上方或之上的一第一特徵部的形成，可能包含第一及第二特徵部被形成為直接接觸的實施例，並且可能亦包含額外的特徵部可能被形成在該第一及第二特徵部之間使得該第一及第二特徵部可能未直接接觸的實施例。此外，本揭露可能將在各種不同示例之中的參考標號及/或字母加以重複。此重複係為了簡化及清晰之目的，且其自身不決定在所討論的各種不同實施例及/或配置之間的關係。進一步，空間相對術語，如「頂」、「底」、「之下」、「下方」、「下」、「上方」、「上」及類似者，可能在此為了敘述的簡易而加以使用於描述如在圖示之中所繪示元件或特徵部與另外的元件或特徵部的關係。空間相對術語旨在包含在使用或作業之中的裝置的不同方向以及在該等圖示之中顯示的方向。該等器材可能係面向其他方向（旋轉90度或者在其他的方向）並且在此使用的空間相對敘詞可能因此相似地加以詮釋。

【0029】 如在此敘述的不同步驟之討論順序係為了清晰之目的加以呈現。通常而言，這些步驟可藉任何合適的順序加以實施。再者，儘管該等不同特徵部、技術、配置等等每一者在此可能在本揭露的不同位置加以討論，但本文旨在使該等概念的每一者可彼此獨立或彼此結合地加以實施。因此，本發明可藉許多不同方式加以實現及審視。

【0030】 如在先前技術章節之中所示，半導體裝置製造商已表現出對於三維（3D）半導體電路的渴望，其中電晶體係堆疊在彼此的頂部之上。3D集成，亦即複數裝置的垂直堆疊，目的係藉由增加在體積（而非面積）之中的電晶體密度克服在平面裝置之中經歷到的微縮限制。儘管裝置堆疊已藉由採用3D NAND的快取記憶體產業成功地展示以及實作，但在隨機邏輯設計的應用係本質上更加困難的。用於邏輯晶片（CPU（中央處理單元）、GPU（圖形處理單元）、FPGA（場可程式閘陣列）、SoC（單晶片系統））的3D集成正在被追求。

【0031】 特別是，埋入式功率軌係支撐互補式場效電晶體（CFET）裝置可行性的一微縮加速器。CFET裝置係三維堆疊的邏輯標準單元，其中NMOS或PMOS被安置在其互補者的頂部上方。埋入式功率軌係用於電晶體單元的功率軌，其位在一電晶體平面下方，而習用功率軌係形成在FET上方以連接至標準單元。圖9係作為本揭露的一例示性應用的在一半導體裝置900之中的一例示埋入式功率軌的橫剖面圖。該圖顯示了經由上電晶體的源極/汲極區域的橫剖面，以及經由下電晶體之閘極區域的橫剖面（在不同的垂直平面之中）。裝置900可被用作一種新型的AOI CFET標準單元。該裝置900可有著複數的源極/汲極區域901、閘極區域902、金屬填充區域903、及埋入式功率軌905。該金屬填充區域903可將源極/汲極區域901電性連接至埋入式功率軌905。藉由將該功率軌埋入在一

裝置的該塊材矽之中，一顯著的面積微縮好處藉由軌高度減少加以達成。本揭露關聯於半導體裝置特徵部的自下而上金屬化方法，其可能被用於製造埋入式功率軌。

【0032】 形成埋入式功率軌的一種技術係將一襯裡沉積於一溝槽之中，並且以一金屬覆蓋層完全地填充該溝槽。一化學機械研磨製程接著被用以移除該金屬覆蓋層。一活性離子蝕刻製程可接著被實施以將在該溝槽之中的金屬凹入至一所欲深度。圖10A、10B、及10C係在一傳統軌金屬化製程的各種不同中間步驟處的一半導體裝置1000的橫剖面圖。如在圖10A之中所示，裝置1000包含了一圖案化第一層1001及在該圖案化第一層1001下方的一第二層1002。圖案化第一層1001有著延伸進入該第二層1002並且界定一個底部1007及二個側壁1009的一凹入特徵部。裝置1000亦可有著一襯膜，其對所有的表面加以襯裡，包含該凹入特徵部的底部1007及側壁1009以及該第一層1001之頂表面1001'（因比例而不可見）。裝置1000進一步包含了在該襯膜上方的一金屬膜1005。該金屬膜1005可有著一厚度，使得金屬膜1005完全填充該凹入特徵部之該等空隙，並且使得該金屬膜1005的一頂表面1005'係在第一層1001之頂表面1001'的上方。第二層1002係矽（並且可能係塊材矽材料），並且第一層1001係氧化矽。該凹入特徵部可藉由使用一蝕刻遮罩以界定蝕刻區域的定向蝕刻加以形成。在所示示例之中，金屬膜1005係鈦，並且藉由化學氣相沉積法或原子層沉積法加以沉積。

【0033】 圖10B顯示在一化學機械平坦化（CMP）製程之後的圖10A之裝置1000。如所見，金屬膜1005被平坦化，使得金屬膜1005之頂表面1005'係在與該第一層1001的頂表面1001'相同的水平之上。

【0034】圖10C顯示在一活性離子蝕刻（RIE）製程之後的在圖10B之中的裝置1000。金屬膜1005被蝕刻，使得金屬膜1005的頂表面1005'係在第一層1001之頂表面1001'下方。結果，剩餘的金屬膜1005可覆蓋該凹入特徵部之底部1007及部份的側壁1009。

【0035】本發明人認識到圖10A、10B及10C的傳統金屬化製程係不佳的。舉例而言，CMP處理可係昂貴的且RIE蝕刻釘可係緩慢的。發明人進一步認識到消除對於CMP及冗長蝕刻的需求的一種方式係以自下而上進程的方式將該軌金屬化。特別是，發明人認識到自下而上沉積的優勢係可處理根據如上所述傳統CMP製程所遭遇的埋入式功率軌形成的若干挑戰。舉例而言，形成埋入式功率軌（或其他溝槽金屬化）可導致由軌至軌在高度上的變異性。另外，一金屬軌之頂部的輪廓控制係挑戰性的。無法有效地處理這兩個挑戰會在一相對應裝置之電性效能上有著有害影響。舉例而言，高度上的變異性造成該功率軌及一懸伸式接點之間的電容不同，這可破壞或延遲裝置的效能。進一步，吾人期望該軌道之一頂部有著平坦的表面形貌。如果該軌替代地有著一彎月形，則結果將係在峰部處有著高電場，這可經由靜電放電（ESD）造成裝置故障。另外，一彎月形輪廓會惡化在該軌之頂部與上方的該金屬化之間的距離的變異性。

【0036】在此的技術提供了一種使用選擇性沉積的自下而上填充金屬化的方法。在此的技術包含將在金屬化期間沉積的一襯裡加以移除。藉由移除該襯裡，該金屬可接著以一自下而上進程加以沉積。在此揭露的若干例示技術提供了用於圖案化及形成埋入式功率軌的方法，其可包含在沒有化學機械研磨的情況下沉積金屬，例如可相對於介電材料加以蝕刻的釘或鈷。在一例示性實施例之中，一底部沉重金屬沉積可被凹入，並且接著藉由選擇性沉積加以完成。在一例

示實施例之中，塗佈介電材料並且取代襯裡材料的一自組裝單層專注於在一溝槽之一底部及部份側壁之內的金屬沉積。在一替代實施例之中，對基板共形地加以襯裡的一襯膜可被選擇性移除，以僅覆蓋一溝槽之一底部及部份側壁。隨後，一金屬沉積可被實施以選擇性沉積金屬在該襯裡材料之上。

【0037】 圖1係根據本揭露實施例的一自下而上金屬化製程的一流程圖。如所示，該方法包含步驟101：接收有著一凹入部形成於其中的一基板，該凹入部有著一底部及側壁。在步驟103之中，一共形襯裡被沉積在該凹入部之底部及側壁之上。在步驟105之中，該共形襯裡自該凹入部的一上部份被移除，俾以暴露該凹入部的上側壁，而保留該共形襯裡在該凹入部的一下位置之中，覆蓋該凹入部的底部及下側壁。根據此揭露的實施例，該共形層的部份可能在如以下進一步討論的金屬沉積之前或之後加以移除。在步驟107之中，一金屬被選擇性沉積在該凹入部的下部份之中，俾以形成一金屬化特徵部，其包含在該凹入部之下部份之中的該共形襯裡及該金屬。根據本揭露的實施例，該金屬可在有或沒有使用一自組裝單層的情況下加以選擇性沉積，如亦在以下進一步討論。

【0038】 與需要一自上而下蝕刻製程以形成一軌的相關示例相比，本文的自下而上金屬化可在沒有CMP的情況下加以實施，並且可提供一金屬軌之頂部的輪廓控制，並且減少自軌至軌的高度上的變異。特別是，本文的自下而上金屬化可將該金屬軌之一頂部平坦化，俾以減輕關聯於彎月形輪廓的問題。

【0039】 圖2A及2B係放大的(TEM)橫剖面影像，顯示不同的軌輪廓。如所見，圖2A顯示在一裝置200A之中有著一彎月形的一軌輪廓，而圖2B顯示在一裝置200B之中沒有一彎月形的一軌輪廓。沒有彎月形的軌係理想的。在圖2A之中，裝置200A可有著一圖案化第一層201以及在該第一層201下方的一第二層

202。第一層201可有著延伸進入第二層202並且界定一個底部207以及二個側壁209的一凹入特徵部。裝置200A可進一步包含在該凹入特徵部之中的一金屬膜205a，有著在第一層201之頂表面201'下方的金屬膜205a之頂表面205a'。金屬膜205a可覆蓋該凹入特徵部之底部207與部份的側壁209。在若干實施例之中，裝置200A亦可有著在第一層201之內的一第三層203。

【0040】 因為圖2B的例示實施例相似於圖2A的例示實施例，將以針對不同處強調的方式做出解釋。不同於在圖2A之中可有著一彎月形並且係凹面的該金屬膜205a，在圖2B之中的金屬膜205b可有著一平坦頂表面205b'。應注意到，金屬膜205a及205b可用作如在圖9之中所繪示的埋入式功率軌。對於埋入式功率軌應用而言，吾人期望一軌之頂部有著平坦的表面形貌。如所示，如果該軌替代地有著一彎月形，則該結果將係在峰部處有著高電場，這可經由靜電放電造成裝置故障。再者，一彎月形可將在該軌之頂部及上方該金屬化之間的距離變異性惡化。因此，對於一埋入式功率軌應用而言，該金屬膜205b可係理想的。最後，應理解到該金屬膜之頂表面205b'的高度可被調整以符合特定的設計需求。

【0041】 圖3係根據本揭露實施例的，用於製造一例示性半導體裝置的一例示性製程300的一流程圖。製程300以步驟S301為始，其中可接收一基板，具有一圖案化第一層及在該第一層下方的一第二層。該第一層可有著一凹入特徵部，其延伸進入該第二層並且界定一個底部及二個側壁。在若干實施例之中，該基板可有著一第一層以及在該第一層之內的一凹入特徵部，其界定了一個底部及兩個側壁，而在該第一層下方沒有第二層。製程300接著進行至步驟S302，其中一襯膜可被共形地沉積在該基板的未覆蓋表面之上，包含該凹入特徵部的底部及側壁以及該第一層的頂表面。在步驟S303，與該凹入特徵部之側壁之上部份相

比，一初始金屬沉積可被實施以沉積相對較多金屬在該凹入特徵部之側壁的下部份之上。作為結果，該凹入特徵部的底部可使用金屬加以填充。接著在步驟S304，該初始金屬沉積可被凹入至在該凹入特徵部之內的一預定深度，導致一凹入金屬沉積。結果，該第一層之該頂表面以及在該凹入部之側壁之上部份處的該初始金屬沉積可被移除。剩餘的金屬膜可覆蓋該凹入部之底部及其側壁之下部份。在步驟S305，該襯膜的未覆蓋部份可自該基板加以移除。在步驟S306，相同的材料可被選擇性沉積在該凹入金屬沉積之上。該金屬材料的選擇性沉積可在有或沒有一SAM的情況下加以完成，並且可進一步包含一清潔步驟以移除非選擇性沉積的金屬。此外，該金屬膜之頂表面的凹度可藉由調整選擇性沉積時間加以控制。

【0042】 圖4A-4F係根據圖3的例示製程加以形成的一半導體裝置的中間結構的橫剖面示意圖。圖4A顯示一例示性半導體裝置400的一橫剖面圖。裝置400可有著一圖案化第一層401及在該第一層401下方的一第二層402。第一層401可有著一凹入特徵部，其延伸進入第二層402並且界定一個底部407及二個側壁409。第二層402可由任何半導體材料所製成（例如矽），並且可能係塊材矽材料。第一層401可係一介電材料，例如氧化矽。凹入特徵部可藉由使用一蝕刻遮罩俾以界定待蝕刻區域的定向蝕刻加以形成。

【0043】 在圖4B之中，一襯膜404可接著被共形地沉積在裝置400之中的未覆蓋表面之上，使得襯膜404將第一層401之頂表面401'、該凹入特徵部之底部407及側壁409加以覆蓋。該襯膜404可被用於成核提升/黏附，並且可能亦作為用於材料遷移的一屏障。襯膜404可由不同於第一層401的介電材料所製成，諸如氮化

鈿、氮化鈦、氧化矽、氮化矽、以及氮氧化矽，並且可藉由任何技術加以沉積，諸如原子層沉積法或化學氣相沉積法。

【0044】在圖4C之中，一金屬膜405可一定程度共形地加以初始沉積在襯膜404之上並且填充該凹入特徵部的底部407，導致在該凹入部之底部407以及側壁409的下部份處相對較厚的沉積，以及在該凹入部之側壁409的上部份及第一層401之頂表面401'處相對較薄的沉積。舉例而言，金屬膜405可係鈿或鈷，並且可藉由化學氣相沉積法或原子層沉積法加以沉積。

【0045】在圖4D之中，金屬膜405可接著被凹入，使得在該凹入部之側壁409的上部份及第一層401之頂表面401'處的初始金屬沉積被移除。結果，剩餘金屬膜405可覆蓋該凹入部之底部407及側壁409的下部份。此外，剩餘金屬膜405可有著一凹面頂表面405'。在此示例之中，金屬膜405之頂表面405'可比第二層402之一頂表面402'來得低。當然，金屬膜405之頂表面405'可被調整以符合特定設計需求。該金屬移除可藉由一乾式或濕式蝕刻製程加以達成。舉例而言，一蝕刻劑可被選擇，使得該蝕刻劑僅蝕刻金屬層405並且不蝕刻襯膜404。舉例而言，該蝕刻劑可係一熱溶液，包含蝕刻鈿但不蝕刻氮化矽的鹽酸及硝酸。替代地，基於氧/氯/氫的活性離子蝕刻可被用於鈿移除。在襯膜404係由氮化鈦製成的一實施例之中，基於氧/氮的活性離子蝕刻可能導致較佳的選擇度。

【0046】在圖4E之中，襯膜404之未覆蓋部份可藉由諸如乾式蝕刻或濕式蝕刻的任何技術加以移除。一蝕刻劑可被選擇，使得該蝕刻劑僅蝕刻襯膜404並且不蝕刻金屬層405或第一層401。舉例而言，該蝕刻劑可係一熱濃縮正磷酸溶液，其蝕刻氮化矽但不蝕刻鈿或氧化矽。在襯膜404係由氮化鈦製成的上述實施例之中，SC1濕式蝕刻可被使用，其係氫氧化銨、過氧化氫、及水的一混合物。

在襯膜404係氮化鈮的另一實施例之中，這部份地發生於鈦 ($O_2/Cl_2/Ar$) 的乾式蝕刻期間，其後可接著一濕式蝕刻步驟以移除任何殘留物。

【0047】 在圖4F之中，相同的金屬材料可被選擇性沉積在圖4E之中的剩餘金屬膜405之上，使得金屬膜405之頂表面405'可被平坦化。在若干實施例之中，該金屬材料的選擇性蝕刻可藉由使用一自組裝單層 (SAM) 加以達成，俾以阻斷金屬沉積。一SAM可被選擇性沉積在第一層401之未覆蓋部份之上，使得該SAM可減少或消除金屬成核 (未顯示)。隨後，一金屬沉積製程可被實施，俾以選擇性沉積相同金屬在剩餘金屬膜405之上。舉例而言，十八烷基三氯矽烷 (ODTS) SAM可被選擇性沉積在氮化矽或氧化矽之上，並且避免金屬成核。其他的常見表面改質劑包含但不限於：硫醇分子 (例如DDT：十二烷硫醇)、烷基矽烷 (例如ODTS：十八烷基三氯矽烷)、烷基膦酸 (例如ODPA：十八烷基膦酸)、碳氟化物 (例如PFOTS：全氟辛基三氯矽烷)、及矽氮烷 (例如HDMS：六甲基二矽氮烷，以及TMSDMA：三甲基矽烷二甲胺)。

【0048】 圖5A、5B、及5C根據本揭露的例示性實施例顯示依選擇性沉積時間變化的軌輪廓。圖5A顯示一例示性裝置500的一橫剖面圖，其對應於在圖4E及圖4F之間的一中間態。裝置500可有著一第一層501以及在第一層501之中的界定一個底部507及二個側壁509的一凹入部。裝置500亦可有著一襯膜504，其塗佈該凹入部之底部507及部份的側壁509。裝置500可進一步包含覆蓋襯膜504的一金屬膜505。金屬膜505可有著在第一層501之一頂表面501'下方的一凹面頂表面505'。第一層501可係氧化矽，並且金屬膜505可係鈦或鈷。儘管此示例之中該第一層501被顯示為一單一層，但在若干實施例之中，第一層501可係由氧化矽在矽上方加以製成的二層結構，類似於圖4E及4F。

【0049】圖5B顯示了在增加選擇性沉積時間之後在圖5A之中的裝置500。作為結果，該裝置500可有著一平坦頂表面505'，相似於圖4F。

【0050】圖5C顯示了在進一步增加選擇性沉積時間之後在圖5B之中的裝置500。結果，金屬膜505之頂表面505'可成為凸面的。因此，金屬膜505之頂表面505'的凹度可藉由調整選擇性沉積時間而加以控制。隨著沉積時間增加，一凹面表面可進展為一平坦表面並接著為一凸面表面。

【0051】圖6A、6B、及6C係根據圖3的例示製程加以形成的一半導體裝置的橫剖面圖。圖6A顯示了一例示性裝置600的一橫剖面圖。裝置600有著一第一層601以及在第一層601之中的一凹入部，該凹入部界定一個底部607及二個側壁609。裝置600亦有著共形地塗佈第一層601的一襯膜（因比例而不可見）。裝置600進一步包含一金屬膜605，其某種程度上共形地沉積在該襯膜之上並且填充該凹入部的底部607。與在該凹入部之側壁609的上部份及第一層601之頂表面601'處相比，金屬膜605在該凹入部之底部607及側壁609的下部份處相對較厚。在所示例實施例之中，第一層601係氧化矽，而金屬膜605係鈦。儘管在此示例之中第一層601被顯示為一單一層，但在若干實施例之中，該第一層601可係氧化矽在矽的上方加以製成的二層結構，類似於圖4C。

【0052】圖6B顯示將金屬膜605凹入之後在圖6A之中的裝置600。在該凹入部之側壁609的上部份以及第一層601之頂表面601'處的金屬膜605被移除。結果，剩餘金屬膜605將該凹入部之底部607及側壁609的下部份覆蓋。此外，剩餘金屬膜605有著一凹面頂表面605'。將該金屬膜605凹入步驟可藉由RIE或一濕式蝕刻製程加以完成。舉例而言，該蝕刻劑可係一熱溶液，其包含蝕刻鈦但不蝕刻

氯化矽或氧化矽的鹽酸（HCl）及硝酸（HNO₃）。替代地，基於氧/氟/氫的RIE可在對於第一層601的介電材料沒有或只有些微傷害的情況下移除釘。

【0053】 圖6C顯示在移除襯膜的未覆蓋部份並且將相同金屬選擇性沉積在剩餘金屬膜605上方之後圖6B之裝置600。襯膜的未覆蓋部份可藉由諸如乾式蝕刻或濕式蝕刻（未顯示）的任何技術加以移除。舉例而言，熱濃縮正磷酸可蝕刻氯化矽且不蝕刻釘。在襯膜404係由氯化鈦製成的上述實施例之中，SC1濕式蝕刻可被使用，其係氫氧化銨、過氧化氫、及水的一混合物。在襯膜404係氮化鈦的另一實施例之中，這部份地發生在釘的乾式蝕刻（O₂/Cl₂/Ar）期間，其後可接著一濕式蝕刻步驟以移除任何殘留物。選擇性沉積可在有或沒有一SAM的情況下加以完成，類似於圖4F。作為結果，金屬膜605之頂表面605'的凹度可被減少。進一步，金屬膜605之頂表面605'的凹度可藉由調整選擇性沉積時間加以控制。

【0054】 在一替代實施例之中，金屬材料的選擇性沉積可藉由使用一SAM俾以提升或促使金屬沉積而加以達成。一SAM可被選擇性沉積在金屬層405之頂表面405'之上，使得該SAM可用作用於金屬沉積的前驅物（未顯示）。後續，一金屬沉積製程可被實施以選擇性沉積相同的金屬在剩餘金屬膜405之上。此外，在若干實施例之中，金屬材料的選擇性沉積可在不使用一SAM的情況下加以達成。對剩餘金屬膜405有著固有選擇度的一金屬沉積製程可加以實施。

【0055】 應注意到，在選擇性沉積期間，若干金屬材料可某種程度地非選擇性地沉積在非預期的表面之上（未顯示）。因此，在金屬沉積之後一清潔製程可被實施以移除非選擇性沉積在第一層401之未覆蓋部份之上的金屬。另外，金

屬膜405之頂表面405'可與在圖4F示例之中的第二層402之頂表面402'在相同水平之上。應理解到，金屬膜405之頂表面405'可被調整以符合特定設計需求。

【0056】圖7係替代的製程700的一流程圖，其用於製造相對應於在圖8A-8G之中繪示製程的一例示性半導體裝置。製程700始於步驟S701，其中可接收一基板，具有一圖案化第一層及在該第一層下方的一第二層。該第一層可有著一凹入特徵部，其延伸進入該第二層並且界定一個底部及二個側壁。在若干實施例之中，該基板可有著一第一層以及在該第一層之內的一凹入特徵部，其界定了一個底部及二個側壁，在該第一層的下方沒有第二層。該製程700接著進展至步驟S702，其中一襯膜可被共形地沉積在該基板的未覆蓋表面之上，包含該凹入特徵部之底部與側壁以及該第一層之頂表面。在步驟S703，該凹入特徵部可使用一填充材料加以填充，並且該填充材料可接著被凹入至一預定深度，使得剩餘填充材料覆蓋該襯膜的一部份。在步驟S704，可自該基板加以移除該襯膜之未覆蓋部份，使得該剩餘襯膜對該凹入特徵部之底部及部份的側壁加以襯裡。在步驟S705，該剩餘填充材料可被移除以使剩餘的襯膜不被覆蓋。在S706，相同的金屬材料可被選擇性沉積在該剩餘襯膜之上。金屬材料的選擇性沉積可在有或沒有一SAM的情況下加以完成，並且可進一步包含一清潔步驟以移除非選擇性沉積金屬。再者，該金屬膜之頂表面的凹度可藉由調整選擇性沉積時間加以控制。

【0057】圖8A-8G係根據圖7的例示製程形成的一半導體裝置之中間結構的橫剖面圖。圖4A-4F顯示當在金屬凹入之後但在選擇性金屬沉積之前一襯膜被移除時的一製造流程。在圖8A-8G之中的替代實施例顯示一處理流程，其中該襯膜可在任何金屬沉積之前加以移除。

【0058】圖8A顯示一半導體裝置800的一橫剖面圖，該半導體裝置800相似於在圖4A中的裝置400。裝置800可有著一圖案化第一層801及在第一層801下方的一第二層802。第一層801可有著一凹入特徵部，其延伸進入第二層802並且界定一個底部808及二個側壁809。第二層802可由任何半導體材料（如矽）製成。第一層801可係一介電材料，例如氧化矽。該凹入特徵部可藉由使用一蝕刻遮罩以界定待蝕刻區域的定向蝕刻加以形成。

【0059】圖8B顯示在襯裡沉積之後圖8A之中的裝置800，其相似於在圖4B之中的裝置400。一襯膜804可被共形地沉積在裝置800之中的未覆蓋表面之上，使得襯膜804將第一層801之頂表面801'、該凹入特徵部之底部808及側壁809覆蓋。襯膜804可提供電性隔離並且用作針對材料遷移的一屏障。襯膜804可由一介電材料（例如氮化矽）製成，並且可藉由任何技術（例如原子層沉積法或化學氣相沉積法）加以沉積。

【0060】圖8C顯示了在沉積一填充材料806之後圖8B之中的裝置800，與在圖4C之中所顯示者不同。在此示例之中，填充材料806可完全填充該凹入特徵部並且在第一層801之頂表面801'上方有著一頂表面806'。在一替代實施例之中，填充材料806可完全填充該凹入特徵部，並且有著與第一層801之頂表面801'在相同水平之上的頂表面806'。在若干實施例之中，填充材料806可部份地填充該凹入特徵部，並且有著在第一層801之頂表面801'下方的頂表面806'。填充材料806可係不同於襯膜804及第一層801的任何材料，並且可藉由任何技術加以沉積。舉例而言，填充材料806可係藉由化學氣相沉積法加以沉積的多晶矽。另外，一化學機械平坦化製程可被用以使填充材料806之頂表面806'變得平坦。

【0061】圖8D顯示在將填充材料806凹入至一預定深度之後在圖8C之中的裝置800。結果，剩餘填充材料806可將該凹入特徵部之底部808及部份的側壁809加以覆蓋。在此示例之中，剩餘填充材料806之頂表面806'可在第二層802之頂表面802'的上方。在若干實施例之中，剩餘填充部份806之頂表面806'可在與第二層802之頂表面802'相同或下方的水平之上。應注意到，剩餘填充材料806之頂表面806'可被調整以符合特定設計需求。舉例而言，剩餘填充材料806之頂表面806'可係一功率軌之一理想頂表面或者係在氧化矽及矽之間的一介面處。另外，將填充材料806凹入的步驟可藉由諸如乾式或濕式蝕刻的任何技術加以完成。一蝕刻劑可被選擇，使得該蝕刻劑將填充材料806蝕刻，但不蝕刻襯膜804。舉例而言，該蝕刻劑可係一溶液，其包含蝕刻多晶矽但不蝕刻氮化矽的氫氧化四甲胺。在填充材料806係一旋塗碳型膜的一實施例之中， $O_2/CO_2/He$ 基礎的乾式蝕刻可被用於此材料的選擇性回蝕。

【0062】圖8E顯示在將襯膜804之未覆蓋部份移除之後在圖8D之中的裝置800。剩餘襯膜804可將該凹入特徵部之底部808及部份的側壁809覆蓋。襯膜804的未覆蓋部份之移除可藉由如濕式蝕刻的任何技術加以完成。一蝕刻劑可被選擇，使得該蝕刻劑將襯膜804蝕刻，但不蝕刻第一層801或者填充材料806。舉例而言，該蝕刻劑可係一熱濃縮正磷酸溶液，其蝕刻氮化矽，但不蝕刻氧化矽或多晶矽。

【0063】圖8F顯示在移除剩餘的填充材料806以使剩餘襯膜804不被覆蓋之後在圖8E之中的裝置800。填充材料806的移除可藉由如濕式蝕刻的任何技術加以完成。一蝕刻劑可被選擇，使得該蝕刻劑蝕刻填充材料806，但不蝕刻襯膜

804或者第一層801。舉例而言，該蝕刻劑可係一溶液，其包含了蝕刻多晶矽但不蝕刻氮化矽或氧化矽的氫氧化四甲胺。

【0064】 圖8G顯示在該金屬選擇性沉積在剩餘襯膜804上之後的在圖8F之中的裝置800。相似於圖4F，選擇性沉積可在有或沒有一SAM的情況下加以達成，並且隨後的清潔製程可在選擇性沉積之後實施，俾以移除非選擇性金屬沉積。因此，將以強調有所不同處的方式做出解釋。在此示例之中，金屬膜805之頂表面805'可係在第二層802之頂表面802'的上方。在若干實施例之中，金屬膜805之頂表面805'可在與第二層802之頂表面802'相同或下方的水平之上。金屬膜805之頂表面805'可被調整以符合特定設計需求。進一步，如在圖6A、6B、及6C之中所示，金屬膜805之頂表面805'的凹度可藉由調整選擇性沉積時間加以控制。

【0065】 在此所述的各種不同實施例在相關製造程序上提供了許多優勢。舉例而言，自下而上金屬化可大大地縮短需要的金屬凹入時間並且消除對化學機械平坦化步驟的需求。所揭示製程亦可提供金屬軌之頂部的輪廓控制以及減少從軌至軌的高度上的變異。

【0066】 在以上的敘述之中，特定細節已被闡明，諸如處理系統的特定幾何形狀以及各種不同構件及其中使用之製程的敘述。然而應理解到，本文的技術可能在脫離這些特定細節的其他實施例之中加以實施，並且該等特定細節係為了解釋之目的而不旨在限制。本文揭露的實施例已參考附隨圖示加以敘述。相似地，為了解釋之目的，特定數字、材料、及配置已為了提供一透徹理解而加以闡明。儘管如此，實施例可能在沒有該等特定細節的情況下加以實施。有著基本上相同功能構造的構件係以相似的參考字元所標示，並且可能因此省略任何冗贅的敘述。

【0067】各種不同技術已被描述為複數的個別作業，以協助理解各種不同的實施例。敘述的順序不應被理解為暗示這些作業必然係依附順序的。而是，這些作業不需要依呈現的順序加以實施。所述作業可能以不同於所述實施例之順序加以實施。各種不同的額外作業可能被實施並且/或者所述作業可能在額外實施例之中被省略。

【0068】本文使用的「基板」或「目標基板」普遍地指涉根據本發明加以處理的物件。該基板可能包含一裝置的任何材料部份或結構，特別係半導體或其他電子裝置，並且可能（例如）係基底基板結構，諸如半導體晶圓、光罩、或在基底基板結構之上或上覆的層，例如薄膜。因此，基板不被限制為任何特定的基底結構、下伏層或上覆層、圖案化或非圖案化，毋寧是，應被認為係包含任何的如此層或基底結構、及層及/或基底結構的任何組合。該敘述可能參考特定類型的基板，但這僅係為了說明之目的。

【0069】本技藝中通常知識者亦將理解到可對以上解釋的技術之作業做出許多改變而仍達到本發明的相同目標。如此的改變旨在被此揭露的範圍所涵蓋。如此，本發明之實施例之前述敘述不旨在為限制性的。毋寧是，對本發明之實施例的任何限制係在附隨的發明申請專利範圍之中加以呈現。

【符號說明】

【0070】

200A: 裝置

200B: 裝置

201: 第一層

201': 頂表面

202: 第二層

203: 第三層

205a: 金屬膜

205a': 頂表面

205b: 金屬膜

205b': 頂表面

207: 底部

209: 側壁

400: 裝置

401: 第一層

401': 頂表面

402: 第二層

402': 頂表面

404: 襯膜

405: 金屬膜

405': 頂表面

407: 底部

409: 側壁

500: 裝置

501: 第一層

501': 頂表面

- 504: 襯膜
- 505: 金屬膜
- 505': 頂表面
- 507: 底部
- 509: 側壁
- 600: 裝置
- 601: 第一層
- 601': 頂表面
- 605: 金屬膜
- 605': 頂表面
- 607: 底部
- 609: 側壁
- 800: 裝置
- 801: 第一層
- 801': 頂表面
- 802: 第二層
- 802': 頂表面
- 804: 襯膜
- 805: 金屬膜
- 805': 頂表面
- 806: 填充材料
- 806': 頂表面

808: 底部

809: 側壁

900: 裝置

901: 源極/汲極區域

902: 閘極區域

903: 金屬填充區域

905: 埋入式功率軌

1000: 裝置

1001: 第一層

1001': 頂表面

1002: 第二層

1005: 金屬膜

1005': 頂表面

1007: 底部

1009: 側壁

【發明申請專利範圍】

【請求項1】 一種金屬化方法，該方法包含：

接收有著一凹入部形成於其中的一基板，該凹入部有著一底部及側壁；

沉積一共形襯裡在該凹入部之該底部及該等側壁之上；

自該凹入部之一上部份移除該共形襯裡，俾以暴露該凹入部之上側壁，而留下在該凹入部之一下部份之中覆蓋該凹入部之該底部及下側壁的該共形襯裡；以及

在該凹入部之該下部份之中選擇性地沉積一金屬以形成一金屬化特徵部，其包含了該金屬、以及在該凹入部之該下部份中的該共形襯裡，其中選擇性地沉積該金屬的步驟係包含僅在該共形襯裡上方沉積一自組裝單層，以及僅在該自組裝單層上沉積一金屬，該自組裝單層係用於金屬成核的一前驅物。

【請求項2】 如請求項1之金屬化方法，其中該移除該共形襯裡的步驟包含：

沉積一材料以覆蓋在該凹入部之該下部份之中的該共形襯裡；以及

相對於在該凹入部之該下部份之中覆蓋該共形襯裡的該材料，自該凹入部之該上部份選擇性蝕刻該共形襯裡。

【請求項3】 如請求項2之金屬化方法，其中該沉積一材料的步驟包含：
沉積一金屬，該金屬將在該凹入部之該下部份之中形成該金屬化特徵部之

一部份；或者沉積一阻斷材料，該阻斷材料不會在該凹入部之該下部份之中形成該金屬化特徵部之一部份。

【請求項4】如請求項1之金屬化方法，進一步包含使用一自對準單層對該凹入部之該等暴露上側壁進行表面處理，俾以相對於該等暴露側壁促進該金屬的選擇性沉積。

【請求項5】一種基板處理方法，該方法包含：

接收一基板，其有著界定一凹入特徵部的一圖案化第一層，該凹入特徵部界定了一底部及側壁；

在該基板之上沉積一襯膜，該襯膜共形地對未覆蓋表面加襯；

實施一初始金屬沉積製程，而在該凹入特徵部之側壁的下部份之上，與該凹入特徵部之側壁的上部份相比，沉積相對較多的金屬；

將初始金屬沉積物凹入至在該凹入特徵部之內的一預定深度，導致一凹入金屬沉積物；

自該基板將該襯膜的未覆蓋部份移除，而留下將該凹入部之該底部及下側壁覆蓋的該襯膜的覆蓋部份；以及

藉由一區域選擇性沉積製程將該金屬選擇性沉積在該凹入金屬沉積物之上，該區域選擇性沉積製程係相對於該基板的其餘部分而僅在該凹入金屬沉積物之上沉積該金屬。

【請求項6】如請求項5之基板處理方法，其中該區域選擇性沉積製程將在該凹入金屬沉積物之中的空隙加以填充。

【請求項7】如請求項5之基板處理方法，其中該區域選擇性沉積製程藉由減少該凹入金屬沉積物的一橫剖面輪廓的凹度而改變該凹入金屬沉積物的一橫剖面輪廓。

【請求項8】如請求項5之基板處理方法，其中該基板進一步包含在該第一層下方的一第二層，該第一層有著延伸進入該第二層的該凹入特徵部。

【請求項9】如請求項8之基板處理方法，其中：

該第一層係一介電材料；並且

該第二層係一半導體材料。

【請求項10】如請求項9之基板處理方法，其中：

該第一層係氧化矽；

該第二層係矽。

【請求項11】如請求項5之基板處理方法，其中該區域選擇性沉積製程包含：

直接沉積一自組裝單層在該第一層之未覆蓋部份之上，該自組裝單層減少了在該第一層之上的金屬成核；以及

實施一金屬沉積製程，該金屬選擇性沉積在該凹入金屬沉積物之上。

【請求項12】 如請求項5之基板處理方法，其中該區域選擇性沉積製程包含：

將一自組裝單層直接沉積在該凹入金屬沉積物的上方，該自組裝單層係用於金屬成核的一前驅物；以及

實施一金屬沉積製程，該金屬選擇性沉積在該凹入金屬沉積物之上。

【請求項13】 如請求項5之基板處理方法，進一步包含：

清潔該基板以移除非選擇性沉積在該第一層之未覆蓋部份之上的金屬。

【請求項14】 一種基板處理方法，該方法包含：

接收一基板，其有著界定一凹入特徵部的一圖案化第一層，該凹入特徵部界定一底部及側壁；

將一襯膜沉積在該基板之上，該襯膜對未覆蓋表面共形地加襯；

以一填充材料填充該凹入特徵部，並且將該填充材料凹入至一預定深度，剩餘填充材料將該襯膜的一部份覆蓋；

自該基板將該襯膜之未覆蓋部份移除，使得該剩餘襯膜對該凹入特徵部之底部及部份的側壁加以加襯；

移除該剩餘填充材料，使該剩餘襯膜不被覆蓋；以及

藉由一區域選擇性沉積製程將一金屬選擇性沉積在該剩餘襯膜上方，該區域選擇性沉積製程係相對於該基板的其餘部分而僅在該剩餘襯膜之上沉積該金屬，其中該區域選擇性沉積製程係包含僅在該剩餘襯膜上方沉積一自組裝單層，以及僅在該自組裝單層上沉積該金屬，該自組裝單層係用於金屬成核的一前驅物。

【請求項15】 如請求項14之基板處理方法，其中該基板進一步包含在該第一層下方的一第二層，該第一層有著延伸進入該第二層的該凹入特徵部。

【請求項16】 如請求項15之基板處理方法，其中：

該第一層係一介電材料；並且

該第二層係一半導體材料。

【請求項17】 如請求項16之基板處理方法，其中：

該第一層係氧化矽；並且

該第二層係矽。

【請求項18】 如請求項14之基板處理方法，其中該區域選擇性沉積製程包含：

直接沉積一自組裝單層在該第一層之未覆蓋部份之上，該自組裝單層減少了在該第一層之上的金屬成核；以及

實施一金屬沉積製程，該金屬選擇性沉積在該剩餘襯膜之上。

【請求項19】 如請求項14之基板處理方法，進一步包含：

清潔該基板以移除非選擇性沉積在該第一層之未覆蓋部份之上的金屬。

【發明圖式】

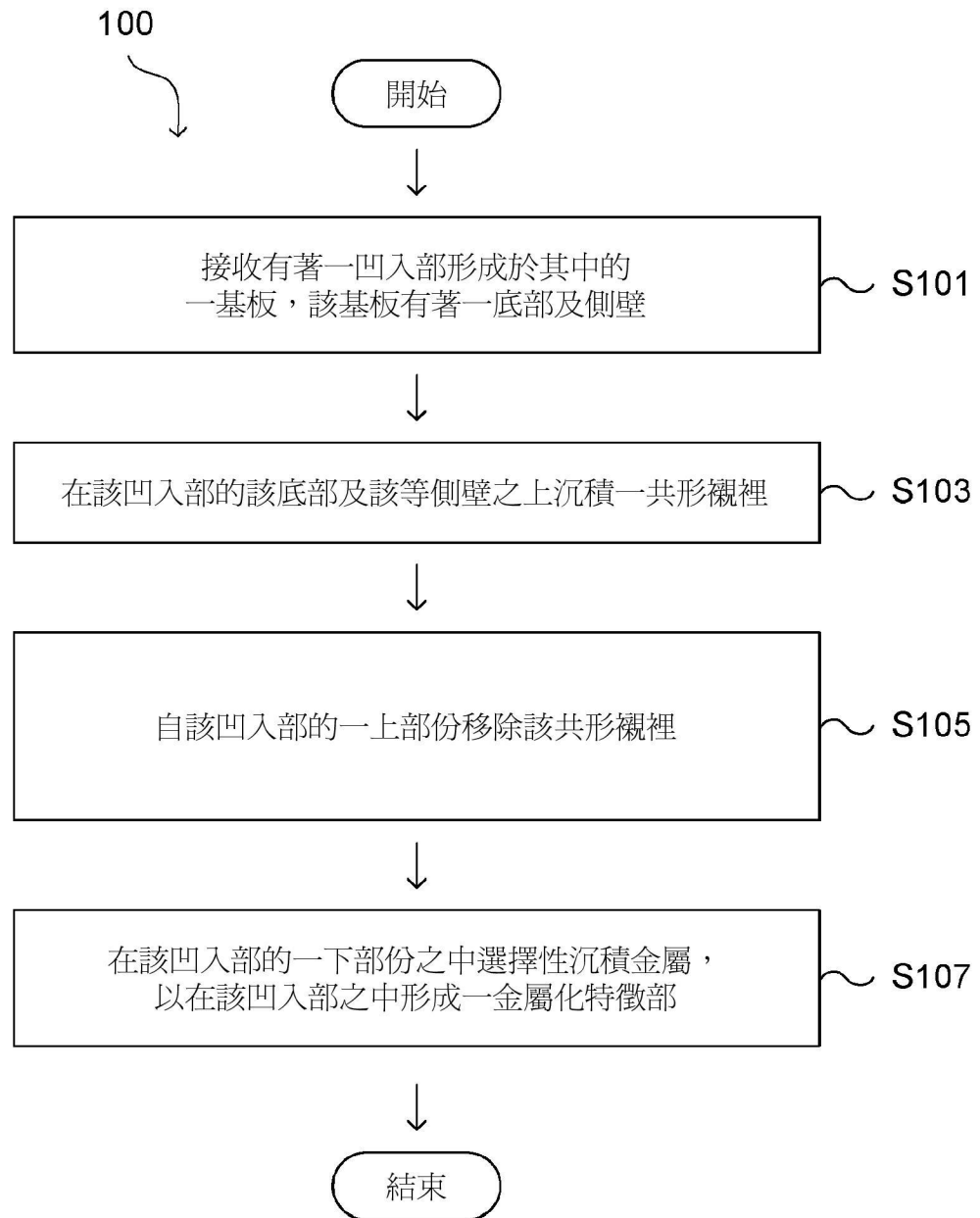


圖 1

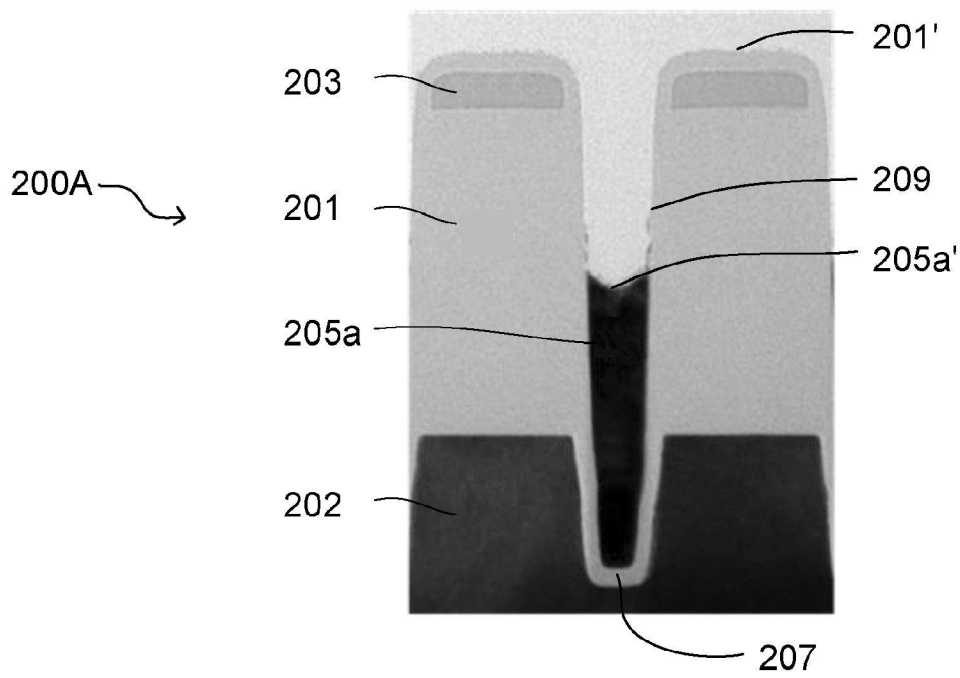


圖 2A

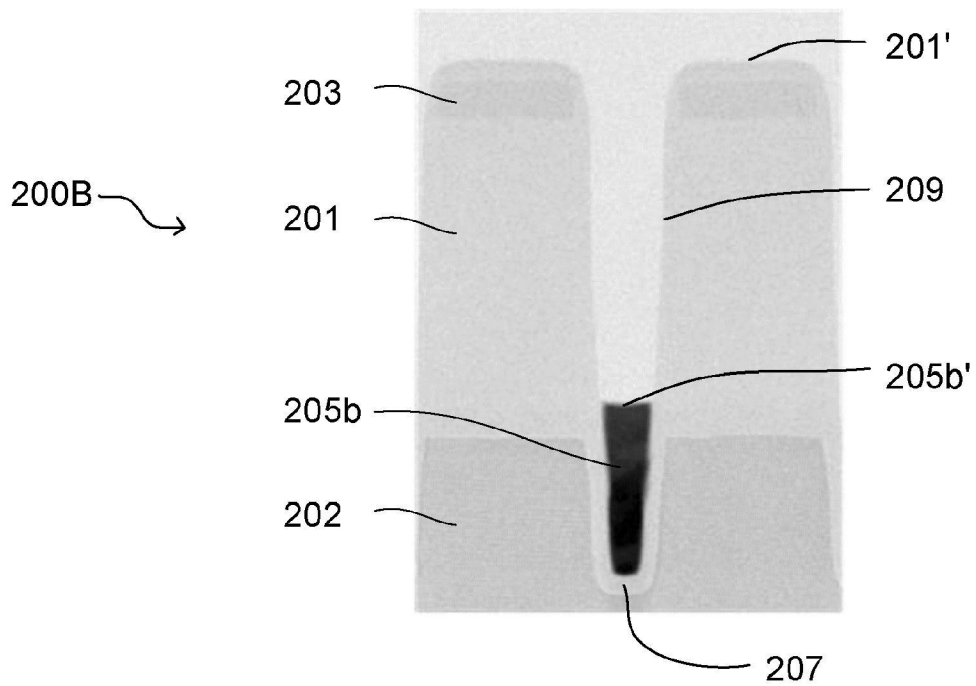


圖 2B

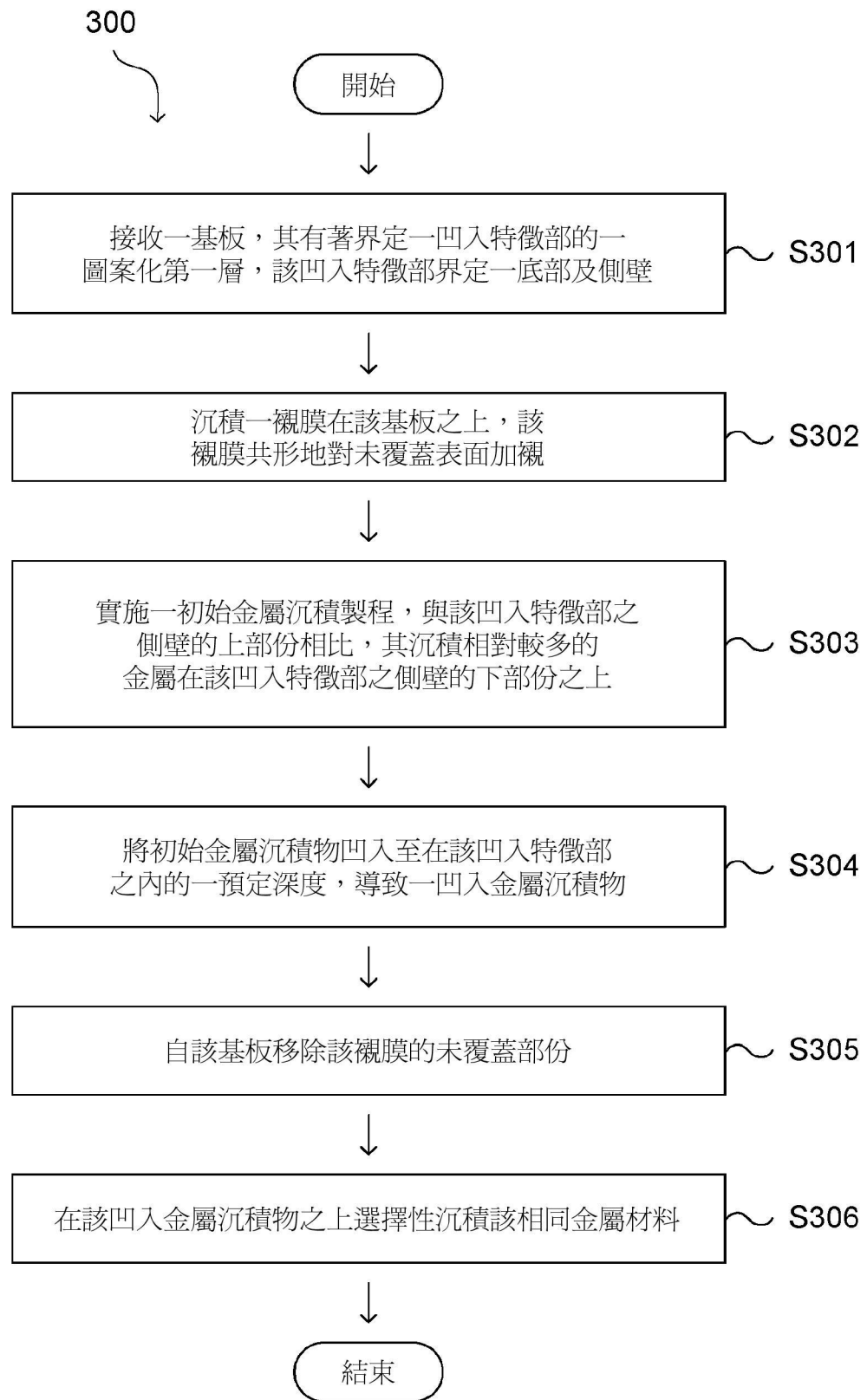


圖 3

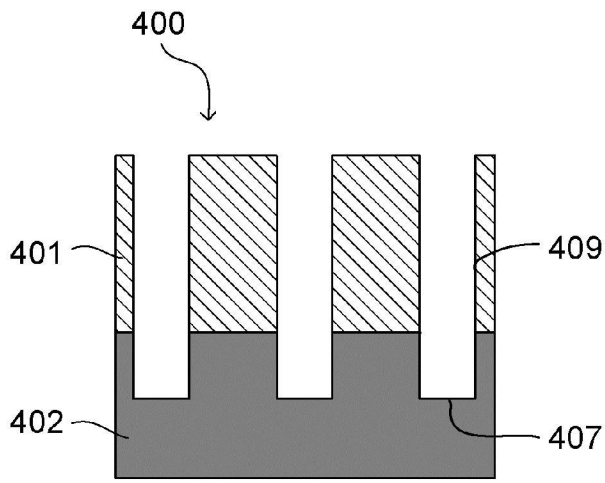


圖 4A

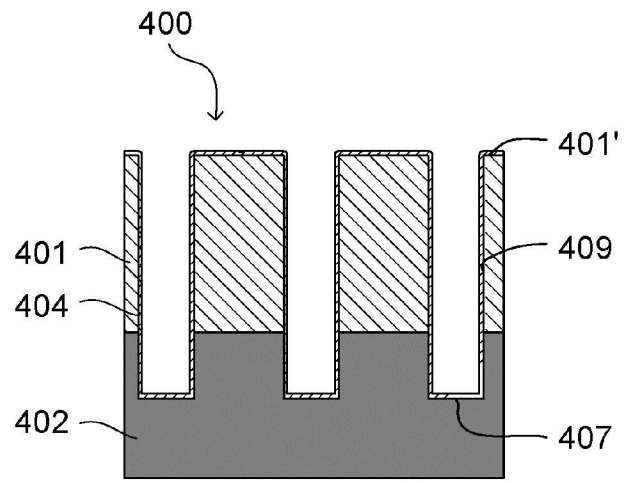


圖 4B

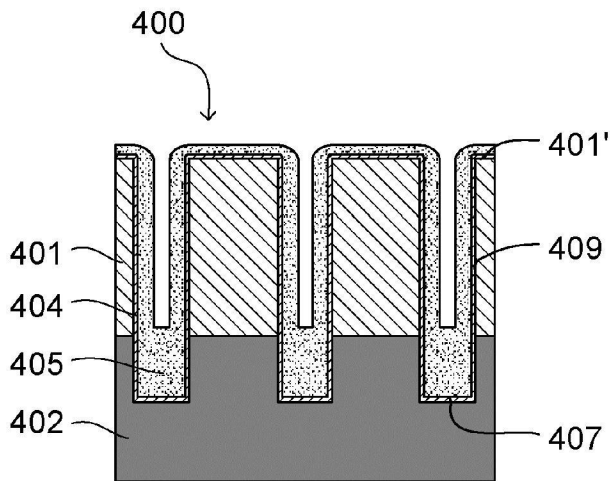


圖 4C

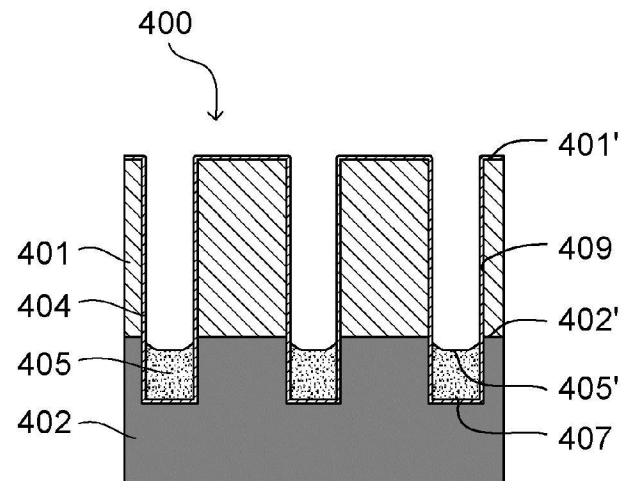


圖 4D

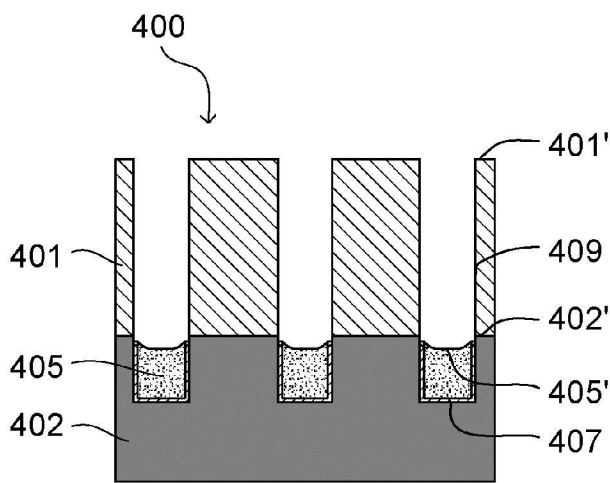


圖 4E

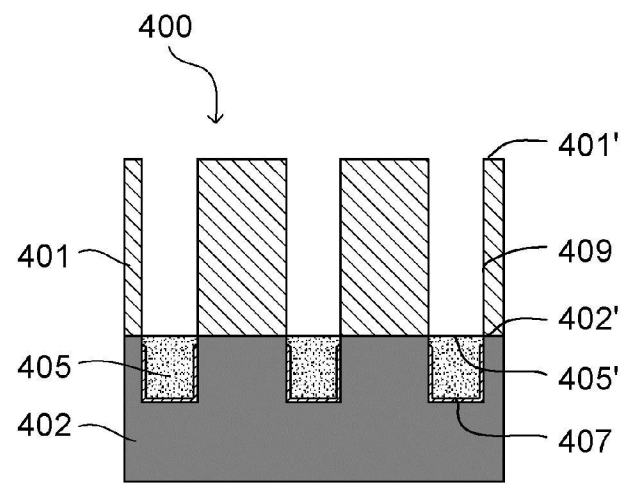


圖 4F

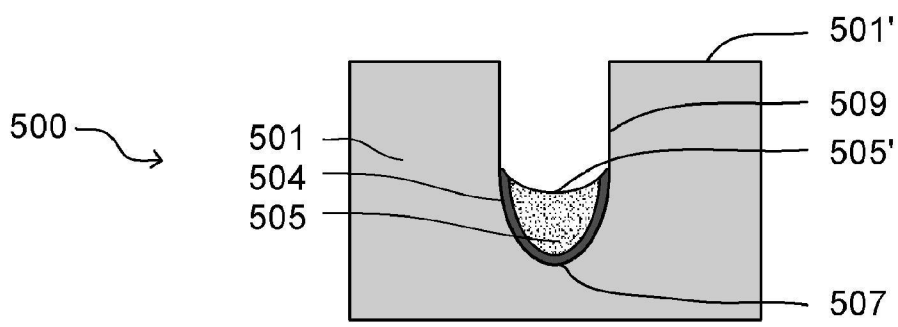


圖 5A

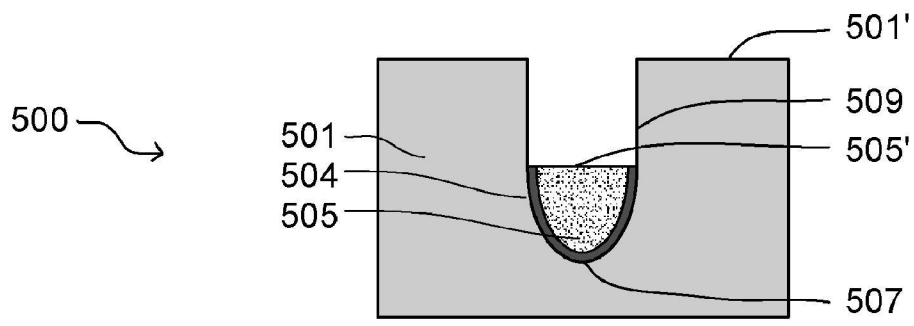


圖 5B

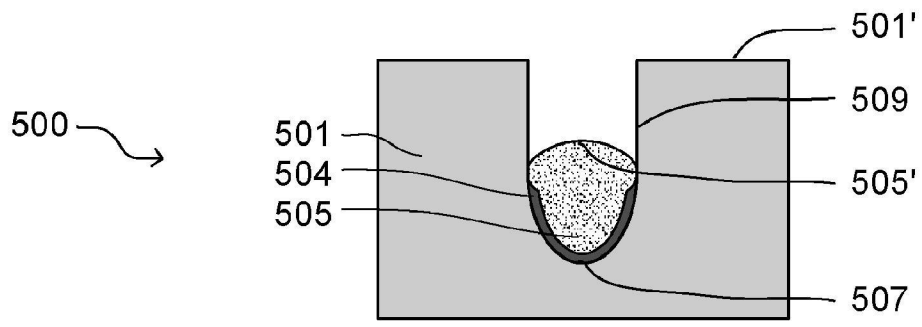


圖 5C



增加
沉積時間

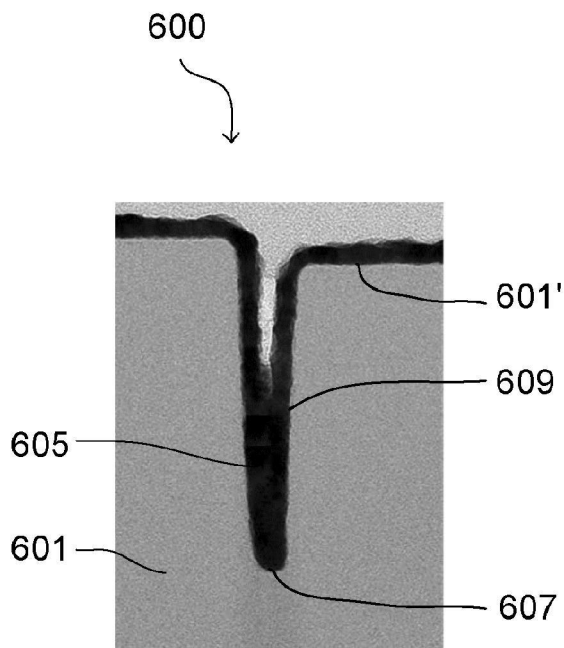


圖 6A

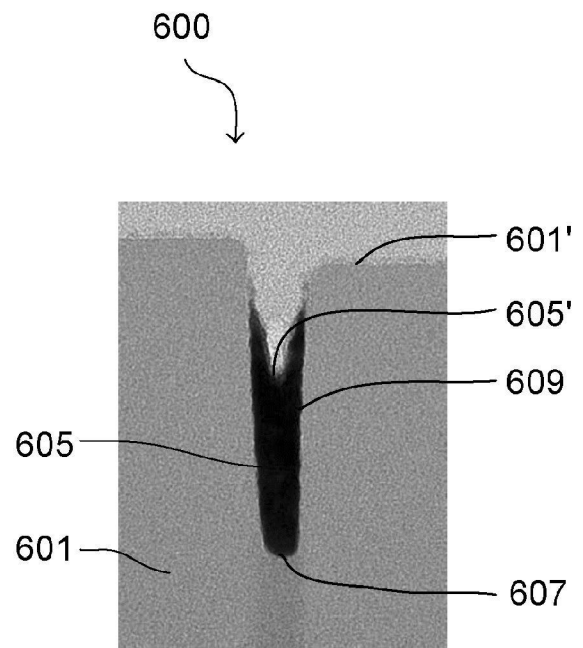


圖 6B

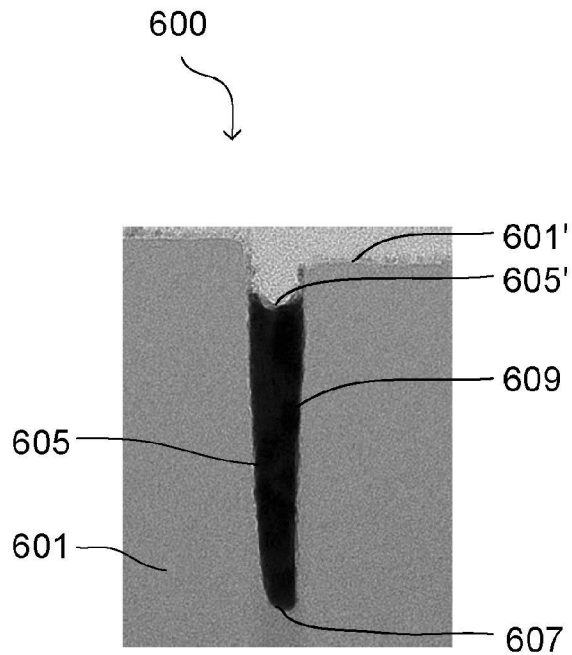


圖 6C

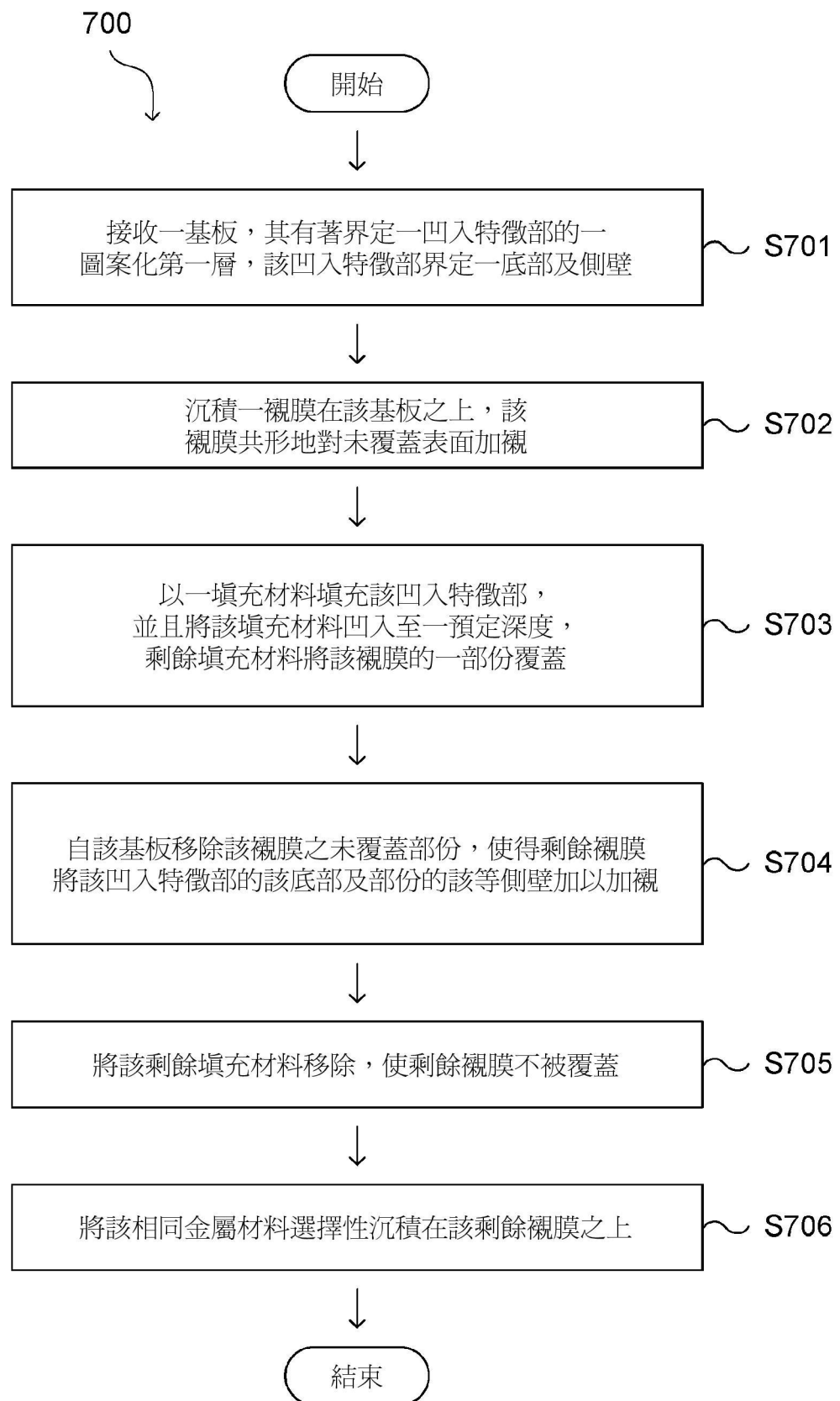


圖 7

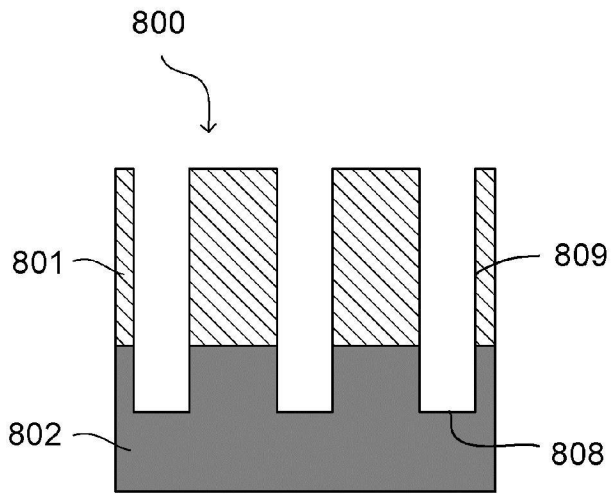


圖 8A

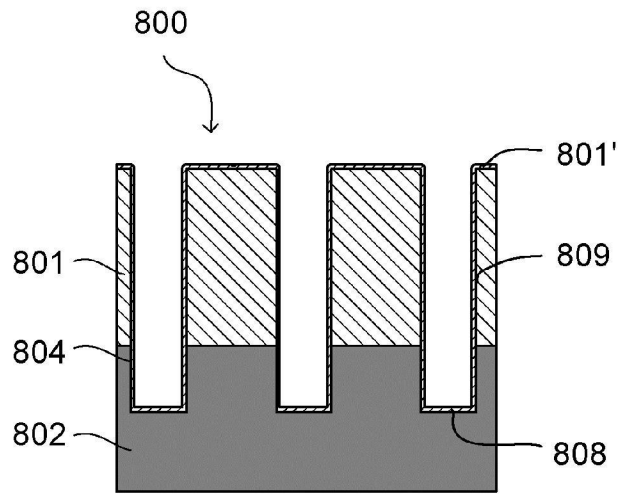


圖 8B

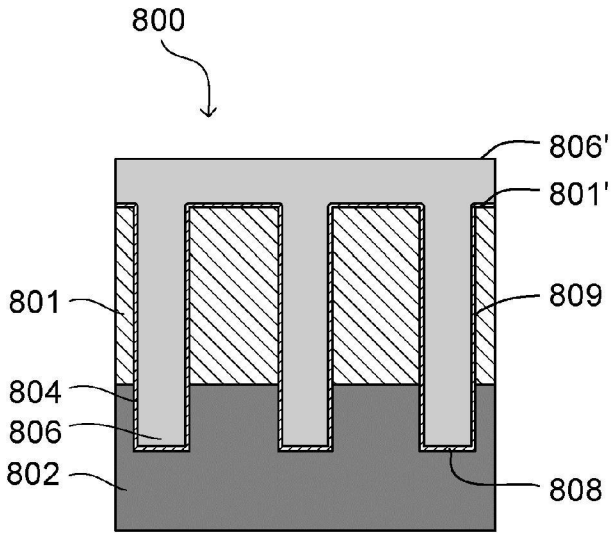


圖 8C

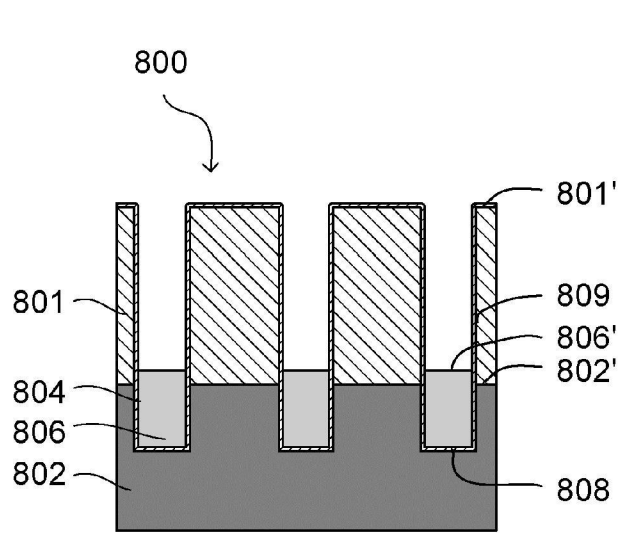


圖 8D

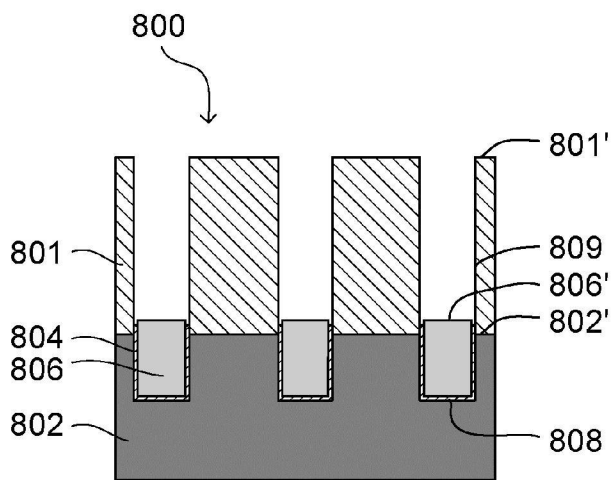


圖 8E

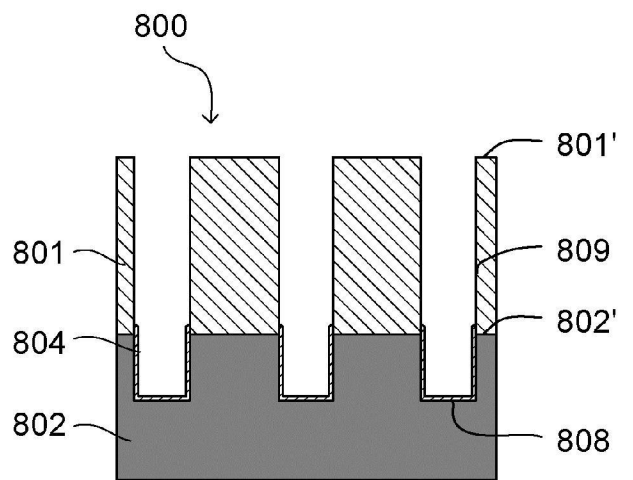


圖 8F

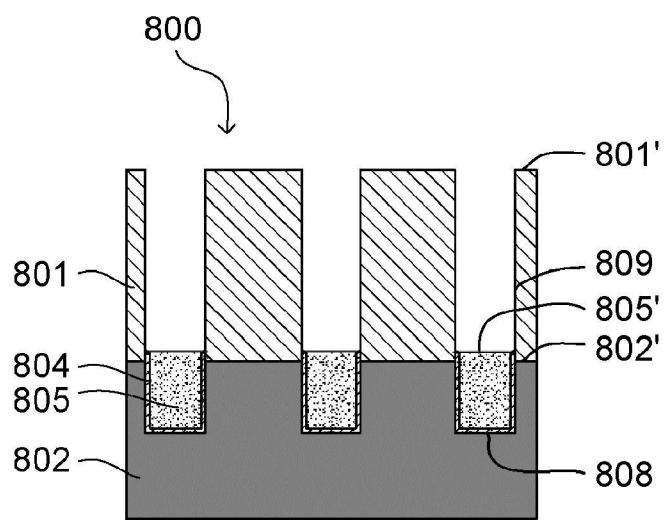


圖 8G

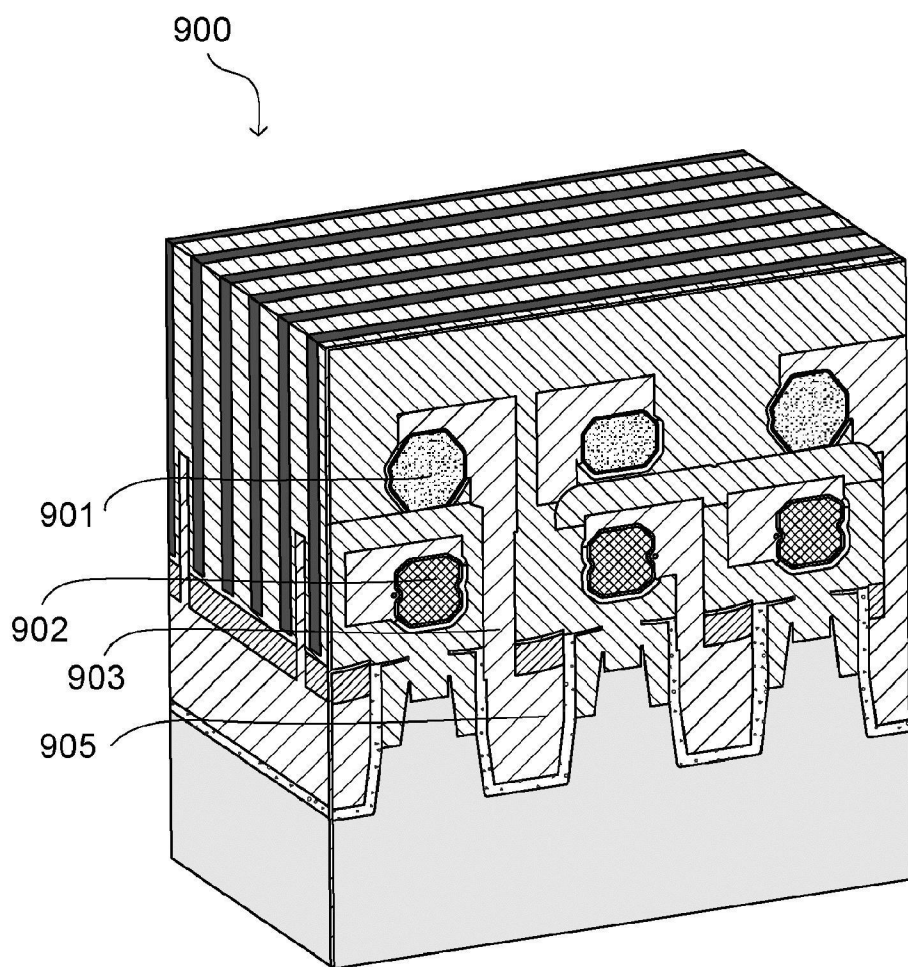


圖 9

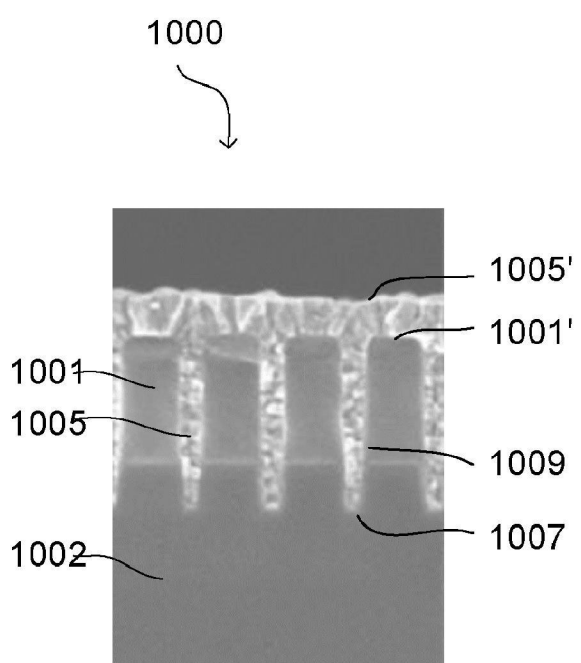


圖 10A

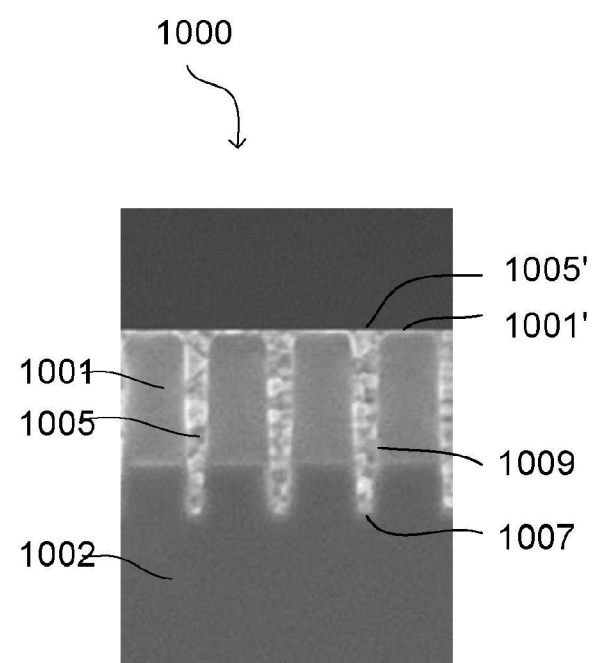


圖 10B

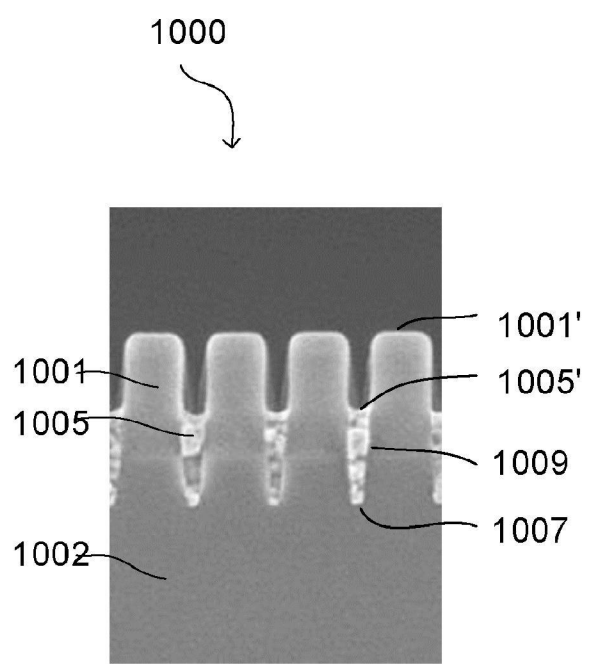


圖 10C