

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5688375号  
(P5688375)

(45) 発行日 平成27年3月25日 (2015. 3. 25)

(24) 登録日 平成27年1月30日 (2015. 1. 30)

(51) Int. Cl.

F I

H O 1 L 27/10 (2006. 01)

H O 1 L 27/10 4 2 1

H O 3 K 19/173 (2006. 01)

H O 3 K 19/173 1 0 1

H O 3 K 19/177 (2006. 01)

H O 3 K 19/177

H O 1 L 27/105 (2006. 01)

H O 1 L 27/10 4 6 1

H O 1 L 45/00 (2006. 01)

H O 1 L 27/10 4 4 8

請求項の数 26 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2011-546282 (P2011-546282)  
 (86) (22) 出願日 平成22年1月7日 (2010. 1. 7)  
 (65) 公表番号 特表2012-515449 (P2012-515449A)  
 (43) 公表日 平成24年7月5日 (2012. 7. 5)  
 (86) 国際出願番号 PCT/US2010/020327  
 (87) 国際公開番号 W02010/083087  
 (87) 国際公開日 平成22年7月22日 (2010. 7. 22)  
 審査請求日 平成24年12月27日 (2012. 12. 27)  
 (31) 優先権主張番号 12/354, 121  
 (32) 優先日 平成21年1月15日 (2009. 1. 15)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 597154922  
 アルテラ コーポレーション  
 Altera Corporation  
 アメリカ合衆国 95134 カリフォル  
 ニア州 サン ホセ イノベーション ド  
 ライヴ 101  
 (74) 代理人 100078282  
 弁理士 山本 秀策  
 (74) 代理人 100062409  
 弁理士 安村 高明  
 (74) 代理人 100113413  
 弁理士 森下 夏樹

最終頁に続く

(54) 【発明の名称】 相変化メモリデバイスを含む分圧器を含む不揮発性メモリ回路

(57) 【特許請求の範囲】

【請求項 1】

メモリ回路であって、該メモリ回路は、分圧器であって、該分圧器は、第一相変化メモリ (PCM) デバイスと、該第一 PCM デバイスに結合された第二 PCM デバイスとを含む、分圧器と、該分圧器に結合されたハーフラッチと、該ハーフラッチおよび該分圧器に結合されたカスケードトランジスタとを含み、該ハーフラッチは、オーバードライブ電圧端子に結合され、

更に、該カスケードトランジスタの第一端子は、該ハーフラッチの出力ノードに結合さ  
れ、該カスケードトランジスタの第二端子は、該ハーフラッチの入力ノードに結合され、  
該カスケードトランジスタの第三端子は、該オーバードライブ電圧端子に直接結合され、  
該第一端子は、該カスケードトランジスタのゲート端子である、メモリ回路。

【請求項 2】

請求項 1 のメモリ回路であって、前記第一 PCM デバイスはセット抵抗の状態にあり、前  
 記第二 PCM デバイスはリセット抵抗の状態にある、メモリ回路。

【請求項 3】

請求項 2 のメモリ回路であって、

前記分圧器は、更に、

前記第一 P C M デバイスに結合された第一スイッチと、

該第一スイッチおよび前記第二 P C M デバイスに結合された第二スイッチとを含む、メモリ回路。

【請求項 4】

請求項 3 のメモリ回路であって、

前記ハーフラッチは、p チャンネル金属酸化物半導体 ( P M O S ) トランジスタに直列で結合された n チャンネル金属酸化物半導体 ( N M O S ) トランジスタを含む相補型金属酸化物半導体 ( C M O S ) インバータを含み、該ハーフラッチの前記入力ノードは、該 N M O S トランジスタのゲートおよび該 P M O S トランジスタのゲートに結合され、

前記カスケードトランジスタは P M O S トランジスタであり、該カスケードトランジスタの前記第二端子は、該カスケードトランジスタのドレイン端子であり、該カスケードトランジスタの前記第三端子は、該カスケードトランジスタのソース端子であり、

前記第一スイッチは N M O S トランジスタであり、そして

前記第二スイッチは N M O S トランジスタである、メモリ回路。

【請求項 5】

請求項 4 のメモリ回路であって、更に、

前記分圧器に結合されたアドレスラインスイッチと、

該分圧器と前記ハーフラッチとの間に結合されたリードラインスイッチとを含む、メモリ回路。

【請求項 6】

請求項 5 のメモリ回路であって、更に、

前記ハーフラッチの出力ノードに結合されたパスゲートトランジスタ

を含む、メモリ回路。

【請求項 7】

請求項 5 のメモリ回路であって、前記アドレスラインスイッチは N M O S トランジスタであり、前記リードラインスイッチは N M O S トランジスタである、メモリ回路。

【請求項 8】

請求項 1 のメモリ回路であって、前記第一 P C M デバイスおよび前記第二 P C M デバイスは柱状セルメモリデバイスである、メモリ回路。

【請求項 9】

請求項 1 のメモリ回路を含む分散メモリ。

【請求項 10】

請求項 1 のメモリ回路を含むプログラマブルロジックデバイス。

【請求項 11】

請求項 1 のメモリ回路を含むプログラマブルロジックデバイスを含むデジタルシステム。

【請求項 12】

メモリ回路を動作させる方法であって、該方法は、

第一相変化メモリ ( P C M ) デバイスを第一抵抗状態にセットすることと、

第二 P C M デバイスを第二抵抗状態にセットすることであって、該第一 P C M デバイスおよび該第二 P C M デバイスは、分圧器構成において結合されている、ことと、

該分圧器に結合されたハーフラッチを用いることと、

該ハーフラッチおよび該分圧器に結合されたカスケードトランジスタを用いることとを含む、

該ハーフラッチは、オーバードライブ電圧端子に結合され、

更に、該カスケードトランジスタの第一端子は、該ハーフラッチの出力ノードに結合され、該カスケードトランジスタの第二端子は、該ハーフラッチの入力ノードに結合され、該カスケードトランジスタの第三端子は、該オーバードライブ電圧端子に直接結合され、該カスケードトランジスタの第一端子は、該カスケードトランジスタのゲート端子である、方法。

10

20

30

40

50

## 【請求項 13】

請求項 12 の方法であって、前記第一 P C M デバイスをセットすることと、前記第二 P C M デバイスをセットすることとは、前記メモリ回路に結合されたアドレススイッチラインの 1 つのクロックサイクル内で起こる、方法。

## 【請求項 14】

請求項 12 の方法であって、前記第一抵抗状態はセット抵抗状態であり、前記第二抵抗状態はリセット抵抗状態である、方法。

## 【請求項 15】

請求項 14 の方法であって、更に、

前記第一 P C M デバイ스에結合された第一スイッチをオンに切り替えることと、  
該第一スイッチおよび前記第二 P C M デバイ스에結合された第二スイッチをオンに切り替えることと

を含み、パスゲートが該第一スイッチを該第二スイッチに結合するノードに結合されている、方法。

## 【請求項 16】

請求項 15 の方法であって、更に、

前記第一 P C M デバイスおよび前記第二 P C M デバイスをセットすることを可能にするためにアドレスラインスイッチをオンに切り替えること

を含む、方法。

## 【請求項 17】

請求項 16 の方法であって、

前記第一 P C M デバイスをセットすることは、該第一 P C M デバイ스에第一パルスを印加することを含み、

前記第二 P C M デバイスをセットすることは、該第二 P C M デバイ스에第二パルスを印加することを含み、該第一パルスは該第二パルスよりも持続時間が長い、方法。

## 【請求項 18】

請求項 15 の方法であって、更に、

第一端子で前記ノードに結合され、第二端子で前記パスゲートに結合されたハーフラッチに結合されたりードラインスイッチをオンに切り替えることと、

該リードラインスイッチの該第二端子での信号を該ハーフラッチの入力端子に印加することと、

該パスゲートに該ハーフラッチの出力を印加することと

を含む、方法。

## 【請求項 19】

請求項 18 の方法であって、

前記カスケードトランジスタの第二端子は、前記リードラインスイッチの前記第二端子に結合されている、方法。

## 【請求項 20】

メモリ回路であって、該メモリ回路は、

分圧器であって、該分圧器は、

第一相変化メモリ ( P C M ) デバイスであって、該第一 P C M デバイスはセット抵抗状態にある、第一 P C M デバイスと、

該第一 P C M デバイ스에結合された第一スイッチと、

該第一スイッチに結合された第二スイッチと、

該第二スイッチに結合された第二 P C M デバイスであって、該第二 P C M デバイスはリセット抵抗状態にある、第二 P C M デバイスと

を含む、分圧器と、

該分圧器に結合されたハーフラッチと、

該ハーフラッチおよび該分圧器に結合されたカスケードトランジスタと

を含み、

10

20

30

40

50

該ハーフラッチは、オーバードライブ電圧端子に結合され、  
更に、該カスケードトランジスタの第一端子は、該ハーフラッチの出力ノードに結合され、  
該カスケードトランジスタの第二端子は、該ハーフラッチの入力ノードに結合され、  
該カスケードトランジスタの第三端子は、該オーバードライブ電圧端子に直接結合され、  
該第一端子は、該カスケードトランジスタのゲート端子である、メモリ回路。

【請求項 2 1】

請求項 2 0 のメモリ回路であって、

前記ハーフラッチは、pチャンネル金属酸化物半導体（PMOS）トランジスタに直列で結合されたnチャンネル金属酸化物半導体（NMOS）トランジスタを含む相補型金属酸化物半導体（CMOS）インバータを含み、該ハーフラッチの入力ノードは、該NMOSトランジスタのゲートおよび該PMOSトランジスタのゲートに結合され、

前記カスケードトランジスタは、PMOSトランジスタであり、該カスケードトランジスタの前記第二端子は、該カスケードトランジスタのドレイン端子であり、該カスケードトランジスタの前記第三端子は、該カスケードトランジスタのソース端子であり、

前記第一スイッチは、NMOSトランジスタであり、そして

前記第二スイッチは、NMOSトランジスタである、メモリ回路。

【請求項 2 2】

請求項 2 1 のメモリ回路であって、更に、

前記分圧器に結合されたアドレスラインスイッチと、

該分圧器と前記ハーフラッチとの間に結合されたりードラインスイッチと

を含み、該アドレスラインスイッチはNMOSトランジスタであり、該リードラインスイッチはNMOSトランジスタである、メモリ回路。

【請求項 2 3】

請求項 2 0 のメモリ回路であって、更に、

前記ハーフラッチの出力ノードに結合されたパスゲートトランジスタ

を含む、メモリ回路。

【請求項 2 4】

請求項 2 0 のメモリ回路を含む分散メモリ。

【請求項 2 5】

請求項 2 0 のメモリ回路を含むプログラマブルロジックデバイス。

【請求項 2 6】

請求項 2 0 のメモリ回路を含むプログラマブルロジックデバイスを含むデジタルシステム。

【発明の詳細な説明】

【技術分野】

【0001】

（背景）

本発明はメモリ回路に関する。

【背景技術】

【0002】

プログラマブルロジックデバイス（PLD）（また、時々コンプレックスPLD（CPLD）、プログラマブルアレイロジック（PAL）、プログラマブルロジックアレイ（PLA）、フィールドPLA（FPLA）、消去可能PLD（EPLD）、電氣的消去可能PLD（EEPLED）、ロジックセルアレイ（LCA）、フィールドプログラマブルゲートアレイ（FPGA）、または他の名称により呼ばれる）は、固定された集積回路（IC）の利点とカスタムICの柔軟性を提供する周知のICである。このようなデバイスは、典型的に、ユーザの特定のニーズに合うようにプログラムできる部分を少なくとも有する“規格品”デバイスを提供する。特定用途向け集積回路（ASIC）は、従来固定されたICである。しかし、プログラマブルな単数の部分または複数の部分を有するASICを提供することは可能である。そのため、ICデバイスがASICおよびPLD両方の特性

10

20

30

40

50

を有することは可能である。この明細書で使用される P L D という用語は、このようなデバイスを含むために充分広いとみなされる。

【 0 0 0 3 】

P L D は、プログラムまたはリプログラムされ得るコンフィギュレーション要素を有する。コンフィギュレーション要素に新規データを入力することは、P L D のロジック機能および関連するルーティング経路をプログラムまたはリプログラムする。フィールドプログラマブルなコンフィギュレーション要素は、しばしばランダムアクセスメモリ ( R A M ) セルとしてインプリメントされ、P L D の R A M セルは時々 “ コンフィギュレーション R A M ” ( C R A M ) と呼ばれる。C R A M は、一般的に 6 トランジスタスタティック R A M ( 6 T - S R A M ) としてインプリメントされる。そのため、C R A M は、一般的に S R A M を指す。このため、C R A M という用語は、この明細書では、S R A M としてインプリメントされるコンフィギュレーションメモリを指すために使用される。

10

【 0 0 0 4 】

C R A M は、いくつかの不都合な点を被る。第一に、C R A M は、ソフトエラー ( これらは時々 “ ワンオフエラー ” と呼ばれる ) に影響を受けやすい。ソフトエラー率 ( S E R ) は、コンポーネントデバイスのサイズが低減されるか、コンポーネントデバイスに印加される電圧 ( 例えば、V c c ) が低減されるにつれ上昇する。この結果、ソフトエラーは、C R A M に使用されるコンポーネントデバイスのサイズ、またはそのコンポーネントデバイスに印加される電圧を減縮ことを制限する。それゆえに、より大きいコンポーネントデバイス、およびより高い印加電圧が使用される。更に、時には、デバイスにより多くのキャパシタンスを加えるレイアウトが使用され、このことは C R A M がソフトエラーの影響を受けにくくする。これはレイアウトプロセスを複雑化する。第二に、C R A M は揮発性メモリであるため、P L D の電源がオンにされる度にコンフィギュレーションデータは C R A M にロードされ、保存されなければならない。これは P L D を準備することへ所望されない遅れの原因になる。

20

【 0 0 0 5 】

C R A M でのソフトエラーを修正する 1 つのやり方は、コンフィギュレーションデータをリロードすることである。これは、しかし、P L D の動作を中断することを要求する。ソフトエラーを修正する別のテクニックは、複数のリダンダンシー ( 例えば、3 重リダンダンシー ) を使用することである。これは、次には、より大きい C R A M ブロックを使用することを要求する。それに加えて、これらの両方法は、エラー検出方法の使用を要求する。

30

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 0 6 】

( 概要 )

1 つの側面では、本発明の実施形態は、第一相変化メモリ ( P C M ) デバイスおよび第一 P C M デバイスに結合された第二 P C M デバイスを有する分圧器を含むメモリ回路を提供する。1 つの実施形態では、第一 P C M デバイスはセット抵抗状態にあり、第二 P C M デバイスはリセット抵抗状態にある。また、1 つの実施形態では、分圧器は、更に、第一 P C M デバイスに結合された第一スイッチ、ならびに第一スイッチおよび第二 P C M デバイスに結合された第二スイッチを含む。1 つの実施形態では、メモリ回路は、更に、分圧器に結合されたハーフラッチ、ならびにハーフラッチおよび分圧器に結合されたカスケードトランジスタを含む。

40

【 0 0 0 7 】

本発明のメモリ回路の実施形態は、データを保存するために P C M デバイスを使用するため、これは、C R A M よりもソフトエラーの影響を受けにくい。更に、本発明のメモリ回路の実施形態は不揮発性であり、コンフィギュレーション時間を減らす。外部フラッシュメモリおよび内部ブロックメモリの両方は、提案された分散コンフィギュレーション P C M ( C P C M ) メモリセルと比較して遅いコンフィギュレーション時間を有する。

50

本発明は、例えば、以下の項目も提供する。

(項目1)

メモリ回路であって、

第一相変化メモリ (PCM) デバイス、および

該第一PCMデバイスに結合された第二PCMデバイス

を含む分圧器

を含む、メモリ回路。

(項目2)

項目1のメモリ回路であって、上記第一PCMデバイスはセット抵抗の状態にあり、上記第二PCMデバイスはリセット抵抗の状態にある、メモリ回路。

10

(項目3)

項目2のメモリ回路であって、

上記分圧器は、更に、

上記第一PCMデバイスに結合された第一スイッチ、および

該第一スイッチおよび上記第二PCMデバイスに結合された第二スイッチ

を含む、メモリ回路。

(項目4)

項目3のメモリ回路であって、更に、

上記分圧器に結合されたハーフラッチ、および

該ハーフラッチおよび該分圧器に結合されたカスケードトランジスタ

を含む、メモリ回路。

20

(項目5)

項目4のメモリ回路であって、

上記ハーフラッチは、pチャンネル金属酸化物半導体 (PMOS) トランジスタに直列で結合されたnチャンネル金属酸化物半導体 (NMOS) トランジスタを含む相補型金属酸化物半導体 (CMOS) インバータを含み、該ハーフラッチの入力ノードは、該NMOS トランジスタのゲートおよび該PMOS トランジスタのゲートに結合され、

上記カスケードトランジスタはPMOS トランジスタであり、そのトランジスタのゲートは該ハーフラッチの出力ノードに結合され、そのトランジスタのドレインは、該ハーフラッチの該入力ノードに結合され、

30

上記第一スイッチはNMOS トランジスタであり、そして

上記第二スイッチはNMOS トランジスタである、メモリ回路。

(項目6)

項目5のメモリ回路であって、更に、

上記分圧器に結合されたアドレスラインスイッチ、および

該分圧器と上記ハーフラッチの間に結合されたリードラインスイッチ

を含む、メモリ回路。

(項目7)

項目6のメモリ回路であって、更に、

上記ハーフスイッチの出力ノードに結合されたパスゲートトランジスタ

を含む、メモリ回路。

40

(項目8)

項目6のメモリ回路であって、上記アドレスラインスイッチはNMOS トランジスタであり、上記リードラインスイッチはNMOS トランジスタである、メモリ回路。

(項目9)

項目1のメモリ回路であって、上記第一PCMデバイスおよび上記第二PCMデバイスは柱状セルメモリデバイスである、メモリ回路。

(項目10)

項目1のメモリ回路を含む分散メモリ。

(項目11)

50

項目 1 のメモリ回路を含むプログラマブルロジックデバイス。( 項目 1 2 )項目 1 のメモリ回路を含むプログラマブルロジックデバイスを含むデジタルシステム。**【図面の簡単な説明】****【 0 0 0 8 】**

発明の新しい特色は、添付の特許請求範囲に示される。しかし、説明の目的で、発明の特定の実施形態のいくつかの側面は、次の図面への参照により記述される。

**【図 1】**図 1 は、本発明のメモリ回路の 1 つの実施形態のブロック図である。

**【図 2】**図 2 は、本発明のメモリ回路の別の実施形態の詳細な図である。

**【図 3】**図 3 A および図 3 B は、図 1 および図 2 のメモリ回路の相変化メモリデバイスをプログラミングするための例示的なタイミング図である。

**【図 4】**図 4 は、例示的な P L D を含む例示的なデータ処理システムを示し、例示的な P L D には、本発明の実施形態に従ったメモリ回路がインプリメントされ得る。

**【発明を実施するための形態】****【 0 0 0 9 】****( 詳細説明 )**

次の記述は、当業者が発明を作成および使用することを可能にするように示され、特定の用途およびそれらの必須条件の脈絡で提供される。例示的な実施形態への様々な改変は当業者に直ちに明白であり、この明細書で定義される一般的な原理は、他の実施形態および用途に、発明の精神および範囲から離れることなく適用され得る。そのため、本発明は、示された実施形態に制限されるように意図されているのではなく、この明細書に開示される原理および機能と一貫する最も広い範囲を与えられるものである。

**【 0 0 1 0 】**

図 1 は、本発明のメモリ回路の 1 つの実施形態のブロック図である。図 1 では、メモリ回路 1 0 0 は、アドレスラインスイッチ 1 1 0、分圧器 1 2 0、リードラインスイッチ 1 3 0、ハーフラッチ 1 4 0、カスケードトランジスタ 1 5 0 (ハーフラッチ 1 4 0 とカスケードトランジスタ 1 5 0 の組み合わせは、この明細書ではセンスアンプと呼ばれ得る)、およびパスゲート 1 6 0 を含む。パスゲート 1 6 0 は、例えば、ルックアップテーブル ( L U T ) を構成するか、グローバルルーティングに使用するための 2 つの金属相互接続線を接続するために使用され得る。注意すべきは、メモリ回路 1 0 0 はパスゲート 1 6 0 を除くように定義され得ることである。代わりに、メモリ回路 1 0 0 は、アドレスラインスイッチ 1 1 0 およびパスゲート 1 6 0 を除くように定義され得る。メモリ回路 1 0 0 のようなメモリ回路は、時に不揮発性メモリセルと呼ばれることも注意すべきである。

**【 0 0 1 1 】**

分圧器 1 2 0 は、図 1 に示されるように直列に結合された P C M デバイス 1 2 1、スイッチ 1 2 2、スイッチ 1 2 8、および P C M デバイス 1 2 7 を含む。P C M デバイス 1 2 1 およびスイッチ 1 2 2 は、この明細書では、上部 P C M デバイス 1 2 1 および上部スイッチ 1 2 2 とそれぞれ呼ばれ得る。同様に、P C M デバイス 1 2 7 およびスイッチ 1 2 8 は、この明細書では、下部 P C M デバイス 1 2 7 および下部スイッチ 1 2 8 とそれぞれ呼ばれ得る。

**【 0 0 1 2 】**

1 つの実施形態では、ハーフラッチ 1 4 0 は、相補型金属酸化物半導体 ( C M O S ) インバータであり、これは p チャンネル金属酸化物半導体 ( P M O S ) トランジスタ 1 4 1 および n チャンネル金属酸化物半導体 ( N M O S ) トランジスタ 1 4 2 を含む。

**【 0 0 1 3 】**

1 つの実施形態では、アドレスラインスイッチ 1 1 0、リードラインスイッチ 1 3 0、スイッチ 1 2 2 およびスイッチ 1 2 8、ならびにパスゲート 1 6 0 は全て N M O S トランジスタであるのに対し、カスケードトランジスタ 1 5 0 は、P M O S トランジスタである。1 つの実施形態では、スイッチ 1 2 2 およびスイッチ 1 2 8 は、同じサイズの N M O S トランジスタである。

## 【0014】

1つの実施形態では、アドレスライン（AL）信号およびリードライン（RL）信号は、アドレスラインスイッチ110およびリードラインスイッチ130の状態をそれぞれ制御する。データライン（DL）信号は、アドレスラインスイッチ110へ入力される信号である。注意すべきはDL電圧およびDL電流の両方はアドレスラインスイッチ110に入力されることである。上部セレクトライン（TSL）信号および下部セレクトライン（BSL）信号は、上部スイッチ122および下部スイッチ128の状態をそれぞれ制御する。センス電圧（SV）信号は、図1に示されるように上部PCMデバイス121の1つの端子に印加される。オーバードライブ電圧（OV）信号は、図1に示されるようにハーフラッチ140およびカスケードトランジスタ150に印加される。OVは、所与の技術に対してゲート酸化物の全域に印加される最大の信頼可能な電圧と定義される。OVは、 $V_{cc}$ と $V_{od}$ の和である。 $V_{od}$ は、トランジスタ160の酸化物の厚さに依存し、トランジスタ160が $V_t$ （ $V_t$ はトランジスタの閾値電圧を表す）の降下なしにドレインからソースまで全電圧信号 $V_{cc}$ を通すことを可能にするために $V_{cc}$ に加えて必要とされる電圧を表す。言い換えれば、 $OV = V_{cc} + V_{od}$ である。

10

## 【0015】

1つの実施形態では、PCMデバイス121およびPCMデバイス127のそれぞれは、柱状セル構造を有するPCMデバイスである。また、1つの実施形態では、PCMデバイス121およびPCMデバイス127のそれぞれは、第一層、および第一層に接続された第2層を含むPCMデバイスである。1つの実施形態では、第一層は窒化チタン（TiN）の層を含む。このような第一層は、この明細書ではTiN層と呼ばれ得る。第二層は、ゲルマニウム（Ge）、アンチモン（Sb）、およびテルル（Te）、ならびに窒素（N）のカルコゲナイド合金の層を含み、ゲルマニウム（Ge）、アンチモン（Sb）、およびテルル（Te）は、集合的にGSTと呼ばれる。このような第二層は、この明細書ではGST：N層と呼ばれ得る。1つの実施形態では、PCMデバイス121のTiN層は、SVと結合された金属コンタクトに結合され、PCMデバイス121のGST：N層は、タングステン（W）から成るコンタクト（この明細書ではWプラグと呼ばれ得る）に結合される。このWプラグは、次には、上部スイッチ122のドレインと結合され得る。また、1つの実施形態では、PCMデバイス127のTiN層はグラウンドに結合されている金属コンタクトに結合され、PCMデバイス127のGST：N層は、Wプラグに結合される。このWプラグは、次には、下部スイッチ128のドレインに結合される。

20

30

## 【0016】

注意すべきは、柱状セル構造は、ある他のセル構造よりも少ないエリアを必要とすることである。別の実施形態では、PCMデバイスは水平セル構造を有し得、これは線状セル構造とも呼ばれ得る。

## 【0017】

1つの実施形態では、PCMデバイスは、メモリ回路のCMOSデバイスのためのCMOSプロセスと容易に統合される。

## 【0018】

1つの実施形態では、PCMデバイス121およびPCMデバイス127は、同じ材料で組み立てられ、同じ特徴およびレイアウトを有する。別の実施形態では、PCMデバイス121およびPCMデバイス127は、異なる材料で組み立てられ得、異なる特徴を有し得、異なるレイアウトを有し得る。

40

## 【0019】

1つの実施形態では、PCMデバイス121およびPCMデバイス127は、摂氏125度（ ）の温度で10年のデータリテンションを達成し得る。これは、いくつかのICに要求される85 から125 の温度での10年のデータリテンションを満たすか上回る。また、1つの実施形態では、PCMデバイス121およびPCMデバイス127は、 $10^7$ サイクルを超えるサイクルの耐久性を達成し得る。これは、いくつかのICに要求される $10^2$  から $10^3$  サイクルをはるかに超える。

50



## 【0020】

PCMデバイスは、SETの状態（すなわち、低抵抗状態）にあり得るか、RESETの状態（すなわち、高抵抗状態）にあり得る。PCMデバイスの重要なパラメータのいくつかは、保持電圧 $V_h$ 、閾値電圧 $V_{th}$ 、SET状態抵抗、およびRESET状態抵抗を含む。1つの実施形態では、PCMデバイスの初期状態または未使用状態は、RESET状態である。これは、PCMデバイス材料の低温堆積を介して達成され得、PLDのようなICを構成するときに大量のクローバ電流を回避することを可能にする。PCMデバイスの $V_{th}$ は、数ある中で、PCMデバイスの材料組成、材料の厚さ、およびPCMデバイスのセル構造に依存する。

## 【0021】

1つの実施形態では、SET状態抵抗は、RESET状態抵抗より約3のオーダー低い。別の実施形態では、SET状態抵抗は、RESET状態抵抗より約6のオーダー低い。注意すべきは、本発明の実施形態は、上記の例のSET状態抵抗およびRESET状態抵抗の比率に限られないことである。

## 【0022】

1つの実施形態では、デバイスに印加される電流を約0.2から0.7ミリアンペア（mA）に制限しながらPCMデバイスにその $V_{th}$ を超えるデバイス電圧を印加することは、PCMデバイスをRESET状態からSET状態に遷移させる。また、1つの実施形態では、0.7mAを超える電流を印加しながらPCMデバイスに $V_h$ より高く $V_{th}$ より低いデバイス電圧を印加することは、PCMデバイスをSET状態からRESET状態に遷移させる。注意すべきは、1つの実施形態では、SET状態からRESET状態に遷移するときに、PCMデバイスに印加された電流は早急に遮断されることである。これはPCMデバイス材料をアモルファス状態に保つことを可能にする。電流を早急に遮断されることは、PCMデバイス材料のいくらかを結晶化させ得、この結晶化は、PCMデバイスの抵抗を低減する。1つの実施形態では、PCMデバイスをセットまたはリセットするためにPCMデバイスに印加された電流パルスは、10ナノ秒（ns）のオーダーの短パルスである。そのため、1つの実施形態では、PCMデバイスのプログラミングスピードは、10ナノ秒のオーダーである。1つの実施形態では、電流パルス期間は、デバイスをSET状態にするためには約50nsであり、デバイスをRESET状態にするためには約20nsである。また、1つの実施形態では、AL信号の期間は約100nsである。

## 【0023】

メモリ回路100の1つの実施形態では、RESET状態抵抗は、1メガオーム（M）から1ギガオーム（G）の値域にあり、 $V_{th}$ は、所与の技術ノードに対して、OVをはるかに下回る。1つの実施形態では、 $V_{cc}$ は約1.2ボルト（V）、OVは約1.55V、 $V_h$ は約0.5V、そして $V_{th}$ は約1.2Vである。上記からもわかるように、1つの実施形態では、 $V_{th}$ は、 $V_{cc}$ のオーダーにある。

## 【0024】

1つの実施形態では、リード電流（ $I_{read}$ ）、すなわち、分圧器120を通る電流は、SVおよびPCMデバイス（さらに詳細には、RESET状態のPCMデバイス）により制限される。また、1つの実施形態では、 $I_{read}$ は、上部スイッチ122および下部スイッチ128に低いゲートバイアスを（ $V_t$ 以上で）使用することによって制限され得る。注意すべきは、1つの実施形態では、低い $I_{read}$ を有するメモリ回路は、より大きいICとの使用に、より適切であり得ることである。

## 【0025】

$V_{th}$ がOVをはるかに下回る1つの実施形態では、 $I_{read}$ は、約10MのRESET状態抵抗、約0.5VのSV、そして約50マイクロアンペア（ $\mu A$ ）の $I_{ser}$ に対して、メモリ回路につき約50ナノアンペア（nA）である。 $I_{ser}$ は、メモリ回路100（より詳細には、メモリ回路100のPCM127およびトランジスタ128）がソフトエラーのイベントを克服できる電流を表す。このような場合、 $1 \times 10^6$ 個のメモリセルの合計スタティックセル電流は約50mA（ $50 \text{ nA} \times 1 \times 10^6$ ）である。V

10

20

30

40

50

$t_{th}$ がOVをはるかに下回る別の実施形態では、約100MのRESET状態抵抗、約0.5VのSV、そして約5 $\mu$ AのI<sub>ser</sub>に対して、I<sub>read</sub>は、メモリ回路につき約5nAである。1つの実施形態では、メモリ回路100は、フラッシュメモリに要求されるような速い読みを要求しない。

#### 【0026】

図3Aおよび図3Bは、図1および図2のメモリ回路のPCMデバイスをプログラミングするための例示的なタイミング図である。図3Aは、(図1および図2の)上部PCMデバイスをSET状態に、および(図1および図2の)下部PCMデバイスをRESET状態にプログラミングするための例示的なタイミング図である。一方、図3Bは、(図1および図2の)上部PCMデバイスをRESET状態に、および(図1および図2の)下部PCMデバイスをSET状態にプログラミングするための例示的なタイミング図である。メモリ回路100の動作は、この明細書に、図3Aおよび図3Bならびに以下の表1と共に記述されている。表1は、PCMデバイス121およびPCMデバイス127のプログラミングの間、ならびにスリープモード、読みモード、および通常動作モードの間の、図1の様々な信号の例示的な値を示す。

#### 【0027】

【表1-1】

	DL	AL	TSL	BSL	RL	SV	OV
セット 上部	$\geq V_{th}$ I <sub>source</sub>	$\geq V_{th}+V_t$	$\geq V_{th}+V_t$	GND	GND	GND	GND
リセット 下部	V1	$\geq V_1+V_t$	GND	$\geq V_1+V_t$	GND	GND	GND
リセット 上部	V1	$\geq V_1+V_t$	$\geq V_1+V_t$	GND	GND	GND	GND
セット 下部	$\geq V_{th}$ I <sub>source</sub>	$\geq V_{th}+V_t$	GND	$\geq V_{th}+V_t$	GND	GND	GND

#### 【0028】

【表1-2】

スリープ	X	GND	Vcc	GND	<V <sub>h</sub> +V <sub>t</sub>	<V <sub>h</sub>	<V <sub>h</sub>
読み	X	GND	Vcc	Vcc	<V <sub>h</sub> +V <sub>t</sub>	<V <sub>h</sub>	<V <sub>h</sub>
通常動作	X	GND	Vcc	Vcc	<V <sub>h</sub> +V <sub>t</sub>	<V <sub>h</sub>	Vcc+V <sub>od</sub>

表1

注意すべきは、上記の表1では、 $V_h < V_1 < V_{th}$ であることである。表1では、通常動作モード中、 $OV = V_{cc} + V_{od}$ であることにも注意すべきである。更に、1つの実施形態では、 $V_{th}$ は、DL電圧の最低必須条件である(すなわち、1つの実施形態では、PCMをセットするためにはDL電圧は $V_{th}$ より高くなければならない)。それに加えて、GNDはグラウンドを表し、V1はアドレスラインスイッチ110へのDL電圧入力を表し、V<sub>t</sub>はMOSデバイス(例えば、アドレスラインスイッチ110、ならびにスイッチ122、スイッチ128、およびスイッチ130)の閾値電圧を表し、V<sub>cc</sub>はMOSデバイスに印加された電源電圧を表し、Xはどれでも良い状態を表し、そしてI<sub>so</sub>

urceはアドレスラインスイッチに印加される電流を表す(すなわち、I sourceはDL電流を表し、これはプログラミング電流とも呼ばれ得る)。注意すべきは、例えば、表1のDLに関して、Xは、DL電圧がGNDからV<sub>th</sub>であり得ることを示すことである。

#### 【0029】

表1では、縦欄DL、AL、TSL、BSL、RL、SV、およびOVは、それぞれ、DL信号、AL信号、TSL信号、BSL信号、RL信号、SV信号、およびOV信号の値を示す。また、表1では、横欄Set Top、Reset Bottom、Reset Top、およびSet Bottomは、それぞれ、上部PCMデバイス121をセット、下部PCMデバイス127をリセット、上部PCMデバイス121をリセット、および下部PCMデバイス127をセットするための様々な信号の値を示す。1つの実施形態では、上部PCMデバイス121をセットすること、および下部PCMデバイス127をリセットすることの両方が、AL信号の1つのクロックサイクルで起こる。同様に、1つの実施形態では、上部PCMデバイス121をリセットすること、および下部PCMデバイス127をセットすることの両方が、AL信号の1つのクロックサイクル内で起こる。別の実施形態では、上部および下部デバイスは、AL信号の複数クロックサイクル内でプログラムされ得る。更に、表1では、横欄Sleep、Read、およびNormal OPは、それぞれ、スリープモード、読みモード、および通常動作モード中の様々な信号の値を示す。

#### 【0030】

表1からわかるように、上部PCMデバイス121および下部PCMデバイス127のセット中もリセット中も、RL信号、SV信号、およびOV信号は全てグラウンドされる。言い換えれば、PCMデバイスのプログラミング中は、RL信号、SV信号、およびOV信号は全てグラウンドされる。PCMデバイスのプログラミング中にRL信号がグラウンドされるときに、リードラインスイッチ130は開かれる。その結果、1つの実施形態では、ハーフラッチ140、カスケードトランジスタ150、およびパスゲート160は、PCMデバイスのプログラミング中には分圧器120から電氣的にデカップリングされる。同様に、PCMデバイスのプログラミング中にSV信号がグラウンドされるときに、SV信号に結合されたPCMデバイス121の端子はグラウンドされる。図1からもわかるように、PCMデバイス127の1つの端子もグラウンドされる。同様に、PCMデバイスのプログラミング中にOV信号がグラウンドされるときに、ハーフラッチ140の端子およびOV信号に結合されたカスケードトランジスタ150の端子もグラウンドされる。この状態は、ハーフラッチ140およびカスケードトランジスタ150を実際上オフの状態にする。

#### 【0031】

1つの実施形態では、PCMデバイス121をSET状態にプログラミングしている間は、AL信号はV<sub>th</sub> + V<sub>t</sub>以上であるのに対し、PCMデバイス127をRESET状態にプログラミングしている間は、AL信号はV<sub>1</sub> + V<sub>t</sub>以上であり、V<sub>1</sub>は、V<sub>h</sub>より高くV<sub>th</sub>より低い。別の実施形態では、PCMデバイス121をSET状態にプログラミングしている間であり、かつ、PCMデバイス127をRESET状態にプログラミングしている間は、AL信号はV<sub>th</sub> + V<sub>t</sub>である。このような実施形態は、図3Aおよび図3Bに示されるように、より簡単なAL信号を可能にする。また、1つの実施形態では、PCMデバイス121をSET状態にプログラミングしている間は、TSL信号はV<sub>th</sub> + V<sub>t</sub>以上であり、DL電圧信号はV<sub>th</sub>以上であり、DL電流信号はセットする電流(Set I)に制限され、そしてBSL信号はグラウンドされる。1つの実施形態では、セットする電流は、電流源(図示なし)によって制御され、電流源は、DL電流信号を供給し、PCMデバイス121をSET状態にするために使用される最大DL電流信号を制限する。PCMデバイス127をRESET状態にプログラミングしている間は、TSL信号はグラウンドされ、DL電圧信号はV<sub>1</sub>と等しく、DL電流信号はリセット電流レベル(Reset I)にあり、そしてBSL信号はV<sub>1</sub> + V<sub>t</sub>以上である。1つの実施形態では、リセット電流レベルは、PCMデバイス127のトランジスタ128上のゲートバ

ィアスで制御される。1つの実施形態では、プログラミング電流  $Set\ I$  および  $Reset\ I$  は、約  $1\text{mA}$  より低く、このことはメモリ回路のサイズを小さく保つことを可能にする。別の実施形態では、PCMデバイス127をRESET状態にプログラミングしている間は、BSL信号は  $V_{th} + V_t$  と等しい。このような場合、TSL信号およびBSL信号両方の高いバイナリ数値電圧は、 $V_{th} + V_t$  である。

#### 【0032】

1つの実施形態では、PCMデバイス121をRESET状態にプログラミングしている間は、AL信号は  $V_1 + V_t$  以上であるのに対し、PCMデバイス127をSET状態にプログラミングしている間は、AL信号は  $V_{th} + V_t$  以上である。別の実施形態では、PCMデバイス121をRESET状態にプログラミングしている間であり、かつ、PCMデバイス127をSET状態にプログラミングしている間は、AL信号は  $V_{th} + V_t$  である。また、1つの実施形態では、PCMデバイス121をRESET状態にプログラミングしている間は、TSL信号は  $V_1 + V_t$  以上であり、DL電圧信号は  $V_1$  と等しく、DL電流信号はリセット電流レベル ( $Reset\ I$ ) にあり、そしてBSL信号はグランドされる。1つの実施形態では、リセット電流レベルは、PCMデバイス121上のゲートバイアスで制御される。別の実施形態では、PCMデバイス121をRESET状態にプログラミングしている間は、TSL信号は  $V_{th} + V_t$  と等しい。同様に、1つの実施形態では、PCMデバイス127をSET状態にプログラミングしている間は、TSL信号はグランドされ、DL電圧信号は  $V_{th}$  以上であり、DL電流信号はセットする電流 ( $Set\ I$ ) に制限され、そしてBSL信号は  $V_{th} + V_t$  以上である。1つの実施形態では、セットする電流は、電流源によって制御され、電流源はDL電流信号を供給し、PCMデバイス127をSET状態にするために使用される最大DL電流信号を制限する。

#### 【0033】

1つの実施形態では、スリープモード中には、DL信号はXであり、AL信号はグランドされ、TSL信号は  $V_{cc}$  と等しく、BSL信号はグランドされ、RL信号は  $V_h + V_t$  より低く、SV信号は  $V_h$  より低く、そしてOV信号は  $V_h$  より低い。注意すべきは、スリープモードは、使用されないビットをオフにすることを可能にすることである。スリープモードは、使用されないロジックエレメント (LE) をオフにするために使用され得、そのため使用されないLEのメモリ回路のメモリリード電流  $I_{read}$  を避け、全体電流  $I_{cc}$  を低減することも注意すべきである。 $I_{cc}$  はチップによって消費される合計スタティック電流を表す。1つの実施形態では、スリープモード中には、上部PCMデバイス121はSET状態にあるのに対し、下部PCMデバイス127はRESET状態にある。

#### 【0034】

1つの実施形態では、読みモードの間は、DL信号はXであり、AL信号はグランドされ、TSL信号は  $V_{cc}$  と等しく、BSL信号は  $V_{cc}$  と等しく、RL信号は  $V_h + V_t$  より低く、SV信号は  $V_h$  より低く、そしてOV信号は  $V_h$  より低い。1つの実施形態では、読みモードの間は、ハーフラッチ140を作動させるには、SV信号はOV信号と等しい。注意すべきは、読み動作の間は、OV信号はSV信号のレベルまで降下することである。

#### 【0035】

1つの実施形態では、通常動作モードの間は、DL信号はXであり、AL信号はグランドされ、TSL信号は  $V_{cc}$  と等しく、BSL信号は  $V_{cc}$  と等しく、RL信号は  $V_h + V_t$  より低く、SV信号は  $V_h$  より低く、そしてOV信号は  $V_{cc} + V_{od}$  と等しい。通常動作モードでは、PCMデバイスの状態が読まれた後、ハーフラッチ140の端子での電圧、およびOV信号に結合されたカスケードトランジスタ150の端子での電圧は、読み動作の間にOV信号がSV信号のレベルに降下するため、SVからOVに上げられる。通常動作の間は、データはパスゲート160を通される。

#### 【0036】

10

20

30

40

50

表 1 からわかるように、スリープモード、読みモード、および通常動作モードの間は、A L 信号はグランドされる。その結果、アドレスラインスイッチ 1 1 0 はオフであり、分圧器 1 2 0 は D L 電圧信号および D L 電流信号から電氣的にデカップリングされる。

#### 【 0 0 3 7 】

P C M デバイス 1 2 1 が S E T 状態にあり、P C M デバイス 1 2 7 が R E S E T 状態にある場合、読み動作の間は、端子 1 2 5 での電圧は S V にほぼ等しい。注意すべきは、S E T 状態にある P C M デバイス 1 2 1 は、分圧器 1 2 0 の電圧（すなわち、端子 1 2 5 での電圧）を、約 S V に、アクティブに維持することである。端子 1 2 5 での電圧は S V にほぼ等しいため、高いバイナリ数値電圧が、リードラインスイッチ 1 3 0 を介して、ハーフラッチ 1 4 0 に入力される。言い換えれば、高いバイナリ数値電圧は、端子 1 3 5 に印加される。ハーフラッチ 1 4 0 は、端子 1 3 5 での電圧を反転し、端子 1 5 5 で低いバイナリ数値電圧を提供する。端子 1 5 5 は、パスゲート 1 6 0 のゲートに結合されている。上述されたように、1 つの実施形態では、パスゲート 1 6 0 は N M O S トランジスタである。それゆえに、端子 1 5 5 での電圧が低いバイナリ数値を有するときには、パスゲート 1 6 0 はオンに切り替えられない。端子 1 5 5 は、カスケードトランジスタ 1 5 0（1 つの実施形態では P M O S トランジスタ）のゲートにも結合されているため、カスケードトランジスタ 1 5 0 はオンに切り替えられ、そのため O V 信号を端子 1 3 5 に結合する。このことは端子 1 3 5 での高いバイナリ数値電圧を補充する。

#### 【 0 0 3 8 】

一方、P C M デバイス 1 2 1 が R E S E T 状態にあり、P C M デバイス 1 2 7 が S E T 状態にある場合、端子 1 2 5 での電圧はグランドにほぼ等しい。注意すべきは、S E T 状態にある P C M デバイス 1 2 7 は、分圧器 1 2 0 の電圧（すなわち、端子 1 2 5 での電圧）をアクティブに引き下げることである。端子 1 2 5 での電圧はグランドにほぼ等しいため、低いバイナリ数値電圧が、リードラインスイッチ 1 3 0 を介して、ハーフラッチ 1 4 0 に入力される。言い換えれば、低いバイナリ数値電圧は、端子 1 3 5 に印加される。ハーフラッチ 1 4 0 は、端子 1 3 5 での電圧を反転し、端子 1 5 5 で高いバイナリ数値電圧を提供する。上述されたように、1 つの実施形態では、パスゲート 1 6 0 は N M O S トランジスタである。それゆえに、端子 1 5 5 での電圧が高いバイナリ数値を有するときには、パスゲート 1 6 0 はオンに切り替えられる。端子 1 5 5 は、カスケードトランジスタ 1 5 0 のゲートにも結合されているため、カスケードトランジスタ 1 5 0 はオンに切り替えられず、そのため端子 1 3 5 を電氣的に O V 信号からデカップリングされたままにする。そのため、このような場合、カスケードトランジスタ 1 5 0 は、端子 1 3 5 での電圧を上昇させない。

#### 【 0 0 3 9 】

1 つの実施形態では、スリープモード、読みモード、および通常動作モードの間は、最大 S V 信号はリセット電圧より低く制限され、最低 S V 信号はセンスアンプのノイズマージンによって制限される。リセット電圧は、P C M デバイスが R E S E T 状態にあるときは V t h であり、P C M デバイスが S E T 状態にあるときは V h である。センスアンプのノイズマージンは、センスアンプがその状態を失わずに耐え得るノイズのレベルである。言い換えれば、センスアンプのノイズマージンは、センスアンプがラッチし得る最低入力電圧である。1 つの実施形態では、センスアンプのノイズマージンは、S V 信号レベルが、可能な範囲で最小化され得るように評価され、下げられる。S V 信号は I r e a d に影響を及ぼすため、S V 信号レベルを下げることは、I r e a d を下げる。

#### 【 0 0 4 0 】

注意すべきは、メモリ回路 1 0 0 は、ソフトエラーのイベントから回復するため、ソフトエラー抵抗があることである。ハーフラッチ 1 2 0 でのデータエラーの場合、エラーは、O V 信号を S V 信号に低減し（これは上述されたように、通常読みプロセスの一部である）、データを分圧器 1 2 0 からハーフラッチ 1 4 0 にリロードすることによって修繕され得る。1 つの実施形態では、このような修正は、メモリブロックの縦列またはメモリブロックの横列単位でなされ得る。別の実施形態では、ビット単位でなされ得る。メモリ

10

20

30

40

50

回路１００は、 $V_{min}$  ( $V_{min}$ はデータロスを避けるためにＲＡＭに要求される最低供給電圧である)に耐性があることにも注意すべきである。この結果、メモリ回路１００は、データディスターストに影響を受けない。それに加えて、メモリ回路１００は、ＣＲＡＭおよびＲＡＭメモリ回路に存在する読み／書きマージンの問題を欠点として持たない。

【００４１】

図２は、本発明のメモリ回路の別の実施形態の詳細な図である。図２では、メモリ回路２００は、アドレスラインスイッチ２１０、分圧器２２０、およびパスゲート２６０を含む。注意すべきは、メモリ回路２００はパスゲート２６０を除くように定義され得ることである。代わりに、メモリ回路２００は、アドレスラインスイッチ２１０およびパスゲート２６０を除くように定義され得、この場合メモリ回路２００は分圧器２２０と同じである。メモリ回路２００のようなメモリ回路は、時にメモリセルと呼ばれることも注意すべきである。

10

【００４２】

分圧器２２０は、図２に示されるように直列に結合されたＰＣＭデバイス２２１、スイッチ２２２、スイッチ２２８、およびＰＣＭデバイス２２７を含む。ＰＣＭデバイス２２１およびスイッチ２２２は、この明細書では、上部ＰＣＭデバイス２２１および上部スイッチ２２２とそれぞれ呼ばれ得る。同様に、ＰＣＭデバイス２２７およびスイッチ２２８は、この明細書では、下部ＰＣＭデバイス２２７および下部スイッチ２２８とそれぞれ呼ばれ得る。

【００４３】

１つの実施形態では、アドレスラインスイッチ２１０、スイッチ２２２、スイッチ２２８、およびパスゲート２６０は、全てＮＭＯＳトランジスタである。

20

【００４４】

メモリ回路２００では、ＡＬ信号は、アドレスラインスイッチ２１０の状態を制御する。ＤＬ信号はアドレスラインスイッチ２１０へ入力される信号である。注意すべきは、ＤＬ電圧信号およびＤＬ電流信号の両方はアドレスラインスイッチ２１０に入力されることである。ＴＳＬ信号およびＢＳＬ信号は、上部スイッチ２２２および下部スイッチ２２８の状態をそれぞれ制御する。ＳＶは、上部ＰＣＭデバイス２２１の１つの端子に印加される。

【００４５】

例外については下述されるが、メモリ回路２００は、メモリ回路１００と同様であり、同様な態様で動作する。メモリ回路１００の相対部と同様な機能を果たすメモリ回路２００のコンポーネントおよび信号には、それらの相対部の参照番号と１００異なるものが指定されている。例えば、メモリ回路２００のアドレスラインスイッチ２１０および分圧器２２０は、それぞれ、メモリ回路１００のアドレスラインスイッチ１１０および分圧器１２０に対応する。メモリ回路２００は、メモリ回路１００と同様であり、同様な形式で動作するため、メモリ回路１００との相違のいくつかについて述べる以外は、この明細書では更に詳細に記述されない。

30

【００４６】

分圧器２２０のＰＣＭデバイスは、分圧器１２０のＰＣＭデバイスと同様であり、同様な態様でプログラムされる。図２からわかるように、メモリ回路２００は、ＰＣＭデバイス２２１およびＰＣＭデバイス２２７のプログラミングの間に、分圧器２２０をパスゲート２６０から電氣的にデカップリングするリードラインスイッチを含まない。その代わりに、メモリ回路２００では、ＰＣＭデバイス２２１およびＰＣＭデバイス２２７のプログラミングの間は、パスゲート２６０の端子２６１および端子２６２（それぞれ、ドレイン端子およびソース端子）はグランドされる。その結果、パスゲート２６０は、ＰＣＭデバイス２２１およびＰＣＭデバイス２２７のプログラミングの間はオンにされない。

40

【００４７】

上述されたように、図３Ａおよび図３Ｂは、図１および図２のメモリ回路のＰＣＭデバイスをプログラミングするための例示的なタイミング図である。図３Ａは、上部ＰＣＭデ

50

バイス 2 2 1 を S E T 状態に、および下部 P C M デバイス 2 2 7 を R E S E T 状態にプログラミングするための例示的なタイミング図である。一方、図 3 B は、上部 P C M デバイス 2 2 1 を R E S E T 状態に、および下部 P C M デバイス 2 2 7 を S E T 状態にプログラミングするための例示的なタイミング図である。以下の表 2 は、P C M デバイスのプログラミング、スリープモード、および通常動作モードの間の、図 2 の関連する信号の値を示す。

【 0 0 4 8 】

【表 2 - 1】

	DL	AL	TSL	BSL	SV
セット 上部	$\geq V_{th}$ I source	$\geq V_{th} + V_t$	$\geq V_{th} + V_t$	GND	GND
リセット 下部	V1	$\geq V_1 + V_t$	GND	$\geq V_1 + V_t$	GND
リセット 上部	V1	$\geq V_1 + V_t$	$\geq V_1 + V_t$	GND	GND
セット 下部	$\geq V_{th}$ I source	$\geq V_{th} + V_t$	GND	$\geq V_{th} + V_t$	GND

10

20

【 0 0 4 9 】

【表 2 - 2】

スリープ	X	GND	Vcc	GND	<Vh
通常 動作	X	GND	Vcc	Vcc	Vcc+Vod

表 2

表 1 および表 2 からわかるように、これらの表の関連する信号の値は、プログラミングの間は同一である。また、S V 信号の値を例外として、表 1 および表 2 の関連する信号の値は、スリープモードおよび通常動作モードの間は同一である。メモリ回路 2 0 0 はリードラインスイッチを含まないため、R L 信号はメモリ回路 2 0 0 には該当せず、表 2 には示されない。同様に、メモリ回路 2 0 0 は、データを分圧器 2 2 0 から読み込むメモリ回路 2 0 0 内のハーフラッチまたはラッチがないため、別個のリードモードを含まない。更に、メモリ回路 2 0 0 はカスケードトランジスタおよびハーフラッチを含まないため、O V 信号はメモリ回路 2 0 0 には該当せず、表 2 には示されない。最後に、スリープモードの間は、S V 信号は、表 1 と表 2 で同じ値を有する。しかし、通常動作モードの間は、表 2 の S V 信号は  $V_{cc} + V_{od}$  であり、これは S V 信号が表 1 で有する値と異なる。注意すべきは、表 2 では、S V 信号は、O V 信号が表 1 で有する値と同じ値を有することである。

30

40

【 0 0 5 0 】

上述されたように、スリープモードの間は、表 2 の関連する信号は、表 1 にある表 2 の相対部と同じ値を有する。これらの値は、表 1 に関して記述されているため、これらの値は、この明細書では表 2 に関して記述されない。通常動作モードの間は、S V 信号を例外として、表 2 の全信号は、表 1 と同じ値を有する。通常動作モードでは、P C M デバイスの状態が読まれた後、これらの値はパsgate 2 6 0 を通される。

【 0 0 5 1 】

上記からわかるように、スリープモードおよび通常動作モードの間は、A L 信号はグラウンドされる。この結果、アドレスラインスイッチ 2 1 0 はオフであり、分圧器 2 2 0 は D

50

L 電圧信号および D L 電流信号から電氣的にデカップリングされる。

【 0 0 5 2 】

P C M デバイス 2 2 1 が S E T 状態にあり、P C M デバイス 2 2 7 が R E S E T 状態にある場合、通常動作モードの間は、端子 2 2 5 での電圧は S V にほぼ等しい。端子 2 2 5 は、パスゲート 2 6 0 のゲートに直接結合されているため、高いバイナリ数値電圧がパスゲート 2 6 0 のゲートに印加される。上述されたように、1 つの実施形態では、パスゲート 2 6 0 は N M O S トランジスタである。また、通常動作モードの間は、端子 2 6 1 および端子 2 6 2 (それぞれ、パスゲート 2 6 0 のドレイン端子およびソース端子) はグラウンドされない。それゆえに、端子 2 2 5 での電圧が高いバイナリ数値を有するときには、パスゲート 2 6 0 はオンに切り替えられる。このことは、端子 2 6 1 および端子 2 6 2 を電氣的に結合する。

10

【 0 0 5 3 】

一方、P C M デバイス 2 2 1 が R E S E T 状態にあり、P C M デバイス 2 2 7 が S E T 状態にある場合、端子 2 2 5 での電圧はグラウンドにほぼ等しい。この結果、低いバイナリ数値電圧がパスゲート 2 6 0 のゲートに印加される。上述されたように、1 つの実施形態では、パスゲート 2 6 0 は N M O S トランジスタである。それゆえに、端子 2 2 5 での電圧が低いバイナリ数値を有するときには、パスゲート 2 6 0 はオンに切り替えられない。この結果、端子 2 6 1 および端子 2 6 2 は電氣的に結合されない。

【 0 0 5 4 】

メモリ回路 2 0 0 の 1 つの実施形態では、R E S E T 状態抵抗は、1 M から 1 G の値域にあり、V t h は、所与の技術ノードに対して、O V より高い。1 つの実施形態では、V c c は約 1 . 2 V、O V は約 1 . 5 5 V、そして V t h は約 1 . 7 から 2 V である。別の実施形態では、V c c は約 0 . 9 V、O V は約 1 . 2 V、そして V t h は約 1 . 3 5 から 1 . 7 V である。

20

【 0 0 5 5 】

プロセスノードの O V と比較して、V t h は高く、S V は等しい 1 つの実施形態では、6 5 ナノメートル ( n m ) プロセスノードにおいて、I r e a d は、約 1 G の R E S E T 状態抵抗、約 1 . 5 5 V の S V、そして約 1 . 5  $\mu$  A の I s e r に対して、メモリ回路につき約 1 . 5 n A である。このような場合、 $1 \times 10^6$  個のメモリセルの合計スタンバイ電流は約 1 . 5 m A である。1 つの実施形態では、メモリ回路 2 0 0 は、フラッシュメモリに要求されるような速い読みを要求しない。

30

【 0 0 5 6 】

S V が O V と等しい 1 つの実施形態では、より高い電圧のトランジスタが、アドレスラインスイッチ 2 1 0、上部スイッチ 2 2 2、および下部スイッチ 2 2 8 に使用される。このようなより高い電圧のトランジスタは、より高い電圧信号を、P C M デバイス 2 2 1、P C M デバイス 2 2 7、およびパスゲート 2 6 0 に通すことが可能である。

【 0 0 5 7 】

注意すべきは、メモリ回路 1 0 0 およびメモリ回路 2 0 0 は、標準的な C R A M メモリセルよりもエリアが狭いことである。更に注意すべきは、メモリ回路 2 0 0 は、ハーフラッチ回路、リードラインスイッチ、およびカスケードトランジスタを含まないため、メモリ回路 2 0 0 はメモリ回路 1 0 0 より 4 つ少ないトランジスタを有することである。それに加えて、メモリ回路 2 0 0 は、メモリ回路 1 0 0 に在る R L 信号および O V 信号のような信号を含まない。この結果、メモリ回路 2 0 0 は、メモリ回路 1 0 0 よりも信号の複雑さを伴わない。更に、メモリ回路 2 0 0 は、メモリ回路 1 0 0 よりもさらにソフトエラーに影響を受けにくい。実際に、メモリ回路 2 0 0 は、分圧器 2 2 0 がパスゲート 2 6 0 のゲートに結合された端子 2 2 5 での電圧をアクティブに維持するために、ソフトエラーの影響を受けない。

40

【 0 0 5 8 】

注意すべきは、P C M デバイスはソフトエラーの影響を受けず、不揮発性であることである。同様に、メモリ回路 1 0 0 およびメモリ回路 2 0 0 は不揮発性である。それに加え

50



て、メモリ回路１００およびメモリ回路２００の分圧器は、漏洩電流を制限する。この結果、より低い待機電力がメモリ回路１００およびメモリ回路２００に使用される。更に、メモリ回路１００およびメモリ回路２００は、それらがそれぞれソフトエラーに抵抗があり、影響を受けないため、スケーラブルである。このため、メモリ回路１００およびメモリ回路２００は、より小さいプロセスノードを使用して作成される、より小さいデバイスに使用され得る。

#### 【００５９】

図４は、例示的なＰＬＤを含む例示的なデータ処理システムを示し、例示的なＰＬＤには、本発明の実施形態に従ったメモリ回路がインプリメントされ得る。図４は、一例として、データ処理システム４００のＰＬＤ４１０を示す。１つの例として、この発明のメモリ回路は、ＰＬＤ４１０のロジックブロック内の分散メモリにインプリメントされ得る。このような分散メモリは、ＬＵＴを構成するため、ならびにグローバルおよびローカル金属信号線を接続するために使用され得る。１つの実施形態では、この分散インプリメンテーションは従来のＣＲＡＭを代替する。１つの実施形態では、ＰＬＤ４１０は、分散メモリを複数含み得る（しかし、図面を過剰複雑化することを避けるために１つの分散メモリだけが示される）。分散メモリ４１１は、メモリ回路１００またはメモリ回路２００のようなメモリ回路を複数含む（しかし、図面を過剰複雑化することを避けるために１つのメモリ回路、メモリ回路４１２、だけが示される）。１つの実施形態では、メモリ回路４１２および分散メモリ４１１は、ＰＬＤ４１０と同じダイノチップ上にある。１つの実施形態では、ＰＬＤ４１０のメモリブロック４１３のようなメモリブロックは、ＰＣＭベースのメモセルを含み得る。１つの実施形態では、ＰＬＤ４１０は、メモリブロック４１３のようなメモリブロックを複数含み得る（しかし、図面を過剰複雑化することを避けるために１つのこのようなメモリブロックだけが示される）。１つの実施形態では、メモリブロック４１３は、ＰＬＤ４１０と同じダイノチップ上にある。１つの実施形態では、メモリブロック４１３は、小型エンベデッドアレイブロック（ＳＥＡＢ）または中型エンベデッドアレイブロック（ＭＥＡＢ）であり得る。別の実施形態では、十分に速いセットおよびリセット時間があれば、メモリブロック４１３は、メガＲＡＭ（ＭＲＡＭ）ブロックであり得る。１つの実施形態では、メモリブロック４１３は、不揮発性メモリブロックである。データ処理システム４００は、１つ以上の次のコンポーネント：プロセッサ４４０、メモリ４５０、入出力（Ｉ／Ｏ）回路網４２０、および周辺デバイス４３０を含み得る。これらのコンポーネントは、システムバス４６５によって共に結合され、エンドユーザシステム４７０に含まれる回路基板４６０に実装される。システム４００のようなデータ処理システムは、エンドユーザシステム４７０のような単一のエンドユーザシステムを含み得るか、データ処理システムとして共に機能するシステムを複数含み得る。

#### 【００６０】

システム４００は、コンピューターネットワーキング、データネットワーキング、インストールメンテーション、ビデオ処理、デジタル信号処理（“ＤＳＰ”）、またはプログラマブルもしくはリプログラマブルロジックを使用することの利点が所望されるいかなる他の用途のような、広く多様な用途に使用され得る。ＰＬＤ４１０は、多様な異なるロジック機能を実行するために使用され得る。例えば、ＰＬＤ４１０は、プロセッサ４４０（また、代替の実施形態では、ＰＬＤそのものが唯一のシステムプロセッサとしての役割を果たし得る）と協同で機能するプロセッサまたはコントローラーとして構成され得る。ＰＬＤ４１０は、システム４００の共有リソースへのアクセスをアービトレーションするためのアービタとしても使用され得る。また別の例では、ＰＬＤ４１０は、プロセッサ４４０と、システム４００の他のコンポーネントの１つとの間のインターフェイスとして構成され得る。注意すべきは、システム４００は、単に例示的であることである。

#### 【００６１】

１つの実施形態では、システム４００はデジタルシステムである。この明細書で 사용되는場合、デジタルシステムは、純然たるデジタルシステムに制限されるように意図されておらず、デジタルおよびアナログのサブシステムの両方を含むハイブリッドシステムを

も含む。

【 0 0 6 2 】

図 4 では、本発明のメモリ回路の実施形態は、P L D の脈絡で考察される。しかし、注意すべきは、本発明のメモリ回路の実施形態は、P L D にのみ使用されるように制限されないことである。言い換えれば、本発明のメモリ回路の実施形態は、他のタイプの I C に使用され得る。

【 0 0 6 3 】

本発明は、示された実施形態に関して詳細に記述されているが、様々な変更、改変、および適合は、本開示に基づいてなされ得、本発明の範囲内にあることが意図されることが認識される。発明は、現在最も実用的であり好まれるとみなされる実施形態に関して記述されているが、本発明は、開示された実施形態に制限されるのではなく、これに反して、添付の特許請求の範囲内に含まれる様々な改変および同等な配列を範囲に入れるように意図されることが理解される。

【 0 0 6 4 】

( 追加的な実施形態 )

( 実施形態 1 ) メモリ回路を動作させる方法であって、該方法は、

第一相変化メモリ ( P C M ) デバイスを第一抵抗状態にセットすること、および

第二 P C M デバイスを第二抵抗状態にセットすることであって、該第一 P C M デバイスおよび該第二 P C M デバイスは、分圧器のコンフィギュレーションで結合される、こと  
を含む、方法。

( 実施形態 2 ) 実施形態 1 の方法であって、前記第一 P C M デバイスをセットすることおよび前記第二 P C M デバイスをセットすることは、前記メモリ回路に結合されたアドレススイッチラインの 1 つのクロックサイクル内で起こる、方法。

( 実施形態 3 ) 実施形態 1 の方法であって、前記第一抵抗状態はセット抵抗状態であり、前記第二抵抗状態はリセット抵抗状態である、方法。

( 実施形態 4 ) 実施形態 3 の方法であって、更に、

前記第一 P C M デバイスに結合された第一スイッチをオンに切り替えること、および

該第一スイッチおよび前記第二 P C M デバイスに結合された第二スイッチをオンに切り替えることであって、パスゲートは該第一スイッチを該第二スイッチに結合するノードに結合されている、こと  
を含む、方法。

( 実施形態 5 ) 実施形態 4 の方法であって、更に、

前記第一 P C M デバイスおよび前記第二 P C M デバイスをセットすることを可能にするためにアドレスラインスイッチをオンに切り替えること  
を含む、方法。

( 実施形態 6 ) 実施形態 5 の方法であって、

前記第一 P C M デバイスをセットすることは、該第一 P C M デバイスに第一パルスを加加することを含み、

前記第二 P C M デバイスをセットすることは、該第二 P C M デバイスに第二パルスを加加することを含み、該第一パルスは該第二パルスよりも持続時間が長い、方法。

( 実施形態 7 ) 実施形態 4 の方法であって、更に、

第一端子で前記ノードに結合され、第二端子で前記パスゲートに結合されたハーフラッチに結合されたりードラインスイッチをオンに切り替えること、

該第二端子での信号を該ハーフラッチの入力に印加すること、および

該パスゲートに該ハーフラッチの出力を印加すること

を含む、方法。

( 実施形態 8 ) 実施形態 7 の方法であって、更に、

前記パスゲートおよび前記第二端子に結合されたカスケードトランジスタを使用すること

を含む、方法。

- (実施形態 9) メモリ回路であって、該メモリ回路は、
- (a) 分圧器であって、該分圧器は、
    - (i) 第一相変化メモリ (PCM) デバイスであって、該第一 PCM デバイスはセット抵抗状態にある、第一 PCM デバイス、
    - (ii) 該第一 PCM デバイスに結合された第一スイッチ、
    - (iii) 該第一スイッチに結合された第二スイッチ、および
    - (iv) 該第二スイッチに結合された第二 PCM デバイスであって、該第二 PCM デバイスはリセット抵抗状態にある、第二 PCM デバイスを含む、分圧器、
  - (b) 該分圧器に結合されたハーフラッチ、ならびに
  - (c) 該ハーフラッチおよび該分圧器に結合されたカスケードトランジスタを含む、メモリ回路。
- (実施形態 10) 実施形態 9 のメモリ回路であって、  
前記ハーフラッチは、p チャンネル金属酸化物半導体 (PMOS) トランジスタに直列で結合された n チャンネル金属酸化物半導体 (NMOS) トランジスタを含む相補型金属酸化物半導体 (CMOS) インバータを含み、該ハーフラッチの入力ノードは、該 NMOS トランジスタのゲートおよび該 PMOS トランジスタのゲートに結合され、  
前記カスケードトランジスタは、PMOS トランジスタであり、そのゲートは該ハーフラッチの出力ノードに結合され、そのドレインは該ハーフラッチの入力ノードに結合され、  
前記第一スイッチは、NMOS トランジスタであり、そして  
前記第二スイッチは、NMOS トランジスタである、メモリ回路。
- (実施形態 11) 実施形態 10 のメモリ回路であって、更に、  
前記分圧器に結合されたアドレスラインスイッチ、および  
該分圧器と前記ハーフラッチとの間に結合されたリードラインスイッチであって、  
該アドレスラインスイッチは NMOS トランジスタであり、該リードラインスイッチは NMOS トランジスタである、リードラインスイッチを含む、メモリ回路。
- (実施形態 12) 実施形態 9 のメモリ回路であって、更に、  
前記ハーフラッチの出力ノードに結合されたパスゲートトランジスタを含む、メモリ回路。
- (実施形態 13) 実施形態 9 のメモリ回路を含む分散メモリ。
- (実施形態 14) 実施形態 9 のメモリ回路を含むプログラマブルロジックデバイス。
- (実施形態 15) 実施形態 9 のメモリ回路を含むプログラマブルロジックデバイスを含むデジタルシステム。

10

20

30

【図 1】

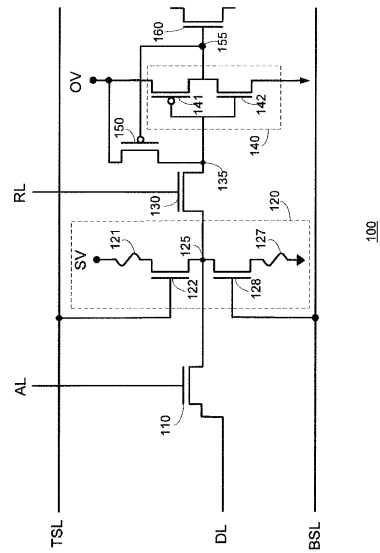


FIG. 1

【図 2】

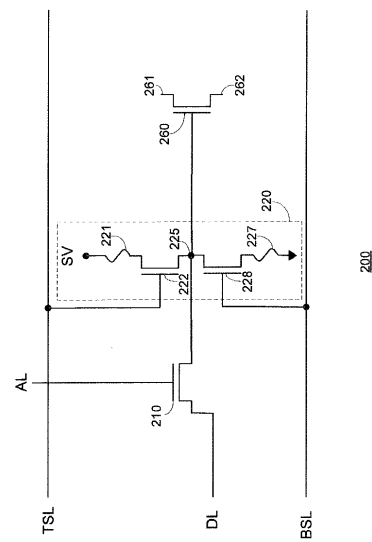


FIG. 2

【図 3】

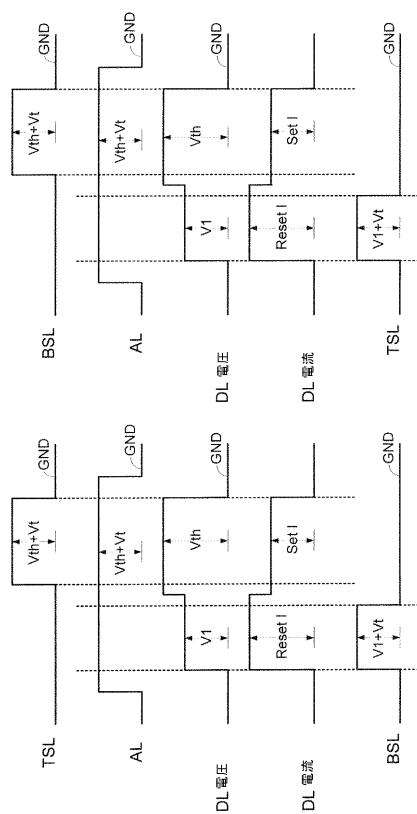


FIG. 3B

FIG. 3A

【図 4】

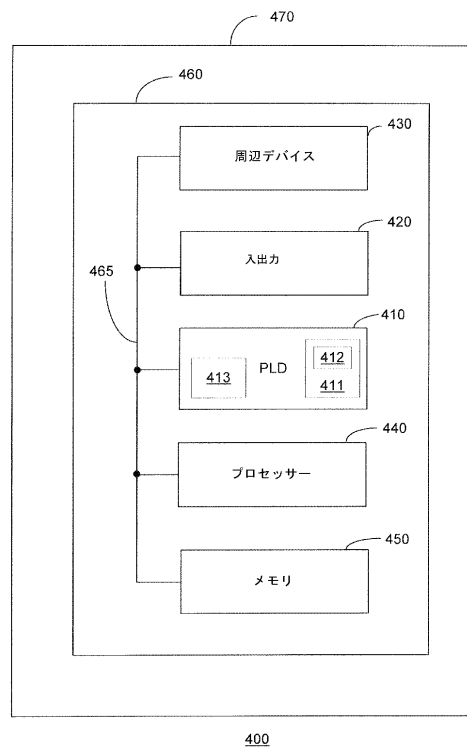


FIG. 4

## フロントページの続き

(51)Int.Cl. F I  
**G 1 1 C 13/00 (2006.01)** H 0 1 L 27/10 4 8 1  
H 0 1 L 45/00 A  
G 1 1 C 13/00 2 1 0  
H 0 1 L 27/10 4 9 1

(72)発明者 マックエルヘニー, ピーター ジェイ.  
アメリカ合衆国 カリフォルニア 9 5 0 3 7, モーガン ヒル, ローン ヒル ドライブ  
1 6 7 0 5

(72)発明者 スモーレン, リチャード ジー.  
アメリカ合衆国 カリフォルニア 9 4 0 6 1, レッドウッド シティ, オータム ドライ  
ブ 3 8 1 2

(72)発明者 コステロ, ジョン シー.  
アメリカ合衆国 カリフォルニア 9 4 0 2 4, ロス アルトス, ハイランズ サークル 8  
6 9

審査官 外山 毅

(56)参考文献 特開2006-108762(JP,A)  
特開2004-213860(JP,A)  
特開2006-203898(JP,A)  
特開平04-223714(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 7 / 1 0  
G 1 1 C 1 3 / 0 0  
H 0 1 L 2 7 / 1 0 5  
H 0 1 L 4 5 / 0 0  
H 0 3 K 1 9 / 1 7 3  
H 0 3 K 1 9 / 1 7 7