

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

11 N° de publication :

3 083 367

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national :

18 70781

51 Int Cl<sup>8</sup> : H 01 L 23/60 (2018.01), H 01 L 27/02, 21/77

12

## DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 29.06.18.

30 Priorité :

43 Date de mise à la disposition du public de la  
demande : 03.01.20 Bulletin 20/01.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60 Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

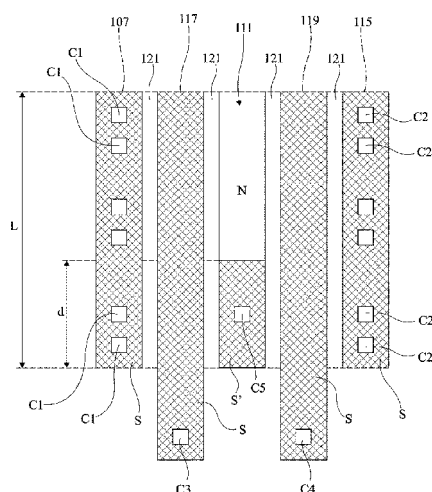
71 Demandeur(s) : STMICROELECTRONICS SA Société  
anonyme — FR.

72 Inventeur(s) : BEDECARRATS THOMAS, DE CONTI  
LOUISE et GALY PHILIPPE.

73 Titulaire(s) : STMICROELECTRONICS SA Société  
anonyme.

74 Mandataire(s) : CABINET BEAUMONT Société à res-  
ponsabilité limitée.

54 CIRCUIT ELECTRONIQUE.



FR 3 083 367 - A1



## Description

### Titre de l'invention : Circuit électronique

[0001] Domaine

[0002] La présente description concerne de façon générale les circuits électroniques, et de façon plus particulière les circuits de protection contre des décharges électrostatiques.

[0003] Exposé de l'art antérieur

[0004] Les problématiques liées aux décharges électrostatiques sont d'autant plus présentes que les composants dans les circuits électroniques sont de plus en plus petits. La protection des circuits électroniques contre des décharges électrostatiques est un enjeu important pour assurer la fiabilité et la longévité des circuits électroniques.

[0005] Il existe donc un besoin pour des circuits de protection contre des décharges électrostatiques plus performants.

[0006] Résumé

[0007] Un mode de réalisation pallie tout ou partie des inconvénients des circuits de protection contre des décharges électrostatiques connus.

[0008] Un mode de réalisation prévoit un dispositif comprenant une couche de siliciure recouvrant partiellement une zone dopée.

[0009] Selon un mode de réalisation, le dispositif comprend en outre un transistor de type MOS.

[0010] Selon un mode de réalisation, le dispositif comprend en outre une diode.

[0011] Selon un mode de réalisation, la cathode de la diode et le drain du transistor sont formés par une première région dopée de type N.

[0012] Selon un mode de réalisation, la première région dopée de type N a une concentration en atomes dopants comprise entre  $10^{17}$  et  $10^{18}$  atomes/cm<sup>3</sup>.

[0013] Selon un mode de réalisation, la zone dopée comprend au moins la première région dopée de type N partiellement recouverte de la couche de siliciure.

[0014] Selon un mode de réalisation, la zone dopée comprend uniquement la première région dopée de type N.

[0015] Selon un mode de réalisation, une portion de l'anode de la diode est recouverte d'une électrode de commande.

[0016] Selon un mode de réalisation, la couche de siliciure a une épaisseur comprise entre 10 et 20 nm.

[0017] Selon un mode de réalisation, le dispositif est formé dans et sur une structure de type silicium sur isolant.

[0018] Selon un mode de réalisation, le dispositif est formé dans et sur une structure de type silicium sur isolant de type ultra mince.

[0019] Selon un mode de réalisation, la zone dopée est recouverte par une seule portion de

couche de siliciure.

[0020] Selon un mode de réalisation, la zone dopée est recouverte par au moins une portion de couche de siliciure.

[0021] Selon un mode de réalisation, la zone dopée est recouverte régulièrement par plusieurs portions de couches de siliciure.

[0022] Un autre mode de réalisation prévoit un circuit de protection contre des décharges électrostatiques comprenant un dispositif décrit précédemment.

[0023] Bref exposé des dessins

[0024] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0025] [fig.1] la figure 1 représente un schéma électronique d'un circuit de protection contre des décharges électrostatiques ;

[0026] [fig.2] la figure 2 représente une vue en coupe d'un mode de réalisation du circuit de la figure 1 ;

[0027] [fig.3] la figure 3 représente une vue de dessus du mode de réalisation de la figure 2 ;

[0028] [fig.4] la figure 4 est un graphique représentant une caractéristique courant–tension du circuit de la figure 1 ;

[0029] [fig.5] la figure 5 est un graphique représentant une autre caractéristique courant–tension du circuit de la figure 1 ;

[0030] [fig.6] la figure 6 représente une vue de dessus d'un autre mode de réalisation du circuit de la figure 1 ; et

[0031] [fig.7] la figure 7 représente une vue de dessus d'encore un autre mode de réalisation du circuit de la figure 1.

[0032] Exposé détaillé

[0033] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0034] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, la fabrication du circuit de protection contre des décharges électrostatiques ne sera pas détaillée.

[0035] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.

[0036] On appelle ici, comme cela est usuel :

- couche semiconductrice faiblement dopée, une couche dont la concentration en atomes dopants est comprise entre  $10^{14}$  et  $10^{16}$  atomes/cm<sup>3</sup> ;
- couche semiconductrice dopée, une couche dont la concentration en atomes dopants est comprise entre  $10^{17}$  et  $10^{18}$  atomes/cm<sup>3</sup> ; et
- couche semiconductrice fortement dopée, une couche dont la concentration en atomes dopants est comprise entre  $10^{18}$  et  $10^{21}$  atomes/cm<sup>3</sup>.

- [0037] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0038] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0039] La figure 1 est un schéma électrique d'un circuit de protection contre des décharges électrostatiques 10.
- [0040] Le circuit 10 comprend une diode 12. La diode 12 est équipée d'une électrode de commande disposée sur une portion de sa région d'anode. Cette électrode de commande permet d'améliorer la conduction de la jonction PN de la diode 12. L'électrode de commande de la diode 12 sera décrite plus en détail en relation avec la figure 2.
- [0041] Le circuit 10 comprend en outre un transistor 14. Le transistor 14 est un transistor de type MOS, et plus particulièrement un transistor MOS à canal N.
- [0042] La diode 12 et le transistor 14 sont connectés en série. Plus particulièrement, la cathode de la diode 12 est connectée au drain du transistor 14, et, encore plus particulièrement, dans le mode de réalisation décrit en relation avec la figure 2, la cathode de la diode 12 et le drain du transistor 14 sont formés par une seule et même région dopée de type N. L'anode de la diode 12, la source du transistor 14, l'électrode de commande de la diode 12 et la grille du transistor 14 sont respectivement reliés à des contacts C1, C2, C3 et C4 externes à la puce de circuit intégré du circuit 10. A titre d'exemple, un contact C5 (en pointillé sur les figures) peut être relié à la cathode de la diode 12 et au drain du transistor 14.
- [0043] Le circuit 10 peut avoir un fonctionnement similaire à celui d'un thyristor.
- [0044] La structure du circuit 10 sera décrite de façon plus détaillée en relation avec la figure 2.
- [0045] La figure 2 est une vue en coupe d'un mode de réalisation d'une structure 20 d'un circuit du type du circuit 10 décrit en relation avec la figure 1.
- [0046] La structure 20 est formée dans et sur une structure de type silicium sur isolant (SOI, de l'anglais "Silicon On Insulator") comprenant un substrat 101 semiconducteur, par

exemple en silicium, sur lequel repose une couche isolante 103, par exemple en oxyde de silicium, sur laquelle repose une couche semiconductrice 105, par exemple en silicium. Plus particulièrement, la structure 20 est formée dans et sur une structure de type FD-SOI (de l'anglais "Fully Depleted Silicon On Insulator"), c'est-à-dire une structure de type silicium sur isolant ultra mince. La couche isolante 103 a une épaisseur par exemple comprise entre 15 nm et 30 nm, par exemple de l'ordre de 25 nm. La couche conductrice 105 a une épaisseur par exemple comprise entre 5 nm et 22 nm, par exemple de l'ordre de 15 nm.

[0047] La couche semiconductrice 105 est divisée en plusieurs régions dopées, ou zones dopées parmi lesquelles, de gauche à droite en figure 2 :

- une région 107 (P+) dopée fortement de type P ;
- une région 109 (P-) dopée faiblement de type P ;
- une région 111 (N) dopée de type N ;
- une région 113 (P-) dopée faiblement de type P ; et
- une région 115 (N+) dopée fortement de type N.

[0048] Des grilles isolées 117 et 119, ou électrode de commande 117 et grille isolée 119, sont disposées sur et en contact avec, respectivement, les régions 109 et 113. Chaque grille 117, 119 est composée d'une couche d'oxyde de grille sur laquelle repose une couche conductrice. Plus particulièrement, les grilles isolées 117 et 119 sont des grilles de type HKMG ("High-K Metal Gate"). Ainsi, la couche d'oxyde de grille est en un matériau diélectrique à haute permittivité, par exemple de l'oxyde d'hafnium. Une couche d'oxyde de grille ne repose généralement pas directement sur une région en silicium, la présence d'une couche d'interface, par exemple en oxyde de silicium, est requise. À titre d'exemple, la couche d'oxyde de grille a une épaisseur comprise entre 1 et 10 nm, par exemple de l'ordre de 2 nm. La couche conductrice est généralement un empilement de différentes couches conductrices, par exemple une couche de nitrure de titane et une couche de silicium polycristallin. À titre d'exemple, la couche conductrice a une épaisseur par exemple de l'ordre de 50 nm. Les grilles 117 et 119 sont représentées en figure 2 par des blocs ne détaillant pas les couches les formant. Les grilles 117 et 119 sont délimitées latéralement par des murs isolants 121. Chaque mur isolant 121 est par exemple disposé sur une jonction entre deux régions dopées de la couche 105. Les murs isolants 121 sont par exemple en nitrure de silicium et/ou en oxyde de silicium.

[0049] Des contacts C1, C2, C3 et C4 (symbolisés en figure 2 par des carrés) sont formés sur des zones des régions 107 et 115, et sur des zones des grilles 117 et 119. Les contacts C1, C2, C3 et C4 sont par exemple en métal. Pour des raisons de fabrication, les contacts C1, C2, C3 et C4 ne peuvent être formés directement sur les régions 107, et 115, et les grilles 117 et 119, et la présence d'une couche conductrice intermédiaire,

par exemple en un siliciure, est nécessaire. Pour cela, les régions 107, et 115 et les grilles 117, et 119 sont chacune recouverte d'une couche conductrice S en un siliciure. Plus particulièrement, les contacts C3 et C4 ne sont pas disposés directement au-dessus des grilles 117 et 119 (voir figure 3). La couche S est par exemple en un siliciure de nickel (NiSi). La couche S a une épaisseur par exemple comprise entre 10 et 30 nm, par exemple de l'ordre de 12,5 nm. A titre d'exemple, les couches de siliciure peuvent avoir des épaisseurs différentes en fonction de ce qu'elles recouvrent, par exemple les couches de siliciure S recouvrant les régions 107 et 115 peuvent avoir une épaisseur de l'ordre de 15 nm, et les couches de siliciure S recouvrant les grilles 117 et 119 peuvent avoir une épaisseur de l'ordre de 25 nm.

- [0050] La région 111 est en outre partiellement recouverte d'une couche de siliciure S'. La couche de siliciure S' présente les mêmes caractéristiques de dimensions et de matériau que les couches de siliciure S. Le mode de répartition de la couche S' sur la région 111 sera décrit plus en détail en relation avec la figure 3. A titre d'exemple, un contact C5 pourrait en outre être formé sur la couche S' et la région 111.
- [0051] L'ensemble des régions 107, 109, 111 et la grille 117 forme la diode 12. Les régions 107 et 109 forment l'anode de la diode 12. La région 111 forme la cathode de la diode 12. La grille isolée 117 forme l'électrode de commande de la diode 12.
- [0052] L'ensemble des régions 111, 113, 115 et la grille 119 forme le transistor 14. La région 111 forme le drain du transistor 14. La région 113 forme la région de canal du transistor 14. La région 115 forme la source du transistor 14. La grille 119 forme la grille du transistor 14.
- [0053] La figure 3 est une vue de dessus de la structure du circuit 10 décrite en relation avec la figure 2. En figure 3, l'emplacement des contacts C1, C2, C3, C4 et C5 est désigné de la même façon qu'en figure 2, par des carrés.
- [0054] Comme indiqué précédemment, la couche de siliciure S' ne recouvre que partiellement la région 111. Dans l'exemple représenté en figure 3, la couche S' recouvre la région 111 sur toute sa largeur mais pas sur toute sa longueur L. La couche S' a alors une longueur d. À titre d'exemple, pour une longueur L de l'ordre de 10  $\mu\text{m}$ , la longueur d peut par exemple être égale à 2, 4, 6, ou 8  $\mu\text{m}$ . À titre de variante, la couche S' pourrait ne pas recouvrir la région 115 sur toute sa largeur.
- [0055] Les inventeurs ont constaté qu'en modulant la proportion de la région 111 dopée de type N recouverte par la couche de siliciure S', il était possible d'ajuster la tension de seuil du circuit 10 formé par la structure 20.
- [0056] Les inventeurs ont, de plus, constaté que moduler la proportion de la région 111 recouverte par la couche de siliciure S' permet de moduler la valeur des courants de fuite du circuit 10.
- [0057] Par ailleurs, les contacts C3 et C4 sont formés sur des portions des couches de

siliciure S ne reposant pas directement sur les grilles 117 et 119. En effet, les procédés usuels de formation de contacts présentent des risques de dégradation des grilles 117 et 119.

- [0058] La figure 4 est un graphique en échelle logarithmique représentant des caractéristiques courant–tension de circuits du type du circuit de la figure 1. Plus particulièrement, la figure 4 représente des caractéristiques courant–tension de type ACS (de l'anglais "Average Current Slope"), c'est-à-dire des caractéristiques courant–tension obtenues en augmentant petit à petit le courant envoyée sur l'anode de la diode 12 et en mesurant la tension entre le potentiel de l'anode 12 et un potentiel de référence. Une caractéristique courant–tension de type ACS permet de déterminer la valeur de la tension de seuil du circuit 10.
- [0059] En effet, en fonction de l'utilisation du circuit de protection contre des décharges électrostatiques, la tension de seuil, ou tension de déclenchement, du circuit 10 doit être inférieure à la tension maximum autorisée par le circuit, ou la borne, à protéger.
- [0060] Le graphique de la figure 4 comprend deux courbes 30 et 32. Chaque courbe 30, 32 représente la caractéristique courant–tension d'un circuit ayant une structure du type de la structure 20 décrite en relation avec les figures 2 et 3. La courbe 30 représente la caractéristique courant–tension d'un circuit dont la couche de siliciure S' recouvre une portion moins importante de la région 111 que la couche de siliciure S' du circuit dont la caractéristique courant–tension est représentée par la courbe 32. On remarque que la tension de seuil  $V_{t30}$  du circuit de la courbe 30 est inférieure à la tension de seuil  $V_{t32}$  du circuit de la courbe 32. Ainsi, réduire la taille de la portion de la région 111 recouverte par une couche de siliciure S' permet de réduire la tension de seuil du circuit correspondant.
- [0061] La figure 5 est un graphique représentant des autres caractéristiques courant–tension de circuits du type du circuit de la figure 1. Plus particulièrement, la figure 5 représente des caractéristiques courant-tension de type AVS (de l'anglais "Average Voltage Slope"), c'est-à-dire des caractéristiques courant–tension obtenue en augmentant petit à petit la tension entre le potentiel de l'anode 12 et un potentiel de référence, et en mesurant le courant présent sur l'anode de la diode 12. Une caractéristique courant-tension de type AVS permet, entre autres, de déterminer la valeur de la tension maximale aux bornes du circuit de protection contre des décharges électrostatiques à ne pas dépasser pour éviter une consommation de courant et des courants de fuite trop élevés.
- [0062] En effet, en fixant un courant limite  $I_{limit}$  sur la caractéristique courant–tension, il est possible de déterminer la tension maximale que le circuit peut supporter sans dépasser le courant limite  $I_{limit}$ .
- [0063] Le graphique de la figure 5 comprend des courbes 40 et 42. Chaque courbe 40, 42 re-

présente la caractéristique courant–tension d'un circuit ayant une structure du type de la structure 20 décrite en relation avec les figures 2 et 3. La courbe 40 représente la caractéristique courant–tension d'un circuit dont la couche de siliciure S' recouvre une portion moins importante de la région dopée 111 que la couche de siliciure S' du circuit dont la caractéristique est représentée par la courbe 42. On remarque que la tension  $V_{m40}$  du circuit 40 atteinte pour le courant limite  $I_{limit}$  est inférieure à la tension  $V_{m42}$  du courant 42 atteinte pour le courant limite  $I_{limit}$ . Ainsi, plus la région 111 du circuit est recouverte de siliciure, moins la consommation en courant et les courants de fuite sont importants.

- [0064] Pour une application donnée, il est donc important de déterminer la proportion de la couche de siliciure S' permettant d'obtenir une tension de seuil et une consommation courant adéquates.
- [0065] La figure 6 est une vue de dessus d'un autre mode de réalisation de la structure 20. La vue en coupe selon la ligne I-I est similaire à la vue en coupe de la figure 2.  
Dans ce mode de réalisation, les couches de siliciure S recouvrent également partiellement les régions 107, et 115, et les grilles 117, et 119.
- [0066] La figure 7 est une vue de dessus d'encore un autre mode de réalisation de la structure 20. La vue en coupe selon la ligne II-II est similaire à la vue en coupe de la figure 2.
- [0067] Dans ce mode de réalisation, la région 111 est recouverte, par exemple régulièrement, par plusieurs portions de la couche de siliciure S', plutôt que par une seule portion de la couche de siliciure S'.
- [0068] Un avantage de ce mode de réalisation est qu'en divisant la couche de siliciure S' en plusieurs portions, leur répartition est plus régulière ce qui permet d'éviter des irrégularités de courant au niveau de la structure.
- [0069] Un avantage des modes de réalisation décrits en relation avec les figures 1 à 7 est que leur procédé de fabrication ne nécessite pas de coût supplémentaire par rapport à un procédé de fabrication d'un circuit ayant ses régions dopées et ses grilles recouvertes entièrement de siliciure.
- [0070] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art.
- [0071] En particulier, en figure 3, la structure 20 a une forme en vue de dessus rectangulaire, mais à titre de variante, la structure 20 pourrait avoir par exemple une forme d'anneau ou tout autre forme adaptée au fonctionnement de la structure 20.
- [0072] De plus, le mode de réalisation décrit en relation avec la figure 6 peut être combiné avec le mode de réalisation décrit en relation avec la figure 7.

- [0073] De plus, la région 111 est dopée de type N, mais elle pourrait être dopée fortement de type N.
- [0074] Par ailleurs, le dépôt d'une couche de siliciure partielle sur une portion dopée peut être appliquée à d'autres types de circuit de protection contre des décharges électrostatiques, comme celui décrit dans l'article de S. Athanasiou et al. intitulé "Preliminary 3D TCAD Electro-thermal Simulations of BIMOS transistor in thin silicon film for ESD protection in FDSOI UTBB CMOS technology" paru en 2017 dans la revue IEEE Xplore.
- [0075] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus.

## Revendications

- [Revendication 1] 1. Dispositif comprenant une couche de siliciure (S', S) recouvrant partiellement une zone dopée (107, 111, 115, 117, 119).
- [Revendication 2] 2. Dispositif selon la revendication 1, comprenant en outre un transistor de type MOS (14).
- [Revendication 3] 3. Dispositif selon la revendication 1 ou 2, comprenant en outre une diode (12).
- [Revendication 4] 4. Dispositif selon la revendication 2 et 3, dans lequel la cathode de la diode (12) et le drain du transistor (14) sont formés par une première région dopée de type N (111).
- [Revendication 5] 5. Dispositif selon la revendication 4, dans lequel la première région dopée de type N (111) a une concentration en atomes dopants comprise entre  $10^{17}$  et  $10^{18}$  atomes/cm<sup>3</sup>.
- [Revendication 6] 6. Dispositif selon la revendication 4 ou 5, dans lequel la zone dopée comprend au moins la première région dopée de type N (111) partiellement recouverte de la couche de siliciure (S, S').
- [Revendication 7] 7. Dispositif selon la revendication 6, dans lequel la zone dopée comprend uniquement la première région dopée de type N (111).
- [Revendication 8] 8. Dispositif selon l'une quelconque des revendications 3 à 7, dans lequel une portion de l'anode de la diode (12) est recouverte d'une électrode de commande (117).
- [Revendication 9] 9. Dispositif selon l'une quelconque des revendications 1 à 8, dans lequel la couche de siliciure (S', S) a une épaisseur comprise entre 10 et 30 nm.
- [Revendication 10] 10. Dispositif selon l'une quelconque des revendications 1 à 9, formé dans et sur une structure de type silicium sur isolant (SOI).
- [Revendication 11] 11. Dispositif selon la revendication 10, formé dans et sur une structure de type silicium sur isolant de type ultra mince (FD-SOI).
- [Revendication 12] 12. Dispositif selon l'une quelconque des revendications 1 à 11, dans lequel la zone dopée (111) est recouverte par une seule portion de couche de siliciure (S').
- [Revendication 13] 13. Dispositif selon l'une quelconque des revendications 1 à 11, dans lequel la zone dopée (107, 111, 115, 117, 119) est recouverte par au moins une portion de couche de siliciure (S', S).
- [Revendication 14] 14. Dispositif selon la revendication 13, dans lequel la zone dopée (107, 111, 115, 117, 119) est recouverte régulièrement par plusieurs portions de couches de siliciure (S', S).

- [Revendication 15] 15. Circuit de protection contre des décharges électrostatiques comprenant un dispositif selon l'une quelconque des revendications 1 à 14.

[Fig. 1]

10

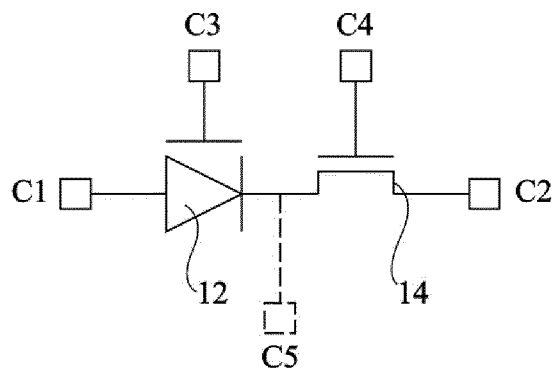


Fig 1

[Fig. 2]

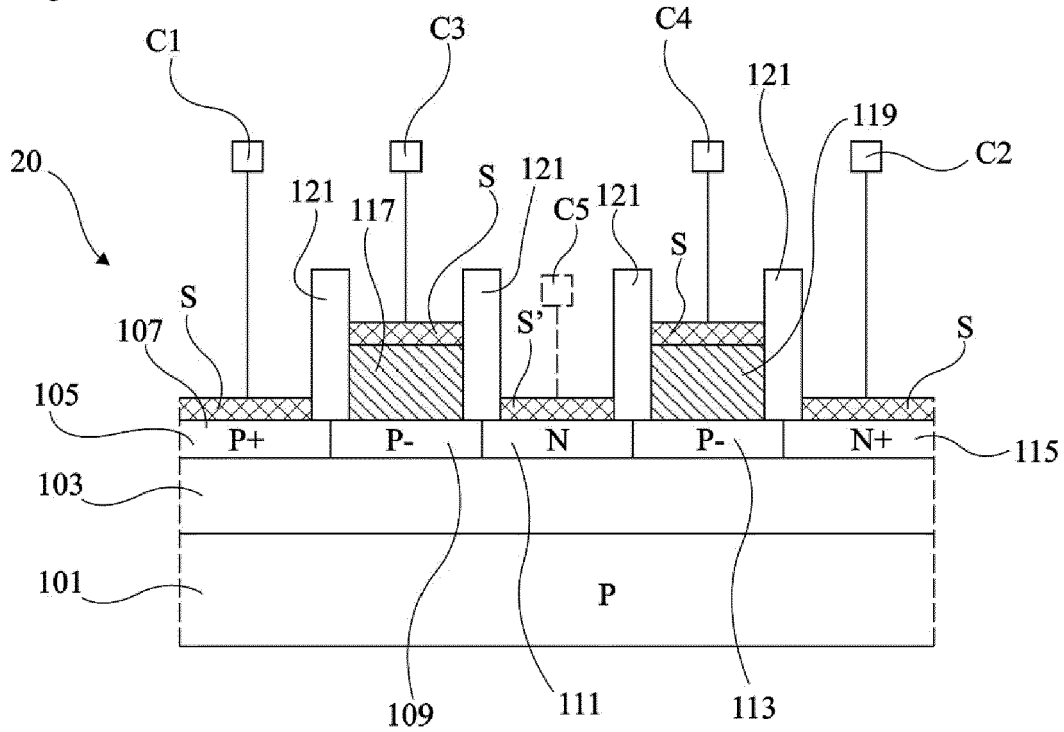
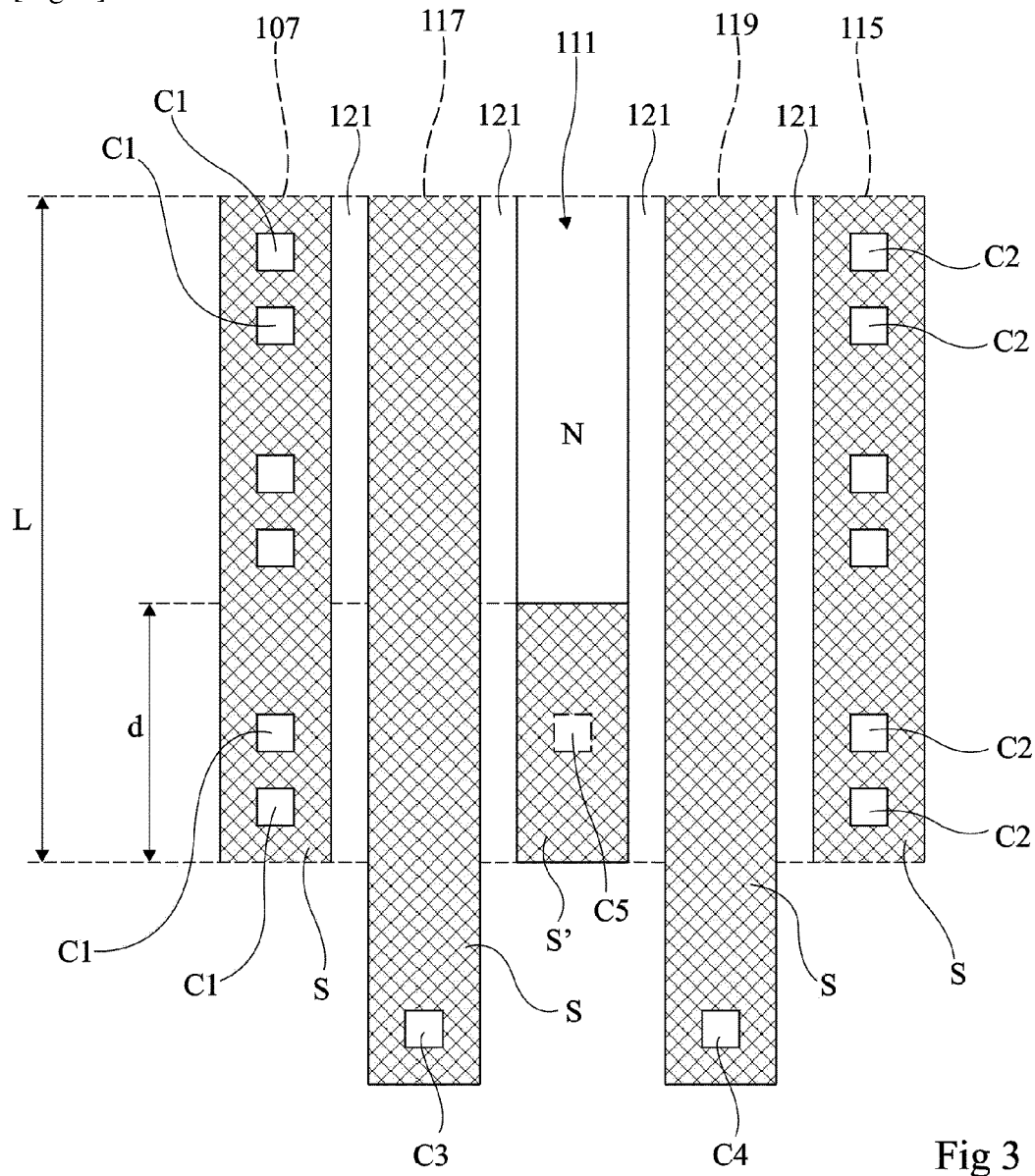


Fig 2

[Fig. 3]



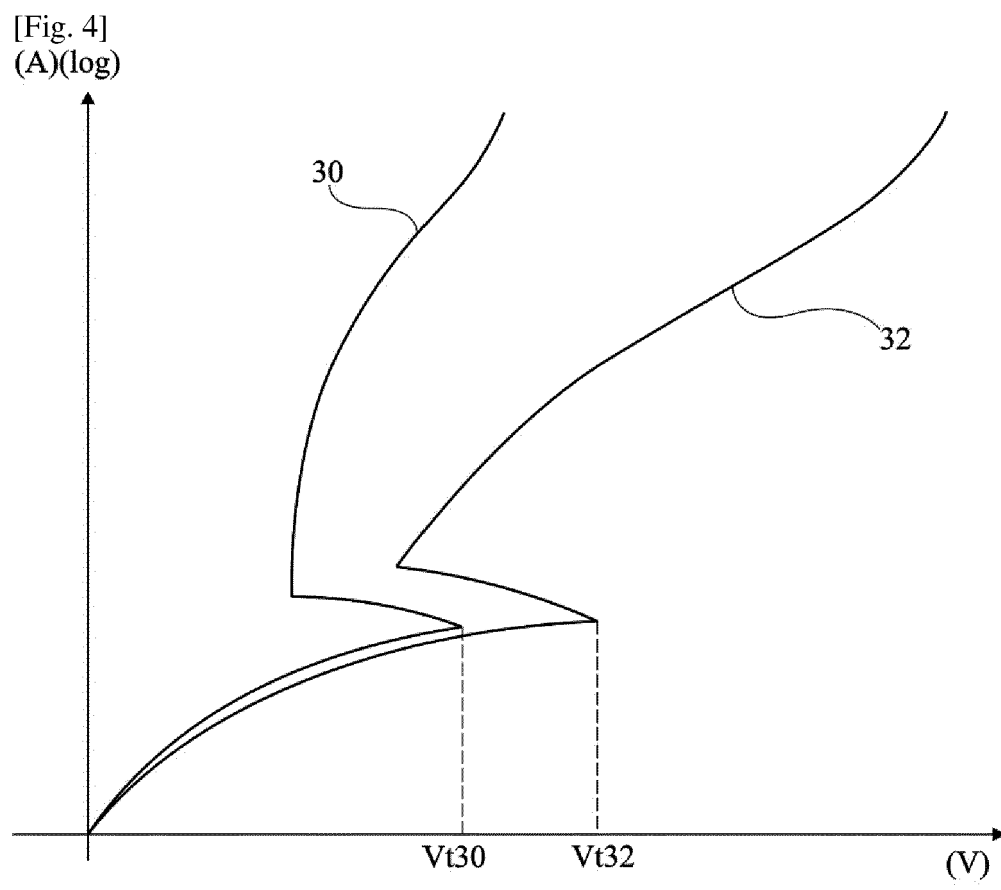


Fig 4

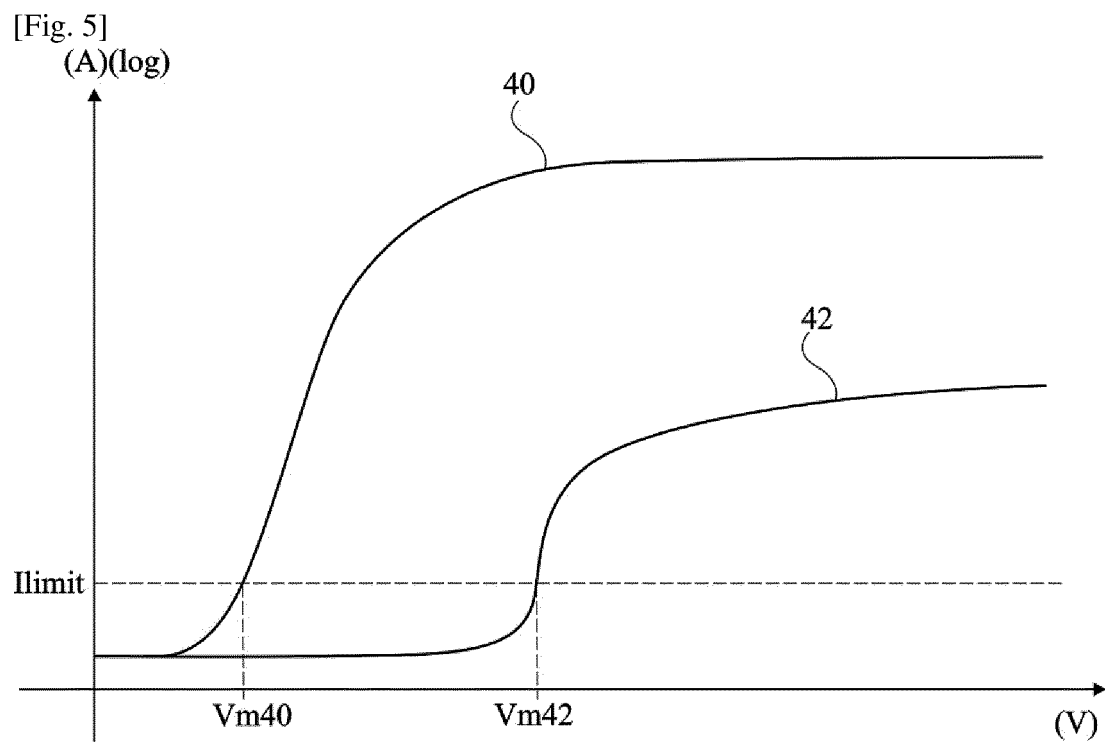


Fig 5

[Fig. 6]

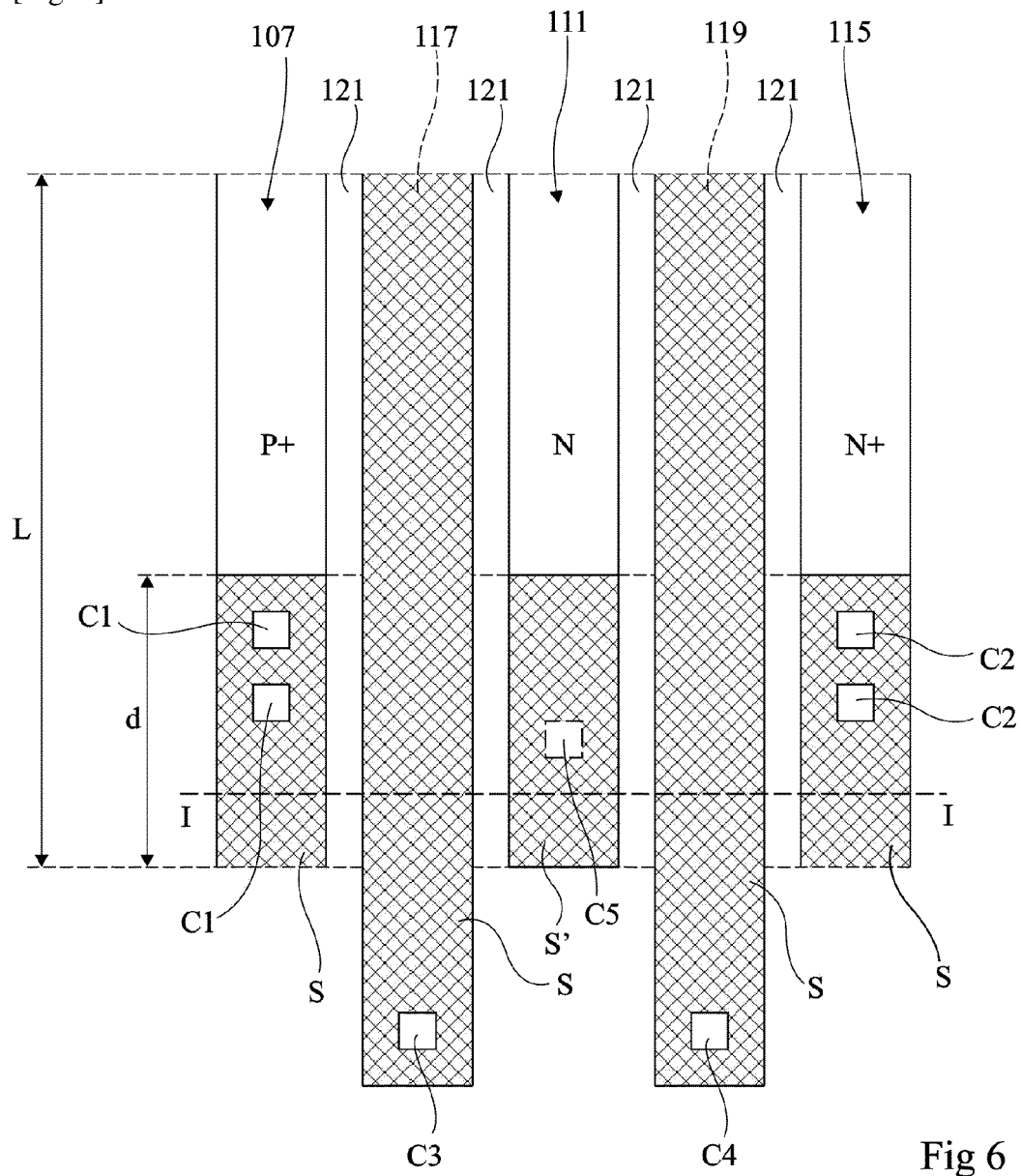


Fig 6

[Fig. 7]

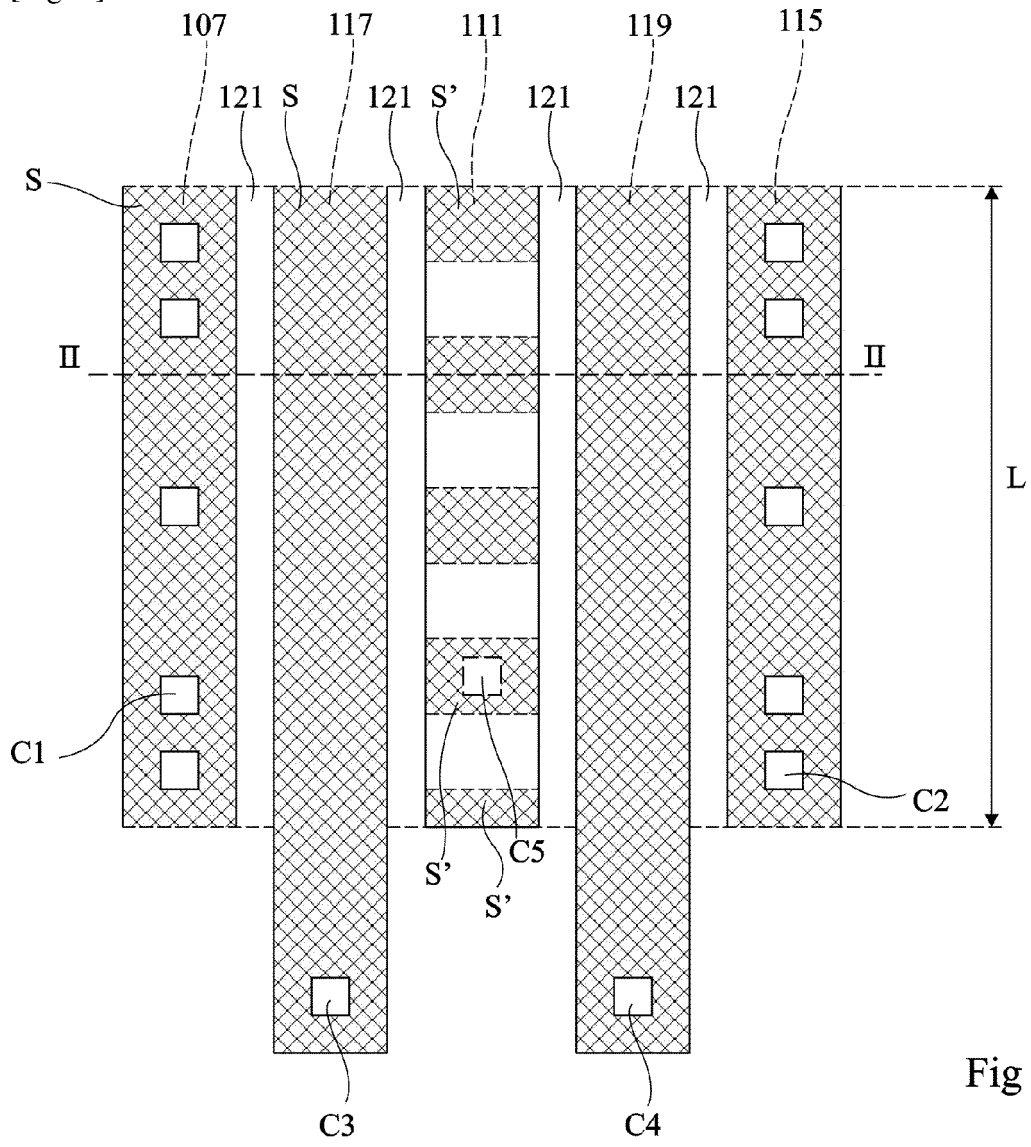


Fig 7

# RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications  
déposées avant le commencement de la recherche

N° d'enregistrement  
national

FA 857705  
FR 1870781

| DOCUMENTS CONSIDÉRÉS COMME PERTINENTS                                                                                                                                                                                               |                                                                                                                                                                  | Revendication(s)<br>concernée(s)                                                                                                                                                                                                                                                                                                    | Classement attribué<br>à l'invention par l'INPI |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------|
| Catégorie                                                                                                                                                                                                                           | Citation du document avec indication, en cas de besoin,<br>des parties pertinentes                                                                               |                                                                                                                                                                                                                                                                                                                                     |                                                 |
| X                                                                                                                                                                                                                                   | US 2008/088993 A1 (ENTRINGER CHRISTOPHE [FR] ET AL) 17 avril 2008 (2008-04-17)<br>* abrégé; figures 4,5 *<br>* alinéas [0006], [0009], [0017], [0033] - [0041] * | 1-15                                                                                                                                                                                                                                                                                                                                | H01L23/60<br>H01L27/02<br>H01L21/77             |
| X                                                                                                                                                                                                                                   | US 2015/214210 A1 (JIMENEZ JEAN [FR] ET AL) 30 juillet 2015 (2015-07-30)<br>* abrégé; figures 1-4 *<br>* alinéas [0034] - [0077] *                               | 1-4,9-15<br>5-8                                                                                                                                                                                                                                                                                                                     |                                                 |
| X                                                                                                                                                                                                                                   | CN 104 392 992 B (SHANGHAI INST MICROSYS & INF) 19 avril 2017 (2017-04-19)<br>* abrégé; figures 3,4 *<br>* alinéas [0015] - [0017], [0022] - [0088] *            | 1,3,10,12,13,15<br>2,4-9,11,14                                                                                                                                                                                                                                                                                                      |                                                 |
| X                                                                                                                                                                                                                                   | US 2012/319204 A1 (BENOIST THOMAS [FR] ET AL) 20 décembre 2012 (2012-12-20)<br>* abrégé; figure 9 *<br>* alinéas [0032] - [0048], [0055] - [0057] *              | 1-15                                                                                                                                                                                                                                                                                                                                | DOMAINES TECHNIQUES RECHERCHÉS (IPC)            |
| A                                                                                                                                                                                                                                   | US 2010/207161 A1 (SHRIVASTAVA MAYANK [IN] ET AL) 19 août 2010 (2010-08-19)<br>* abrégé; figures 1,2,10 *                                                        | 1-15                                                                                                                                                                                                                                                                                                                                | H01L                                            |
| Date d'achèvement de la recherche                                                                                                                                                                                                   |                                                                                                                                                                  | Examineur                                                                                                                                                                                                                                                                                                                           |                                                 |
| 17 avril 2019                                                                                                                                                                                                                       |                                                                                                                                                                  | Morena, Enrico                                                                                                                                                                                                                                                                                                                      |                                                 |
| CATÉGORIE DES DOCUMENTS CITÉS                                                                                                                                                                                                       |                                                                                                                                                                  | T : théorie ou principe à la base de l'invention<br>E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.<br>D : cité dans la demande<br>L : cité pour d'autres raisons<br>& : membre de la même famille, document correspondant |                                                 |
| X : particulièrement pertinent à lui seul<br>Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie<br>A : arrière-plan technologique<br>O : divulgation non-écrite<br>P : document intercalaire |                                                                                                                                                                  |                                                                                                                                                                                                                                                                                                                                     |                                                 |

# **ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE** **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1870781 FA 857705**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.  
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **17-04-2019**  
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

| Document brevet cité<br>au rapport de recherche | Date de<br>publication | Membre(s) de la<br>famille de brevet(s) | Date de<br>publication   |
|-------------------------------------------------|------------------------|-----------------------------------------|--------------------------|
| US 2008088993 A1                                | 17-04-2008             | AUCUN                                   |                          |
| US 2015214210 A1                                | 30-07-2015             | AUCUN                                   |                          |
| CN 104392992 B                                  | 19-04-2017             | AUCUN                                   |                          |
| US 2012319204 A1                                | 20-12-2012             | FR 2976725 A1<br>US 2012319204 A1       | 21-12-2012<br>20-12-2012 |
| US 2010207161 A1                                | 19-08-2010             | DE 102010000355 A1<br>US 2010207161 A1  | 26-08-2010<br>19-08-2010 |