

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4912000号
(P4912000)

(45) 発行日 平成24年4月4日(2012.4.4)

(24) 登録日 平成24年1月27日(2012.1.27)

(51) Int.Cl.		F I			
G 1 1 C	19/00	(2006.01)	G 1 1 C	19/00	G
G 0 9 G	3/20	(2006.01)	G 1 1 C	19/00	J
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 2 2 E
			G 0 9 G	3/20	6 2 3 H
			G 0 9 G	3/20	6 1 1 A
請求項の数 9 (全 27 頁) 最終頁に続く					

(21) 出願番号 特願2006-70244 (P2006-70244)
 (22) 出願日 平成18年3月15日(2006.3.15)
 (65) 公開番号 特開2007-250052 (P2007-250052A)
 (43) 公開日 平成19年9月27日(2007.9.27)
 審査請求日 平成20年11月14日(2008.11.14)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 飛田 洋一
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 審査官 堀田 和義

最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路およびそれを備える画像表示装置

(57) 【特許請求の範囲】

【請求項1】

クロック端子および出力端子と、
 前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、

それぞれが前記出力端子を放電する第2および第3トランジスタとを備えるシフトレジスタ回路であって、

前記第1、第2および第3トランジスタの制御電極が接続するノードをそれぞれ第1、第2および第3ノードとし、

所定の第1制御信号が入力される第1制御端子と前記第2ノードとの間に接続する第4トランジスタと、

所定の第2制御信号が入力される第2制御端子と前記第3ノードとの間に接続する第5トランジスタと、

前記第1および第2制御信号に基づいて、前記第2および第3トランジスタを交互に駆動する駆動回路をさらに備え、

前記第4および第5トランジスタは、

その片方の主電極がたすき掛けに互いの制御電極に接続されていることを特徴とするシフトレジスタ回路。

【請求項2】

請求項1記載のシフトレジスタ回路であって、

10

20

前記駆動回路は、

前記第 1 ノードを入力端とし、前記第 2 ノードを出力端とする第 1 インバータと、
前記第 1 ノードを入力端とし、前記第 3 ノードを出力端とする第 2 インバータとを含み

、
前記第 1 および第 2 インバータは、

前記第 1 および第 2 制御信号に基づいて交互に活性化することを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路であって、

前記第 1 インバータは、

前記第 2 ノードと前記第 1 制御端子との間に接続し、ダイオード接続した第 6 トランジスタと、

前記第 2 ノードと第 1 電源端子との間に接続し、前記第 1 ノードに接続した制御電極を有する第 7 トランジスタとを含み、

前記第 2 インバータは、

前記第 3 ノードと前記第 2 制御端子との間に接続し、ダイオード接続した第 8 トランジスタと、

前記第 3 ノードと前記第 1 電源端子との間に接続し、前記第 1 ノードに接続した制御電極を有する第 9 トランジスタとを含む

ことを特徴とするシフトレジスタ回路。

【請求項 4】

請求項 2 記載のシフトレジスタ回路であって、

前記第 1 インバータは、

前記第 2 ノードと第 2 電源端子との間に接続し、前記第 1 制御信号が入力される制御電極を有する第 6 トランジスタと、

前記第 2 ノードと第 1 電源端子との間に接続し、前記第 1 ノードに接続した制御電極を有する第 7 トランジスタとを含み、

前記第 2 インバータは、

前記第 3 ノードと前記第 2 電源端子との間に接続し、前記第 2 制御信号が入力される制御電極を有する第 8 トランジスタと、

前記第 3 ノードと前記第 1 電源端子との間に接続し、前記第 1 ノードに接続した制御電極を有する第 9 トランジスタとを含む

ことを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 1 記載のシフトレジスタ回路であって、

前記駆動回路は、

前記第 1 ノードを入力端とするインバータと、

前記第 1 および第 2 制御信号に基づいて、前記インバータの出力端を前記第 2 および第 3 ノードへ交互に電氣的に接続させる切替回路とを備える

ことを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 5 記載のシフトレジスタ回路であって、

前記切替回路は、

前記インバータの出力端と前記第 2 ノードとの間に接続し、前記第 1 制御信号が入力される制御電極を有する第 6 トランジスタと、

前記インバータの出力端と前記第 3 ノードとの間に接続し、前記第 2 制御信号が入力される制御電極を有する第 7 トランジスタとを含む

ことを特徴とするシフトレジスタ回路。

【請求項 7】

請求項 1 から請求項 6 のいずれか記載のシフトレジスタ回路が複数個縦続接続して成る

10

20

30

40

50

シフトレジスタ回路。

【請求項 8】

請求項 7 記載のシフトレジスタ回路をゲート線駆動回路として備える画像表示装置であって、

前記第 1 および第 2 制御信号が、

表示画像のフレーム間のブランキング期間にレベルが切り替わるよう制御されている

ことを特徴とする画像表示装置。

【請求項 9】

請求項 8 記載の画像表示装置であって、

前記第 1 および第 2 制御信号が、

表示画像の 1 フレーム毎にレベルが切り替わるよう制御されている

ことを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路に関するものであり、特に、例えば画像表示装置の走査線駆動回路などに使用される、同一導電型の電界効果トランジスタのみにより構成されるシフトレジスタ回路に関するものである。

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の 1 水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行なわれる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の 1 フレーム期間で一巡するシフト動作を行なうシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている（例えば非特許文献 1）。電界効果トランジスタとしては、MOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）などが用いられる。

【0004】

また、ゲート線駆動回路としてのシフトレジスタは、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）して構成される。本明細書では説明の便宜上、ゲート線駆動回路を構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ回路」と称する。

【0005】

【特許文献 1】特開 2004 - 246358 号公報

【特許文献 2】特開 2001 - 350438 号公報

【非特許文献 1】Soon Young Yoon 他「Highly Stable Integrated Gate Driver Circuit using a-Si TFT with Dual Pull-down Structure」SID 05 DIGEST p.348-351

【発明の開示】

【発明が解決しようとする課題】

【0006】

一般的な単位シフトレジスタ回路は、その出力段に、出力端子とクロック端子との間に接続する出力プルアップトランジスタと、出力端子と基準電圧端子との間に接続する出力プルダウントランジスタとを備えている。そのような単位シフトレジスタ回路では、所定の入力信号に応じて出力プルアップトランジスタがオン、出力プルダウントランジスタが

10

20

30

40

50

オフにされ、その状態でクロック端子に入力されるクロック信号が出力端子に伝達されることによって、出力信号が出力される。逆に、上記の入力信号が入力されない期間は、出力プルアップトランジスタがオフ、出力プルダウントランジスタがオンにされ、出力端子の電圧レベル（以下、単に「レベル」）はL（Low）レベルに保持される。

【0007】

ゲート線駆動回路のシフトレジスタを非晶質シリコンTFT（a-SiTFT）で構成した表示装置は、大面積化が容易で且つ生産性が高く、例えばノート型PCの画面や、大画面ディスプレイ装置などに広く採用されている。

【0008】

その反面、a-SiTFTはゲート電極が継続的（直流的）に正バイアスされた場合に、しきい値電圧が正方向にシフトして駆動能力（電流を流す能力）が小さくなる傾向がある。特にゲート線駆動回路の単位シフトレジスタ回路では、出力プルダウントランジスタのゲートが約1フレーム期間（約16ms）直流的に正バイアスされる動作が連続的に行われるため、次第に出力プルダウントランジスタの駆動能力が低下してしまう。そうになると、ノイズ等に起因して出力端子に不要に電荷が供給されたときそれを出力プルダウントランジスタが放電することができず、ゲート線が誤って活性化されてしまうという誤動作が生じる。

【0009】

上記の非特許文献1ではその対策として、単位シフトレジスタ回路の出力端子に対して出力プルダウントランジスタを並列に2つ設け、両者をフレーム毎に交互に動作/休止させることによって、一つの出力プルダウントランジスタのゲート電極が継続的にバイアスされないようにしたゲート線駆動回路が提案されている。

【0010】

しかし、単位シフトレジスタ回路SRが出力プルダウントランジスタを2つ備える場合には、単位シフトレジスタ回路内にそれを駆動する回路（プルダウン駆動回路）も2つ必要になるため、それに伴う消費電力の上昇が懸念される。

【0011】

本発明は以上の問題を解決するためになされたものであり、消費電力の上昇を抑制しつつ、シフトレジスタ回路の誤動作を防止して動作信頼性を向上させることを目的とする。

【課題を解決するための手段】

【0012】

本発明に係るシフトレジスタ回路は、クロック端子および出力端子と、前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、それぞれが前記出力端子を放電する第2および第3トランジスタとを備えるシフトレジスタ回路であって、前記第1、第2および第3トランジスタの制御電極が接続するノードをそれぞれ第1、第2および第3ノードとし、所定の第1制御信号が入力される第1制御端子と前記第2ノードとの間に接続する第4トランジスタと、所定の第2制御信号が入力される第2制御端子と前記第3ノードとの間に接続する第5トランジスタと、前記第1および第2制御信号に基づいて、前記第2および第3トランジスタを交互に駆動する駆動回路をさらに備え、前記第4および第5トランジスタは、その片方の主電極がたすき掛けに互いの制御電極に接続されているものである。

【発明の効果】

【0013】

本発明に係るシフトレジスタ回路によれば、駆動回路が第1制御信号および第2制御信号に基づいて第2および第3トランジスタを交互に駆動する際に、第5および第6トランジスタも交互にオン/オフが切り替わり、それによって休止状態になる方の制御電極が所定のレベルに固定される。従って、第2および第3トランジスタのしきい値電圧のシフトを抑制でき、動作の信頼性が向上する。また、第5および第6トランジスタはそれぞれ第1および第2制御端子に接続しているため、オン/オフの切り替えが小電力で行われるの

10

20

30

40

50

で、消費電力の増大が抑制される。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0015】

<実施の形態1>

図1は、本発明の実施の形態1に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置10の全体構成を示している。

10

【0016】

液晶表示装置10は、液晶アレイ部20と、ゲート線駆動回路(走査線駆動回路)30と、ソースドライバ40とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路30に搭載される。

【0017】

液晶アレイ部20は、行列状に配設された複数の画素25を含む。画素の行(以下「画素ライン」とも称する)の各々にはそれぞれゲート線 GL_1, GL_2, \dots (総称「ゲート線 GL 」)が配設され、また、画素の列(以下「画素列」とも称する)の各々にはそれぞれデータ線 DL_1, DL_2, \dots (総称「データ線 DL 」)がそれぞれ設けられる。図1には、第1行の第1列および第2列の画素25、並びにこれに対応するゲート線 GL_1 およびデータ線 DL_1, DL_2 が代表的に示されている。

20

【0018】

各画素25は、対応するデータ線 DL と画素ノード Np との間に設けられる画素スイッチ素子26と、画素ノード Np および共通電極ノード NC の間に並列に接続されるキャパシタ27および液晶表示素子28とを有している。画素ノード Np と共通電極ノード NC との間の電圧差に応じて、液晶表示素子28中の液晶の配向性が変化し、これに応答して液晶表示素子28の表示輝度が変化する。これにより、データ線 DL および画素スイッチ素子26を介して画素ノード Np へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード Np と共通電極ノード NC との間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

30

【0019】

ゲート線駆動回路30は、所定の走査周期に基づき、ゲート線 GL を順に選択して駆動する。画素スイッチ素子26のゲート電極は、それぞれ対応するゲート線 GL と接続される。特定のゲート線 GL が選択されている間は、それに接続する各画素において、画素スイッチ素子26が導通状態になり画素ノード Np が対応するデータ線 DL と接続される。そして、画素ノード Np へ伝達された表示電圧がキャパシタ27によって保持される。一般的に、画素スイッチ素子26は、液晶表示素子28と同一の絶縁体基板(ガラス基板、樹脂基板等)上に形成されるTFTで構成される。

40

【0020】

ソースドライバ40は、 N ビットのデジタル信号である表示信号 SIG によって段階的に設定される表示電圧を、データ線 DL へ出力するためのものである。ここでは一例として、表示信号 SIG は6ビットの信号であり、表示信号ビット $DB_0 \sim DB_5$ から構成されるものとする。6ビットの表示信号 SIG に基づく、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、 R (Red)、 G (Green)および B (Blue)の3つの画素により1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0021】

また、図1に示すように、ソースドライバ40は、シフトレジスタ50と、データラッチ回路52, 54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ8

50

0 とから構成されている。

【0022】

表示信号 S I G においては、各々の画素 2 5 の表示輝度に対応する表示信号ビット D B 0 ~ D B 5 がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット D B 0 ~ D B 5 は、液晶アレイ部 2 0 中のいずれか 1 つの画素 2 5 における表示輝度を示している。

【0023】

シフトレジスタ 5 0 は、表示信号 S I G の設定が切替わる周期に同期したタイミングで、データラッチ回路 5 2 に対して、表示信号ビット D B 0 ~ D B 5 の取込を指示する。データラッチ回路 5 2 は、シリアルに生成される表示信号 S I G を順に取り込み、1 つの画素ライン分の表示信号 S I G を保持する。

10

【0024】

データラッチ回路 5 4 に入力されるラッチ信号 L T は、データラッチ回路 5 2 に 1 つの画素ライン分の表示信号 S I G が取込まれるタイミングで活性化する。データラッチ回路 5 4 はそれに応答して、そのときデータラッチ回路 5 2 に保持されている 1 つの画素ライン分の表示信号 S I G を取り込む。

【0025】

階調電圧生成回路 6 0 は、高電圧 V D H および低電圧 V D L の間に直列に接続された 6 3 個の分圧抵抗で構成され、6 4 段階の階調電圧 V 1 ~ V 6 4 をそれぞれ生成する。

【0026】

デコード回路 7 0 は、データラッチ回路 5 4 に保持されている表示信号 S I G をデコードし、当該デコード結果に基づいて各デコード出力ノード N d ₁ , N d ₂ . . . (総称「デコード出力ノード N d 」) に出力する電圧を、階調電圧 V 1 ~ V 6 4 のうちから選択して出力する。

20

【0027】

その結果、デコード出力ノード N d には、データラッチ回路 5 4 に保持された 1 つの画素ライン分の表示信号 S I G に対応した表示電圧 (階調電圧 V 1 ~ V 6 4 のうちの 1 つ) が同時に (パラレルに) 出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 D L 1 , D L 2 に対応するデコード出力ノード N d ₁ , N d ₂ が代表的に示されている。

30

【0028】

アナログアンプ 8 0 は、デコード回路 7 0 からデコード出力ノード N d ₁ , N d ₂ . . . に出力された各表示電圧に対応したアナログ電圧を、それぞれデータ線 D L 1 , D L 2 . . . に出力する。

【0029】

ソースドライバ 4 0 が、所定の走査周期に基づいて、一連の表示信号 S I G に対応する表示電圧を 1 画素ライン分ずつデータ線 D L へ繰返し出力し、ゲート線駆動回路 3 0 がその走査周期に同期してゲート線 G L ₁ , G L ₂ . . . を順に駆動することにより、液晶アレイ部 2 0 に表示信号 S I G に基づいた画像の表示が成される。

【0030】

なお、図 1 には、ゲート線駆動回路 3 0 およびソースドライバ 4 0 が液晶アレイ部 2 0 と一体的に形成された液晶表示装置 1 0 の構成を例示したが、ゲート線駆動回路 3 0 およびソースドライバ 4 0 については、液晶アレイ部 2 0 の外部回路として設けることも可能である。

40

【0031】

図 2 は、ゲート線駆動回路 3 0 の構成を示す図である。このゲート線駆動回路 3 0 は、縦続接続 (カスケード接続) した複数の単位シフトレジスタ回路 S R ₁ , S R ₂ , S R ₃ , S R ₄ . . . で構成されるシフトレジスタから成っている。(以下、単位シフトレジスタ回路 S R ₁ , S R ₂ . . . を「単位シフトレジスタ回路 S R 」と総称する) 。単位シフトレジスタ回路 S R は、1 つの画素ラインすなわち 1 つのゲート線 G L ごとに 1 つずつ設けら

50

れる。

【 0 0 3 2 】

また図 2 に示すクロック発生器 3 1 は、各々位相が異なる 3 相のクロック信号 C L K 1 , C L K 2 , C L K 3 をゲート線駆動回路 3 0 の単位シフトレジスタ回路 S R に入力するものである。これらクロック信号 C L K 1 , C L K 2 , C L K 3 は、表示装置の走査周期に同期したタイミングで順番に活性化するように制御されている。

【 0 0 3 3 】

それぞれの単位シフトレジスタ回路 S R は、入力端子 I N、出力端子 O U T、クロック端子 C K およびリセット端子 R S T を有している。図 2 のように、各単位シフトレジスタ回路 S R のクロック端子 C K およびリセット端子 R S T には、クロック発生器 3 1 が出力するクロック信号 C L K 1 , C L K 2 , C L K 3 のうちのいずれかが供給される。単位シフトレジスタ回路 S R の出力端子 O U T にはそれぞれゲート線 G L が接続する。つまり、出力端子 O U T に出力される信号（出力信号）は、ゲート線 G L を活性化するための水平（又は垂直）走査パルスとなる。

【 0 0 3 4 】

第 1 段目（第 1 ステージ）の単位シフトレジスタ回路 S R₁ の入力端子 I N には、画像信号の各フレーム期間の先頭に対応するスタートパルスが入力される。第 2 段以降の単位シフトレジスタ回路 S R の入力端子 I N にはその前段の出力信号が入力される。即ち、第 2 段以降の単位シフトレジスタ回路 S R の入力端子 I N は、自身の前段の単位シフトレジスタ回路 S R の出力端子 O U T に接続されている。

【 0 0 3 5 】

この構成のゲート線駆動回路 3 0 においては、各単位シフトレジスタ回路 S R は、クロック信号 C L K 1 , C L K 2 , C L K 3 に同期して、前段から入力される入力信号（前段の出力信号）をシフトさせながら、対応するゲート線 G L 並びに自身の次段の単位シフトレジスタ回路 S R へと伝達する（単位シフトレジスタ回路 S R の動作の詳細は後述する）。その結果、一連の単位シフトレジスタ回路 S R は、所定の走査周期に基づいたタイミングでゲート線 G L を順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

【 0 0 3 6 】

ここで、本発明の説明を容易にするために、従来の単位シフトレジスタについて説明する。図 3 は、従来の単位シフトレジスタ回路 S R の構成を示す回路図である。なおゲート線駆動回路 3 0 においては、縦続接続された各単位シフトレジスタ回路 S R の構成は実質的にどれも同じであるので、以下では 1 つの単位シフトレジスタ回路 S R の構成についてのみ代表的に説明する。また、この単位シフトレジスタ回路 S R を構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、本実施の形態においては全て N 型 T F T であるものとする。

【 0 0 3 7 】

図 3 の如く、従来の単位シフトレジスタ回路 S R は、既に図 2 で示した入力端子 I N、出力端子 O U T、クロック端子 C K およびリセット端子 R S T の他に、低電位側電源電位 V S S が供給される第 1 電源端子 S 1、共に高電位側電源電位 V D D が供給される第 2 電源端子 S 2 および第 3 電源端子 S 3 を有している。ここでは第 2 電源端子 S 2 および第 3 電源端子 S 3 に、共に同じ電位（V D D）が供給される例を示すが、それぞれトランジスタ Q 1 およびトランジスタ Q 2 を駆動するために十分な電位が供給されていればよく、互いに異なる電位が供給されていてもよい。以下の説明では、低電位側電源電位 V S S が回路の基準電位（= 0 V）とするが、実使用では画素に書込まれるデータの電圧を基準にして基準電位が設定され、例えば高電位側電源電位 V D D は 1.7 V、低電位側電源電位 V S S は - 1.2 V などと設定される。

【 0 0 3 8 】

単位シフトレジスタ回路 S R の出力段は、出力端子 O U T とクロック端子 C K との間に接続するトランジスタ Q 1 と、出力端子 O U T と第 1 電源端子 S 1 との間に接続するトランジスタ Q 2 とにより構成されている。即ち、トランジスタ Q 1 は、クロック端子 C K に

10

20

30

40

50

入力されるクロック信号を出力端子OUTに供給する出力プルアップトランジスタであり、トランジスタQ2は、第1電源端子S1の電位を出力端子OUTに供給する出力プルダウントランジスタである。以下、単位シフトレジスタ回路SRの出力段を構成するトランジスタQ1のゲート（制御電極）が接続するノードをノードN1（第1ノード）、トランジスタQ2のゲートノードをノードN2（第2ノード）と定義する。

【0039】

トランジスタQ1のゲート・ソース間（即ち出力端子OUTとノードN1との間）には容量素子Cが設けられている。またノードN1と第2電源端子S2との間にはトランジスタQ3が接続しており、そのゲートは入力端子INに接続している。ノードN1と第1電源端子S1との間には、トランジスタQ4並びにトランジスタQ5が接続する。トランジスタQ4のゲートはリセット端子RSTに接続し、トランジスタQ5のゲートはノードN2に接続する。

10

【0040】

ノードN2と第3電源端子S3との間には、ダイオード接続されたトランジスタQ6が接続し、ノードN2と第1電源端子S1との間にはトランジスタQ7が接続する。トランジスタQ7のゲートはノードN1に接続する。トランジスタQ7は、トランジスタQ6よりも駆動能力（電流を流す能力）が十分大きく設定されている。即ち、トランジスタQ7のオン抵抗はトランジスタQ6のオン抵抗よりも小さい。よってトランジスタQ7のゲート電位が上昇するとノードN2の電位は下降し、反対にトランジスタQ7のゲート電位が下降するとノードN2の電位は上昇する。即ちトランジスタQ6およびトランジスタQ7は、ノードN1を入力端としノードN2を出力端とするインバータを構成している。当該インバータは、トランジスタQ6およびトランジスタQ7のオン抵抗値の比によってその動作が規定されるものであり、「レシオ型インバータ」と呼ばれる。また当該インバータは、出力端子OUTをプルダウンさせるためにトランジスタQ2を駆動する「プルダウン駆動回路」として機能している。

20

【0041】

図3の単位シフトレジスタ回路SRの具体的な動作を説明する。ゲート線駆動回路30を構成する各単位シフトレジスタ回路SRの動作は実質的にどれも同じであるので、ここでは第n段目の単位シフトレジスタ回路SR_nの動作を代表的に説明する。

【0042】

簡単のため、当該単位シフトレジスタ回路SR_nのクロック端子CKにクロック信号CLK1が入力され、リセット端子RSTにクロック信号CLK3が入力されるものとして説明を行う（例えば図2における、単位シフトレジスタ回路SR₁、SR₄などがこれに該当する）。また、当該単位シフトレジスタ回路SR_nの出力信号をG_n、その前段（第n-1段）の単位シフトレジスタ回路SRの出力信号をG_{n-1}と定義する。また単位シフトレジスタ回路SRを構成する各トランジスタのしきい値電圧は全て等しいものと仮定し、その値をV_{th}とする。

30

【0043】

まず初期状態として、ノードN1がL（Low）レベル（V_{SS}）、ノードN2がH（High）レベル（V_{DD} - V_{th}）であるとする（以下、この状態を「リセット状態」と称す）。また、クロック端子CK（クロック信号CLK1）、リセット端子RST（クロック信号CLK3）、入力端子IN（前段の出力信号G_{n-1}）は何れもLレベルであるとする。このリセット状態では、トランジスタQ1がオフ（遮断状態）、トランジスタQ2がオン（導通状態）であるので、出力端子OUT（出力信号G_n）は、クロック端子CK（クロック信号CLK1）のレベルに関係なくLレベルに保たれる。即ち、この単位シフトレジスタ回路SR_nが接続するゲート線GL_nは非選択状態にある。

40

【0044】

その状態から、前段の単位シフトレジスタ回路SR_{n-1}の出力信号G_{n-1}がHレベルになると、それが当該単位シフトレジスタ回路SR_nの入力端子INに入力されトランジスタQ3がオンになる。このときノードN2はLレベルなのでトランジスタQ5もオンしてい

50

るが、トランジスタQ3はトランジスタQ5よりも駆動能力が十分大きく設定されており、トランジスタQ3のオン抵抗はトランジスタQ5のオン抵抗に比べ十分低いため、ノードN1のレベルは上昇する。

【0045】

それによりトランジスタQ7が導通し始めノードN2のレベルは下降する。そうするとトランジスタQ5の抵抗が高くなり、ノードN1のレベルが急速に上昇してトランジスタQ7を十分にオンにする。その結果ノードN2はLレベル(VSS)になり、トランジスタQ5がオフになってノードN1がHレベル(VDD - V_{th})になる。このようにノードN1がHレベル、ノードN2がLレベルの状態(以下、この状態を「セット状態」称す)では、トランジスタQ1がオン、トランジスタQ2がオフになる。その後、前段の出力信号G_{n-1}はLレベルに戻り、トランジスタQ3はオフするが、ノードN1はフローティング状態になるのでこのセット状態は維持される。

10

【0046】

セット状態では、トランジスタQ1がオン、トランジスタQ2がオフであるため、次いでクロック端子CKのクロック信号CLK1がHレベルになると、出力端子OUTのレベルが上昇する。このとき容量素子CおよびトランジスタQ1のゲート・チャネル間容量を介した結合により、ノードN1のレベルは特定の電圧だけ昇圧される(このためノードN1は「昇圧ノード」と称されることもある)。従って出力端子OUTのレベルが上昇してもトランジスタQ1のゲート・ソース間電圧はしきい値電圧(V_{th})よりも大きく保たれ、当該トランジスタQ1は低インピーダンスに維持されるので、出力信号G_nのレベルはクロック端子CKのレベルに追従して素早く変化する。特に、トランジスタQ1のゲート・ソース間電圧が充分大きい場合にはトランジスタQ1は非飽和領域での動作(非飽和動作)を行うので、しきい値電圧分の損失はなく出力端子OUTはクロック信号CLK1と同レベルにまで上昇する。よって、クロック信号CLK1がHレベルの期間だけ、出力信号G_nがHレベルになり、ゲート線GL_nを活性化して選択状態にする。そして、クロック信号CLK1がLレベルに戻ると、それに追従して出力信号G_nも素早くLレベルになり、ゲート線GL_nは放電され非選択状態に戻る。

20

【0047】

その後、リセット端子RSTのクロック信号CLK3がHレベルになると、トランジスタQ4がオンになるためノードN1がLレベルになり、それに伴ってトランジスタQ7がオフになるためノードN2はHレベルになる。即ち、トランジスタQ1がオフ、トランジスタQ2がオンのリセット状態に戻る(このためノードN2は「リセットノード」と称されることもある)。

30

【0048】

以上の動作をまとめると、単位シフトレジスタ回路SRは、入力端子INに信号(スタートパルスまたは前段の出力信号G_{n-1})が入力されない間はリセット状態にあり、トランジスタQ1がオフ、トランジスタQ2がオンに保たれるため、出力端子OUT(ゲート線GL_n)は低インピーダンスのLレベル(VSS)に維持される。そして入力端子INに信号が入力されると、単位シフトレジスタ回路SRはセット状態に切り替わる。セット状態ではトランジスタQ1がオン、トランジスタQ2がオフであるため、クロック端子CKの信号(クロック信号CLK1)がHレベルになる期間、出力端子OUT(出力信号G_n)がHレベルになる。そしてその後、リセット端子RSTに信号(クロック信号CLK3)が入力されると、元のリセット状態に戻る。

40

【0049】

このように動作する複数の単位シフトレジスタ回路SRを図2のように縦続接続し、ゲート線駆動回路30を構成すると、第1段目の単位シフトレジスタ回路SR₁の入力端子INに入力された入力信号(スタートパルス)は、図4に示すタイミング図のように、クロック信号CLK1, CLK2, CLK3に同期したタイミングでシフトされながら、単位シフトレジスタ回路SR₂, SR₃・・・と順番に伝達される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL₁, GL₂, GL₃・・・を順に駆動する

50

ことができる。

【 0 0 5 0 】

上の例では、複数の単位シフトレジスタ回路 $S R$ が 3 相クロックに基づいて動作する例を示したが、2 相クロック信号を使用して動作させることも可能である。図 5 はその場合におけるゲート線駆動回路 3 0 の構成を示す図である。

【 0 0 5 1 】

この場合も、ゲート線駆動回路 3 0 は、縦続接続した複数の単位シフトレジスタ回路 $S R$ により構成される。即ち、各単位シフトレジスタ回路 $S R$ の入力端子 $I N$ には、その前段の単位シフトレジスタ回路 $S R$ の出力端子 $O U T$ が接続する。但し、第 1 段目の単位シフトレジスタ回路 $S R 1$ の入力端子 $I N$ には、スタートパルスが入力信号として入力される。

10

【 0 0 5 2 】

この場合におけるクロック発生器 3 1 は、互いに逆相の 2 相クロックであるクロック信号 $C L K$ 、 $/ C L K$ を出力するものである。それぞれの単位シフトレジスタ回路 $S R$ のクロック端子 $C K$ には、前後に隣接する単位シフトレジスタ回路 $S R$ に互いに逆相のクロック信号が入力されるよう、そのクロック信号 $C L K$ 、 $/ C L K$ の片方が入力される。また図 5 に示すように、各単位シフトレジスタ回路 $S R$ のリセット端子 $R S T$ には、その後段（この例では次段）の単位シフトレジスタ回路 $S R$ の出力端子 $O U T$ が接続される。

【 0 0 5 3 】

図 5 のように構成されたゲート線駆動回路 3 0 における単位シフトレジスタ回路 $S R$ の動作を説明する。ここでも、第 n 段目の単位シフトレジスタ回路 $S R_n$ の動作を代表的に説明する。簡単のため、当該単位シフトレジスタ回路 $S R_n$ のクロック端子 $C K$ にクロック信号 $C L K$ が入力されるものとして説明を行う（例えば、図 5 における単位シフトレジスタ回路 $S R_1$ 、 $S R_3$ などがこれに該当する）。また、当該単位シフトレジスタ回路 $S R_n$ の出力信号を G_n 、その前段（第 $n - 1$ 段目）の単位シフトレジスタ回路 $S R_{n-1}$ および次段（第 $n + 1$ 段目）の単位シフトレジスタ回路 $S R_{n+1}$ の出力信号をそれぞれ G_{n-1} および G_{n+1} と定義する。

20

【 0 0 5 4 】

まず初期状態として、ノード $N 1$ が L レベル ($V S S$)、ノード $N 2$ が H レベル ($V D D - V t h$) のリセット状態を仮定する。また、クロック端子 $C K$ (クロック信号 $C L K$)、リセット端子 $R S T$ (次段の出力信号 G_{n+1})、入力端子 $I N$ (前段の出力信号 G_{n-1}) は何れも L レベルであるとする。

30

【 0 0 5 5 】

その状態から、前段の出力信号 G_{n-1} が H レベルになると、それが当該単位シフトレジスタ回路 $S R_n$ の入力端子 $I N$ に入力されトランジスタ $Q 3$ がオンになり、ノード $N 1$ のレベルは上昇する。それによりトランジスタ $Q 7$ が導通し始め、ノード $N 2$ のレベルは下降する。そうなるとトランジスタ $Q 5$ の抵抗が高くなり、ノード $N 1$ のレベルが急速に上昇してトランジスタ $Q 7$ を十分にオンにする。その結果ノード $N 2$ は L レベル ($V S S$) になり、トランジスタ $Q 5$ がオフになってノード $N 1$ が H レベル ($V D D - V t h$) になる。その結果、トランジスタ $Q 1$ がオン、トランジスタ $Q 2$ がオフとなるセット状態になる。

40

【 0 0 5 6 】

そして、クロック信号 $C L K$ が H レベルになり出力端子 $O U T$ のレベルが上昇すると、容量素子 C およびトランジスタ $Q 1$ のゲート・チャンネル間容量による結合によりノード $N 1$ のレベルは特定の電圧だけ昇圧される。従って、出力信号 G_n のレベルはクロック端子 $C K$ のレベルに追従して変化し、クロック信号 $C L K$ が H レベルである間は出力信号 G_n も H レベルになってゲート線 $G L_n$ が活性化される（選択状態になる）。その後、クロック信号 $C L K$ が L レベルに戻ると出力信号 G_n も L レベルに戻り、ゲート線 $G L_n$ は非選択状態に戻る。

【 0 0 5 7 】

50

出力信号 G_n が単位シフトレジスタ回路 SR_{n+1} に伝達された後、次段の出力信号 G_{n+1} が H レベルになると、それがリセット端子 RST に入力されてトランジスタ Q_4 がオンになりノード N_1 が L レベルになる。それに伴ってトランジスタ Q_7 がオフになるのでノード N_2 は H レベルになる。即ち、当該単位シフトレジスタ回路 SR_n はリセット状態に戻り、トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンになる。

【0058】

このように、ゲート線駆動回路 30 が図 5 のように構成されている場合においても、それぞれの単位シフトレジスタ回路 SR の動作は、リセット端子 RST に入力される信号が前段の出力信号 G_{n-1} であることを除けば図 2 のように構成した場合とほぼ同じである。

【0059】

以上の動作を、図 5 のように縦続接続された単位シフトレジスタ回路 SR_1, SR_2, \dots が順に行う。それによって、第 1 段目の単位シフトレジスタ回路 SR_1 の入力端子 IN に入力された入力信号（スタートパルス）が、クロック信号 $CLK, /CLK$ に同期してシフトされながら、単位シフトレジスタ回路 SR_2, SR_3, \dots と順番に伝達される。その結果、ゲート線駆動回路 30 は図 6 に示すタイミング図の如く、クロック信号 $CLK, /CLK$ に同期して、ゲート線 GL_1, GL_2, GL_3, \dots を順に駆動することができる。

【0060】

但し、図 5 の構成では、各単位シフトレジスタ回路 SR は、リセット端子 RST に次段の単位シフトレジスタ回路 SR の出力信号 G_{n+1} が入力されるので、次段の単位シフトレジスタ回路 SR が少なくとも一度動作した後でなければリセット状態（すなわち上記の初期状態）にならない。各単位シフトレジスタ回路 SR は、リセット状態を経なければ図 6 に示したような通常動作を行うことができない。従って図 5 の構成の場合には、通常動作に先立って、ダミーの入力信号を単位シフトレジスタ回路 SR の第 1 段目から最終段まで伝達させるダミー動作を行わせる必要がある。あるいは、各単位シフトレジスタ回路 SR のノード N_2 と第 3 電源端子 S_3 （高電位側電源）との間にリセット用のトランジスタを別途設け、通常動作の前に強制的にノード N_2 を充電するリセット動作を行なってもよい。但し、その場合はリセット用の信号ラインが別途必要になる。

【0061】

ここで、先に述べた従来の単位シフトレジスタ回路 SR における誤動作の問題を詳細に説明する。以下では、単位シフトレジスタ回路 SR を構成する各トランジスタは $a-SiTFET$ であるとする。

【0062】

図 6 の最下段に、図 5 のゲート線駆動回路 30 における単位シフトレジスタ回路 SR_1 のノード N_2 の電圧波形を示す。上記のように、入力端子 IN の信号（スタートパルスあるいは前段の出力信号 G_{n-1} ）が H レベルに成ると、ノード N_2 は L レベルに遷移するが、すぐにリセット端子 RST の信号（次段の出力信号 G_{n+1} ）によって H レベルに戻され、その後約 1 フレーム期間（約 16 ms）H レベルに維持される（図示は省略するが、この振る舞いは図 2 のケースでも同様である）。つまりトランジスタ Q_2 およびトランジスタ Q_5 のゲートは約 1 フレーム期間継続的（直流的）に正バイアスされ、それが各フレームで繰り返し行われる。よって単位シフトレジスタ回路 SR が $a-SiTFET$ により構成されている場合には、トランジスタ Q_2, Q_5 はしきい値電圧が正方向にシフトして駆動能力が低下する問題が生じる。

【0063】

リセット状態におけるトランジスタ Q_5 の駆動能力が低下すると、例えばトランジスタ Q_1 のゲートとソース/ドレイン間のオーバーラップ容量に起因してノード N_1 に生じたノイズ等による電荷を素早く放電することができず、ノード N_1 のレベルが上昇する恐れがある。そうするとオフ状態にあるトランジスタ Q_1 の抵抗値が下がり、クロック信号 CLK が H レベルになったときに不要に出力端子 OUT に電荷が供給されるようになる。さらにこのときトランジスタ Q_2 の駆動能力が低下していると、ノイズにより生じた出力端子

10

20

30

40

50

OUTの電荷を素早く放電できず、出力端子OUTのレベルが上昇してしまう。つまり、非選択状態にあるべきゲート線が選択状態になってしまうという誤動作が生じ、液晶表示装置10の表示不具合が発生する。

【0064】

先に述べたように、非特許文献1では単位シフトレジスタ回路に出力プルダウントランジスタを2つの設け、その両者をフレーム毎に交互に動作/休止させることによって、一つの出力プルダウントランジスタのゲート電極が継続的にバイアスされないようであり、それによりこの不具合を回避することが可能である。しかし、単位シフトレジスタ回路内にそれを駆動する回路(プルダウン駆動回路)も2つ必要になるため、それに伴う消費電力の上昇が懸念される。以下、消費電力の上昇を抑制しつつ、上記の不具合を解決可能であることを特徴とする、本発明に係るシフトレジスタ回路について説明する。

10

【0065】

図7は、実施の形態1に係る単位シフトレジスタ回路SRの構成を示す回路図である。同図のように、当該単位シフトレジスタ回路SRの出力段は、出力端子OUTとクロック端子CKとの間に接続するトランジスタQ1と、共に出力端子OUTと第1電源端子S1との間に接続するトランジスタQ2A、Q2Bとにより構成されている。即ち、トランジスタQ1は、クロック端子CKに入力されるクロック信号を出力端子OUTに供給する第1トランジスタであり、トランジスタQ2A、Q2Bは、それぞれが第1電源端子S1の電位を出力端子OUTに供給する第2および第3トランジスタである。ここで図7に示すように、トランジスタQ1のゲート(制御電極)が接続するノードをノードN1、トランジスタQ2Aのゲートが接続するノードをノードN2A、トランジスタQ2Bのゲートが接続するノードをノードN2Bと定義する。

20

【0066】

トランジスタQ1のゲートとソースとの間すなわちノードN1と出力端子OUTとの間には容量素子Cが設けられている。ノードN1と第2電源端子S2との間には、ゲートが入力端子INに接続するトランジスタQ3が接続しており、ノードN1と第1電源端子S1との間には、ゲートがリセット端子RSTに接続したトランジスタQ4、ゲートがノードN2Aに接続したトランジスタQ5A、並びに、ゲートがノードN2Bに接続したトランジスタQ5Bが接続している。

【0067】

本実施の形態に係る単位シフトレジスタ回路SRは、所定の第1制御信号VFRが入力される第1制御端子CTAおよび、第2制御信号/VFRが入力される第2制御端子CTBを有している。第1制御信号VFRと第2制御信号/VFRとは互いに相補の信号であり、ゲート線駆動回路30を駆動するための駆動制御装置(不図示)により生成される。この第1制御信号VFRおよび第2制御信号/VFRは、表示画像のフレーム間のブランキング期間にレベルが切り替わる(交番する)よう制御されることが望ましく、例えば、表示画像の1フレーム毎にレベルが切り替わるよう制御される。

30

【0068】

第1制御端子CTAとノードN2Aの間にはトランジスタQ8Aが接続し、第2制御端子CTBとノードN2Bとの間にはトランジスタQ8Bが接続する。トランジスタQ8AのゲートはトランジスタQ8Bのドレイン(ノードN2B)に接続し、トランジスタQ8BのゲートはトランジスタQ8Aのドレイン(ノードN2A)に接続する。即ち、トランジスタQ8AおよびトランジスタQ8Bは、その片方の主電極(ここではドレイン)がたすき掛けに互いの制御電極(ゲート)に接続されており、いわゆるフリップフロップ回路を構成している。

40

【0069】

トランジスタQ6Aはダイオード接続しており、ノードN2Aと第1制御端子CTAとの間に接続している。トランジスタQ7Aは、ノードN2Aと第1電源端子S1との間に接続し、ゲートがノードN1に接続している。これらトランジスタQ6A、Q7Aは、ノードN1を入力端、ノードN2Aを出力端とするレシオ型インバータを構成しているが、

50

通常のインバータと異なり、その電源としては第1制御信号VFRが供給されている。

【0070】

またトランジスタQ6Bはダイオード接続しており、ノードN2Bと第2制御端子CTBとの間に接続している。トランジスタQ7Bは、ノードN2Bと第1電源端子S1との間に接続し、ゲートがノードN1に接続している。これらトランジスタQ6B、Q7Bは、ノードN1を入力端、ノードN2Bを出力端とするレシオ型インバータを構成しているが、通常のインバータと異なり、その電源として第2制御信号/VFRが供給されている。以下、トランジスタQ6A、Q7Aより成るインバータを「第1インバータ」と称し、トランジスタQ6B、Q7Bより成るインバータを「第2インバータ」と称する。

【0071】

図8は実施の形態1に係る単位シフトレジスタ回路SRの動作を示すタイミング図である。以下、図8を参照して、図7に示した本実施の形態に係る単位シフトレジスタ回路SRの動作の説明を行う。図7の単位シフトレジスタ回路SRも、上に示した図2および図5のどちらの構成のゲート線駆動回路30にも適用可能であるが、ここでは図5のように縦続接続してゲート線駆動回路30を構成している場合の動作を示す。なお、第1制御信号VFRおよび第2制御信号/VFRは、縦続接続した全ての単位シフトレジスタ回路SRに入力される。

【0072】

ここでも第n段目の単位シフトレジスタ回路SR_nの動作を代表的に説明し、当該単位シフトレジスタ回路SR_nのクロック端子CKにクロック信号CLKが入力されるものとして説明を行う。また当該単位シフトレジスタ回路SR_nの出力信号をG_n、その前段(第n-1段目)の単位シフトレジスタ回路SR_{n-1}および次段(第n+1段目)の単位シフトレジスタ回路SR_{n+1}の出力信号をそれぞれG_{n-1}およびG_{n+1}とする。

【0073】

また説明の簡単のため、クロック信号CLK、/CLKのHレベルおよび第1制御信号VFRおよび第2制御信号/VFRのHレベルは、全て高電位側電源電位VDDに等しいものとする。また、第1制御信号VFRおよび第2制御信号/VFRは、表示画像の1フレーム毎にレベルが切り替わるよう制御されているものとする。さらに、単位シフトレジスタ回路SRを構成する各トランジスタのしきい値電圧は全て等しいものと仮定し、その値をV_{th}とする。

【0074】

図8のように、フレーム期間とフレーム期間との間のブランキング期間(図示は省略)の時刻t1で、第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルになる。第1制御信号VFRは単位シフトレジスタ回路SR_nの第1制御端子CTAに入力されているので、トランジスタQ6Aのドレインおよびゲートの電位がVSSからVDDへ変化し、当該トランジスタQ6Aがオンになる。即ち、トランジスタQ6A、Q7Aより成る第1インバータに電源が供給され、当該第1インバータが活性化される。この時点ではトランジスタQ5Bがオンしており、ノードN1がLレベルの状態(即ちゲート線GL_nの非選択状態)であるので、トランジスタQ7AはオフしておりノードN2Aのレベルが上昇する。

【0075】

他方、第2制御信号/VFRは第2制御端子CTBに入力されているので、トランジスタQ6Bのドレインおよびゲートの電位はVDDからVSSへ変化する。即ち、トランジスタQ6B、Q7Bより成る第2インバータには電源が供給されない。トランジスタQ6Bは第2制御端子CTBからノードN2Bへの方向を順方向とするダイオードとして機能するため、ノードN2Bの電荷はトランジスタQ6を通しては放電されない。しかし上記のようにノードN2Aのレベルが上昇しており、且つトランジスタQ8Bのソース(第2制御端子CTB)がVSSになっているので、トランジスタQ8BがオンしてノードN2BをLレベル(VSS)にする。応じてトランジスタQ8Aがオフとなり、ノードN2AはHレベル(VDD - V_{th})となる。即ち、時刻t1の後は、トランジスタQ8A、Q

10

20

30

40

50

8 Bより成るフリップフロップ回路における電位分布は図9(a)のようになる。

【0076】

このように第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルである期間は、第2インバータが活性化しないため、ノードN2BがLレベルに固定される。よってその間のトランジスタQ2BおよびトランジスタQ5Bは、ゲートがバイアスされず休止状態になる。つまりその期間、この単位シフトレジスタ回路SRにおいて、トランジスタQ1, Q2A, Q3, Q4, Q5A, Q6A, Q7Aの組み合わせにより、図3に示した単位シフトレジスタ回路SRと等価な回路が構成され、それと同様の動作が可能である。

【0077】

即ち、時刻t2で前段の出力信号 G_{n-1} がHレベルになると、それが入力端子INに入力されてトランジスタQ3がオンする。このときトランジスタQ5Aもオンしているが、トランジスタQ3のオン抵抗はトランジスタQ5Aのオン抵抗に比べ十分低く設定されており、ノードN1はHレベル($VDD - V_{th}$)となり、トランジスタQ1がオンになる。

【0078】

トランジスタQ6A, Q7Aより成る第1インバータはノードN1を入力端、ノードN2Aを出力端としているため、ノードN1がHレベルになるとノードN2AはLレベルになる。応じて、トランジスタQ2A, Q5Aがオフになる。ここで、当該第1インバータはレシオ型インバータであるので、Lレベル出力の電位はトランジスタQ6A, Q7Aのオン抵抗の比で決まる値となる。即ち、ノードN2AをLレベルにする間は、トランジスタQ6A, Q7Aの両方がオンするため、トランジスタQ6A, Q7Aを通して第1制御端子CTAから第1電源端子S1へ貫通電流が流れ、一定の電力が消費されることとなる。

【0079】

その後、前段の出力信号 G_{n-1} がLレベルに戻るとトランジスタQ3はオフするが、ノードN1はフローティング状態になるのでノードN1のHレベルは維持される。そして時刻t3でクロック信号CLKがHレベルになると、トランジスタQ1がオンしているため当該クロック信号CLKのHレベルが出力端子OUTに供給され、出力信号 G_n がHレベルになる。このとき、容量素子CおよびトランジスタQ1のゲート・チャネル間容量を介した結合により、出力信号 G_n のレベル上昇に応じてノードN1のレベルが特定の電圧だけ昇圧される。従ってトランジスタQ1のソース・ゲート間電圧は高く保たれ、当該トランジスタQ1が低インピーダンスに維持されるので、出力信号 G_n のレベルはクロック信号CLKのレベルに素早く追従する。従って、その後クロック信号CLKがLレベルに戻ると、出力信号 G_n も素早くLレベルに戻る。

【0080】

そして時刻t4で次段のシフトレジスタの出力信号 G_{n+1} がHレベルになると、それがリセット端子RSTに入力され、トランジスタQ4がオンとなる。この結果ノードN1がLレベルになり、トランジスタQ7Aがオフし、ノードN2AがH($VDD - V_{th}$)の状態に戻る。その後、次のブランキング期間の時刻t5で第1制御信号VFRおよび第2制御信号/VFRのレベルが反転するまでは、この状態が維持される。

【0081】

そして、時刻t5で第1制御信号VFRがLレベル、第2制御信号/VFRがHレベルになると、それまでとは逆に、トランジスタQ6B, Q7Bより成る第2インバータが活性化され、ノードN2BがHレベルになる。応じてトランジスタQ8Aがオンになり、且つトランジスタQ6Aのドレイン(第1制御端子CTA)の電位がVSSであり第1インバータが活性化しないため、ノードN2AはLレベル(VSS)になる。

【0082】

即ち、時刻t5の後の第1制御信号VFRがLレベル、第2制御信号/VFRがHレベルである期間では、トランジスタQ8A, Q8Bより成るフリップフロップ回路における

10

20

30

40

50

電位分布は図9(b)のようになる。よってその期間、トランジスタQ2A, Q5Aのゲートはバイアスされず、当該トランジスタQ2A, Q5Aが休止状態になる。また、第1インバータも電源が供給されないため動作しないので、当該単位シフトレジスタ回路SRにおいて、トランジスタQ1, Q2B, Q3, Q4, Q5B, Q6B, Q7Bの組み合わせによって、図3に示した単位シフトレジスタ回路SRと等価な回路が構成され、それによって上記の時刻t1~t5と同様の動作が行われる。

【0083】

このように、図7の単位シフトレジスタ回路SRは、図3に示した従来のものと同様の動作を行うことができる。なお且つ、第1制御信号VFRおよび第2制御信号/VFRが反転する毎に、トランジスタQ2A, Q5AのペアとトランジスタQ2B, Q5Bのペアとが交互に休止状態になるので、それらのゲートが直流的にバイアスされることが防止される。従って、a-Si TFTのしきい値シフトによる誤動作を防止でき、動作の信頼性が向上する。

10

【0084】

また本実施の形態に係る単位シフトレジスタ回路SRは、トランジスタQ6A, Q7Aより成る第1インバータと、トランジスタQ6B, Q7Bより成る第2インバータとの2つのインバータを有しているが、当該第1および第2インバータは、互いに相補の信号である第1制御信号VFRおよび第2制御信号/VFRが反転する毎に、交互に活性化される。つまり、第1および第2インバータは、第1制御信号VFRおよび第2制御信号/VFRに基づいて、トランジスタQ2A, Q2Bを交互に駆動する駆動回路として機能する。第1および第2インバータの両方が同時に活性化されることが無いため、消費される電力はインバータが1つの場合と同等であり、消費電力の上昇が抑制されている。

20

【0085】

また本実施の形態に係る単位シフトレジスタ回路SRにおいては、トランジスタQ8A, Q8Bはフリップフロップ回路を構成しているが、通常のフリップフロップ回路とは異なり、トランジスタQ8A, Q8Bのソースにはそれぞれ第1制御信号VFRおよび第2制御信号/VFRが入力される。例えば上記の時刻t2においては、トランジスタQ7A, Q8Aより成るインバータの出力によりトランジスタQ8Bをオンにする必要があるが、そのときトランジスタQ8Aのソース電位(第1制御信号VFR)がVDDになっている。そのため、トランジスタQ6A, Q7Aより成るインバータから流れる電流が小さくてもノードN1Aの電位は十分に上昇してトランジスタQ8Bをオンさせることができるので消費電力の増加は抑制される。

30

【0086】

仮に、通常のフリップフロップ回路のようにトランジスタQ8A, Q8Bのソース電位がVSSに固定されていたとすると、ノードN1Aのレベルを十分に上昇させるためには、トランジスタQ6Aの駆動能力をトランジスタQ8Aのそれよりも充分大きくしなければならず、消費電力が大きくなる。また、レシオ型インバータの動作は2つのトランジスタのオン抵抗の比により規定されるため、トランジスタQ6Aの駆動能力が大きくとトランジスタQ7Aの駆動能力も大きくする必要があり、当該インバータの消費電力も大きくなる。図7の単位シフトレジスタ回路SRでは、この問題も解決されているのである。

40

【0087】

トランジスタQ8A, Q8Bのソースにはそれぞれ第1制御信号VFRおよび第2制御信号/VFRが入力されることによる利点は他にもある。即ち、第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルの期間では、ゲート線GLの選択期間を除いて、トランジスタQ8A, Q8Bの電位分布は図9(a)のようになり、トランジスタQ8Aのゲートがソースに対して負にバイアスされる。逆に、第1制御信号VFRがLレベル、第2制御信号/VFRがHレベルの期間では、ゲート線GLの選択期間を除いて、トランジスタQ8A, Q8Bの電位分布は図9(b)のようになり、トランジスタQ8Bのゲートがソースに対して負にバイアスされる。

50

【 0 0 8 8 】

このようにトランジスタQ 8 A , Q 8 Bのゲートがソースに対して定期的に負にバイアスされるので、当該トランジスタQ 8 A , Q 8 Bのしきい値電圧の正方向へのシフトを効果的に抑制することができる。よって、トランジスタQ 8 A , Q 8 Bの駆動能力の低下を抑制でき、ノードN 2 AおよびノードN 2 Bを低インピーダンスでLレベルの電位(V S S)を供給することができる。その結果、トランジスタQ 2 A , Q 2 B , Q 5 A , Q 5 Bのしきい値電圧のシフトの抑制に高い効果が得られる。

【 0 0 8 9 】

なお、以上の説明においては、第1制御信号V F Rおよび第2制御信号/V F Rは、1フレーム毎のブランキング期間内にレベルが切り替わる(交番する)ものとしたが、その周期は任意でよく、例えば2フレーム以上の周期をもって切り替わってもよい。但し、その周期が長すぎると、その間にトランジスタQ 2 A , Q 2 A , Q 5 A , Q 5 Bのしきい値電圧が大きくシフトしてしまい、本発明の効果が十分に得られない可能性がある。本実施の形態のように1フレーム程度の周期であることが望ましい。また交番のタイミングも必ずしもブランキング期間内である必要はないが、単位シフトレジスタ回路S Rの動作中の切り替えは、回路内に電圧変化を生じさせ、寄生容量に起因する動作速度の遅延等の不具合が生じる可能性がある。従って、上記の例のようにブランキング期間に行われることが望ましい。

【 0 0 9 0 】

< 実施の形態 2 >

実施の形態1の単位シフトレジスタ回路S Rでは、第1インバータを構成するトランジスタQ 6 Aおよび第2インバータを構成するトランジスタQ 6 Bは、それぞれダイオード接続していた。即ち、トランジスタQ 6 Aのゲートとドレインの両方が、第1制御信号V F Rが入力される第1制御端子C T Aに接続し、トランジスタQ 6 Bのゲートとドレインの両方が、第2制御信号/V F Rが入力される第2制御端子C T Bに接続する構成であった。

【 0 0 9 1 】

図10は、実施の形態2に係る単位シフトレジスタ回路S Rの回路図である。同図の如く、トランジスタQ 6 Aのゲートは第1制御端子C T Aに接続するが、そのドレインは高電位側電源電位V D Dが供給される第3電源端子S 3に接続される。同様に、トランジスタQ 6 Aのゲートは第2制御端子C T Bに接続するが、そのドレインは第3電源端子S 3に接続される。

【 0 0 9 2 】

即ち本実施の形態では、第1インバータは、ノードN 2 Aと第3電源端子S 3との間に接続し、第1制御信号V F Rが入力されるゲートを有するトランジスタQ 6 Aと、ノードN 2 Aと第1電源端子との間に接続し、ノードN 1に接続したゲートを有するトランジスタQ 7 Aとにより構成される。また第2インバータは、ノードN 2 Bと第3電源端子S 3との間に接続し、第2制御信号が入力されるゲートを有するトランジスタQ 6 Bと、ノードN 2 Bと第1電源端子との間に接続し、ノードN 1に接続したゲートを有するトランジスタQ 7 Bとにより構成される。

【 0 0 9 3 】

実施の形態1の単位シフトレジスタ回路S R(図7)とは、トランジスタQ 6 A , Q 6 Bのドレインに高電位側電源電位V D Dが供給される点で異なるが、その動作はほぼ同じである。従って、本実施の形態によっても実施の形態1と同様の効果が得れる。

【 0 0 9 4 】

また図10の構成によれば、図3と比較して、第1制御信号V F Rおよび第2制御信号/V F Rの負荷容量が減少するので、消費電力がさらに減少するという利点がある。

【 0 0 9 5 】

< 実施の形態 3 >

図11は、本発明の実施の形態3に係る単位シフトレジスタ回路S Rの構成を示す回路

図である。本実施の形態では、トランジスタQ3のドレインを電源ではなく入力端子INに接続させる。それにより電源供給のための配線の占有面積を削減できる。但し、入力端子INにはその前段の出力端子OUTが接続するため、各単位シフトレジスタ回路SRの出力段への負荷が大きくなるので、回路動作の速度が劣化する場合もあることに留意すべきである。

【0096】

なお、図11においては、本実施の形態を実施の形態1(図7)の回路に適用した例を示したが、実施の形態2(図10)の回路に対しても適用可能である。

【0097】

<実施の形態4>

TFTを含む電界効果トランジスタは、ゲート電極にしきい値電圧以上の電圧が印加されたときに、半導体基板内におけるゲート絶縁膜を介したゲート電極の直下に形成される導電性チャネルによりドレイン・ソース間が電気的に接続されることにより導通する素子である。従って、導通状態の電界効果トランジスタは、ゲート・チャネル間に一定の静電容量(ゲート容量)を有することとなる。即ち、半導体基板内のチャネルおよびゲート電極を両電極とし、ゲート絶縁膜を誘電体層とする容量素子としても機能することができる。このような容量素子は「MOS(Metal-Oxide Semiconductor)容量素子」と呼ばれる。

【0098】

図12は実施の形態4に係る単位シフトレジスタ回路SRの構成を示す回路図である。以上の実施の形態では、ノードN1の昇圧を効率よく行うためにトランジスタQ1のドレイン・ソース間に容量素子Cを設けていたが、本実施の形態ではそれをトランジスタQ1のゲート容量に置き換えている。その場合、図12の回路図の如く容量素子Cは不要になる。

【0099】

通常、半導体集積回路内に形成される容量素子の誘電体層となる絶縁膜の厚さは、トランジスタのゲート絶縁膜の厚さと同じになるので、容量素子をトランジスタのゲート容量に置き換える場合には、その容量素子と同一面積のトランジスタで代替することができる。即ち、図12においてトランジスタQ1のゲート幅を相当分広くすることで、以上の実施の形態と同様の動作を実現できる。またトランジスタQ1のゲート幅を広くすることによりその駆動能力が高くなるので、結果として出力信号の立上りおよび立下り速度が速くなり、動作の高速化を図ることができるという利点もある。

【0100】

なお、図12においては、本実施の形態を実施の形態1(図7)の回路に適用した例を示したが、実施の形態2,3(図10,図11)などの回路に対しても適用可能である。

【0101】

<実施の形態5>

本実施の形態では、上記の実施の形態の単位シフトレジスタ回路SRの動作を高速化するための構成を示す。図13は実施の形態5に係る単位シフトレジスタ回路SRの構成を示す回路図である。同図の如く、ノードN2Aと第1制御端子CTAとの間に(トランジスタQ6Aに並列に)、リセット端子RSTに接続したゲートを有するトランジスタQ11Aが設けられ、ノードN2Aと第1電源端子S1との間に(トランジスタQ7Aに並列に)、入力端子INに接続したゲートを有するトランジスタQ12Aが設けられる。また、ノードN2Bと第2制御端子CTBとの間に(トランジスタQ6Bに並列に)、リセット端子RSTに接続したゲートを有するトランジスタQ11Bが設けられ、ノードN2Bと第1電源端子S1との間に(トランジスタQ7Bに並列に)、入力端子INに接続したゲートを有するトランジスタQ12Bが設けられる。それを除いては、実施の形態1(図7)と同様である。

【0102】

例えば第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルの場合を考え

10

20

30

40

50

る。この場合、前段の出力信号 G_{n-1} が H レベルになると、トランジスタ Q 1 2 A がオンするため、第 1 インバータの出力端であるノード N 2 A は高速に L レベルに遷移する。それによりトランジスタ Q 5 A がオフするためノード N 1 A が高速に H レベルに遷移する。また、次段の出力信号 G_{n+1} が H レベルになると、トランジスタ Q 1 1 A がオンするため、第 1 インバータの出力端であるノード N 2 A は高速に H レベルに遷移する。それによりトランジスタ Q 5 A がオンするためノード N 1 A が高速に L レベルに遷移する。

【 0 1 0 3 】

このように、トランジスタ Q 1 1 A , Q 1 2 A の作用により、ノード N 1 およびノード N 2 A のレベルの遷移が高速に行われるようになる。同様に、トランジスタ Q 1 1 B , Q 1 2 B は、ノード N 1 およびノード N 2 B のレベルの遷移を高速にする。従って、本実施の形態によれば、実施の形態 1 よりも高速な動作が可能になる。

10

【 0 1 0 4 】

また、上の技術は実施の形態 2 (図 1 0) の単位シフトレジスタ回路 S R に対しても適用可能である。その場合図 1 4 の如く、ノード N 1 と第 3 電源端子 S 3 との間に (トランジスタ Q 6 A に並列に) 、直列接続したトランジスタ Q 1 1 A , Q 1 3 A を設ける。トランジスタ Q 1 1 A のゲートはリセット端子 R S T に接続させ、トランジスタ Q 1 3 A のゲートは第 1 制御端子 C T A に接続させる。同様に、ノード N 1 と第 3 電源端子 S 3 との間に (トランジスタ Q 6 B に並列に) 、直列接続したトランジスタ Q 1 1 B , Q 1 3 B を設ける。トランジスタ Q 1 1 B のゲートはリセット端子 R S T に接続させ、トランジスタ Q 1 3 B のゲートは第 2 制御端子 C T B に接続させる。

20

【 0 1 0 5 】

図 1 3 の場合と同様に、トランジスタ Q 1 1 A , Q 1 2 A , Q 1 3 A の作用により、ノード N 1 およびノード N 2 A のレベルの遷移が高速に行われるようになる。同様に、トランジスタ Q 1 1 B , Q 1 2 B , Q 1 3 B は、ノード N 1 およびノード N 2 B のレベルの遷移を高速にする。従って、本実施の形態によれば、実施の形態 1 よりも高速な動作が可能になる。なお、トランジスタ Q 1 3 A は、第 1 制御信号 V F R が L レベルの間、L レベルに維持されるべきノード N 2 A がトランジスタ Q 1 1 A によって充電されるのを防止している。同様に、Q 1 3 B は第 2 制御信号 / V F R が L レベルの間、L レベルに維持されるべきノード N 2 B がトランジスタ Q 1 1 B によって充電されるのを防止する役割をしている。

30

【 0 1 0 6 】

なお、本実施の形態においては、トランジスタ Q 1 1 A , Q 1 2 A , Q 1 3 A , Q 1 1 B , Q 1 2 B , Q 1 3 B の駆動能力が大きいほど、動作の高速化の効果は大きくなる。トランジスタ Q 1 1 A , Q 1 2 A , Q 1 1 B , Q 1 2 B には貫通電流は流れないため、ゲート幅を広くしても消費電力の増加は僅かである。従って、消費電力の増加を抑制しつつ、動作の高速化を図ることができる。

【 0 1 0 7 】

なお、上記の実施の形態 3 , 4 は、本実施の形態に対しても適用可能である。

【 0 1 0 8 】

< 実施の形態 6 >

40

図 1 5 は、実施の形態 6 に係る単位シフトレジスタ回路 S R の回路図である。本実施の形態では、実施の形態 1 (図 7) に対して、トランジスタ Q 8 A , Q 8 B の互いのゲートに接続する主電極をソースに変更したものである。つまり、図 7 の回路ではトランジスタ Q 8 A , Q 8 B のオン / オフの切替が、それぞれ第 1 および第 2 インバータの出力により行われていたが、本実施の形態では第 1 制御信号 V F R および第 2 制御信号 / V F R によって行われる。そのことを除いて、回路の動作は図 7 のものと同様である。従って、本実施の形態によっても、実施の形態 1 と同様の効果が得られる。

【 0 1 0 9 】

図 1 5 の単位シフトレジスタ回路 S R において、第 1 制御信号 V F R が H レベル、第 2 制御信号 / V F R が L レベルの間では、ゲート線 G L の選択期間を除いて、トランジス

50

タQ 8 A , Q 8 B の電位分布は図 1 6 (a) のようになり、トランジスタQ 8 A のゲートがソースに対して負にバイアスされる。逆に、第 1 制御信号V F R がLレベル、第 2 制御信号/V F R がHレベルの期間では、ゲート線G L の選択期間を除いて、トランジスタQ 8 A , Q 8 B の電位分布は図 1 6 (b) のようになり、トランジスタQ 8 B のゲートがソースに対して負にバイアスされる。

【 0 1 1 0 】

このように本実施の形態においても、トランジスタQ 8 A , Q 8 B のゲートがソースに対して定期的に負にバイアスされるので、当該トランジスタQ 8 A , Q 8 B のしきい値電圧の正方向へのシフトを効果的に抑制することができる。よって、トランジスタQ 8 A , Q 8 B の駆動能力の低下を抑制でき、ノードN 2 A およびノードN 2 B を低インピーダンスでLレベルの電位 (V S S) を供給することができる。その結果、トランジスタQ 2 A , Q 2 B , Q 5 A , Q 5 B のしきい値電圧のシフトの抑制に高い効果が得られる。

10

【 0 1 1 1 】

なお、本実施の形態に対しても、上記の実施の形態 3 ~ 5 を適用してもよい。

【 0 1 1 2 】

< 実施の形態 7 >

以上の実施の形態では、トランジスタQ 2 A , Q 2 B の交互の駆動を、2 つのインバータを用いて行っていたが、本実施の形態では同様の動作を 1 つのインバータを用いて行う。

【 0 1 1 3 】

図 1 7 は実施の形態 7 に係る単位シフトレジスタ回路S R の構成を示す回路図である。当該単位シフトレジスタ回路S R において、トランジスタQ 2 A , Q 2 B を駆動する駆動回路は、トランジスタQ 6 , Q 7 とから成るインバータと、当該インバータの出力端とノードN 2 A との間に接続するトランジスタQ 9 A と、当該インバータの出力端 (「ノードN 3 」 と定義する) とノードN 2 B との間に接続するトランジスタQ 9 B とにより構成される。トランジスタQ 9 A のゲートは、第 1 制御信号V F R が入力される第 1 制御端子C T A に接続し、トランジスタQ 9 B のゲートは第 2 制御信号/V F R が入力される第 2 制御端子C T B に接続する。また上記インバータにおいては、トランジスタQ 6 はダイオード接続され、ノードN 3 と第 3 電源端子S 3 との間に接続しており、トランジスタQ 7 はノードN 3 と第 1 電源端子S 1 との間に設けられ、そのゲートはノードN 1 に接続している。

20

【 0 1 1 4 】

本実施の形態において、第 1 制御信号V F R がHレベル、第 2 制御信号/V F R がLレベルの期間は、トランジスタQ 9 A がオン、トランジスタQ 9 B がオフになるので、インバータの出力端すなわちノードN 3 はノードN 2 A に電氣的に接続される。つまりその間は、トランジスタQ 2 A が駆動され、トランジスタQ 2 B は休止状態になる。逆に、第 1 制御信号V F R がLレベル、第 2 制御信号/V F R がHレベルの期間は、トランジスタQ 9 A がオフ、トランジスタQ 9 B がオンになるので、ノードN 3 はノードN 2 B に電氣的に接続される。つまりその間は、トランジスタQ 2 B が駆動され、トランジスタQ 2 A は休止状態になる。このように、トランジスタQ 9 A , Q 9 B は、第 1 制御信号V F R および第 2 制御信号/V F R に基づいて、トランジスタQ 6 , Q 7 より成るインバータの出力端 (ノードN 3) を、ノードN 2 A およびノードN 2 B へと交互に接続させる切替回路として機能する。

30

40

【 0 1 1 5 】

本実施の形態においても、第 1 制御信号V F R および第 2 制御信号/V F R が反転する毎に、トランジスタQ 2 A , Q 5 A のペアとトランジスタQ 2 B , Q 5 B のペアとが交互に休止状態になるので、それらのゲートが直流的にバイアスされることが防止される。従って、a - S i T F T のしきい値シフトによる誤動作を防止でき、動作の信頼性が向上する。また本実施の形態では、トランジスタQ 2 A , Q 2 B を 1 つのインバータを用いて駆動しているため、消費電力の上昇が抑制されている。

50

【0116】

また、例えば実施の形態1と比較して、ゲートがノードN1に接続したトランジスタが少なく、ノードN1に接続されるトランジスタのゲート容量が小さくなる。よって、ノードN1の寄生容量が低減され、クロック端子CKによるノードN1の昇圧量を高くすることができる。この結果、出力信号 G_n 出力時のトランジスタQ1の駆動能力が向上し、動作の高速化が可能になるという利点がある。

【0117】

さらに、トランジスタQ6, Q7から成るインバータに対して、実施の形態5を適用してもよい。その場合の回路図を図18に示す。同図の如く、ノードN3と第3電源端子S3との間に(トランジスタQ6に並列に)、リセット端子RSTに接続したゲートを有するトランジスタQ11が設けられ、ノードN3と第1電源端子S1との間に(トランジスタQ7に並列に)、入力端子INに接続したゲートを有するトランジスタQ12が設けられる。それにより、動作の更なる高速化が可能になる。

10

【0118】

なお、実施の形態5に限らず、上記の実施の形態3, 4, 6も本実施の形態に適用可能である。

【0119】

<実施の形態8>

実施の形態1(図7)の回路においては、出力端子OUT(出力信号 G_n)がHレベルになるとき、ノードN1がHレベルとなっているので、トランジスタQ7A, Q7Bは共にオンとなっている。よってそのときのノードN2A, N2Bは共に低インピーダンスでLレベルとなる。ところが、実施の形態7の回路(図17)では、例えば第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルのとき、ノードN2Bは高インピーダンスでLレベルの状態となっている。その状態で出力信号 G_n がLレベルからHレベルに遷移するとトランジスタQ2Bのドレイン・ゲート間のオーバーラップ容量を介した結合によりノードN2Bのレベルが上昇してしまう。そうなるとトランジスタQ2Bが導通して、出力信号 G_n のHレベルの電位が低下する可能性があり問題となる。

20

【0120】

図19は、実施の形態8に係る単位シフトレジスタ回路の構成を示す回路図である。堂図の如く、当該単位シフトレジスタ回路SRは、実施の形態7の回路(図17)に対し、ノードN2Aと第1電源端子S1との間に接続したトランジスタQ10AおよびノードN2Bと第2電源端子S2との間に接続したトランジスタQ10Bとをさらに設けた構成となっている。トランジスタQ10A, Q10Bのゲートは、共に出力端子OUTに接続している。

30

【0121】

本実施の形態に係る単位シフトレジスタ回路SRによれば、出力信号 G_n がHレベルになっている間、トランジスタQ10A、トランジスタQ10Bが共にオンになるので、ノードN2A, N2Bは低インピーダンスでLレベルになる。よってその間はトランジスタQ2A, Q2Bが確実にオフを維持することができ、上記の問題を解決できる。

【0122】

また図19においては図17の回路に対してトランジスタQ10A, Q10Bを設けた構成を示したが、図20の如く図18の回路に対して設けてもよい。それにより図18の回路と同様に、単位シフトレジスタ回路SRの動作の高速化が可能になるという効果が得られる。

40

【0123】

また本実施の形態においても、上記の実施の形態3, 4, 6を適用してもよい。

【図面の簡単な説明】

【0124】

【図1】本発明の実施の形態に係る表示装置の構成を示す概略ブロック図である。

【図2】単位シフトレジスタ回路を用いたゲート線駆動回路の構成例を示すブロック図で

50

ある。

【図 3】従来の単位シフトレジスタ回路の構成を示す回路図である。

【図 4】ゲート線駆動回路の動作を示すタイミング図である。

【図 5】単位シフトレジスタ回路を用いたゲート線駆動回路の構成例を示すブロック図である。

【図 6】ゲート線駆動回路の動作を示すタイミング図である。

【図 7】実施の形態 1 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 8】実施の形態 1 に係る単位シフトレジスタ回路の動作を示すタイミング図である。

【図 9】実施の形態 1 に係る単位シフトレジスタ回路の動作を説明するための図である。

【図 10】実施の形態 2 に係る単位シフトレジスタ回路の構成を示す回路図である。

10

【図 11】実施の形態 3 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 12】実施の形態 4 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 13】実施の形態 5 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 14】実施の形態 5 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 15】実施の形態 6 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 16】実施の形態 6 に係る単位シフトレジスタ回路の動作を説明するための図である。

。

【図 17】実施の形態 7 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 18】実施の形態 7 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 19】実施の形態 8 に係る単位シフトレジスタ回路の構成を示す回路図である。

20

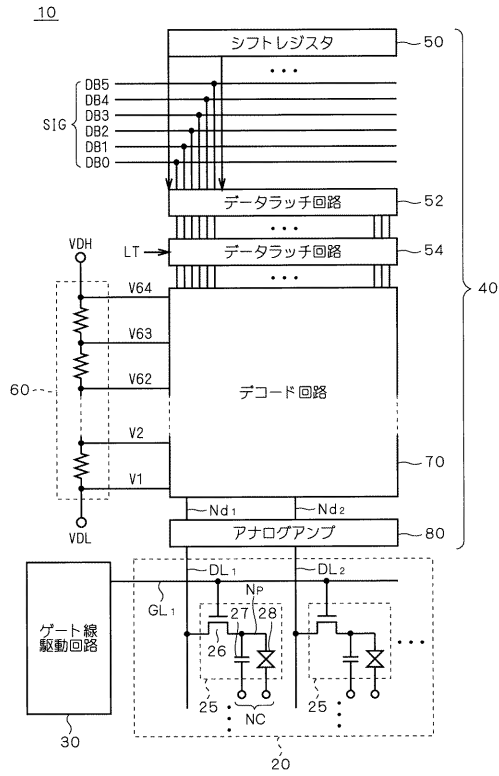
【図 20】実施の形態 8 に係る単位シフトレジスタ回路の構成を示す回路図である。

【符号の説明】

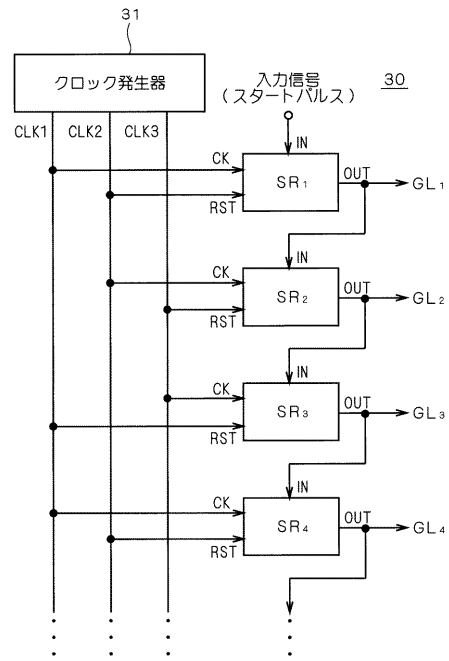
【 0 1 2 5 】

3 0 ゲート線駆動回路、S R 単位シフトレジスタ回路、Q 1 ~ Q 1 2 , Q 2 A , Q 5 A ~ Q 1 3 A , Q 2 B , Q 5 B ~ Q 1 3 B トランジスタ、C 容量素子、C K クロック端子、R S T リセット端子、I N 入力端子、O U T 出力端子、s 1 ~ s 3 電源端子、C T A 第 1 制御端子、C T B 第 2 制御端子。

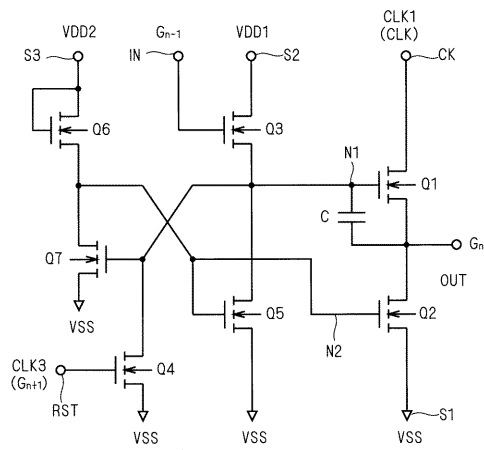
【図1】



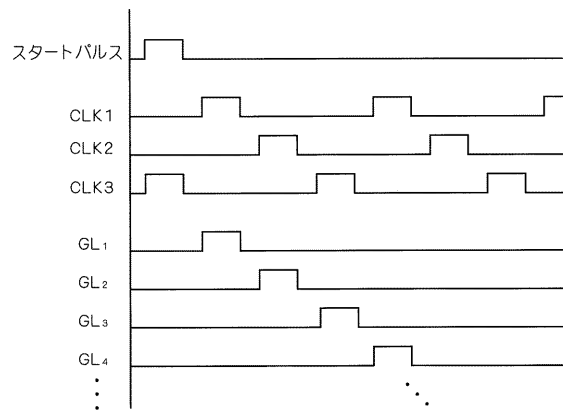
【図2】



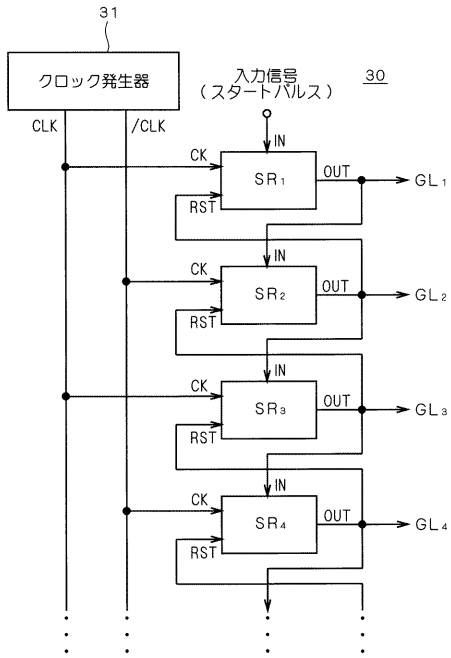
【図3】



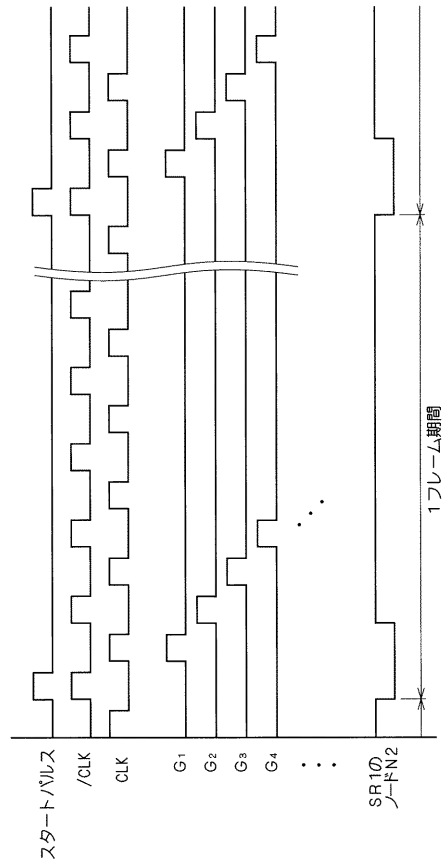
【図4】



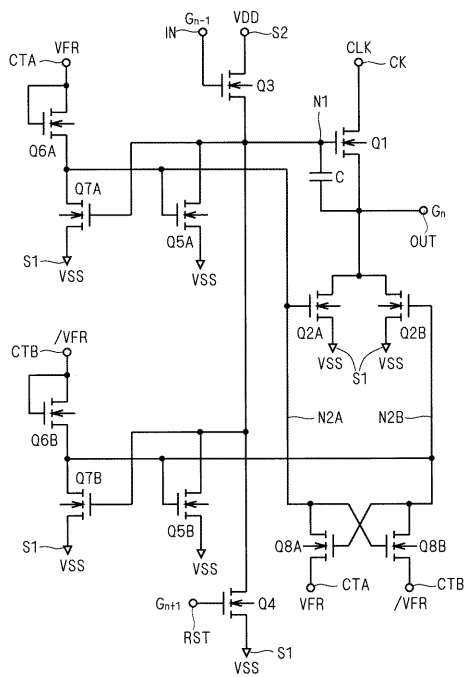
【図5】



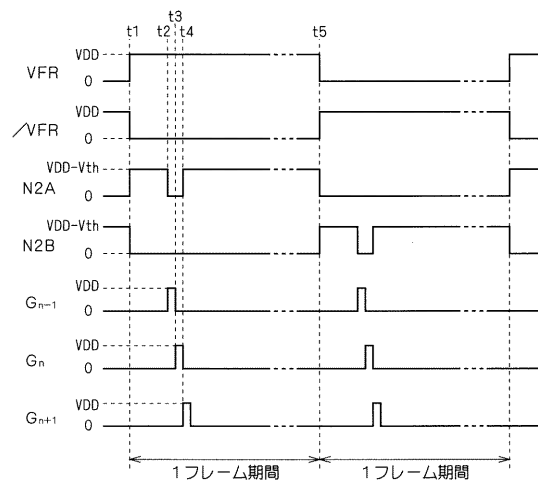
【図6】



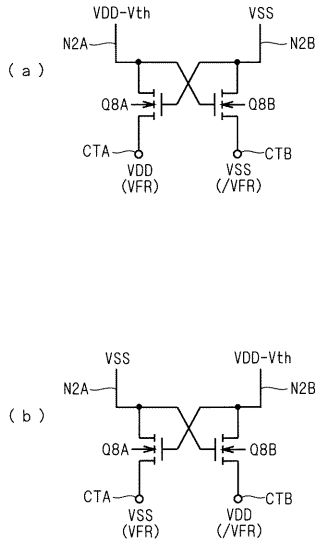
【図7】



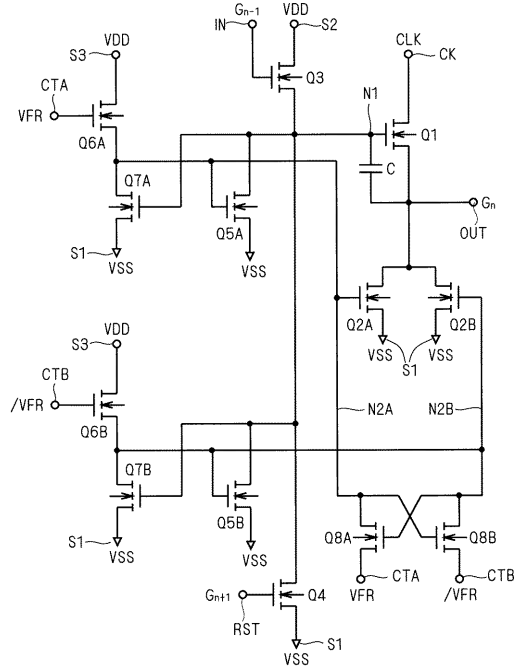
【図8】



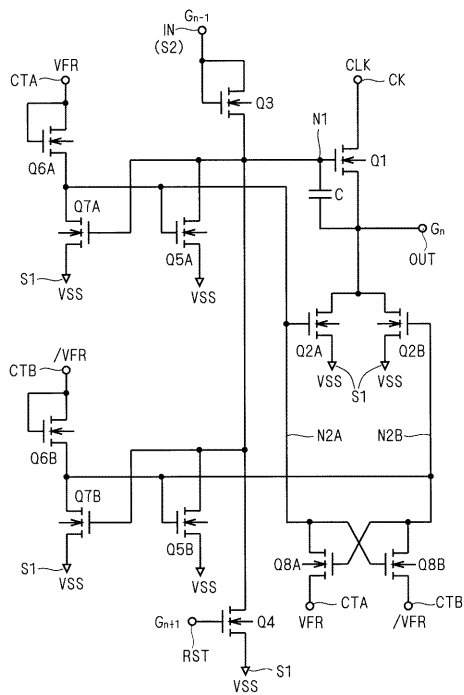
【 図 9 】



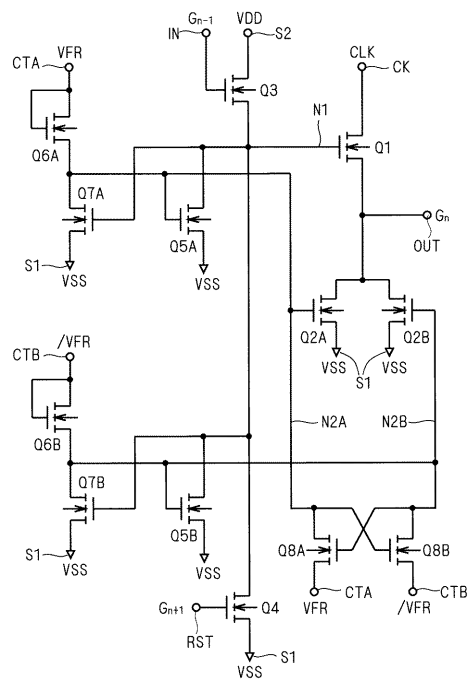
【 図 10 】



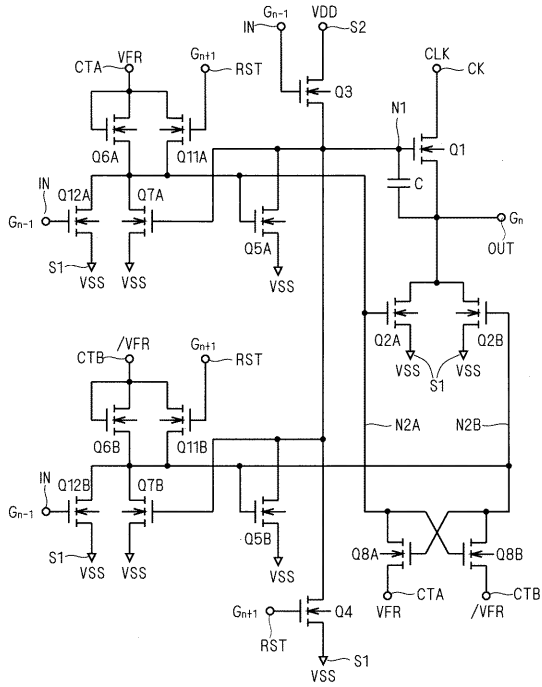
【 图 11 】



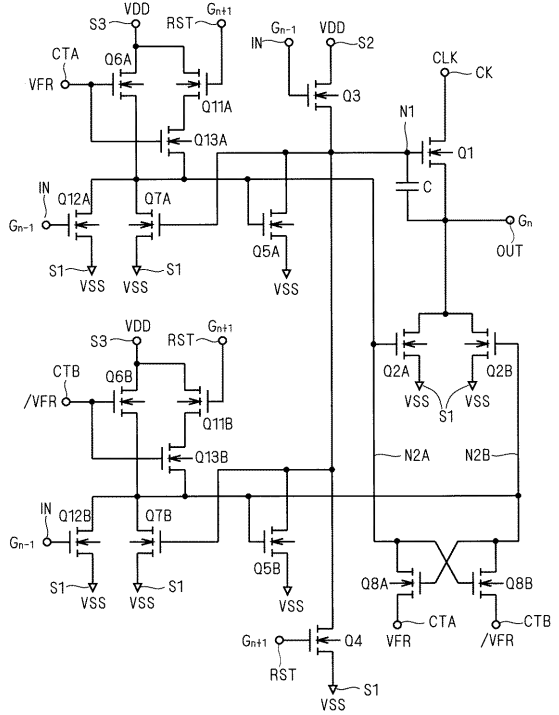
【 图 12 】



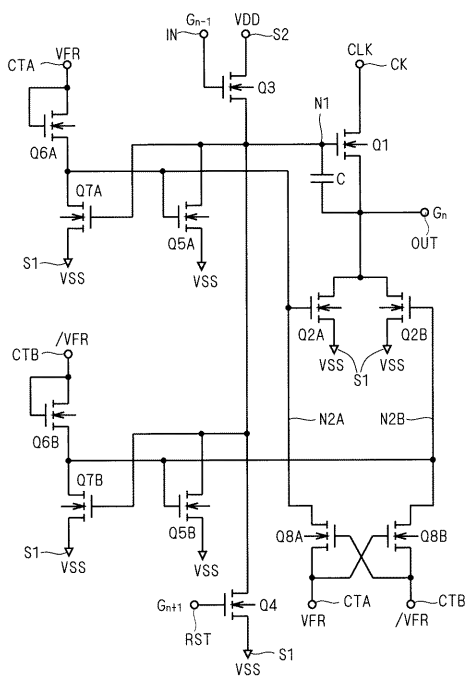
【図 13】



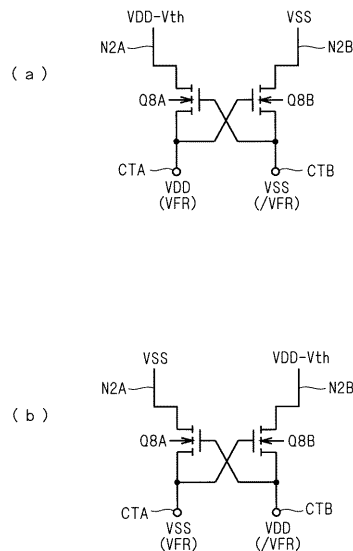
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

(56)参考文献 特開2006-344306(JP,A)

特開2007-128029(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 19/28