

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4588300号
(P4588300)

(45) 発行日 平成22年11月24日(2010.11.24)

(24) 登録日 平成22年9月17日(2010.9.17)

(51) Int.Cl.

F 1

G09F 9/30 (2006.01)
H01L 27/32 (2006.01)
H01L 29/786 (2006.01)
H01L 21/822 (2006.01)
H01L 27/04 (2006.01)

GO9 F 9/30 3 3 8
 GO9 F 9/30 3 6 5 Z
 H01 L 29/78 6 2 3 A
 H01 L 27/04 H
 HO5 B 33/14 A

請求項の数 9 (全 27 頁) 最終頁に続く

(21) 出願番号

特願2003-161409 (P2003-161409)

(22) 出願日

平成15年6月5日(2003.6.5)

(65) 公開番号

特開2004-126513 (P2004-126513A)

(43) 公開日

平成16年4月22日(2004.4.22)

審査請求日

平成18年6月5日(2006.6.5)

(31) 優先権主張番号

特願2002-164970 (P2002-164970)

(32) 優先日

平成14年6月5日(2002.6.5)

(33) 優先権主張国

日本国 (JP)

(31) 優先権主張番号

特願2002-228987 (P2002-228987)

(32) 優先日

平成14年8月6日(2002.8.6)

(33) 優先権主張国

日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 早川 昌彦

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 納 光明

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置、電子機器

(57) 【特許請求の範囲】

【請求項 1】

発光素子、保護手段、第1のトランジスタ及び第2のトランジスタを有する画素が複数設けられ、

前記第1のトランジスタは、ゲートが走査線に、ソース又はドレインの一方が信号線に、ソース又はドレインの他方が前記第2のトランジスタのゲートに電気的に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記発光素子の画素電極に、ソース又はドレインの他方が第1の電源線に電気的に接続され、

前記保護手段は、前記発光素子の画素電極に帯電した電荷を第2の電源線に放電するダイオードを有し、

前記ダイオードの一方の電極は、前記画素電極と前記第2のトランジスタのソース又はドレインの一方電極に電気的に接続され、

前記ダイオードの他方の電極は、前記第2の電源線に電気的に接続され、

前記第1の電源線と前記第2の電源線は同じ電源線であることを特徴とする半導体装置。

【請求項 2】

発光素子、保護手段、第1のトランジスタ及び第2のトランジスタを有する画素が複数設けられ、

前記第1のトランジスタは、ゲートが走査線に、ソース又はドレインの一方が信号線に、ソース又はドレインの他方が前記第2のトランジスタのゲートに電気的に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記発光素子の画素電極に、ソ

10

20

ース又はドレインの他方が第1の電源線に電気的に接続され、
前記保護手段は、前記発光素子の画素電極に帯電した電荷を第2の電源線に放電する第3のトランジスタを有し、
前記第3のトランジスタのゲートは、前記画素電極、前記第2のトランジスタのソース又はドレインの一方及び前記第3のトランジスタのソース又はドレインの一方に電気的に接続され、
前記第3のトランジスタのソース又はドレインの他方は、前記第2の電源線に電気的に接続され、
前記第1の電源線と前記第2の電源線は同じ電源線であることを特徴とする半導体装置。

【請求項3】

10

請求項1において、

前記画素はさらに第3のトランジスタを有し、
前記第3のトランジスタは、ゲートがリセット線に、ソース又はドレインの一方が前記第1のトランジスタのソース又はドレインの他方と前記第2のトランジスタのゲートに、ソース又はドレインの他方が前記第1の電源線に電気的に接続されていることを特徴とする半導体装置。

【請求項4】

20

請求項2において、

前記画素はさらに第4のトランジスタを有し、

前記第4のトランジスタは、ゲートがリセット線に、ソース又はドレインの一方が前記第1のトランジスタのソース又はドレインの他方と前記第2のトランジスタのゲートに、ソース又はドレインの他方が前記第1の電源線に電気的に接続されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第2のトランジスタのチャネル長をチャネル幅で割った値は10以上であることを特徴とする半導体装置。

【請求項6】

30

請求項1乃至請求項5のいずれか一項において、

前記保護手段はさらに抵抗素子を有し、

前記抵抗素子の一方の端子は前記発光素子の画素電極に電気的に接続され、

前記抵抗素子の他方の端子は前記第2のトランジスタのソース又はドレインの一方に電気的に接続されていることを特徴とする半導体装置。

【請求項7】

40

請求項1乃至請求項5のいずれか一項において、

前記保護手段はさらに容量素子を有し、

前記容量素子の一方の電極は前記発光素子の画素電極と前記第2のトランジスタのソース又はドレインの一方に電気的に接続され、

前記容量素子の他方の電極は前記第2のトランジスタのゲートに電気的に接続されていることを特徴とする半導体装置。

【請求項8】

50

請求項1乃至請求項5のいずれか一項において、

前記保護手段はさらに抵抗素子と容量素子を有し、

前記抵抗素子の一方の端子は前記発光素子の画素電極に電気的に接続され、

前記抵抗素子の他方の端子は前記第2のトランジスタのソース又はドレインの一方に電気的に接続され、

前記容量素子の一方の電極は前記発光素子の画素電極と前記第2のトランジスタのソース又はドレインの一方に電気的に接続され、

前記容量素子の他方の電極は前記第2のトランジスタのゲートに電気的に接続されていることを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項に記載の前記半導体装置を用いた電子機器。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体装置に係る技術分野に属する。より詳しくは、トランジスタなどの半導体素子を用いた半導体装置に係る技術分野に属する。

【0002】**【従来の技術】**

近年、発光素子を有する半導体装置の開発が進められている。前記半導体装置は、既存の液晶表示装置がもつ利点の他、応答速度が速く動画表示に優れ、なおかつ視野角が広いなどの特徴も有しており、動画コンテンツが利用できる次世代モバイル用フラットパネルディスプレイとして注目されている。10

【0003】

発光素子を有する半導体装置は、該発光素子と少なくとも 2 つのトランジスタを有する画素を複数個有する。前記画素において発光素子と直列に接続されたトランジスタ（以下駆動用トランジスタと表記）は、該発光素子の発光を制御する役目を担う。発光素子は、第 1 及び第 2 の電極、並びに前記第 1 及び前記第 2 の電極との間に発光層が挟まれた構造を有する。そして駆動用トランジスタのソース電極又はドレイン電極に接続された一方の電極は画素電極と呼ばれ、他方の電極は対向電極と呼ばれる。20

【0004】

ところで、導体、半導体、絶縁体いずれの物体及び空気には摩擦や接触等により発生した静電気が帯電する。前記物体が強く帯電すると、静電気放電が生じる。半導体装置の入力端子などの解放されたノードに対してこの現象が生じると、基板上に作製された微細な半導体素子は劣化或いは破壊されてしまう。これを静電破壊とよぶ。

【0005】

そこで図 15 に示すように、静電破壊を防止するために、基板上に形成された回路（以下内部回路 64 と表記）は、保護手段（保護回路ともいう）63 及び FPC 62 を介して外付けの IC（以下外部回路 61 と表記）と接続される。保護手段 63 は外部回路 61 から内部回路 64 に供給する電圧・電流などを検出し、異常時には内部回路 64 の破損を防止するために、電圧や電流値を制御する。30

【0006】**【発明が解決しようとする課題】**

発光素子を有する半導体装置を作製する場合、まず基板上に TFT を作製し、その後発光素子を作製する。より詳しくは、まず基板上に TFT を作製し、次いで TFT のソース領域及びドレイン領域と電気的に接続するように、配線を作製する。続いて、前記配線と電気的に接続するように発光素子の画素電極を作製する。ここまで作製した状態は、画素電極が露出した状態であるため、該画素電極には静電気が帯電されやすい。特にドライエッキングや電子ビーム蒸着などの荷電粒子が伴う作製工程では、画素電極がアンテナとなって静電破壊が誘発されやすい。画素電極に帯電した電荷の急激な放電は、前記画素電極に接続された半導体素子の劣化或いは破壊につながる。40

【0007】

本発明は、上述の実情を鑑みてなされたものであり、発光素子を有する半導体装置において、作製工程中の静電破壊を防止した半導体装置を提供することを課題とする。より詳しくは、画素電極まで作製した状態における静電破壊を防止した半導体装置を提供することを課題とする。

【0008】**【課題を解決するための手段】**

本発明は、上述の課題を解決するために、抵抗素子、容量素子及び整流素子から選択された 1 個又は複数個が具備された保護手段を各画素に設けた半導体装置を提供する。また本50

発明は、前記保護手段を発光素子の画素電極とトランジスタのソース電極又はドレイン電極との間に配置した半導体装置を提供する。なお上記整流素子とは、整流作用を有する素子であり、例えばドレイン電極とゲート電極が接続されたトランジスタやダイオードなどに相当する。つまり本発明の必須の構成とは、各画素に保護手段が設けられ、該保護手段が発光素子の画素電極と、トランジスタのソース電極又はドレイン電極との間に配置されていることである。そして前記トランジスタのソース電極又はドレイン電極は、仮に前記保護手段が配置されない場合に、前記画素電極に接続される。

【 0 0 0 9 】

保護手段が抵抗素子である場合、画素電極とトランジスタのソース電極又はドレイン電極の間に配置して、該画素電極に帯電した電荷が一度に且つ直接トランジスタに供給されないようにすることで、該トランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和する。10

【 0 0 1 0 】

保護手段が容量素子である場合、前記容量素子は画素電極に帯電した電荷を充電又は放電し、該電荷を容量素子とトランジスタに分配することで、該トランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和する。

【 0 0 1 1 】

保護手段がドレイン電極とゲート電極が接続されたトランジスタである場合、前記トランジスタのソース電極は電源線に接続される。そして前記トランジスタは、画素電極に帯電した電荷を前記電源線に放電することで、前記画素電極の電位を前記電源線の電位と同電位もしくはそれに準ずる電位に設定する。このようにして、画素電極に帯電した電荷に起因したトランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和する。20

【 0 0 1 2 】

保護手段がダイオードである場合、前記ダイオードの一方の電極は前記画素電極に接続され、他方の電極は電源線に接続される。前記ダイオードは、画素電極に帯電した電荷を前記電源線に放電することで、前記画素電極の電位を前記電源線の電位と同電位に設定する。このようにして、画素電極に帯電した電荷に起因したトランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和する。

【 0 0 1 3 】

上記構成を有する本発明は、画素電極に帯電した電荷によるトランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和し、静電破壊を防止する。また本発明は、作製工程中における静電破壊、特に画素電極まで作製した状態における静電破壊を防止する。30

【 0 0 1 4 】

【発明の実施の形態】

(実施の形態 1)

本発明の実施の形態について、図 1 ~ 図 3 を用いて説明する。図 1 は画素電極まで作製した状態を示し、図 1 (A) は半導体装置の一画素における上面図 (マスク図面) の概略図であり、図 1 (B) はその回路構成を模式的に表した回路図である。図 2 は、図 1 の画素の断面図である。図 3 は、本画素を実際に作製したパネルを光学顕微鏡により約 635 倍に拡大した写真である。40

【 0 0 1 5 】

図 1 (A) (B) に示す各画素は、列方向に配置された信号線 17 及び電源線 18 、行方向に配置された走査線 20 及びリセット線 19 に囲まれた領域に配置される。また、各画素はスイッチング用トランジスタ 11 (以下トランジスタ 11 と表記) 、駆動用トランジスタ 12 (以下トランジスタ 12 と表記) 、消去用トランジスタ 13 (以下トランジスタ 13 と表記) 、抵抗素子 14 、容量素子 15 及び画素電極 16 を有する。抵抗素子 14 及び容量素子 15 は保護手段 21 に相当する。

【 0 0 1 6 】

図 1 (A) (B) に示す各画素の特徴として、保護手段 21 である抵抗素子 14 と容量素子 15 が配置される点が挙げられる。抵抗素子 14 は、画素電極 16 に帯電した余分な電50

荷に起因したトランジスタ12の電位の急激な変動を緩和する。より詳しくは、画素電極16とトランジスタ12の間に抵抗素子14を配置して、画素電極16に帶電した余分な電荷が一度に且つ直接トランジスタ12に供給されないようにすることで、該トランジスタ12のソース電極又はドレイン電極の電位の急激な変動を緩和する。

【0017】

本実施の形態において、抵抗素子14は、半導体により形成されており、数十kの抵抗値を有する。具体的には20k～50kの抵抗値を有する。しかしながら本発明はこれに限定されず、抵抗素子14を構成する材料として、ゲート電極や配線を構成する金属等を用いてもよい。また画素内に配置する抵抗素子14の形状も特に限定されず、任意に設定することが出来る。さらに抵抗素子14が有する抵抗値も特に限定されず、所望の抵抗値を得ることが出来るように、構成する材料や形状を任意に設定するとよい。10

【0018】

同様に、容量素子15は、画素電極16に帶電した余分な電荷に起因したトランジスタ12の電位の急激な変動を緩和する。より詳しくは、容量素子15は画素電極16に帶電した余分な電荷を充電又は放電する。つまり、画素電極16に帶電した余分な電荷が、容量素子15及びトランジスタ12に分配されることで、該トランジスタ12のソース電極又はドレイン電極の電位の急激な変動を緩和する。

【0019】

本実施の形態において、容量素子15は、半導体及びゲート絶縁膜並びにゲート電極の積層体により形成されており、数百fFの容量値を有する。具体的には100～200fFの容量値を有する。しかしながら本発明はこれに限定されず、容量素子15を構成する材料及び容量素子15の形状は任意に設定することが出来る。また容量素子15が有する容量値も特に限定されず、所望の容量値を得ることが出来るように、構成する材料や形状を任意に設定するとよい。20

【0020】

また上記以外の特徴として、トランジスタ12のチャネル長(L)/チャネル幅(W)の値が10以上の値に設定される点が挙げられる。L/Wの値は、通常であれば0.1～2であるが、本発明では10以上に設定される。そうすると、トランジスタ12自体のゲート・ソース間容量が大きいため、トランジスタ12は容量素子を兼ねることが出来る。

【0021】

また発光素子は、有機材料、無機材料、薄膜材料、バルク材料及び分散材料などの広汎にわたる材料により構成される。そのうち、主に有機材料により構成される有機発光ダイオード(Organic Light Emitting Diode : OLED)は代表的な発光素子として挙げられる。OLEDは、陽極及び陰極、並びに前記陽極と前記陰極との間に発光層が挟まれた構造を有し、該発光層は、上記材料から選択された1つ又は複数の材料により構成される。また発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。30

【0022】

次に、図1(A)(B)に示した半導体装置の一画素における代表的な断面構造を図2(A)～(C)に示す。図2(A)～(C)は、基板上にトランジスタ及び発光素子まで作製した状態を示す。図2(A)は図1(A)の画素のA-A'に沿った断面図であり、トランジスタ11及びトランジスタ13の断面図である。図2(B)はB-B'に沿った断面図であり、トランジスタ12及び電源線18並びに信号線17の断面図である。図2(C)はC-C'に沿った断面図であり、容量素子15及び画素電極16の断面図である。40

【0023】

図2(A)～図2(C)において、101は基板であり、ガラス基板、セラミック基板、石英基板、シリコン基板もしくはプラスチック基板(プラスチックフィルムを含む。)を用いることができる。また、102は下地膜であり、窒化酸化シリコン膜、酸化窒化シリコン膜もしくはこれらの積層膜からなる。

【0024】

50

下地膜 102 の上には、トランジスタ 11 及び 13 の活性層となる半導体が設けられ、該活性層は、ソース領域 103 及びドレイン領域 104 並びにソース領域 107 を有する。ソース領域 103 とドレイン領域 104 の間と、ドレイン領域と 104 とソース領域 107との間には、LDD 領域 105a ~ 105h 及びチャネル形成領域 106a ~ 106d が設けられる。なお、トランジスタ 11 及び 13 の不純物領域は n 型である。また同時にトランジスタ 12 の活性層となる半導体 108 ~ 110、容量素子 15 を構成する半導体が設けられる。容量素子 15 を構成する半導体は、p 型不純物領域 111 と真性の半導体 112 が設けられる。

【0025】

上記半導体上には、酸化シリコン膜、酸化窒化シリコン膜 (Si が 25 ~ 35 原子%、酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、水素が 0.1 ~ 10 原子%で含まれるシリコン化合物膜に相当)、窒化アルミニウム膜、酸化アルミニウム膜、酸化窒化アルミニウム膜もしくはこれらの絶縁膜と窒化シリコン膜との積層膜を用いたゲート絶縁膜 113 が設けられる。ゲート絶縁膜 113 は、トランジスタ 11 ~ 13 のゲート絶縁膜として機能する。またゲート絶縁膜は、容量素子 15 の誘電体として機能する。

【0026】

ゲート絶縁膜 113 上には、金属層をパターン加工して、トランジスタ 11 のゲート電極 114 及び 115、トランジスタ 13 のゲート電極 116 及び 117、及びトランジスタ 12 のゲート電極 118 及び 119 が設けられる。なお、トランジスタ 11 及び 13 の各ゲート電極は、一層目の電極 (窒化タンタル膜) と二層目の電極 (タングステン膜) の形状が異なり、一層目の電極の方が二層目の電極よりも線幅が広くなっている。この特徴の形成方法並びにこのような構造のゲート電極とした理由及び利点等については、本出願人による特開 2002-57162 号公報を参照すれば良い。また、上記ゲート電極と同時に、容量素子 15 を構成する電極 120、121 が設けられる。

【0027】

これらゲート電極及び容量素子 15 を構成する電極上には、第 1 無機絶縁膜 122 として、窒化酸化シリコン膜 (Si が 25 ~ 35 原子%、酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、水素が 15 ~ 25 原子%で含まれるシリコン化合物膜に相当) もしくはプラズマ CVD 法で形成された窒化シリコン膜が 0.1 ~ 1 μm (好ましくは 0.2 ~ 0.5 μm) 設けられる。この第 1 無機絶縁膜 122 は、水素を 15 ~ 25 原子% の濃度で含むため、加熱による水素供給源として機能させ、活性層となる半導体の水素終端を行うことができる。

【0028】

第 1 無機絶縁膜 122 上には、ポジ型の感光性有機樹脂からなる第 1 有機樹脂膜 123 が 0.7 ~ 5 μm (好ましくは 2 ~ 4 μm) 設けられる。第 1 有機樹脂膜 123 は、スピニコート法により塗布して焼成され、次いでフォトマスクを用いて開口部を形成したい部分を露光することで形成される。具体的には、トランジスタ 11 及びトランジスタ 13 の配線を形成する部分、並びにトランジスタ 12 のゲート電極 118、119 と容量をとる部分を露光する。そして第 1 有機樹脂膜 123 に開口部が形成されると、該開口部において第 1 無機絶縁膜 122 は一部露出された状態になる。

【0029】

一部露出された第 1 無機絶縁膜 122 と、第 1 有機樹脂膜 123 を覆って第 2 無機絶縁膜 124 として酸化窒化シリコン膜、窒化シリコン膜、窒化アルミニウム膜又は酸化窒化アルミニウム膜が 0.1 ~ 0.2 μm 設けられる。第 2 無機絶縁膜 124 は、第 1 有機樹脂膜 123 に対する水の出入りを抑える機能を有する。

【0030】

ゲート絶縁膜 113、第 1 無機絶縁膜 122 及び第 2 無機絶縁膜 124 にドライエッティング法によりコンタクトホールが形成され、該コンタクトホールを覆うように形成された導電膜をパターン加工することで、ソース配線 125、127、及びドレイン配線 126 として、Ti 膜 0.1 μm、Al 膜 0.35 μm、Ti 膜 0.15 μm が積層して設けられ

10

20

30

40

50

る。同時に電源線 18 に相当する配線 128、信号線 17 に相当する配線 129、及び p 型不純物領域 111 と画素電極 131 を接続する配線 130 が設けられる。

【0031】

なお図 2 (B)において、第 1 無機絶縁膜 122 及び第 2 無機絶縁膜 124 を間に介したゲート電極 118 及び 119 と配線 128 との積層体は容量素子に相当する。つまり本構成では、上記積層体と、ゲート絶縁膜 113 を間に介して半導体 108 ~ 110 とゲート電極 118、119 との積層体の 2 つが容量素子として機能する。そうすると、従来では 1 つのトランジスタ当たり 100 ~ 500 fF であった容量値を 1000 ~ 1200 fF に向上させることが出来る。上記の 2 つの積層体は、トランジスタ 12 のゲート電極（ゲート電極とソース電極間の電圧）を保持する。

10

【0032】

また図 2 (C)において、第 1 無機絶縁膜 122 及び第 2 無機絶縁膜 124 を間に介したゲート電極 120 及び 121 と配線 130 との積層体は容量素子に相当する。この容量素子は、トランジスタ 12 のゲート電極を保持する役目を担う。そして本構成では、ゲート絶縁膜 113 を間に介して真性の半導体 112 とゲート電極 120 及び 121 との積層体も容量素子として機能する。この容量素子は、保護手段として機能する。

【0033】

次に、ITOなどの透明導電膜をパターン加工して、配線 130 に接する画素電極 131 が設けられる。画素電極 131 上には、ポジ型の感光性有機樹脂からなる第 2 有機樹脂膜 132 が設けられる。第 2 有機樹脂膜 132 は、スピンドルコート法により塗布して焼成され、次いでフォトマスクを用いて開口部を形成したい部分を露光することで形成される。そして開口部が形成されると、該開口部において画素電極 131 の一部が露出した状態になる。

20

【0034】

なお本構成では、ネガ型又はポジ型の有機樹脂を用いることで、開口部の断面に丸みをもたせることができるので、後に形成される発光層や対向電極のカバーレッジを良好とすることが可能となり、発光領域が減少するシルクリングという不良を低減させることができる。

【0035】

そして、露出している画素電極 131 及び第 2 有機樹脂膜 132 を覆うように、窒素を含む無機絶縁膜をパターン加工して第 3 無機絶縁膜 124 が 0.1 ~ 0.2 μm 設けられる。次に蒸着法により発光層 134 が設けられ、さらに蒸着法により対向電極 135 が設けられる。画素電極 131 及び発光層 134 並びに対向電極 135 の積層体が発光素子に相当する。このようにして、基板 101 上に TFT と発光素子とが設けられる。

30

【0036】

次いで画素を実際に作製したパネルを光学顕微鏡により約 635 倍に拡大した写真を図 3 に示す。具体的な仕様として、トランジスタ 12 のチャネル長 390 μm、チャネル幅 5 μm、トランジスタ 11 及び 13 のチャネル長 4.5 μm とした。また画素ピッチは、縦 63 μm、横 189 μm であり、開口率は 40 % であった。

【0037】

上記構成を有する本発明は、画素電極 16 とトランジスタ 12 の間に抵抗素子 14 を配置して、画素電極 16 に帶電した余分な電荷が一度に且つ直接トランジスタ 12 に供給されないようにすることで、該トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。また画素電極 16 とトランジスタ 12 の間に容量素子 15 を配置して、画素電極 16 に帶電した余分な電荷が、容量素子 15 及びトランジスタ 12 に分配されることで、該トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。このように本発明は、画素電極に帶電した電荷によるトランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和することで、静電破壊を防止する。また本発明は、作製工程中における静電破壊、特に画素電極まで作製した状態における静電破壊を防止する。

40

【0038】

50

(実施の形態 2)

本発明の実施の形態について、図 4 ~ 図 9 を用いて説明する。図 4 ~ 図 6 は画素電極まで作製した状態を示し、図 4 (A) ~ 図 6 (A) は半導体装置の一画素における上面図(マスク図面)の概略図であり、図 4 (B) ~ 図 6 (B) はその回路構成を模式的に表した回路図である。図 7 は、図 4 ~ 図 6 の画素の断面図である。図 8、9 は、画素を実際に作製したパネルを光学顕微鏡により約 695 倍に拡大した写真である。

【 0039 】

図 4 ~ 図 6 に示す各画素は、列方向に配置された信号線 17 及び電源線 18 、行方向に配置された走査線 20 及びリセット線 19 に囲まれた領域に配置される。また、各画素はトランジスタ 11 ~ トランジスタ 13 及び画素電極 16 を有する。図 4 (A) (B) に示す各画素は、保護手段 21 に相当する抵抗素子 14 を有する。一方図 5 (A) (B) に示す各画素は、保護手段 21 に相当する容量素子 15 を有する。図 6 (A) (B) に示す各画素は、保護手段 21 に相当する抵抗素子 14 及びゲート・ドレイン間が接続されたトランジスタ 22 を有する。

10

【 0040 】

図 4 (A) (B) に示す各画素の特徴として、保護手段 21 である抵抗素子 14 が配置される点が挙げられる。抵抗素子 14 は、画素電極 16 に帯電した余分な電荷に起因したトランジスタ 12 の電位の急激な変動を緩和する。より詳しくは、画素電極 16 とトランジスタ 12 の間に抵抗素子 14 を配置して、画素電極 16 に帯電した余分な電荷が一度に且つ直接トランジスタ 12 に供給されないようにすることで、該トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。

20

【 0041 】

また本実施の形態において、抵抗素子 14 は、半導体により形成されており、数十 k Ω の抵抗値を有する。具体的には 20 k Ω ~ 50 k Ω の抵抗値を有する。しかしながら本発明はこれに限定されず、抵抗素子 14 を構成する材料として、ゲート電極や配線を構成する金属等を用いてもよい。また画素内に配置する抵抗素子 14 の形状も特に限定されず、任意に設定することが出来る。さらに抵抗素子 14 が有する抵抗値も特に限定されず、所望の抵抗値を得ることが出来るように、構成する材料や形状を任意に設定するとよい。

【 0042 】

図 5 (A) (B) に示す各画素の特徴として、保護手段 21 である容量素子 15 が配置される点が挙げられる。容量素子 15 は、画素電極 16 に帯電した余分な電荷に起因したトランジスタ 12 の電位の急激な変動を緩和する。より詳しくは、容量素子 15 は画素電極 16 に帯電した余分な電荷を充電又は放電する。つまり、画素電極 16 に帯電した余分な電荷が、容量素子 15 及びトランジスタ 12 に分配されることで、該トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。

30

【 0043 】

また本実施の形態において、容量素子 15 は、半導体及びゲート絶縁膜並びにゲート電極の積層体により形成されており、数百 fF の容量値を有する。具体的には 100 ~ 200 fF の容量値を有する。しかしながら本発明はこれに限定されず、容量素子 15 を構成する材料及び容量素子 15 の形状は任意に設定することが出来る。また容量素子 15 が有する容量値も特に限定されず、所望の容量値を得ることが出来るように、構成する材料や形状を任意に設定するとよい。

40

【 0044 】

図 6 (A) (B) に示す各画素の特徴として、保護手段 21 である抵抗素子 14 及びゲート・ドレイン間が接続されたトランジスタ 22 が配置される点が挙げられる。ゲート・ドレイン間が接続されたトランジスタ 22 は、画素電極 16 に帯電した余分な電荷に起因したトランジスタ 12 の電位の急激な変動を緩和する。より詳しくは、トランジスタ 22 のソース電極 23 は、電源線 18 又は発光素子の対向電極が接続された電源線 24 に接続されており、画素電極に帯電した余分な電荷を電源線 18 又は電源線 24 に放電することで、トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。仮に

50

ソース電極 23 が電源線 18 に接続されていた場合には、画素電極 16 に帶電した余分な電荷は電源線 18 に放電されて、該画素電極 16 の電位は電源線 18 の電位（電源電位 V_{DD} ）に設定される。またソース電極 23 が、電源線 24 に接続されていた場合には、画素電極 16 に帶電した余分な電荷は該電源線 24 に放電されて、該画素電極 16 の電位は該電源線の電位（接地電位 V_{SS} ）に設定される。このように画素電極 16 の電位を電源電位 V_{DD} 又は接地電位 V_{SS} に設定して、トランジスタ 12 のソース電極又はドレイン電極の電位の急激な変動を緩和する。

【0045】

なおトランジスタ 22 の代わりに、P N 接合もしくは P I N 接合のダイオードを用いてもよい。ダイオードを用いる場合には、一方の電極は画素電極に接続され、他方の電極は電源線に接続される。また上記以外にも整流作用を有する素子ならばどのような構造の素子を用いてもよい。

10

【0046】

ここで用いられるダイオードの P 型及び N 型不純物領域、真性半導体領域及び電極は、画素部のトランジスタやゲート・ドレイン間が接続されたトランジスタ 22 と同様の方法で作製してもよい。

【0047】

また上記以外の特徴として、トランジスタ 12 のチャネル長 (L) / チャネル幅 (W) の値が 10 以上の値に設定される点が挙げられる。L/W の値は、通常であれば 0.1 ~ 2 であるが、本発明では 10 以上に設定される。そうすると、トランジスタ 12 自体のゲート・ソース間容量が大きいため、トランジスタ 12 は容量素子を兼ねることが出来る。

20

【0048】

次に、図 4 ~ 図 6 に示した半導体装置の一画素における代表的な断面構造を図 7 (A) ~ (D) に示す。図 7 (A) ~ (D) は、基板上にトランジスタ及び発光素子まで作製した状態を示す。図 7 (A) は図 4 ~ 図 6 の画素の D-D' に沿った断面図であり、トランジスタ 11 及びトランジスタ 13 の断面図である。図 7 (B) は図 4 の画素の E-E' に沿った断面図であり、抵抗素子 14 及び画素電極 16 の断面図である。図 7 (C) は図 5 の画素の F-F' に沿った断面図であり、容量素子 15 及び画素電極 16 の断面図である。図 7 (D) は図 6 の画素の G-G' に沿った断面図であり、トランジスタ 22 及び画素電極 16 の断面図である。

30

【0049】

図 7 (A) ~ 図 7 (D) において、201 は基板であり、ガラス基板、セラミック基板、石英基板、シリコン基板もしくはプラスチック基板（プラスチックフィルムを含む。）を用いることができる。また、202 は下地膜であり、窒化酸化シリコン膜、酸化窒化シリコン膜もしくはこれらの積層膜からなる。

【0050】

下地膜 202 の上には、トランジスタ 11 及び 13 の活性層となる半導体が設けられ、該活性層は、ソース領域 203 及びドレイン領域 204 並びにソース領域 207 を有する。ソース領域 203 とドレイン領域 204 の間と、ドレイン領域 204 とソース領域 207 の間には、LDD 領域 205a ~ 205h 及びチャネル形成領域 206a ~ 206d が設けられる。なお、トランジスタ 11 及び 13 の活性層は n 型不純物領域である。また同時に抵抗素子 14 を構成する半導体 208、容量素子 15 を構成する半導体が設けられる。容量素子 15 を構成する半導体は、p 型不純物領域 209 と真性の半導体 210 が設けられる。さらに、トランジスタ 22 の活性層となる半導体が設けられ、該活性層は、ソース領域 211 及びドレイン領域 212 を有する。ソース領域 211 とドレイン領域 212 の間には、LDD 領域 213、214 及びチャネル形成領域 215 が設けられる。

40

【0051】

上記半導体上には、酸化シリコン膜、酸化窒化シリコン膜（Si が 25 ~ 35 原子%、酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、水素が 0.1 ~ 10 原子% で含まれるシリコン化合物膜に相当）、窒化アルミニウム膜、酸化アルミニウム膜、酸化窒化アルミニ

50

ウム膜もしくはこれらの絶縁膜と窒化シリコン膜との積層膜を用いたゲート絶縁膜216が設けられる。ゲート絶縁膜216は、トランジスタ11、13及び22のゲート絶縁膜として機能する。またゲート絶縁膜216は、容量素子15の誘電体として機能する。

【0052】

ゲート絶縁膜216上には、金属層をパターン加工して、トランジスタ11のゲート電極217及び218、トランジスタ13のゲート電極219及び220、容量素子15を構成する電極221、222、トランジスタ22のゲート電極223が設けられる。なお、各トランジスタが有する各ゲート電極は、一層目の電極（窒化タンタル膜）と二層目の電極（タンゲステン膜）の形状が異なり、一層目の電極の方が二層目の電極よりも線幅が広くなっている。

10

【0053】

これらゲート電極及び容量素子15を構成する電極上には、第1層間絶縁膜224として、窒化シリコン膜等の珪素を含む絶縁膜が0.1μm～0.2μm設けられる。次いで第2層間絶縁膜225として、アクリル、ポリイミド、ポリアミド及びBCB（ベンゾシクロブテン）等の有機樹脂からなる絶縁膜が0.7～5μm（好ましくは2～4μm）設けられる。続いて、第3層間絶縁膜226として、スパッタ法により形成された窒化シリコン膜等の珪素を含む膜が0.1μm～0.2μm設けられる。なお第2層間絶縁膜225は、基板201に形成されたトランジスタによる凹凸を緩和し、平坦化する意味合いが強いので、平坦性に優れた膜が好ましい。

【0054】

20

次に、ITOなどの透明導電膜をパターン加工して、画素電極234～236が0.1μm～0.2μm設けられる。続いて、ゲート絶縁膜216、第1層間絶縁膜224及び第2層間絶縁膜225並びに第3層間絶縁膜226にドライエッチング法によりコンタクトホールが形成され、該コンタクトホールを覆うように形成された導電膜をパターン加工することで、ソース配線227、229、231及びドレイン配線228、233として、Ti膜0.1μm、Al膜0.35μm、Ti膜0.15μmが積層して設けられる。同時に半導体208と画素電極234を接続する配線230、p型不純物領域209と画素電極234を接続する配線231が設けられる。なおドレイン配線233は、トランジスタ22のドレイン電極とゲート電極を接続する。

【0055】

30

上記画素電極及び配線上には、第4層間絶縁膜237として、アクリル、ポリイミド、ポリアミド及びBCB（ベンゾシクロブテン）等の有機樹脂からなる絶縁膜が0.7～5μm（好ましくは2～4μm）設けられる。第4層間絶縁膜237は、スピンドルコート法により塗布して焼成され、次いでフォトマスクを用いて開口部を形成したい部分を露光することで形成される。そして開口部が形成されると、該開口部において画素電極234～236の一部が露出した状態になる。

【0056】

なお本構成では、有機樹脂を用いることで、開口部の断面に丸みをもたせることができるので、後に形成される発光層や対向電極のカバーレッジを良好とすることが可能となり、発光領域が減少するシュリンクという不良を低減させることができる。

40

【0057】

次に蒸着法により発光層238が設けられ、さらに蒸着法により対向電極239が設けられる。画素電極234～236、発光層238及び対向電極239の積層体が発光素子に相当する。このようにして、基板101上にTFTと発光素子とが設けられる。

【0058】

次いで画素を実際に作製したパネルを光学顕微鏡により約695倍に拡大した写真を図8、9に示す。図8に示す各画素は図4に示す画素に対応し、図9に示す画素は図5に示す画素に対応する。具体的な仕様として、トランジスタ12のチャネル長390μm、チャネル幅5μm、トランジスタ11及び13のチャネル長4.5μmであった。また画素ピッチは、縦63μm、横189μmであった。なお図8に示す画素において、抵抗素子1

50

4の形状が図4に示す画素と異なり、S字状となっている。また図8、9に示す両画素では、トランジスタ11及び13が配線で覆われている。

【0059】

上記構成を有する本発明は、画素電極16とトランジスタ12の間に抵抗素子14を配置して、画素電極16に帯電した余分な電荷が一度に且つ直接トランジスタ12に供給されないようにすることで、該トランジスタ12のソース電極又はドレイン電極の電位の急激な変動を緩和する。また画素電極16とトランジスタ12の間に容量素子15を配置して、画素電極16に帯電した余分な電荷が、容量素子15及びトランジスタ12に分配されることで、該トランジスタ12のソース電極又はドレイン電極の電位の急激な変動を緩和する。また、画素電極16とトランジスタ12の間にゲート・ドレイン間が接続されたトランジスタ22を配置して、画素電極16に帯電した余分な電荷を電源線に放電することで、該トランジスタ12のソース電極又はドレイン電極の電位の急激な変動を緩和する。このように本発明は、画素電極に帯電した電荷によるトランジスタのソース電極又はドレイン電極の電位の急激な変動を緩和することで、静電破壊を防止する。また本発明は、作製工程中における静電破壊、特に画素電極まで作製した状態における静電破壊を防止する。
。

10

【0060】

(実施の形態3)

上述の実施の形態1、2では、画素電極まで作製した状態における回路図を示したが、本実施の形態では、発光素子まで作製した状態における回路図について図10を用いて説明する。

20

【0061】

図10(A)～図10(D)に示した各画素は、図1、4、5、6に示した各画素に対応する。全ての画素において、トランジスタ12と発光素子25の画素電極の間には、抵抗素子14、容量素子15及び整流素子22から選択された1個又は複数個に相当する保護手段が設けられている。また発光素子25の対向電極は、電源線24に接続されている。

【0062】

さらに図10(A)～図10(D)に示した各画素は、トランジスタ11及び13がnチャネル型であり、トランジスタ12がpチャネル型であるが、本発明ではトランジスタの導電型は特に限定されない。また画素の構成もトランジスタ11～13及び保護手段を有する構成に限定されない。本発明の必須の構成は、各画素に保護手段が設けられ、該保護手段が発光素子の画素電極と、トランジスタのソース電極又はドレイン電極との間に配置されていることである。そして前記トランジスタのソース電極又はドレイン電極は、仮に前記保護手段が配置されない場合に、前記発光素子の画素電極に接続されるトランジスタである。

30

【0063】

なお図10(D)において、整流素子22として、ドレイン電極とゲート電極が接続されたトランジスタ、ダイオードのいずれを用いてもよい。

【0064】

本実施の形態は、実施の形態1、2と任意に組み合わせることができる。

40

【0065】

(実施の形態4)

本実施の形態では、半導体装置の全体の構成について図11、12を用いて説明する。まず、トランジスタ等が設けられた素子基板がシーリング材によって封止される状態について、図11を用いて説明する。

【0066】

図11(A)は、図1、2に示した画素の画素部及び駆動回路を簡単に示した断面図である。図11(A)の画素部において、本来トランジスタ12のL/W値は10以上に設定されているが、ここでは簡略化して図示している。また駆動回路において、対向電極135の一部は引き出し配線140と接続される。引き出し配線140は、FPC(フレキシブル

50

プリントサーフィット)に接続される入力端子と接続される。

【0067】

図11(B)は、FPCと接続される部分(FPC接続部145)を示した断面図である。ゲート絶縁膜113上には、ゲート電極と同じ導電体から形成された引き回し配線144が設けられる。引き回し配線144は、第1有機樹脂膜123の開口部において、コンタクトホール143を介して引き出し配線140と接続される。引き回し配線144上には、第1有機樹脂膜123の開口部が設けられ、さらに第1無機絶縁膜122及び第2無機絶縁膜124がエッティングされて除去されることで、該引き回し配線144は露出される。引き回し配線144上には、画素電極131と同じ透明導電体から形成された入力端子145が設けられる。この入力端子145には、異方性を有する導電性の樹脂150を介して、FPCの端子152に接続されている。151は配線の保護膜であり、153はフィルム膜である。141はカバー材であり、気密性が高く脱ガスの少ないシーリング材142により封止されている。10

【0068】

次いで半導体装置の全体の構成について、図12を用いて説明する。図12は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された半導体装置の上面図であり、図12(B)は図12(A)のB-B'における断面図、図12(C)は図12(A)のA-A'における断面図である。

【0069】

図12(A)~図12(C)において、基板401上には、画素部(表示部)402、該画素部402を囲むように設けられた信号線駆動回路403、走査線駆動回路404a、404b及び保護手段405が配置され、これらを囲むようにしてシール材406が設けられている。画素部402の構造については、上述の実施の形態及びその説明を参照すれば良い。シール材406としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)が用いられる。20

【0070】

このシール材406は、信号線駆動回路403、走査線駆動回路404a、404b及び保護手段405の一部に重畠させて設けても良い。そして、該シール材406を用いてシーリング材407が設けられ、基板401、シール材406及びシーリング材407によって密閉空間408が形成される。シーリング材407には予め凹部の中に吸湿剤(酸化バリウムもしくは酸化カルシウム等)409が設けられ、上記密閉空間408の内部において、水分や酸素等を吸着して清浄な雰囲気に保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材410で覆われており、該カバー材410は、空気や水分は通し、吸湿剤409は通さない。なお、密閉空間408は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。30

【0071】

また、基板401上には、信号線駆動回路403及び走査線駆動回路404a、404bに信号を伝達するための入力端子部411が設けられ、該入力端子部411へはFPC412を介してビデオ信号等のデータ信号が伝達される。入力端子部411の断面は、図12(B)の通りであり、走査線もしくは信号線と同時に形成された配線からなる入力配線413とFPC412側に設けられた配線415とを、導電体416を分散させた樹脂417を用いて電気的に接続してある。なお、導電体416としては、球状の高分子化合物に金もしくは銀といったメッキ処理を施したもの要用いれば良い。40

【0072】

本実施の形態において、保護手段は、画素部202及び入力端子部411と信号線駆動回路403との間に設けられている。入力端子部411と信号線駆動回路403との間に設けられた保護手段405は、両者の間に突発的なパルス信号等の静電気が入った際に、該パルス信号を外部へ逃がす役割を果たす。勿論、保護手段は、他の場所、例えば画素部402と信号線駆動回路403との間や画素部402と走査線駆動回路404a、404bとの間に設けられることもある。50

の間などに設けても構わない。

【0073】

本実施の形態は、実施の形態1～3と任意に組み合わせることができる。

【0074】

(実施の形態5)

本実施の形態では、信号線等を介して画素を制御する信号線駆動回路、走査線駆動回路の構成とその動作について、図13を用いて簡単に説明する。

【0075】

最初に信号線駆動回路について図13(A)を用いて説明する。信号線駆動回路、シフトレジスタ311、第1のラッチ回路312及び第2のラッチ回路313を有する。シフトレジスタ311は、フリップフロップ回路(FF)等を複数列用いて構成され、クロック信号(S-CLK)、スタートパルス(S-SP)、クロック反転信号(S-CLKb)が入力される。これらの信号のタイミングに従って、順次サンプリングパルスが出力される。シフトレジスタ311により出力されたサンプリングパルスは、第1のラッチ回路312に入力される。第1のラッチ回路312には、デジタルビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

10

【0076】

第1のラッチ回路312において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、第2のラッチ回路313にラッチパルスが入力され、第1のラッチ回路312に保持されていたビデオ信号は、一斉に第2のラッチ回路313に転送される。すると、第2のラッチ回路313に保持されたビデオ信号は、1行分が同時に信号線S₁～S_xに入力される。第2のラッチ回路313に保持されたビデオ信号が信号線S₁～S_xに入力されている間、シフトレジスタ311においては再びサンプリングパルスが出力される。以後この動作を繰り返す。

20

【0077】

次いで走査線駆動回路について図13(B)を用いて説明する。各走査線駆動回路は、シフトレジスタ314、バッファ315を有する。動作を簡単に説明すると、シフトレジスタ314は、クロック信号(G-CLK)、スタートパルス(G-SP)及びクロック反転信号(G-CLKb)に従って、順次サンプリングパルスを出力する。その後バッファ315で増幅されたサンプリングパルスは、走査線に入力されて1行ずつ選択状態にしていく。そして選択された走査線によって制御される画素には、順に信号線S₁～S_xからデジタルビデオ信号が書き込まれる。なおシフトレジスタ314と、バッファ315の間にはレベルシフタ回路を配置した構成にしてもよい。レベルシフタ回路を配置することによって、ロジック回路部とバッファ部の電圧振幅を変えることが出来る。

30

【0078】

本実施の形態は、実施の形態1～4と任意に組み合わせることが可能である。

【0079】

(実施の形態6)

本実施の形態では、本発明の半導体装置に適用される駆動方式について簡単に説明する。

40

【0080】

多階調の画像を表示するときの駆動方式としては、大別してアナログ階調方式とデジタル階調方式が挙げられるが、本発明の半導体装置では両方式を適用することが出来る。両方式の相違点は、発光素子の発光、非発光の各状態において該発光素子を制御する方法にある。前者のアナログ階調方式は、発光素子に流れる電流量を制御して階調を得るという方式である。また後者のデジタル階調方式は、発光素子がオン状態(輝度がほぼ100%である状態)と、オフ状態(輝度がほぼ0%である状態)の2つの状態のみによって駆動するという方式である。

【0081】

デジタル階調方式においては、多階調の画像を表現するためにデジタル階調方式と面積階調方式とを組み合わせた方式(以下面積階調方式と表記)やデジタル階調方式と時間階調

50

方式とを組み合わせた方式（以下時間階調方式と表記）が提案されている。

【0082】

面積階調方式とは、1画素を複数の副画素に分割し、各副画素で発光又は非発光を選択することで、1画素において発光している面積と、それ以外の面積との差をもって階調を表現する方式である。また時間階調方式とは、特開2001-5426号にて報告されているように、発光素子が発光している時間を制御することにより、階調表現を行う方式である。具体的には、1フレーム期間を長さの異なる複数のサブフレーム期間に分割し、各期間での発光素子の発光又は非発光を選択することで、1フレーム期間内で発光した時間の長さの差をもって階調を表現する。

【0083】

10

本発明の半導体装置は、アナログ階調方式、デジタル階調方式のいずれも適用することができる。また単色表示、多色表示のいずれも行うことが出来る。なお多色表示を行う場合には、1画素にR G Bの各色に対応した複数の副画素が設けられる。各副画素は、R G Bの各材料の電流密度やカラーフィルタなどの透過率の相違により、同じ電圧を印加したとしても発せられる光の輝度は異なってしまうことがある。そのため、各色に対応した各副画素で電源線の電位を変えることが好ましい。

【0084】

本実施の形態は、実施の形態1～5と任意に組み合わせることが可能である。

【0085】

20

（実施の形態7）

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。これらの電子機器の具体例を図14に示す。

【0086】

図14（A）は発光装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明は表示部2003に適用することができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

30

【0087】

図14（B）はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明は、表示部2102に適用することができる。

【0088】

図14（C）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明は、表示部2203に適用することができる。

40

【0089】

図14（D）はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明は、表示部2302に適用することができる。

【0090】

図14（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表

50

示するが、本発明は表示部 A、B 2 4 0 3、2 4 0 4 に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 0 9 1 】

図 1 4 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明は、表示部 2 5 0 2 に適用することができる。

【 0 0 9 2 】

図 1 4 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明は、表示部 2 6 0 2 に適用することができる。
10

【 0 0 9 3 】

図 1 4 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明は、表示部 2 7 0 3 に適用することができる。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【 0 0 9 4 】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。
20

【 0 0 9 5 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【 0 0 9 6 】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 0 9 7 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 6 に示したいずれの構成の半導体装置を用いても良い。
30

【 0 0 9 8 】

(実施の形態 8)

形態 7 において示した電子機器には、発光素子が封止された状態にあるパネルに、コントローラ、電源回路等を含む I C が実装された状態にあるモジュールが搭載されている。モジュールとパネルは、共に表示装置の一形態に相当する。ここでは、モジュールの具体的な構成について説明する。

【 0 0 9 9 】

図 1 6 (A) に、コントローラ 8 0 1 及び電源回路 8 0 2 がパネル 8 0 0 に実装されたモジュールの外観図を示す。パネル 8 0 0 には、発光素子が各画素に設けられた画素部 8 0 3 と、前記画素部 8 0 3 が有する画素を選択する走査線駆動回路 8 0 4 と、選択された画素にビデオ信号を供給する信号線駆動回路 8 0 5 とが設けられている。またプリント基板 8 0 6 にはコントローラ 8 0 1、電源回路 8 0 2 が設けられ、コントローラ 8 0 1 又は電源回路 8 0 2 から出力された各種信号及び電源電圧は、F P C 8 0 7 を介してパネル 8 0 0 の画素部 8 0 3、走査線駆動回路 8 0 4 及び信号線駆動回路 8 0 5 に供給される。そしてプリント基板 8 0 6 への電源電圧及び各種信号は、複数の入力端子が配置されたインターフェース (I/F) 部 8 0 8 を介して供給される。
40

【 0 1 0 0 】

なお、本実施例ではパネル 800 にプリント基板 806 が FPC を用いて実装されているが、必ずしもこの構成に限定されない。COG (Chip on Glass) 方式を用い、コントローラ 801、電源回路 802 をパネル 800 に直接実装させるようにしても良い。また、プリント基板 806 において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント基板 806 にコンデンサ、バッファ等の各種素子を設けて、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防ぐようにしてても良い。

【0101】

図 16 (B) に、プリント基板 806 の構成をブロック図で示す。インターフェース 808 に供給された各種信号と電源電圧は、コントローラ 801 と、電源電圧 802 に供給される。コントローラ 801 は、アナログインターフェイス回路 809、位相ロックループ (PLL: Phase Locked Loop) 810、制御信号生成回路 811 及び SRAM (Static Random Access Memory) 812、813 とを有する。なおここでは SRAM を用いているが、SRAM の代わりに、SDRAM や、高速でデータの書き込みや読み出しが可能であるならばDRAM (Dynamic Random Access Memory) も用いることが可能である。

【0102】

インターフェース 808 を介して供給されたアナログビデオ信号は、アナログインターフェイス回路 809 において A/D 変換及びパラレル・シリアル変換され、R、G、B の各色に対応するデジタルビデオ信号として制御信号生成回路 811 に入力される。また、インターフェース 808 を介して供給された各種信号を基に、アナログインターフェイス回路 809 において Hsync 信号、Vsync 信号、クロック信号 CLK などが生成され、制御信号生成回路 811 に入力される。インターフェース 808 に直接デジタルビデオ信号が入力される時は、アナログインターフェイス回路 809 は配置しなくてもよい。

【0103】

位相ロックループ 810 は、インターフェース 808 を介して供給される各種信号の周波数と制御信号生成回路 811 の動作周波数の位相とを合わせる機能を有する。制御信号生成回路 811 の動作周波数は、インターフェース 808 を介して供給された各種信号の周波数と必ずしも同じではないが、互いに同期するように制御信号生成回路 811 の動作周波数を位相ロックループ 810 において調整する。

【0104】

制御信号生成回路 811 に入力されたビデオ信号は、一旦 SRAM 812、813 に書き込まれ、保持される。制御信号生成回路 811 では、SRAM 812 に保持されている全ビットのビデオ信号のうち、全画素に対応するビデオ信号を 1 ビット分づつ読み出し、パネル 800 の信号線駆動回路 805 に供給する。制御信号生成回路 811 は、各ビットの発光素子が発光する期間に関する情報を、パネル 800 の走査線駆動回路 804 に供給する。電源回路 802 は、所定の電源電圧をパネル 800 の信号線駆動回路 805、走査線駆動回路 804 及び画素部 803 に供給する。

【0105】

次いで、電源回路 802 の構成について、図 17 を用いて説明する。電源回路 802 は、4 つのスイッチングレギュレータコントロール 860 を用いたスイッチングレギュレータ 854 とシリーズレギュレータ 855 とからなる。一般的にスイッチングレギュレータは、シリーズレギュレータに比べて小型、軽量であり、降圧だけでなく昇圧や正負反転することも可能である。一方シリーズレギュレータは、降圧のみに用いられるが、スイッチングレギュレータに比べて出力電圧の精度は良く、リップルやノイズはほとんど発生しない。本実施例の電源回路 802 では、両者を組み合わせて用いる。

【0106】

図 17 に示すスイッチングレギュレータ 854 は、スイッチングレギュレータコントロール (SWR) 860、アテニュエイター (減衰器: ATT) 861、トランス (T) 862、インダクター (L) 863、基準電源 (Vref) 864、発振回路 (OSC) 865

10

20

30

40

50

5、ダイオード 866、バイポーラトランジスタ 867、可変抵抗 868 及び容量 869 を有する。スイッチングレギュレータ 854 において外部の Liイオン電池 (3.6V) 等の電圧が変換されると、陰極に与えられる電源電圧と、スイッチングレギュレータ 854 に供給される電源電圧が生成される。

【0107】

シリーズレギュレータ 855 は、バンドギャップ回路 (BG) 870、アンプ 871、オペアンプ 1~6、電流源 873、可変抵抗 874 及びバイポーラトランジスタ 875 を有し、スイッチングレギュレータ 854 において生成された電源電圧が供給されている。シリーズレギュレータ 855 では、スイッチングレギュレータ 854 において生成された電源電圧を用い、バンドギャップ回路 870 において生成された一定の電圧に基づいて、各色の発光素子の陽極に電流を供給するための配線 (電流供給線) に与える直流の電源電圧を生成する。10

【0108】

なお電流源 873 は、ビデオ信号の電流が画素に書き込まれる駆動方式の場合に用いる。この場合、電流源 873 において生成された電流は、パネル 800 の信号線駆動回路 805 に供給される。なお、ビデオ信号の電圧が画素に書き込まれる駆動方式の場合には、電流源 873 は必ずしも設ける必要はない。

【0109】

次いで、電源回路 802 の構成要素であるシリーズレギュレータ 855 における動作について、図 18 を用いて簡単に説明する。バンドギャップ回路 870 では基準電圧を発生し、その基準電圧はアンプ 871 で増幅され、ここでは 10V の電源を作成する。また、バンドギャップ回路 870 で生成された電圧は、電流源 873 にも使用される。20

なおバンドギャップ回路 870 は外部の ON/OFF 端子で制御される。これは主に電源立ち上がり時などに、スイッチングレギュレータ 854 から供給される電圧が安定していない場合があり、そのまま使うとバンドギャップ回路 870 から所望の信号を得ることが困難であるために配置するものであり、ON/OFF 端子によりディレイを持たせてこのような現象を抑制する。

【0110】

オペアンプ 1 はアンプ 871 から供給される +10V の電圧を内部抵抗で +5V に分圧したものを作成し、バッファとして機能する。オペアンプ 2 はアンプ 871 から供給される +10V の電圧を内部抵抗で +8V にしたものを作成し、バッファとして機能する。オペアンプ 3 はアンプ 871 から供給される +10V の電圧を外部可変抵抗で分圧したものを供給し、バッファとして機能する。オペアンプ 4~6 はアンプ 871 から供給される +10V の電圧を外部可変抵抗で分圧したものを供給し、バッファとして機能する。なお、オペアンプ 4~6 は出力電流量が多く必要なため、最終出力段にはトランジスタ 875 を用いる。電流源 873 はバンドギャップ回路 870 で発生した基準電圧を外部抵抗で電流に変換し、内部のカレントミラーで反転して出力する。この電流源 873 は温度変化により供給する電流量が左右される場合があるため、温度変化は小さく抑制する必要がある。本構成では、シリーズレギュレータ 855 は、スイッチングレギュレータ 854 で構成された +12V の電源により、6 つの直流電源を構成している。3040

【0111】

次いで、電源回路 802 の構成要素であるスイッチングレギュレータ 854 における構成と動作について、図 19 を用いて簡単に説明する。スイッチングレギュレータコントロール (SWR) 860 は、誤差アンプ 1~4、コンパレータ 1~4 及び出力回路 1~4 から構成される。ATT 861 は抵抗 890、891 から構成される。誤差アンプ 1~4 はスイッチングレギュレータの出力電圧を検出する。誤差アンプ 1~4 は、電圧利得が固定しており、システムに対して安定した位相補償ができる。コンパレータ 1~4 は 1 つの反転入力と 2 つの非反転入力をもつ電圧比較器で、入力電圧に応じて出力パルスのオン時間をコントロールする電圧-パルス幅変換器である。上記以外のスイッチングレギュレータ 854 の構成要素は、上述したので省略する。50

【0112】

スイッチングレギュレータ854では、トランジスタ867の動作がオンかオフかのどちらかのモードで常に動作をしている。このモードの時間の比率を変えることによって、直流出力電圧を安定化させる。従って、トランジスタ867の電力損失は少なく、電力変換効率のよい電源となる。しかしながら、オン/オフのスイッチング周波数は高周波数であるため、トランス862は小型化できる。ここでは、スイッチングレギュレータ854は、+3.6Vの電圧を入力し、その電圧を昇圧して6つの直流電源を構成する。その出力電圧は、+12V、-2V、+8V、-12V、+5V、-3Vとなる。そのうち、+12Vと-2V、+5Vと-3Vは同一の回路から発生させる。

【0113】

10

次いで、ON/OFF端子とバンドギャップ回路870の構成について、図20を用いて説明する。バンドギャップ回路870はトランジスタ892～899、抵抗900～903から構成される。出力端子は、アンプ871に接続される。図20の構成を有するバンドギャップ回路870は、基準電圧を発生する機能を有する。

続いて、シリーズレギュレータ855の構成要素であるアンプ(DCアンプ)871の構成について、図21を用いて説明する。アンプ871はトランジスタ905～915、抵抗916～920、容量体922を有する。入力端子にはバンドギャップ回路870から信号が供給される。出力端子から出力される信号は、オペアンプ1～6に供給される。

オペアンプ1～3の構成について図22を用いて説明する。オペアンプ1～3は、トランジスタ925～935、940、抵抗936～939、941、容量素子942を有する。入力端子にはバンドキャップ回路870から信号が供給される。出力端子から出力される信号はパネル800に供給される。

20

オペアンプ4～6の構成について図23を用いて説明する。オペアンプ4～6は、トランジスタ945～955、960、抵抗956～959、961、962、容量素子962を有する。入力端子にはバンドキャップ回路870から信号が供給される。出力端子から出力される信号は、各色の発光素子の陽極に電流を供給するための配線(電流供給線)に与える。

電流源873の構成について図24を用いて説明する。電流源873は、トランジスタ965～973、抵抗974～980、容量素子981、982を有する。入力端子にはバンドギャップ回路870から信号が供給される。

30

【0114】

上記構成を有する電源回路802とコントローラ801がパネル800に実装され、本発明の一実施形態であるモジュールが完成する。

【0115】

【実施例】

(実施例1)

本実施例では、静電破壊試験器を用いて静電破壊試験を行った結果について、表1を用いて説明する。本実験は、保護手段を有する場合と、保護手段を有していない場合の駆動用TFTの特性について比較したものであり、より詳しくは、各駆動用TFTのしきい値電圧(V_t_h)と立ち上がり電圧(Shift)の特性を比較した結果について説明する。なお保護手段は、発光素子の画素電極と駆動用TFTのドレイン又はソースとの間に配置されるものであり、また、上記実施の形態において示したように、保護手段としては、抵抗素子、容量素子及び整流素子から選択された1個又は複数個が設けられる。前記整流素子とは、ドレイン電極とゲート電極が接続されたトランジスタ、又はダイオードに相当する。

40

【0116】

まず、表1の横軸について説明する。左から順に説明すると、normalは保護手段を有していない場合に相当する。このnormal以外は保護手段を有するものであり、res1は保護手段として抵抗素子(20k_Ω)を有する場合、res2は保護手段として抵抗素子(50k_Ω)を有する場合、cap1は保護手段として容量素子(100fF)を有する場合である。

res+Diは、保護手段として抵抗素子及び整流素子を有し、駆動用TFTに対して該抵抗素

50

子は直列接続、該整流素子は並列接続している。このときの整流素子は、ゲート・ドレイン間が接続されたP型TFT（チャネル長（L）が $8.5\mu\text{m}$ 、チャネル幅（W）が $3\mu\text{m}$ ）に相当する。

Di（P）は、保護手段として直列接続された抵抗素子及び整流素子を有する場合に相当する。このときの整流素子は、ゲート・ドレイン間が接続されたP型TFT（Lが $5\mu\text{m}$ 、Wが $5\mu\text{m}$ ）に相当する。

Di（N）は、保護手段として直列接続された抵抗素子及び整流素子を有する場合に相当する。このときの整流素子は、ゲート・ドレイン間が接続されたN型TFT（Lが $5\mu\text{m}$ 、Wが $5\mu\text{m}$ ）に相当する。

Di（PIN）は、保護手段として直列接続された抵抗素子及び整流素子を有する場合に相当する。このときの整流素子は、PIN接合のダイオード（1層部分はLが $1\mu\text{m}$ 、Wが $15.5\mu\text{m}$ ）に相当する。なお、全ての駆動用TFTは、Lが $390\mu\text{m}$ 、Wが $5\mu\text{m}$ である。10

【0117】

【表1】

	normal	res1	res2	cap1	res+Di	Di(P)	Di(N)	Di(PIN)
$ \Delta V_{th} (\text{kV})$	0.80	0.13	0.08	0.03	0.08	0.13	0.06	0.06
$ \Delta \text{shift} (\text{kV})$	0.73	0.06	0.02	0.40	0.06	0.03	0.11	0.06

(試験条件:ドレン側に 2.5kV 印加、1秒間隔で5回繰り返し)

20

【0118】

本実験は上記の全てのサンプルに対して行ったものであり、まずは初期状態として、各駆動用TFTのしきい値電圧及び立ち上がり電圧を測定した。次に、発光素子の画素電極が接続される端子（ドレン側の端子）に、 2.5kV の電圧値を1秒間隔で5回印加した後、再度、しきい値電圧及び立ち上がり電圧を測定した。

そして、各サンプルで、初期状態と、各電圧値を印加した後の変化量（差）の絶対値を求めた。そのときのしきい値電圧の変化量（ V_{th} ）、立ち上がり電圧（ $Shift$ ）の変化量を表1に示す。なお、立ち上がり電圧とは、反転層が形成されたとき、またはログスケールで電流が流れ始めたときの V_G に相当する。30

【0119】

そして、表1に示すように、保護手段を有するサンプルは、normalのサンプルより、しきい値電圧の変動と、立ち上がり電圧の変動が緩和されていることが分かる。

【0120】

【発明の効果】

本発明は、画素電極とトランジスタの間に抵抗素子を配置して、画素電極に帶電した余分な電荷が一度に且つ直接トランジスタに供給されないようにすることで、該トランジスタのソース電極又はドレン電極の電位の急激な変動を緩和する。また、画素電極とトランジスタの間に容量素子を配置して、該画素電極に帶電した余分な電荷が、容量素子及びトランジスタに分配されることで、該トランジスタのソース電極又はドレン電極の電位の急激な変動を緩和する。40

【0121】

また、画素電極とトランジスタの間にダイオードを配置して、画素電極に帶電した余分な電荷を電源線に放電することで、該トランジスタのソース電極又はドレン電極の電位の急激な変動を緩和する。このように本発明は、画素電極に帶電した電荷によるトランジスタのソース電極又はドレン電極の電位の急激な変動を緩和することで、静電破壊を防止する。また本発明は、作製工程における静電破壊、特に画素電極まで作製した状態における静電破壊を防止する。

【図面の簡単な説明】

【図1】本発明の半導体装置の上面図及び回路図。

50

【図2】本発明の半導体装置の断面図。

【図3】本発明の半導体装置に具備される画素の上面写真。

【図4】本発明の半導体装置の上面図及び回路図。

【図5】本発明の半導体装置の上面図及び回路図。

【図6】本発明の半導体装置の上面図及び回路図。

【図7】本発明の半導体装置の断面図。

【図8】本発明の半導体装置に具備される画素の上面写真。

【図9】本発明の半導体装置に具備される画素の上面写真。

【図10】本発明の半導体装置の回路図。

【図11】本発明の半導体装置の断面図。

【図12】本発明の半導体装置の全体図。

【図13】信号線駆動回路及び走査線駆動回路の図。

【図14】本発明が適用される電子機器の図。

【図15】半導体装置の図。

【図16】モジュールを示す図。

【図17】電源回路を示す図。

【図18】シリーズレギュレータを示す図。

【図19】スイッチングレギュレータを示す図。

【図20】バンドギャップ回路を示す図。

【図21】DCアンプを示す図。

【図22】オペアンプを示す図。

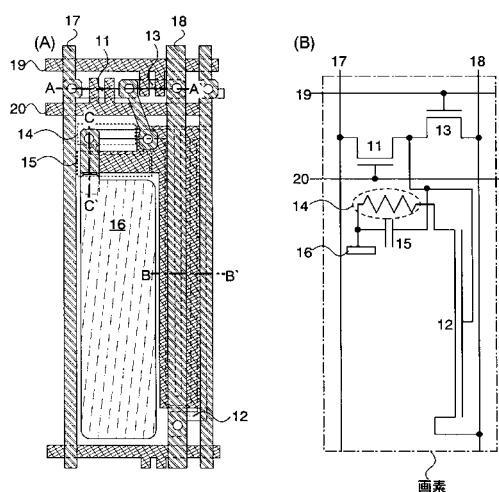
【図23】オペアンプを示す図。

【図24】電流源を示す図。

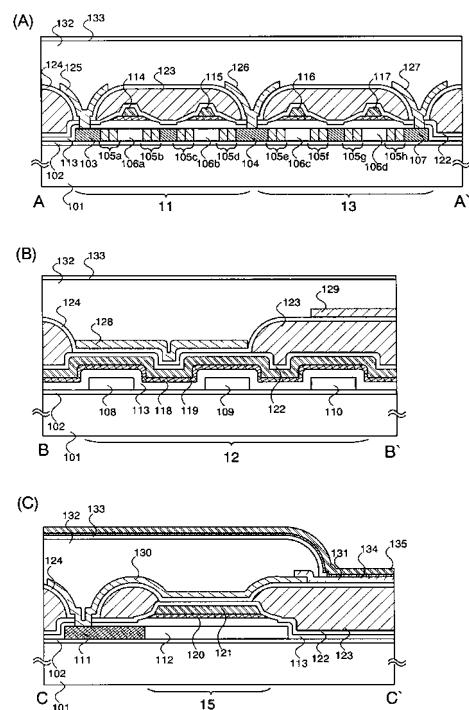
10

20

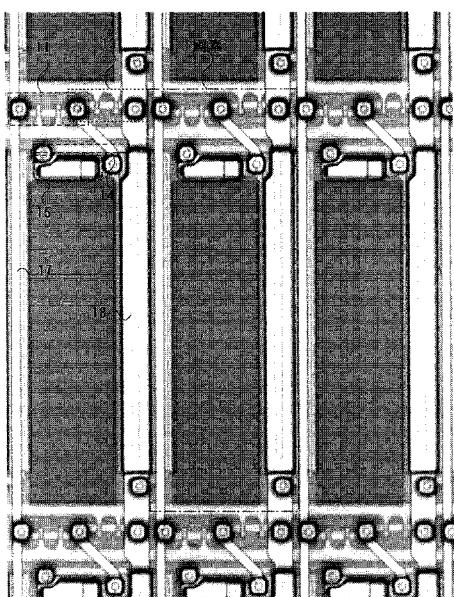
【図1】



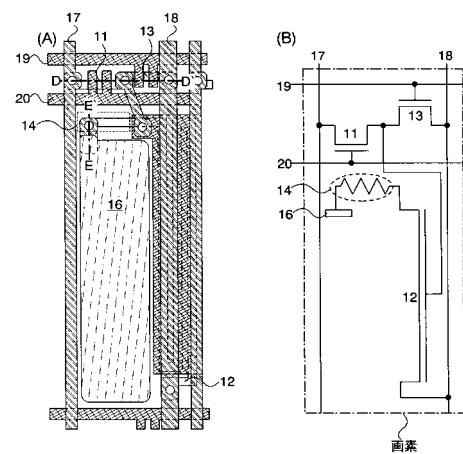
【図2】



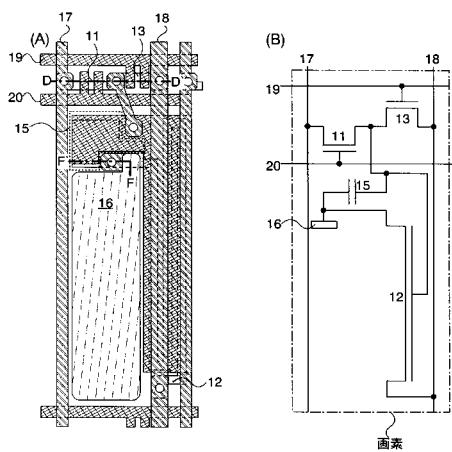
【図3】



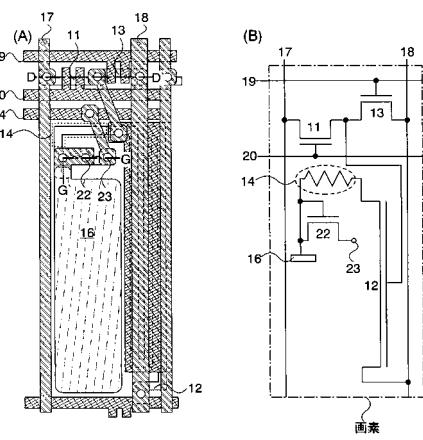
【図4】



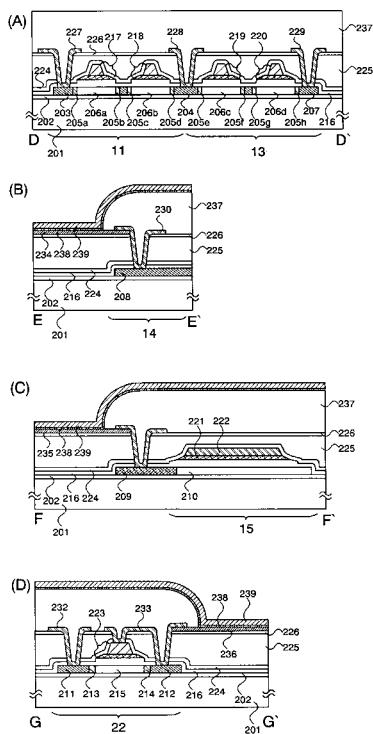
【図5】



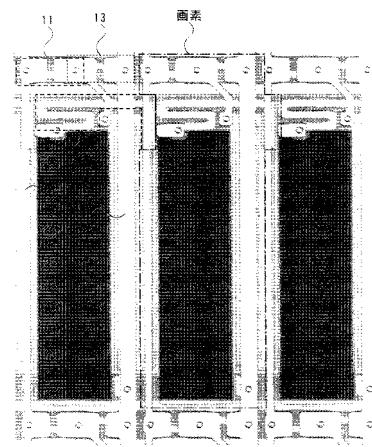
【図6】



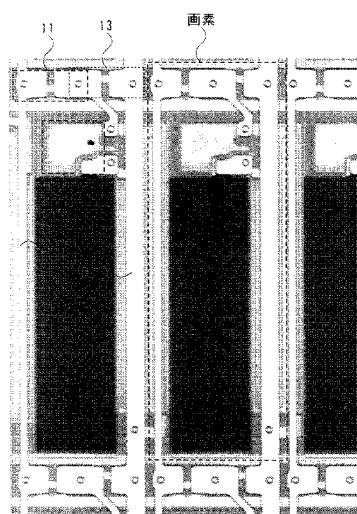
【図7】



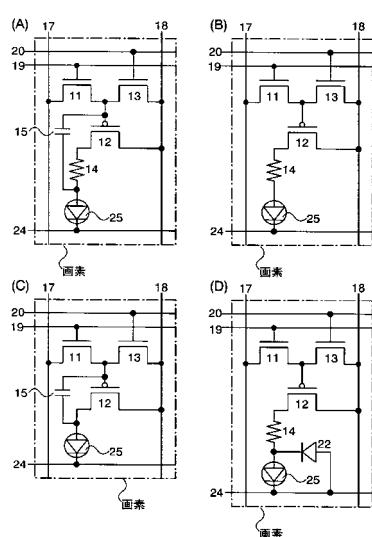
【 四 8 】



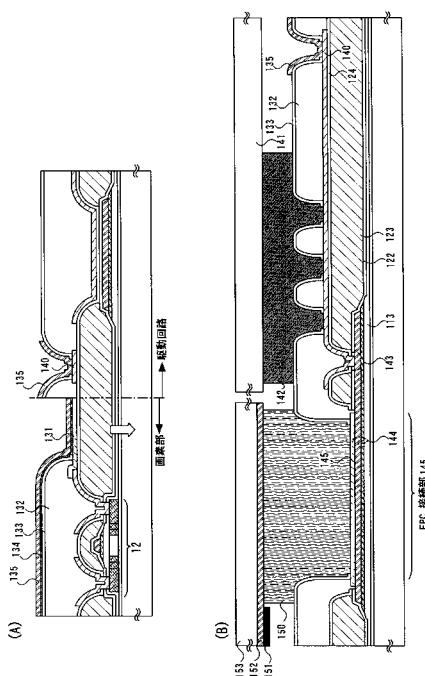
【 図 9 】



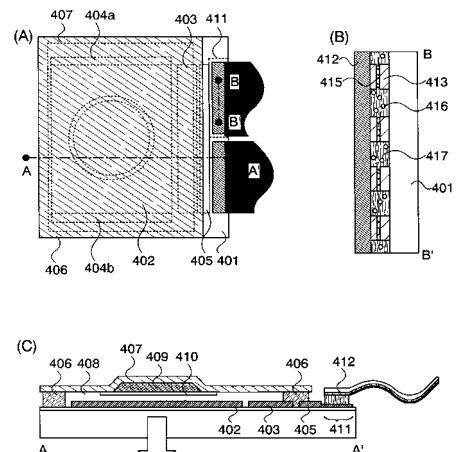
【 四 10 】



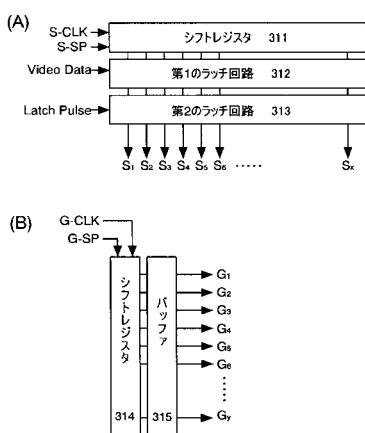
【図11】



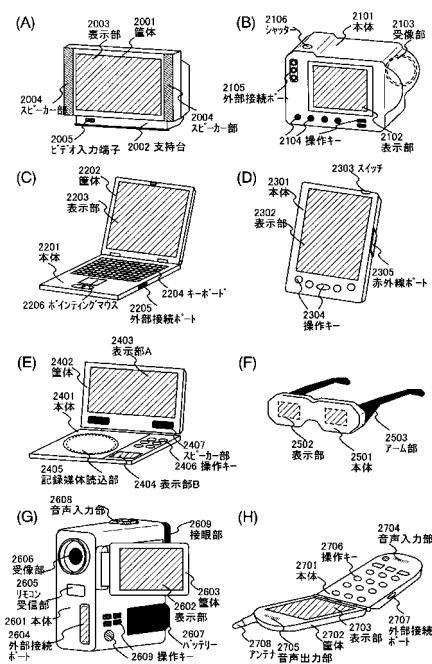
【図12】



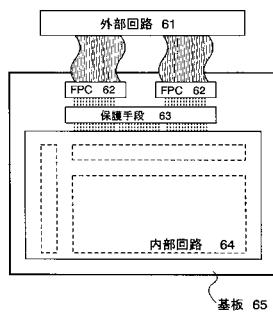
【図13】



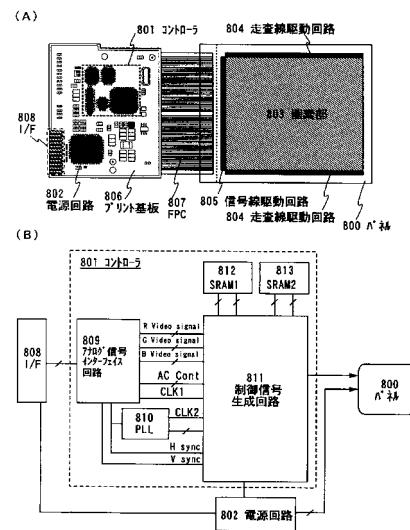
【図14】



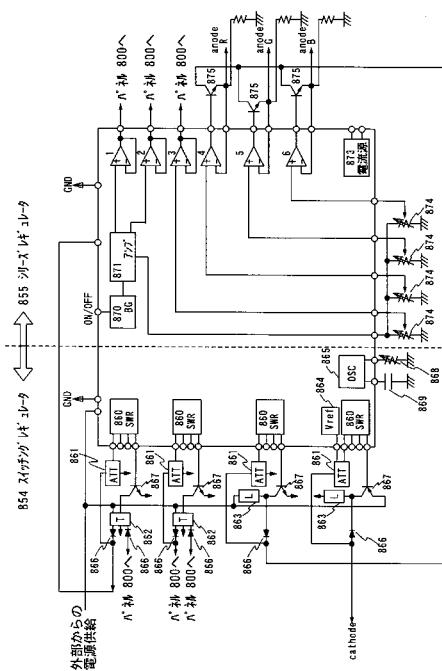
【図15】



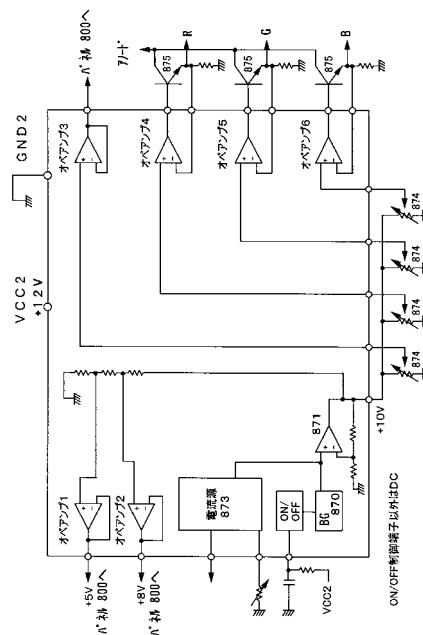
【図16】



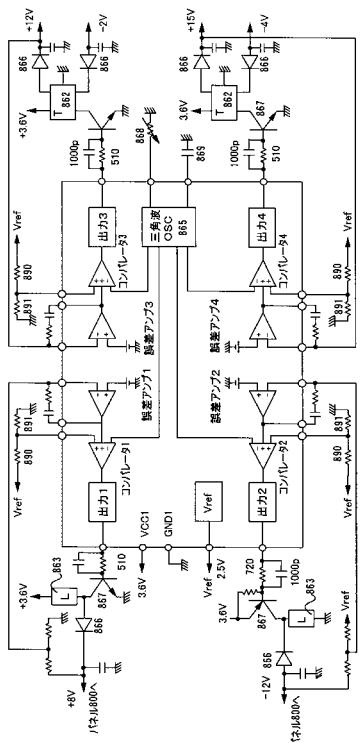
【図17】



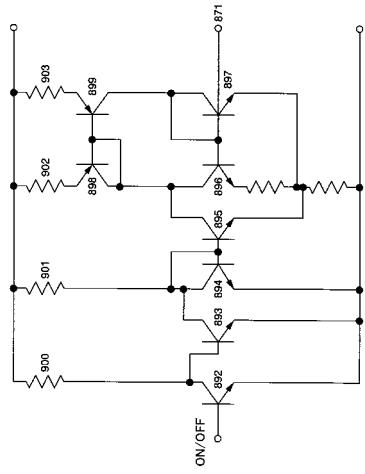
【 囮 1 8 】



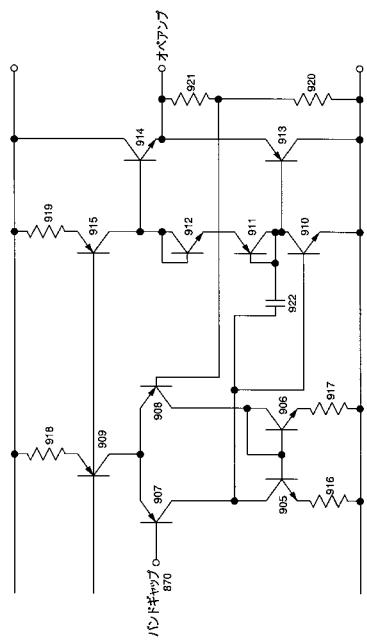
【 図 1 9 】



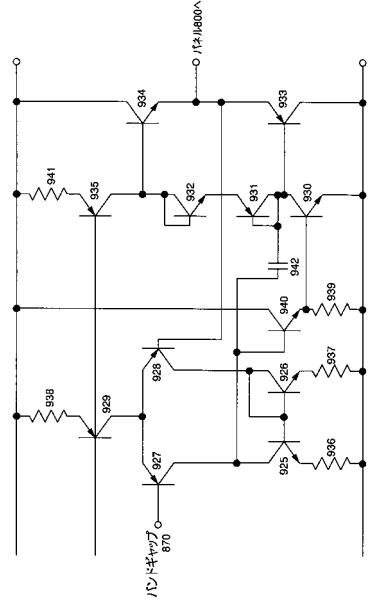
【図20】



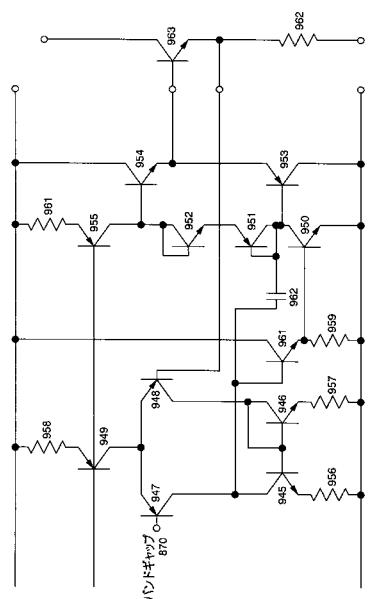
【図21】



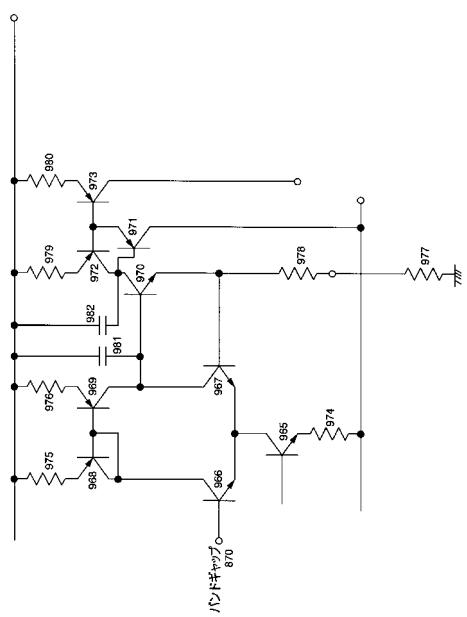
【図22】



【図23】



【図24】



フロントページの続き

(51)Int.Cl. F I
H 01 L 51/50 (2006.01)

(72)発明者 安西 彩
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72)発明者 福本 良太
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 佐竹 政彦

(56)参考文献 国際公開第98/036405 (WO, A1)
特開2002-082651 (JP, A)
特開2001-236027 (JP, A)
特開平06-250219 (JP, A)
国際公開第01/006484 (WO, A1)
特開2001-005426 (JP, A)
特開2001-133807 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/13-1/141
G09F 9/00-9/46
H01L27/32、51/50
H05B33/00-33/28