



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월21일
(11) 등록번호 10-1076062
(24) 등록일자 2011년10월17일

(51) Int. Cl.

H01L 23/28 (2006.01)

(21) 출원번호 10-2006-0043994
(22) 출원일자 2006년05월16일
심사청구일자 2011년05월12일
(65) 공개번호 10-2006-0118363
(43) 공개일자 2006년11월23일

(30) 우선권주장

11/383,403 2006년05월15일 미국(US)
60/594,884 2005년05월16일 미국(US)

(56) 선행기술조사문현

JP08222692 A
JP2001044362 A
US06388333 B1
KR100546359 B1

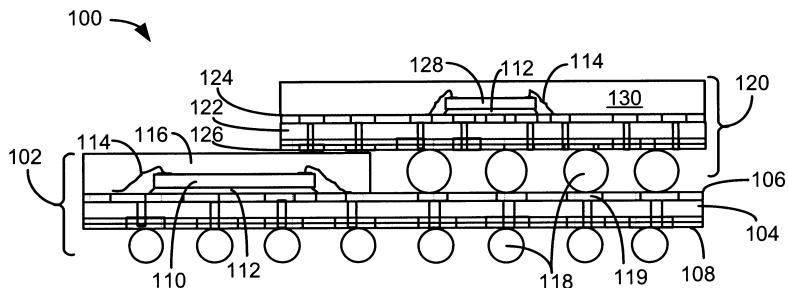
전체 청구항 수 : 총 10 항

심사관 : 설관식

(54) 오프셋 접적 회로 패키지-온-패키지 적층 시스템

(57) 요 약

오프셋 접적 회로 패키지-온-패키지 적층 시스템이 제공되는바, 이 시스템은 베이스 기판을 제공하는 것과, 상기 베이스 기판 위에 컨택 패드를 형성하는 것과, 상기 베이스 기판 위에 제 1 접적 회로를 실장하는 것과, 상기 제 1 접적 회로 주위에 베이스 패키지 본체를 형성하는 것과, 오프셋 기판을 제공하는 것과, 상기 오프셋 기판 위에 제 2 접적 회로를 실장하는 것과, 그리고 상기 베이스 패키지 본체 위에 상기 오프셋 기판을 배치하는 것을 비롯하여, 상기 오프셋 기판을 상기 컨택 패드에 결합하는 것을 포함한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

오프셋 집적 회로 패키지-온-패키지 적층 시스템(offset integrated circuit package-on-package stacking system)을 제조하는 방법으로서,

베이스 기판(base substrate)을 제공하는 단계와;

상기 베이스 기판 위에 컨택 패드(contact pad)를 형성하는 단계와;

상기 베이스 기판 위에 제 1 집적 회로를 실장(mount)하는 단계와;

상기 제 1 집적 회로 주위에 베이스 패키지 본체(base package body)를 형성하는 단계와;

오프셋 기판(offset substrate)을 제공하는 단계와;

상기 오프셋 기판 위에 제 2 집적 회로를 실장하는 단계와; 그리고

상기 오프셋 기판을 상기 컨택 패드에 결합하는 단계를 포함하여 구성되며,

상기 결합하는 단계는 상기 베이스 기판의 상부의 일부분이 노출되도록 상기 베이스 패키지 본체의 일부분 위에만 상기 오프셋 기판을 배치하는 것을 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템 제조 방법.

청구항 2

제1항에 있어서,

상기 베이스 기판 위에 수동 소자(passive component), 능동 소자(active component) 또는 이들의 조합을 실장하는 단계를 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템 제조 방법.

청구항 3

제1항에 있어서,

오프셋 패키지(offset package)가 베이스 몰드 캡(base mold cap)의 코너(corner)에 놓이는 상태로, 상기 베이스 기판 위에 상기 오프셋 패키지를 실장하는 단계를 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템 제조 방법.

청구항 4

제1항에 있어서,

상기 베이스 패키지 본체와 상기 오프셋 기판 사이에 갭 필러 접착제(gap filler adhesive)를 제공하는 단계를 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템 제조 방법.

청구항 5

제1항에 있어서,

오프셋 패키지가 베이스 몰드 캡의 하나의 애지(edge)와 정렬되는 상태로, 상기 베이스 기판 위에 상기 오프셋 패키지를 실장하는 단계를 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템 제조 방법.

청구항 6

오프셋 집적 회로 패키지-온-패키지 적층 시스템으로서,

베이스 기판과;

상기 베이스 기판 위에 형성되는 컨택 패드와;

상기 베이스 기판 위에 실장되는 제 1 집적 회로와;

상기 제 1 집적 회로 주위에 몰딩(molding)되는 베이스 패키지 본체와;

오프셋 기판과; 그리고

상기 오프셋 기판 위에 실장되는 제 2 집적 회로를 포함하여 구성되고,

상기 오프셋 기판은 상기 컨택 패드에 결합되며, 상기 결합되는 것은 상기 베이스 기판의 상부의 일부분이 노출되도록 상기 베이스 패키지 본체의 일부분 위에만 상기 오프셋 기판이 배치되는 것을 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템.

청구항 7

제6항에 있어서,

상기 베이스 기판 위에 실장되는 수동 소자, 능동 소자 또는 이들의 조합을 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템.

청구항 8

제6항에 있어서,

상기 베이스 기판 위에 실장되는 오프셋 패키지를 더 포함하고, 상기 오프셋 패키지는 베이스 몰드 캡의 코너에 놓이는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템.

청구항 9

제6항에 있어서,

상기 베이스 패키지 본체와 상기 오프셋 기판 사이에 캡 필러 접착제를 더 포함하는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템.

청구항 10

제6항에 있어서,

상기 베이스 기판 위에 실장되는 오프셋 패키지를 더 포함하고, 상기 오프셋 패키지는 베이스 몰드 캡의 하나의 에지와 정렬되는 것을 특징으로 하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0011]

관련 출원들에 대한 상호참조

본 출원은 미국 가특허 출원 번호 제60/594,884호(2005년 5월 16일 출원)에 대해 우선권 혜택을 주장한다.

본 출원은 함께 출원된 미국 특허 출원 번호 제11/383,407호(발명자: 심일권 등, 발명의 명칭 "Offset Integrated Circuit Package-on-Package Stacking System")와 관련된 주된 내용을 포함한다. 관련 출원은 스탠츠 칩팩 엘티디(STATS ChipPAC Ltd.)에 양도된다.

본 발명은 일반적으로 집적 회로 패키지 시스템들에 관한 것으로, 보다 구체적으로는 적층된 패키지들을 갖는 집적 회로 패키지 시스템들에 관한 것이다.

[0012]

집적 회로의 다른 회로와의 인터페이스를 위해, 집적 회로를 리드 프레임(lead frame) 또는 기판 상에 실장하는 것이 일반적이다. 각 집적 회로는 고순도의 금 또는 알루미늄 배선들을 사용하여 리드 프레임의 리드 핑거 패드(lead finger pad)들에 개별적으로 연결되는 본딩 패드들을 갖는다. 이후에, 어셈블리들은 집적 회로 패키지를 생성하기 위해 이를 몰드 플라스틱 또는 세라믹 본체(molded plastic or ceramic body)들에 개별적으로 캡슐화함으로써 패키징된다.

[0013] 집적 회로 패키징 기술은 단일 회로 보드 또는 기판상에 실장된 집적 회로들의 개수에서 증가를 보여왔다. 새로운 패키징 설계들은 집적 회로의 물리적 크기 및 형상과 같은 여러 형태 인자들(form factor)들에서 더욱 컴팩트하며, 전체 집적 회로 밀도에서 큰 증가를 제공한다. 하지만, 집적 회로 밀도는 기판상에 개별 집적 회로들을 실장하는데에 이용가능한 "면적(real estate)"에 의해 계속적으로 제한된다. PC들, 컴퓨터 서버들, 및 저장 서버들과 같은 더욱 큰 형태 인자 시스템들은 동일하거나 보다 작은 "면적"에서 더 많은 집적 회로들을 필요로 한다. 특히, 휴대폰들, 디지털 카메라들, 음악 재생기들, PDA들, 및 위치-기반 디바이스들과 같은 휴대용 개인 전자기기들에 대한 수요들은 집적 회로 밀도 증가에 대한 필요성을 더욱 촉진시켰다.

[0014] 이러한 집적 회로 밀도 증가는 하나보다 많은 집적 회로가 패키징될 수 있는 멀티-칩 패키지들의 개발로 이어지게 되었다. 각 패키지는 개별 집적 회로들 및 집적 회로들이 주위 회로와 전기적으로 연결되게 하는 배선 라인들의 하나 이상의 층들에 대한 기계적인 지지(support)를 제공한다. 현재의 멀티-칩 패키지들(또한 일반적으로 멀티-칩 모듈들로 불린다)은 전형적으로, 개별 집적 회로 세트가 직접적으로 부착되는 PCB 기판으로 구성된다. 이러한 멀티-칩 패키지들은 집적 회로 밀도 및 소형화를 증가시키며, 신호 전송 속도를 개선시키며, 전체 집적 회로 크기 및 무게를 감소시키며, 성능을 개선시키며, 그리고 비용들을 낮추는 것으로 밝혀졌는바, 이들 모두는 컴퓨터 산업계의 주된 목표가 된다.

[0015] 멀티-칩 패키지들은 수직 또는 수평으로 배열되어 있든지 간에 또한 문제점들을 나타낼 수 있는데, 이는 집적 회로 및 집적 회로 연결들을 테스트하기에 일련 이들을 사전-조립해야 하기 때문이다. 따라서, 집적 회로들이 멀티-칩 모듈에서 실장되어 연결될 때, 개별 집적 회로들 및 연결들이 개별적으로 테스트될 수 없으며, 큰 회로들로 조립되기 이전에 KGD(known-good-die: 양품인 것으로 확인되는 다이)를 식별하는 것이 불가능하게 된다. 결과적으로, 종래 멀티-칩 패키지들은 어셈블리 공정이 양품률 문제들을 야기한다. 따라서, KGD를 식별하지 않는 이러한 제조 공정은 신뢰성이 떨어지며, 어셈블리 결함들이 발생하기 쉽다.

[0016] 게다가, 전형적인 멀티-칩 패키지들에서 수직으로 적층된 집적 회로들은 수평으로 배열된 집적 회로 패키지들의 문제들을 넘어서는 문제점들을 나타낼 수 있는바, 이는 더욱 제조 공정을 복잡하게 한다. 개별 집적 회로들의 실질적인 장애 모드를 테스트하고, 이를 판정하는 것은 더욱 어렵게 된다. 게다가, 기판 및 집적 회로는 어셈블리 또는 테스트 동안에 종종 손상되는바, 이는 제조 공정을 복잡하게 하며 비용을 증가시킨다. 수직으로 적층된 집적 회로 문제들은 이들보다 더 클 수 있다.

[0017] 따라서, 개선된 패키징 방법, 시스템 및 설계들에 대한 필요성이 여전히 존재한다. 가전기기들의 소형화 및 제한된 공간에서 더욱 정교한 기능들의 구현을 요하는 수요의 관점에서, 이러한 문제점들에 대한 해답들을 찾는 것이 더욱 중요해지고 있다. 상업적 경쟁 압력의 증대, 소비자 기대들의 상승, 및 시장에서 의미있는 제품 차별화에 대한 기회 감소의 관점에서, 이러한 문제점들에 대한 해답들을 찾는 것은 더욱 중요해지고 있다. 게다가, 비용을 저감하고, 효율성들을 증대시키며, 그리고 이러한 경쟁 압력들을 충족시킬 것을 요하는 증대되는 요구는 이러한 문제점들에 대한 해결책을 찾아야 할 중요한 필요성에 더욱 큰 긴급성을 가중시키고 있다.

[0018] 이러한 문제점들에 대한 해결책들이 오랫동안 강구되어 왔으나, 이전의 개발물들은 어떠한 솔루션들도 제시하거나 암시하지 않았으며, 따라서 이러한 문제점들에 대한 솔루션들은 오랫동안 기술분야의 당업자에게 파악되지 않았다.

발명이 이루고자 하는 기술적 과제

[0019] 본 발명은 베이스 기판을 제공하는 것과, 베이스 기판 상에 컨택 패드를 형성하는 것과, 상기 베이스 기판 상에 제 1 집적 회로를 실장하는 것과, 상기 제 1 집적 회로 주위에 베이스 패키지 본체를 형성하는 것과, 오프셋 기판을 제공하는 것과, 상기 오프셋 기판 상에 제 2 집적 회로를 실장하는 것과, 그리고 상기 오프셋 기판을 상기 베이스 패키지 본체 상에 배치하는 것을 비롯하여, 상기 오프셋 기판을 상기 컨택 패드에 결합하는 것을 포함하는 오프셋 집적 회로 패키지-온-패키지 적층 시스템을 제공한다.

[0020] 본 발명의 여러 실시예들은 상술된 내용 이외에 또는 내용에 추가하여 다른 양상들을 갖는다. 이 양상들은 첨부 도면들을 참조로 한 하기의 상세한 설명을 읽음으로써 기술분야의 당업자에게 자명하게 될 것이다.

발명의 구성 및 작용

[0021] 하기 실시예들은 기술분야의 당업자들이 본 발명을 제조하고 사용할 수 있도록 충분히 상세하게 설명된다. 다른 실시예들은 본 개시에 기초하여 자명할 것이며, 본 발명의 범주를 벗어남이 없이 그 공정 또는 기계적 변경들이

이루어질 수 있을 것이다.

[0022] 하기 설명에서, 본 발명의 철저한 이해를 돋기 위해 여러가지의 특정 세부사항들이 제공된다. 하지만, 본 발명이 이러한 특정 상세사항들 없이 실시될 수 있음이 자명하다. 본 발명을 불분명하게 하는 것을 피하기 위해, 여러가지 잘-알려진 회로들, 시스템 구성들, 및 공정 단계들은 상세히 설명하지 않는다.

[0023] 디바이스의 실시예들을 도시하는 도면들은 세미-다이어그램으로서, 척도로 표시되지 않았으며, 특히, 치수들의 일부는 표현의 명확성을 위한 것이며, 도면들에서 크게 확대 도시되어 있다. 게다가, 실시예들의 예시, 설명 및 이해의 명확성 및 용이를 위해 공통적인 여러 특징들을 갖는 복수의 실시예들이 개시되고 설명되며, 서로간에 유사하거나 동일한 구성들은 보통 동일한 참조번호들로 설명된다.

[0024] 본원에서 사용되는 용어 "수평"은 그 방향에 관계없이 패키지 기판의 평면 또는 표면에 평행한 평면으로서 정의 된다. 용어 "수직"은 위에서 정의된 바와 같이 수평에 수직인 방향을 의미한다. "위", "아래", "바닥부", "상부", ("측벽"에서와 같이) "측부", "더 높은", "더 낮은", "더 위쪽", "위에", "아래에"와 같은 용어들은 수평면의 관점에서 정의된다. "상에"라는 용어는 요소들 사이에 직접적인 컨택이 있음을 의미한다. 본원에서 사용되는 용어 "프로세싱"은 설명된 구조를 성형함에 있어서 요구되는 레이저 트리밍(laser trimming) 혹은 물질의 스탬핑(stamping), 포장(forging), 패터닝, 노광, 현상, 식각, 세정, 및/또는 제거를 포함한다.

[0025] 도 1을 참조하면, 본 발명의 일 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 단면도가 도시된다. 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 단면도는 베이스 상면(106) 및 베이스 바닥면(108)과 함께 베이스 기판(104)을 갖는 볼 그리드 어레이 패키지와 같은 베이스 패키지(102)를 도시한다. 제 1 접적 회로(110)가 다이 부착 물질과 같은 접착제(112)로 베이스 상면(106)상에 실장된다. 제 1 접적 회로(110)는 본드 배선들, 솔더 범프(solder bump)들, 솔더 칼럼(solder column)들 또는 스터드 범프(stud bump)들과 같은 전기 배선들(114)에 의해 베이스 상면(106)에 결합된다. 몰딩 화합물(molding compound)과 같은 베이스 패키지 본체(116)는 제 1 접적 회로(110), 전기 배선들(114) 및 베이스 상면(106)의 일부 주위에서 주입몰딩(injection molding)된다. 솔더 볼들, 솔더 칼럼 인터포저(interposer)들 또는 스터드 범퍼들과 같은 시스템 배선들(118)이 후속 레벨의 시스템(미도시)에 부착을 위해 베이스 바닥면(108)에 부착된다. 컨택 패드(119)의 어레이가 베이스 패키지 본체(116) 주위의 영역에 분포된다.

[0026] 상면(124) 및 바닥면(126)을 갖는 오프셋 기판(122)을 구비하는 오프셋 패키지(120)가 베이스 패키지(102) 상의 오프셋 위치에 실장된다. 오프셋 패키지(120)는 접착제(112)로 상면(124)상에 실장된 제 2 접적 회로(128)를 갖는다. 제 2 접적 회로(128)가 전기 배선들(114)에 의해 상면(124)에 결합된다. 몰딩 화합물과 같은 오프셋 패키지 본체(130)가 제 2 접적 회로(128), 상면(124) 및 전기 배선들(114) 위에 주입몰딩된다. 시스템 배선들(118)은 오프셋 기판(122)의 바닥면(126)에 부착된다. 오프셋 패키지(120)는 베이스 패키지(102) 상에 실장되며, 이에 따라 오프셋 기판(122)의 바닥면(126)은 베이스 패키지 본체(116)와 시스템 배선들(118)상에 놓인다. 이러한 구성은 PCB(미도시)상에서 요구되는 공간을 감소시킴과 아울러 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 일부 위에 낮은 프로파일을 유지해 준다.

[0027] 도 2를 참조하면, 본 발명의 일 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)을 위한 베이스 패키지(102)의 평면도가 도시된다. 도 1의 베이스 패키지(102)의 평면도는 도 1의 컨택 패드(119)의 어레이 및 수동 소자(204)와 함께 도 1의 베이스 최상부 표면(106)상의 도 1의 베이스 패키지 본체(116)를 도시한다. 아웃라인(206)은 도 1의 오프셋 패키지(120)에 의해 커버될 영역을 나타낸다. 아웃라인(206)은 베이스 패키지 본체(116)의 일부만을 커버하고, 도 1의 베이스 기판의 일부가 노출되도록 하는바, 이는 평면도에서 구체적으로 정의되어 있다. 컨택 패드(119)의 어레이는 도 1의 오프셋 패키지(120)의 도 1의 시스템 배선들(118)로 정렬되도록 이격된다. 컨택 패드(119)의 비대칭 어레이는 오프셋 패키지(120)가 베이스 패키지 본체(116)를 통해 연장될 수 있게 한다.

[0028] 도 3은, 본 발명의 일 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 조립된 패키지(300)의 평면도를 나타낸다. 조립된 패키지(300)의 평면도는 베이스 상면(106)을 도시하며, 베이스 상면(106)은 베이스 패키지 본체(116), 수동 소자(204) 및 그 위에 실장되는 오프셋 패키지(120)를 갖는다. 단면 라인(4-4)은 도 4를 바라보는 위치를 나타낸다.

[0029] 도 4는 단면 라인(4-4)을 따라 절취된 도 3의 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 단면도이다. 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 단면도는 오프셋 패키지(120)가 실장되어 있는 베이스 패키지(102)를 도시한다. 오프셋 기판(122)의 바닥면(126)은 베이스 패키지 본체(116) 위에 놓인다. 베이

스 패키지 본체(116)는 리플로우 공정 동안 오프셋 패키지(120)를 지지하여, 시스템 배선(118)의 붕괴(collapse)를 막는다.

[0030] 도 5는, 본 발명의 다른 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(500)의 단면도이다. 오프셋 접적 회로 패키지-온-패키지 적층 시스템(500)의 단면도는 시스템 배선(118)을 통해 전기적으로 결합된 오프셋 패키지(120)를 갖는 베이스 패키지(102)를 도시한다. 다이 부착 물질 또는 애폴시 수지 등의 캡 필러 접착제(502)가 베이스 패키지 본체(116)와 오프셋 기판(112)의 바닥면(126) 사이에 도포된다. 캡 필러 접착제(502)의 도포는 패키지 구조에 부가적인 기계적 안정성을 제공한다.

[0031] 도 6은 본 발명의 다른 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 베이스 패키지(600)의 평면도이다. 베이스 패키지(600)의 평면도는 베이스 기판 상부(base substrate top)(602)를 도시하며, 베이스 기판 상부(602)는 베이스 몰드 캡(604), 시스템 컨택(606)의 어레이 및 아웃라인(608)(도 1의 오프셋 패키지(120)의 부가에 의해 덮여지는 영역을 나타냄)을 갖는다.

[0032] 도 7은, 본 발명의 대안적인 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 베이스 패키지(700)의 평면도이다. 베이스 패키지(700)의 평면도는, 베이스 몰드 캡(704), 베이스 몰드 캡(704) 주위에 부분적으로 분포되는 컨택 패드(706) 어레이를 갖는 베이스 기판 상부(702)를 도시한다. 아웃라인(708)은, 도 1의 오프셋 패키지(120)가 부가되는 경우 이에 의해 덮여지는 영역을 나타낸다. 컨택 패드(706)의 어레이는 베이스 패키지(700)와 오프셋 패키지(120) 간의 전기적 인터페이스를 제공한다.

[0033] 도 8은, 본 발명의 또 다른 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 베이스 패키지(800)의 평면도이다. 베이스 패키지(800)의 평면도는 베이스 기판 상부(802)를 도시하며, 베이스 기판 상부(802)는 베이스 몰드 캡(804), 시스템 컨택 패드(806)의 어레이, 능동 소자(808)(예를 들어, 플립 칩 접적 회로와 같은 것), 수동 소자(204) 및 오프셋 패키지 아웃라인(810)(도 1의 오프셋 패키지(120)의 부가에 의해 덮여지는 영역을 나타냄)을 갖는다. 오버랩 영역(812)은 베이스 몰드 캡(804)과 오프셋 패키지(120) 간의 컨택 영역을 나타낸다. 베이스 몰드 캡(804)의 코너부는 베이스 몰드 캡(804) 위에 위치하는 오프셋 패키지(120)에 의해 덮여진다. 능동 소자(808)는 오프셋 패키지(120)의 바로 아래에 배치되고, 도 1의 오프셋 기판(122)의 바닥면(126)과는 접촉하지 않는다.

[0034] 도 9는, 본 발명의 또 다른 대안적인 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)의 베이스 패키지(900)의 평면도이다. 베이스 패키지(900)의 평면도는 베이스 기판 상부(902)를 도시하며, 베이스 기판 상부(902)는 베이스 몰드 캡(904), 시스템 컨택 패드(906)의 어레이, 도 8의 능동 소자(808)(예를 들어, 작은 아웃라인 접적 회로와 같은 것), 수동 소자(204) 및 오프셋 패키지 아웃라인(910)(도 1의 오프셋 패캐지(120)의 부가에 의해 덮여지는 영역을 나타냄)을 갖는다. 오프셋 패키지(120)는 베이스 몰드 캡(904) 위에 위치하게 되며, 오프셋 패키지가 베이스 몰드 캡의 에지와 정렬된다. 능동 소자(808)는 능동의 작은 아웃라인 접적 회로 소자로서, 베이스 패키지(900), 시스템 컨택 패드 어레이 또는 그 결합 내의 회로에 전기적으로 연결된다.

[0035] 도 10은 본 발명의 일 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템(100)을 제조하기 위한 오프셋 접적 회로 패키지-온-패키지 적층 방법(1000)의 흐름도를 나타낸다. 방법(1000)은 블럭(1002)에서 베이스 기판을 제공하는 단계와, 블럭(1004)에서 베이스 기판 위에 컨택 패드를 형성하는 단계와; 블럭(1006)에서 베이스 기판 위에 제 1 접적 회로를 실장하는 단계와; 블럭(1008)에서 제 1 접적 회로 주위에 베이스 패키지 본체를 형성하는 단계와; 블럭(1010)에서 오프셋 기판을 제공하는 단계와; 블럭(1012)에서 오프셋 기판 위에 제 2 접적 회로를 실장하는 단계와; 그리고 블럭(1014)에서 베이스 패키지 본체 위에 오프셋 기판을 배치하는 것을 비롯하여, 컨택 패드에 오프셋 기판을 결합하는 단계를 포함한다.

[0036] 보다 상세하게, 본 발명의 일 실시예에 따른 오프셋 접적 회로 패키지-온-패키지 적층 시스템을 제조하기 위한 방법은 다음과 같다:

[0037] 1. 시스템 배선을 갖는 베이스 기판을 제공한다(도 1).

[0038] 2. 베이스 기판 위에 컨택 패드를 형성한다(도 1).

[0039] 3. 제 1 접적 회로를 컨택 패드에 결합시키는 것을 비롯하여, 베이스 기판 위에 제 1 접적 회로를 실장한다(도 1).

[0040] 4. 몰딩 화합물을 주입하는 것을 비롯하여, 제 1 접적 회로 주위에 베이스 패키지 본체를 형성한다(도 1).

- [0041] 5. 시스템 배선을 제공하는 것을 비롯하여, 오프셋 기판을 제공한다(도 1).
- [0042] 6. 제 2 집적 회로 위에 오프셋 패키지 본체를 형성하는 것을 비롯하여, 오프셋 기판 위에 제 2 집적 회로를 실장한다(도 1).
- [0043] 7. 베이스 패키지 본체 위에 오프셋 기판을 배치하는 것을 비롯하여, 컨택 패드에 오프셋 기판을 결합한다(도 1).
- [0044] 이에 따라, 본 발명은 다양한 양상을 가짐이 밝혀졌다.
- [0045] 공간이 한정된 가전 디바이스들에 있어서, 오프셋 집적 회로 패키지-온-패키지 적층 시스템은 제한된 공간에 보다 많은 기능을 부가할 수 있음이 밝혀졌다.
- [0046] 주요 양상은, 본 발명이 추가의 패키지 사이즈를 부가하지 않으면서도 베이스 기판 위에 추가의 소자들을 부가 할 수 있는 유연성을 갖는다는 것이다.
- [0047] 본 발명의 다른 중요한 양상은, 본 발명이 비용 감소, 시스템 단순화 및 성능 증가의 역사적 경향에 유익하게 부응 및 서비스한다는 것이다.
- [0048] 그 결과로서, 본 발명의 상기 및 기타 유용한 양상들은 기술 상태를 적어도 차세대 수준으로 진보시킨다.
- [0049] 따라서, 본 발명의 오프셋 집적 회로 패키지-온-패키지 적층 시스템은, 중요하고 지금까지 알려지지 않은 이용 할 수 없었던 솔루션, 성능, 및 이용 가능한 공간을 감소시킨 가전 장치에 있어서의 집적 회로 밀도를 증가시키기 위한 기능적인 양상들을 제공한다. 결과적인 공정 및 구성은 간단하고, 비용 효율적이고, 복잡하지 않고, 상당히 다용도이고, 효율적이고, 공지된 기술을 채택하여 구현될 수 있으며, 이에 따라 종래의 제조 공정 및 기술과 완전히 호환 가능한 오프셋 집적 회로 패키지-온-패키지 적층 디바이스를 효율적이고 경제적으로 제조하는 데에 용이하게 채택될 수 있다.
- [0050] 이해될 사항으로서, 비록 본 발명은 특정의 최상의 모드와 관련하여 설명하였지만, 상기 설명에 비추어 많은 대안들, 수정들 및 변경들이 당업자에게 명백할 것이다. 따라서, 본 발명은 첨부된 청구항의 범위 내에 포함되는 이러한 모든 대안들, 수정들 및 변경들은 포함한다. 여기에서 지금까지 설명되었거나 첨부 도면들에 나타낸 모든 사항들은 예시적이고 비한정적인 의미로 해석되어야 한다.

발명의 효과

- [0051] 상기 설명한 바와 같이, 본 발명의 오프셋 집적 회로 패키지-온-패키지 적층 시스템은, 추가적인 패키지 사이즈를 부가하지 않으면서 베이스 기판 위에 추가적인 소자들을 부가하는 유연성을 갖고, 비용 감소, 시스템 단순화 및 성능 증가의 역사적 경향에 유익하게 부응 및 서비스하며, 가전 장치에 있어서의 집적 회로 밀도를 증가시킬 수 있는 효과를 갖는다.

도면의 간단한 설명

- [0001] 도 1은 본 발명의 일 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템의 단면도이다.
- [0002] 도 2는 본 발명의 일 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템을 위한 베이스 패키지의 평면도이다.
- [0003] 도 3은 본 발명의 일 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템의 조립된 패키지의 평면도이다.
- [0004] 도 4는 단면 라인(4--4)을 따라 절취한 도 3의 오프셋 집적 회로 패키지-온-패키지 적층 시스템의 단면도이다.
- [0005] 도 5는 본 발명의 대안적인 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템의 단면도이다.
- [0006] 도 6은 본 발명의 대안적인 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템을 위한 베이스 패키지의 평면도이다.
- [0007] 도 7은 본 발명의 다른 대안적인 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템을 위한 베이스 패키지의 평면도이다.
- [0008] 도 8은 본 발명의 또 다른 대안적인 실시예인, 오프셋 집적 회로 패키지-온-패키지 적층 시스템을 위한 베이스

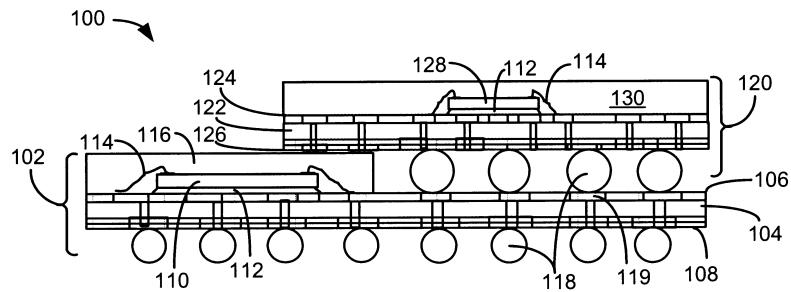
패키지의 평면도이다.

[0009] 도 9는 본 발명의 또 다른 대안적인 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템을 위한 베이스 패키지의 평면도이다.

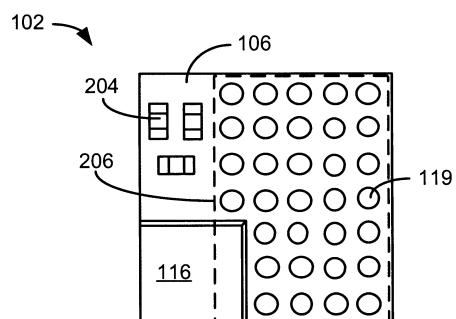
[0010] 도 10은 본 발명의 일 실시예인, 오프셋 접적 회로 패키지-온-패키지 적층 시스템을 제조하기 위한 오프셋 접적 회로 패키지-온-패키지 적층 시스템의 흐름도이다.

도면

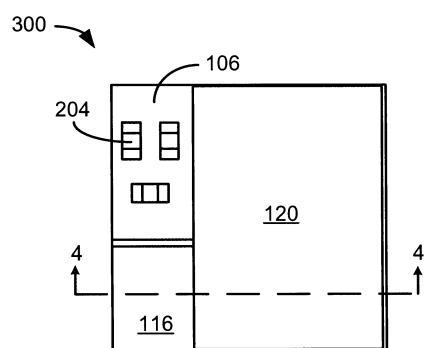
도면1



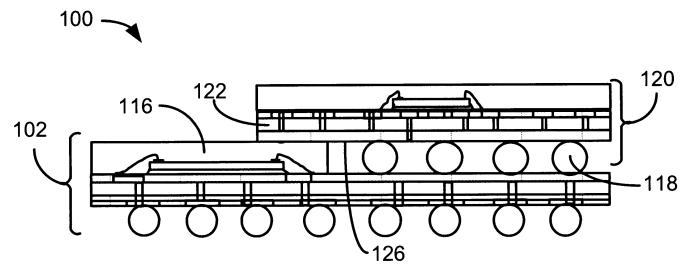
도면2



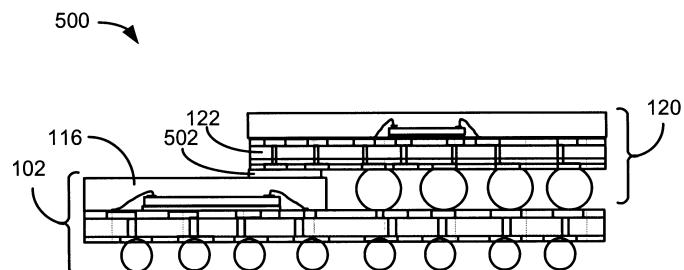
도면3



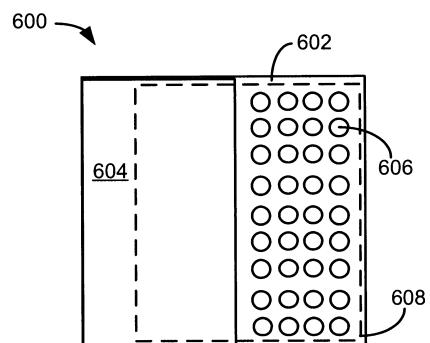
도면4



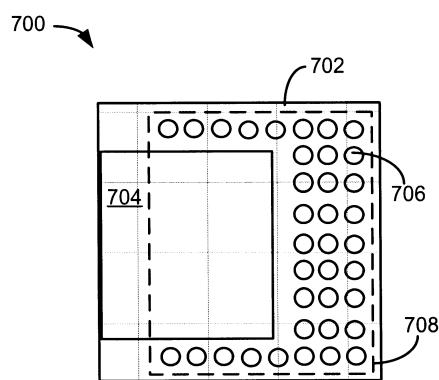
도면5



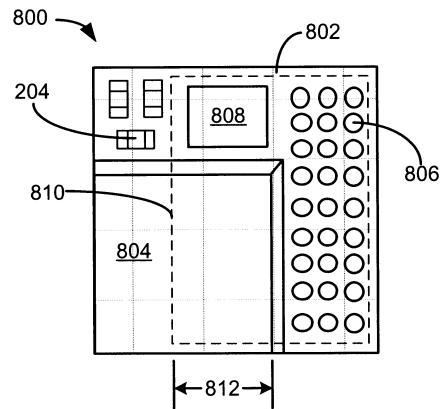
도면6



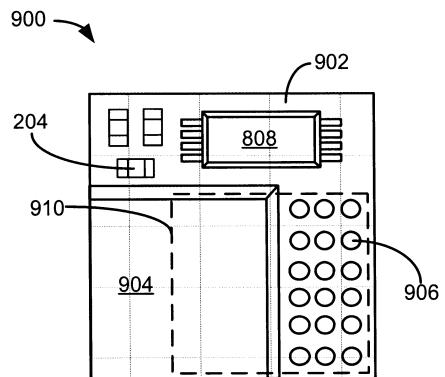
도면7



도면8



도면9



도면10

