(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-141370
(P2010-141370A)
(43)公開日　平成22年6月24日(2010.6.24)

(51)Int.Cl.			F I			テーマコード（参考）
H04N	5/66	(2006.01)	H04N	5/66	102B	2H091
G09G	3/36	(2006.01)	G09G	3/36		2H093
G02F	1/133	(2006.01)	G02F	1/133	535	2H191
G02F	1/13357	(2006.01)	G02F	1/13357		2H193
G09G	3/34	(2006.01)	G09G	3/34	J	5C006

審査請求 有　請求項の数 9　ＯＬ　（全 35 頁）　最終頁に続く

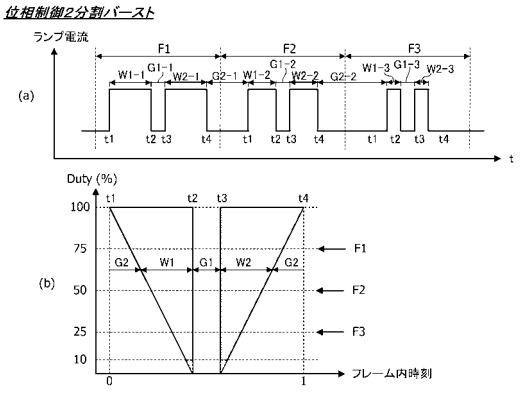
(21)出願番号　特願2007-103977 (P2007-103977)
(22)出願日　平成19年4月11日 (2007.4.11)

(71)出願人　000204284
太陽誘電株式会社
東京都台東区上野６丁目１６番２０号
(71)出願人　399091511
マイクロスペース株式会社
東京都品川区北品川５丁目７番１４－４０２号
(74)代理人　100071054
弁理士　木村　高久
(72)発明者　田中　正人
東京都品川区北品川５－７番１４－４０２号　マイクロスペース株式会社内
(72)発明者　保坂　康夫
東京都台東区上野６丁目１６番２０号　太陽誘電株式会社内

最終頁に続く

(54)【発明の名称】映像表示装置および方法およびこれに組み込まれる信号処理回路および液晶バックライト駆動装置

(57)【要約】
【課題】
バックライト制御による画質の改善や消費電力低減の具現化に有効な手法を提供する。
【解決手段】
バックライトを高輝度なパルス（高輝度部）で点灯させるとともに、その非点灯区間も低輝度なパルス（低輝度部）で１フレーム内フルデューティで点灯させる。このように、バーストパルスを高輝度部と低輝度部の複合構成とすることにより、低輝度高デューティによる動きボケした映像の上に、くっきりした輪郭の高輝度画像を重ねることができ、高輝度画像時の輝度低下を低減させることができるとともに、音鳴きも低減させることができる。
【選択図】　図３６



【特許請求の範囲】
【請求項１】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に複数個のパルスが存在する調光パルス信号を生成する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項２】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に２個のパルスが存在する調光パルス信号を生成する手段と、
前記調光パルスに要求されるデューティに応じて前記２個のパルスの幅および／または間隔を調整する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項３】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に、ゼロ値よりも大きな値を有する高部位および低部位が存在する調光パルス信号を生成する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項４】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に、高デューティ部および低デューティ部が存在する調光パルス信号を生成する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項５】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に、高出力部および低出力部が存在する調光パルス信号を生成する手段と、
前記光源に要求される光出力に応じて前記高出力部と低出力部の比率を制御する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項６】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に調光パルス信号を生成する手段と、

前記光源に要求される光出力に応じて前記調光パルスの幅および高さを連動制御する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【請求項７】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
前記表示エリアの最上部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間を前記表示エリアの中央部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間より長く設定する手段と、
前記表示エリアの最下部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間を前記表示エリアの中央部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間より短く設定する手段と
を具備することを特徴とする映像表示装置。
【請求項８】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
前記各エリアの更新に対応させて該各エリアに対応する光源をスキャンする手段と、
前記光源に要求される光出力に応じて前記光源のスキャン進行速度を変化させる手段と
を具備することを特徴とする映像表示装置。
【請求項９】
複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、
入力された映像信号の単位フレーム内に調光パルス信号を生成する手段と、
前記調光パルス信号の立ち上り部および／または立ち下り部の出力量を中央部よりも小さく設定する手段と、
前記調光パルス信号に基づいて前記光源の光出力制御を行う手段と
を具備することを特徴とする映像表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、ランプ駆動制御装置および方法およびこれに組み込まれる信号処理回路および液晶バックライト駆動装置に関し、特に、画質の改善や消費電力の低減に有効な手法に関する。
【背景技術】
【０００２】
液晶ＴＶに代表される液晶ディスプレイの動画性能を向上させる手法として、液晶バックライトの光源を複数のブロックに分割し、この分割したブロックごとに点灯タイミングを制御する手法が検討されている。この手法は、例えば、特許文献１に記載されている。
【０００３】
この特許文献１には、同文献の図１に記載されたように、４つのブロックに分割されたバックライト３２～３５が駆動回路２８～３１によってそれぞれ独立に駆動される構成が示されている。
【０００４】
一方で、液晶ディスプレイの消費電力を低減させる手法として、映像の平均輝度に応じてバックライトの輝度を制御するＡＰＬ－ＡＧＣ（Ａｖｅｒａｇｅ Ｐｉｃｔｕｒｅ Ｌｅｖｅｌ Ａｕｔｏｍａｔｉｃ Ｇａｉｎ Ｃｏｎｔｒｏｌ）という手法が知られている

。この手法は、例えば、特許文献２乃至特許文献５に記載されている。
【０００５】
これらの文献には、映像シーンに連動させたバックライト制御の有効な手法が記載されているが、これらの手法を実際の製品で実現させるためには、ＬＳＩで構成された画像処理回路に変更を加える必要があり、バックライト駆動ユニットの構成や制御方法により対応が異なるため、画像処理ＬＳＩ内でのバリエーション対応が困難であった。
【０００６】
また、より消費電力を低減させるためには、バックライト制御手法そのものの高度化や多種類のバックライト制御手法を次々と組み合わせてゆく必要があり、莫大な開発費用のかかる大規模な画像処理回路内でのきめ細かい対応が困難である。
【０００７】
また、複数のブロックに分割して制御する場合、従来のようなアナログ制御手段を用いると、ブロック間の電流バランス精度などにも困難が有り、そしてブロックの分割数に比例して制御回路規模も増大し、その分コストも増大するという問題が有った。また、ブロック間のキャリア同期や連動制御も複雑になり連動制御専用に別のデジタル制御回路が必要になった。
【０００８】
このように、従来のバックライト制御をより簡易な構成で高度化し、省電力効果や画質改善を向上させることが求められている。
【特許文献１】特開２００５－９９３６７号公報
【特許文献２】特開２００２－１５６９５１号公報
【特許文献３】特開２００２－２５８４０１号公報
【特許文献４】特開２００２－３５７８１０号公報
【特許文献５】特開２００４－０８５９６１号公報
【発明の開示】
【発明が解決しようとする課題】
【０００９】
そこで、本発明は、バックライト制御による画質の改善や消費電力低減の具現化に有効な手法を提供する。
【課題を解決するための手段】
【００１０】
上記目的を達成するため、請求項１記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に複数個のパルスが存在する調光パルス信号を生成する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。
【００１１】
このように構成することで、調光パルス信号に含まれた基本波成分が低減するため、フリッカの発生を抑制することができる。尚、フレーム内に存在させるパルスの個数は任意であり、それらのパルス幅や間隔も適宜調整可能である。
【００１２】
また、請求項２記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に２個のパルスが存在する調光パルス信号を生成する手段と、前記調光パルスに要求されるデューティに応じて前記２個のパルスの幅および／または間隔を調整する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。
【００１３】

このように構成することで、デューティに応じて顕著に現れる課題に対して適応的に対処することができる。例えば、フルデューティから下げる時は、まず前端の表示素子の遷移時間分の間隔を空けてゆくことで画質改善を行うとともに、後端の光源ＯＦＦ時間分の間隔を空けてゆくことで隣接エリア間のクロストークを防止し、次に２発間の間隔も並行して空けることで基本波成分の増加を抑える等の制御を行うことができる。

【００１４】

また、請求項３記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に、ゼロ値よりも大きな値を有する高部位および低部位が存在する調光パルス信号を生成する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。

【００１５】

このように、調光パルスを高部位と低部位の複合構成とすることにより、低レベル高デューティによる動きボケした映像の上に、くっきりした輪郭の高輝度画像を重ねることができ、高輝度画像時の輝度低下を低減させることができるとともに、音鳴きも低減させることができる。

【００１６】

また、請求項４記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に、高デューティ部および低デューティ部が存在する調光パルス信号を生成する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。

【００１７】

このように、調光パルスを高デューティ部および低デューティ部の複合構成とすることにより、前述と同様に、低レベル高デューティによる動きボケした映像の上に、くっきりした輪郭の高輝度画像を重ねることができ、高輝度画像時の輝度低下を低減させることができる。

【００１８】

また、請求項５記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に、高出力部および低出力部が存在する調光パルス信号を生成する手段と、前記光源に要求される光出力に応じて前記高出力部と低出力部の比率を制御する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。

【００１９】

このように、要求される光出力に応じて、高出力部と低出力部の比率を可変することにより、例えば、フリッカの目立つ中間デューティ時では、低出力部の比率を多めに取ることによりフリッカを抑制し、また、高出力部パルスデューティの低い部分をできるだけ多くし、動画改善効果を高める等の処理を行うことができる。

【００２０】

また、請求項６記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に調光パルス信号を生成する手段と、前記光源に要求される光出力に応じて前記調光パルスの幅および高さを連動制御する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。

【００２１】
このように、要求される光出力に応じて前記調光パルスの幅および高さを連動制御することにより、例えば、バーストデューティ低減に応じてまず電流を上げて行き一定電流まで達した後デューティのみ低減することで、動画改善を高め輝度低下抑制と点灯安定度を確保する等の処理を行うことができる。
【００２２】
また、請求項７記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、前記表示エリアの最上部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間を前記表示エリアの中央部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間より長く設定する手段と、前記表示エリアの最下部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間を前記表示エリアの中央部に対応する表示素子を制御するタイミングから光源を点灯させるタイミングまでの時間より短く設定する手段とを具備することを特徴とする。
【００２３】
このように構成することで、例えば、デューティが上がった場合であっても、隣接する光源のエリア間光漏れと表示素子の制御との重なりを極力避けた高画質処理を行うことができる。
【００２４】
また、請求項８記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、前記各エリアの更新に対応させて該各エリアに対応する光源をスキャンする手段と、前記光源に要求される光出力に応じて前記光源のスキャン進行速度を変化させる手段とを具備することを特徴とする。
【００２５】
このように構成することで、例えば、光源に要求される光出力が大きい場合は、スキャンの進行速度を表示素子制御の進行速度よりも速くすることで、エリア間光漏れの表示素子制御に対する影響を回避し、要求される光出力が小さい場合は、スキャンの進行速度が表示素子制御の進行速度よりも遅くすることで、エリア間光漏れの隣接エリアに対する影響を回避する等の処理を行うことができる。また、請求項９記載の発明は、複数の表示エリアにそれぞれ対応して配置された光源と表示素子とを備え、該各エリアを所定の順序で更新する処理において、該各エリアに対応する光源の光出力を対応する表示素子で制御することにより映像を表示する映像表示装置において、入力された映像信号の単位フレーム内に調光パルス信号を生成する手段と、前記調光パルス信号の立ち上り部および／または立ち下り部の出力量を中央部よりも小さく設定する手段と、前記調光パルス信号に基づいて前記光源の光出力制御を行う手段とを具備することを特徴とする。
【００２６】
このように、調光パルスの立ち上り部および／または立ち下り部に傾斜を付加したり、パルス分割を行うことで、水平方向の光漏れの影響を低減させることができる。
【発明の効果】
【００２７】
以上説明したように、本発明によれば、バックライト制御による画質の改善や消費電力低減が安価な構成で期待できる。
【発明を実施するための最良の形態】
【００２８】
以下、本発明の実施形態を添付図面を参照して詳細に説明する。尚、本発明は、以下説明する実施形態に限らず適宜変更可能である。

【００２９】
図１は、本発明の実施形態に係る液晶バックライト駆動装置の構成を示す概念図である。同図（ａ）に示すように、本液晶バックライト駆動装置は、液晶パネル１０の背面にバックライト光源として分割配置された点灯ブロックＢＬ１～ＢＬ４と、これら分割配置された各点灯ブロックを制御するバックライト制御部１６で構成される。
【００３０】
同図（ａ）において、画像処理部１４は、所定のフレーム周期で入力される映像信号ＶＤに基づいて所定の画像処理を行い、その結果として、液晶パネル１０を駆動する信号を液晶駆動部１２に出力し、点灯ブロックＢＬ１～ＢＬ４を制御する信号をバックライト制御部１６に出力する。
【００３１】
液晶駆動部１２は、画像処理部１４の出力信号に基づいて、液晶パネル１０を構成する液晶素子の配向を制御することで、表示映像を構成する各画素の色彩や階調を設定し、バックライト制御部１６は、画像処理部１４の出力信号に基づいて、点灯ブロックＢＬ１～ＢＬ４の光量や点灯状態を制御することで、該当する表示領域の光量やバックライトのＯＮ／ＯＦＦを制御する。
【００３２】
ここで、点灯ブロックＢＬ１～ＢＬ４は、液晶の走査方向に沿って４つのブロックに分割され、バックライト制御部１６は、液晶駆動部１２が駆動する液晶領域に対応する点灯ブロックの点灯状態を制御することで、例えば、液晶の遷移タイミングを避けたバックライトの順次点灯による疑似インパルス駆動型の動画改善が行われる。
【００３３】
この分割された各点灯ブロックは、同図（ｂ）に点灯ブロックＢＬ１を代表として例示したように、光源となるランプＬ１を備え、このランプは、スイッチング素子Ｑ１～Ｑ４で構成されたブリッジ回路とトランスＴＲ１により駆動される。
【００３４】
ここで、ブリッジ回路は、スイッチング素子Ｑ１およびＱ４で構成される正方向電流側（ｉP）のスイッチング部と、スイッチング素子Ｑ３およびＱ２で構成される負方向電流側（ｉN）のスイッチング部とで構成され、図中の点線ｉPおよびｉNで示すように、正方向半サイクル電流ｉPは、スイッチング素子Ｑ１、トランスＴＲ１、スイッチング素子Ｑ４の方向に流れ、負方向半サイクル電流ｉNは、スイッチング素子Ｑ３、トランスＴＲ１、スイッチング素子Ｑ２の方向に流れ、その結果、負荷となるランプに対して交流電流が供給される。この動作は各点灯ブロックＢＬ１～ＢＬ４で同様である。
【００３５】
図２は、図１に示した液晶バックライト駆動装置の全体構成を示す回路ブロック図である。同図に示すように、本装置では、ブリッジ回路と点灯ブロックとを含むアナログ回路部１００がバックライト制御部１６によって制御される。
【００３６】
点灯ブロックＢＬ１を駆動するブリッジ回路は、制御信号Ｓ１－１で駆動されるスイッチング素子対Ｑ１、Ｑ２と、制御信号Ｓ１－２で駆動されるスイッチング素子対Ｑ３、Ｑ４とで構成される。他の点灯ブロックＢＬ２、ＢＬ３、ＢＬ４についても同様に構成される。
【００３７】
バックライト制御部１６には、ブリッジ回路の制御信号Ｓ１－１、Ｓ１－２、Ｓ２－１、Ｓ２－２、Ｓ３－１、Ｓ３－２、Ｓ４－１、Ｓ４－２に対応したポートＰ１～Ｐ４が設けられ、これらのポートから各スイッチング素子対を制御する信号が出力される。
【００３８】
また、各点灯ブロックＢＬ１～ＢＬ４には、ランプＬ１～Ｌ４を流れる電流を検出するための抵抗Ｒ１～Ｒ４が設けられ、検出された電流値は、バックライト制御部１６の対応ポートＰ１～Ｐ４に入力される。この入力された電流値に基づいて、点灯ブロックごとに

調光制御が行われる。

【００３９】

図３は、図２に示したブリッジ回路の動作例を示す回路図およびタイミングチャートである。同図（ａ）に示すように、ブリッジ回路を構成するスイッチング素子Ｑ１～Ｑ４への制御入力をＡ～Ｄとすると、これらＡ～Ｄの制御信号の相対関係によって負荷ＬＯＡＤに供給される電力量が決定される。

【００４０】

即ち、同図（ｂ）に示すように、図中「Ｔｉｍｉｎｇ」で示したキャリアタイミングに同期させた出力ＰＷＭ信号に基づいて、Ａ～Ｄのスイッチング波形を生成し、制御信号ＡがＯＮの期間は負荷ＬＯＡＤに正方向の電流が供給され、制御信号ＣがＯＮの期間は負荷ＬＯＡＤに負方向の電流が供給される。

【００４１】

負荷ＬＯＡＤに供給する電力量は出力ＰＷＭ波形のデューティによって制御され、負荷ＬＯＡＤに大きな電力を供給する場合は、出力ＰＷＭ波形のデューティを大きくし、負荷ＬＯＡＤに小さな電力を供給する場合は、出力ＰＷＭ波形のデューティを小さくする。

【００４２】

このような電力供給量の制御を各点灯ブロックごとに検出した電流値に基づいて、点灯ブロックごとに行うことにより、点灯ブロック間の輝度バランスを調整する制御や、映像のシーンに応じて点灯ブロックごとに輝度を変化させるシーン制御を行うことができる。

【００４３】

図４は、図２に示したブリッジ回路の他の動作例を示す回路図およびタイミングチャートである。同図（ａ）に示すように、ブリッジ回路を構成するスイッチング素子Ｑ１～Ｑ４への制御入力をＡ～Ｄとすると、これらＡ～Ｄの制御信号の相対関係によって負荷ＬＯＡＤに供給される電力量が決定される。

【００４４】

即ち、同図（ｂ）および（ｃ）に示すように、制御信号Ａ～Ｄのスイッチングデューティを一定条件とし、制御信号ＡとＢのＯＮ状態を相補的に切り替えるとともに、制御信号ＣとＤのＯＮ状態を相補的に切り替え、制御信号ＡとＤの重なりによって負荷ＬＯＡＤに正方向の電流が供給され、制御信号ＢとＣの重なりによって負荷ＬＯＡＤに負方向の電流が供給される。

【００４５】

即ち、制御信号ＡとＢのペアに対する制御信号ＣとＤのペアの位相を変化させることで、負荷ＬＯＡＤに供給する電力量を制御することができる。負荷ＬＯＡＤに大きな電力を供給する場合は、同図（ｂ）に示すように、両ペアの位相差を大きくすれば良く、負荷ＬＯＡＤに小さな電力を供給する場合は、同図（ｃ）に示すように、両ペアの位相差を小さくすれば良い。

【００４６】

このような電力供給量の制御を点灯ブロックごとに検出した電流値に基づいて、点灯ブロックごとに行うことにより、点灯ブロック間の輝度バランスを調整する制御や、映像のシーンに応じて点灯ブロックごとに輝度を変化させるシーン制御を行うことができる。

【００４７】

図５は、図１に示した液晶バックライト駆動装置の制御構成を示す回路ブロック図である。同図に示すように、アナログ回路部１００に設けられた点灯ブロックＢＬ１～ＢＬ４には、電源回路２０からの直流電源が供給され、この直流電流がブリッジ回路によりスイッチングされ、トランスにより昇圧されて高圧交流が生成される。

【００４８】

ここで、バックライト制御部１６は、デジタル回路によって構成され、点灯ブロックＢＬ１～ＢＬ４ごとに検出抵抗を介して検出されたランプ電流は、入力ポートＰ１～Ｐ４からバックライト制御部１６に入力される。

【００４９】

この入力されたランプ電流情報は、点灯ブロックごとに、数値化部５８でＡ／Ｄ変換された後、比較部６０によって制御目標値と比較され、その結果得られた誤差情報がループフィルタ６２で積分され、この積分結果が駆動パルス生成部５６により処理されて、各点灯ブロックＢＬ１～ＢＬ４を駆動するための駆動パルスが生成される。

【００５０】

これらの駆動パルスは、出力ポートＰ１～Ｐ４からドライバ２２を介して各点灯ブロックＢＬ１～ＢＬ４に出力され、このドライバ出力に基づいてブリッジ回路によるランプの点灯制御が行われる。

【００５１】

数値化部５８および駆動パルス生成部５６には、タイミング発生部７０で生成された波形生成の基本信号となるキャリアタイミングが供給され、このキャリアタイミングを利用して、数値化部５８によるＡ／Ｄ変換と、駆動パルス生成部５６による駆動パルスの生成が行われる。

【００５２】

数値化部５８により数値化されたデータやループフィルタ出力は、点灯ブロックごとに、ランプのインピーダンス等のパラメータを検出するパラメータ検出部５２に出力され、ここで検出されたパラメータに基づいて保護回路５０による保護動作と起動制御部５４によるランプの起動制御が行われる。

【００５３】

保護回路５０による保護動作としては、電源回路２０の遮断、駆動パルスのデューティ低減、起動制御の停止等が、検出されたパラメータから判断された保護すべき程度に応じて適宜行われる。

【００５４】

図６は、図５に示した数値化部および比較部の構成例を示す回路ブロック図である。同図では、点灯ブロックＢＬ１のみを示すが他の点灯ブロックについても同様に構成される。同図に示すように、点灯ブロックのランプ電流情報は、検波部２２０によって検波され、この結果が平滑平均化ＲＣフィルタ２３０によって平滑または弱平滑平均化され、その結果がコンパレータ２４０によってリファレンス三角波と比較され、その結果が検出ＰＷＭ信号として出力される。

【００５５】

検出ＰＷＭ信号は、入力パルス幅カウント回路３２２によってカウントされ、その結果が減算回路３２４によって目標値との差異が算出されて、その結果が非線形特性付加部３２６によって非線形処理されて入力誤差信号が生成される。

【００５６】

図７は、検出ＰＷＭ信号を生成する例を示す回路ブロック図である。同図に示す例は、検出抵抗Ｒ１を介して検出したランプ電流を全波整流、弱平滑平均化し、リファレンス三角波と比較することで検出ＰＷＭ信号を生成する場合の例である。

【００５７】

ここで、検波部２２０は、全波整流回路２２２とクリップ回路２２４によって構成され、このクリップ回路によって整流後の波形の一定値以下の低電流部分がクリップ整形される。

【００５８】

平滑平均化ＲＣフィルタ２３０は、弱平滑平均化特性、即ち、比較的短い放電時定数を持たせたＲＣ充放電回路によって構成され、リファレンス三角波生成部２５０は、リファレンスとなるパルス信号を短時定数で積分するＲＣ回路によって構成され、このＲＣ回路にキャリアタイミングや電流オフセットＰＷＭ信号等のリファレンスパルスが入力されることで、キャリアに同期した三角波が生成される。

【００５９】

上記平滑平均化信号とリファレンス三角波がコンパレータ２４０により比較されて、ランプ電流情報がパルス信号として表現された検出ＰＷＭ信号が生成される。

【００６０】
尚、コンパレータ２４０に入力するリファレンス信号を変化させることにより、目標電流を可変とする構成としてもよい。例えば、同図のリファレンス三角波生成部２５０に入力するリファレンスパルスとしてキャリアタイミングを使用する場合には、該キャリアタイミングのデューティを変化させて目標電流を可変としてもよく、また、リファレンスパルスに別途電流オフセットＰＷＭを供給して長時定数平滑フィルタ２５２によるＤＣを加算したり、リファレンスパルス自身を高速パルス密度変調ＰＤＭ等を使用して所定のオフセットと波形を持ったリファレンス三角波として目標電流を可変としてもよく、また、図６内の入力パルス幅カウンタ３２２の初期ロード値を変化させたり、また図６内の減算回路３２４に供給する目標値を変化させて目標電流を可変としても良い。

【００６１】
図８は、検出ＰＷＭ信号を生成する第１の例に係るＡ／Ｄ変換動作を示す波形タイミングチャートである。同図（ａ）に示すように、検出抵抗で検出されたランプ電流は、実線で示した交流波形となり、この波形が全波整流されて同図（ｂ）に示す整流波形となる。

【００６２】
その後、同図（ｃ）に示すように、整流後の波形の一定値以下の低い部分がクリップされて、その波形（薄い実線）が弱平滑平均化されて振幅の小さな擬似三角波（濃い実線）が生成される。

【００６３】
一方、同図（ｅ）に示すように、キャリアタイミングに同期したリファレンス三角波（濃い実線）が弱平滑平均化波形（薄い実線）と比較されて同図（ｆ）に示した検出ＰＷＭパルス波形が生成される。

【００６４】
図９は、図６に示した非線形特性付加回路３２６で付加する非線形特性の例を示す概念図である。同図に示すように、横軸に示す検出ＰＷＭデューティの値に応じて縦軸に示す入力誤差出力が決定される。ここで同図中「ｘ２」で示す実線領域は、定常付近に達するまでは定常の２倍ゲインにして速く立ち上げるための特性であり、同図中「ｘ１」で示す実線領域マイナス誤差定常範囲およびプラス誤差定常範囲は、定常値近傍で定常ゲインに切り換えるための特性であり、同図中「ｘ８」で示す実線領域は、感電などの場合の危険な過電流は定常の８倍ゲインにして急速に押さえるための特性である。ここで同図中「ｘ１」で示す実線領域のうちプラス誤差定常範囲がマイナス誤差定常範囲より広く確保されているのは、「ｘ８」の８倍ゲイン領域から一気に「ｘ１」の定常範囲を飛び越えて下がり過ぎないようにするためである。

【００６５】
図１０は、図５に示したループフィルタの構成を示す回路ブロック図である。同図では、点灯ブロックＢＬ１のみを示すが他の点灯ブロックについても同様に構成される。同図に示すように、ループフィルタ６２は、加算回路３３２と、出力クリップ回路３３４と、フリップフロップ３３６によって構成され、このループフィルタによって非線形処理された入力誤差信号の積分処理が行われ、閉ループによる定常制御信号が生成される。

【００６６】
図１１は、１ブロック共通単一電流制御でブロックごとに独立にソフトスタート／ストップ制御を行う場合の構成例を示す回路ブロック図である。

【００６７】
図１２は、図１１に示した入力誤差生成部３４２の構成を示す回路ブロック図である。同図に示すように、各ブロックランプ電流の最大値選択兼全波整流回路を通って１本化された整流後電流波形は弱平滑された後コンパレータで検出ＰＷＭ化される。検出ＰＷＭはパルス幅カウンタで数値化された後、目標値から減算され、非線形特性付加後、入力誤差信号として出力される。これらの構成および動作は図６と同様に行われる。

【００６８】
上記のようにして生成された入力誤差信号は、図１１に示したループフィルタ６２によ

って積分され、定常時の閉ループによる定常制御信号が生成される。

【００６９】

そして、この定常制御信号が駆動パルス生成部５６内に点灯ブロックごとに設けられたソフト波形生成部３５０－１～３５０－４に出力され、各ソフト波形生成部によってソフトスタート／ストップ波形が生成された後、出力振幅信号としてパルス変換部３７０－１～３７０－４に出力される。このとき、ソフト波形生成部３５０－１～３５０－４によって、定常状態への達成状況を示す定常達成信号がＮＯＲ回路３４４に出力され、定常状態のブロックが存在しない場合、非定常信号としてループフィルタ６２に出力される。

【００７０】

各点灯ブロックの出力振幅信号は、パルス変換部３７０－１～３７０－４によって、振幅信号がパルス信号に変換され、各点灯ブロックの駆動ＰＷＭ信号として、図５に示すバックライト制御部１６の出力ポートＰ１～Ｐ４からドライバ２２を介して各点灯ブロックＢＬ１～ＢＬ４に出力される。

【００７１】

図１３は、図１１に示したループフィルタの構成を示す回路ブロック図である。同図に示すように、ループフィルタ６２は、加算回路３３２と、出力クリップ回路３３４と、フリップフロップ３３６と、ＡＮＤ回路３３８によって構成され、このループフィルタによって入力誤差信号の積分処理が行われる。

【００７２】

ＡＮＤ回路３３８がフリップフロップ３３６に出力する信号は、非定常時の開ループ化による出力上昇を防止するためのホールド信号として出力され、出力クリップ回路３４６がＡＮＤ回路３４８に出力する信号は、正の場合に定常制御値の上昇方向を示す。尚、このＡＮＤ回路は必ずしも必要ではなく非定常時無条件でフリップフロップ３３６をホールドするようにしてもよい。

【００７３】

図１４は、図１１に示したソフトスタート／ストップ波形生成部の構成を示す概念図である。同図では、点灯ブロックＢＬ１のみを示すが他の点灯ブロックについても同様に構成される。同図に示すように、点灯ブロックごとに生成された閉ループによる定常制御信号は、比較回路３５４および３５５、選択回路３５６に出力され、定常達成状態に応じて選択処理することでＰＷＭデューティを示す出力振幅信号が生成される。

【００７４】

ここで、比較回路３５４が出力するゼロ近傍または 定常値近傍を示す信号に基づいて、複数の傾斜値が傾斜値選択回路３５１によって選択され、この傾斜値が極性選択回路３５２によって点灯ブロックのＯＮ／ＯＦＦ信号に基づく極性が適用され、その結果が加算回路３５３によって積分ループに加算され、強制カーブの生成が行われる。

【００７５】

図１５は、ソフトスタート／ストップ波形の例を示すタイミングチャートである。同図（ａ）は、点灯ブロックＢＬ１のＯＮ／ＯＦＦ信号を示し、同図（ｂ）は、図１４の傾斜値選択部３５１によって選択された点灯ブロックＢＬ１の出力振幅の電圧波形を示し、同図（ｃ）は、点灯ブロックＢＬ１出力がゼロ値近傍の傾斜部および定常値近傍の傾斜部に対応したタイミングを示し、同図（ｄ）は点灯ブロックＢＬ１が定常に有るタイミングを示し、同図（ｅ）は、点灯ブロックＢＬ２のＯＮ／ＯＦＦ信号を示し、同図（ｆ）は、図１４の傾斜値選択部３５１によって選択された点灯ブロックＢＬ２の出力振幅の電圧波形を示し、同図（ｇ）は、点灯ブロックＢＬ１またはＢＬ２が定常状態に有るタイミングを示す。

【００７６】

同図に示す制御の特徴としては、まず、閉ループのままスタート／ストップ時の出力のスルーレートを強制的に制限し、常時制御し続けたまま強制的に上昇および下降カーブを作ることで、ＯＮ／ＯＦＦをスムーズに切換える手法がある。

【００７７】

この手法では、図５に示した制御構成、即ち、定常時の目標電流に対して誤差を検出し、この誤差成分をループフィルタを介して出力の自動制御を行う構成において、別途、図１１に示した各点灯ブロックのＯＮ／ＯＦＦ制御入力に合わせて、図１５（ｂ）に折れ線傾斜で図示したような、ＯＮ時上昇、ＯＦＦ時下降の出力制御用強制カーブを生成する。この強制カーブの生成は、図１４に示した傾斜値選択部３５１、極性選択部３５２、加算回路３５３により行われる。

【００７８】

ここで、図１４に示した比較回路３５４により、生成された強制カーブが上昇時に図１５（ｂ）の「閉ループ定常値」で示した自動制御値を超えようとした時には、図１４の選択回路３５６により自動制御側の出力（同図中「閉ループによる定常制御信号」）を選択出力すると共に、その値を次の瞬間の強制カーブ出力用の現在値としても使用する。

【００７９】

また、強制カーブで下降しようとする時は、その自動制御値から強制的に下降させて行き、自動制御値より小さい範囲では強制カーブ出力を選択出力する。下降してゼロその他所定の値以下になった時、その所定の値にクリップしその値を出力する。

【００８０】

全てのブロックで強制カーブが選択出力されている間は、自動制御値がオープンループとなって過上昇しないように、自動制御出力をホールドさせる。これにより自動制御と開始終了時の強制傾斜カーブとの高精度で連続的な移行が可能となり、静音化が図られる。

【００８１】

上記に加え、スタート／ストップ直後やスタート／ストップ完了直前に傾斜を緩やかにしてより静音化を進める方法も有効である。例えば、強制カーブが自動制御値近傍にいる時や下限近傍にいる時には、より緩やかな傾斜値を選択することにより、上昇、下降のカーブを緩やかに構成してもよい。これにより定常値や下限値との切換えが滑らかになり、また電流量変化の高周波成分も抑えられ、さらに静音化される。

【００８２】

また、スタートストップ時の強制カーブによる制御は、各点灯ブロック独立の多チャンネル制御で行うことにより、小規模な回路で独立に任意のタイミングでのＯＮ／ＯＦＦ制御が可能になる。

【００８３】

例えば、図１１に示すように、各点灯ブロックそれぞれの定常電流値を共通の定常自動制御回路で制御し、スタート／ストップにより各点灯ブロックごと独立にＯＮ／ＯＦＦおよび出力の上昇および下降傾斜を付ける時、共通制御対象のどれか１チャンネルでも定常制御出力が選択されている時は、ホールドせず制御ループを有効にして、全てのチャンネルが定常制御出力選択状態から脱した時、定常制御をホールド状態にする。これにより各チャンネルの状態に依らず１組の定常自動制御回路で、安価に自動制御と独立スタート／ストップ傾斜カーブ生成が可能となる。

【００８４】

図１６は、図１に示した液晶バックライト駆動装置が行うＡＰＬ－ＡＧＣの処理例を示す概念図である。同図に示すように、同装置は、映像の入力平均輝度レベルの増加に対応させてバックライトの輝度を低下させる処理を行う。この処理で用いられる映像の入力平均輝度レベルは、映像信号に含まれた各画素の輝度情報を平均することにより算出することができる。尚、同図に示すように、バックライトの減光開始ポイントを一定の入力平均輝度以上に設定することで、暗いシーンまでさらに暗くすること無く見易さを確保することができる。

【００８５】

図１７は、図１に示した液晶バックライト駆動装置が行う液晶バックライト協調制御の処理例を示す概念図である。同図（ａ）に示すように、調光信号生成回路は、映像の入力ピーク輝度または入力平均輝度レベルの減少に対応させてバックライトの輝度を減少させる処理を行うとともに、同図（ｂ）に示すように、このバックライト輝度の減少に連動さ

せて、液晶変調度を増加させることで、見た目の映像を変化させることなく暗いシーンにおける省電力化を図ることができる。またこの場合、液晶変調ゲインを上げたことにより、暗部の階調数が増加し、それと連動してバックライト輝度を下げたことにより、黒がしっかり再現できるようになるため暗部コントラストも改善される。

【００８６】

尚、バックライトと液晶の合成で表示される映像の表示輝度のゲインは、同図（ｃ）に示すように、バックライトの輝度と液晶変調ゲインの積となり、この値は表示輝度の変化による違和感を与えないよう一定の値に保たれる。

【００８７】

図１８は、図１に示した液晶バックライト駆動装置が行うＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合処理例を示す概念図である。同各図に示すように、点線で示した図１６の処理と実線で示した図１７の処理を組み合わせることも可能である。これらの制御はそれぞれ独立に行われ、入力ピーク輝度や入力平均輝度のレベルに応じて、両処理の効果をそれぞれ得ることができるが、場合によっては、１点鎖線で示したような両処理の相乗効果による大幅な消費電力削減効果も期待できる。

【００８８】

図１９は、図１に示した液晶バックライト駆動装置が行うエリア別ＡＰＬ－ＡＧＣ処理例を示す概念図である。同図に示すように、図１に示した光源ＢＬ１～ＢＬ４の照光範囲に対応させて分割された映像領域Ａｒｅａ１～Ａｒｅａ４の平均輝度レベルＡＰＬをそれぞれ算出し、映像エリアごとにこの算出した入力平均輝度レベルの増加に対応させてバックライトの輝度を低下させるエリア別ＡＰＬ－ＡＧＣ制御を行う。

【００８９】

同図に示す例では、画面上側の映像領域Ａｒｅａ１、Ａｒｅａ２の平均輝度レベルがそれぞれ９０、８０と高くなるため、これに対応させて同図ＢＬ輝度例１に示すようにバックライトの輝度をそれぞれ６５、７５に設定することで眩しさを抑える。また、画面下側の映像領域Ａｒｅａ３、Ａｒｅａ４の平均輝度レベルは、それぞれ４０、３０と低くなるため、これに対応させてバックライトの輝度をそれぞれ９０、１００に設定することで暗部、明部それぞれを見やすい明るさに調整する。これにより、画面全体を一括して行う場合に比べて、暗部とも明部双方の視認性を向上させた逆光補正のような効果をもたらすと共に、より効果的な省電力化が可能になる。

【００９０】

このとき、隣接映像領域間に極端なバックライト輝度差をつけることは明るさの変化に段が付き不自然さをもたらすので望ましくない。そのため、隣接映像領域間のバックライト輝度は一定の差または比の範囲に入るように制限を設ける。また、各映像領域の入力平均輝度のモーメントを求めてそれに応じた輝度傾斜をつけるようにしても良い。例えば、同図ＢＬ輝度例２に示すように、画面の上側が明るい映像では、Ａｒｅａ１、Ａｒｅａ２、Ａｒｅａ３、Ａｒｅａ４の順に７０，８０，９０，１００というように徐々に一定傾斜で光源の輝度を増加させる。これにより、より自然な画像で同様の効果を得ることができる。

【００９１】

図２０は、従来の液晶とバックライトの協調制御の構成を示すブロック図である。同図に示す例では、ヒストグラム解析に基いて（ブロック４００）、液晶ドライバ内等に設けられたガンマテーブルを書き換える。ガンマテーブルには、実質的に映像ゲインといわゆるガンマ補正の逆伸張および飽和特性を総合したカーブが内蔵されており、この映像ゲイン部分を可変することにより（ブロック４０２）、映像の輝度を維持したまま液晶変調度の向上とバックライトの輝度低減を行う例である。

【００９２】

この従来例では、映像信号入力のヒストグラム解析を行って映像のピーク輝度が検出され（ブロック４００）、このピーク輝度を関数Ａで演算することにより（ブロック４０４－ａ）、フィードフォワードによりゲイン調整されたガンマテーブルに書き換えられる（

ブロック４０２）。入力された映像信号は、このガンマテーブルによって修正され（ブロック４０２）、この修正された値によって液晶ドライバ２４を介して液晶パネル１０が制御される。

【００９３】

一方、ヒストグラム解析の結果は、液晶側の変調度を変えた影響の逆補償をバックライト側で行うべく、関数Ｂによって処理され（ブロック４０４－ｂ）、その結果に基づいて調光制御信号が生成され（ブロック４０６）、この調光制御信号に基づいてバックライトドライバ２６を介したバックライト１１の輝度制御が行われる。

【００９４】

図２１は、本発明に係るフィードバック式の液晶とバックライトの液晶ピークＡＧＣ協調制御の構成を示すブロック図である。同図に示す例は、前述の従来例のようなヒストグラム解析を用いたフィードフォワード型の制御ではなく、映像の輝度ピークを用いたフィードバック制御により、液晶バックライト協調制御を行う場合の例である。

【００９５】

同図に示すように、入力された映像信号は、輝度ピークが検出され（ブロック４１２）、ローパスフィルタ４１４を介して関数Ａで処理され（ブロック４０４－ａ）、その結果をフィードバックしてゲイン調整が行われる（ブロック４０８）。

【００９６】

このようにゲイン調整が行われた映像信号は、オーバーフローリミッタ４１０を介して液晶ドライバ２４に入力され、液晶パネル１０に表示される。オーバーフローリミッタ４１０は、瞬間的にピークレベルが少しオーバーした場合の破綻防止のために設けられる。

【００９７】

一方、ローパスフィルタ４１４の出力は、液晶側の変調度を変えた影響の逆補償をバックライト側で行うべく、関数Ｂによって処理され（ブロック４０４－ｂ）、その結果に基づいて調光制御信号が生成され（ブロック４０６）、この調光制御信号に基づいてバックライトドライバ２６を介したバックライト１１の輝度制御が行われる。

【００９８】

上述したような協調制御構成を用いることで、複雑なヒストグラム演算を避けることができるとともに、映像信号のピークにマージンが有る分だけ液晶変調度を上げ、その分バックライトの輝度を下げられるため、同一輝度映像のままバックライトの輝度低減による省エネ化が期待できる。

【００９９】

また、液晶の変調度が上がった分だけコントラスト改善および階調再現性や色シフト減少、視野角改善に効果を発揮する。特に画面全体が暗い時には、大きく液晶変調度を上げて、液晶の最も苦手な低変調度領域を使わずに済むので上記効果は大きくなる。

【０１００】

この制御構成は、透過直視型液晶ディスプレイのみならず、透過型液晶や、反射型液晶、マイクロミラーデバイスなど別光源を変調するタイプのディスプレイ一般に適用でき、リアプロジェクタやフロントプロジェクタなどにも応用可能である。

【０１０１】

図２２は、図２１に示したピーク検出部４１２の構成例を示すブロック図である。同図に示すように、このピーク検出部４１２では、映像信号のＲＧＢ各原色の値の最大値を抽出し（ブロック４１７）、その輝度ピークを検波し（ブロック４１６）、この検波した値を制御目標値となるピークリファレンスから減算することで（ブロック４１８）、フィードバック制御用の誤差成分が検出される。ここで、ピークリファレンスは、最大変調度レベルより少し下に置くことにより、常時、液晶の最大変調付近まで使用する構成とすることが望ましい。

【０１０２】

図２３は、図２１に示したピーク検出部４１２の他の構成例を示すブロック図である。同図に示す例では、フルレベルより少し下に設定されたピークスレシホールドを超えた分

を検出し（ブロック４２２）、レートカウンタ部でこの検出した回数をカウントし（ブロック４２０）、そのレートが僅かな一定値になるようフィードバック制御することにより（ブロック４１８）、このピーク検出部でヒストグラム分布制御を代替することができる。また、レートカウンタ部では、ピークスレシホールドを超えた分を累積するようにしても良い。

【０１０３】

この構成によれば、ヒストグラムの上側一定比率を最大変調付近に制御するのと同等の効果を安価に、即ち、ヒストグラムを取ってレベル再配分する計算方式より簡単なフィードバックだけで実現できる。また、逆にレートカウンタ部でスレシホールド以上の時間連続が短い部分を無視してカウントするなどの工夫により、例えば字幕などの短いピークが大量に出てもそれに影響されないようにマスクできるなど、ヒストグラムだけでは実現できない特長を容易に付加することもできる。

【０１０４】

上述したような、フィードバック式の液晶バックライト協調制御は、複雑なヒストグラム解析などを必要とせず、一定のリファレンスレベルやスレシホールドを基準としたフィードバック制御で行われるため、極めて小規模な回路の簡単な関数計算だけで充分な液晶ピークＡＧＣ精度が出しやすい。また、ガンマテーブルを書き換える必要がないため、走査線毎のゲイン調整や、画素毎のゲイン調整にも、連続的に滑らかに対応でき、エリア別制御の効果を最大限発揮できる。

【０１０５】

図２４は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成を示すブロック図である。同図に示す例は、液晶バックライト協調制御のピーク変調度ＡＧＣ負帰還ループと逆補償作用のそれぞれに対して、ＡＰＬの検出結果を関与させる場合の構成例である。

【０１０６】

同図に示すように、この構成例では、入力された映像信号のＡＰＬ値を検出し（ブロック４２４）、この検出した値を関数Ａおよび関数Ｂに入力することで、液晶バックライト協調制御とＡＰＬ－ＡＧＣ制御が同時に行われる。尚、液晶バックライト協調制御は前述までに説明した例と同様に行われる。

【０１０７】

図２５は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成の第２の例を示すブロック図である。同図に示す例は、ＡＰＬ検出の結果を関数Ｂにのみ入力し、バックライト側をＡＰＬとピークで関数処理し、液晶ゲイン側をピークで関数処理した場合の例である。その他は、図２４と同様に構成される。

【０１０８】

図２６は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成の第３の例を示すブロック図である。同図に示す例は、ＡＰＬ検出の結果を関数Ａにのみ入力し、バックライト側をピークで関数処理し、液晶ゲイン側をＡＰＬとピークで関数処理した場合の例である。その他は、図２４と同様に構成される。

【０１０９】

図２４～図２６に示した構成は全てピーク変調度ＡＧＣ負帰還ループにより液晶変調度は同じに保たれ、かつＡＰＬ検出から同ループへの関与度は異なっているものの、同ループによる映像ゲインの逆補償の作用によりバックライト調光量もＡＰＬ検出から直接制御した場合と同等になり、これらの構成差に依らず液晶とバックライトの相乗作用で再現された画像の見え方はほぼ同等となる。

【０１１０】

図２７は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣおよびバックライトをエリア別に制御する場合の構成例を示すブロック図である。尚、以下の説明では、画面を４つのエリアに分割した構成を想定する。

【０１１１】

同図に示すように、この例では、エリア別にＡＰＬを検出し（ブロック４２５）、この

検出した値を用いてエリアごとに関数処理、調光制御が行われ、エリア別バックライトドライバ２７によって、分割構成されたバックライト１１が駆動される。

【０１１２】

即ち、この例では、エリア別のＡＰＬ－ＡＧＣによるエリア別バックライト制御に、全画面ピーク変調度ＡＧＣ協調制御を併用した制御構成となる。協調制御分は、乗算によるゲイン調整に回されると共に、バックライト調光制御にも回され、ゲイン調整の逆補正として使用される。

【０１１３】

逆補正分はゲインの逆数を取って、輝度リニアに戻すためのガンマ伸張を行った上でバックライト制御に回される。この例では、全画面ピークにマージンが有る分だけ協調制御による改善効果が得られる。

【０１１４】

図２８は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、バックライト、液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。

【０１１５】

同図に示すように、この例では、ＡＰＬ－ＡＧＣおよびバックライトのエリア別制御に加えて、ゲイン調整部４０８、オーバーフローリミッタ４１０、液晶ドライバ２４、液晶パネル１０、関数部４０４－ａ、エリア間光量分布関数４２８がエリア別に構成される。

【０１１６】

即ち、この例では、図２７の例と同様にエリア別のＡＰＬ－ＡＧＣによるエリア別バックライト制御に、全画面ピーク変調度ＡＧＣ協調制御が併用され、さらに、エリア別ＡＰＬ成分は協調制御のゲイン調整にも回され、映像信号のエリア別輝度むらを減少させる効果を持つ。つまりエリア別ＡＰＬとエリア別のピークは同一ではないが、多くの場合、高い相関性を持つ。そのため、全画面ピーク検出にもかかわらず、画面に輝度傾斜が有る場合など、図２７の構成よりも、より効果的に液晶変調度をピーク一杯まで使用できることになり、協調制御による省電力、画質改善効果がより高められる。

【０１１７】

図２９は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、ピークをエリア別に検出し、バックライト、液晶ゲインをエリア別に制御する場合の構成例を示すブロック図である。

【０１１８】

同図に示すように、この例では、ＡＰＬ－ＡＧＣ、バックライト、液晶変調ゲインのエリア別制御に加えて、ピーク検出４１２およびローパスフィルタ４１４がエリア別に構成される。即ち、この例では、ＡＰＬ検出、ピーク検出、バックライト調光制御、映像信号ゲイン調整の全てがエリア別に行われ、より完全に液晶変調度をピーク一杯まで使用することができると共に、ＡＰＬ－ＡＧＣ効果も最大限に発揮できるため、最も省電力でかつ最も見易く、最もコントラストや階調再現性にも優れている。尚、破線矢印で示したように、あらかじめＡＰＬの一部を映像信号ゲイン調整側に回してもよい。

【０１１９】

図３０は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣと液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。

【０１２０】

同図に示すように、この例では、エリア別ＡＰＬ値は求めるがバックライトはエリア分割せずに全画面一括調光制御され、エリア別に求められたＡＰＬ値と全画面ピーク値に基いて、エリア別のゲイン調整が実施される。バックライトはその全画面ピークＡＧＣの逆補正のみで変調されるが、ピークＡＧＣループのフィードバック効果により、全画面ピークとエリア別ＡＰＬの差分で制御されることとなる。この時、エリア別ＡＰＬとエリア別のピークは同一ではないが、多くの場合、高い相関性を持つ。そのため、画面内に輝度傾斜が有る場合などには、全画面ピーク検出かつ全画面バックライト制御にもかかわらず、

エリア別バックライト制御に近い効果を持つものが安価に構成できる。

【０１２１】

図３１は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣと液晶変調ゲインをエリア別に制御する場合の他の構成例を示すブロック図である。

【０１２２】

同図に示すように、この例では、エリアＡＰＬのエリア間共通部分、例えば平均などでバックライトを制御し、エリア間差分成分を映像信号ゲイン調整側に回すことで（ブロック４３０）、エリア間差分ＡＰＬ値と全画面ピーク値に基いて、エリア別のゲイン調整が実施される。この例は、図３０と同様に全画面一括バックライト制御で、エリア別制御に近い効果を持つものが安価に構成できる。

【０１２３】

図３２は、ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、バックライト、ピーク検出、液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。同図に示すように、この例では、図２９と同様に、ＡＰＬ検出、ピーク検出、バックライト調光制御、映像信号ゲイン調整の全てがエリア別に行われ、ＡＰＬを図２９の破線矢印の映像信号ゲイン調整側のルートにのみ通した例で、ピークＡＧＣループのフィードバック効果により、結果的には図２９と同等の制御となる。よって、図２９と同様に、より完全に液晶変調度をピーク一杯まで使用することができると共に、ＡＰＬ－ＡＧＣ効果も最大限に発揮できるため、最も省電力でかつ最も見易く、最もコントラストや階調再現性にも優れている。

【０１２４】

図３３は、図２９の制御構成の具体例を示すブロック図である。同図に示すように、この例では、エリア別ピーク検出の余裕分出力をフィードバック・ループフィルタとして積分し（ブロック４１５）、「１＋エリア別ピーク余裕分の積分値」を図３４に示すようなエリア間光量分布関数４２８で近似した曲線で映像入力を乗算し、同時に、輝度制御外部入力を「１＋エリア別ピーク余裕分の積分値」で除算し（ブロック４３４）、その２．２乗、即ち輝度リニアに戻すためのガンマ伸張し（ブロック４３２－２）、それをさらに「２×エリア別ＡＰＬ値＋１（ブロック４０４－ｂ）」で除算し、その結果でバックライトが調光される。

【０１２５】

図３４は、エリア間光量分布関数の例（一次元４分割の場合）を示すグラフである。

【０１２６】

図３５は、バックライト制御用の調光信号となるバーストパルスの分割発生例を示すタイミングチャートである。同図に示す例では、バックライト制御用の調光信号となるバーストパルスを１フレーム内（Ｆ１、Ｆ２）に複数発生させることで、光源の点灯期間を制御するバースト信号の５０Ｈｚや６０Ｈｚの基本波成分が抑圧され、その結果、フリッカの発生が抑圧される。

【０１２７】

ここで、同図（ａ）は、バーストパルスを分割発生しない従来の例であり、同図（ｂ）は３分割発生した例であり、同図（ｃ）は２分割発生した例である。このように、バーストパルスの分割発生数は、２分割でも３分割でも、あるいは４分割以上としても良い。また、幅の異なるパルスを混在させても良く、パルスの間隔を異ならせても良い。パルス幅および／または間隔を適宜調整することにより、基本波成分を抑圧してフリッカの発生を防止したり、エリア間の表示ムラをなめらかにすることができる。

【０１２８】

図３６は、位相制御２分割バーストの構成を示す概念図である。同図（ａ）に示すように、この例では、バーストパルスをフレームに同期させて必ず２連発にし、同図（ｂ）に示すように、デューティに応じてパルス幅Ｗおよび／またはパルス間隔Ｇを所定のパターンに従って制御することで、フリッカの抑制や画質改善が行われる。

【０１２９】
同図（ａ）および（ｂ）に示すように、この例では、フルデューティから下げる時は、まずバースト信号パルスの立上がり端（図中「ｔ１」）から液晶遷移時間分の間隔を空けてゆき、さらにデューティを下げる場合には、フレーム内に存在する２つのバースト信号パルス間の間隔（図中「Ｇ１－１、Ｇ１－２、Ｇ１－３」）は一定間隔に維持したまま、フレーム間のパルス間隔（図中「Ｇ２－１、Ｇ２－２」）を均等に増やしていく。また、パルス信号の幅（図中「Ｗ１－１、Ｗ１－２、Ｗ１－３、Ｗ２－１、Ｗ２－２、Ｗ２－３」）および／または位相を所定の関係に従って制御することで、ビートの発生を抑制することができる。尚、図中「Ｇ２－１、Ｇ２－２」は、フレーム単位で複数存在するパルスのうちの最後尾のパルスと、これに続くフレームに複数存在するパルスのうちの先頭パルスとの間隔を示し、このような異フレーム間のパルス間隔を制御しても良い。
【０１３０】
図３７は、位相制御２分割バーストの他の構成例を示す概念図である。同図（ａ）に示すように、フルデューティから下げる時は、まず前端の液晶遷移時間分の間隔を空けてゆくことで画質改善を行うとともに、後端のランプＯＦＦ時間分の間隔を空けてゆくことで隣接エリア間のクロストークを防止し、次に２発間の間隔も並行して空けることで基本波成分の増加を抑える。さらに絞る時は真中の間隔を保ちながら両端または前端の間隔を増やしていく構成、即ち、液晶遷移およびランプＯＦＦ時間のマスクを優先した制御パターンとなる。
【０１３１】
また、同図（ｂ）では、暗部の動画解像度改善および暗部シャープネスの向上を優先させるため、デューティ５０％以下の領域でランプＯＦＦ時間のマスクを行うとともに、液晶遷移マスクを最優先させる。
【０１３２】
図３８は、位相制御２分割バーストの他の構成例を示す概念図である。同図（ａ）は、液晶遷移マスクを最優先させるとともに、フリッカの抑圧を優先させた例であり、同図（ｂ）は、前端パルスの変化を曲線とした場合の例である。
【０１３３】
図３９は、高輝度バーストと低輝度バーストの複合で構成されたバーストパルスの例を示すタイミングチャートである。同図（ａ）は、高輝度なパルス（高輝度部）で点灯させるとともに、その非点灯区間も低輝度なパルス（低輝度部）で１フレーム内フルデューティで点灯させる例であり、同図（ｂ）は、高輝度なパルス（高輝度部）で点灯させるとともに、非点灯区間は低輝度なパルス（低輝度部）で１フレーム内高デューティで点灯させる例であり、同図（ｃ）は、高輝度低デューティバーストと逆位相の緩やかな輝度変化をもつ低輝度フルデューティバーストで駆動する例である。。
【０１３４】
このように、バーストパルスを高輝度部と低輝度部の複合構成とすることにより、低輝度高デューティによる動きボケした映像の上に、くっきりした輪郭の高輝度画像を重ねることができ、高輝度画像時の輝度低下を低減させることができるとともに、音鳴きも低減させることができる。また、同図（ｃ）の例では、高輝度バースト前後の低輝度点灯輝度を部分的に下げることにより、輪郭をよりシャープにすることができる。
【０１３５】
図４０は、高輝度バーストと低輝度バーストの複合で構成されたバーストパルスにおいて、低輝度バーストを分割構成した例を示すタイミングチャートである。同各図に示す例は、高輝度低デューティバーストとその前後の余白内にさらに低輝度バーストを複数発生させた例であり、高輝度超低デューティ・バーストを複数発生させて平均的に低輝度バーストと等価にした例であり、図３９と同等の視覚効果を得ることができる。
【０１３６】
ここで、同図（ａ）は、低輝度部を構成する分割パルスを均一分布とした場合の例であり、同図（ｂ）は、低輝度部を構成する分割パルスを高輝度部の前後だけ低密度とした場

合の例であり、同図（ｃ）は、低輝度部を構成する分割パルスを高輝度部の前後だけ低レベルとした場合の例である。

【０１３７】

図４１は、図４０の例において、要求バックライト輝度に応じて、高輝度パルスのデューティを可変するとともに低輝度部の電流値も連動可変することにより、フリッカと輝度低下を抑制する場合の例を示す概念図である。高輝度部のパルスデューティと高輝度部電流の積および低輝度部のデューティと低輝度部の電流の積の和が要求輝度に比例するように制御される。同図に示す例では、フリッカの目立つ中間デューティ時の低輝度部分比率を多めに取ることによりフリッカを抑制し、また、高輝度パルスデューティの低い部分をできるだけ多くし、動画解像度改善効果を高める。

【０１３８】

図４２は、要求バックライト輝度に応じてバーストパルスの幅と電流値の双方を連動制御する例を示すタイミングチャートである。同各図に示すように、フレームＦ１では基準電流値のバーストパルスを発し、フレームＦ２では、基準値を超えるバーストパルスを発生する構成としても良い。

【０１３９】

図４３は、図４２の例のように、要求バックライト輝度に応じてバーストパルスの幅と逆方向に電流を制御し、動画解像度改善効果を高め輝度低下抑制と点灯安定度を確保する場合の例を示す概念図である。同図（ａ）は、要求バックライト輝度に応じてリニアにデューティを変化させる従来の制御例であり、同図（ｂ）は、要求バックライト輝度に応じてバーストデューティを可変するとともにその逆方向に電流値を連動可変し、できるだけバーストデューティの低い領域を増やすことにより、動画解像度改善効果を高めた例である。具体的には、バーストデューティ低減に応じてまず電流を上げて行き一定電流まで達した後デューティのみ低減することで、動画解像度改善を高め輝度低下抑制と点灯安定度を確保する。

【０１４０】

図４４は、要求バックライト輝度に応じてバーストと逆方向に電流を制御し、動画解像度改善効果を高め輝度低下抑制と点灯安定度を確保する場合の他の例を示す概念図である。同図（ａ）は、要求バックライト輝度に応じてバーストデューティを曲線特性で可変するとともにその電流値も連動可変する例であり、同図（ｂ）は、バーストデューティ低減に応じてまず電流を上げて行き一定電流まで達した後デューティのみ低減し、さらにその後は、デューティ一定で電流を下げてゆく場合の例である。

【０１４１】

図４５は、バックライトを液晶書換と同期させて分割駆動する順次点灯構成において、バックライトスキャンを液晶書換スキャンよりも速くして隣接エリアの光クロストークを減らす場合の例を示したタイミングチャートである。

【０１４２】

同図（ａ）は、従来のバックライトスキャン制御の例であり、垂直方向の液晶書換速度に合わせて、分割したバックライトＢＬ１～ＢＬ４の点灯タイミングが設定される。この図に示すように、低デューティの場合は、点線で示す液晶遷移が終了した後に各バックライトの点灯期間を配置することで、液晶遷移時間のマスクによる画質改善効果が得られる。また、各バックライトの点灯期間には、分割したエリア間の光漏れが生じるため、この影響が液晶書換タイミングと重ならないように配置される。

【０１４３】

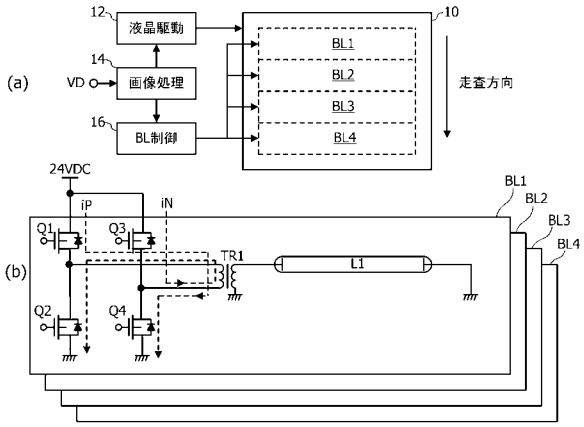
同図（ｂ）は、バックライトＢＬ１とＢＬ２、即ち、その外側に他のエリアが無いため垂直方向のエリア間光漏れの影響が内側のエリア方向にしか生じない両端エリアのバツックライト点灯タイミングを中央エリアよりにシフトさせることで、デューティが上がった場合であっても、可能な限りエリア間光漏れと液晶書換とが重ならない構成とした場合の例である。また、両端部のエリアのみ、隣接エリアとの時間間隔を縮めるなどスキャン間隔を不等間隔にしても良い。

【０１４４】
図４６は、デューティに応じてバックライトスキャンの進行速度を可変制御する例を示した概念図である。同図（ａ）に示すように、デューティが大きい場合は、図４３の例と同様にバックライトスキャンの進行速度を液晶書換の進行速度よりも速くすることで、エリア間光漏れの液晶書換に対する影響を回避し、デューティが小さい場合は、逆にバックライトスキャンの進行速度を液晶書換の進行速度よりも遅くして、１フレーム全体を等間隔スキャンする方向にシフトすることで、フリッカの発生を抑制する。
【０１４５】
同図（ｂ）は、バックライトスキャンの進行速度をデューティに応じて制御する概念を示した図である。この図に示すように、あるデューティより低デューティの領域では、バックライトスキャンの進行速度を１フレームを等分割した速度と同じとすることでフリッカを抑制し、あるデューティより高デューティの領域では、デューティの増加に比例してバックライトの進行速度を増加させる構成としても良い。
【０１４６】
即ち、フリッカが目立つデューティの小さめな時には、ブランク部分も含めた１フレーム内を等間隔にスキャンすることにより、全画面トータル輝度の変動を抑えてフリッカを抑制し、エリア間光漏れの影響が生じる高デューティ領域では、バックライトスキャン進行速度を増加させることで、この影響を防止する。尚、バックライトスキャン進行速度の増加比率や増加曲線は、光源の特性や配置等に応じて任意に設定可能である。
【０１４７】
図４７は、バックライトスキャン時の点灯パターンの他の例で、バースト点灯開始と終了時の電流を緩やかに変化させて、エリア間の点灯交代をスムーズにし、フリッカ感の低減を図るものである。
【０１４８】
図４８は、図４７と同じ効果を狙った他の例で、バースト前後の電流量を調整する代わりに、短いバーストを付加することにより、メインのバースト前後の平均的な輝度が緩やかに変化するのと同等にしたものである。同図（ａ）は前後にそれぞれ複数のデューティの違うパルスを付加した例、同図（ｂ）は前後にそれぞれ１パルスを付加した例である。
【産業上の利用可能性】
【０１４９】
本発明によれば、より高度なバックライト制御が可能になるため、高画質化や消費電力の低減が要求される大型液晶ディスプレイへの適用が期待される。
【図面の簡単な説明】
【０１５０】
【図１】本発明の実施形態に係る液晶バックライト駆動装置の構成を示す概念図である。
【図２】図１に示した液晶バックライト駆動装置の全体構成を示す回路ブロック図である。
【図３】図２に示したブリッジ回路の動作例を示す回路図およびタイミングチャートである。
【図４】図２に示したブリッジ回路の他の動作例を示す回路図およびタイミングチャートである。
【図５】図１に示した液晶バックライト駆動装置の制御構成を示す回路ブロック図である。
【図６】図５に示した数値化部および比較部の構成例を示す回路ブロック図である。
【図７】検出ＰＷＭ信号を生成する例を示す回路ブロック図である。
【図８】検出ＰＷＭ信号を生成する第１の例に係るＡ／Ｄ変換動作を示す波形タイミングチャートである。
【図９】図６に示した非線形特性付加回路３２６で付加する非線形特性の例を示す概念図である。
【図１０】図５に示したループフィルタの構成を示す回路ブロック図である。

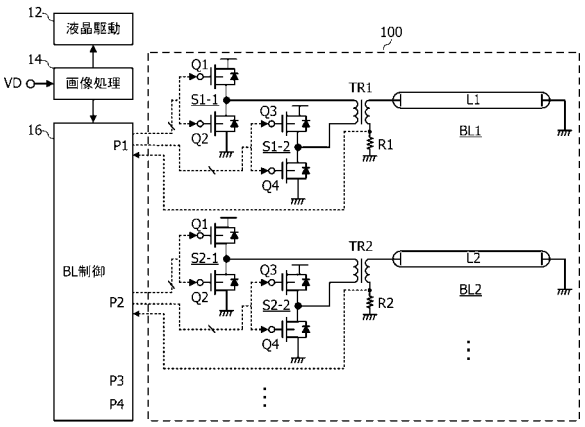
【図１１】１ブロック共通単一電流制御でブロックごとに独立にソフトスタート／ストップ制御を行う場合の構成例を示す回路ブロック図である。
【図１２】図１１に示した入力誤差生成部３４２の構成を示す回路ブロック図である。
【図１３】図１１に示したループフィルタの構成を示す回路ブロック図である。
【図１４】図１１に示したソフトスタート／ストップ波形生成部の構成を示す概念図である。
【図１５】ソフトスタート／ストップ波形の例を示すタイミングチャートである。
【図１６】図１に示した液晶バックライト駆動装置が行うＡＰＬ－ＡＧＣの処理例を示す概念図である。
【図１７】図１に示した液晶バックライト駆動装置が行う液晶バックライト協調制御の処理例を示す概念図である。
【図１８】図１に示した液晶バックライト駆動装置が行うＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合処理例を示す概念図である。
【図１９】図１に示した液晶バックライト駆動装置が行うエリア別ＡＰＬ－ＡＧＣ処理例を示す概念図である。
【図２０】従来の液晶とバックライトの協調制御構成を示すブロック図である。
【図２１】本発明に係るフィードバック式の液晶とバックライトの液晶ピークＡＧＣ協調制御の構成を示すブロック図である。
【図２２】図２１に示したピーク検出部４１２の構成例を示すブロック図である。
【図２３】図２１に示したピーク検出部４１２の他の構成例を示すブロック図である。
【図２４】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成を示すブロック図である。
【図２５】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成の第２の例を示すブロック図である。
【図２６】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成の第３の例を示すブロック図である。
【図２７】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣおよびバックライトをエリア別に制御する場合の構成例を示すブロック図である。
【図２８】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、バックライト、液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。
【図２９】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、ピークをエリア別に検出し、バックライト、液晶ゲインをエリア別に制御する場合の構成例を示すブロック図である。
【図３０】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣと液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。
【図３１】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣと液晶変調ゲインをエリア別に制御する場合の他の構成例を示すブロック図である。
【図３２】ＡＰＬ－ＡＧＣと液晶バックライト協調制御の複合構成において、ＡＰＬ－ＡＧＣ、バックライト、ピーク検出、液晶変調ゲインをエリア別に制御する場合の構成例を示すブロック図である。
【図３３】図２９の制御構成の具体例を示すブロック図である。
【図３４】エリア間光量分布関数の例（一次元４分割の場合）を示すグラフである。
【図３５】バックライト制御用の調光信号となるバーストパルスの分割発生例を示すタイミングチャートである。
【図３６】位相制御２分割バーストの構成を示す概念図である。
【図３７】位相制御２分割バーストの他の構成例を示す概念図である。
【図３８】位相制御２分割バーストの他の構成例を示す概念図である。
【図３９】高輝度バーストと低輝度バーストの複合で構成されたバーストパルスの例を示すタイミングチャートである。

【図４０】高輝度バーストと低輝度バーストの複合で構成されたバーストパルスにおいて、低輝度バーストを分割構成した例を示すタイミングチャートである。
【図４１】図４０の例において、要求バックライト輝度に応じて、高輝度パルスデューティを可変するとともに低輝度部の電流値も連動可変することにより、フリッカと輝度低下を抑制する場合の例を示す概念図である。
【図４２】要求バックライト輝度に応じてバーストパルスの幅と電流値の双方を連動制御する例を示すタイミングチャートである。
【図４３】図４２の例のように、要求バックライト輝度に応じてバーストパルスの幅と逆方向に電流を制御し、動画解像度改善効果を高め輝度低下抑制と点灯安定度を確保する場合の例を示す概念図である。
【図４４】要求バックライト輝度に応じてバーストと逆方向に電流を制御し、動画解像度改善効果を高め輝度低下抑制と点灯安定度を確保する場合の他の例を示す概念図である。
【図４５】バックライトを液晶書換と同期させて分割駆動する順次点灯構成において、バックライトスキャンを液晶書換スキャンよりも速くして隣接エリアの光クロストークを減らす場合の例を示したタイミングチャートである。
【図４６】デューティに応じてバックライトスキャンの進行速度を可変制御する例を示した概念図である。
【図４７】バックライトスキャンをスムーズにする例を示したタイミングチャートである。
【図４８】バックライトスキャンをスムーズにする他の例を示したタイミングチャートである。
【符号の説明】
【０１５１】
１０…液晶パネル、１１…バックライト、１２…液晶駆動部、１４…画像処理部、１６…バックライト制御部、２０…電源回路、２２…ドライバ、２４…液晶ドライバ、２６…バックライトドライバ、２７…エリア別バックライトドライバ５０…保護回路、５２…パラメータ検出部、５４…起動制御部、５６…駆動パルス生成部、５８…数値化部、６０…比較部、６２…ループフィルタ、７０…タイミング発生部、１００…アナログ回路部、２２０…検波部、２２１…半波整流回路、２２２…全波整流回路、２２４…クリップ回路、２３０…平滑平均化ＲＣフィルタ、２４０…コンパレータ、２５０…リファレンス三角波生成フィルタ、３００…デジタル回路部、３２０…入力カウンタ、３２２…入力パルス幅カウント部、３２４…減算部、３２６…非線形特性付加部、３３０…ループフィルタ、３３２…加算部、３３４…出力クリップ部、３３６…フリップフロップ、３４０…最大値選択回路、３４４…ＮＯＲ回路、３４８…ＡＮＤ回路、３５０…ソフト波形生成部、３５１…傾斜値選択部、３５２…極性選択部、３５３…加算回路、３５４…比較回路、３５５…比較回路、３５６…選択回路、３５７…レジスタ回路、３６０…Ａ／Ｄコンバータ、３６２…フリップフロップ、３６３…加算器、３６４…絶対値演算回路、３６６…平均値演算フリップフロップ、３７０…パルス変換部、４００…ヒストグラム解析部、４０２…ゲイン調整・ガンマ伸張部、４０４…関数部、４０６…調光制御部、４０９…乗算部、４１０…オーバーフローリミッタ、４１２…ピーク検出部、４１４…ループフィルタ、４１５…エリア別ループフィルタ、４１６…ピーク検波部、４１７…最大値検出部、４１８…減算部、４２０…レートカウント、４２２…比較部、４２４…ＡＰＬ検出部、４２５…エリア別ＡＰＬ検出部、４２８…エリア間光量分布関数、４３０…エリア差分抽出部、４３２…ガンマ伸張部、４３４…除算部、４３６…除算部

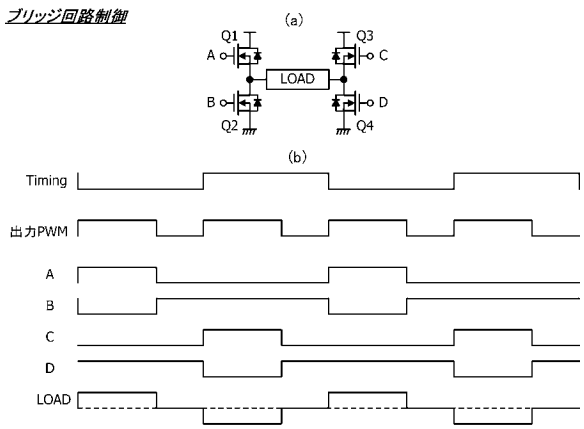
【図１】


(a)
12
液晶駆動
14
VD
画像処理
16
BL制御
10
BL1
BL2
BL3
BL4
走査方向
(b)
24VDC
iP
iN
Q1
Q3
Q2
Q4
TR1
L1
BL1
BL2
BL3
BL4

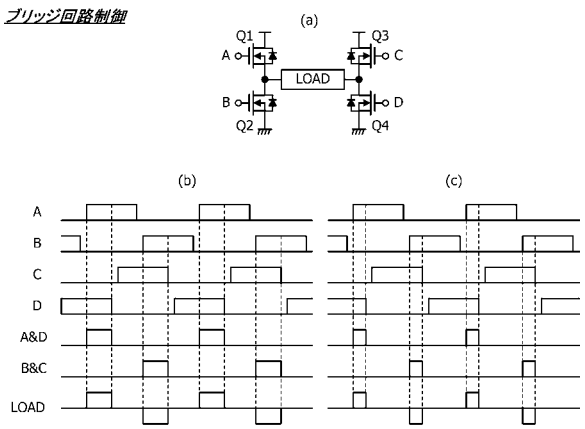
【図２】


12
液晶駆動
14
VD
画像処理
16
BL制御
P1
P2
P3
P4
100
Q1
S1-1
Q2
Q3
S1-2
Q4
TR1
L1
BL1
R1
S2-1
S2-2
TR2
L2
BL2
R2

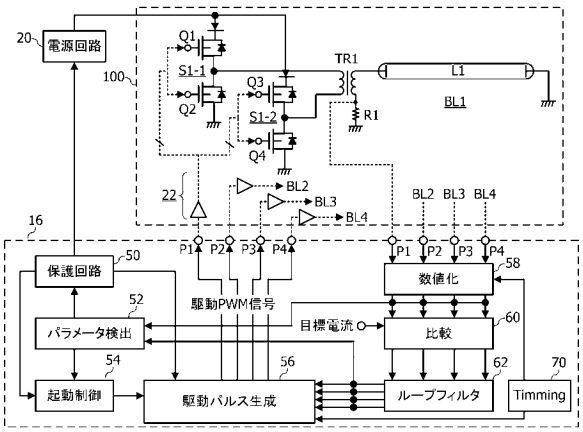
【図３】


ブリッジ回路制御
(a)
Q1
Q3
A
C
LOAD
B
D
Q2
Q4
(b)
Timing
出力PWM
A
B
C
D
LOAD

【図４】

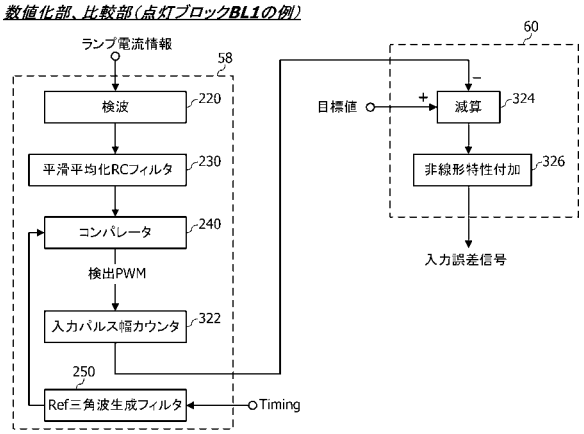

ブリッジ回路制御
(a)
Q1
Q3
A
C
LOAD
B
D
Q2
Q4
(b)
(c)
A
B
C
D
A&D
B&C
LOAD

【図５】



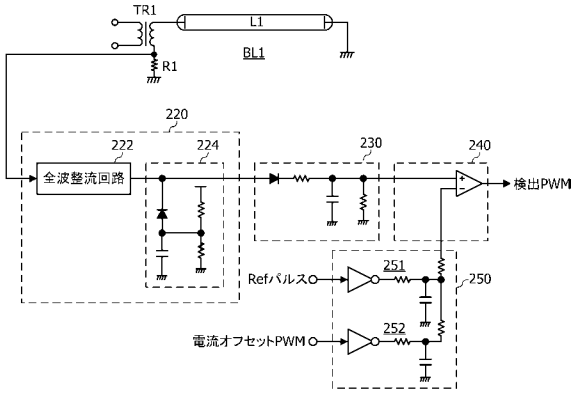
【図６】

*数値化部、比較部（点灯ブロック**BL1**の例）*



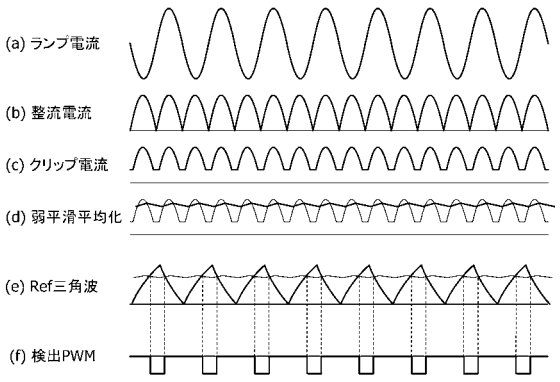
【図７】

*全波整流＋強平滑＋**Ref**三角波*



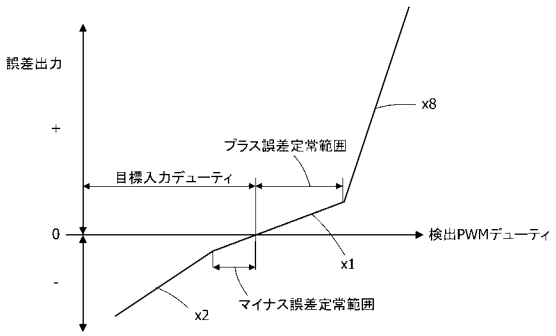
【図８】

*全波整流＋弱平滑＋**Ref**三角波*



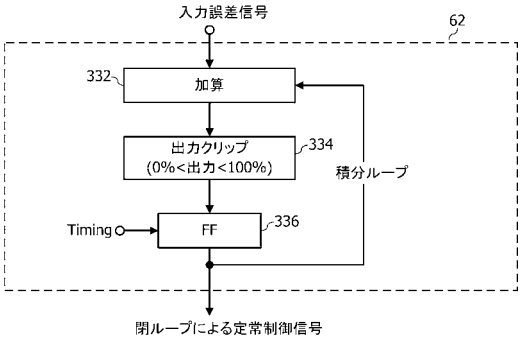
【図９】

非線形特性



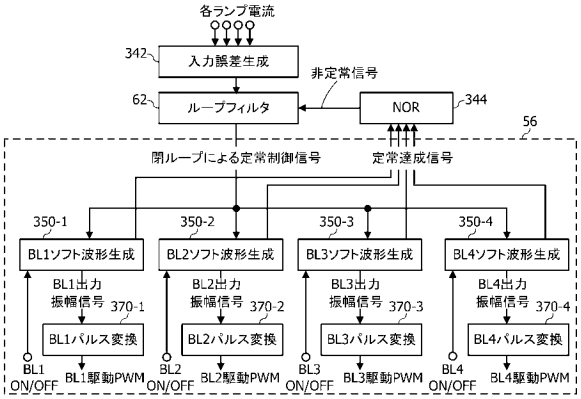
【図１０】

*ループフィルタ（点灯ブロック**BL1**の例）*



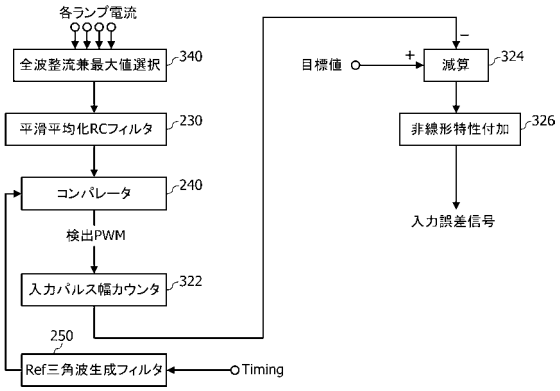
【図１１】

駆動パルス生成部（ソフトスタート／ストップ波形生成の例）

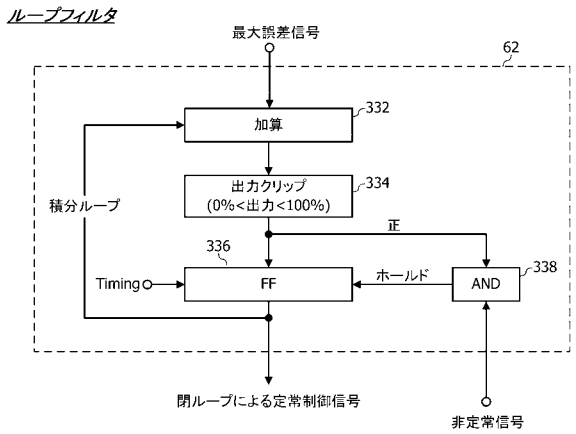


【図１２】

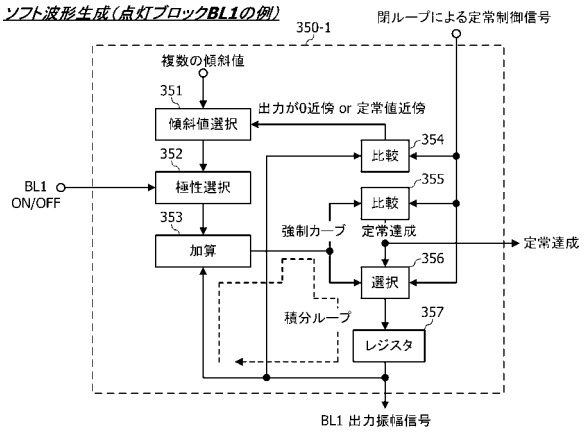
入力誤差生成部



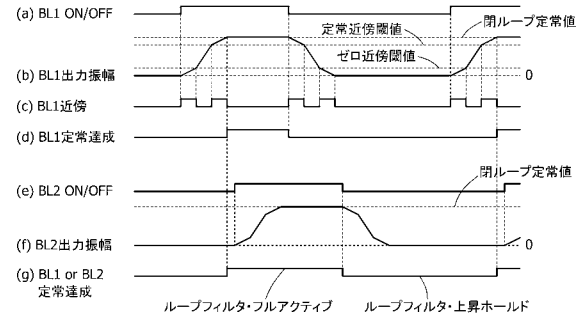
【図１３】



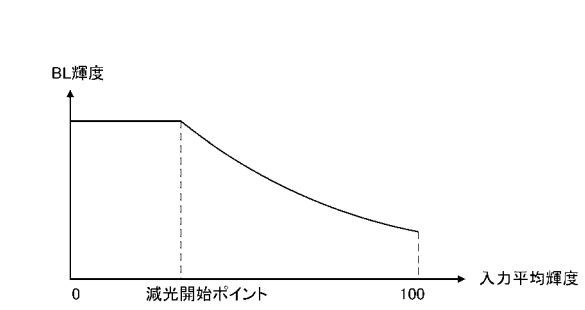
【図１４】



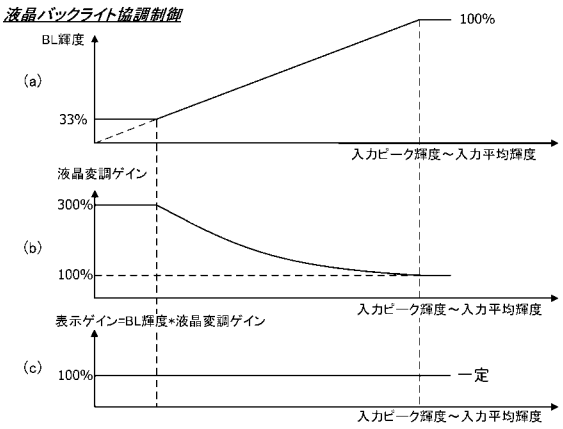
【図１５】



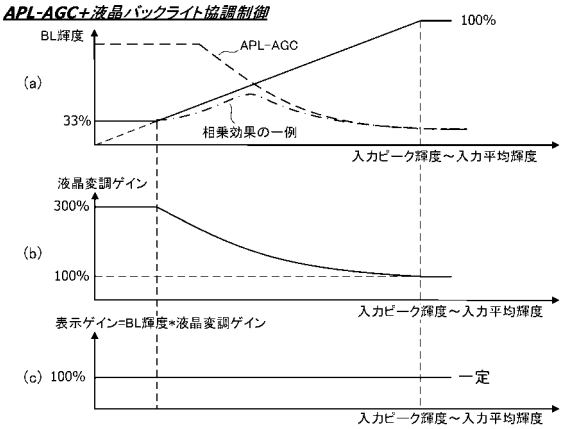
【図１６】



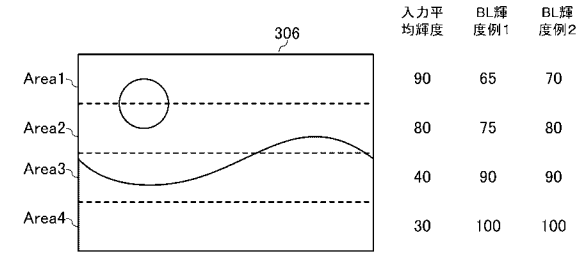
【図１７】



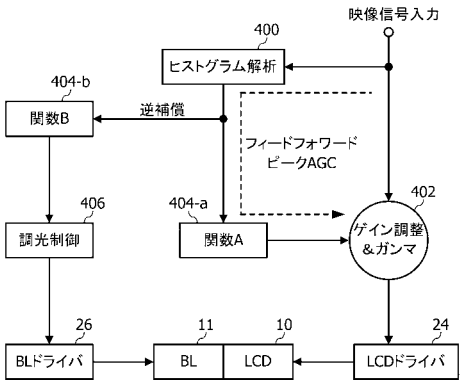
【図１８】



【図１９】

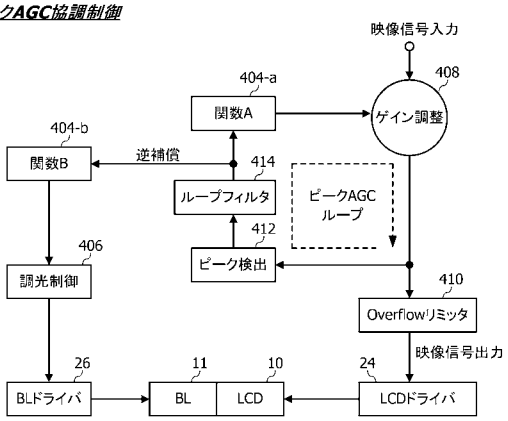


【図２０】



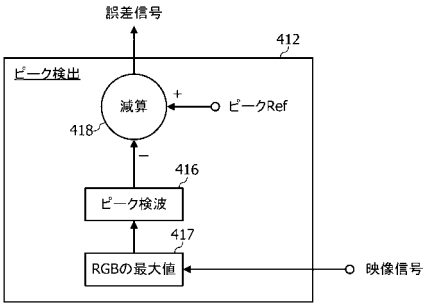
【図２１】

液晶ピークAGC協調制御



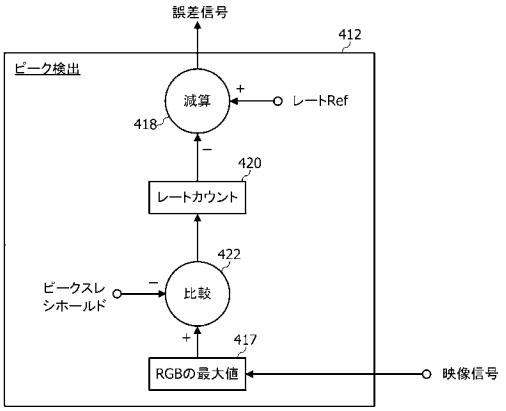
【図２２】

ピーク検出部の構成例



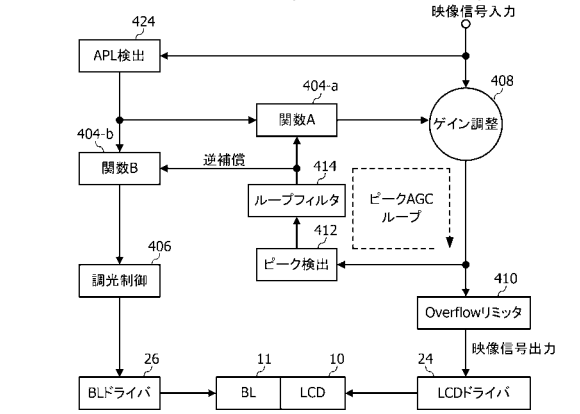
【図２３】

ヒストグラム分布制御を代替するピーク検出例

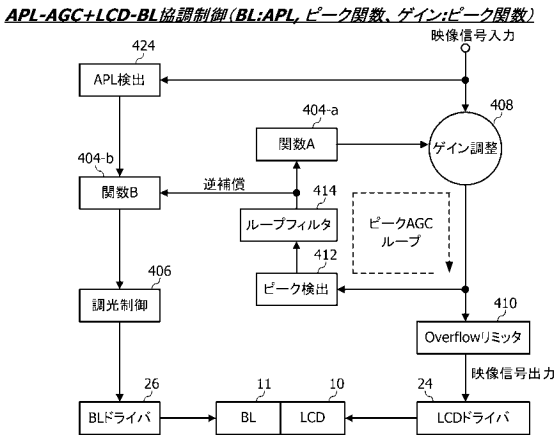


【図２４】

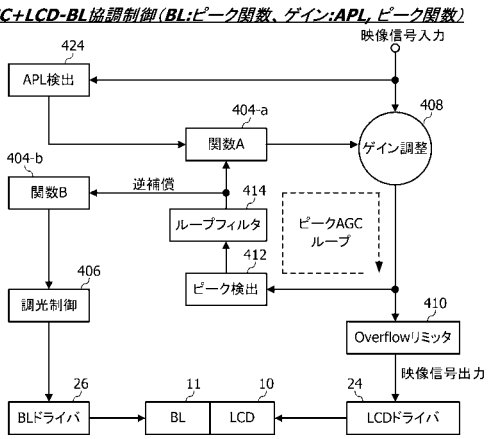
APL-AGC+LCD-BL協調制御（BL:APL, ピーク関数、ゲイン:APL, ピーク関数）



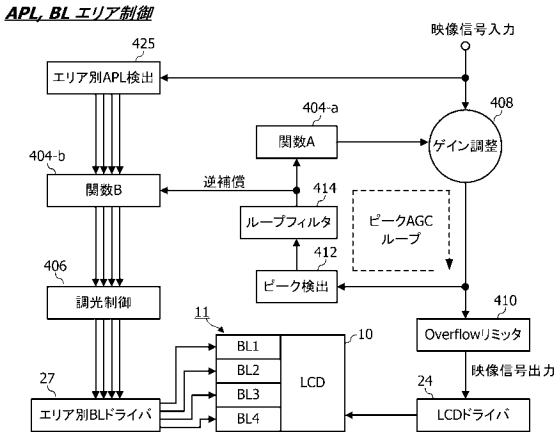
【図２５】



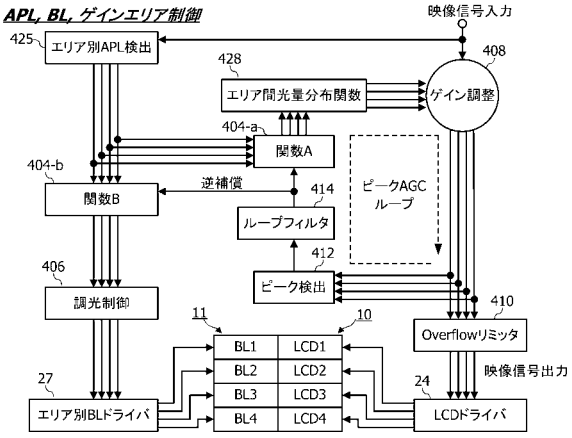
【図２６】



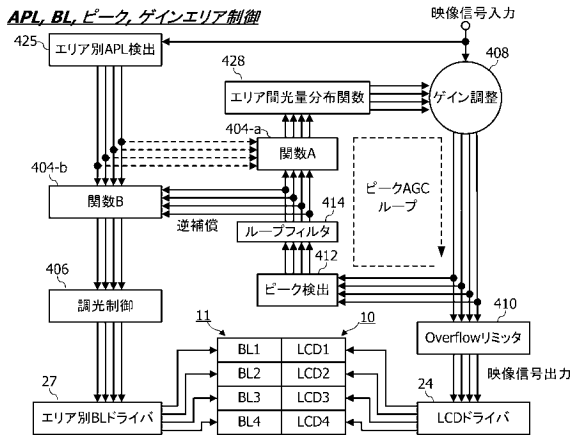
【図２７】



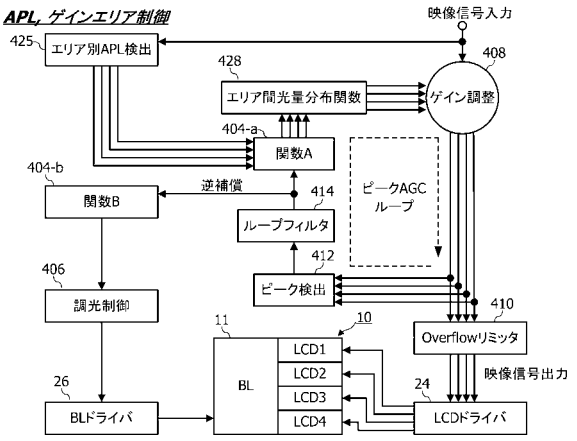
【図２８】



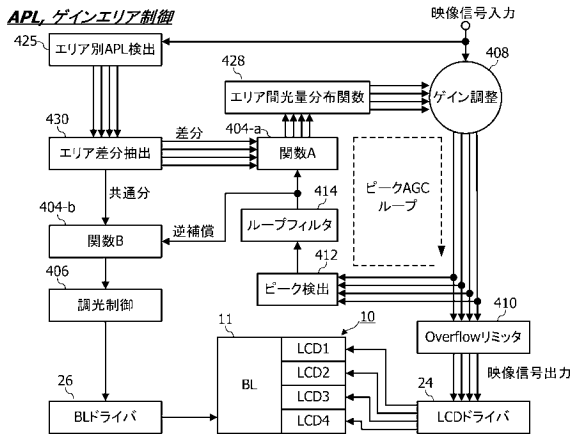
【図２９】



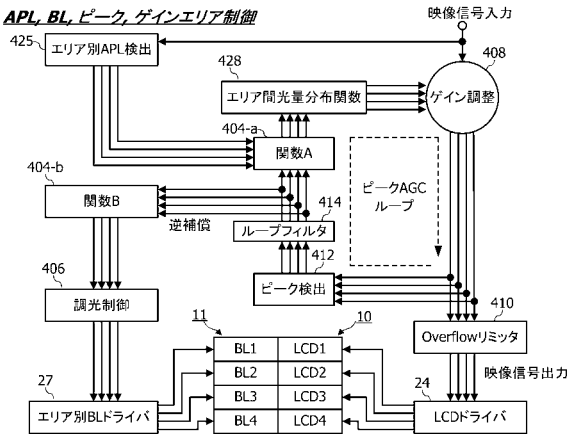
【図３０】



【図３１】

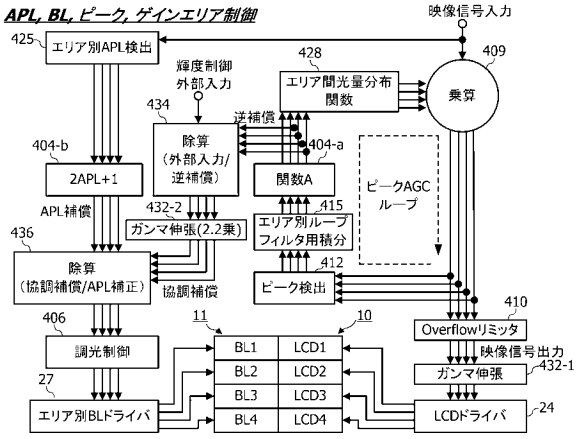


【図３２】



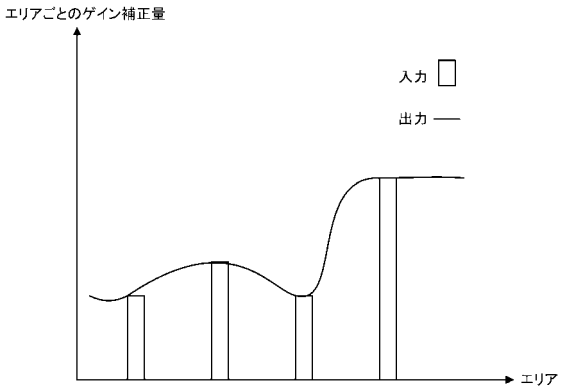
【図３３】

APL, BL, ピーク, ゲインエリア制御



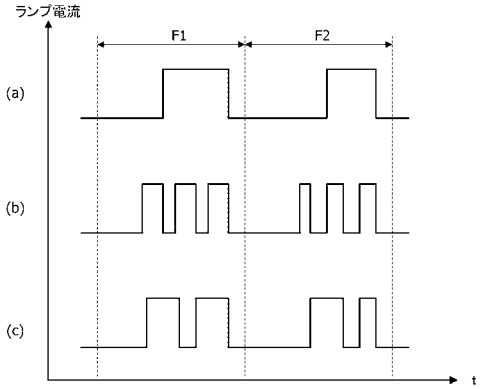
【図３４】

エリア間光量分布関数の例



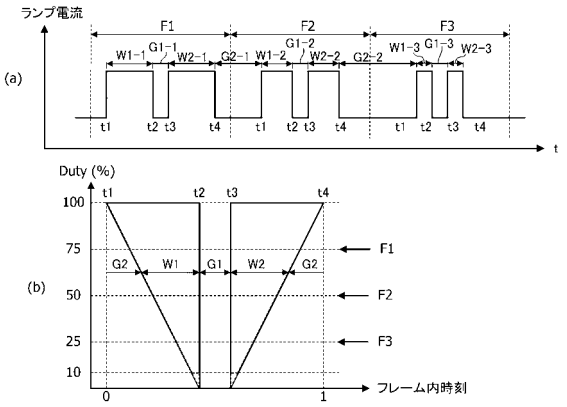
【図３５】

バーストパルス分割発生



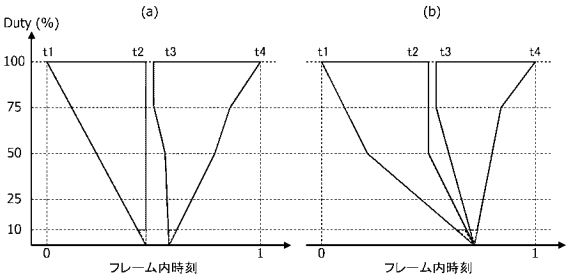
【図３６】

位相制御2分割バースト



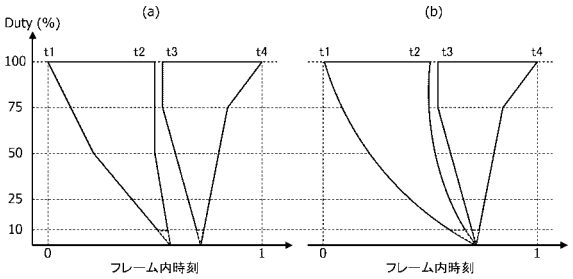
【図３７】

位相制御2分割バースト



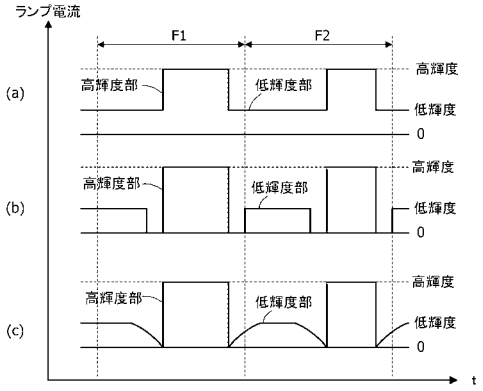
【図３８】

位相制御2分割バースト



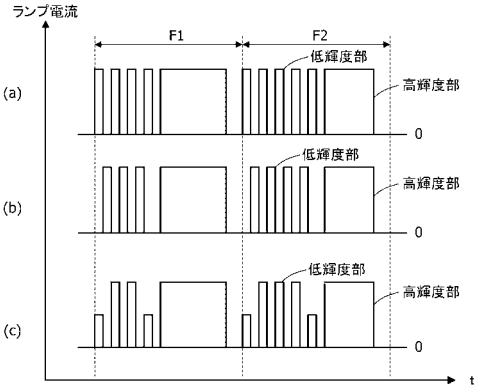
【図３９】

高輝度・低輝度複合バースト



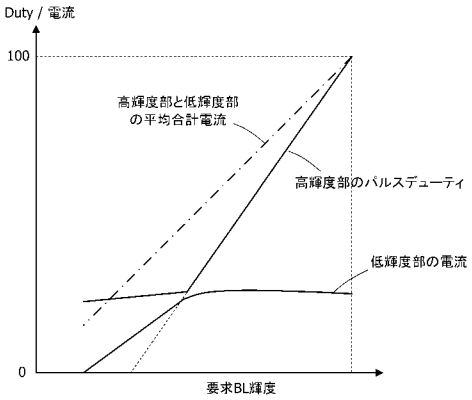
【図４０】

高輝度・低輝度複合バースト（低輝度部分割構成）



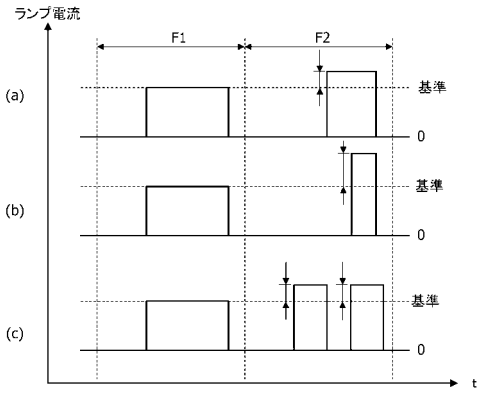
【図４１】

高輝度部･低輝度部の比率制御



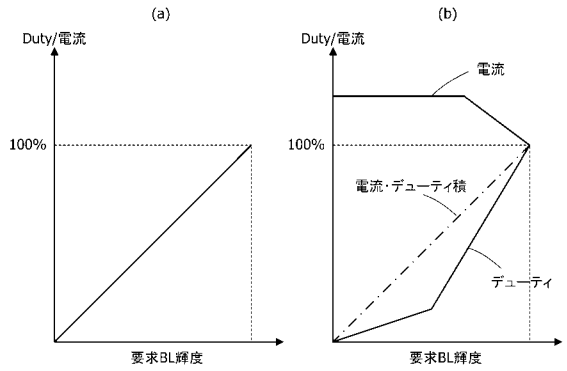
【図４２】

パルス幅･電流値連動制御



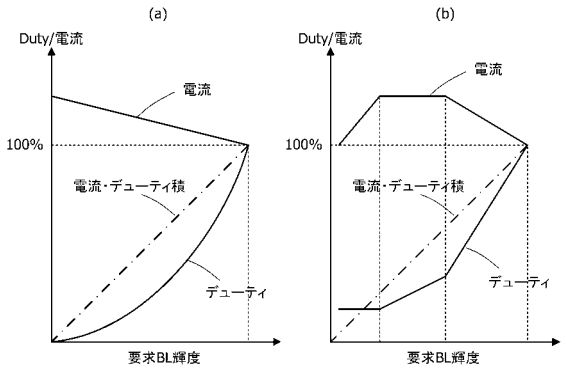
【図４３】

バースト逆方向電流制御



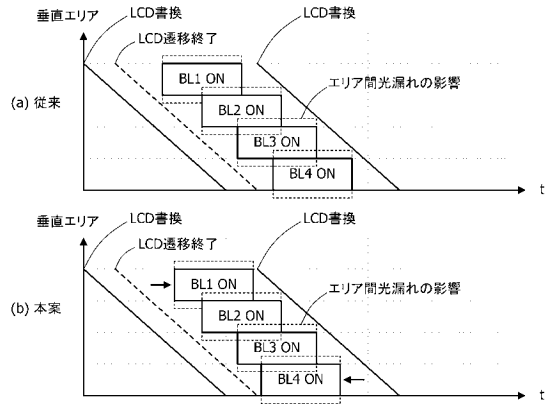
【図４４】

バースト逆方向電流制御



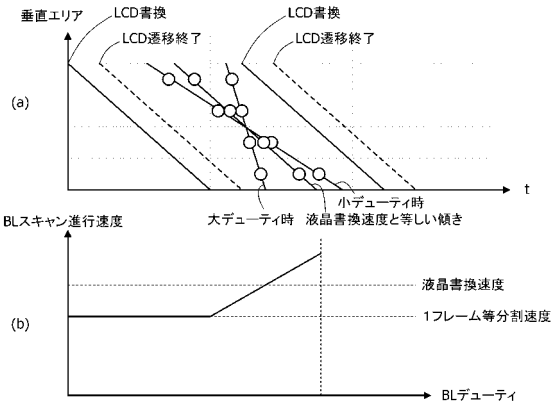
【図４５】

スキャンタイミング制御



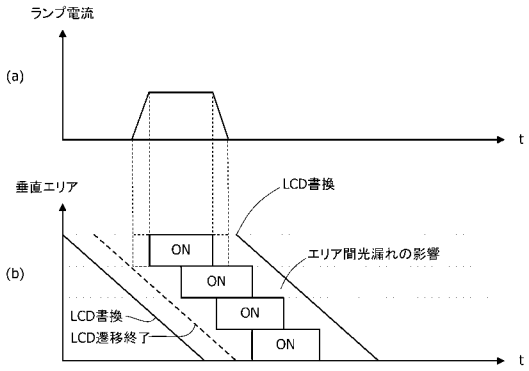
【図４６】

スキャン進行速度制御例



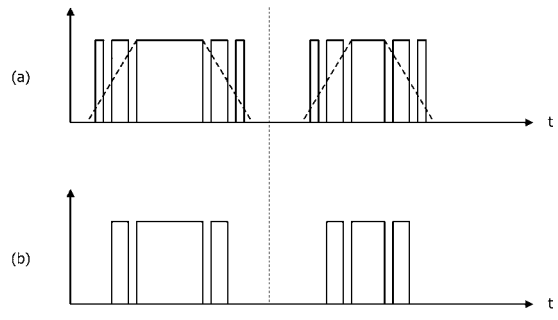
【図４７】

水平方向の光漏れ低減



【図４８】

水平方向の光漏れ低減



フロントページの続き

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/20	*(2006.01)*	G09G	3/20	611A	5C058
		G09G	3/20	641R	5C080
		G09G	3/20	611E	

(72)発明者 坂本 守
東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内
(72)発明者 浅沼 和夫
東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内
(72)発明者 前川 晃伸
東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内
(72)発明者 中込 秀文
東京都台東区上野６丁目１６番２０号 太陽誘電株式会社内

Ｆターム(参考) 2H091 FA41Z FD03 FD22 GA11 GA12 LA16 LA30
2H093 NC05 NC13 NC16 NC42 NC49 NC58 NC59 ND01 ND34 ND39
ND60 NE06 NH15
2H191 FA81Z FD03 FD42 GA17 GA18 LA21 LA40
2H193 ZH21
5C006 AF42 AF44 AF45 AF71 BB16 BB29 EA01 FA23 FA29 FA47
5C058 AA06 AB03 BA26 BA29 BB25
5C080 AA10 BB05 DD02 DD06 DD10 DD26 EE19 EE29 FF01 FF07
JJ02 JJ03 JJ04 JJ05 KK43