



[12] 发明专利说明书

[21] ZL 专利号 92105269.3

[51]Int.Cl⁶

H01L 29 / 784

[45]授权公告日 1996 年 7 月 10 日

[24]颁证日 96.3.30

[21]申请号 92105269.3

[22]申请日 92.6.30

[30]优先权

[32]91.12.27[33]KR[31]91-24664

[32]92.4.21 [33]KR[31]92-6678

[73]专利权人 三星电子株式会社

[72]发明人 金长来 金汉洙

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

代理人 乔晓东

地址 韩国京畿道

H01L 27 / 11

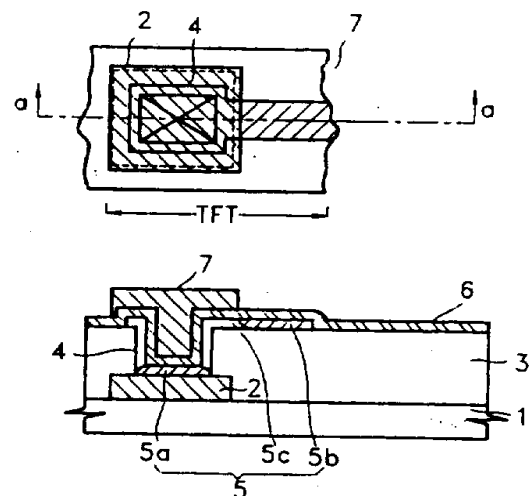
H01L 21 / 336 G11C 11 / 40

权利要求书 4 页 说明书 7 页 附图页数 2 页

[54]发明名称 用于半导体存储器件的薄膜晶体管及其
制造方法

[57]摘要

用于半导体存储器件的 TFT，包括第一绝缘层 1 上形成的第一导电层 2、覆盖在其上的第二绝缘层 3，第二绝缘层内形成的开口 4，在开口 4 中暴露第一导电层的表面及在第二绝缘层 3 上预定部分表面形成半导体层 5，覆盖在半导体层 5 上的薄栅极绝缘层 6，在其上形成第二导电层 7，在半导体层 5 之第一部分内形成的第一杂质区，在半导体层 5 之第二部分内形成的第二杂质区，和在半导体层 5 内第一与第二杂质区间所确定的沟道区 5c。



权 利 要 求 书

1. 一种用于半导体存储器件的 TFT, 其特征在于包括:

第一导电层 2, 它在第一绝缘层 1 上形成并用第一导电型杂质掺杂;

第二绝缘层 3, 它^所覆盖在所^说第一导电层 2 上;

一个开口 4, 它在所说的第一导电层 2 上的第二绝缘层 3 内形成;

一个半导体层 5, 它在暴露于所说的开口 4 内的所说的第一导电层 2 的表面和所说的第二绝缘层 3 的预定部分的表面上形成;

一个薄栅极绝缘层 6, 它^所覆盖在所^说的半导体层 5 上;

第二导电层 7, 它在所说的开口 4 里面及其周围的薄栅极绝缘层 6 上形成;

第一杂质区, 它在与所说开口 4 底部的第一导电层 2 接触的所说半导体层 5 的第一部分内形成, 并用第一导电型杂质掺杂;

第二杂质区, 它在所说第二绝缘层 3 上的半导体层 5 的第二部分内形成, 并用第一导电型杂质掺杂; 以及

一个沟道区 5c, 它处在所说的半导体层 5 内的第一与第二杂质区之间。

2. 如权利要求 1 所说的一种用于半导体存储器件的 TFT, 其特征在于所说的沟道区 5c 的大小由所说开口 4 的直径或深度来

决定。

3. 如权利要求 1 所说的一种用于半导体存储器件的 TFT, 其特征在于所说的第一导电型杂质为 P 型。

4. 如权利要求 1 所说的一种用于半导体存储器件的 TFT, 其特征在于所说的第一杂质区的杂质自所说的第一导电层 2 向上扩散。

5. 一种用于半导体存储器件的 TFT 的制造方法, 其特征在于包括以下步骤:

在第一绝缘层 1 上形成用第一导电型杂质掺杂的第一导电层 2;

用第二绝缘层 3 覆盖所说的第一导电层 2;

在所说的第一导电层 2 上的第二绝缘层 3 内形成一个开口 4;

在暴露于所说开口 4 内的第一导电层 2 的表面和所说第二绝缘层 3 的预定部分的表面上形成一个半导体层 5;

用薄栅极绝缘层 6 覆盖所说的半导体层 5, 并同时通过向上扩散所说第一导电层 2 内的杂质, 在与所说暴露的第一导电层 2 接触的半导体层 5 的第一部分内形成第一杂质区;

在所说的开口 4 里面和周围的薄栅极绝缘层 6 上形成第二导电层 7; 以及

通过掺杂工艺在所说半导体层 5 的第二部分形成第二杂质区, 它不盖所说第二绝缘层 3 上的第二导电层 7。

6. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法, 其特征在于所说的第一导电层 2 为掺有 P 型杂质的

多晶硅。

7. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说的第一导电层 2 为掺有 P 型杂质的非晶硅。

8. 如权利要求 5 所说的一种用于半导体存储器件 TFT 的制造方法,其特征在於所说第一导电层 2 的杂质浓度为 $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 。

9. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说的第二绝缘层 3 的厚度为 2,000 至 $10,000\text{\AA}$ 。

10. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说的开口 4 的直径为 $0.2 \sim 0.8\mu\text{m}$ 。

11. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说的半导体层 5 为 100 至 $1,500\text{\AA}$ 厚,并由非晶硅制成。

12. 如权利要求 5 所说的一种用于半导体存储器件 TFT 的制造方法,其特征在於所说的栅极绝缘层 6 的厚度为 100 至 $1,000\text{\AA}$ 。

13. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说的第二导电层 7 为掺有 n 型杂质的多晶硅。

14. 如权利要求 5 所说的一种用于半导体存储器件的 TFT 的制造方法,其特征在於所说半导体层 5 中的杂质区的杂质浓度为 $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$ 。

15. 如权利要求 5 所说的一种用于半导体存储器件的 *TFT* 的制造方法,其特征在於所说的第二导电层 7 为掺有 *P* 型杂质的多晶硅。

16. 如权利要求 5 所说的一种用于半导体存储器件的 *TFT* 的制造方法,其特征在於所说的第二导电层 7 为非晶硅。

17. 如权利要求 5 所说的一种用于半导体存储器件的 *TFT* 的制造方法,其特征在於所说的掺杂过程是用所说的第二导电层 7 作为掩模进行离子注入。

18. 如权利要求 5 所说的一种用于半导体存储器件的 *TFT* 的制造方法,其特征在於所说的掺杂过程是用一个预定的光致抗蚀剂图形作为掩模进行离子注入。

说 明 书

用于半导体存储器件的薄膜晶体管及其制造方法

本发明涉及一种用于半导体存储器件的薄膜晶体管(TFT)及其制造方法,特别是涉及具有六晶体管存储单元结构和一个静态随机存储器(SRAM)的PMOS TFT晶体管及其制造方法。

由于近来对SRAM的需要不断增长和DRAM价格的不稳定,半导体存储器件制造商曾做出努力,利用动态随机存储器件(DRAM)批量生产线来增加静态随机存储器(SRAM)的产量。对SRAM需求的不断增长是因为它们具有独一无二的特性,如高速、低功耗、无刷新要求以及简化的系统设计,还由于向多功能、高质量、小型化和重量轻系统发展的趋势。然而,由于SRAM具有比DRAM复杂的单元结构,SRAM的密度落后了一代。

目前的SRAM分为四晶体管和六晶体管存储单元结构。四晶体管型在容量方面领先,它由一个NMOS型存储单元和CMOS型外围电路组成,NMOS型存储单元有一个多晶硅作为高阻负载。由于芯片尺寸的原因,最初生产的是256Kb SRAM,没有考虑具有全CMOS结构的低功耗SRAM。因此,最近采用一种叠层型TFT来

降低功耗，并保持和传统的四晶体管型(《VLSI 技术论文集》1990年版，第 19 至 24 页)芯片同样大小，这样叠层型 TFT 将高阻多晶硅负载改为 PMOS。

不过，传统 TFT 的源极、漏极和沟道区都以二维平面结构来排列，占用了很大的面积。相应地，二维结构的 TFT 影响了 SRAM 的高密度和大容量。

本发明的目的是提供用于半导体存储器件的一种三维 TFT。

本发明的另一个目的是提供制造上述 TFT 最适宜的方法。

为了达到本发明的第一个目的，这里提供了一种 TFT，包括：

第一导电层，它在第一绝缘层上形成并用第一导电型杂质掺杂；

第二绝缘层，它^覆盖在第一导电层上；

一个开口，它在第一导电层上的第二绝缘层内形成；

一个半导体层，它在暴露于开口内的第一导电层的表面和第二绝缘层的预定部分的表面上形成；

一个薄栅极绝缘层，它^覆盖在半导体层上；

第二导电层，它在开口里面和周围的薄栅极绝缘层上形成；

第一杂质区，它在与开口底部的掺杂有第一导电型杂质的第一导电层接触的半导体层的第一部分内形成；

第二杂质区，它在第二绝缘层上的半导体层的第二部分内形成，并用第一导电型杂质掺杂；以及

一个沟道区,它处在半导体层内的第一与第二杂质层之间。

为了达到本发明的另一个目的,根据本发明的 TFT 通过以下步骤制造:

在第一绝缘层上形成用第一导电型杂质掺杂的第一导电层;

用第二绝缘层~~覆盖~~^{覆盖}第一导电层;

在第一导电层上的第二绝缘层内形成一个开口;

在暴露于开口内的第一导电层的表面和第二绝缘层的预定部分的表面上形成一个半导体层;

用薄栅极绝缘层~~覆盖~~^{覆盖}半导体并同时通过第一导电层内杂质的向上扩散,在与暴露的第一导电层接触的半导体层的第一部分内形成第一杂质区;

在开口里面和周围的薄栅极绝缘层上形成第二导电层;以及

通过掺杂工艺在半导体层的第二部分形成第二杂质区,它不盖第二绝缘层上的第二导电层。

通过参照附图来详细说明本发明的一个最佳实施例,本发明的上述目的以及其它优点就会更加明显,这些图是;

图 1A 为用于半导体存储器件的一个传统的 TFT 的平面布局图;

图 1B 为沿图 1A 所示 $a-a$ 线所取的 TFT 的剖面图;

图 2A 为本发明的用于半导体存储器件的 TFT 的平面布局图;

图 2B 为沿图 2A 所示 $a-a$ 线所取的 TFT 的剖面图;

图 3A 至 3E 展示了本发明的用于半导体存储器件的 TFT 的制造过程。

在说明本发明的实施例前,应先说明一下用于传统的半导体存储器件的 TFT。

参照图 1A 和 1B,传统上,在第一绝缘层 1 上形成多晶硅的第一导电层 2 的一个图形,作为 PMOS TFT 的一个漏极接点,然后形成第二绝缘层 3。在第二绝缘层 3 上形成一个开口,即一个通过口或接触口 4 之后,淀积上非晶硅半导体层 5,然后按图形加工。在半导体层 5 上形成 TFT 栅极绝缘层 6 之后,在栅极绝缘层 6 上淀积多晶硅第二导电层 7,然后按图形加工。这样,就形成了 TFT 的一个栅极电极,与在第二绝缘层 3 上一个预定区域内的半导体层 5 重叠。接着,在半导体层 5 没有被第二导电层 7 重叠的那部分离子注入或离子射入 P 型杂质,自我调整,从而形成 PMOS TFT 的源极和漏极区 5a 和 5b。源极和漏极区 5a 和 5b 之间的半导体层作为 PMOS TFT 的一个沟道区 5c。这样,由于为在一个二维平面上形成作为一个传统 SRAM 负载的 PMOS TFT,就应分配一个预定区域,它阻碍了 SRAM 实现高密度和大容量。

因此,在本发明中,为了减小 SRAM 的 PMOS TFT 所占的面积,使用了三维结构。图 2A 为根据本发明的一个三维 TFT 的平面布局图,图 2B 为沿图 2A 中 a-a 线所取的一个剖面图。本发明与先有技术的区别在于在 PMOS TFT 的漏极接触孔内壁上形成

的半导体层用作沟道区 5c,在接触孔 4 底部形成的半导体层用作源极区 5a。作为栅极的第二导电层 7 形成的图形还复盖接触孔。并且,通过 P 型杂质向上扩散来形成源极区 5a,即在第一导电层 2 内置入的第一导电杂质作为源极接点。根据上述结构,PMOS TFT 的沟道大小可以调整至接触孔的直径或深度。因此,与传统的 PMOS TFT 所占的面积相比,面积减小了约 40%,而且布线的自由度也大大改善了。

根据本发明的 TFT 最佳实施例的制造方法由图 3A 至 3E 所示的步骤组成。

参照图 3A,在一个半导体基片(未示出)上平面化的第一绝缘层 1 上淀积 500 至 2,000 $\text{\AA}$ 厚的第一导电层 2(例如,多晶硅或非晶硅)。然后,离子注入或射入 P 型杂质,浓度为 $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$,接着,用普通的光刻法形成第一导电层 2 的图形。

参照图 3B,在第一导电层 2 的图形上形成 2,000 至 10,000 $\text{\AA}$ 厚的第二绝缘层 3。接着,用普通的光刻法在第一导电层 2 上的第二绝缘层 3 内形成一个直径为 0.2 至 0.8 μm 的接触孔,将第一导电层 2 暴露出来。

参照图 3C,在其中形成了接触孔 4 的第二绝缘层 3 上淀积 100 至 1,000 $\text{\AA}$ 厚的非晶硅半导体层 5,然后用普通的光刻法形成半导体层 5 的图形。接着,用化学汽相淀积法在半导体层 5 上作为氧化物层涂敷上同样厚度(100 到 1,000 $\text{\AA}$)的栅极绝缘层 6,此时,P 型杂质

自第一导电层 2 向上扩散至半导体层 5, 这样, 在半导体层 5 内形成一个 P 型杂质区, 即源极区 5a. 并与第一导电层 2 相接触。

参照图 3D, 在栅极绝缘层 6 上淀积 500 至 2,000Å 厚的第二导电层 7 (例如, 多晶硅或非晶硅), 然后, 将 n 型或 P 型杂质掺入第二导电层 7, 浓度为 $1 \times 10^{14} \sim 1 \times 10^{16}/\text{cm}^2$, 用普通的光刻法形成第二导电层 7 的图形, 作为栅极电极。在去除用以形成第二导电层 7 图形的光致抗蚀剂 8 之前, 向半导体层 5 未被第二导电层 7 重叠的那部分离子注入或射入 P 型杂质, 浓度为 $1 \times 10^{13} \sim 5 \times 10^{15}/\text{cm}^2$, 从而形成一个 P 型杂质区, 即漏极区 5b。否则, 会如图 3D—1 所示, 在光致抗蚀剂 8 去除后, 形成光致抗蚀剂 8a, 然后在其内形成一个开口 8b。然后, 通过开口 8b, 在半导体层 5 的预定区域内形成 P 型杂质区 5b'。

参照图 3e, 去除光致抗蚀剂 (8 或 8a) 后, PMOS TFT 就完成了。上述 PMOS TFT 的沟道区 5c 是作为接触孔 4 内壁上形成的半导体层和作为未因第二导电层 7 的图形而注入 P 型杂质的半导体层来提供的。

如上所述, 本发明有一个非晶硅 PMOS TFT 负载的 SRAM 的, 通过重叠 PMOS TFT 的源极接触区和作为栅极的第二导电层, 接触孔边壁上的半导体层可用作沟道区以形成三维 TFT, 这样减少了 TFT 所占用的面积, 从而提高了 SRAM 的密度和容量以及布线的自由度。

尽管参照最佳实施例来具体地展示和说明了本发明,但本领域的技术人员应懂得,在不背离权利要求书所规定的本发明的精神和范围的前提下,可以对其在形式上和细节上做各种不同的改变。

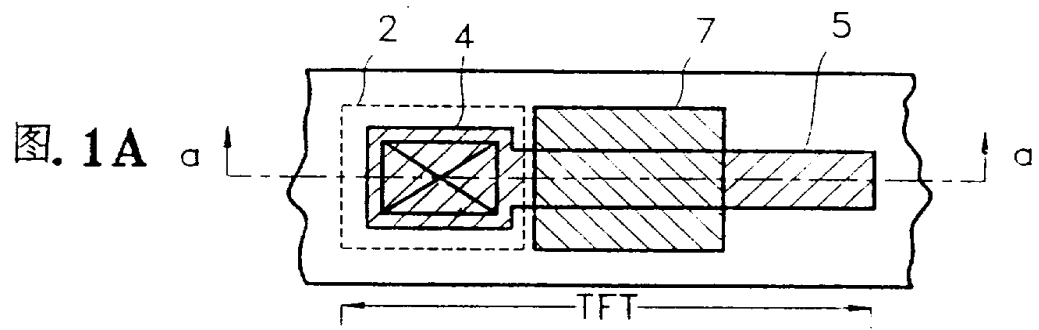


图. 1B

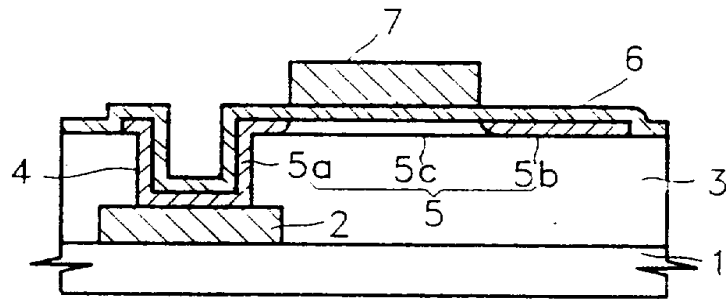


图. 2A

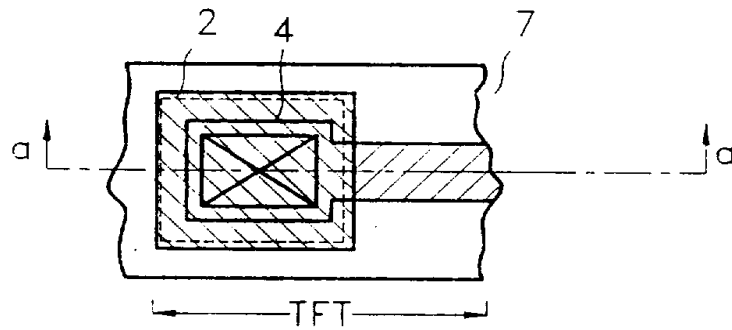


图. 2B

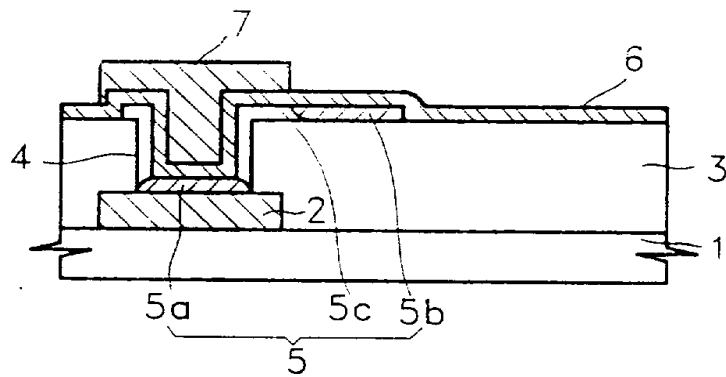


图. 3A

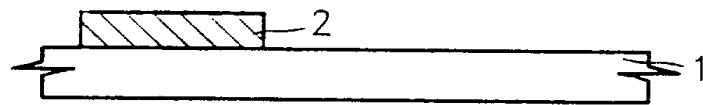


图. 3B

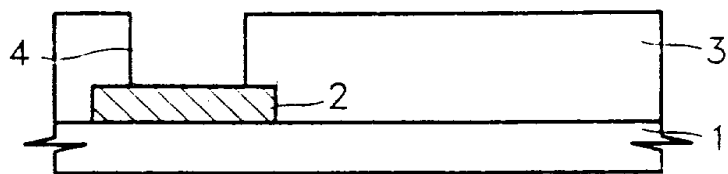


图. 3C

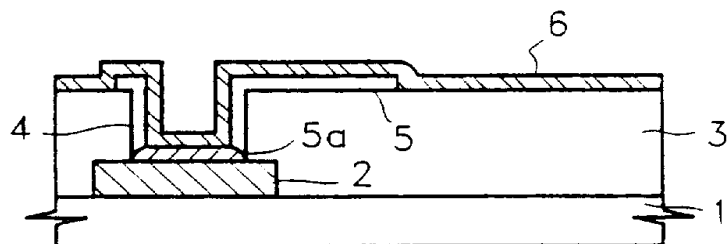


图. 3D

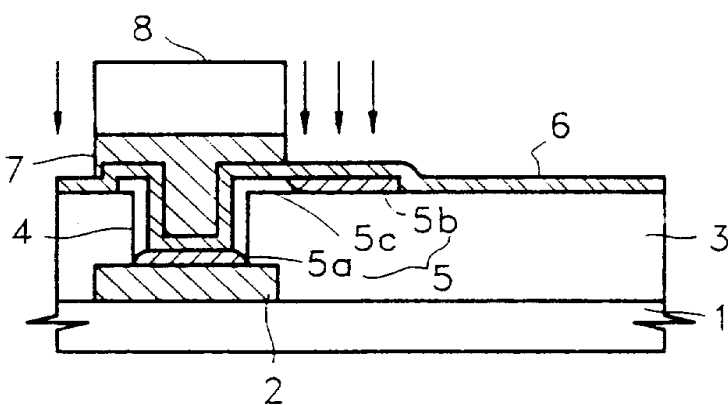


图. 3D-1

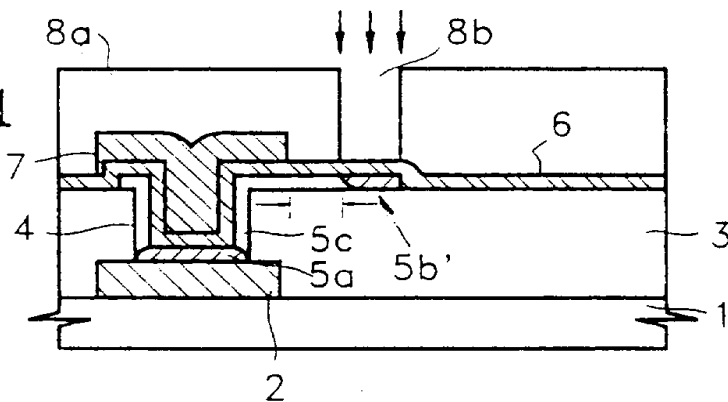


图. 3E

