

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97150262

※ 申請日期： 97.12.23

※IPC 分類：H01L 27/092 (2006.01)

H01L 21/8238 (2006.01)

H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

具有深溝結構之半導體裝置

SEMICONDUCTOR DEVICE WITH DEEP TRENCH STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商美格納半導體有限公司

MAGNACHIP SEMICONDUCTOR, LTD.

代表人：(中文/英文)

許炎

HUH, YOUM

住居所或營業所地址：(中文/英文)

大韓民國忠清北道清州市興德區香亭洞1

1 HYANGJEONG-DONG, HEUNGDUK-GU, CHEONGJU-SI,

CHUNGCHONGBUK-DO, 361-725, REPUBLIC OF KOREA

國 籍：(中文/英文)

韓國 REPUBLIC OF KOREA

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 金度亨
KIM, DO HYUNG
2. 林龍奎
LIM, YONG GYU

國 籍：(中文/英文)

1. 韓國 REPUBLIC OF KOREA
2. 韓國 REPUBLIC OF KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2007年12月28日；10-2007-0140352

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有深溝結構之半導體裝置且更特定言之係關於一種具有用於在一高操作電壓下彼此有效地絕緣相鄰元件之重摻雜井之深溝結構的半導體裝置。

【先前技術】

隨著具有各種功能之積體電路因為半導體電路之高整合度而共存於相同產品內，要求一多電壓/電流驅動高電壓電晶體。

一薄膜電晶體-液晶顯示器(TFT-LCD)包括一驅動電路與一控制電路。該控制電路具有在5 V下操作的一邏輯電路且該驅動電路具有在高於30 V下操作的一高電壓電晶體，並因而無法使用一標準互補金氧半導體(CMOS)程序來製造TFT-LCD。另外，當將一高電壓裝置製程應用於TFT-LCD時，該控制電路之功率消耗與TFT-LCD之大小會增加。

為了解決該些問題，提出一種添加一遮罩程序與一離子植入程序至一1.2 μm 邏輯製程以容易地控制電壓及電流位準而不改變邏輯元件之特性的方法。

同時，一習知高電壓裝置運用深井以便耐受一高電壓。在此情況下，難以在高電壓元件之一操作電壓增加時令相鄰井彼此絕緣。

參考圖1，在具有一高電壓井HNW形成於其內的一基板內形成漂移區域1並在其上形成一閘極氧化物2與一閘極電極3。源極及汲極區域5係分別形成於漂移區域1內，具有

閘極電極3形成於其間，且塊體離子植入區域6係形成於高電壓井HNW內。該等源極及汲極區域5係分別依據一窄絕緣層4來與該等塊體離子植入區域6絕緣。

此處，儘管該等源極及汲極區域5可分別使用窄絕緣層4來與塊體離子植入區域6絕緣，但仍應形成一寬絕緣層7以便絕緣高電壓井HNW，因為絕緣層7在具有一高操作電壓之一高電壓裝置內具有一淺溝結構，如圖1中所解說。此增加該高電壓裝置之大小，並因而該高電壓裝置不適用於一驅動IC。

即，該高電壓裝置之大小增加引起裝置成本增加及整合度劣化，並因而該高電壓裝置不適用於用作一驅動IC，因為目前裝置要求一較小大小、高整合度及低成本。

【發明內容】

據此，已鑑於在先前技術中所出現之上述問題來形成本發明，且本發明之一主要目的係提供一種具有一深溝結構之半導體裝置及其製造方法用於形成具有深於井之一溝結構之一絕緣層並使用具有一淺溝結構之一絕緣層來絕緣源極及汲極區域形成漂移區域以令要求一高操作電壓之PMOS及NMOS區域之井有效地彼此絕緣。

為了實現本發明之以上目的，依據本發明，提供一種具有一深溝結構之半導體裝置，其包括一半導體基板，其中形成一第一導電類型井與一第二導電類型井，該第二導電類型井具有與該第一導電類型井之導電性質相反的導電性質；一閘極氧化物膜與一閘極電極，其係層壓於該第一導

電類型井與該第二導電類型井之每一者上；第二導電類型漂移區域，其係形成於在該第一導電類型井上所形成的該閘極電極之兩側上；第一導電類型漂移區域，其係形成於在該第二導電類型井上所形成的該閘極電極之兩側上；及一第一絕緣層，其具有深於該等第一及第二導電類型井之一溝結構並令該第一導電類型井與該第二導電類型井彼此絕緣。

該具有一深溝結構之該半導體裝置進一步包括第一導電類型源極及汲極區域，其係分別形成於該等第一導電類型漂移區域內，具有該閘極電極形成於其間；第二導電類型源極及汲極區域，其係分別形成於該第二導電類型漂移區域內，具有該閘極電極形成於其間；第二導電類型塊體離子植入區域，其係分別緊密接近在該第一導電類型井內的該等第一導電類型源極及汲極區域而形成；第一導電類型塊體離子植入區域，其係分別緊密接近在該第二導電類型井內的該等第二導電類型源極及汲極區域而形成；及一第二絕緣層，其具有淺於該第一絕緣層之一溝結構並電絕緣該等第一及第二導電類型源極及汲極區域之每一者與該等第一及第二導電類型塊體離子植入區域之每一者。

該第一導電類型可能對應於一N型而該第二導電類型可能對應於一P型。

為了實現本發明之以上目的，依據本發明，提供一種製造具有一深溝結構之一半導體裝置之方法，其包括以下步驟：在一半導體基板內形成具有一深溝結構之一第一絕緣

層以將一NMOS區域與一PMOS區域彼此絕緣；在該NMOS區域內形成淺於該第一絕緣層之一P井並在該PMOS區域內形成淺於該第一絕緣層之一N井；在該P井內形成N型漂移區域並在該N井內形成P型漂移區域；及在該NMOS區域與該PMOS區域之每一者內形成一閘極氧化物與一閘極電極。

製造具有一深溝結構之一半導體裝置之該方法進一步包含以下步驟：在該等漂移區域之每一者之邊緣上形成一第二絕緣層，其具有淺於該第一絕緣層之一溝結構；分別在該等漂移區域內形成源極及汲極區域；及形成塊體離子植入區域，其依據該第二絕緣層與該等源極及汲極區域絕緣。

本發明在一高操作電壓下使用具有一深溝結構之一絕緣層來絕緣重摻雜井以便高度整合具有該等井之一半導體裝置並降低該半導體裝置之大小以減少其成本。

【實施方式】

圖2係解說依據本發明之一具體實施例具有一深溝結構之一半導體裝置之一高電壓區域之一斷面圖而圖3係解說具有圖2中所解說之一深溝結構之半導體裝置之一低電壓區域之一斷面圖。將省略該低電壓區域之詳細解釋。

參考圖2，一半導體基板10係依據具有一深溝結構之一第一絕緣層16來劃分成一PMOS區域與一NMOS區域並分別在該PMOS區域與該NMOS區域內形成相反導電類型的一N井HNW與一P井HPW。一閘極氧化物膜20a與一閘極電

極 22a 係層壓於該 N 井 HNW 上且一閘極氧化物膜 20b 與一閘極電極 22b 係層壓於該 P 井 HPW 上。

摻雜具有與該 N 井 HNW 相反之導電性質之離子的 P 型漂移區域 P Drift 係在該 N 井 HNW 內分別形成於閘極電極 22a 之兩側上且摻雜具有與該 P 井 HPW 相反之導電性質之離子的 N 型漂移區域 N Drift 係在該 P 井 HPW 內分別形成於閘極電極 22b 之兩側上。

P 型源極及汲極區域 30a 及 32a 係分別形成於該等 P 型漂移區域 P Drift 內，具有閘極電極 22a 形成於其間。N 型源極及汲極區域 30b 及 32b 係分別形成於該等 N 型漂移區域 N Drift 內，具有閘極電極 22b 形成於其間。

明確而言，P 型源極區域 30a 係形成於在該 PMOS 區域之閘極電極 22a 之一側處所形成之 P 型漂移區域 P Drift 內且 P 型汲極區域 32a 係形成於在閘極電極 22a 之另一側處所形成之 P 型漂移區域 P Drift 內。此外，N 型汲極區域 32b 係形成於在該 NMOS 區域之閘極電極 22b 之一側處所形成之 N 型漂移區域 N Drift 內且 N 型源極區域 30b 係形成於在閘極電極 22b 之另一側處所形成之 N 型漂移區域 N Drift 內。

淺於第一絕緣層 16 之一第二絕緣層 18 係形成於每一漂移區域之邊緣上。此處，第一絕緣層 16 具有在 3 至 6 μm 之範圍內的一深度與在 0.4 至 1.3 μm 之範圍內的一寬度且第二絕緣層 18 具有在 0.7 至 1.5 μm 之範圍內的一深度與在 0.3 至 1.0 μm 之範圍內的一寬度。

塊體離子植入區域 40a 及 40b 係分別形成於該 N 井 HNW 與

該 P 井 HPW 內並依據第二絕緣層 18 來與該等源極及汲極區域 30a 及 32a 與該等源極及汲極區域 30b 及 32b 絕緣。此處，該等塊體離子植入區域 40a 及 40b 係用於拾取該 N 井 HNW 與該 P 井 HPW 並分別摻雜具有與該 N 井 HNW 與該 P 井 HPW 之該等導電性質相同之導電性質的離子。

如上所說明，本發明形成具有深於該等井 HNW 及 HPW 之一溝結構的絕緣層 16 以有效地彼此電絕緣該等井 HNW 與 HPW 以便降低該半導體裝置之大小並改良要求一高操作電壓之半導體裝置之整合度。

圖 4a 至 4e 係解說依據本發明之一具體實施例之一種製造具有一深溝結構之一半導體裝置之方法的斷面圖。

參考圖 4a，將一襯墊氧化物膜 12 與一襯墊氮化物膜 14 循序形成於一半導體基板 10 上並接著循序蝕刻襯墊氮化物膜 14 與襯墊氧化物膜 12 以定義一絕緣區域。

參考圖 4b，使用襯墊氮化物膜 14 作為一硬遮罩來蝕刻半導體基板 10 至一預定深度以形成一深溝。形成一預定絕緣程序以埋入該深溝並平坦化該深溝以便形成一第一絕緣層 16，其具有在 3 至 6 μm 之範圍內的一深度與在 0.4 至 1.3 μm 之範圍內的一寬度，由此將一 NMOS 區域與一 PMOS 區域彼此絕緣。

更明確而言，移除襯墊氮化物膜 14，並接著透過乾式氧化在 900 至 1200 $^{\circ}\text{C}$ 之範圍內的一溫度(較佳的係 1050 $^{\circ}\text{C}$)下在該深溝之內壁上形成一側壁氧化物膜(未顯示)，其具有在 100 至 300 \AA 之範圍內的一厚度(較佳的係 200 \AA)。接著將一

HLD氧化物層(未顯示)形成在1500至2500 Å之範圍的一厚度(較佳的係2000 Å)，然後執行一多晶矽間隙填充程序與一回蝕濕式氧化程序。隨後，在900至1100°C之範圍內的一溫度(較佳的係1000°C)下，透過濕式氧化來形成一氧化物膜，其具有在1000至2000 Å之範圍內的一厚度(較佳的係1500 Å)。

淺於第一絕緣層16的一N井HNW與一P井HPW係分別形成於依據第一絕緣層16來彼此絕緣的該PMOS區域與該NMOS區域內。

明確而言，該NMOS區域係使用一光阻圖案來遮罩並離子植入高濃度N型雜質以在該PMOS區域內形成該N井HNW。該PMOS區域係使用一光阻圖案來遮罩並離子植入高濃度P型雜質以在該NMOS區域內形成該P井HPW。

參考圖4c，P型漂移區域P Drift與N型漂移區域N Drift係分別形成於該N井HNW與該P井HPW內，並接著執行熱處理以擴散植入至該等P型漂移區域P Drift與該等N型漂移區域N Drift內的離子。

明確而言，僅該N井HNW之表面之預定部分係使用一光阻圖案來加以曝露且P型雜質離子係輕摻雜至該N井HNW內以形成該等P型漂移區域P Drift內。此外，僅該P井HPW之表面之預定部分係使用一光阻圖案來加以曝露且N型雜質離子係輕摻雜至該P井HPW內以形成該等N型漂移區域N Drift內。

隨後，透過光微影術在該等P型及N型漂移區域之每一

者之邊緣上形成一第二絕緣層18，其具有在0.7至1.5 μm 之範圍內的一深度與在0.3至1.0 μm 之範圍內的一寬度並淺於第一絕緣層16。

此處，第二絕緣層18係使用一習知絕緣程序來形成，包括使用一硬遮罩之一蝕刻程序、形成一側壁氧化物之一程序、形成一襯套氧化物之一程序、形成一緩衝氧化物之一程序、形成HLD及HDP氧化物膜之一程序、一化學機械拋光程序及一HLD退火程序。

參考圖4d，將一氧化物層與一多晶矽層形成於半導體基板10上並實施光微影術以在該PMOS區域內形成一閘極氧化物膜20a與一閘極電極22a並在該NMOS區域內形成一閘極氧化物膜20b與一閘極電極22b。

參考圖4e，將源極及汲極區域30a及32a分別形成於在閘極電極22a之兩側上所形成之該等P型漂移區域P Drift內並將源極及汲極區域30b及32b分別形成於在閘極電極22b之兩側上所形成之該等N型漂移區域N Drift內。

明確而言，P型雜質離子係重植入至該PMOS區域之該等P型漂移區域P Drift內以形成彼此分開一預定距離定位的該等源極及汲極區域30a及32a，具有閘極電極22a形成於其間。此外，N型雜質離子係重植入至該NMOS區域之該等N型漂移區域N Drift內以形成彼此分開一預定距離定位的該等源極及汲極區域30b及32b，具有閘極電極22b形成於其間。

隨後，分別在該N井HNW與該P井HPW內形成依據第二

絕緣層 18 與該等源極及汲極區域 30a 及 32a 絕緣之塊體離子植入區域 40a 與依據第二絕緣層 18 與該等源極及汲極區域 30b 及 32b 絕緣之塊體離子植入區域 40b。

其後，執行一習知絕緣層形成程序、一金屬程序及一互連程序。

圖 5 係解說依據本發明之一具體實施例之具有該深溝結構之半導體裝置之一 PMOS 之一電流-電壓 (I-V) 曲線的一圖表。

參考圖 5，依據本發明之具有該深溝結構之半導體裝置可在 20 V 的一閘極電壓 (VG) 下操作並具有極佳飽和電流特性。此係因為在該 N 井 HNW 與該 P 井 HPW 之間形成該深溝並因而有效地絕緣該 PMOS 與該 NMOS 且該半導體裝置可耐受一崩潰電壓。

雖然已參考該等特定解說性具體實施例來說明本發明，但其不受該等具體實施例限制而僅受隨附申請專利範圍限制。應瞭解，習知此項技術者可變更或修改該等具體實施例而不脫離本發明之範疇及精神。

【圖式簡單說明】

結合該等附圖，根據本發明之該等較佳具體實施例之以上詳細說明，已明白本發明之以上及其他目的、特徵及優點，其中：

圖 1 係解說一習知半導體裝置之一高電壓區域的一斷面圖；

圖 2 係解說依據本發明之一具體實施例具有一深溝結構

之一半導體裝置之一高電壓區域之一斷面圖；

圖3係解說依據本發明之一具體實施例具有一深溝結構之半導體裝置之一低電壓區域之一斷面圖；

圖4a至4e係解說依據本發明之一具體實施例之一種製造具有一深溝結構之一半導體裝置之方法的斷面圖；以及

圖5係解說依據本發明之一具體實施例之具有一深溝結構之半導體裝置之一PMOS之一電流-電壓(I-V)曲線的一圖表。

【主要元件符號說明】

1	漂移區域
2	閘極氧化物
3	閘極電極
4	窄絕緣層
5	源極及汲極區域
6	塊體離子植入區域
7	寬絕緣層
10	半導體基板
12	襯墊氧化物膜
14	襯墊氮化物膜
16	第一絕緣層
18	第二絕緣層
20a	閘極氧化物膜
20b	閘極氧化物膜
22a	閘極電極

22b	閘極電極
30a	P型源極及汲極區域
30b	N型源極及汲極區域
32a	P型源極及汲極區域
32b	N型源極及汲極區域
40a	塊體離子植入區域
40b	塊體離子植入區域
HNW	高電壓井/N井
HPW	P井
N Drift	N型漂移區域
P Drift	P型漂移區域

五、中文發明摘要：

本發明揭示一種具有用於在一高操作電壓下令相鄰元件有效地彼此絕緣之重摻雜井之一深溝結構的半導體裝置。具有一深溝結構之該半導體裝置包括一半導體基板，其中形成一第一導電類型井與一第二導電類型井，該第二導電類型井具有與該第一導電類型井之導電性質相反的導電性質；一閘極氧化物膜與一閘極電極，其係層壓於該第一導電類型井與該第二導電類型井之每一者上；第二導電類型漂移區域，其係形成於在該第一導電類型井上所形成的該閘極電極之兩側上；第一導電類型漂移區域，其係形成於在該第二導電類型井上所形成的該閘極電極之兩側上；及一第一絕緣層，其具有深於該等第一及第二導電類型井之一溝結構並令該第一導電類型井與該第二導電類型井彼此絕緣。

六、英文發明摘要：

Disclosed herein is a semiconductor device with a deep trench structure for effectively isolating heavily doped wells of neighboring elements from each other at a high operating voltage. The semiconductor device with a deep trench structure includes a semiconductor substrate in which a first conductivity type well and a second conductivity type well having conductivity opposite

to that of the first conductivity type well are formed, a gate oxide film and a gate electrode laminated on each of the first conductivity type well and the second conductivity type well, second conductivity type drift regions formed on both sides of the gate electrode formed on the first conductivity type well, first conductivity type drift regions formed on both sides of the gate electrode formed on the second conductivity type well, and a first isolation layer having a trench structure deeper than the first and second conductivity type wells and isolating the first conductivity type well and the second conductivity type well from each other.

十、申請專利範圍：

1. 一種具有一深溝結構之半導體裝置，其包含：

一半導體基板，其中形成一第一導電類型井與一第二導電類型井，該第二導電類型井具有與該第一導電類型井之導電性質相反的導電性質；

一閘極氧化物膜與一閘極電極，其係層壓於該第一導電類型井與該第二導電類型井之每一者上；

第二導電類型漂移區域，其係形成於在該第一導電類型井上所形成之該閘極電極之兩側上；

第一導電類型漂移區域，其係形成於在該第二導電類型井上所形成之該閘極電極之兩側上；以及

一第一絕緣層，其具有深於該等第一及第二導電類型井之一溝結構並令該第一導電類型井與該第二導電類型井彼此絕緣。

2. 如請求項1之半導體裝置，其進一步包含：

第一導電類型源極及汲極區域，其係分別形成於該等第一導電類型漂移區域內，具有該閘極電極形成於其間；

第二導電類型源極及汲極區域，其係分別形成於該等第二導電類型漂移區域內，具有該閘極電極形成於其間；

第二導電類型塊體離子植入區域，其係分別緊密接近在該第一導電類型井內的該等第一導電類型源極及汲極區域而形成；

第一導電類型塊體離子植入區域，其係分別緊密接近在該第二導電類型井內的該等第二導電類型源極及汲極區域而形成；以及

一第二絕緣層，其具有淺於該第一絕緣層之一溝結構並電絕緣該等第一及第二導電類型源極及汲極區域之每一者與該等第一及第二導電類型塊體離子植入區域之每一者。

3. 如請求項1或2之半導體裝置，其中該第一導電類型對應於N型而該第二導電類型對應於P型。
4. 如請求項2之半導體裝置，其中該第一絕緣層具有在3至6 μm 之範圍內的一深度與在0.4至1.3 μm 之該範圍內的一寬度。
5. 如請求項2之半導體裝置，其中該第二絕緣層具有在0.7至1.5 μm 之該範圍內的一深度與在0.3至1.0 μm 之該範圍內的一寬度。
6. 一種製造具有一深溝結構之一半導體裝置之方法，其包含以下步驟：

在一半導體基板內形成具有一深溝結構之一第一絕緣層以將一NMOS區域與一PMOS區域彼此絕緣；

在該NMOS區域內形成淺於該第一絕緣層之一P井並在該PMOS區域內形成淺於該第一絕緣層之一N井；

在該P井內形成N型漂移區域並在該N井內形成P型漂移區域；以及

在該NMOS區域與該PMOS區域之每一者內形成一閘極

氧化物與一閘極電極。

7. 如請求項6之方法，其進一步包含以下步驟：

在該等漂移區域之每一者之邊緣上形成一第二絕緣層，其具有淺於該第一絕緣層之一溝結構；

分別在該等漂移區域內形成源極及汲極區域；以及

形成塊體離子植入區域，其依據該第二絕緣層與該等源極及汲極區域絕緣。

8. 如請求項6或7之方法，其中該第一導電類型對應於N型而該第二導電類型對應於P型。

9. 如請求項6之方法，其中該第一絕緣層具有在3至6 μm 之該範圍內的一深度與在0.4至1.3 μm 之該範圍內的一寬度。

10. 如請求項7之方法，其中該第二絕緣層具有在0.7至1.5 μm 之該範圍內的一深度與在0.3至1.0 μm 之該範圍內的一寬度。

十一、圖式：

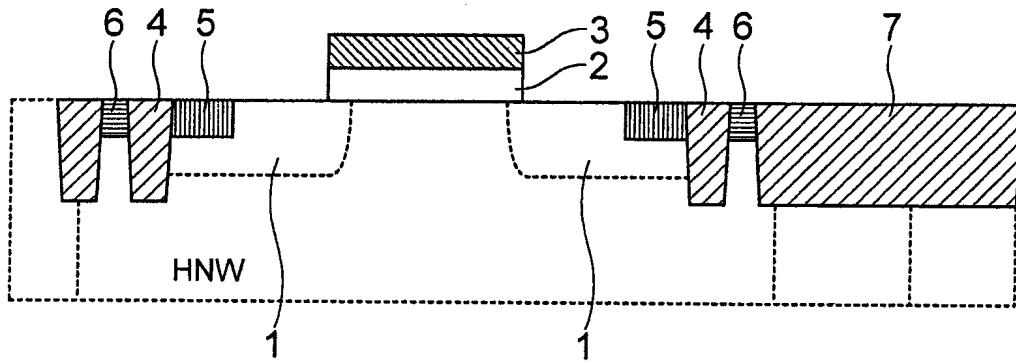


圖 1

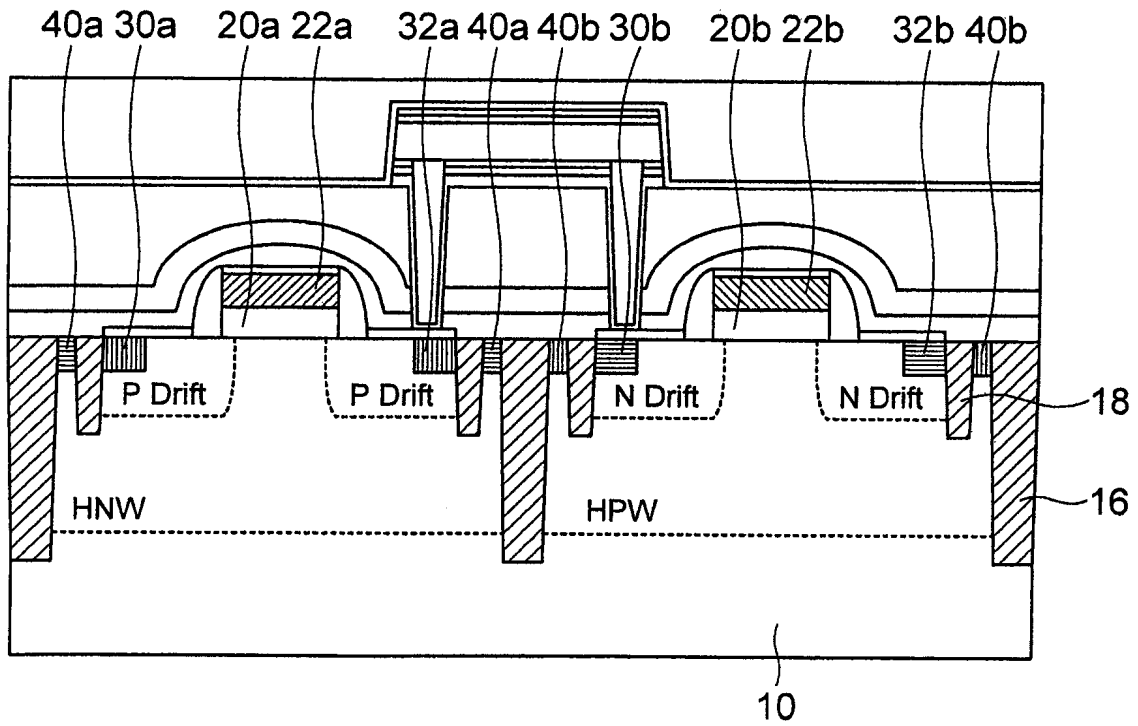


圖 2

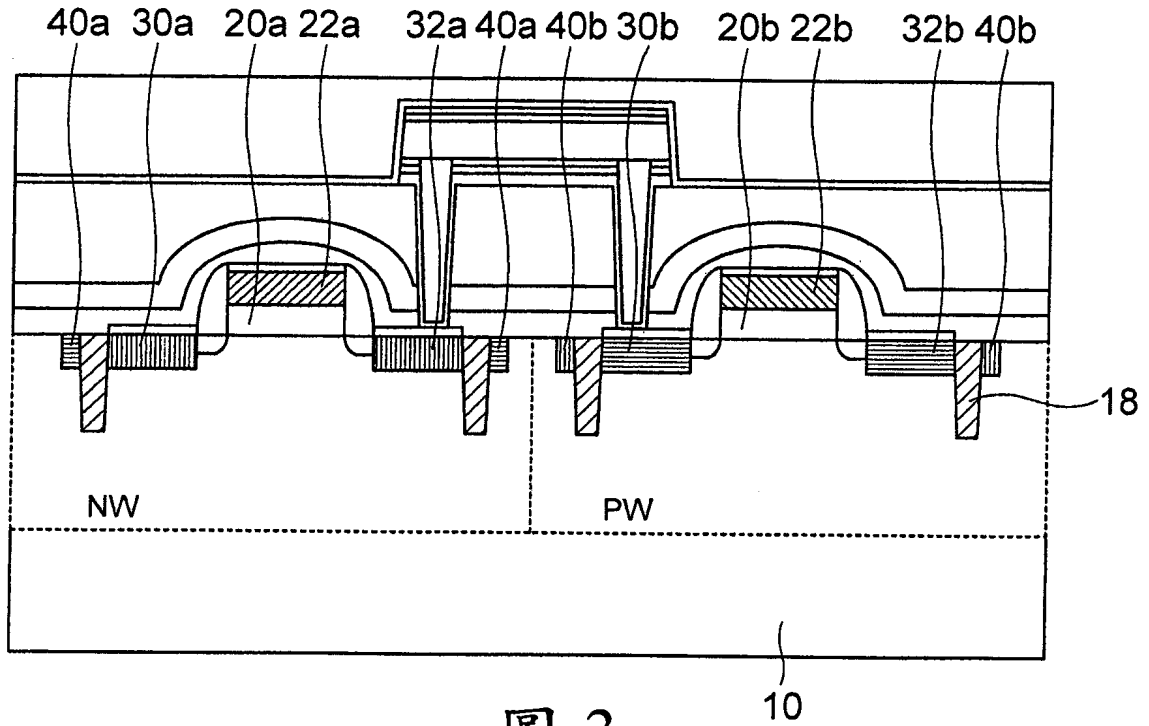


圖 3

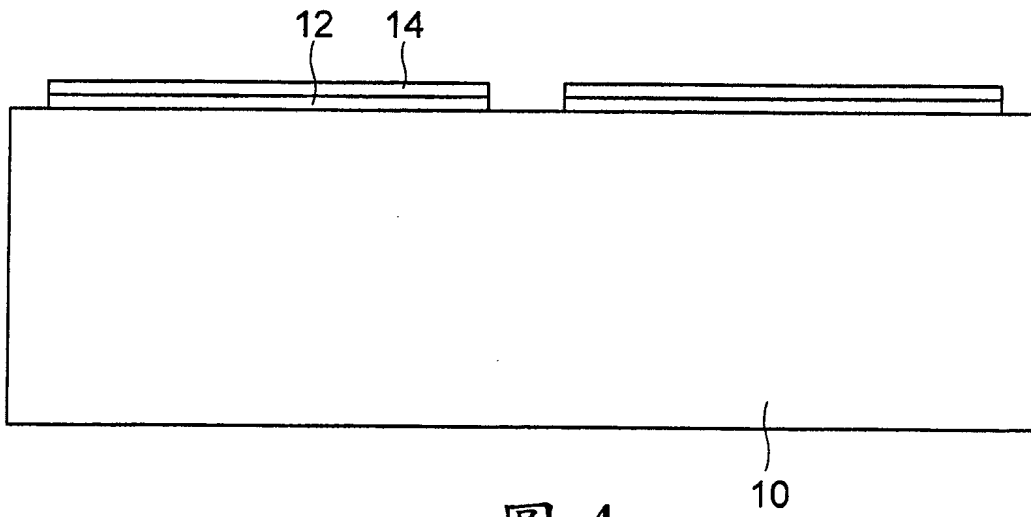


圖 4a

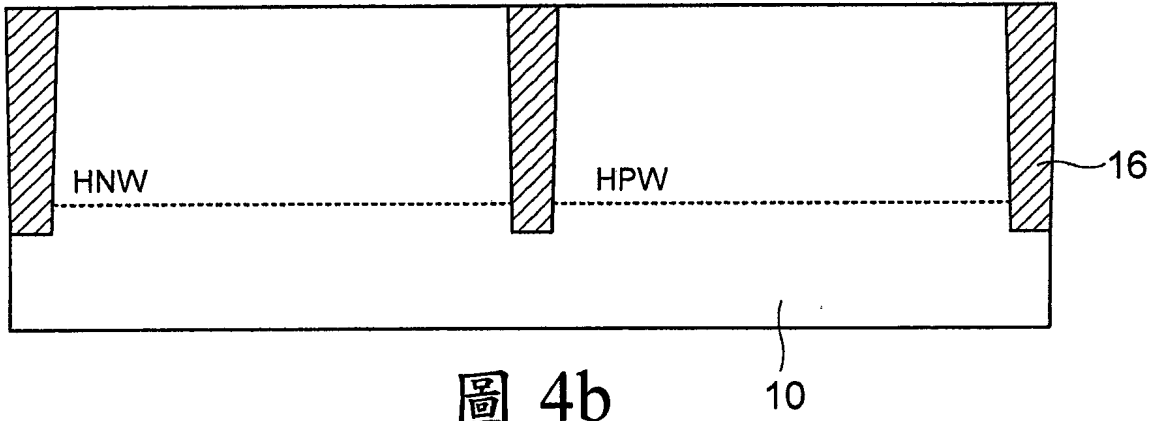


圖 4b

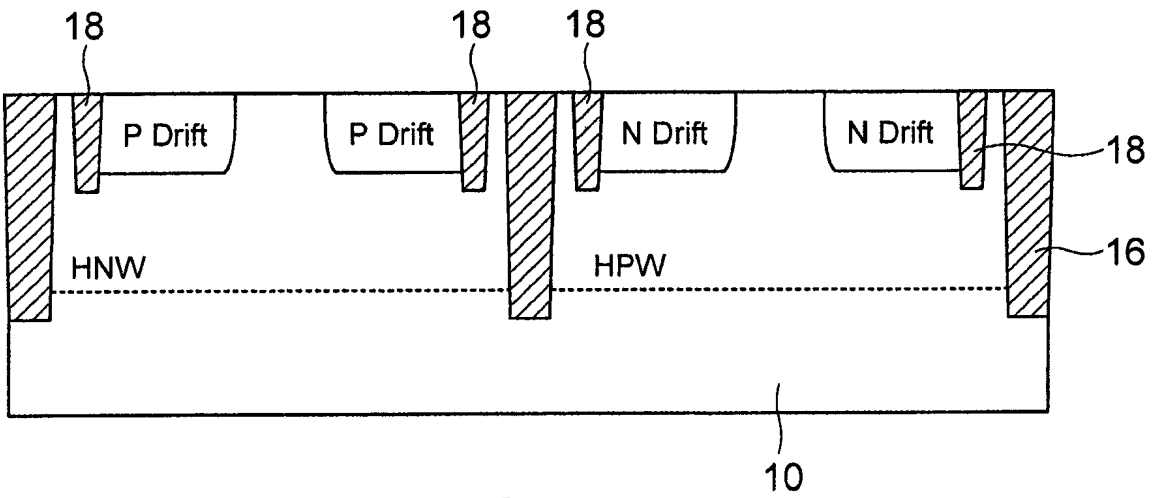


圖 4c

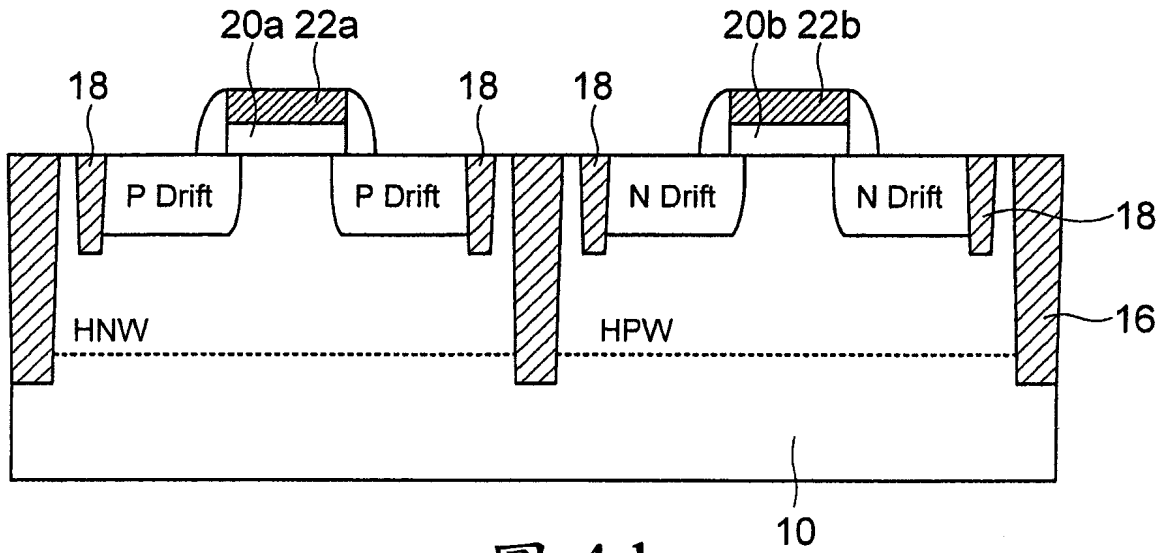


圖 4d

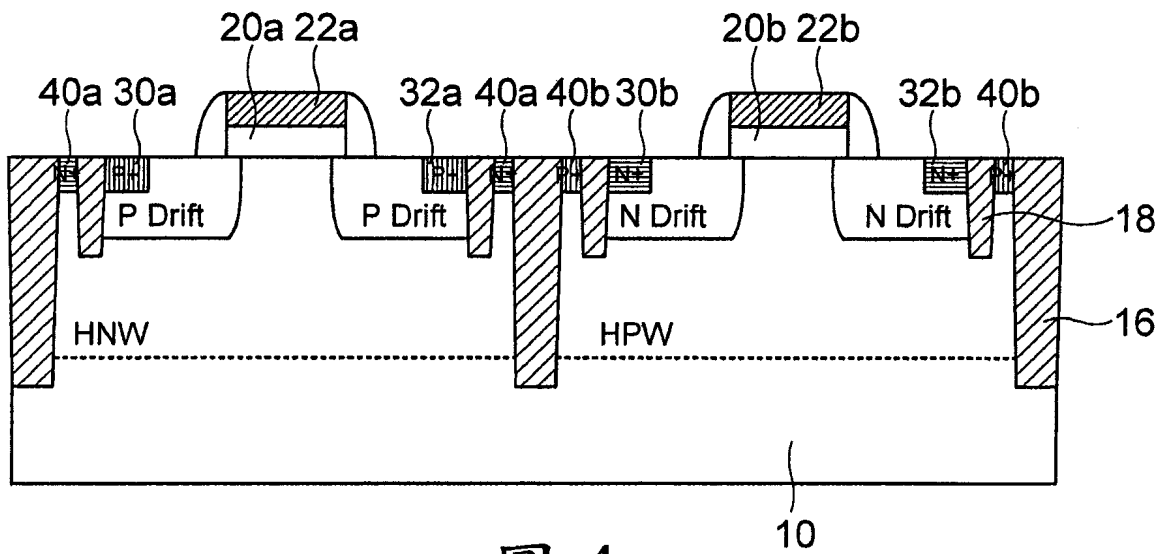


圖 4e

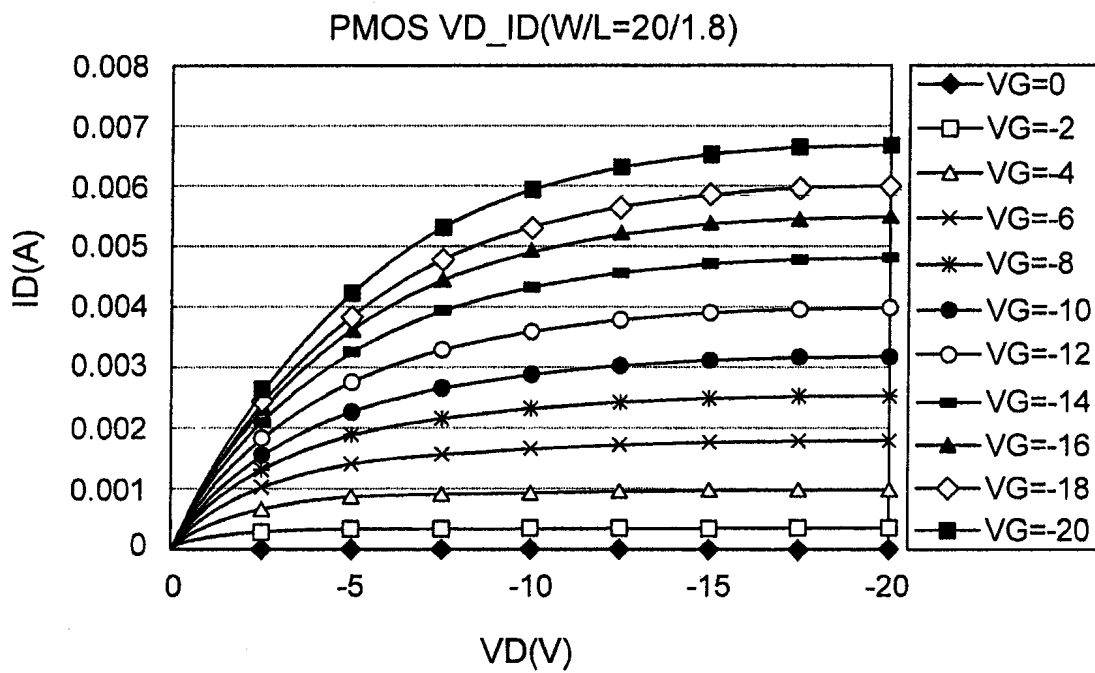


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

10	半導體基板
16	第一絕緣層
18	第二絕緣層
20a	閘極氧化物膜
20b	閘極氧化物膜
22a	閘極電極
22b	閘極電極
30a	P型源極及汲極區域
30b	N型源極及汲極區域
32a	P型源極及汲極區域
32b	N型源極及汲極區域
40a	塊體離子植入區域
40b	塊體離子植入區域
HNW	高電壓井/N井
HPW	P井
N Drift	N型漂移區域
P Drift	P型漂移區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)