



(12) 发明专利

(10) 授权公告号 CN 101794214 B

(45) 授权公告日 2013. 11. 20

(21) 申请号 200910004886. 6

(22) 申请日 2009. 02. 04

(73) 专利权人 世意法(北京)半导体研发有限责任公司

地址 100080 北京市北四环西路9号银谷大厦12B层

(72) 发明人 朱鹏飞 孙红霞 吴永强

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 王茂华 唐文静

(51) Int. Cl.

G06F 9/38(2006. 01)

(56) 对比文件

CN 101169710 A, 2008. 04. 30, 全文.

US 6240507 B1, 2001. 05. 29, 全文.

CN 101158893 A, 2008. 04. 09, 全文.

EP 1237072 A1, 2002. 09. 04, 全文.

CN 1581069 A, 2005. 02. 16, 全文.

US 2008/0016324 A1, 2008. 01. 17, 全文.

审查员 杨春雨

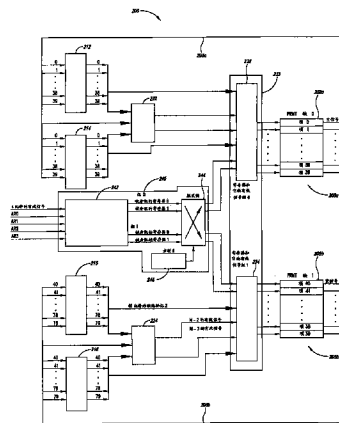
权利要求书10页 说明书16页 附图16页

(54) 发明名称

使用多块物理寄存器映射表的寄存器重命名系统及其方法

(57) 摘要

本发明提供了使用多块物理寄存器映射表的寄存器重命名系统及其方法。提供了使用物理寄存器映射表的多块实现的处理器架构的多个实施例。将架构寄存器关联到物理寄存器的寄存器重命名系统包括物理寄存器映射表和重命名逻辑。物理寄存器映射表具有多个项,每个项指示相应的物理寄存器的状态。映射表具有多个非重叠段,其中每个段都具有映射表的相应的项。重命名逻辑被耦合用以并行地搜索映射表的多个段,以识别指示相应的物理寄存器具有第一状态的项。重命名逻辑选择性地将多个架构寄存器中的每个关联到相应的被识别为处于第一状态的物理寄存器。本发明还提供了使用物理寄存器映射表的多块实现的方法。



1. 一种将架构寄存器关联到物理寄存器的寄存器重命名系统,包括:

多个寄存器块,用以存储具有多个项的物理寄存器映射表,所述映射表中的每个项均指示相应的物理寄存器的状态,所述映射表具有多个非重叠段,其中每个段均具有相应的映射表项;以及

耦合到所述多个寄存器块的重命名逻辑,所述重命名逻辑用以并行地搜索所述映射表的多个段,以识别每个均指示相应的物理寄存器处于第一状态的项,所述重命名逻辑还用以选择性地将多个架构寄存器中的每个关联到相应的被识别为处于所述第一状态的物理寄存器。

2. 根据权利要求1所述的寄存器重命名系统,其中所述多个寄存器块中的每个寄存器块储存所述映射表中的相应段并且每个寄存器块中的每个寄存器储存所述映射表的相应段中的相应项。

3. 根据权利要求2所述的寄存器重命名系统,其中所述重命名逻辑包括搜索逻辑,所述搜索逻辑用以搜索所述多个寄存器块以识别其中所储存的指示相应的物理寄存器处于所述第一状态的项,所述搜索逻辑用以同时按第一方向和与所述第一方向不同的第二方向搜索每个所述寄存器块。

4. 根据权利要求2所述的寄存器重命名系统,其中所述重命名逻辑包括映射逻辑,所述映射逻辑用以接收多个架构寄存器标识符,其中每个架构寄存器标识符代表相应的一个架构寄存器,以及用以选择性地将每个所述架构寄存器标识符关联到指示相应的物理寄存器处于所述第一状态的相应的映射表项。

5. 根据权利要求4所述的寄存器重命名系统,其中所述映射逻辑选择性地将每个架构寄存器标识符记录在指示相应的物理寄存器处于所述第一状态的相应的映射表项中。

6. 根据权利要求5所述的寄存器重命名系统,其中所述映射逻辑将记录相应的架构寄存器标识符的映射表项的状态从所述第一状态改变成不同于所述第一状态的另一状态。

7. 根据权利要求4所述的寄存器重命名系统,其中所述映射逻辑对架构寄存器标识符到所述映射表的每个段中的项的关联进行均衡。

8. 根据权利要求7所述的寄存器重命名系统,其中所述映射逻辑基于先前关联到所述映射表的每个段中的项的架构寄存器标识符的相应数量,调整要关联到所述映射表的每个段中的项的架构寄存器标识符的相应数量。

9. 根据权利要求3所述的寄存器重命名系统,其中所述搜索逻辑被耦合到映射逻辑以提供多个标记信号,其中每个所述标记信号指示所述寄存器块中的相应的寄存器中是否储存有指示相应的物理寄存器处于所述第一状态的相应项。

10. 根据权利要求4所述的寄存器重命名系统,其中所述映射逻辑将所述架构寄存器标识符分组成多组架构寄存器标识符,其中所述映射逻辑在第一轮关联中将每组架构寄存器标识符关联到所述映射表的相应段中的项,并且其中所述映射逻辑基于在所述第一轮关联中关联到所述映射表的每个段中的项的架构寄存器标识符的相应数量,在所述第一轮关联之后的第二轮关联中将每组架构寄存器标识符关联到所述映射表的不同段中的项。

11. 一种处理器中的寄存器重命名系统,包括:

第一寄存器块,所述第一寄存器块中的每个寄存器用以储存物理寄存器映射表的第一段中的相应项,所述第一段的所述相应项指示相应的物理寄存器的多个状态之一;

第二寄存器块,所述第二寄存器块中的每个寄存器用以储存物理寄存器映射表的第二段中的相应项,所述第二段的所述相应项指示相应的物理寄存器的多个状态之一;

搜索逻辑,其被耦合到所述第一寄存器块和第二寄存器块用以并行地搜索所述第一寄存器块和所述第二寄存器块,以便识别所述第一寄存器块和第二寄存器块中所储存的相应的映射表项指示相应的物理寄存器处于第一状态的寄存器。

12. 根据权利要求 11 所述的寄存器重命名系统,其中所述搜索逻辑同时按第一方向和不同于所述第一方向的第二方向搜索所述第一寄存器块以及同时按所述第一方向和所述第二方向搜索所述第二寄存器块,以识别具有指示相应的物理寄存器处于所述第一状态的相应项的寄存器。

13. 根据权利要求 11 所述的寄存器重命名系统,还包括:

分配逻辑,其用以接收多个架构寄存器标识符并且将其分组成第一组和第二组架构寄存器标识符,其中每个架构寄存器标识符均代表相应的架构寄存器,所述分配逻辑用于按所述第一组和所述第二组架构寄存器标识符来提供所述架构寄存器标识符,其中所接收的每个架构寄存器标识符或者在所述第一组中或者在所述第二组中。

14. 根据权利要求 13 所述的寄存器重命名系统,还包括:

配置逻辑,其耦合到所述第一寄存器块和第二寄存器块、所述搜索逻辑以及所述分配逻辑,所述配置逻辑用以从所述分配逻辑接收所述第一组和第二组架构寄存器标识符,所述配置逻辑用以选择性地将每个所述架构寄存器标识符关联到所述第一寄存器块和第二寄存器块中的相应项。

15. 根据权利要求 14 所述的寄存器重命名系统,其中所述搜索逻辑提供多个标记信号给所述配置逻辑,所述信号中的每个均具有第一值或者第二值,所述第一值指示相应的物理寄存器具有所述第一状态,所述第二值指示相应的物理寄存器具有不同于所述第一状态的另一状态。

16. 根据权利要求 15 所述的寄存器重命名系统,其中所述配置逻辑从所述搜索逻辑接收所述标记信号,并且其中所述配置逻辑将每个所述架构寄存器标识符储存在所述第一或第二寄存器块中相应的标记信号具有第一值的寄存器中,以将相应的架构寄存器关联到相应的物理寄存器。

17. 根据权利要求 14 所述的寄存器重命名系统,其中所述配置逻辑将所述第一组中的每个架构寄存器标识符关联到所述第一寄存器块中的相应的项,并且还将所述第二组中的每个架构寄存器标识符关联到所述第二寄存器块中的相应的项。

18. 根据权利要求 17 所述的寄存器重命名系统,其中如果在前一轮关联中关联到所述第一寄存器块中的项的架构寄存器标识符的数目不等于关联到所述第二寄存器块中的项的架构寄存器标识符的数目,则所述配置逻辑将所述第一组中的每个架构寄存器标识符关联到所述第二寄存器块中的相应的项,并且还将所述第二组中的每个架构寄存器标识符关联到所述第一寄存器块中的相应的项。

19. 根据权利要求 14 所述的寄存器重命名系统,其中所述搜索逻辑确定被识别为具有指示相应的物理寄存器处于所述第一状态的相应的映射表项的寄存器的数量,并且将针对每个已识别的寄存器的相应的有效信号提供给所述配置逻辑。

20. 根据权利要求 19 所述的寄存器重命名系统,其中针对所述第一寄存器块和第二寄

寄存器块中的每个块,所述配置逻辑接收相应的第一架构寄存器标识符和相应的第二架构寄存器标识符,并且如果仅有一个储存在相应的寄存器块中的项被识别为指示相应的物理寄存器处于所述第一状态,则确定所接收到的第一架构寄存器标识符和第二架构寄存器标识符中哪一个将被关联。

21. 一种将架构寄存器关联到物理寄存器的寄存器重命名系统,包括:

第一寄存器块,其用以储存物理寄存器映射表的第一部分,所述第一寄存器块中的每个寄存器用以储存所述映射表的所述第一部分中的相应项;

第二寄存器块,其用以储存所述物理寄存器映射表的第二部分,所述第二寄存器块中的每个寄存器用以储存所述映射表的所述第二部分中的相应项;

第一检查逻辑,其被耦合到所述第一寄存器块,用以在第一时钟周期中从所述第一寄存器块的第一端朝着所述第一寄存器块的与所述第一端相对的第二端来搜索所述第一寄存器块中的寄存器,以识别所述映射表的所述第一部分中的均指示相应的物理寄存器为空的项;

第二检查逻辑,其被耦合到所述第一寄存器块,用以在所述第一时钟周期中从所述第一寄存器块的第二端朝着所述第一寄存器块的第一端来搜索所述第一寄存器块中的寄存器,以识别所述映射表的所述第一部分中的均指示相应的物理寄存器为空的项;

第三检查逻辑,其被耦合到所述第二寄存器块,用以在所述第一时钟周期中从所述第二寄存器块的第一端朝着所述第二寄存器块的与所述第一端相对的第二端来搜索所述第二寄存器块中的寄存器,以识别所述映射表的第二部分中的均指示相应的物理寄存器为空的项;以及

第四检查逻辑,其被耦合到所述第二寄存器块,用以在所述第一时钟周期中从所述第二寄存器块的第二端朝着所述第二寄存器块的第一端来搜索所述第二寄存器块中的寄存器,以识别所述映射表的第二部分中的均指示相应的物理寄存器为空的项。

22. 根据权利要求 21 所述的寄存器重命名系统,其中所述第一检查逻辑和所述第二检查逻辑中的每个均接收第一组多个标记信号,所述第一组多个标记信号中的每个标记信号指示与所述映射表的第一部分中的相应项相关联的相应的物理寄存器是否为空,并且其中所述第三和第四检查逻辑中的每个均接收第二组多个标记信号,所述第二组标记信号中的每个标记信号指示与所述映射表的第二部分中的相应项相关联的相应的物理寄存器是否为空。

23. 根据权利要求 21 所述的寄存器重命名系统,其中所述第一检查逻辑和所述第二检查逻辑中的每个均提供相应的多个结果信号,其中每个结果信号均指示针对所述映射表的第一部分中的相应项的搜索结果,其中所述第一检查逻辑选择指示相应的物理寄存器为空的项中的第一项,其中所述第二检查逻辑选择指示相应的物理寄存器为空的项中的第二项,其中由所述第一检查逻辑所提供的对应于所选择的第一项的结果信号被设置成第一值而由所述第一检查逻辑所提供的其他结果信号被设置成第二值,其中由所述第二检查逻辑所提供的对应于所选择的第二项的结果信号被设置成所述第一值而由所述第二检查逻辑所提供的其他结果信号被设置成所述第二值。

24. 根据权利要求 23 所述的寄存器重命名系统,还包括:

第一配置逻辑,其被耦合到所述第一寄存器块、所述第一检查逻辑和所述第二检查逻辑

辑,所述第一配置逻辑用以从所述第一检查逻辑和所述第二检查逻辑接收所述结果信号,所述第一配置逻辑用以接收第一组架构寄存器标识符并且将所接收的每个架构寄存器标识符储存在所述第一寄存器块中的储存着所述映射表的第一部分中的每个均指示相应的物理寄存器为空的项的那些寄存器中;以及

第二配置逻辑,其被耦合到所述第二寄存器块、所述第三检查逻辑和所述第四检查逻辑,所述第二配置逻辑用以接收第二组架构寄存器标识符并且将所接收的每个架构寄存器标识符储存在所述第二寄存器块中的储存着所述映射表的第二部分中的每个均指示相应的物理寄存器为空的项的那些寄存器中。

25. 根据权利要求 24 所述的寄存器重命名系统,还包括:

分配逻辑,其被耦合到所述第一配置逻辑和第二配置逻辑,所述分配逻辑用以接收多个架构寄存器标识符,其中每个架构寄存器标识符均标识相应的要重命名的架构寄存器,将所接收的每个架构寄存器标识符分组到所述第一组架构寄存器标识符和所述第二组架构寄存器标识符中,并且分别将所述第一组架构寄存器标识符和第二组架构寄存器标识符提供给所述第一配置逻辑和第二配置逻辑。

26. 根据权利要求 25 所述的寄存器重命名系统,其中所述分配逻辑基于在前一时钟周期中提供给所述第一配置逻辑和第二配置逻辑中的每个的架构寄存器标识符的数目,均衡在给定时钟周期中提供给所述第一配置逻辑和第二配置逻辑中的每个的架构寄存器标识符的数目。

27. 根据权利要求 26 所述的寄存器重命名系统,其中所述分配逻辑包括:

块选择电路,其用以提供块选择信号以均衡提供给所述第一配置逻辑和第二配置逻辑中的每个的架构寄存器标识符的数目,所述块选择信号具有第一值或第二值;以及

组交换电路,其被耦合以从所述块选择电路接收所述块选择信号,所述组交换电路用以响应于所述块选择信号具有所述第一值而将所述第一组架构寄存器标识符提供给所述第一配置逻辑并将所述第二组架构寄存器标识符提供给所述第二配置逻辑,所述组交换电路用以响应于所述块选择信号具有所述第二值而将所述第一组架构寄存器标识符提供给所述第二配置逻辑并将所述第二组架构寄存器标识符提供给所述第一配置逻辑。

28. 根据权利要求 24 所述的寄存器重命名系统,还包括:

第一满检测器,其被耦合到所述第一检查逻辑和所述第二检查逻辑以及所述第一配置逻辑,所述第一满检测器用以提供第一有效信号和第二有效信号给所述第一配置逻辑,以指示所述映射表的第一部分中是零个、一个还是两个项指示着相应的物理寄存器为空;以及

第二满检测器,其被耦合到所述第三和第四检查逻辑以及所述第二配置逻辑,所述第二满检测器用以提供第三和第四有效信号给所述第二配置逻辑,以指示所述映射表的第二部分中是零个、一个还是两个项指示着相应的物理寄存器为空。

29. 根据权利要求 28 所述的寄存器重命名系统,其中所述第一配置逻辑包括多个第一配置电路,每个第一配置电路针对所述第一寄存器块中的相应的一个寄存器,每个第一配置电路接收来自所述第一检查逻辑的结果信号中的相应的一个结果信号和来自所述第二检查逻辑的结果信号中的相应的一个结果信号,每个第一配置电路还接收两个架构寄存器标识符。

30. 根据权利要求 29 所述的寄存器重命名系统,其中每个第一配置电路确定选择所述

两个架构寄存器标识符中的一个,并且响应于所接收的结果信号指示与第一寄存器块中的相应寄存器中所储存的映射表的第一部分中的相应项相关联的物理寄存器为空,将所选择的架构寄存器标识符储存在所述第一寄存器块中的相应寄存器中。

31. 一种处理器,包括:

多个寄存器块,用以存储具有多个项的物理寄存器映射表,所述映射表中的每个项都指示相应的物理寄存器的状态;

搜索逻辑,其被耦合用以并行地搜索所述映射表的多个段,以识别其中每个均指示着相应的物理寄存器处于第一状态的项,所述搜索逻辑搜索的映射表的每个段具有的相应的映射表项与所述搜索逻辑搜索的映射表的另外的段中的项互不相同;以及

映射逻辑,其被耦合到所述搜索逻辑,所述映射逻辑用以接收多个架构寄存器标识符,其中每个标识符均指示着相应的架构寄存器,所述映射逻辑用以将所接收的每个架构寄存器标识符映射到所述映射表的相应段中的指示着相应的物理表处于第一状态的相应项。

32. 根据权利要求 31 所述的处理器,其中所述多个寄存器块中的每个寄存器块都用以储存所述映射表的相应段以使所述寄存器块中的每个寄存器储存所述映射表的相应段中的相应项,其中所述搜索逻辑被耦合用于并行地搜索所述多个寄存器块,以搜索储存着指示相应的物理寄存器处于第一状态的映射表项的寄存器。

33. 根据权利要求 32 所述的处理器,其中所述搜索逻辑被耦合到所述寄存器块,并且同时从寄存器块的第一端朝着所述寄存器块的与所述第一端相对的第二端以及从所述寄存器块的第二端朝着所述寄存器块的第一端来搜索每个所述寄存器块,以搜索储存着指示相应的物理寄存器处于第一状态的映射表项的寄存器。

34. 根据权利要求 32 所述的处理器,其中所述搜索逻辑提供多个标记信号给所述映射逻辑,每个所述标记信号都指示针对所述寄存器块中的相应寄存器的搜索结果,每个具有第一值的标记信号用以指示所述相应寄存器所储存的相应的映射表项指示着相应的物理寄存器处于所述第一状态,每个具有第二值的标记信号用以指示所述相应寄存器所储存的相应的映射表项指示着相应的物理寄存器处于不同于所述第一状态的另一状态。

35. 根据权利要求 32 所述的处理器,其中所述搜索逻辑包括多个寄存器搜索逻辑,每个所述寄存器搜索逻辑被耦合到所述寄存器块中的一个相应寄存器块,以同时从所述寄存器块的第一端朝着所述寄存器块的与所述第一端相对的第二端以及从所述寄存器块的所述第二端朝着所述寄存器块的所述第一端搜索所述相应寄存器块中的寄存器,以便搜索储存着指示相应的物理寄存器处于所述第一状态的映射表项的寄存器。

36. 一种基于处理器的系统,包括:

输入设备;

输出设备;

数据存储设备;以及

处理器,其耦合到所述输入设备、所述输出设备以及所述数据存储设备,所述处理器包括:

多个寄存器块,每个寄存器块用以存储物理寄存器映射表中的一段,以在相应的寄存器块中的每个寄存器中存储所述映射表的相应项,每个项指示相应的物理寄存器的状态;

搜索逻辑,其被耦合到所述寄存器块,所述搜索逻辑用以同时搜索所述寄存器块中的

第一寄存器块和第二寄存器块,以识别所述第一寄存器块和所述第二寄存器块中所存储的相应项指示相应的物理寄存器处于第一状态的寄存器;以及

映射逻辑,其被耦合到所述寄存器块和所述搜索逻辑,所述映射逻辑用以接收多个架构寄存器标识符,其中每个架构寄存器标识符均标识相应的架构寄存器,所述映射逻辑用以将每个架构寄存器标识符映射到所述第一寄存器块和所述第二寄存器块中被识别为所存储的相应项指示相应的物理寄存器处于所述第一状态的相应的寄存器,以将每个架构寄存器关联到相应的物理寄存器。

37. 根据权利要求 36 所述的基于处理器的系统,其中所述搜索逻辑同时按第一方向和不同于所述第一方向的第二方向来搜索所述第一寄存器块和所述第二寄存器块中的至少一个块,以识别所述第一寄存器块中所存储的相应项指示相应的物理寄存器处于所述第一状态的寄存器。

38. 根据权利要求 37 所述的基于处理器的系统,其中所述处理器还包括:

分配逻辑,其被耦合到所述映射逻辑,所述分配逻辑用以接收所述架构寄存器标识符,将所述架构寄存器标识符配置到多个组,以及按组将架构寄存器标识符提供给所述映射逻辑。

39. 根据权利要求 38 所述的基于处理器的系统,其中所述映射逻辑在每轮关联中确定被映射到所述第一寄存器块和所述第二寄存器块中的每个块的架构寄存器标识符的数目,并且其中所述映射逻辑基于在前一轮关联中被映射到所述第一寄存器块和所述第二寄存器块中的每个块的架构寄存器标识符的数目,对在每轮关联中被映射到所述第一寄存器块和所述第二寄存器块中的每个块的架构寄存器标识符的数目进行均衡。

40. 根据权利要求 36 所述的基于处理器的系统,其中所述搜索逻辑接收针对寄存器块中的每个寄存器的空信号,其指示了与所述相应的寄存器中所存储的映射表的相应项相关联的物理寄存器的状态,并且其中所述搜索逻辑提供针对每个空信号的标记信号,以指示相应的物理寄存器的状态,所述标记信号具有第一值或第二值,所述第一值用以指示相应的物理寄存器处于所述第一状态,所述第二值用以指示相应的物理寄存器处于不同于所述第一状态的另一状态。

41. 一种在处理器中执行寄存器重命名的方法,所述方法包括:

同时搜索映射表的第一段和所述映射表的第二段,以识别所述映射表中的每个均指示相应的物理寄存器处于第一状态的项;以及

针对多个架构寄存器,将与每个所述架构寄存器相关的数据存储在被识别为处于所述第一状态的物理寄存器中的相应一个中,以将所述架构寄存器关联到被识别为处于所述第一状态的物理寄存器。

42. 根据权利要求 41 所述的方法,其中同时搜索映射表的第一段和所述映射表的第二段包括同时搜索存储在所述第一寄存器块中的所述映射表的第一段以及存储在所述第二寄存器块中的所述映射表的第二段。

43. 根据权利要求 42 所述的方法,其中同时搜索存储在所述第一寄存器块中的所述映射表的第一段和存储在所述第二寄存器块中的所述映射表的第二段,包括:

同时按第一方向和与所述第一方向不同的第二方向来搜索存储在所述第一寄存器块中的所述映射表的第一段;以及

同时按所述第一方向和所述第二方向来搜索存储在第二寄存器块中的所述映射表的第二段。

44. 根据权利要求 41 所述的方法,还包括:

在每轮关联中,基于在前一轮的关联中所述架构寄存器到被识别为处于所述第一状态的物理寄存器之一的关联,对所述架构寄存器到被识别为处于所述第一状态的物理寄存器的关联进行均衡。

45. 根据权利要求 44 所述的方法,其中在每轮关联中,基于在前一轮关联中所述架构寄存器到被识别为处于所述第一状态的物理寄存器之一的关联,对所述架构寄存器到被识别为处于所述第一状态的物理寄存器的关联进行均衡,包括:

针对每轮关联,确定被关联到与每段映射表相关的物理寄存器的架构寄存器的数量;以及

基于在前一轮关联中被关联到与每段映射表有关的物理寄存器的架构寄存器的数量,调节要被关联到与每段映射表项有关的物理寄存器的架构寄存器的数量。

46. 一种在处理器中执行寄存器重命名的方法,所述方法包括:

将物理寄存器映射表的项存储在多个寄存器块中,以使得相应数目的项被存储在所述寄存器块中的相应寄存器块中,所述项中的每个项指示着相应的物理寄存器的状态;

在第一时钟周期中,按第一方向以及不同于所述第一方向的第二方向来搜索所述寄存器块中的第一寄存器块,以识别其中每个都指示相应的物理寄存器处于第一状态的项;以及

将多个架构寄存器中的每个映射到相应的被识别为处于所述第一状态的物理寄存器。

47. 根据权利要求 46 所述的方法,还包括:

在所述第一时钟周期中,按所述第一方向以及所述第二方向搜索所述寄存器块中的不同于所述第一寄存器块的第二寄存器块,以识别其中每个都指示相应的物理寄存器处于所述第一状态的项。

48. 根据权利要求 46 所述的方法,其中将物理寄存器映射表中的项存储在多个寄存器块中以使得相应数目的项被存储在所述寄存器块中的相应寄存器块中包括:将所述物理寄存器映射表的项存储在所述第一寄存器块和第二寄存器块中,以使得所述物理寄存器映射表中的第一段的项被存储在所述第一寄存器块中并且所述物理寄存器映射表中的第二段的项被存储在所述第二寄存器块中。

49. 根据权利要求 48 所述的方法,其中在第一时钟周期中,按第一方向以及不同于所述第一方向的第二方向来搜索所述寄存器块中的第一寄存器块以识别其中每个都指示相应的物理寄存器处于第一状态的项,包括:在所述第一时钟周期中,按所述第一方向以及所述第二方向来搜索所述第一寄存器块和所述第二寄存器块中的每个块,以识别每个都指示相应的物理寄存器处于所述第一状态的项。

50. 根据权利要求 49 所述的方法,其中所述将多个架构寄存器中的每个映射到相应的被识别为处于所述第一状态的物理寄存器,包括:将第一架构寄存器映射到与被存储在所述第一寄存器块中的项之一相关联的物理寄存器,以及将第二架构寄存器映射到与被存储在所述第二寄存器块中的项之一相关联的物理寄存器。

51. 根据权利要求 46 所述的方法,其中将多个架构寄存器中的每个映射到相应的被识

别为处于所述第一状态的物理寄存器,包括:将其中每个都通过多个传输路径中的相应路径传输的多个架构寄存器标识符中的每个映射到与被识别为处于所述第一状态的物理寄存器相关联的相应的项。

52. 根据权利要求 51 所述的方法,其中将其中每个都通过多个传输路径中的相应路径传输的多个架构寄存器标识符中的每个映射到与被识别为处于所述第一状态的物理寄存器相关联的相应的项包括:

将在第一时钟周期之后的第二时钟周期中通过第一传输路径和第二传输路径传输的架构寄存器标识符映射到所述第一寄存器块中的处于所述第一状态的项;以及

将在第二时钟周期之后的第三时钟周期中通过所述第一传输路径和所述第二传输路径传输的架构寄存器标识符映射到所述第二寄存器块中的处于所述第一状态的项,

其中,响应于第一寄存器块中被识别为处于所述第一状态的项的数量不同于第二寄存器块中被识别为处于所述第一状态的项的数量,相应地调整所述第二时钟周期中或第三时钟周期中映射的架构寄存器标识符的数量。

53. 根据权利要求 46 所述的方法,其中在第一时钟周期中,按第一方向以及不同于所述第一方向的第二方向来搜索所述寄存器块中的第一寄存器块包括:在所述第一时钟周期中,从所述寄存器块中的第一寄存器块的第一端朝着所述寄存器块的与所述第一端相对的第二端进行搜索以及从所述寄存器块的所述第二端朝着所述寄存器块的所述第一端进行搜索。

54. 根据权利要求 46 所述的方法,还包括:

在搜索所述寄存器块中的第一寄存器块以识别处于所述第一状态的项之后,提供多个信号,其中每个信号都代表所述第一寄存器块中的相应寄存器,并且每个信号都具有指示相应寄存器处于所述第一状态的第一值或指示相应寄存器处于不同于所述第一状态的另一状态的第二值。

55. 根据权利要求 46 所述的方法,还包括:

在所述第一时钟周期中按所述第一方向和所述第二方向来搜索所述寄存器块中的第二寄存器块以识别其中每个都指示相应的物理寄存器处于所述第一状态的项,以及其中将所述多个架构寄存器中的每个映射到相应的被识别为处于所述第一状态的物理寄存器包括:将所述多个架构寄存器中的每个映射到与所述第一寄存器块或所述第二寄存器块中所存储的项相关联的物理寄存器。

56. 一种在处理器中执行寄存器重命名的方法,所述方法包括:

将物理寄存器映射表的第一段中的项存储在所述第一寄存器块中以及将所述物理寄存器映射表的第二段中的项存储在所述第二寄存器块中;

在第一时钟周期中,识别所述第一寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项;

在所述第一时钟周期中,识别所述第二寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项;

将要重命名的多个架构寄存器分组成第一组架构寄存器和第二组架构寄存器;

将所述架构寄存器组之一中的架构寄存器关联到所识别的与所述第一寄存器块中所存储的映射表的项相关联的空物理寄存器;以及

将所述另一架构寄存器组中的架构寄存器关联到所识别的与所述第二寄存器块中所存储的映射表的项相关联的空物理寄存器。

57. 根据权利要求 56 所述的方法,其中所述第一寄存器块和所述第二寄存器块均具有各自的第一端和与所述各自的第一端相对的各自的第二端,以及在第一时钟周期中识别所述第一寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项,包括:在所述第一时钟周期中通过同时从所述第一端朝着所述第二端进行搜索以及从所述第二端朝着所述第一端进行搜索来识别所述第一寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项。

58. 根据权利要求 57 所述的方法,其中在所述第一时钟周期中识别所述第二寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项,包括:在所述第一时钟周期中通过同时从所述第一端朝着所述第二端进行搜索以及从所述第二端朝着所述第一端进行搜索来识别所述第二寄存器块中的其中每个都指示相应的物理寄存器为空的物理寄存器映射表的项。

59. 根据权利要求 56 所述的方法,其中识别所述第一寄存器块中的物理寄存器映射表的项,包括:识别所述第一寄存器块中的多至两个物理寄存器映射表项,以及,其中识别所述第二寄存器块中的物理寄存器映射表的项包括:识别所述第二寄存器块中的多至两个物理寄存器映射表项。

60. 根据权利要求 59 所述的方法,其中将要重命名的多个架构寄存器分组成第一组架构寄存器和第二组架构寄存器,包括:将要重命名的四个架构寄存器分组成第一对架构寄存器和第二对架构寄存器。

61. 根据权利要求 60 所述的方法,其中将所述架构寄存器组之一中的架构寄存器关联到所识别的与所述第一寄存器块中所存储的映射表的项相关联的空物理寄存器,包括:将与所识别的所述第一寄存器块中的多至两个项相关联的物理寄存器与一对架构寄存器关联起来,并且其中将另一架构寄存器组中的架构寄存器关联到所识别的与所述第二寄存器块中所存储的映射表的项相关联的空物理寄存器,包括:将与所识别的所述第二寄存器块中的多至两个项相关联的物理寄存器与另一对架构寄存器关联。

62. 根据权利要求 56 所述的方法,其中将要重命名的多个架构寄存器分组成第一组架构寄存器和第二组架构寄存器,包括:将所述要重命名的多个架构寄存器按程序次序分组成第一组架构寄存器和第二组架构寄存器。

63. 根据权利要求 56 所述的方法,还包括:

对所述架构寄存器组到与所识别的所述第一寄存器块和所述第二寄存器块中的空项相关联的物理寄存器的关联进行均衡。

64. 根据权利要求 63 所述的方法,其中对所述架构寄存器组到与所识别的所述第一寄存器块和所述第二寄存器块中的空项相关联的物理寄存器的关联进行均衡,包括:响应于在前一时钟周期中所识别的与所述第一寄存器块中所存储的项相关联的空物理寄存器的数量以及与所述第二寄存器块中所存储的项相关联的空物理寄存器的数量,将每组架构寄存器关联到所识别的与所述第一或第二寄存器块中的项相关联的相应的空物理寄存器。

65. 根据权利要求 56 所述的方法,还包括:

将架构寄存器之一的标识符存储在与被识别为空的物理寄存器之一相关联的相应项

中;以及

设置将所述相应项的状态以指示相应的物理寄存器的状态为不同于空的状态。

使用多块物理寄存器映射表的寄存器重命名系统及其方法

技术领域

[0001] 本公开一般涉及处理器架构领域,并且更为特别地涉及超标量体系结构的处理器中的寄存器重命名。

背景技术

[0002] 一般而言,处理器是一种可以运行计算机程序以执行算术计算、数据置换等等的设备。微处理器是这样一种类型的处理器,其将处理器的大多数功能或所有功能都合并单个集成电路上。超标量体系结构的微处理器是通过同时将多个指令分派给处理器中的冗余的运行资源(也称为功能单元)而能够在时钟周期中运行不止一个指令的微处理器。当运行指令和微操作时,处理器通常从寄存器读取源操作数并将结果或目标操作数存储在寄存器中。寄存器是处理器内的临时存储单元,与其他地方的可用存储器相比,寄存器的内容可以被更快地访问,并且寄存器通常被用于保存供处理器使用的算术和其他结果。一个给定的寄存器可包含多个比特,例如8比特、16比特或32比特,并且可通过相应的寄存器标识符诸如寄存器号来进行访问。

[0003] 寄存器重命名是在超标量体系结构的处理器中用来允许并行运行指令的各种技术中的一种。因为处理器的程序指明的寄存器常常比硬件中能够实现的寄存器要少,所以给定的超标量体系结构的处理器实现常常具有比程序中所指明的寄存器数目更多的寄存器。在通常被称为寄存器重命名的阶段,某个程序所使用的多个通用架构寄存器被关联到或者被映射到该超标量体系结构的处理器中的多个物理寄存器。例如,在可以发出多至4条指令供并行执行的超标量体系结构的处理器中,物理寄存器文件中的多至四个空物理寄存器必须是可用的,以便允许在每个时钟周期多至4个架构寄存器可被重命名。

[0004] 相关联的架构寄存器与相应的物理寄存器之间的关系通常被记录在物理寄存器映射表(PRMT)的项中。PRMT中的每个项记录物理寄存器文件中的相应的物理寄存器的状态,例如相应的物理寄存器是否是空(并且因此是否可用于存储相关联的架构寄存器的数据)。已解码的程序指令所使用的架构寄存器被关联到相应的物理寄存器,并且每个架构寄存器的标识符例如地址也被记录在与相关联的物理寄存器相联系的PRMT项中。因此,PRMT记录每个物理寄存器的状态以及架构寄存器与物理寄存器的关联/映射信息。随着程序指令的运行,从一个时钟周期到另一个时钟周期,被配置用于存储相关联的架构寄存器的数据的每个物理寄存器的状态发生变化,并且在PRMT中对已配置的物理寄存器的状态的这种变化进行跟踪。已配置的物理寄存器不能被用于另一架构寄存器,直到其所关联到的当前架构寄存器被程序指令释放为止。

[0005] 物理寄存器越多,使用的物理寄存器文件就越大,使用诸如八十项的寄存器文件这样的大的物理寄存器文件在近来变得越来越普遍。使用大量的物理寄存器有助于减少发生由于指令依赖所带来的管道延迟,从而允许一次发出更多的指令。因此,PRMT中的项数随着物理寄存器的数目增加而增加。然而,在超标量体系结构的处理器中,大的PRMT相比小的PRMT而言使得更难找到指示关联的物理寄存器为空的项。另外,用传统的专用集成电

路 (ASIC) 设计方法和结构来实现的更大的 PRMT 倾向于需要更大的电路面积、增加路径延迟, 并且结果产生更高的功耗。因为路径延迟和功耗是处理器设计中的两个关键因素并且影响性能, 所以理想的是在对性能只有最小影响的情况下实现用于寄存器重命名的更大的 PRMT。

发明内容

[0006] 在一方面, 一种将架构寄存器关联到物理寄存器的寄存器重命名系统包括具有多个项的物理寄存器映射表和重命名逻辑。该映射表的每个项都指示相应的物理寄存器的状态。映射表具有多个非重叠的段, 其中每个段具有相应的映射表项。重命名逻辑被耦合用以并行地搜索多个映射表段, 以识别每个都指示相应的物理寄存器处于第一状态的项。该重命名逻辑选择性地将多个架构寄存器中的每个关联到相应的被识别为处于第一状态的物理寄存器。

[0007] 在另一方面, 一种处理器中的寄存器重命名系统包括第一寄存器块、第二寄存器块和被耦合到该第一和第二寄存器块的搜索逻辑。第一块中的每个寄存器存储物理寄存器映射表的第一段中的相应项, 其指示相应的物理寄存器的多个状态中的一个。第二块中的每个寄存器存储物理寄存器映射表的第二段中的相应项, 其指示相应的物理寄存器的多个状态中的一个。搜索逻辑并行地搜索第一和第二寄存器块, 以识别第一和第二块中的所存储的相应的映射表项指示相应的物理寄存器处于第一状态的寄存器。

[0008] 在另一方面, 一种将架构寄存器关联到物理寄存器的寄存器重命名系统包括第一寄存器块、第二寄存器块、被耦合到该第一寄存器块的第一检查逻辑、被耦合到该第一寄存器块的第二检查逻辑、被耦合到该第二寄存器块的第三检查逻辑、以及被耦合到该第二寄存器块的第四检查逻辑。第一寄存器块存储物理寄存器映射表的第一部分, 其中第一块中的每个寄存器存储映射表的第一部分中的相应项。第二寄存器块存储物理寄存器映射表的第二部分, 其中第二块中的每个寄存器存储映射表的第二部分中的相应项。第一检查逻辑被耦合到第一寄存器块以在第一时钟周期中从第一块的第一端朝着第一块的与第一端相对的第二端来搜索第一块中的寄存器, 以识别映射表的第一部分中的其中每个都指示相应的物理寄存器为空的项。第二检查逻辑被耦合到第一寄存器块以在第一时钟周期中从第一块的第二端朝着第一块的第一端来搜索第一块中的寄存器, 以识别映射表的第一部分中的其中每个都指示相应的物理寄存器为空的项。第三检查逻辑被耦合到第二寄存器块以在第一时钟周期中从第二块的第一端朝着第二块的与第一端相对的第二端来搜索第二块中的寄存器, 以识别映射表的第二部分中的其中每个都指示相应的物理寄存器为空的项。第四检查逻辑被耦合到第二寄存器块以在第一时钟周期中从第二块的第二端朝着第二块的第一端来搜索第二块中的寄存器, 以识别映射表的第二部分中的其中每个都指示相应的物理寄存器为空的项。

[0009] 在一个方面, 一种处理器包括物理寄存器映射表、搜索逻辑和映射逻辑。物理寄存器映射表具有多个项, 其中该映射表的每个项都指示相应的物理寄存器的状态。搜索逻辑被耦合用以并行地搜索映射表的多个段以识别其中每个均指示相应的物理寄存器处于第一状态的项。搜索逻辑所搜索的每段映射表具有的相应的映射表项与搜索逻辑所搜索的另一段映射表中的项不相同。映射逻辑被耦合到搜索逻辑并接收多个架构寄存器标识符, 其

中每个标识符指示相应的架构寄存器。映射逻辑将接收到的每个架构寄存器标识符映射到相应映射表段中的指示相应的物理表处于第一状态的相应项。

[0010] 在一方面,一种基于处理器的系统包括输入设备、输出设备、数据存储设备以及耦合到该输入设备、输出设备和数据存储设备的处理器。该处理器包括多个寄存器块、被耦合到该寄存器块的搜索逻辑、以及被耦合到该寄存器块和搜索逻辑的映射逻辑。每个寄存器块存储一段物理寄存器映射表以将映射表的相应项存储在相应寄存器块的每个寄存器中,每个项指示相应的物理寄存器的状态。搜索逻辑同时搜索寄存器块中的第一块和第二块,以识别第一块和第二块中的存储指示着相应的物理寄存器处于第一状态的相应项的寄存器。映射逻辑接收多个架构寄存器标识符,其中每个标识符标识相应的架构寄存器,并且将每个架构寄存器标识符映射到该第一块和第二块中的被识别为存储着指示相应的物理寄存器处于第一状态的相应项的相应寄存器,以将每个架构寄存器关联到对应的物理寄存器。

[0011] 在一方面,一种在处理器中执行寄存器重命名的方法同时搜索第一段映射表和第二段映射表以识别该映射表中的其中每个均指示相应的物理寄存器处于第一状态的项。对于多个架构寄存器,该方法将与每个架构寄存器相关的数据存储在被识别为处于第一状态的物理寄存器中的相应一个中,以将架构寄存器关联到被识别为处于第一状态的物理寄存器。

[0012] 在另一方面,一种在处理器中执行寄存器重命名的方法将物理寄存器映射表的项存储在多个寄存器块中,以使得相应数目的项被存储在寄存器块中的相应寄存器块中,每个项分别指示相应的物理寄存器的状态。该方法还在第一时钟周期中按第一方向和不同于该第一方向的第二方向来搜索第一个寄存器块,以识别其中每个都指示相应的物理寄存器处于第一状态的项。该方法还将多个架构寄存器中的每个映射到相应的被识别为处于第一状态的物理寄存器。

[0013] 在又一方面,一种在处理器中执行寄存器重命名的方法将第一段映射表中的项存储在第一寄存器块中以及将第二段映射表中的项存储在第二寄存器块中。该方法在第一时钟周期中识别第一块中的每个均指示相应的物理寄存器为空的物理寄存器映射表项。该方法在第一时钟周期中还识别第二块中的每个均指示相应的物理寄存器为空的物理寄存器映射表项。多个要重命名的架构寄存器被分组成第一组架构寄存器和第二组架构寄存器。架构寄存器组之一中的架构寄存器被关联到所识别的与第一块中存储的映射表项相关联的空物理寄存器。另一组架构寄存器中的架构寄存器被关联到所识别的与第二块中存储的映射表项相关联的空物理寄存器。

附图说明

[0014] 图 1 是处理器中的常规寄存器重命名系统的简化示图。

[0015] 图 2 是图 1 中的常规寄存器重命名系统中的一部分的简化示图。

[0016] 图 3 是图 1 中的常规寄存器重命名系统中的物理寄存器映射表中的项的示图。

[0017] 图 4 是在根据一个非限制性实施例的处理器中的寄存器重命名系统的简化示图。

[0018] 图 5 是根据一个非限制性实施例的物理寄存器映射表及其存储装置的简化示图。

[0019] 图 6 是图 4 中的根据一个非限制性实施例的寄存器重命名系统的一部分的简化示

图。

[0020] 图 7A 是图 4 中的根据一个非限制性实施例的寄存器重命名系统中的另一部分的简化示图。

[0021] 图 7B 是图 4 中的根据一个非限制性实施例的寄存器重命名系统中的又一部分的简化示图。

[0022] 图 8 是图 4 中的根据一个非限制性实施例的寄存器重命名系统中的另一部分的简化示图。

[0023] 图 9 是根据另一个非限制性实施例的处理器中的寄存器重命名系统的简化示图。

[0024] 图 10 是根据另一个非限制性实施例的处理器中的寄存器重命名系统的简化示图。

[0025] 图 11 是根据一个非限制性实施例的具有寄存器重命名系统的处理器的简化示图。

[0026] 图 12 是根据一个非限制性实施例的具有寄存器重命名系统的基于处理器的系统的简化示图。

[0027] 图 13 是说明根据一个非限制性的说明性实施例的在处理器中执行寄存器重命名的过程的流程图。

[0028] 图 14 是说明根据另一个非限制性的说明性实施例的在处理器中执行寄存器重命名的过程的流程图。

[0029] 图 15 是说明根据又一个非限制性的说明性实施例的在处理器中执行寄存器重命名的过程的流程图。

[0030] 在附图中,相同的参考号标识相似的组件或动作。附图中的组件的尺寸和相对位置不一定按比例画出。另外,所画出的组件的特定形状不是旨在传递关于特定组件的实际形状的任何信息,并且仅仅出于在附图中容易识别的目的而被选择。

[0031] 具体实施方式

[0032] 在以下描述中,为了提供对各种公开的实施例的透彻理解而阐述某些具体的细节。然而,本领域的普通技术人员将认识到可以在不具有这些具体细节中的一个或多个的情况下或者用其他方法、部件、材料等等来实施各个实施例。在其他情况下,没有示出或详细描述与寄存器重命名系统、处理器和基于处理器的系统相关联的公知结构,以避免不必要地混淆对实施例的描述。

[0033] 图 1 说明处理器中的常规寄存器重命名系统 100。寄存器重命名系统 100 包括物理寄存器映射表 (PRMT) 5。在图 1 所示的例子中, PRMT 5 有八十项,也即项 0 到项 79,其对应着八十个物理寄存器。寄存器重命名系统 100 还包括四个搜索模块 12、22、32 和 42,四个对应的“屏蔽和满 (mask-and-full)”检测器 14、24、34 和 44,“比较和配置 (comparison-and-allocation)”模块 50,以及架构寄存器分配模块 60。PRMT 5 的项被存储在八十个寄存器的块中,虽然为了避免不必要地混淆说明,该寄存器块未被示出。

[0034] PRMT 5 经由八比特信号总线 8 耦合到搜索模块 12,其中信号总线 8 所承载的每个信号指示相应的 PRMT 项中所记录的相应的物理寄存器的状态。例如,如果物理寄存器为空,则 PRMT 5 中的相应的项将通过存储对应的值来指示物理寄存器的状态为空。同样,如果物理寄存器不为空(例如,处于除了“空”之外的状态),则 PRMT 5 中的相应的项将通过

存储不同于指示“空”状态的值的一个值来指示物理寄存器的状态为不同于空的状态。

[0035] 操作中,寄存器重命名系统 100 使用五个阶段(或步骤)来执行寄存器重命名。在第一步中,搜索模块 12 经由信号总线 8 从 PRMT 5 接收八十个状态信号,并且搜索 PRMT 5 的项 0 ~ 79 中指示相应的物理寄存器为空的项。“屏蔽和满”检测器 14 接收来自信号总线 8 的八十个状态信号和来自搜索模块 12 的搜索结果信号。在 PRMT 5 中的指示相应的物理寄存器处于空状态的那些项中,一个项被选择。搜索模块 12 发送七比特的空项 ID 信号(也即如图 2 中所示的空项 id_0 信号)给比较和配置模块 50。与所选择的项相关联的物理寄存器将被配置给需要被重命名的架构寄存器之一。对应于所选择的项的信号被“屏蔽和满”检测器 14 所屏蔽,也即信号值被设置成指示不同于“空”状态的状态的值,因为“屏蔽和满”检测器 14 提供新的一组八十个信号给搜索模块 22 和“屏蔽和满”检测器 24。这有效地使得被选择的项在后续步骤中不可被选择。如果 PRMT 5 的项中任何一项都不指示相应的物理寄存器为空,则“屏蔽和满”检测器 14 发送信号,也即 id_0 的有效信号,给比较和分配模块 50 以指示物理寄存器都是满的。

[0036] 在第二、第三和第四步骤中,分别顺序地由搜索模块 22 和“屏蔽和满”检测器 24、搜索模块 32 和“屏蔽和满”检测器 34、以及搜索模块 42 和“屏蔽和满”检测器 44 执行类似的操作。在从第一步到第四步被执行的时间期间,架构寄存器分配模块 60 接收多至四个目的寄存器的标识符或地址,这些目的寄存器需要被关联到物理寄存器并每个都需要分配架构寄存器标识符。四比特信号,也即图 1 中所示出的目的有效信号,被提供给架构寄存器分配模块 60 以指示所接收到的针对四个目的寄存器的标识符的信号中哪些是有效的。四比特信号,也即图 1 中所示出的被分配的有效的信号,被提供给比较和配置模块 50 以指示表示这四个架构寄存器标识符的四个信号中哪些是有效的。所分配的架构寄存器标识符被提供给比较和配置模块 50。

[0037] 在第五步中,有效的架构寄存器被关联到在前四步中通过搜索模块 12、22、32 和 42 执行的搜索所识别的空物理寄存器。如图 2 中所说明的,比较和配置模块 50 包括八十个比较和配置子块 5000-5079,其中每个子块分别用于八十个物理寄存器中的相应的一个。比较和配置模块 50 中的比较和配置子块 5000-5079 中的每个将所有四个空项 ID 信号(空项 id_0,空项 id_1,空项 id_2 和空项 id_3)与 PRMT 5 中针对相应的物理寄存器的项的项号进行比较。如果四个空项 ID 信号之一所表示的特定项号与比较和配置子块 5000-5079 所关联的项号匹配,则比较和配置子块 5000-5079 将一个有效架构寄存器标识符配置给 PRMT 5 中的那个项,由此将相应的架构寄存器关联到相应的物理寄存器。在 PRMT 5 的该项中记录该架构寄存器标识符并且相应的物理寄存器的状态被改变成不同于“空”的状态,诸如“已配置”。如图 3 中所示出的,PRMT 5 中的每个项记录架构寄存器标识符,例如架构寄存器号,以及相应的物理寄存器的状态。例如,如果给定的物理寄存器处于物理寄存器可能处于的多个状态中的第一状态,则指示该第一状态的第一值被记录在相应的项中。同样,如果物理寄存器处于这多个状态中的第二状态,则指示该第二状态的第二值被记录在相应的项中,以此类推。

[0038] 从上述描述中,可以看到与常规寄存器重命名系统 100 相关联的若干缺点。首先,由于每个搜索模块 12、22、32 和 42 要搜索的 PRMT 5 中的大量的项而带来的大延迟是不可避免的。其次,因为直到前面的搜索模块已经完成搜索,后续的搜索模块才能开始搜索这些

项,所以搜索模块 12、22、32 和 42 所进行的顺序搜索也恶化了延迟问题。第三,比较和配置模块 50 中的每个比较和配置子块 5000-5079 均包括四个比较电路,并且每个配置需要 320(4 的 80 倍)个七比特比较。这种设计消耗了大量的功率。最后,诸如图 1 中所示出的寄存器重命名系统 100 之类的寄存器重命名系统需要集成电路芯片上的大面积,并且因此不适合用于具有严格尺寸限制的应用。

[0039] 图 4 说明根据本发明的一个实施例的处理器中的寄存器重命名系统 200。在寄存器重命名系统 200 中,PRMT 205 具有多个非重叠的段,其中每个段被存储在相应的寄存器块中。在一个实施例中,如图 5 所示,PRMT 205 有两个非重叠段,第一段 205a 和第二段 205b,从而段 205a、205b 中的每个段都具有 PRMT 205 的总项数的一半。例如,PRMT 205 可以具有八十个项,项 0 ~ 79。如图 5 中所示,PRMT 205 的项中的第一个四十个项,也即项 0 ~ 39,可以位于第一 PRMT 段 205a 并且被存储在第二块的四十个寄存器 202a(例如块 0)中。相类似地,PRMT 205 中的下一个四十个项,也即项 40 ~ 79,可以位于第二 PRMT 段 205b 中并且被存储在第二块的四十个寄存器 202b(例如块 1)中。在其他实施例中,PRMT 205 可以具有不止两个段。例如,在一个实施例中,PRMT205 可具有四个非重叠段,并且在另一实施例中可以具有八个非重叠段。在一个实施例中,无论 PRMT 5 可以具有的段的数目是多少,PRMT 5 的多个段具有相同的项数。可选择地,PRMT 5 的多个段彼此可以具有不同的项数。

[0040] 在寄存器重命名系统 200 中,PRMT 205 的多个段中的至少某些段可以被并行地搜索。也即,PRMT 205 中的两个段 205a、205b 可以被同时搜索。在 PRMT 205 具有不止两个段的实施例中,这些段中的两个或多个或全部可以被同时搜索。如图 4 中所示出的,在一个实施例中,四个检查逻辑 212、214、216 和 218 被耦合到寄存器块 202a、202b,以确定物理寄存器的状态,其由寄存器块 202a、202b 中所存储的 PRMT 205 的项来指示。更为具体地,检查逻辑 212、214 经由标记信号总线 208a 耦合到第一寄存器块 202a。检查逻辑 216、218 经由标记信号总线 208b 耦合到第二寄存器块 202b。标记信号总线 208a、208b 中的每个都是四十比特宽以分别适合寄存器块 202a、202b 中的四十个寄存器。标记信号总线 208a、208b 承载从第一和第二寄存器块 202a、202b 到检查逻辑 212、214、216 和 218 的标记信号,并且检查逻辑 212、214、216 和 218 基于标记信号总线 208a、208b 所承载的信号值来确定物理寄存器的状态。当寄存器中所存储的相应 PRMT 项指示相应物理寄存器是空时,标记信号可以具有第一值,例如二进制值 1。当相应 PRMT 项指示相应物理寄存器不是空时,标记信号可以具有第二值,例如二进制值 0。

[0041] 在一个实施例中,检查逻辑 212、214、216 和 218 以不同的方向搜索在第一寄存器块 202a 和第二寄存器块 202b 中所存储的 PRMT 5 的项,以识别 PRMT 5 中的指示相应的物理寄存器处于多个状态中的第一状态(诸如空状态)的那些项。例如,检查逻辑 212 可以通过以对应于从第一块 202a 的顶部朝着第一块 202a 的底部读取第一寄存器块 202a 的第一方向读取标记信号,来搜索空物理寄存器。类似地,检查逻辑 214 可以通过以与第一方向不相同的、对应于从第一块 202a 的底部朝着第一块 202a 的顶部读取第一寄存器块 202a 的第二方向读取标记信号,来搜索空物理寄存器。换言之,检查逻辑 212 首先从存储在第一寄存器块 202a 中的顶部寄存器(被标记为寄存器 0)中的 PRMT 5 的项 0 读取标记信号,以确定相应的物理寄存器的状态是否是空,接着从 PRMT 5 的项 1 读取标记信号,等等。在这方面,

来自被存储在第一寄存器块 202a 中的底部寄存器（被标记为寄存器 39）中的 PRMT 5 的项 39 的标记信号是检查逻辑 212 所读取的最后一个标记信号。相反，检查逻辑 214 首先从被存储在第一寄存器块 202a 中的底部寄存器（被标记为寄存器 39）中的 PRMT 5 的项 39 读取标记信号，接着从 PRMT 5 的项 38 读取标记信号，依此类推。因此，来自被存储在第一寄存器块 202a 中的顶部寄存器（被标记为寄存器 0）中的 PRMT 5 的项 0 的标记信号是检查逻辑 214 所读取的最后一个标记信号。

[0042] 以类似的形式，检查逻辑 216 可以通过以对应于从第二块 202b 的顶部朝着第二块 202b 的底部读取第二寄存器块 202b 的第一方向读取标记信号，来搜索空物理寄存器。类似地，检查逻辑 218 可以通过以对应于从第二块 202b 的底部朝着第二块 202b 的顶部读取第二寄存器块 202b 的第二方向读取标记信号，来搜索空物理寄存器。检查逻辑 216 首先从被存储在第二寄存器块 202b 中的顶部寄存器（被标记为寄存器 40）中的 PRMT 5 的项 40 读取标记信号，以确定相应的物理寄存器的状态是否是空，接着从 PRMT 5 的项 41 读取标记信号，依此类推。来自被存储在第二寄存器块 202b 中的底部寄存器（被标记为寄存器 79）中的 PRMT 5 的项 79 的标记信号是检查逻辑 216 所读取的最后一个标记信号。相反，检查逻辑 218 首先从被存储在第二寄存器块 202b 中的底部寄存器（被标记为寄存器 79）中的 PRMT 5 的项 79 读取标记信号，接着从 PRMT 5 的项 78 读取标记信号，依此类推。因此，来自被存储在第二寄存器块 202b 中的顶部寄存器（被标记为寄存器 40）中的 PRMT 5 的项 40 的标记信号是检查逻辑 218 所读取的最后一个标记信号。

[0043] 因此，PRMT 205 的多个段可以被并行地并且以不同的方向进行搜索。这在减少前面所描述的常规寄存器重命名系统 100 中实现的顺序搜索上的路径延迟方面提供了改善。也即，PRMT 205 是通过由检查逻辑 212、214、216 和 218 并行地搜索 PRMT 205 的多个段而进行一次搜索，而不是通过让整个 PRMT 205 顺序地进行四次不同的搜索而导致串行路径延迟。

[0044] 在一个实施例中，检查逻辑 212、214、216 和 218 中的每个可以是前导 1 探测电路，其探测并识别它所遇到的指示相应的物理寄存器为空的项，即使当 PRMT 205 可能存在指示相应的物理寄存器为空的多个项时，也是如此。因此，四个检查逻辑 212、214、216 和 218 可以并行地识别多至四个 PRMT 205 的项，其中每个项均指示相应的物理寄存器为空。

[0045] 作为用以识别空物理寄存器的搜索的结果，每个检查逻辑 212、214、216 和 218 提供多个结果信号，其中每个结果信号指示 PRMT 205 中的相应项是否被识别为指示相应的物理寄存器为空。例如，在图 4 中所说明的实施例中，检查逻辑 212、214、216 和 218 中的每个都提供四十个结果信号，因为每个都接收四十个标记信号。在一个实施例中，每个检查逻辑 212、214、216 和 218 都将对应于它探测为指示相应的物理寄存器为空的项的结果信号设置成第一值，例如二进制值 1，并且将剩余的结果信号设置成第二值，例如二进制值 0。这允许块 202a、202b 中多至四个所存储的项指示相应的物理寄存器为空的寄存器被识别。继而，这识别了多至四个架构寄存器可被重命名成的多至四个处于空状态的物理寄存器。

[0046] 在一个实施例中，“满 (full)”检测器 222 被耦合以接收来自检查逻辑 212、214 的结果信号，而“满”检测器 224 被耦合以接收来自检查逻辑 216、218 的结果信号。基于接收自检查逻辑 212、214 的结果信号，“满”检测器 222 输出两个有效信号，有效信号 0 和有效信号 1。如果来自检查逻辑 212、214 的结果信号指示两个空物理寄存器被识别，则有效信

号 0 和有效信号 1 二者都被设置成第一值,例如二进制值 1。如果结果信号指示仅有一个空物理寄存器被识别,则仅仅有效信号 0 被设置成第一值而有效信号 1 被设置成第二值,例如二进制值 0。如果结果信号指示没有任何空物理寄存器被识别,则有效信号 0 和有效信号 1 二者都被设置成第二值。类似地,基于接收自检查逻辑 216、218 的结果信号,“满”检测器 224 输出两个有效信号,有效信号 2 和有效信号 3。如果来自检查逻辑 216、218 的结果信号指示两个空物理寄存器被识别,则有效信号 2 和有效信号 3 二者都被设置成第一值。如果结果信号指示仅有一个空物理寄存器被识别,则仅仅有效信号 2 被设置成第一值而有效信号 3 被设置成第二值。如果结果信号指示没有任何空物理寄存器被识别,则有效信号 2 和有效信号 3 二者都被设置成第二值。

[0047] 在一个实施例中,寄存器重命名系统 200 可以具有配置逻辑 235,其被耦合在寄存器块 202a、202b 与检查逻辑 212、214、216、218 和“满”检测器 222、224 之间。在一个实施例中,寄存器重命名系统 200 还可包括分配逻辑 245,其被耦合到配置逻辑 235。

[0048] 分配逻辑 245 接收多个架构寄存器标识符,例如架构寄存器号,每个均标识相应的要重命名的架构寄存器。在一个实施例中,分配逻辑 245 将所接收的每个架构寄存器标识符分成两组架构寄存器标识符,即第一组和第二组架构寄存器标识符,并将第一组和第二组架构寄存器标识符提供给配置逻辑 235。换言之,所接收的每个架构寄存器标识符或者在第一组中或者在第二组中提供给配置逻辑 235。配置逻辑 235 接着将由第一组中的架构寄存器标识符所表示的架构寄存器重命名成由第一块 202a 中所存储的 PRMT 205 的项所表示的空物理寄存器,并且将由第二组中的架构寄存器标识符所表示的架构寄存器重命名成由第二块 202b 中所存储的 PRMT 205 的项所表示的空物理寄存器。更为具体地,作为寄存器重命名(也即将架构寄存器关联到空的物理寄存器)的结果,第一组中的架构寄存器标识符将被记录在存储在在第一块 202a 中的 PRMT205 的项中,并且第二组中的架构寄存器标识符将被记录在存储在第二块 202b 中的 PRMT 205 的项中。

[0049] 如图 4 所示,四个架构寄存器标识符 AR0、AR1、AR2 和 AR3 被分配逻辑 245 接收并且作为两个架构寄存器标识符一组的两组被提供给配置逻辑 235。在一个实施例中,分配逻辑 245 在给定时钟周期中将 AR0、AR1 分组到第一组,例如组 0,以及将 AR2 和 AR3 分组到第二组,例如组 1,并且在随后的时钟周期中交换编组顺序以将 AR0、AR1 分组到第二组并将 AR2 和 AR3 分组到第一组,反之亦然。这两组架构寄存器标识符中的每组都被作为两个信号(即被分配的寄存器 0 和被分配的寄存器 1)提供给配置逻辑 235。分配逻辑 245 还可接收用以指示由架构寄存器标识符 AR0-AR3 所表示的四个架构寄存器标识符中的哪一个或哪几个需要被重命名的四比特有效信号。在一个实施例中,如果这两组架构寄存器标识符中的任何一组仅具有一个有效架构寄存器标识符,也即由该组中的两个标识符所表示的两个架构寄存器中的仅仅一个需要被重命名,则该有效架构寄存器标识符将被作为该组的被分配寄存器 0 提供给配置逻辑 235。

[0050] 在一个实施例中,对于第一组架构寄存器标识符,配置逻辑 235 将由被分配寄存器 0 信号所表示的架构寄存器标识符记录在由检查逻辑 212 所识别的第一块 202a 中所存储的 PRMT 205 的项中,并且将由被分配寄存器 1 信号所表示的架构寄存器标识符记录在由检查逻辑 214 所识别的第一块 202a 中所存储的 PRMT 205 的项中。类似地,对于第二组架构寄存器标识符,配置逻辑 235 将由被分配寄存器 0 信号所表示的架构寄存器标识符记录

在由检查逻辑 216 所识别的第二块 202b 中所存储的 PRMT 205 的项中,并且将由被分配寄存器 1 信号所表示的架构寄存器标识符记录在由检查逻辑 218 所识别的第二块 202b 中所存储的 PRMT205 的项中。例如,如果寄存器 12 和寄存器 27 分别被检查逻辑 212、214 识别为存储着指示相应的物理寄存器为空的 PRMT 项,则 AR0 将被记录在寄存器 12 中所存储的项 12 中,并且 AR1 将被记录在寄存器 27 中所存储的项 27 中,其中假设 AR0 和 AR1 都是有效的架构寄存器标识符并且假设 AR0 和 AR1 在该特定时钟周期中被分配给第一组。类似地,在相同的时钟周期中,假设 AR2 和 AR3 也都是有效的架构寄存器标识符并且寄存器 55 和寄存器 76 分别被检查逻辑 216、218 识别为存储着指示相应的物理寄存器为空的 PRMT 项,则 AR2 将被记录在在寄存器 55 中所存储的项 55 中,并且 AR3 将被记录在存储 76 中所存储的项 76 中。

[0051] 在一个实施例中,分配逻辑 245 可以对在给定时钟周期中分配给两组中的每组的有效架构寄存器标识符的数目进行均衡。例如,如果在一个时钟周期中总共有三个有效架构寄存器标识符,其中仅仅一个有效架构寄存器标识符被分配给第一组而另外两个被分配给第二组,则在随后的一个时钟周期中,当存在奇数个有效架构寄存器标识符时,分配逻辑 245 将分配较多的有效架构寄存器标识符给第一组。

[0052] 在一个实施例中,分配逻辑 245 可包括分组电路 242、交换电路 244 和块选择电路 246。分配逻辑 245 接收四个有效架构寄存器标识符 AR0-AR3 和四比特有效信号,将这些架构寄存器标识符分组成组 0 和组 1,并且将这两组架构寄存器标识符提供给交换电路 244。基于来自块选择电路 246 的块选择信号,交换电路 244 或者将组 0 提供给第一块 202a 以及将组 1 提供给第二块 202b,或者将组 0 提供给第二块 202b 以及将组 1 提供给第一块 202a。块选择电路 246 可包括一比特寄存器,并被用于设置块选择信号的值以在重命名架构寄存器时对由第一块 202a 和第二块 202b 中的项所标识的空物理寄存器的使用率进行均衡。块选择电路 246 或者均衡控制逻辑可记录分组历史并且对提供给交换电路 244 的块选择信号进行设置。因此,由第一块 202a 和第二块 202b 中所存储的 PRMT 项所表示的空物理寄存器可以以均衡的方式用于寄存器重命名。否则,如果没有这种均衡的分配,可能出现块 202a 和 202b 中的一个可能不具有任何一个指示空物理寄存器的项而块 202a、202b 中的另一个仍然具有许多个指示相应的物理寄存器为空的项。图 6 说明根据一个实施例的交换电路 244。

[0053] 在一个实施例中,配置逻辑 235 可包括第一配置逻辑 232 和第二配置逻辑 234。第一配置逻辑 232 可被耦合到第一寄存器块 202a、检查逻辑 212、214、“满”检测器 222、以及分配逻辑 245。第二配置逻辑 234 可被耦合到第二寄存器块 202b、检查逻辑 216、218、“满”检测器 224、以及分配逻辑 245。第一配置逻辑 232 接收第 0 组架构寄存器标识符。接着,第一配置逻辑 232 依赖于所接收的架构寄存器标识符之一或二者是否有效而将所接收到的架构寄存器标识符之一或二者存储在在第一块 202a 中所存储的 PRMT 205 中的指示相应的物理寄存器为空的项中。第二配置逻辑 234 接收第 1 组架构寄存器标识符。接着,第二配置逻辑 234 依赖于所接收的架构寄存器标识符之一或二者是否有效而将所接收到的架构寄存器标识符之一或二者存储在第二块 202b 中所存储的 PRMT 205 中的指示相应的物理寄存器为空的项中。

[0054] 在一个实施例中,第一配置逻辑 232 和第二配置逻辑 234 中的每个可能具有如图

7A 和 7B 中所示出的多个配置电路 233。根据一个实施例,图 7A 说明第一配置逻辑 232 而图 7B 说明第二配置逻辑 234。在一个实施例中,第一配置逻辑 232 和第二配置逻辑 234 中的每个可具有四十个配置电路 233,每个配置电路针对第一块 202a 或第二块 202b 中的相应的寄存器中所存储的相应的 PRMT 205 的项。在一个实施例中,由检查逻辑 214(或检查逻辑 216)所提供的搜索结果信号可被用于控制在由分配给第一块 202a(或第二块 202b)的组中的标识符所表示的两个架构寄存器之间的选择。如果所接收的架构寄存器标识符为有效,则所接收的架构寄存器标识符将被记录在与处于空状态的物理寄存器相关联的项中;否则,它将不被记录。图 8 说明根据一个实施例的配置逻辑 232、234 中的配置逻辑 233 之一的结构。

[0055] 因此,寄存器重命名系统 200 可以用两个步骤来实现寄存器重命名。也即,首先,在两个 PRMT 段 205a、205b 的每个段中,识别指示相应的物理寄存器处于空状态的两个 PRMT 项。接着,被分组成两组的有效架构寄存器,被重命名成相应的与两个 PRMT 段 205a、205b 中的已识别的项相关联的空物理寄存器。对与空物理寄存器相关联的项的识别是针对 PRMT 段 205a、205b 二者同时执行的,并且分别针对存储 PRMT 段 205a、205b 的寄存器块 202a、202b 的每一个,同时在两个方向上执行该搜索。

[0056] 图 9 说明根据另一非限制性的说明的实施例的处理器中的寄存器重命名系统 900。寄存器重命名系统 900 包括具有多个非重叠段的 PRMT,其中每个段被存储在相应的寄存器块中。PRMT 中的每个项与相应的物理寄存器相关联,并且记录相应的物理寄存器所处的状态,以及被重命名到相应的物理寄存器的架构寄存器的标识符,如果存在任何被重命名到其的架构寄存器的话。寄存器重命名系统 900 还包括重命名逻辑,其被耦合到寄存器块以便对寄存器进行读和写,例如,以便搜索 PRMT 中指示相应的物理寄存器处于空状态的项以将架构寄存器重命名到这些空物理寄存器中的某一些。

[0057] 在一个实施例中,如图 9 所示,寄存器重命名系统 900 可包括存储在第一寄存器块 902a 中的第一 PRMT 段 905a 以及存储在第二寄存器块 902b 中的第二 PRMT 段 905b。寄存器重命名系统 900 还可包括耦合到寄存器块 902a、902b 的重命名逻辑 910。重命名逻辑 910 可并行地搜索 PRMT 段 905a、905b,以识别其中每个均指示相应的物理寄存器处于第一状态(例如为空)的项。重命名逻辑 910 还可选择性地多个架构寄存器中的每个关联到相应的被识别为处于第一状态的物理寄存器。在图 9 中尽管仅仅示出两个 PRMT 段 905a、905b,但是在其他实施例中可以有更大数量的 PRMT 段,例如四个或八个,它们被存储在等量的寄存器块中并且可以被同时搜索。

[0058] 在一个实施例中,重命名逻辑 910 可包括搜索逻辑 920 以搜索这多个寄存器块,诸如寄存器块 902a、902b,以便识别其中所存储的指示相应的物理寄存器处于第一状态的项。搜索逻辑 920 可按第一方向以及同时按不同于该第一方向的第二方向来搜索每个寄存器块。例如,搜索逻辑 920 可从每个块的顶部朝着该块的底部以及同时从每个块的底部朝着该块的顶部搜索每个块 902a、902b。

[0059] 在一个实施例中,重命名逻辑 910 可包括映射逻辑 930 以接收多个架构寄存器标识符,其中每个标识符均代表相应的一个架构寄存器。映射逻辑 930 可选择性地每个架构寄存器标识符关联到指示相应的物理寄存器处于第一状态的 PRMT 项中的相应的项。更为具体地,映射逻辑 930 可选择性地每个架构寄存器标识符记录在指示相应的物理寄存

器处于第一状态的相应的 PRMT 项中。映射逻辑 930 还可将记录着相应的架构寄存器标识符的 PRMT 项的状态从第一状态改变成不同于该第一状态的另一状态。在一个实施例中,映射逻辑 930 可对架构寄存器标识符到映射表的每段中的项的关联进行均衡。具体地,映射逻辑 930 可基于先前被关联到每段映射表的项的架构寄存器标识符的相应数量,对要关联到每段映射表的项的架构寄存器标识符的相应数量进行调节。

[0060] 在一个实施例中,搜索逻辑 920 可被耦合到映射逻辑 930 以提供多个标记信号,其中每个标记信号指示寄存器块中的相应寄存器中是否存储有指示相应的物理寄存器处于第一状态的相应项。映射逻辑 930 可将架构寄存器标识符分组成多组架构寄存器标识符。映射逻辑 930 还可在第一轮关联中将每组架构寄存器标识符关联到各段映射表中的项。映射逻辑 930 还可基于在第一轮关联中被关联到每段映射表中的项的架构寄存器标识符的相应数量在该第一轮关联之后的第二轮关联中将每组架构寄存器标识符关联到该映射表的不同段中的项。

[0061] 图 10 说明在根据另一个非限制性的说明的实施例的处理器中的寄存器重命名系统 1000。寄存器重命名系统 1000 包括具有多个非重叠段的 PRMT,其中每个段被存储在相应的寄存器块中。PRMT 中的每个项与相应的物理寄存器相关联,并且记录相应的物理寄存器所处的状态,以及被重命名到相应的物理寄存器的架构寄存器的标识符,如果存在任何被重命名到其的架构寄存器。

[0062] 在一个实施例中,如图 10 中所示出的,寄存器重命名系统 1000 可包括存储在第一寄存器块 1002a 中的第一 PRMT 段 1005a 和存储在第二寄存器块 1002b 中的第二 PRMT 段 1005b。寄存器重命名系统 1000 还可包括耦合到寄存器块 1002a、1002b 的搜索逻辑 1010。搜索逻辑 1010 可并行地搜索第一和第二寄存器块 1002a、1002b,并在这些块中识别所存储的相应的映射表项指示相应的物理寄存器处于第一状态(例如为空)的寄存器。尽管图 10 中仅仅示出两个 PRMT 段 1005a、1005b,但是在其他实施例中可存在更大数量的 PRMT 段,例如四个或八个,它们被存储在等量的寄存器块中并且可被同时搜索。

[0063] 在一个实施例中,搜索逻辑 1010 可按第一方向以及同时按不同于该第一方向的第二方向搜索第一寄存器块 1002a,此时还按该第一方向以及同时按该第二方向搜索第二寄存器块 1002b,以识别具有指示相应的物理寄存器处于第一状态的相应项的寄存器。例如,搜索逻辑 1010 可同时从块 1002a 的顶部朝着块 1002a 的底部以及从块 1002a 的底部朝着块 1002a 的顶部搜索第一寄存器块 1002a。搜索逻辑 1010 还可按相同的方式搜索第二寄存器块 1002b。

[0064] 在一个实施例中,寄存器重命名系统 1000 还可包括分配逻辑 1020 以接收多个架构寄存器标识符并将其分组为第一和第二组架构寄存器标识符,其中每个架构寄存器标识符均代表相应的架构寄存器。分配逻辑 1020 可按第一组和第二组架构寄存器标识符来提供架构寄存器标识符以重命名分为两组的架构寄存器,其中所接收的每个架构寄存器标识符或者在第一组中或者在第二组中。

[0065] 在一个实施例中,寄存器重命名系统 1000 还可包括耦合到第一和第二寄存器块 1002a、1002b,搜索逻辑 1010、以及分配逻辑 1020 的配置逻辑 1030。配置逻辑 1030 可从分配逻辑 1020 接收第一和第二组架构寄存器标识符,并选择性地将每个架构寄存器标识符关联到第一寄存器块 1002a 或第二寄存器块 1002b 中的相应的项。在一个实施例中,搜索

逻辑 1010 可提供多个标记信号给配置逻辑 1030。每个信号可具有第一值或第二值，第一值指示相应的物理寄存器具有第一状态，第二值指示相应的物理寄存器具有除第一状态之外的另一状态。在从搜索逻辑接收到标记信号时，配置逻辑 1030 可将每个架构寄存器标识符存储在第一寄存器块 1002a 或第二寄存器块 1002b 中相应的标记信号具有第一值的相应寄存器中，以将相应的架构寄存器关联到相应的物理寄存器。

[0066] 在一个实施例中，配置逻辑 1030 可将第一组中的每个架构寄存器标识符关联到第一寄存器块 1002a 中的相应项并且还将第二组中的每个架构寄存器标识符关联到第二寄存器块 1002b 中的相应项。另外，如果在前一轮的关联中被关联到第一块 1002a 中的项的架构寄存器标识符的数目不等于被关联到第二块 1002b 中的项的架构寄存器标识符的数目，则配置逻辑 1030 可将第一组中的每个架构寄存器标识符关联到第二寄存器块 1002b 中的相应项，以及进一步将第二组中的每个架构寄存器标识符关联到第一寄存器块 1002a 中的相应项。

[0067] 在一个实施例中，搜索逻辑 1010 可确定被识别为具有指示相应的物理寄存器处于第一状态的相应项的寄存器的数量并将针对每个已识别的寄存器的相应的有效信号提供给配置逻辑 1030。针对第一和第二寄存器块 1002a、1002b，配置逻辑 1030 可分别接收第一和第二架构寄存器标识符，并且如果相应的寄存器块中所存储的项中仅仅一个项被识别为指示相应的物理寄存器处于第一状态，则确定所接收的架构寄存器标识符中的哪个将被关联。

[0068] 图 11 说明根据一个非限制性的说明的实施例的具有寄存器重命名系统的处理器 1100。处理器 1100 包括具有多个非重叠段的 PRMT，其中每个段都被存储在相应的寄存器块中。该 PRMT 的每个项都与相应的物理寄存器相关联并且记录相应的物理寄存器所处的状态，以及被重命名到相应的物理寄存器的架构寄存器的标识符，如果存在任何被重命名到其的架构寄存器。

[0069] 在一个实施例中，如图 11 中所示，处理器 1100 可包括存储在寄存器块 1102a 中的第一 PRMT 段 1105a 和存储在第二寄存器块 1102b 中的第二 PRMT 段 1105b。处理器 1100 还可包括耦合到寄存器块 1102a、1102b 的搜索逻辑 1110。搜索逻辑 1110 可并行地搜索第一和第二 PRMT 段 1105a、1105b，以识别其中每个均指示相应的物理寄存器处于第一状态（例如为空）的项。处理器 1100 还可包括耦合到搜索逻辑 1110 的映射逻辑 1120。映射逻辑 1120 可接收多个架构寄存器标识符，其中每个标识符均指示相应的架构寄存器。映射逻辑 1120 可将所接收的每个架构寄存器标识符映射到指示相应的物理表处于第一状态的相应的 PRMT 段中的相应项。尽管在图 11 中仅示出两个 PRMT 段 1105a、1105b，但是在其他实施例中，可存在更大数量的 PRMT 段，例如四个或八个，它们被存储在等量的寄存器块中并且可被同时搜索。

[0070] 在一个实施例中，搜索逻辑 1110 被耦合到寄存器块 1102a、1102b，并且同时从块的第一端朝着与该第一端相对的该块的第二端以及从该块的第二端朝着该块的第一端搜索每个寄存器块 1102a、1102b，以寻找存储的映射表项指示相应的物理寄存器处于第一状态的寄存器。例如，搜索逻辑 1110 可同时从块 1102a 的顶部朝着块 1102a 的底部以及从块 1102a 的底部朝着块 1102a 的顶部搜索第一寄存器块 1102a。搜索逻辑 1110 还可用相同的方式搜索第二寄存器块 1102b。

[0071] 在一个实施例中,搜索逻辑 1110 可提供多个标记信号给映射逻辑 1120,其中每个标记信号指示针对寄存器块中的相应的寄存器的搜索结果。每个标记信号可具有第一值或第二值,第一值指示相应的寄存器存储的相应的映射表项指示相应的物理寄存器处于第一状态,第二值指示相应的寄存器存储的相应的映射表项指示相应的物理寄存器处于除第一状态之外的另一状态。

[0072] 在一个实施例中,搜索逻辑 1110 可包括多个寄存器搜索逻辑。每个寄存器搜索逻辑可被耦合到相应的一个寄存器块 1102a、1102b,以同时从块的第一端朝着与该第一端相对的该块的第二端以及从该块的第二端朝着该块的第一端搜索相应的块 1102a 或 1102b 中的寄存器,寻找所存储的映射表项指示相应的物理寄存器处于第一状态的寄存器。

[0073] 图 12 说明根据一个实施例的具有寄存器重命名系统的基于处理器的系统 1200。基于处理器的系统 1200 包括输入设备 1230、输出设备 1240、数据存储设备 1250 以及处理器 1202,处理器 1202 耦合到输入设备 1230、输出设备 1240 和数据存储设备 1250。处理器 1202 包括多个寄存器块,其中每个寄存器块存储着一段物理寄存器映射表以将映射表的相应项存储在相应的寄存器块中的每个寄存器中,其中每个项指示相应的物理寄存器的状态。在一个实施例中,处理器 1202 可具有存储着第一 PRMT 段 1205a 的第一寄存器块和存储着第二 PRMT 段 1205b 的第二寄存器块 1202b,如图 12 中所示。处理器 1202 还包括搜索逻辑 1210,其耦合到寄存器块以同时搜索寄存器块中的第一块和第二块以便识别第一块和第二块中所存储的相应项指示相应的物理寄存器处于第一状态的寄存器。处理器 1202 还包括耦合到寄存器块和搜索逻辑 1210 的映射逻辑 1220。映射逻辑 1220 接收多个架构寄存器标识符,其中每个标识符均标识相应的架构寄存器。接着,映射逻辑 1220 将每个架构寄存器标识符映射到第一块和第二块的寄存器中的被识别为所存储的相应项指示相应的物理寄存器处于第一状态的相应寄存器,以将每个架构寄存器关联到对应的物理寄存器。

[0074] 在一个实施例中,搜索逻辑 1210 可按第一方向以及同时按不同于该第一方向的第二方向来搜索第一和第二寄存器块 1202a、1202b 中的至少之一,以识别第一块中所存储的相应项指示相应的物理寄存器处于第一状态的寄存器。

[0075] 在一个实施例中,处理器 1200 还可包括耦合到映射逻辑 1220 的分配逻辑。分配逻辑可接收架构寄存器标识符,将架构寄存器标识符配置成多个组,以及按组将架构寄存器标识符提供给映射逻辑 1220。映射逻辑 1220 可确定在每轮关联中被映射到第一和第二寄存器块中的每个块的架构寄存器标识符的数目。接着,映射逻辑 1220 在每轮关联中,基于在前一轮的关联中被映射到第一和第二寄存器块中的每个块的架构寄存器标识符的数目,对被映射到第一和第二寄存器块中的每个块的架构寄存器标识符的数目进行均衡。

[0076] 在一个实施例中,搜索逻辑 1210 可接收针对寄存器块中的每个寄存器的空信号,其指示与相应的寄存器中所存储的相应的映射表项相关联的物理寄存器的状态。作为响应,搜索逻辑 1210 可提供针对每个空信号的标记信号以指示相应的物理寄存器的状态。标记信号可具有第一值或第二值,第一值指示相应的物理寄存器处于第一状态,第二值指示相应的物理寄存器处于不同于该第一状态的另一状态。例如,对于给定空信号,搜索逻辑 1210 可将标记信号设置成二进制值 1 以指示相应的物理寄存器为空,或可将标记信号设置成二进制值 0 以指示相应的物理寄存器为非空(例如,处于提交(commit)状态或写回状态)。

[0077] 图 13 说明根据一个实施例的在处理器中执行寄存器重命名的过程 1300。在 1302 处, 第一段映射表和第二段映射表被同时搜索以识别映射表中的每个均指示相应的物理寄存器处于第一状态的项。在一个实施例中, 它们被顺序地搜索或者根据程序指导进行搜索。在其他实施例中, 它们被同时搜索。在 1304 处, 对于多个架构寄存器, 与每个架构寄存器相关的数据被存储在物理寄存器中被识别为处于第一状态的相应的物理寄存器中, 以便将架构寄存器关联到被识别为处于第一状态的物理寄存器。

[0078] 在一个实施例中, 在 1306 处, 过程 1300 在每轮关联中还可基于在前一轮关联中架构寄存器到被识别为处于第一状态的物理寄存器的关联, 对架构寄存器到被识别为处于第一状态的物理寄存器的关联进行均衡。在一个实施例中, 针对每轮关联, 过程 1300 可以首先确定被关联到与每段映射表相关的物理寄存器的架构寄存器的数量。接着, 过程 1300 可基于在前一轮关联中被关联到与每段映射表相关的物理寄存器的架构寄存器的数量, 对被关联到与每段映射表相关的物理寄存器的架构寄存器的数量进行调节。

[0079] 在一个实施例中, 在同时搜索第一段映射表和第二段映射表时, 过程 1300 可同时搜索存储在第一寄存器块中的第一段映射表和存储在第二寄存器块中的第二段映射表。例如, 存储在第一寄存器块 202a 中的第一 PRMT 段 205a 和存储在第二寄存器块 202b 中的第二 PRMT 段 205b 可被过程 1300 同时搜索。在一个实施例中, 过程 1300 可同时按第一方向和按不同于该第一方向的第二方向来搜索第一寄存器块中所存储的第一段映射表, 以及同时按该第一方向和该第二方向来搜索第二寄存器块中所存储的第二段映射表。例如, 在第一寄存器块 202a 中所存储的第一 PRMT 段 205a 可同时按第一和第二方向被过程 1300 搜索, 而此时在第二寄存器块 202b 中所存储的第二 PRMT 段 205b 可同时按第一和第二方向被过程 1300 搜索。

[0080] 图 14 说明根据一个实施例的在处理器中执行寄存器重命名的过程 1400。在 1402 处, 物理寄存器映射表中的项被存储在多个寄存器块中, 以使得相应数目的项被存储在相应的寄存器块中, 其中每个项指示相应的物理寄存器的状态。在 1404 处, 在第一时钟周期中按第一方向以及按不同于该第一方向的第二方向搜索寄存器块中的第一块, 以识别其中每个均指示相应的物理寄存器处于第一状态的项。在 1406 处, 多个架构寄存器中的每个被映射到被识别为处于第一状态的相应的物理寄存器。

[0081] 在一个实施例中, 过程 1400 在第一时钟周期中还可按该第一方向和该第二方向搜索寄存器块中的不同于第一块的第二块, 以识别其中每个均指示相应的物理寄存器处于第一状态的项。在另一实施例中, 在搜索寄存器块中的第一块以识别处于第一状态的项之后, 过程 1400 还可提供多个信号, 其中每个信号表示第一块中的相应的寄存器并且每个信号都具有指示相应的物理寄存器处于第一状态的第一值或指示相应的物理寄存器处于不同于该第一状态的另一状态的第二值。在又一实施例中, 过程 1400 在第一时钟周期中还可按该第一方向和该第二方向搜索寄存器块中的第二块以识别其中每个均指示相应的物理寄存器处于第一状态的项。在将这多个物理寄存器中的每个映射到被识别为处于第一状态的相应的物理寄存器时, 过程 1400 可将这多个架构寄存器中的每个映射到与块中的第一块或第二块中所存储的项相关联的物理寄存器。

[0082] 在一个实施例中, 过程 1400 可将物理寄存器映射表的项存储在第一寄存器块和第二寄存器块中, 使得物理寄存器映射表的第一段中的项存储在该第一块中, 以及物理寄

寄存器映射表的第二段中的项存储在该第二块中。在一个实施例中,过程 1400 在第一时钟周期中可按该第一方向和该第二方向在第一和第二块中的每个块中进行搜索,以识别其中每个均指示相应的物理寄存器处于第一状态的项。在一个实施例中,过程 1400 可将第一架构寄存器映射到与第一块中所存储的项之一相关联的物理寄存器以及将第二架构寄存器映射到与第二块中所存储的项之一相关联的物理寄存器。

[0083] 在一个实施例中,当将多个架构寄存器中的每个映射到被识别为处于第一状态的相应的物理寄存器时,过程 1400 可将其中每个均通过多个传输路径中的相应传输路径传输的多个架构寄存器标识符中的每个映射到与被识别为处于第一状态的物理寄存器相关联的相应的项。更为具体地,过程 1400 可将在第一时钟周期之后的第二时钟周期中通过第一和第二传输路径传输的架构寄存器标识符映射到第一块中的处于第一状态的项。过程 1400 还可将在第二时钟周期之后的第三时钟周期中通过第一和第二传输路径传输的架构寄存器标识符映射到第二块中的处于第一状态的项。如果第一块中被识别为处于所述第一状态的项的数量不同于第二块中被识别为处于所述第一状态的项的数量,则过程 1400 可以在映射过程中相应地调整在所述第二时钟周期中或第三时钟周期中映射的架构寄存器标识符的数量。

[0084] 在一个实施例中,过程 1400 可在第一时钟周期中从寄存器块中的第一块的第一端朝着该块的与该第一端相对的第二端来进行搜索以及从该块的第二端朝着该块的第一端来进行搜索。

[0085] 图 15 说明根据一个实施例的在处理器中执行寄存器重命名的过程 1500。在 1502 处,物理寄存器映射表的第一段中的项被存储在第一寄存器块中,并且物理寄存器映射表的第二段中的项被存储在第二寄存器块中。在 1504 处,在第一时钟周期中,识别在第一块中的那些其中每个均指示相应的物理寄存器为空的物理寄存器映射表的项。在 1506 处,在第一时钟周期中,还识别在第二块中的那些其中每个均指示相应的物理寄存器为空的物理寄存器映射表的项。在 1508 处,要重命名的多个架构寄存器被分组成第一组架构寄存器和第二组架构寄存器。在 1510 处,所述多组架构寄存器之一中的架构寄存器被关联到与所识别的第一块中所存储的映射表项相关联的空物理寄存器。在 1512 处,另一组架构寄存器中的架构寄存器被关联到与所识别的第二块中所存储的映射表项相关联的空物理寄存器。

[0086] 在一个实施例中,过程 1500 还可对架构寄存器组到与所识别的第一块和第二块中的空项相关联的物理寄存器的关联进行均衡。更为具体地,响应于在前一时钟周期中所识别的与第一块中所存储的项相关联的空物理寄存器的数量以及与第二块中所存储的项相关联的空物理寄存器的数量,过程 1500 可将每组架构寄存器关联到所识别的与第一或第二块中的项相关联的相应的空物理寄存器。在另一实施例中,过程 1500 还可将架构寄存器之一的标识符存储在与被识别为空的物理寄存器之一相关联的相应项中。过程 1500 还可将相应项的状态设置成指示除了为空之外的状态。

[0087] 在一个实施例中,当将多个要重命名的架构寄存器分组成第一组架构寄存器和第二组架构寄存器时,过程 1500 可按程序次序将这多个要重命名的架构寄存器分组成第一组架构寄存器和第二组架构寄存器。

[0088] 在一个实施例中,该第一块和第二块均具有各自的第一端和与各自的第一端相对的各自的第二端,并且过程 1500 在第一时钟周期中可通过同时从第一端朝着第二端进行

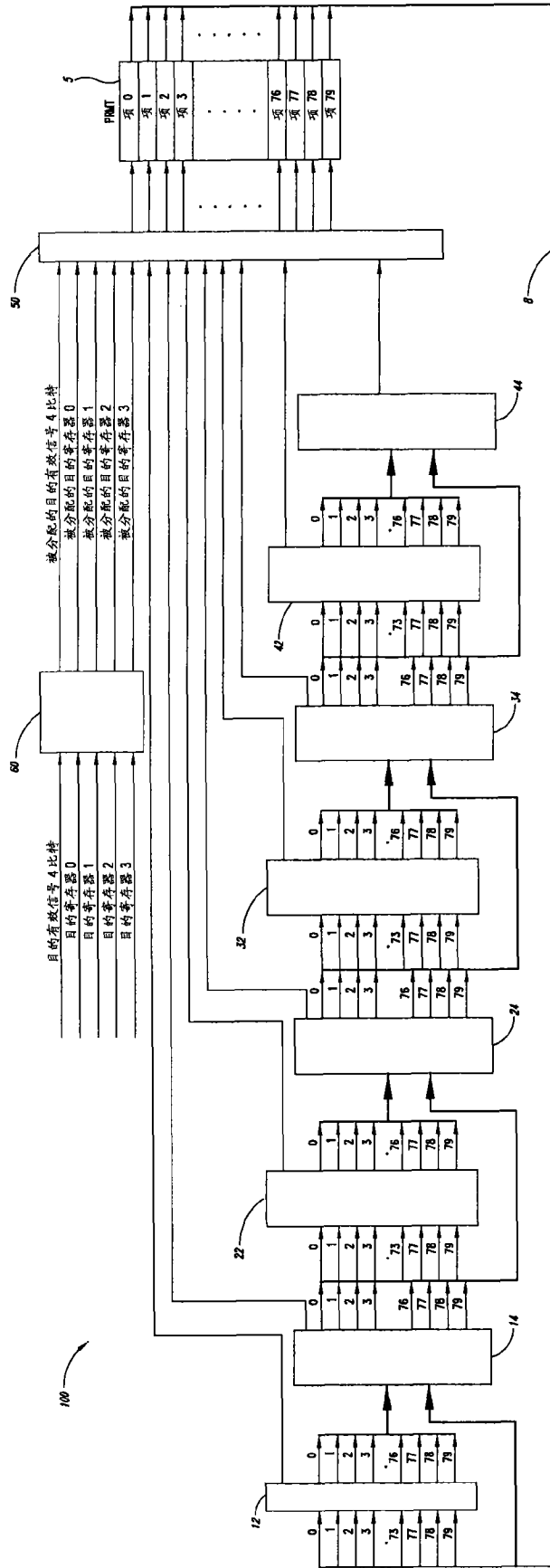
搜索以及从第二端朝着第一端进行搜索,识别第一块中的指示相应的物理寄存器为空的每个物理寄存器映射表项。过程 1500 在第一时钟周期中还可通过同时从第一端朝着第二端进行搜索以及从第二端朝着第一端进行搜索,识别第二块中的指示相应的物理寄存器为空的每个物理寄存器映射表项。

[0089] 在一个实施例中,过程 1500 可识别第一块中的多至两个物理寄存器映射表项以及第二块中的多至两个物理寄存器映射表项。过程 1500 可将四个要重命名的架构寄存器分成第一对架构寄存器和第二对架构寄存器,其中每组具有这四个架构寄存器中的一对。过程 1500 可将与所识别的第一块中的多至两个项相关联的物理寄存器关联到一对架构寄存器,以及将与所识别的第二块中的多至两个项相关联的物理寄存器关联到另一对架构寄存器。

[0090] 因此,已经公开了本发明的在诸如超标量体系结构的微处理器之类的处理器中的寄存器重命名系统实现的实施例。相比诸如图 1 中所示出的常规寄存器重命名系统 100 之类的常规寄存器重命名系统实现而言,根据此处所公开的各种实施例的寄存器重命名系统提供了若干优点。例如,通过并行地搜索物理寄存器映射表中的多个段以及按两个不同方向来搜索每个段,可以减小在寻找空物理寄存器时的路径延迟。减小的路径延迟应当也有利地导致降低的功耗。

[0091] 上述对说明的实施例的描述,包括摘要中所描述的内容,不是旨在作为穷举或将实施例限制到所公开的精确形式。此处尽管出于说明性的目的描述了具体实施例和例子,但是本领域技术人员将认识到在不偏离本公开内容的精神和范围的条件下可以做出各种等价的修改。此处所提供的各种实施例的教导可以应用到其他环境,而不必是上面一般描述的寄存器重命名的示例性环境。本领域技术人员将理解,尽管上面所描述的并在附图中所示出的实施例一般针对寄存器重命名的环境,但是与在处理器中使用物理寄存器相关的应用也可从此处所描述的概念中受益。

[0092] 根据上述的详细描述,可以对实施例做出各种改变。一般而言,在以下权利要求书中,所使用的术语不应当被解释成将权利要求限制到在说明书和权利要求书中所公开的具体实施例,而是应当被解释成包括这些权利要求所保护的所有等同的全部范围内的所有可能的实施例。因此,权利要求书不局限于本公开内容。



现有技术
图 1

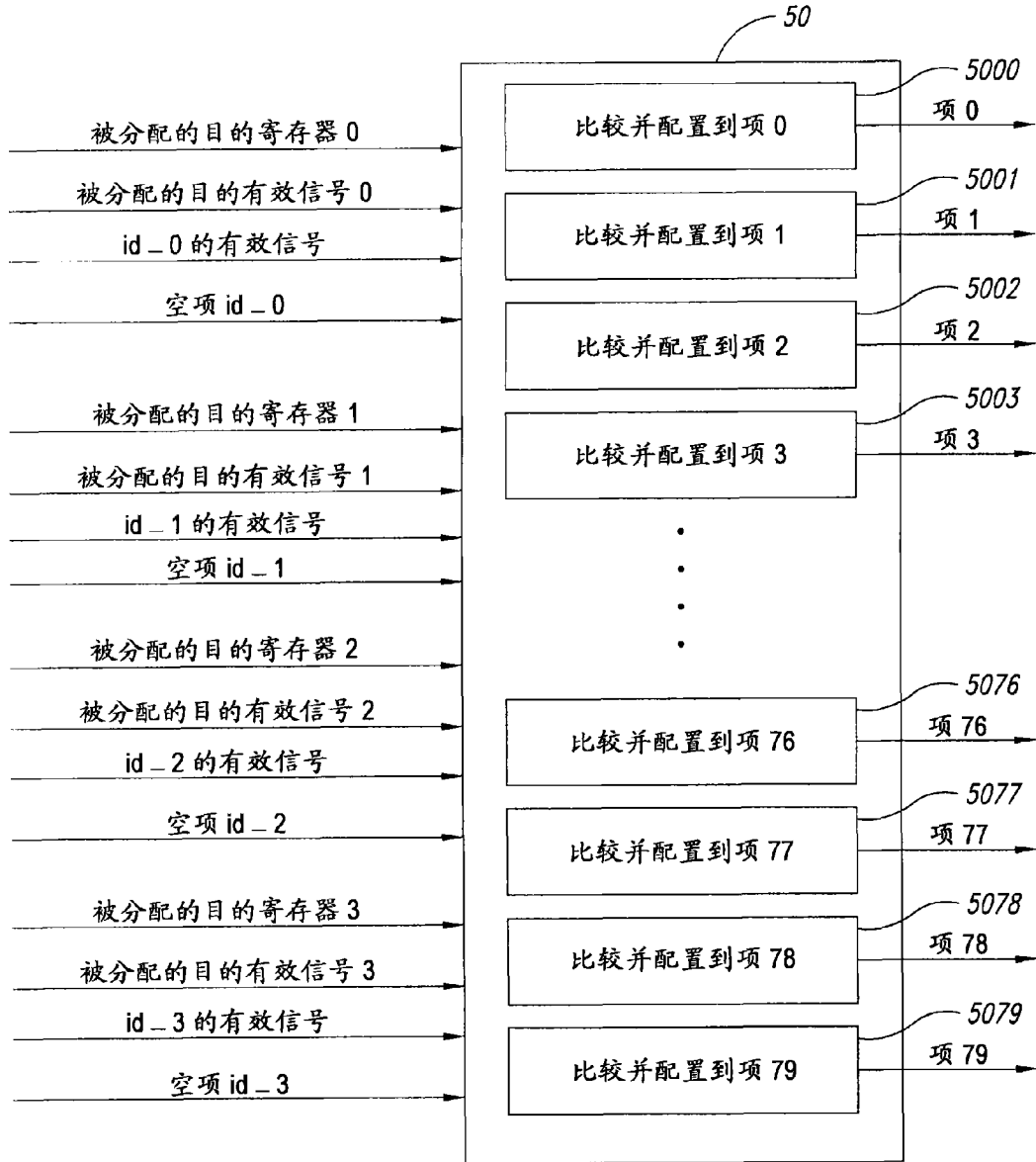
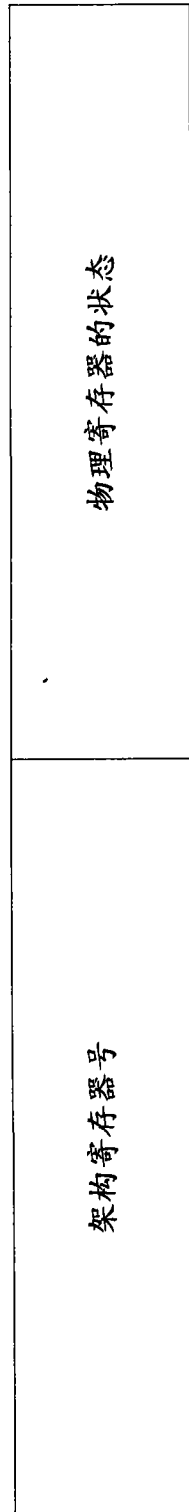


图 2
现有技术



现有技术
图 3

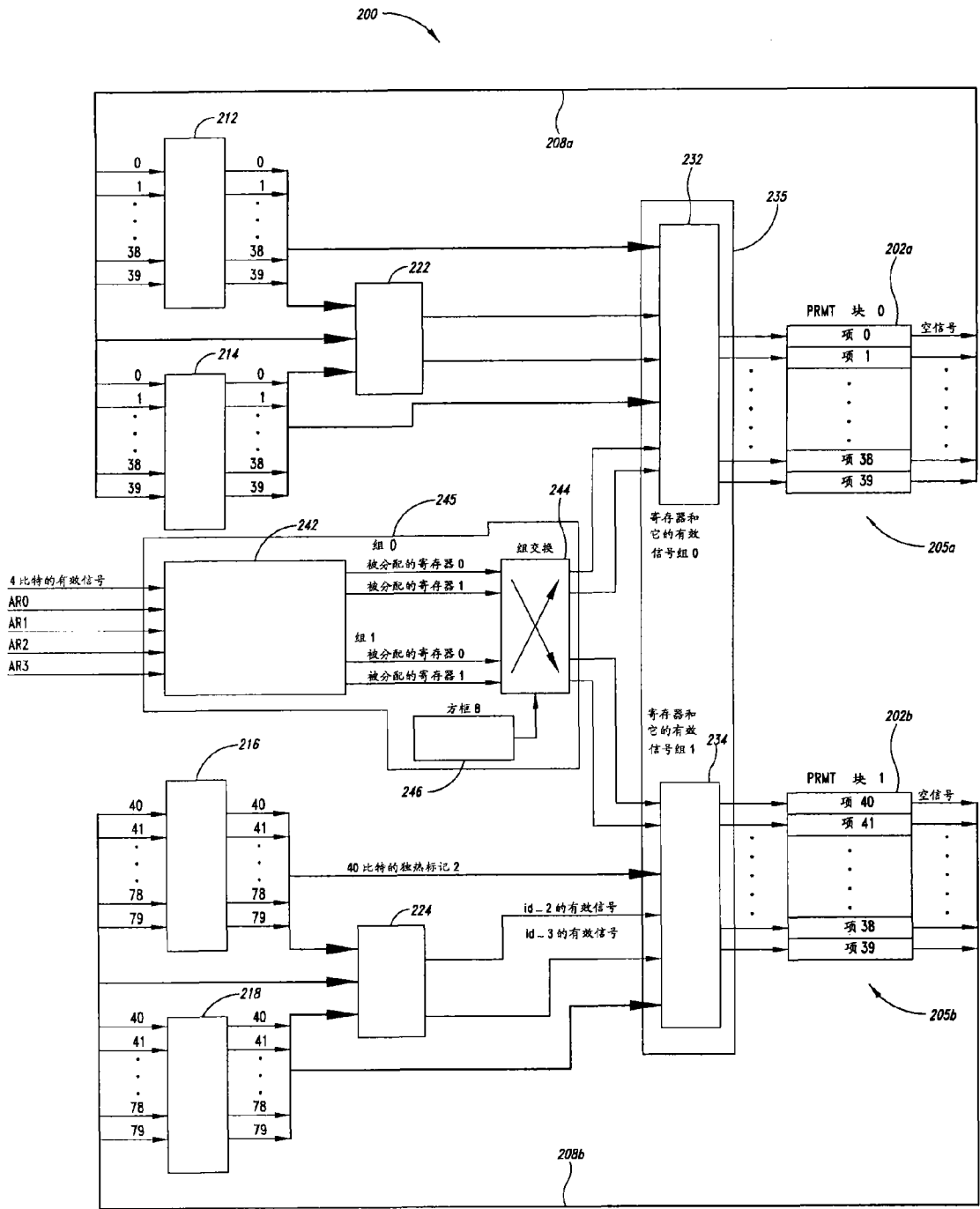


图 4

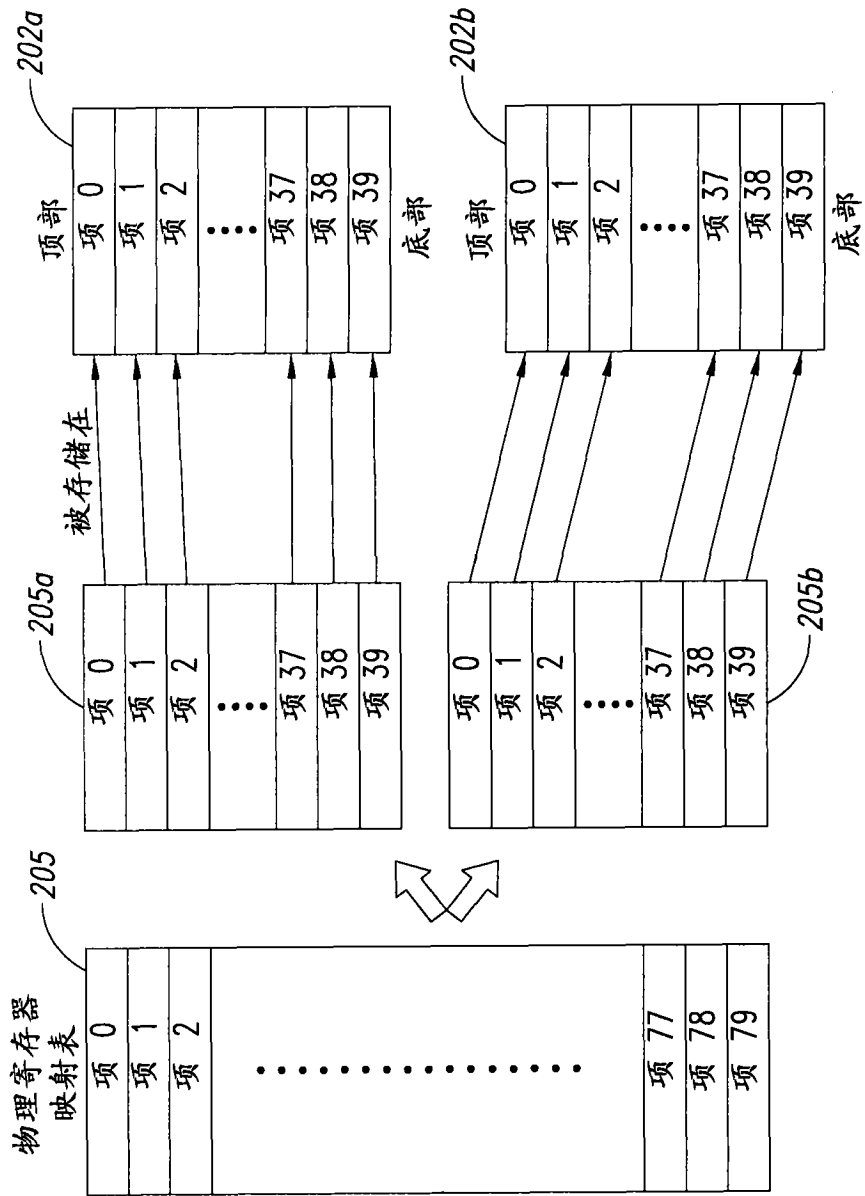


图 5

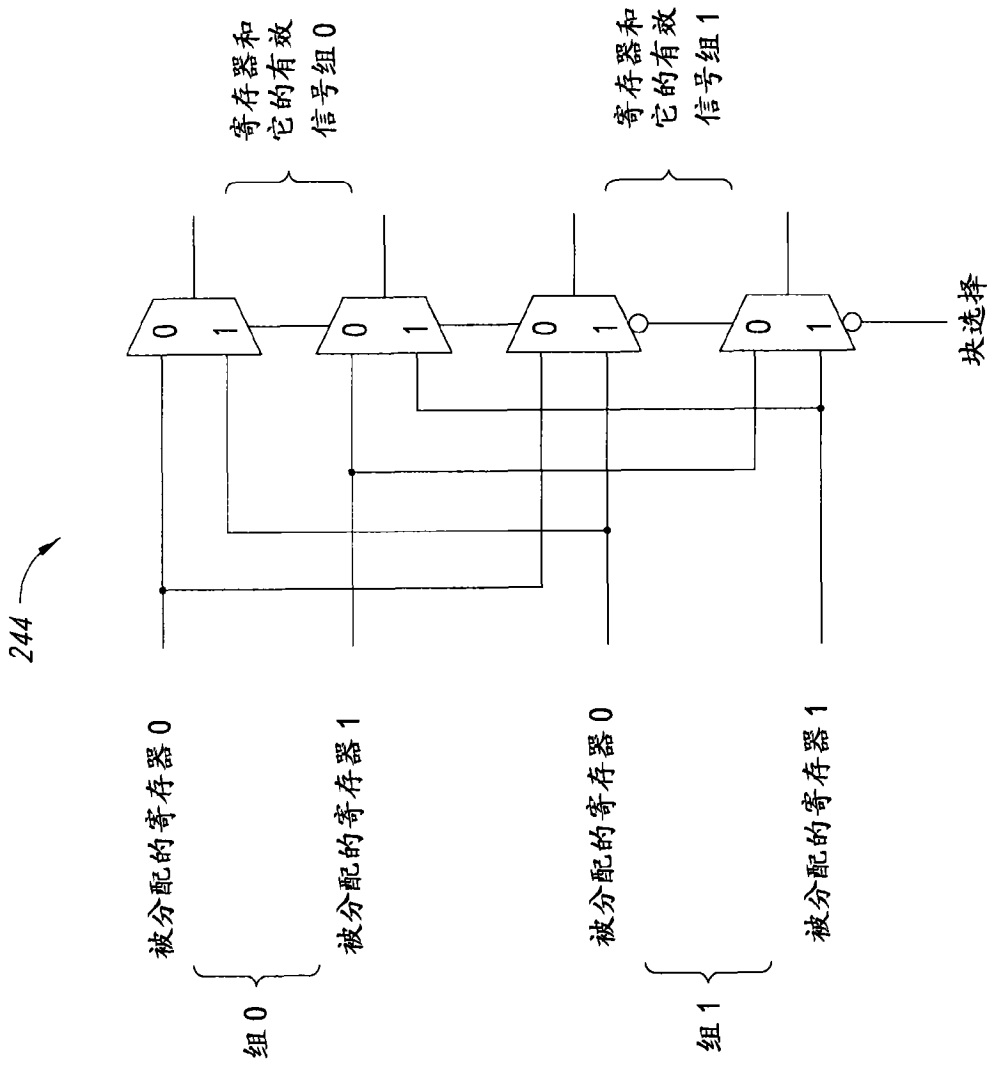


图 6

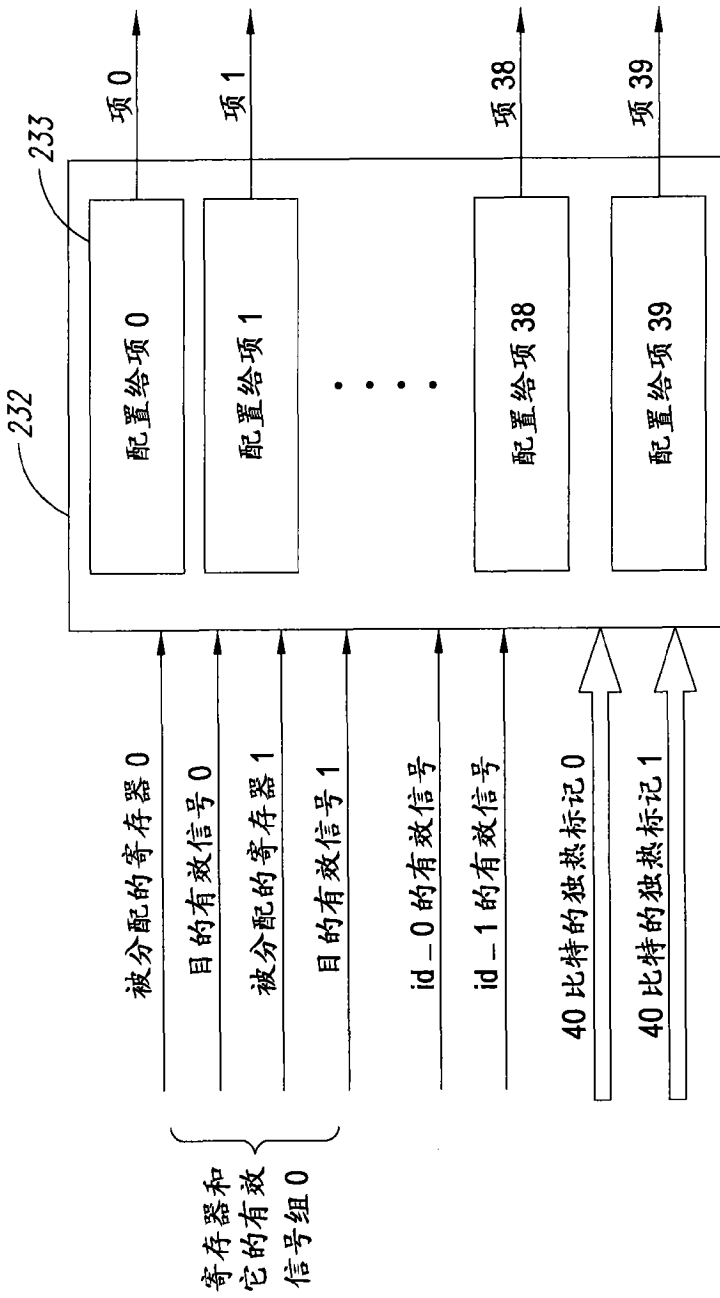


图 7A

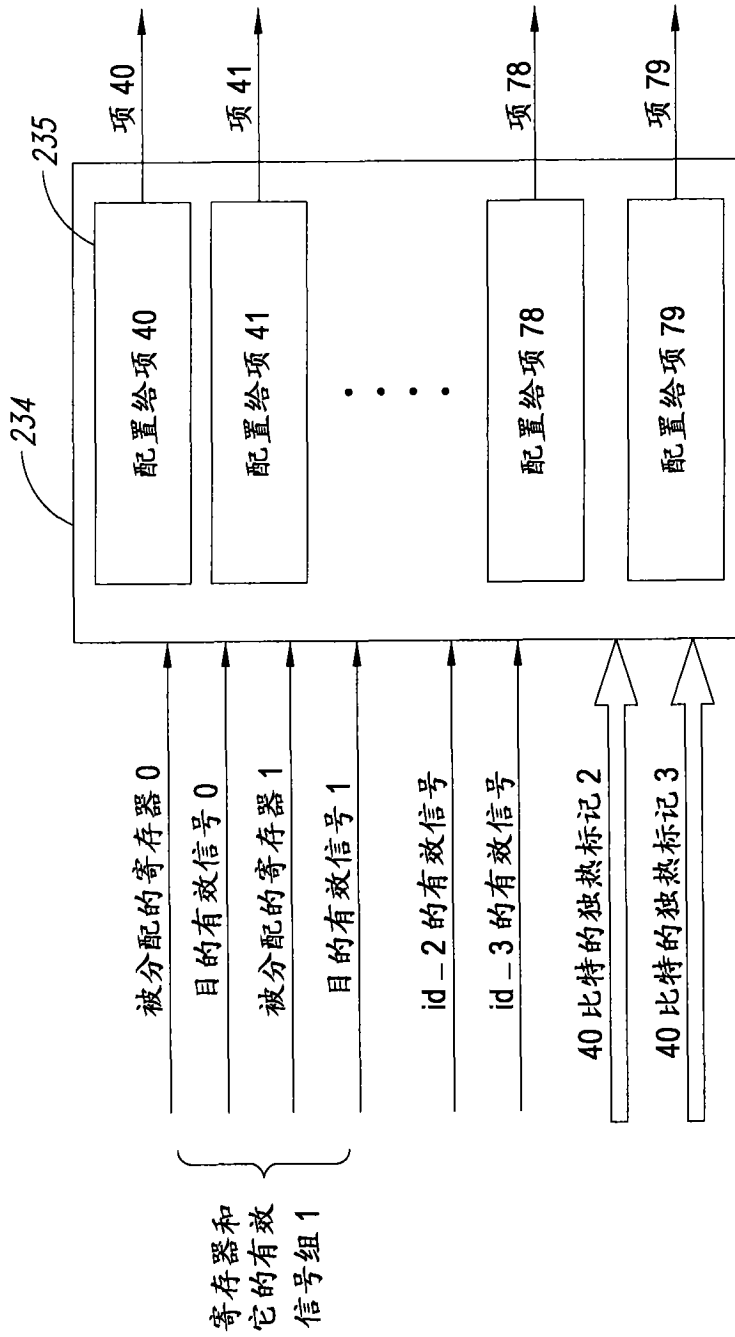


图 7B

233

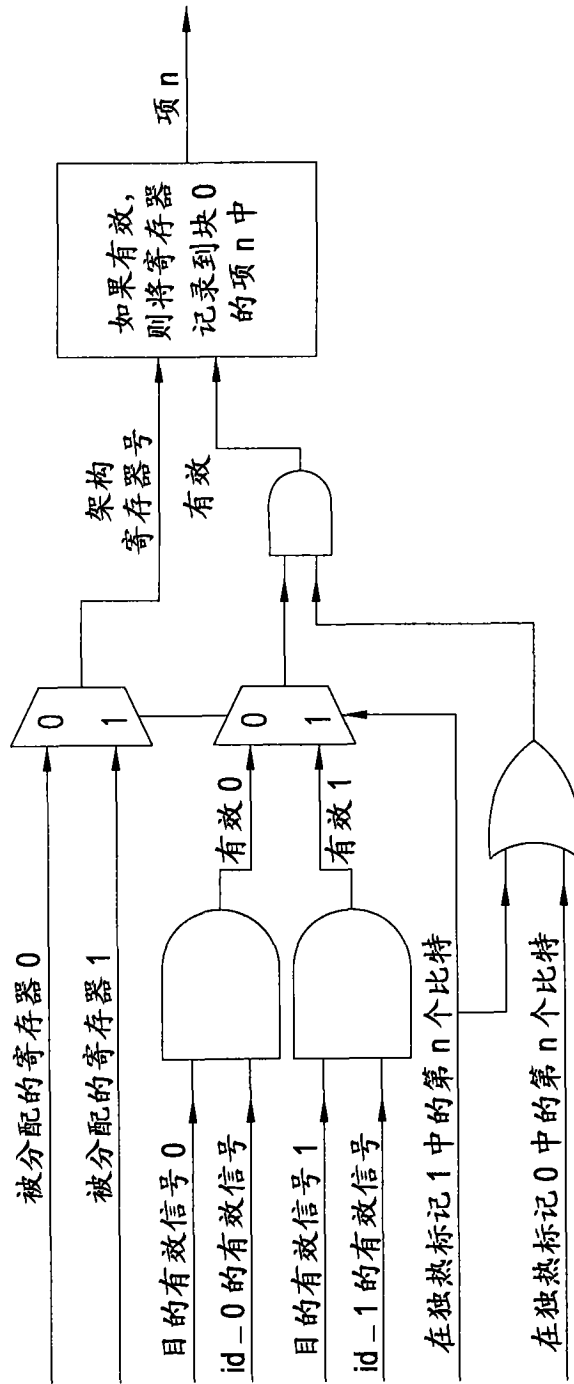


图 8

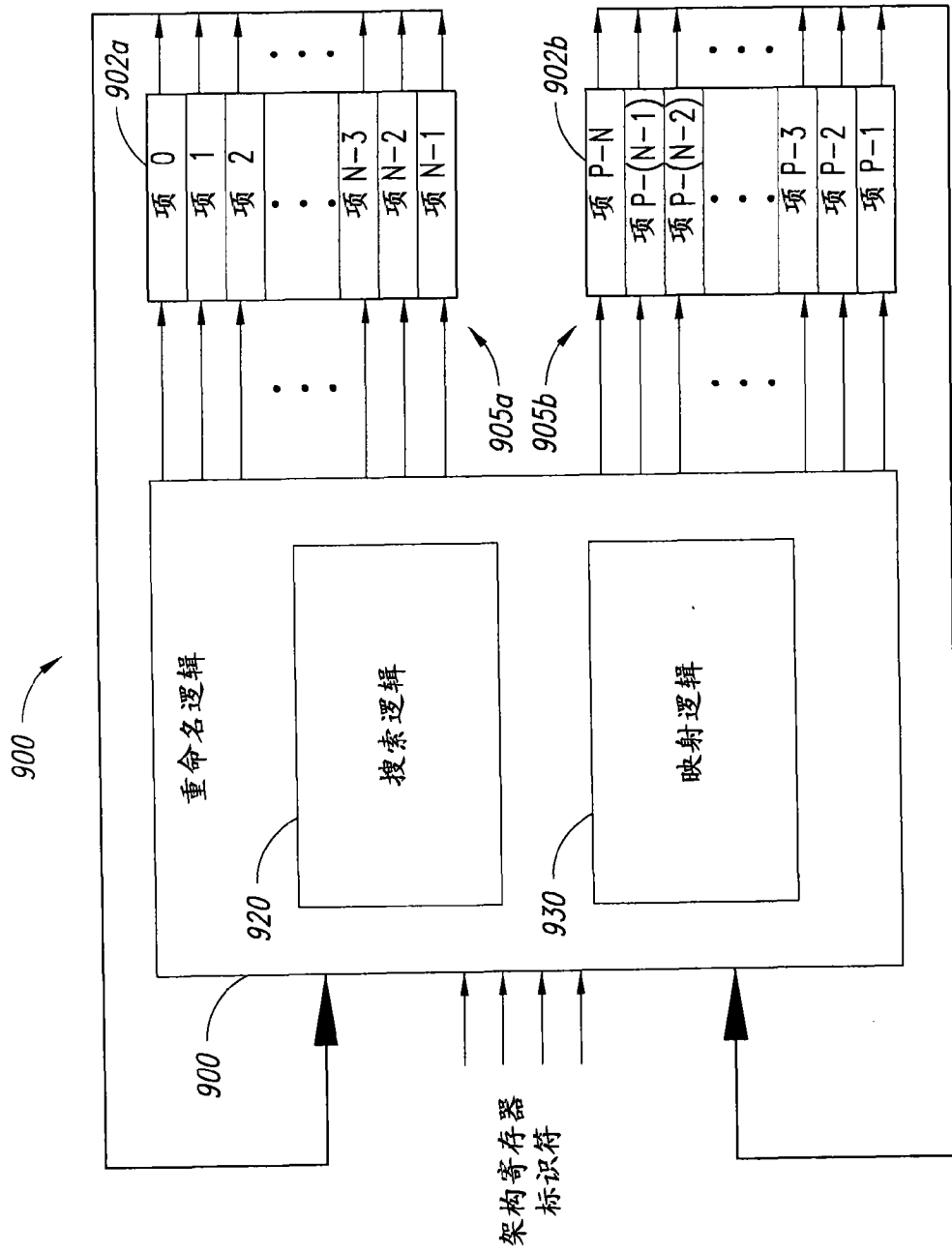


图 9

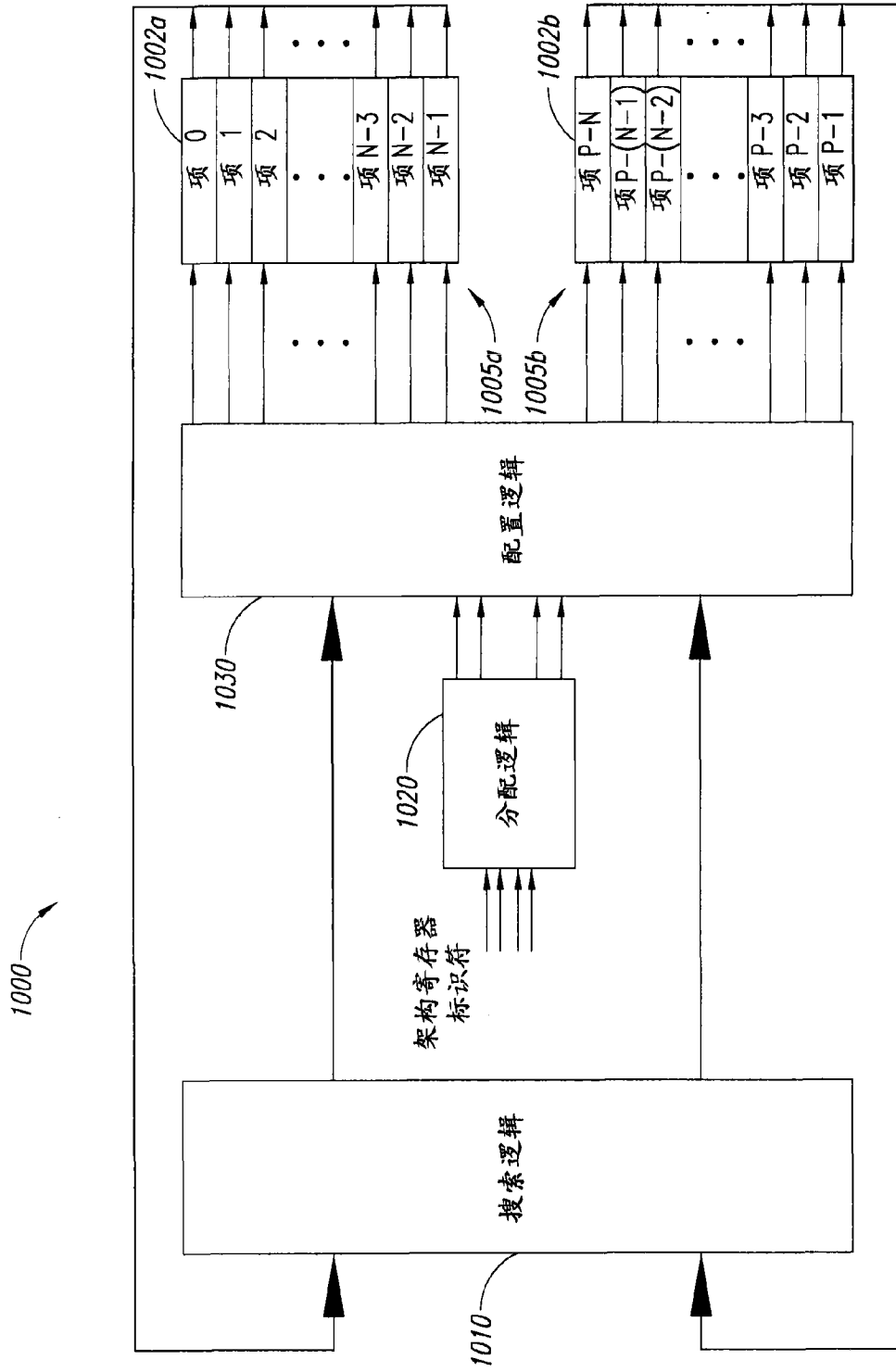


图 10

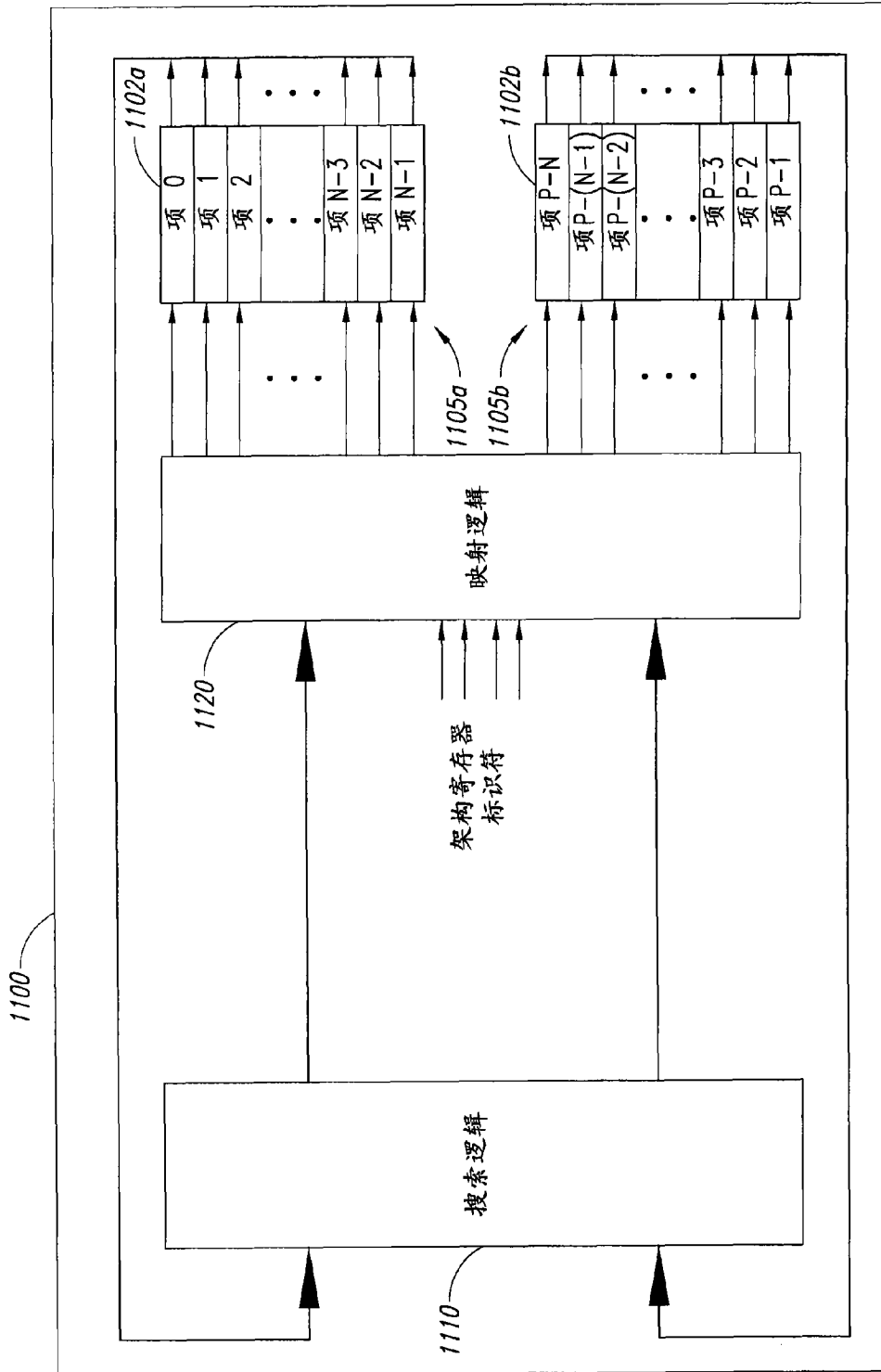


图 11

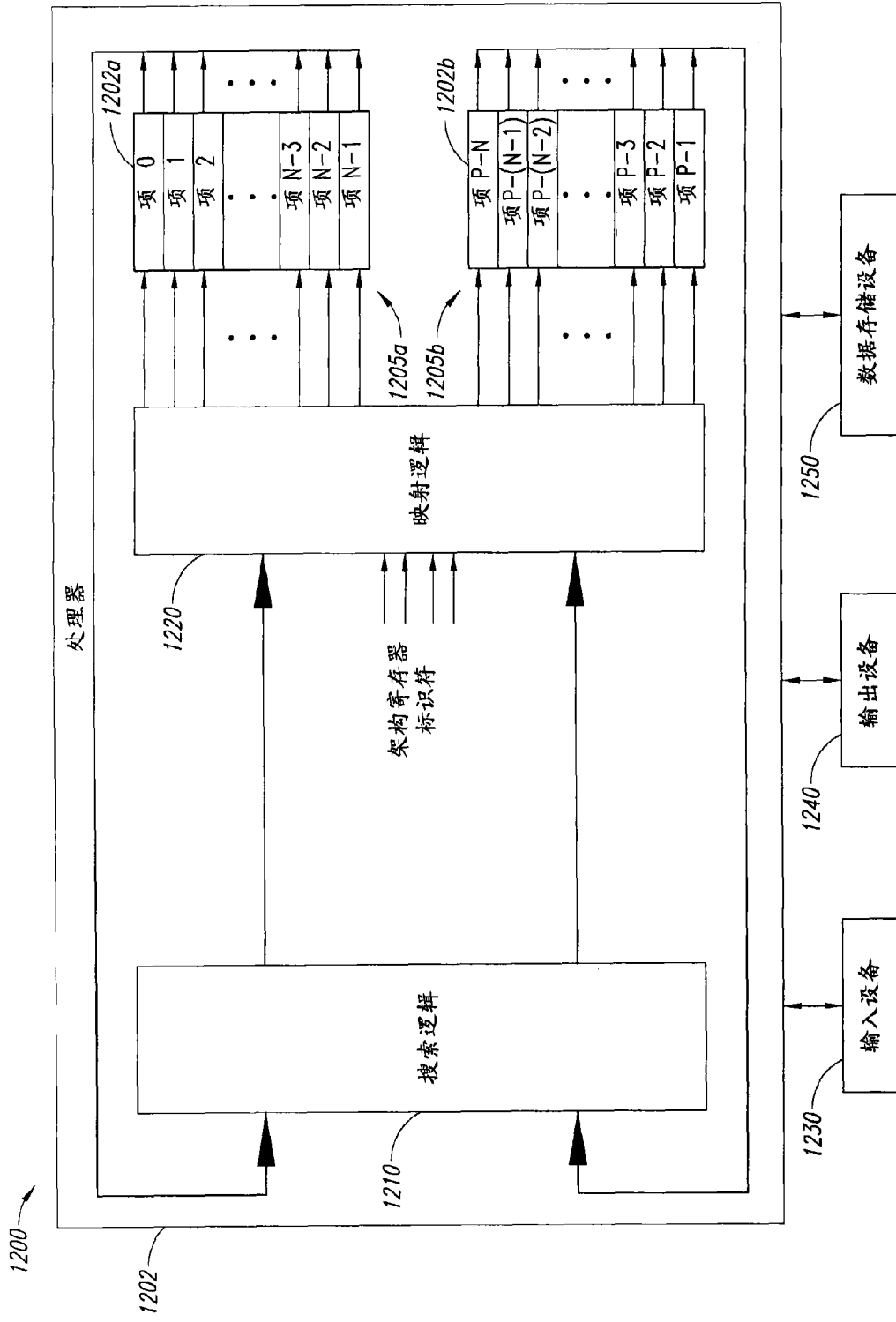


图 12

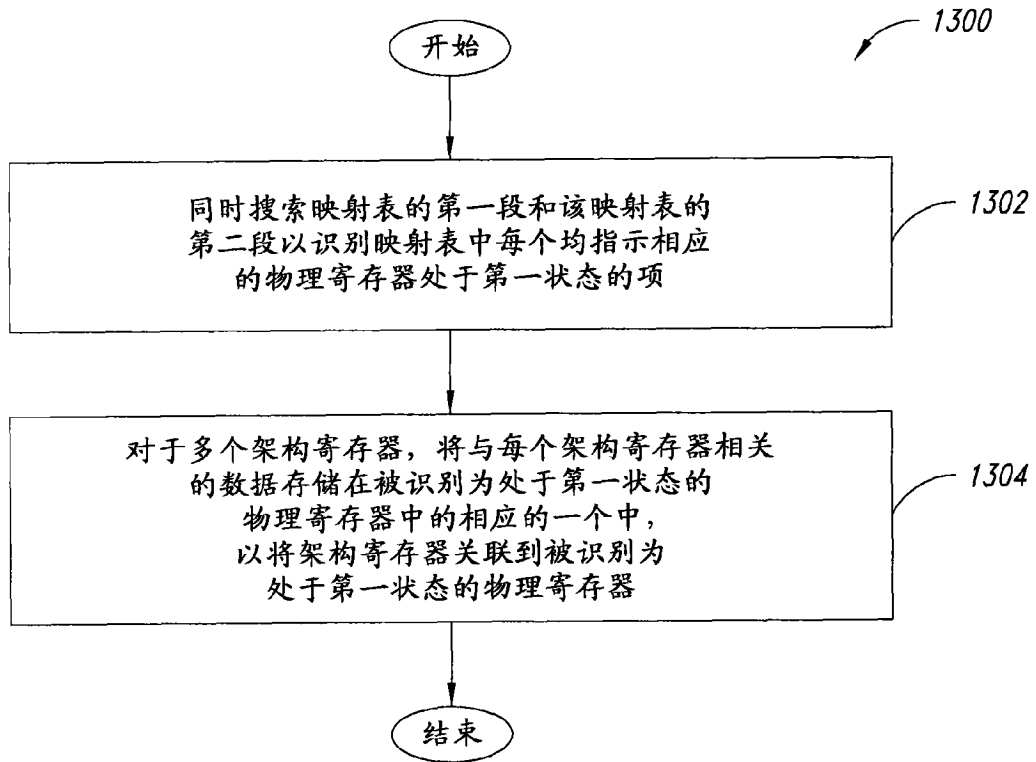


图 13

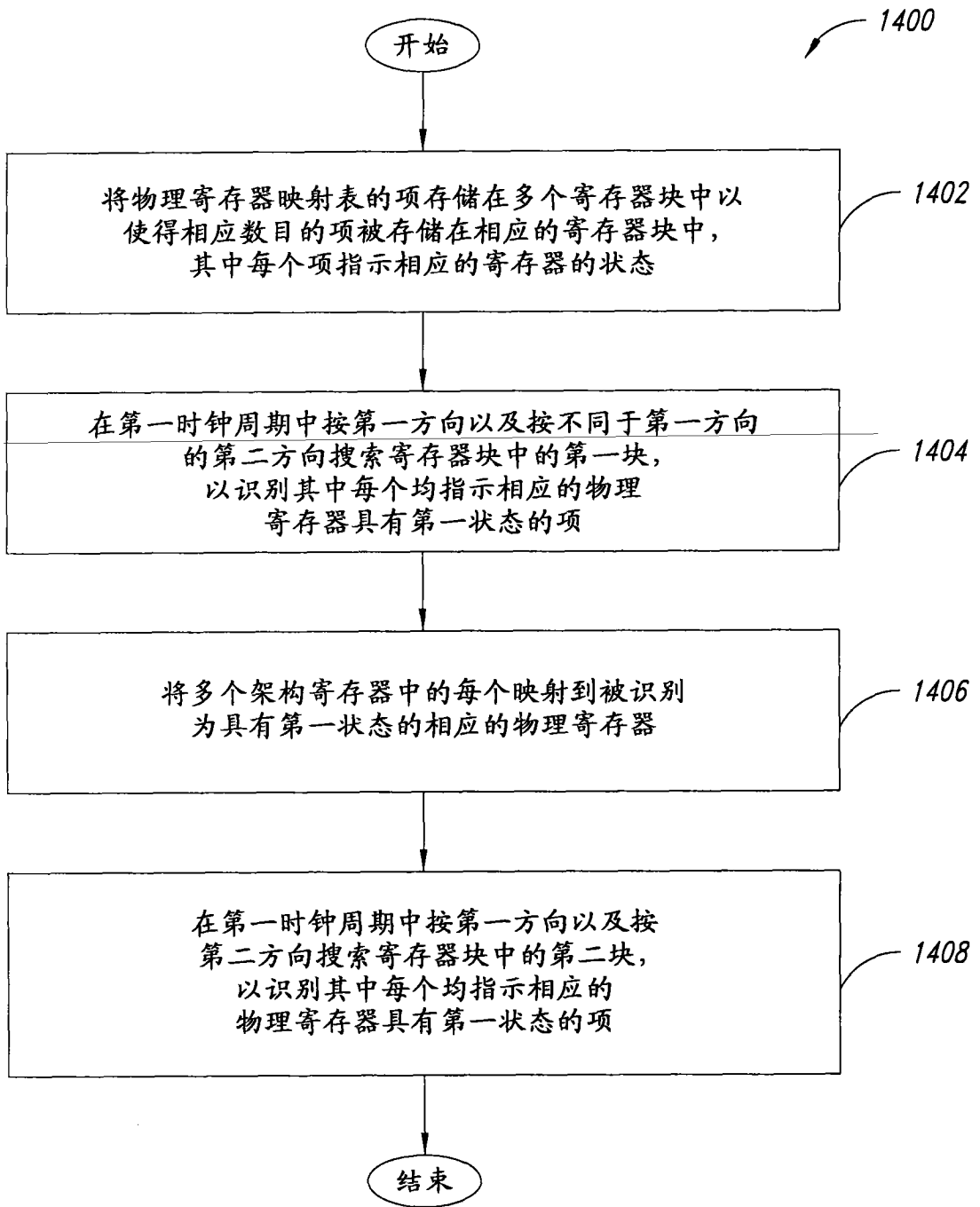


图 14

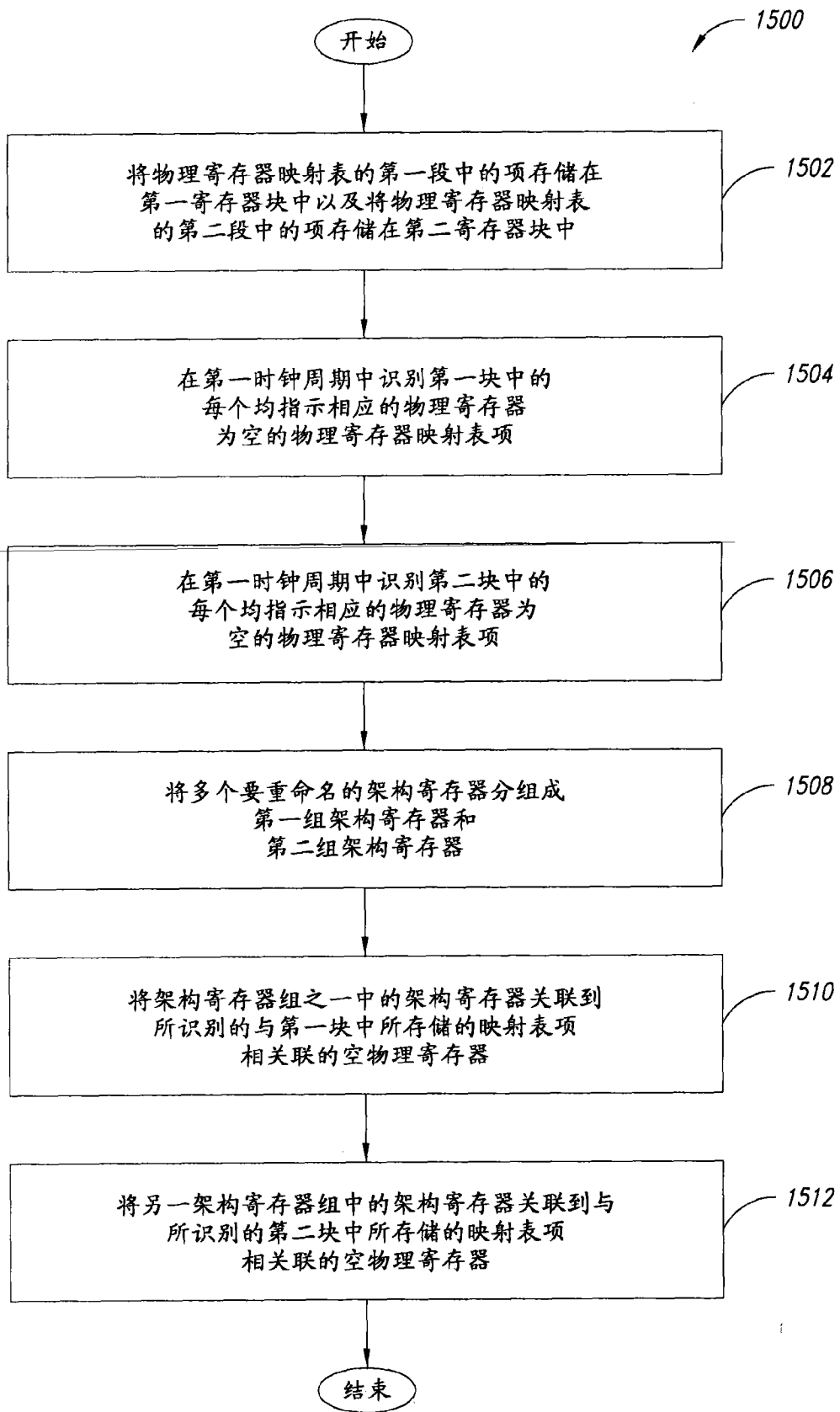


图 15