

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6599111号

(P6599111)

(45) 発行日 令和1年10月30日 (2019. 10. 30)

(24) 登録日 令和1年10月11日 (2019. 10. 11)

(51) Int. Cl.		F I			
H O 1 L	29/786	(2006. 01)	H O 1 L	29/78	6 1 8 B
H O 1 L	21/365	(2006. 01)	H O 1 L	21/365	
H O 1 L	21/363	(2006. 01)	H O 1 L	29/78	6 1 8 G
C 2 3 C	16/40	(2006. 01)	H O 1 L	21/363	
			C 2 3 C	16/40	

請求項の数 1 (全 75 頁)

(21) 出願番号	特願2015-43762 (P2015-43762)	(73) 特許権者	000153878
(22) 出願日	平成27年3月5日 (2015. 3. 5)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-181161 (P2015-181161A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成27年10月15日 (2015. 10. 15)	(72) 発明者	山崎 舜平
審査請求日	平成30年3月2日 (2018. 3. 2)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2014-45530 (P2014-45530)		半導体エネルギー研究所内
(32) 優先日	平成26年3月7日 (2014. 3. 7)	(72) 発明者	山田 良則
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	野中 裕介
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	太田 将志
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 酸化物半導体膜の作製方法

(57) 【特許請求の範囲】

【請求項 1】

I n と、G a と、Z n と、を有する酸化物半導体膜の作製方法であって、
 基板をチャンバーの中に導入し、
 前記基板を加熱し、
 前記チャンバーの中に、第 1 の原料ガスと、第 2 の原料ガスと、第 3 の原料ガスと、酸化剤と、を導入し、
 前記第 1 の原料ガスは、トリメチルインジウムであり、
 前記第 2 の原料ガスは、トリメチルガリウムまたはトリエチルガリウムのいずれかであり、
 前記第 3 の原料ガスは、ジメチル亜鉛またはジエチル亜鉛のいずれかであり、
 前記基板上で前記第 1 の原料ガスと、前記第 2 の原料ガスと、前記第 3 の原料ガスと、前記酸化剤とを反応させ、
 前記酸化物半導体膜中に大きさが 1 n m 以上 1 0 n m 未満 の結晶構造を形成させる、酸化物半導体膜の作製方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または組成物（コンポジション・オブ・マター）に関する。特に、

本発明は、例えば、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、記憶装置、プロセッサに関する。または、半導体、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置の製造方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置の駆動方法に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0003】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

【0004】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

【0005】

近年は、酸化物半導体が注目されている。例えば、非晶質 In-Ga-Zn 酸化物を用いたトランジスタが開示されている（特許文献1参照。）。酸化物半導体は、スパッタリング法などを用いて成膜できるため、大型の表示装置を構成するトランジスタの半導体に用いることができる。また、酸化物半導体を用いたトランジスタは、高い電界効果移動度を有するため、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を実現できる。また、非晶質シリコンを用いたトランジスタの生産設備の一部を改良して利用することが可能であるため、設備投資を抑えられるメリットもある。

【0006】

なお、1985年には、結晶 In-Ga-Zn 酸化物の合成が報告されている（非特許文献1参照。）。また、1995年には、 In-Ga-Zn 酸化物がホモロガス構造をとり、 $\text{InGaO}_3(\text{ZnO})_m$ （ m は自然数。）という組成式で記述されることが報告されている（非特許文献2参照。）。

【0007】

また、2012年には、非晶質 In-Ga-Zn 酸化物を用いたトランジスタと比べ、優れた電気特性および信頼性を有する、結晶性 In-Ga-Zn 酸化物を用いたトランジスタについて報告されている（非特許文献3参照。）。ここでは、CAAC（ $\text{C-Axis Aligned Crystal}$ ）を有する In-Ga-Zn 酸化物は、結晶粒界が明確に確認されないことが報告されている。

【0008】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献2参照。）。また、酸化物半導体からなる活性層で井戸型ポテンシャルを構成することにより、高い電界効果移動度を有するトランジスタが得られることが開示されている（特許文献3参照。）。

【先行技術文献】

【特許文献】

【0009】

10

20

30

40

50

【特許文献1】特開2006-165528号公報

【特許文献2】特開2012-257187号公報

【特許文献3】特開2012-59860号公報

【非特許文献】

【0010】

【非特許文献1】N. Kimizuka, and T. Mohri: Journal of Solid State Chemistry 1985 vol. 60 pp. 382-384

【非特許文献2】N. Kimizuka, M. Isobe, and M. Nakamura: Journal of Solid State Chemistry 1995 vol. 116 p170-p178

【非特許文献3】S. Yamazaki, J. Koyama, Y. Yamamoto, and K. Okamoto: Society for Information Display 2012 DIGEST p. 183-p. 186.

【発明の概要】

【発明が解決しようとする課題】

【0011】

トランジスタの半導体などに適用可能な、酸化物を作製する方法を提供することを課題の一とする。特に、結晶粒界などの欠陥の少ない酸化物を作製する方法を提供することを課題の一とする。

【0012】

または、酸化物を半導体に用いた半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。または、酸化物を半導体に用いた半導体装置を有するモジュールを提供することを課題の一とする。または、結晶性酸化物を半導体に用いた半導体装置、または結晶性酸化物を半導体に用いた半導体装置を有するモジュールを有する電子機器を提供することを課題の一とする。

【0013】

または、高い電界効果移動度を有するトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、当該トランジスタを有する半導体装置を提供することを課題の一とする。

【0014】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0015】

(1)

本発明の一態様は、酸化物半導体と、絶縁体と、導電体と、を有し、酸化物半導体は、絶縁体を介して、酸化物半導体と導電体とが互いに重なる領域を有し、酸化物半導体は、円相当径が1nm以上の結晶粒と、円相当径が1nm未満の結晶粒と、を有する半導体装置である。

【0016】

(2)

または、本発明の一態様は、酸化物半導体と、第1の導電体と、第2の導電体と、絶縁体と、を有し、酸化物半導体は、絶縁体を介して、酸化物半導体と第1の導電体とが互いに重なる領域を有し、酸化物半導体は、第2の導電体と接する領域を有し、酸化物半導体は、円相当径が1nm以上の結晶粒と、円相当径が1nm未満の結晶粒と、を有する半導体装置である。

【0017】

(3)

または、本発明の一態様は、(2)において、第1の導電体は、第1の導電体と第2の導電体とが互いに重なる領域を有する半導体装置である。

【0018】

(4)

または、本発明の一態様は、(1)乃至(3)のいずれか一において、酸化物半導体は、二次イオン質量分析法によって水素の濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の領域を有する半導体装置である。

【0019】

(5)

または、本発明の一態様は、(1)乃至(4)のいずれか一において、酸化物半導体は、二次イオン質量分析法によって炭素の濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の領域を有する半導体装置である。

【発明の効果】

【0020】

トランジスタの半導体などに適用可能な、酸化物を作製する方法を提供することができる。特に、結晶粒界などの欠陥の少ない酸化物を作製する方法を提供することができる。

【0021】

または、酸化物を半導体に用いた半導体装置を提供することができる。または、新規な半導体装置を提供することができる。または、酸化物を半導体に用いた半導体装置を有するモジュールを提供することができる。または、結晶性酸化物を半導体に用いた半導体装置、または結晶性酸化物を半導体に用いた半導体装置を有するモジュールを有する電子機器を提供することができる。

【0022】

または、高い電界効果移動度を有するトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、当該トランジスタを有する半導体装置を提供することができる。

【0023】

なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様は、場合によって、または状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によって、または状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0024】

【図1】本発明の一態様に係る酸化物半導体の断面図。

【図2】酸化物半導体のナノビーム電子回折パターンを示す図。

【図3】酸化物半導体の電子照射による結晶部の大きさの変化を示す図。

【図4】本発明の一態様に係るトランジスタの断面図およびバンド図を示す図。

【図5】本発明の一態様に係るトランジスタのバンド図を示す図。

【図6】本発明の一態様に係るトランジスタのバンド図を示す図。

【図7】本発明の一態様に係るトランジスタのバンド図を示す図。

【図8】本発明の一態様に係るトランジスタのバンド図を示す図。

【図9】本発明の一態様に係るトランジスタのバンド図を示す図。

【図10】本発明の一態様に係る製造装置を示す図。

【図11】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図12】本発明の一態様に係るトランジスタを示す断面図。

【図13】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図14】本発明の一態様に係るトランジスタを示す断面図。

10

20

30

40

50

- 【図 1 5】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図 1 6】本発明の一態様に係るトランジスタを示す断面図。
- 【図 1 7】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図 1 8】本発明の一態様に係るトランジスタを示す断面図。
- 【図 1 9】本発明の一態様に係る半導体装置の回路図。
- 【図 2 0】本発明の一態様に係る記憶装置の回路図。
- 【図 2 1】本発明の一態様に係る R F タグのブロック図。
- 【図 2 2】本発明の一態様に係る R F タグの使用例を示す図。
- 【図 2 3】本発明の一態様に係る C P U を示すブロック図。
- 【図 2 4】本発明の一態様に係る記憶素子の回路図。 10
- 【図 2 5】本発明の一態様に係る表示装置の上面図および回路図。
- 【図 2 6】本発明の一態様に係る表示モジュールを説明する図。
- 【図 2 7】本発明の一態様に係る電子機器を示す図。
- 【図 2 8】酸化物の組成と電子親和力、イオン化エネルギーおよびエネルギーギャップの関係の一例を示す図。
- 【図 2 9】酸化物半導体の深さ方向における組成を示す図。
- 【図 3 0】酸化物半導体の深さ方向における不純物濃度を示す図。
- 【図 3 1】酸化物半導体の X R D スペクトルを示す図。
- 【図 3 2】酸化物半導体の平面 T E M 像を示す図。
- 【図 3 3】酸化物半導体の高分解能平面 T E M 像を示す図。 20
- 【図 3 4】酸化物半導体の高分解能平面 T E M 像を示す図。
- 【図 3 5】酸化物半導体の高分解能平面 T E M 像を示す図。
- 【図 3 6】酸化物半導体の断面 T E M 像を示す図。
- 【図 3 7】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 3 8】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 3 9】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 4 0】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 4 1】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 4 2】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 4 3】酸化物半導体の高分解能断面 T E M 像を示す図。 30
- 【図 4 4】酸化物半導体の高分解能断面 T E M 像を示す図。
- 【図 4 5】酸化物半導体の高分解能断面 T E M 像および電子回折パターンを示す図。
- 【図 4 6】酸化物半導体の高分解能断面 T E M 像および電子回折パターンを示す図。
- 【図 4 7】酸化物半導体の電子回折測定前後における高分解能断面 T E M 像を示す図。
- 【図 4 8】酸化物半導体の電子回折パターンの解析を説明する図。
- 【図 4 9】酸化ガリウムの電気特性を示す図。
- 【図 5 0】酸化ガリウムの電気特性を示す図。
- 【発明を実施するための形態】
- 【0025】
- 本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。
- 【0026】
- なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。
- 【0027】
- 本明細書において、例えば、物体の形状を「径」、「粒径」、「大きさ」、「サイズ」、 50

「幅」などで規定する場合、物体が収まる最小の立方体における一辺の長さ、または物体の一断面における円相当径と読み替えてもよい。物体の一断面における円相当径とは、物体の一断面と等しい面積となる正円の直径をいう。

【0028】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。

【0029】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0030】

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する場合がある。また、「半導体」と「絶縁体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「絶縁体」と言い換えることができる場合がある。同様に、本明細書に記載の「絶縁体」は、「半導体」と言い換えることができる場合がある。

【0031】

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する場合がある。また、「半導体」と「導電体」は境界が曖昧であり、厳密に区別できない場合がある。したがって、本明細書に記載の「半導体」は、「導電体」と言い換えることができる場合がある。同様に、本明細書に記載の「導電体」は、「半導体」と言い換えることができる場合がある。

【0032】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体のDOS（Density of State）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン膜である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0033】

なお、本明細書において、Aが濃度Bの領域を有する、と記載する場合、例えば、Aのある領域における深さ方向全体の濃度がBである場合、Aのある領域における深さ方向の濃度の平均値がBである場合、Aのある領域における深さ方向の濃度の中央値がBである場合、Aのある領域における深さ方向の濃度の最大値がBである場合、Aのある領域における深さ方向の濃度の最小値がBである場合、Aのある領域における深さ方向の濃度の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域における濃度がBである場合などを含む。

【0034】

また、本明細書において、Aが大きさB、長さB、厚さB、幅Bまたは距離Bの領域を有する、と記載する場合、例えば、Aのある領域における全体の大きさ、長さ、厚さ、幅、または距離がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の平均値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の中央値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最

10

20

30

40

50

大値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の最小値がBである場合、Aのある領域における大きさ、長さ、厚さ、幅、または距離の収束値がBである場合、測定上Aそのものの確からしい値の得られる領域での大きさ、長さ、厚さ、幅、または距離がBである場合などを含む。

【0035】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0036】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0037】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の上面に形成されるチャンネル領域の割合に対して、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0038】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0039】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0040】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

50

【0041】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0042】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。

10

【0043】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0044】

<酸化物半導体>

図1に、本発明の一態様に係る酸化物半導体の断面図を示す。

【0045】

酸化物半導体である半導体106は、領域150a、領域150b、領域150c、領域152a、領域152bおよび領域154などを有する。

20

【0046】

透過電子顕微鏡(TEM: Transmission Electron Microscope)による観察像(TEM像ともいう。)で、領域150a、領域150bおよび領域150cは、円相当径が1nm以上の結晶部である。また、領域152aおよび領域152bは、円相当径が1nm未満の結晶部である。なお、結晶部を結晶粒と呼びかえることができる。なお、領域152aおよび領域152bは、円相当径が小さいため、TEMによって明確に結晶部を確認することが難しい場合がある。

【0047】

なお、領域150aと、領域150bと、領域150cと、は同様の結晶構造を有する場合がある。例えば、領域150aと、領域150bと、領域150cと、が六方晶または菱面体晶を有する場合がある。特に、領域150aと、領域150bと、領域150cと、がホモロガス構造を有すると好ましい。

30

【0048】

なお、領域150aと、領域150bと、領域150cと、の間で特定の結晶軸(例えば、a軸、b軸またはc軸)の向きは異なる。したがって、半導体106は、明確な結晶の配向性を有さない。ただし、領域150aと、領域150bと、領域150cと、の間で特定の結晶軸の向きが揃っても構わない。

【0049】

また、領域154は、ナノ結晶(nc: nanocrystal)構造を有する領域である。酸化物半導体の構造の詳細については後述する。

40

【0050】

なお、半導体106の各領域において、組成が異なっても構わない。例えば、領域150a、領域150bおよび領域150cが、 $\text{InMO}_3(\text{ZnO})_2$ で示される結晶構造を有し、領域154が $\text{InMO}_3(\text{ZnO})$ で示される結晶構造を有しても構わない。なお、元素MにはFe、Ga、Alなどがある。

【0051】

なお、半導体106は不純物濃度の低い酸化物半導体である。

【0052】

例えば、半導体106は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)によって、水素濃度が $1 \times 10^{19} \text{ atom}$

50

s/cm^3 未満となる領域、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域、または $3 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域を有する酸化物半導体である。

【0053】

同様に、半導体106は、SIMSによって炭素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満となる領域、または $5 \times 10^{19} \text{ atoms/cm}^3$ 未満となる領域を有する酸化物半導体である。

【0054】

同様に、半導体106は、SIMSによって窒素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域、または $5 \times 10^{17} \text{ atoms/cm}^3$ 未満となる領域を有する酸化物半導体である。

【0055】

同様に、半導体106は、SIMSによってフッ素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 未満となる領域、 $5 \times 10^{16} \text{ atoms/cm}^3$ 未満となる領域、または $3 \times 10^{16} \text{ atoms/cm}^3$ 未満となる領域を有する酸化物半導体である。

【0056】

したがって、半導体106は、不純物に起因した欠陥準位密度の低い酸化物半導体である。

【0057】

以下では、酸化物半導体の構造について説明する。

【0058】

酸化物半導体は、非単結晶酸化物半導体と単結晶酸化物半導体とに大別される。非単結晶酸化物半導体とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などをいう。

【0059】

まずは、CAAC-OSについて説明する。

【0060】

CAAC-OSは、c軸配向した複数の結晶部を有する酸化物半導体の一つである。

【0061】

CAAC-OSをTEMによって明視野像および回折パターンの複合解析像（高分解能TEM像ともいう。）を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0062】

試料面と概略平行な方向から、CAAC-OSの断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OSの膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OSの被形成面または上面と平行に配列する。

【0063】

一方、試料面と概略垂直な方向から、CAAC-OSの平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0064】

なお、CAAC-OSに対し、電子回折を行うと、配向性を示すスポット（輝点）が観測される。例えば、CAAC-OSの上面に対し、例えば1nm以上30nm以下の電子線を用いる電子回折（ナノビーム電子回折ともいう。）を行うと、スポットが観測される（図2（A）参照。）。

【0065】

断面の高分解能TEM像および平面の高分解能TEM像より、CAAC-OSの結晶部は

10

20

30

40

50

配向性を有していることがわかる。

【0066】

なお、CAAC-OSSに含まれるほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、CAAC-OSSに含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。ただし、CAAC-OSSに含まれる複数の結晶部が連結することで、一つの大きな結晶部を形成する場合がある。例えば、平面の高分解能TEM像において、 2500nm^2 以上、 $5\mu\text{m}^2$ 以上または $1000\mu\text{m}^2$ 以上となる結晶部が観察される場合がある。

【0067】

CAAC-OSSに対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OSSのout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(0 0 9)面に帰属されることから、CAAC-OSSの結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

10

【0068】

一方、CAAC-OSSに対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(1 1 0)面に帰属される。InGaZnO₄の単結晶酸化化合物半導体であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(φ軸)として試料を回転させながら分析(φスキャン)を行うと、(1 1 0)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OSSの場合は、2θを56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

20

【0069】

以上のことから、CAAC-OSSでは、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面の高分解能TEM像で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0070】

なお、結晶部は、CAAC-OSSを成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OSSの被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OSSの形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OSSの被形成面または上面の法線ベクトルと平行にならないこともある。

30

【0071】

また、CAAC-OSS中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、CAAC-OSSの結晶部が、CAAC-OSSの上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなる可能性がある。また、不純物の添加されたCAAC-OSSは、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

40

【0072】

なお、InGaZnO₄の結晶を有するCAAC-OSSのout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OSS中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OSSは、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0073】

CAAC-OSSは、不純物濃度の低い酸化化合物半導体である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化化合物半導体の主成分以外の元素である。特に、シリコンなど

50

の、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいと、酸化物半導体内部に含まれると、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0074】

また、CAAC-OSSは、欠陥準位密度の低い酸化物半導体である。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となる場合がある。

10

【0075】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を高純度真性または実質的に高純度真性である酸化物半導体という。したがって、当該酸化物半導体を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体は、キャリアトラップが少ない。そのため、当該酸化物半導体を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞う場合がある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体を用いたトランジスタは、電気特性が不安定となる場合がある。

20

【0076】

また、CAAC-OSSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0077】

次に、多結晶酸化物半導体について説明する。

【0078】

多結晶酸化物半導体は、高分解能TEM像において、結晶粒を確認することができる。多結晶酸化物半導体に含まれる結晶粒は、例えば、高分解能TEM像で、2 nm以上300 nm以下、3 nm以上100 nm以下または5 nm以上50 nm以下の粒径であることが多い。また、多結晶酸化物半導体は、高分解能TEM像で、結晶粒界を確認できる場合がある。

30

【0079】

多結晶酸化物半導体は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている場合がある。また、多結晶酸化物半導体に対し、XRD装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有する多結晶酸化物半導体のout-of-plane法による解析では、2θが31°近傍のピーク、2θが36°近傍のピーク、またはその他のピークが現れる場合がある。

40

【0080】

多結晶酸化物半導体は、高い結晶性を有するため、高い電子移動度を有する場合がある。したがって、多結晶酸化物半導体を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体は、結晶粒界に不純物が偏析する場合がある。また、多結晶酸化物半導体の結晶粒界は欠陥準位となる。多結晶酸化物半導体は、結晶粒界がキャリアトラップやキャリア発生源となる場合があるため、多結晶酸化物半導体を用いたトランジスタは、CAAC-OSSを用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる場合がある。

【0081】

50

次に、微結晶酸化物半導体について説明する。

【0082】

微結晶酸化物半導体は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。したがって、本発明の一態様に係る酸化物半導体は、さらに1nm未満の結晶部を有する微結晶酸化物半導体の一種であるといえる。

10

【0083】

nc-OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OSは、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OSに対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OSに対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある(図2(B)参照。)

20

【0084】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

30

【0085】

したがって、nc-OSは、CAAC-OSと比べて、キャリア密度が高くなる場合がある。キャリア密度が高い酸化物半導体は、電子移動度が高くなる場合がある。したがって、nc-OSを用いたトランジスタは、高い電界効果移動度を有する場合がある。また、nc-OSは、CAAC-OSと比べて、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。したがって、nc-OSを用いたトランジスタは、CAAC-OSを用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-OSは、比較的不純物が多く含まれていても形成することができるため、CAAC-OSよりも形成が容易となり、用途によっては好適に用いることができる場合がある。そのため、nc-OSを用いたトランジスタを有する半導体装置は、生産性高く作製することができる場合がある。

40

【0086】

次に、非晶質酸化物半導体について説明する。

【0087】

非晶質酸化物半導体は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体である。石英のような無定形状態を有する酸化物半導体が一例である。

【0088】

非晶質酸化物半導体は、高分解能TEM像において結晶部を確認することができない。

【0089】

50

非晶質酸化物半導体に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0090】

非晶質酸化物半導体は、水素などの不純物を高い濃度で含む酸化物半導体である。また、非晶質酸化物半導体は、欠陥準位密度の高い酸化物半導体である。

【0091】

不純物濃度が高く、欠陥準位密度が高い酸化物半導体は、キャリアトラップやキャリア発生源が多い酸化物半導体である。

10

【0092】

したがって、非晶質酸化物半導体は、nc-OSと比べて、さらにキャリア密度が高くなる場合がある。そのため、非晶質酸化物半導体を用いたトランジスタは、ノーマリーオン電気特性になりやすい。したがって、ノーマリーオンの電気特性が求められるトランジスタに好適に用いることができる場合がある。非晶質酸化物半導体は、欠陥準位密度が高いため、キャリアトラップが多くなる場合がある。したがって、非晶質酸化物半導体を用いたトランジスタは、CAAC-OSやnc-OSを用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

20

【0093】

次に、単結晶酸化物半導体について説明する。

【0094】

単結晶酸化物半導体は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体である。そのため、キャリア密度を低くすることができる。したがって、単結晶酸化物半導体を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少なくなる場合がある。したがって、単結晶酸化物半導体を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0095】

なお、酸化物半導体は、欠陥が少ないと密度が高くなる。また、酸化物半導体は、結晶性が高いと密度が高くなる。また、酸化物半導体は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体は、CAAC-OSよりも密度が高い。また、CAAC-OSは、微結晶酸化物半導体よりも密度が高い。また、多結晶酸化物半導体は、微結晶酸化物半導体よりも密度が高い。また、微結晶酸化物半導体は、非晶質酸化物半導体よりも密度が高い。

30

【0096】

なお、酸化物半導体は、nc-OSと非晶質酸化物半導体との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体を、特に非晶質ライク酸化物半導体（a-like OS: amorphous-like Oxide Semiconductor）と呼ぶ。

40

【0097】

a-like OSは、高分解能TEM像において鬆（ポイドともいう。）が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OSは、TEMによる観察程度の微量な電子照射によって、結晶化が起これ、結晶部の成長が見られる場合がある。一方、良質なnc-OSであれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

【0098】

なお、a-like OSおよびnc-OSの結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、InGaZnO₄の結晶は層状構造を有し、In

50

ーO層の間に、Ga-Zn-O層を2層有する。InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(0 0 9)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞がInGaZnO₄の結晶のa-b面に対応すると見なした。その格子縞の観察される領域の最大長を、a-like OSおよびnc-OSの結晶部の大きさとする。なお、結晶部の大きさは、0.8nm以上のものを選択的に評価する。

【0099】

10

図3は、高分解能TEM像により、a-like OS(黒三角で表記。)およびnc-OS(白丸で表記。)の結晶部(20箇所から40箇所)の平均の大きさの変化を調査した例である。図3より、a-like OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、TEMによる観察初期においては1.2nm程度の大きさだった結晶部が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、良質なnc-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ になるまでの範囲で、電子の累積照射量によらず結晶部の大きさに変化が見られないことがわかる。

【0100】

また、図3に示す、a-like OSおよびnc-OSの結晶部の大きさの変化を線形近似して、電子の累積照射量 $0 \text{ e}^-/\text{nm}^2$ まで外挿すると、結晶部の平均の大きさが正の値をとることがわかる。そのため、a-like OSおよびnc-OSの結晶部が、TEMによる観察前から存在していることがわかる。

20

【0101】

<連続接合を有するトランジスタ>

以下では、本発明の一態様に係るトランジスタの構造について説明する。

【0102】

図4(A)は、トランジスタの構造を示す断面図である。図4(A)に示すトランジスタは、基板100上の絶縁体102と、絶縁体102上の半導体106と、半導体106の上面と接する導電体116aおよび導電体116bと、半導体106上、導電体116a上および導電体116b上の絶縁体112と、絶縁体112を介して半導体106と重なる導電体104と、を有する。なお、導電体104は、トランジスタのゲート電極として機能する。また、導電体116aおよび導電体116bは、トランジスタのソース電極およびドレイン電極として機能する。また、図4(A)に示すトランジスタは、半導体106の上面と接する導電体116aおよび導電体116bを有するが、これに限定されない。例えば、半導体106の下面と接する導電体116aおよび導電体116bを有しても構わない。

30

【0103】

なお、導電体116a(または/および導電体116b)の、少なくとも一部(または全部)は、半導体106などの半導体の、表面、側面、上面、または/および下面の少なくとも一部(または全部)に設けられている。

40

【0104】

または、導電体116a(または/および導電体116b)の、少なくとも一部(または全部)は、半導体106などの半導体の、表面、側面、上面、または/および下面の少なくとも一部(または全部)と、接している。または、導電体116a(または/および導電体116b)の、少なくとも一部(または全部)は、半導体106などの半導体の少なくとも一部(または全部)と、接している。

【0105】

または、導電体116a(または/および導電体116b)の、少なくとも一部(または全部)は、半導体106などの半導体の、表面、側面、上面、または/および下面の少な

50

くとも一部（または全部）と、電氣的に接続されている。または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の少なくとも一部（または全部）と、電氣的に接続されている。

【0106】

または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）に、近接して配置されている。または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の少なくとも一部（または全部）に、近接して配置されている。

【0107】

または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の横側に配置されている。または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の少なくとも一部（または全部）の横側に配置されている。

【0108】

または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の斜め上側に配置されている。または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の少なくとも一部（または全部）の斜め上側に配置されている。

【0109】

または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の上側に配置されている。または、導電体 116a（または／および導電体 116b）の、少なくとも一部（または全部）は、半導体 106 などの半導体の少なくとも一部（または全部）の上側に配置されている。

【0110】

図 4（B）および図 4（C）は、図 4（A）に示す一点鎖線 L1-L2 に対応するバンド図である。バンド図は、理解を容易にするため、絶縁体 102、半導体 106 および絶縁体 112 の伝導帯下端のエネルギー（ E_c ）と、導電体 104 のフェルミ準位（ $fermi\ level$ ）を示す。なお、真空準位（ $vacuum\ level$ ）と伝導帯下端のエネルギーとの差を、電子親和力（ $electron\ affinity$ ）と呼ぶ。

【0111】

以下は、図 4（A）に示すトランジスタが、nチャネル型であるとして説明する。なお、以下の説明を pチャネル型トランジスタに適用することは、当業者であれば容易に想到しうるものとして省略する。

【0112】

図 4（B）に示す半導体 106 の電子親和力は、絶縁体 102 および絶縁体 112 の間で連続的に変化する（段階的ではなく、なだらかに変化すると表現することもできる。）。具体的には、半導体 106 の電子親和力は、絶縁体 102 および半導体 106 の界面に向かって低くなるような勾配と、半導体 106 および絶縁体 112 の界面に向かって低くなるような勾配と、を有する U 字状となる。

【0113】

一方、図 4（C）に示す半導体 106 の電子親和力は、絶縁体 102 および絶縁体 112 の間で一定となる。

【0114】

図 4（B）に示すように、絶縁体 102 から絶縁体 112 までの間で、バンド図が徐々に変化していくことを、連続接合（ $continuous\ junction$ ）と呼ぶ。一方、図 4（C）に示すように、絶縁体 102 から絶縁体 112 までの間で、バンド図が一

10

20

30

40

50

定であることを、不連続接合 (discontinuous junction) と呼ぶ。

【0115】

図4 (B) に示すバンド図とすることで、図4 (C) に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0116】

図4 (B) に示すバンド図とすることにより、キャリアである電子の移動経路 (チャネル領域) が界面準位を有する領域から離れる。即ち、界面準位の影響を受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、サブスレッショルドスイング値 (S値ともいう。) の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0117】

<連続接合を有するトランジスタの作製方法>

以下では、連続接合を有するトランジスタの作製方法について、図4 (A) を用いて説明する。

【0118】

まず、基板100を準備する。

【0119】

基板100としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0120】

また、基板100として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板100に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板100として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板100が伸縮性を有してもよい。また、基板100は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板100の厚さは、例えば、5 μm 以上700 μm 以下、好ましくは10 μm 以上500 μm 以下、さらに好ましくは15 μm 以上300 μm 以下とする。基板100を薄くすると、半導体装置を軽量化することができる。また、基板100を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に

戻る性質を有する場合がある。そのため、落下などによって基板100上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0121】

可とう性基板である基板100としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板100は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板100としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、

10

【0122】

次に、絶縁体102を形成する。

【0123】

絶縁体102としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体102としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

20

【0124】

なお、絶縁体102は過剰酸素を含む絶縁体であると好ましい。

【0125】

例えば、過剰酸素を含む絶縁体は、加熱処理によって酸素を放出する機能を有する絶縁体である。例えば、過剰酸素を含む酸化シリコンは、加熱処理などによって酸素を放出することができる酸化シリコンである。したがって、絶縁体102は膜中を酸素が移動可能な絶縁体である。即ち、絶縁体102は酸素透過性を有する絶縁体とすればよい。

【0126】

過剰酸素を含む絶縁体は、半導体106中の酸素欠損を低減させる機能を有する場合がある。半導体106中で酸素欠損は、DOSを形成し、正孔トラップなどとなる。また、酸素欠損のサイトに水素が入ることによって、キャリアである電子を生成することがある。したがって、半導体106中の酸素欠損を低減することで、トランジスタに安定した電気特性を付与することができる。

30

【0127】

ここで、加熱処理によって酸素を放出する絶縁体は、昇温脱離ガス分光法（TDS：Thermal Desorption Spectroscopy）分析にて、 100°C 以上 700°C 以下または 100°C 以上 500°C 以下の表面温度の範囲で $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の酸素（酸素原子数換算）を放出することもある。

40

【0128】

ここで、TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0129】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0130】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量（ NO_2 ）は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガス

50

の全てが酸素分子由来と仮定する。 CH_3OH は質量電荷比が32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【0131】

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha$$

【0132】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 $N_{\text{H}_2} / S_{\text{H}_2}$ とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として、例えば $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコン基板を用いて測定する。

10

【0133】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

20

【0134】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0135】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、ESRにて、 g 値が2.01近傍に非対称の信号を有することもある。

【0136】

または、過剰酸素を含む絶縁体は、酸素が過剰な酸化シリコン(SiO_x ($x > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($x > 2$))は、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)により測定した値である。

30

【0137】

絶縁体102は、スパッタリング法、化学気相成長(CVD: Chemical Vapor Deposition)法、分子線エピタキシー(MBE: Molecular Beam Epitaxy)法またはパルスレーザ堆積(PLD: Pulsed Laser Deposition)法、原子層堆積法(ALD: Atomic Layer Deposition)法などを用いて成膜すればよい。絶縁体102は、CVD法で成膜すると好ましい。

40

【0138】

なお、絶縁体102を積層膜で構成する場合には、それぞれの膜を、上記のような成膜方法を用いて、異なる成膜方法で成膜してもよい。例えば、1層目をCVD法で成膜し、2層目をALD法で成膜してもよい。または、1層目をスパッタリング法で成膜し、2層目をALD法で成膜してもよい。このように、それぞれ、異なる成膜方法を用いることによって、各層の膜に異なる機能や性質を持たせることができる。そして、それらの膜を積層することによって、積層膜全体として、より適切な膜を構成することができる。

【0139】

つまり、 n 層目の膜を、スパッタリング法、CVD法、MBE法またはPLD法、ALD

50

法などのうちの少なくとも1つの方法で成膜し、 $n+1$ 層目の膜を、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などのうちの少なくとも1つの方法で成膜する(n は自然数)。なお、 n 層目の膜と、 $n+1$ 層目の膜とで、成膜方法が同じでも異なってもよい。なお、 n 層目の膜と $n+2$ 層目の膜とで、成膜方法が同じでもよい。または、すべての膜において、成膜方法が同じでもよい。

【0140】

または、基板100としてシリコン基板を用いた場合、絶縁体102となる絶縁体は、熱酸化法によって形成してもよい。

【0141】

なお、絶縁体102は、過剰酸素を含ませるように成膜すればよい。または、絶縁体102の成膜後に酸素を添加しても構わない。酸素の添加は、例えば、イオン注入法により、加速電圧を2kV以上100kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下として行えばよい。

【0142】

次に、絶縁体102となる絶縁体の表面を平坦化するために、化学的機械研磨(CMP: Chemical Mechanical Polishing)処理を行ってもよい。CMP処理を行うことで、絶縁体102となる絶縁体の平均面粗さ(Ra)を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、半導体106の結晶性が向上する場合がある。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて測定可能である。

【0143】

次に、半導体106を形成する。

【0144】

なお、半導体106としては、酸化物半導体を用いると好ましい。酸化物半導体の具体例については後述する。

【0145】

半導体106となる半導体は、CVD法を用いて成膜すると好ましい。

【0146】

半導体106となる半導体をエッチングし、半導体106を形成する場合、半導体106の加工面にダメージが入らないようエッチングすることが好ましい。例えば、ドライエッチング法を用いて、中性ビームエッチングを行えばよい。中性ビームであることから、電荷によるチャージアップが起らず、また低エネルギーであるため、低ダメージでエッチングすることが可能となる。または、半導体106が結晶である場合、結晶面によってエッチレートが異なることを利用したウェットエッチング法を用いても構わない。ウェットエッチング法を用いることにより、加工面へのダメージを低減することができる。

【0147】

半導体106は、例えば、電子親和力が連続的に変化する半導体である。半導体の電子親和力を連続的に変化させるためには、例えば、組成を連続的に変化させる方法や不純物濃度を連続的に変化させる方法などがある。

【0148】

なお、半導体106を、積層膜とする場合には、一例としては、電子親和力が連続的に変化する半導体と、電子親和力が連続的に変化しない半導体とを組み合わせ、積層膜を形成してもよい。例えば、電子親和力が連続的に変化しない半導体の上下を、電子親和力が連続的に変化する半導体で挟んだ3層構造としてもよいし、電子親和力が連続的に変化する半導体の上下を、電子親和力が連続的に変化しない半導体で挟んだ3層構造としてもよい。

【0149】

例えば、CVD法を用いることで、組成を連続的に変化した半導体106となる半導体を成膜することができる。

【0150】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0151】

プラズマCVD法は、比較的低温で高品質の膜が得られる。熱CVD法は、プラズマを用いないため、プラズマダメージが生じず、欠陥の少ない膜が得られる。

【0152】

CVD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、MCVD法およびMOCVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、MCVD法およびMOCVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、トランジスタの生産性を高めることができる。MOCVD法を用いることが可能な成膜装置の具体例については後述する。

10

【0153】

または、例えば、スパッタリング法、MBE法、PLD法、ALD法を用いて組成が連続的に変化した膜を成膜してもよい。

20

【0154】

絶縁体102は、半導体106と接する。したがって半導体106となる半導体の成膜時に、絶縁体102へダメージを与えない成膜方法を用いると好ましい。即ち、該半導体の成膜には、例えば、MOCVD法などを用いると好ましい。

【0155】

なお、半導体106を積層膜で構成する場合には、それぞれの膜を、スパッタリング法、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのような成膜方法を用いて、異なる成膜方法で成膜してもよい。例えば、1層目をMOCVD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をMOCVD法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜し、3層目をALD法で成膜してもよい。このように、それぞれ、異なる成膜方法を用いることによって、各層の膜に異なる機能や性質を持たせることができる。そして、それらの膜を積層することによって、積層膜全体として、より適切な膜を構成することができる。

30

【0156】

つまり、半導体106を積層膜で構成する場合には、例えば、 n 層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、 $n+1$ 層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜する場合、 n 層目の膜と、 $n+1$ 層目の膜とで、成膜方法が異なってもよい（ n は自然数）。なお、 n 層目の膜と $n+2$ 層目の膜とで、成膜方法が同じでもよい。または、すべての膜において、成膜方法が同じでもよい。

40

【0157】

なお、半導体106、または半導体106の積層膜の内の少なくとも一つの膜と、絶縁体102、または絶縁体102の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どちらも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。または、例えば、半導体106と接する絶縁体102と、絶縁体102と接する半導体106とは、同

50

じ成膜方法を用いてもよい。これにより、同じチャンバーで成膜することができる。その結果、不純物の混入を防ぐことができる。このように、半導体106と絶縁体102の場合だけでなく、近接して配置されている別々の膜において、同じ成膜方法を用いてもよい。ただし、本発明の一態様に係る半導体装置の作製方法は、これらに限定されない。

【0158】

なお、半導体106となる半導体の成膜後、または半導体106の形成後に、第1の加熱処理を行うことが好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行った後に行ってもよい。第1の加熱処理によって、半導体106となる半導体、または半導体106の結晶性を高めることや、水素や水などの不純物を除去することなどができる。

【0159】

次に、導電体116aおよび導電体116bを形成する。

【0160】

導電体116aおよび導電体116bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0161】

導電体116aおよび導電体116bとなる導電体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

【0162】

導電体116aおよび導電体116bは、導電体116aおよび導電体116bとなる導電体を成膜した後で、該導電体の一部をエッチングすることで形成される。したがって、該導電体の成膜時に、半導体106へダメージを与えない成膜方法を用いると好ましい。即ち、該導電体の成膜には、MCVD法などを用いると好ましい。

【0163】

なお、導電体116aおよび導電体116bを積層膜で構成する場合には、それぞれの膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのような成膜方法を用いて、異なる成膜方法で成膜してもよい。例えば、1層目をMOCVD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をMOCVD法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜し、3層目をALD法で成膜してもよい。このように、それぞれ、異なる成膜方法を用いることによって、各層の膜に異なる機能や性質を持たせることができる。そして、それらの膜を積層することによって、積層膜全体として、より適切な膜を構成することができる。

【0164】

つまり、導電体116aおよび導電体116bを積層膜で構成する場合には、例えば、n層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、n+1層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、n層目の膜と、n+1層目の膜とで、成膜方法が異なってもよい（nは自然数）。なお、n

層目の膜と $n+2$ 層目の膜とで、成膜方法が同じでもよい。または、すべての膜において、成膜方法が同じでもよい。

【0165】

なお、導電体116a（導電体116b）、または導電体116a（導電体116b）の積層膜の内の少なくとも一つの膜と、半導体106、または半導体106の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どちらも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。または、例えば、半導体106と接する導電体116a（導電体116b）と、導電体116a（導電体116b）と接する半導体106とは、同じ成膜方法を用いてもよい。これにより、同じチャンバーで成膜することができる。その結果、不純物の混入を防ぐことができる。このように、半導体106と導電体116a（導電体116b）の場合だけでなく、近接して配置されている別々の膜において、同じ成膜方法を用いてもよい。ただし、本発明の一態様に係る半導体装置の作製方法は、これらに限定されない。

10

【0166】

なお、導電体116a（導電体116b）、または導電体116a（導電体116b）の積層膜の内の少なくとも一つの膜と、半導体106、または半導体106の積層膜の内の少なくとも一つの膜と、絶縁体102、または絶縁体102の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どれも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。ただし、本発明の一態様に係る半導体装置の作製方法は、これらに限定されない。

20

【0167】

次に、絶縁体112を形成する。

【0168】

絶縁体112としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体112としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

30

【0169】

絶縁体112は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。絶縁体112は、CVD法で成膜すると好ましい。

【0170】

なお、絶縁体112を積層膜で構成する場合には、それぞれの膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのような成膜方法を用いて、異なる成膜方法で成膜してもよい。例えば、1層目をMOCVD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をMOCVD法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜し、3層目をALD法で成膜してもよい。このように、それぞれ、異なる成膜方法を用いることによって、各層の膜に異なる機能や性質を持たせることができる。そして、それらの膜を積層することによって、積層膜全体として、より適切な膜を構成することができる。

40

【0171】

つまり、絶縁体112を積層膜で構成する場合には、例えば、 n 層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、 $n+1$ 層目の膜を、CVD法（

50

プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、 n 層目の膜と、 $n+1$ 層目の膜とで、成膜方法が異なってもよい（ n は自然数）。なお、 n 層目の膜と $n+2$ 層目の膜とで、成膜方法が同じでもよい。または、すべての膜において、成膜方法が同じでもよい。

【0172】

なお、絶縁体112、または絶縁体112の積層膜の内の少なくとも一つの膜と、導電体116a（導電体116b）、または導電体116a（導電体116b）の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どちらも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。または、例えば、絶縁体112と接する導電体116a（導電体116b）と、導電体116a（導電体116b）と接する絶縁体112とは、同じ成膜方法を用いてもよい。これにより、同じチャンバーで成膜することができる。その結果、不純物の混入を防ぐことができる。

10

【0173】

なお、絶縁体112、または絶縁体112の積層膜の内の少なくとも一つの膜と、導電体116a（導電体116b）、または導電体116a（導電体116b）の積層膜の内の少なくとも一つの膜と、半導体106、または半導体106の積層膜の内の少なくとも一つの膜と、絶縁体102、または絶縁体102の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どれも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。ただし、本発明の一態様に係る半導体装置の作製方法は、これらに限定されない。

20

【0174】

次に、第2の加熱処理を行っても構わない。第2の加熱処理を行うことで、絶縁体102に含まれる過剰酸素が半導体106まで移動する。そのため、半導体106の欠陥（酸素欠損）を低減することができる。なお、第2の加熱処理は、絶縁体102中の過剰酸素（酸素）が半導体106まで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第2の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第2の加熱処理の温度差は、 20°C 以上 150°C 以下、好ましくは 40°C 以上 100°C 以下とする。これにより、絶縁体102から余分に過剰酸素（酸素）が放出することを抑えることができる。

30

【0175】

次に、導電体104を形成する。

【0176】

導電体104としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

40

【0177】

導電体104となる導電体は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

【0178】

絶縁体112は、トランジスタのゲート絶縁体として機能する。したがって導電体104は、導電体104となる導電体の成膜時に、絶縁体112へダメージを与えない成膜方法を用いると好ましい。即ち、該導電体の成膜には、MCVD法などを用いると好ましい。

【0179】

なお、導電体104を積層膜で構成する場合には、それぞれの膜を、CVD法（プラズマ

50

CVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのような成膜方法を用いて、異なる成膜方法で成膜してもよい。例えば、1層目をMOCVD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をMOCVD法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜してもよい。または、1層目をALD法で成膜し、2層目をスパッタリング法で成膜し、3層目をALD法で成膜してもよい。このように、それぞれ、異なる成膜方法を用いることによって、各層の膜に異なる機能や性質を持たせることができる。そして、それらの膜を積層することによって、積層膜全体として、より適切な膜を構成することができる。

【0180】

つまり、導電体104を積層膜で構成する場合には、例えば、n層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、n+1層目の膜を、CVD法（プラズマCVD法、熱CVD法、MCVD法、MOCVD法など）、MBE法、PLD法、ALD法などのうちの少なくとも1つの方法で成膜し、n層目の膜と、n+1層目の膜とで、成膜方法が異なってもよい（nは自然数）。なお、n層目の膜とn+2層目の膜とで、成膜方法が同じでもよい。または、すべての膜において、成膜方法が同じでもよい。

【0181】

なお、導電体104、または導電体104の積層膜の内の少なくとも一つの膜と、絶縁体112、または絶縁体112の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どちらも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。または、例えば、絶縁体112と接する導電体104と、導電体104と接する絶縁体112とは、同じ成膜方法を用いてもよい。これにより、同じチャンバーで成膜することができる。その結果、不純物の混入を防ぐことができる。

【0182】

なお、導電体104、または導電体104の積層膜の内の少なくとも一つの膜と、絶縁体112、または絶縁体112の積層膜の内の少なくとも一つの膜と、導電体116a（導電体116b）、または導電体116a（導電体116b）の積層膜の内の少なくとも一つの膜と、半導体106、または半導体106の積層膜の内の少なくとも一つの膜と、絶縁体102、または絶縁体102の積層膜の内の少なくとも一つの膜とは、同じ成膜方法を用いてもよい。例えば、どれも、ALD法を用いてもよい。これにより、大気に触れさせずに成膜することができる。その結果、不純物の混入を防ぐことができる。ただし、本発明の一態様に係る半導体装置の作製方法は、これらに限定されない。

【0183】

次に、第3の加熱処理を行っても構わない。第3の加熱処理を行うことで、絶縁体102に含まれる過剰酸素が半導体106まで移動する。そのため、半導体106の欠陥（酸素欠損）を低減することができる。なお、第3の加熱処理は、絶縁体102中の過剰酸素（酸素）が半導体106まで拡散する温度で行えばよい。例えば、第1の加熱処理についての記載を参照しても構わない。または、第3の加熱処理は、第1の加熱処理よりも低い温度が好ましい。第1の加熱処理と第3の加熱処理の温度差は、20℃以上150℃以下、好ましくは40℃以上100℃以下とする。これにより、絶縁体102から余分に過剰酸素（酸素）が放出することを抑えることができる。なお、トランジスタを覆って酸素をブロックする機能を有する絶縁体を形成したあとで、第3の加熱処理を行っても構わない。その場合、過剰酸素が外方拡散することを抑制でき、効率よく半導体106の欠陥（酸素欠損）を低減することができる。

【0184】

なお、第1の加熱処理、第2の加熱処理、第3の加熱処理の全てまたは一部を行わなくても構わない。

【0185】

以上のようにして、本発明の一態様に係るトランジスタを作製することができる。

【0186】

＜トランジスタのその他の例＞

上述したように、組成などを連続的に変化させながら成膜することにより、半導体などのバンド図を任意に制御できることがわかる。以下では、図4（B）、図4（C）に示したバンド図とは異なるバンド図を有するトランジスタの例について図5乃至図9を用いて説明する。なお、図5乃至図8に示すバンド図は、図4（A）に示したトランジスタの一点鎖線L1－L2に対応する。

【0187】

図5（A）に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって低くなるような勾配を有する。また、半導体106と絶縁体112との界面において、電子親和力の不連続点を有する。

【0188】

したがって、図5（A）に示すバンド図とすることで、図4（C）に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0189】

図5（A）に示すバンド図とすることにより、チャネル領域が界面準位を有する領域から離れる。即ち、界面準位の影響を受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0190】

図5（B）に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、半導体106および絶縁体112の界面に向かって低くなるような勾配を有する。また、絶縁体102と半導体106との界面において、電子親和力の不連続点を有する。

【0191】

したがって、図5（B）に示すバンド図とすることで、図4（C）に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0192】

図5（B）に示すバンド図とすることにより、チャネル領域が界面準位を有する領域から離れる。即ち、界面準位の影響を受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0193】

図5（C）に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって低くなるような勾配と、半導体106および絶縁体112の界

10

20

30

40

50

面に向かって低くなるような勾配と、を有する連続接合となる。また、絶縁体102および絶縁体112も、半導体106に向かって電子親和力が高くなる勾配を有する連続接合となる。

【0194】

したがって、図5(C)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0195】

図5(C)に示すバンド図とすることにより、界面の接合状態が良好になるため、界面準位密度を低くすることができる。また、チャンネル領域が界面準位を有する領域から離れる。即ち、界面準位密度が低く、かつその影響を受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャンネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0196】

図6(A)に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって低くなるような勾配と、半導体106および絶縁体112の界面に向かって低くなるような勾配と、半導体106の中央近傍に向かって電子親和力が高くなるような勾配と、を有する連続接合となる。

【0197】

したがって、図6(A)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0198】

図6(A)に示すバンド図とすることにより、チャンネル領域が界面準位を有する領域からより離れる。即ち、界面準位の影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が特に起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャンネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0199】

図6(B)に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって低くなるような勾配と、半導体106の中央近傍に向かって高くなるような勾配と、を有する。また、半導体106と絶縁体112との界面において、電子親和力の不連続点を有する。

【0200】

したがって、図6(B)に示すバンド図とすることで、図4(C)に示すバンド図とする

10

20

30

40

50

場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0201】

図6(B)に示すバンド図とすることにより、チャネル領域が界面準位を有する領域からより離れる。即ち、界面準位の影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が起りにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起りにくく、信頼性の高いトランジスタとなる。

10

【0202】

図6(C)に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、半導体106の中央近傍に向かって高くなるような勾配と、半導体106および絶縁体112の界面に向かって低くなるような勾配と、を有する。また、絶縁体102と半導体106との界面において、電子親和力の不連続点を有する。

20

【0203】

したがって、図6(C)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0204】

図6(C)に示すバンド図とすることにより、チャネル領域が界面準位を有する領域からより離れる。即ち、界面準位密度が低く、かつその影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が起りにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起りにくく、信頼性の高いトランジスタとなる。

30

【0205】

図7(A)に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって低くなるような勾配と、半導体106および絶縁体112の界面に向かって低くなるような勾配と、半導体106の中央近傍に向かって高くなるような勾配と、を有する。

40

【0206】

したがって、図7(A)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0207】

図7(A)に示すバンド図とすることにより、チャネル領域が界面準位を有する領域から

50

より離れる。即ち、界面準位の影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が特に起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106の界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0208】

図7(B)に示す半導体106は、半導体106aと、半導体106bと、半導体106cと、を有する。半導体106aおよび半導体106cは、それぞれ略一定の電子親和力を有する。また、半導体106bの電子親和力は、半導体106bの中央近傍に向かって高くなるような勾配を有する。

10

【0209】

したがって、図7(B)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106aの界面、ならびに半導体106cおよび絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0210】

図7(B)に示すバンド図とすることにより、チャネル領域が界面準位を有する領域からより離れる。即ち、界面準位の影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106aの界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

20

【0211】

図7(C)に示す半導体106は、半導体106aと、半導体106bと、半導体106cと、を有する。半導体106a、半導体106bおよび半導体106cは、それぞれ略一定の電子親和力を有する不連続接合となる。

30

【0212】

したがって、図7(C)に示すバンド図とすることで、図4(C)に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106aの界面、ならびに半導体106cおよび絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0213】

図7(C)に示すバンド図とすることにより、チャネル領域が界面準位を有する領域からより離れる。即ち、界面準位密度が低く、かつその影響を特に受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、オン電流が高く、S値の低いトランジスタとなる。また、ゲート電極からの電界が相対的に小さくなる。そのため、絶縁体102および半導体106aの界面近傍の領域におけるキャリア密度が低くなり、該領域で生じるリーク電流は小さくなる。即ち、トランジスタのオフ電流を小さくすることができる。また、界面準位を有する領域と、チャネル領域との間にエネルギー差があることにより、界面準位にキャリアが捕獲されにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

40

【0214】

50

図8 (A) に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって高くなるような勾配と、半導体106および絶縁体112の界面に向かって高くなるような勾配と、を有する。また、絶縁体102と半導体106との界面において、電子親和力の不連続点を有する。また、半導体106と絶縁体112との界面において、電子親和力の不連続点を有する。

【0215】

したがって、図8 (A) に示すバンド図とすることで、図4 (C) に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、半導体106および絶縁体112の界面における電子親和力が高いことにより、ゲート電極からの電界に対して敏感となる。また、例えば、絶縁体102および半導体106の界面における電子親和力が高いことにより、低いゲート電圧でトランジスタをオン（導通）させることができる。

10

【0216】

図8 (A) に示すバンド図とすることにより、オン、オフの切り替えの速いトランジスタとなる。したがって、S値の低いトランジスタとなる。また、低いゲート電圧で高いオン電流を得ることができる。即ち、消費電力の小さいトランジスタとすることができる。

【0217】

図8 (B) に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、絶縁体102および半導体106の界面に向かって高くなるような勾配を有する。また、絶縁体102と半導体106との界面において、電子親和力の不連続点を有する。また、半導体106と絶縁体112との界面において、電子親和力の不連続点を有する。

20

【0218】

したがって、図8 (B) に示すバンド図とすることで、図4 (C) に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面における電子親和力が高いことにより、低いゲート電圧でトランジスタをオンさせることができる。

【0219】

図8 (B) に示すバンド図とすることにより、低いゲート電圧で高いオン電流を得ることができる。即ち、消費電力の小さいトランジスタとすることができる。

30

【0220】

図8 (C) に示す半導体106の電子親和力は、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106の電子親和力は、半導体106および絶縁体112の界面に向かって高くなるような勾配を有する。また、絶縁体102と半導体106との界面において、電子親和力の不連続点を有する。また、半導体106と絶縁体112との界面において、電子親和力の不連続点を有する。

【0221】

したがって、図8 (C) に示すバンド図とすることで、図4 (C) に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、半導体106および絶縁体112の界面における電子親和力が高いことにより、ゲート電極からの電界に対して敏感となる。

40

【0222】

図8 (C) に示すバンド図とすることにより、オン、オフの切り替えの速いトランジスタとなる。したがって、S値の低いトランジスタとなる。

【0223】

図9 (A) および図9 (B) は、図4 (A) に示す一点鎖線L1-L2に対応するバンド図である。バンド図は、上述した構成に加え、絶縁体102、半導体106および絶縁体112の価電子帯上端のエネルギー (E_v) を示す。なお、真空準位と価電子帯上端のエネルギーとの差を、イオン化エネルギー (ionization energy) と呼ぶ

50

。

【0224】

図9（A）に示す半導体106のイオン化エネルギーは、絶縁体102および絶縁体112の間で連続的に変化する。具体的には、半導体106のイオン化エネルギーは、絶縁体102および半導体106の界面に向かって高くなるような勾配と、半導体106および絶縁体112の界面に向かって高くなるような勾配と、を有する逆U字状となる。

【0225】

一方、図9（B）に示す半導体106のイオン化エネルギーは、絶縁体102および絶縁体112の間で一定となる。

【0226】

図9（A）に示すバンド図とすることで、図9（B）に示すバンド図とする場合と比べて、トランジスタの電気特性を向上させることができる場合がある。例えば、絶縁体102および半導体106の界面、ならびに半導体106および絶縁体112の界面には、異種接合、成膜ダメージ、不純物の混入などに起因した界面準位が形成される場合がある。

【0227】

図9（A）に示すバンド図とすることにより、正孔が生成された場合でも界面準位を有する領域から離れるため、界面準位に正孔が捕獲されにくくなる。即ち、界面準位の影響を受けにくい構造であるため、界面準位に起因したオン電流の低下が起こりにくい。したがって、界面準位に起因した電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0228】

または、例えば、絶縁体102または／および絶縁体112中に正孔捕獲中心を有する場合がある。図9（B）に示すバンド図では、例えば、半導体に光が入射することで正孔が生成された際、ゲート電極に電圧が印加されると半導体106中の準位を介して絶縁体102または／および絶縁体112中の正孔捕獲中心まで正孔が移動する場合がある。絶縁体102または／および絶縁体112中の正孔捕獲中心に捕獲された正孔は放出されにくいため、固定電荷として振舞う場合がある。

【0229】

一方、図9（A）に示すバンド図とすることにより、半導体106中の準位と絶縁体102または／および絶縁体112中の正孔捕獲中心とが離れる。そのため、例えば、半導体に光が入射することで正孔が生成された際でも、半導体106中の準位を介して絶縁体102または／および絶縁体112中の正孔捕獲中心まで正孔が移動することが起こりにくくなる。したがって、絶縁体102または／および絶縁体112中に正孔捕獲中心を有する場合でも、電気特性の変動が起こりにくく、信頼性の高いトランジスタとなる。

【0230】

以上に示したように、半導体などのバンド図を任意に制御することで、優れた電気特性を有するトランジスタを得ることができる。

【0231】

なお、半導体などのバンド図は一例である。例えば、上述したバンド図の一部または全部を組み合わせて作成したバンド図を有するトランジスタについても、本発明の一態様の範疇となる。

【0232】

<成膜装置>

以下では、本発明の一態様に係る半導体などを成膜することが可能な、成膜装置の具体例について説明する。

【0233】

図10（A）に示す成膜装置を含む製造装置は、ロード室702、搬送室710、前処理室703、熱CVD法を利用した成膜室である処理室731、アンロード室706を少なくとも有する。また、図10（A）に示す製造装置は、大気に触れることなく、連続的に成膜を行うことができる。そのため、積層膜を成膜する場合、膜中および膜の界面へ不純

10

20

30

40

50

物の混入を防止することができる。なお、製造装置のチャンバー（ロード室、処理室、搬送室、成膜室、アンロード室などを含む）は、チャンバー内壁への水分の付着などを防ぐため、露点が -60°C 未満、好ましくは -80°C 未満、さらに好ましくは -100°C 未満の不活性ガス（窒素ガス、希ガスなど）を充填させておくことが好ましい。または、チャンバーは、圧力を 1 Pa 未満、好ましくは 0.1 Pa 未満、さらに好ましくは $1\times 10^{-4}\text{ Pa}$ 未満の減圧状態とする。

【0234】

また、処理室704または／および処理室705は、処理室731と同様の熱CVD法を利用する成膜室（熱CVD装置ともいう。）としてもよい。

【0235】

例えば、処理室731にて半導体を成膜し、処理室704にて絶縁体を成膜し、処理室705にて金属を成膜してもよい。その場合、それらの積層膜を大気に触れることなく、連続的に成膜することができる。

【0236】

まず、基板720をロード室702に搬入する。次に、搬送室710の搬送ユニット707によって基板を前処理室703に搬送する。前処理室703では、基板表面を洗浄する処理や加熱処理を行う。次に、基板を処理室731に搬送して半導体を成膜する。前処理室703で処理されることによって、基板表面を清浄化することができる。また、基板表面の処理から半導体の成膜までの間に大気に触れないため、不純物などが基板表面に付着することを抑制できる。

【0237】

次に、搬送ユニット707によって基板を処理室704に搬送して酸化ハフニウムなどの絶縁体を成膜する。次に、搬送ユニット707によって基板を処理室705に搬送してタングステンなどの金属を成膜する。次に、搬送ユニット707によって基板をアンロード室706に搬送する。以上の手順により、半導体、絶縁体および金属を順に積層することができる。

【0238】

図10（B）に熱CVD装置の一例を示す。熱CVD装置は、基板の搬入されたチャンバーに原料ガス（一種または複数種）、酸化剤（ O_2 、 O_3 など）などを同時に供給し、基板近傍または基板表面で反応させ、生成物を堆積させることで成膜を行う。

【0239】

熱CVD装置の処理室731は、基板ホルダ719と、複数の原料ガスの導入口の接続された部材721と、排気装置718とを少なくとも有する。原料ガスの導入口には、それぞれ供給管、圧力調整器、バルブ、マスフローコントローラ（マスフローコントローラ722、マスフローコントローラ724、マスフローコントローラ726、マスフローコントローラ728）を介して原料供給部（原料供給部723、原料供給部725、原料供給部727、原料供給部729）と接続されており、排出口は、排出管やバルブや圧力調整器を介して排気装置718と接続されている。

【0240】

成膜時の処理室731内は大気圧としてもよいし、減圧としてもよい。

【0241】

また、原料ガスを供給する際には、シャワーヘッドのような複数の開口部から原料ガスを供給してもよい。

【0242】

また、基板面内における膜の厚さを均一にするため、基板ホルダ719を回転させ、基板ホルダ719に固定されている基板720を回転させてもよい。

【0243】

なお、熱CVD法は、プラズマを用いないため、プラズマに起因して膜に欠陥が生成されることがない。

【0244】

10

20

30

40

50

熱CVD法によって、金属、半導体、絶縁体など様々な膜を形成することができる。例えば、In-Ga-Zn酸化物を成膜する場合には、原料ガスとして、トリメチルインジウム($(\text{CH}_3)_3\text{In}$)、トリメチルガリウム($(\text{CH}_3)_3\text{Ga}$)、およびジメチル亜鉛($(\text{CH}_3)_2\text{Zn}$)などを用いる。ただし、In-Ga-Zn酸化物の原料ガスは、これらの組み合わせに限定されない。例えば、トリメチルガリウムに代えてトリエチルガリウム($(\text{C}_2\text{H}_5)_3\text{Ga}$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛($(\text{C}_2\text{H}_5)_2\text{Zn}$)を用いることもできる。また、例えば、酸化ガリウムを成膜する場合には、原料ガスとして、トリメチルガリウムまたはトリエチルガリウムを用いればよい。

【0245】

また、図10(A)では搬送室710の上面形状が六角形であるマルチチャンバーの製造装置の例を示しているが、それより角の多い多角形(七角形、八角形など)としてより多くのチャンバーと連結させてもよい。または、搬送室710の上面形状が五角形または四角形であるマルチチャンバーの製造装置であってもよい。また、チャンバーを複数連結することで搬送室を省略した、インライン製造装置としてもよい。インライン製造装置は、搬送室を有さないことにより、搬送の時間が短くできるため、生産性の高い製造装置である。なお、図10(A)では枚葉式の製造装置の例を示したが、複数枚の基板を一度に成膜するバッチ式の製造装置としてもよい。また、各処理室にクリーニング(例えばプラズマクリーニングなど)を行うための機構を有してもよい。

【0246】

また、図10(A)においては、処理室704、処理室705および処理室731に熱CVD装置を用いる例を示したが、いずれか一をスパッタリング装置やALD装置など、そのほかの成膜装置としてもよい。

【0247】

<トランジスタの構造>

以下では、本発明の一態様に係るトランジスタの構造について説明する。

【0248】

<トランジスタ構造1>

図11(A)および図11(B)は、本発明の一態様のトランジスタの上面図および断面図である。図11(A)は上面図であり、図11(B)は、図11(A)に示す一点鎖線A1-A2、および一点鎖線A3-A4に対応する断面図である。なお、図11(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0249】

図11(A)および図11(B)に示すトランジスタは、基板400上の凸部を有する絶縁体402と、絶縁体402の凸部上の半導体406と、半導体406の上面および側面と接する導電体416aおよび導電体416bと、半導体406上、導電体416a上および導電体416b上の絶縁体412と、絶縁体412の上面に接し、半導体406の上面および側面に面する導電体404と、導電体416a上、導電体416b上および導電体404上の絶縁体418と、を有する。なお、絶縁体402が凸部を有しなくても構わない。なお、導電体404は、トランジスタのゲート電極として機能する。また、導電体416aおよび導電体416bは、トランジスタのソース電極およびドレイン電極として機能する。

【0250】

図11(B)に示すように、導電体416aおよび導電体416bの側面が半導体406の側面と接する。また、導電体404の電界によって、半導体406を電気的に取り囲むことができる(導電体から生じる電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ)。そのため、半導体406の全体(バルク)にチャンネルが形成される場合がある。s-channel構造では、トランジスタのソースドレイン間に大電流を流すことができ、高いオン電流を得ることができる。

【0251】

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャンネル長を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とする。

【0252】

なお、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）に設けられている。

10

【0253】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および、下面の少なくとも一部（または全部）と、接している。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）と、接している。

【0254】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および、下面の少なくとも一部（または全部）と、電気的に接続されている。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）と、電気的に接続されている。

20

【0255】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）に、近接して配置されている。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）に、近接して配置されている。

【0256】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の横側に配置されている。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）の横側に配置されている。

30

【0257】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の斜め上側に配置されている。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）の斜め上側に配置されている。

40

【0258】

または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の、表面、側面、上面、または／および下面の少なくとも一部（または全部）の上側に配置されている。または、導電体416a（または／および導電体416b）の、少なくとも一部（または全部）は、半導体406などの半導体の少なくとも一部（または全部）の上側に配置されている。

【0259】

なお、チャンネル長とは、上面図において、半導体とゲート電極とが重なる領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）

50

との距離をいう。即ち、図11(A)では、チャンネル長は、半導体406と導電体404とが重なる領域における、導電体416aと導電体416bとの距離となる。チャンネル幅とは、半導体とゲート電極とが重なる領域における、ソースとドレインとが平行に向かい合っている長さをいう。即ち、図11(A)では、チャンネル幅は、半導体406と導電体404とが重なる領域における、導電体416aと導電体416bとが平行に向かい合っている長さをいう。

【0260】

基板400は、基板100についての記載を参照する。絶縁体402は、絶縁体102についての記載を参照する。半導体406は、半導体106についての記載を参照する。導電体416aおよび導電体416bは、導電体116aおよび導電体116bについての記載を参照する。絶縁体412は、絶縁体112についての記載を参照する。導電体404は、導電体104についての記載を参照する。

10

【0261】

絶縁体418としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジウム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体418としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムまたは酸化タンタルを用いればよい。

20

【0262】

絶縁体402は、基板400からの不純物の拡散を防止する役割を有する。ここで、半導体406が酸化物半導体である場合、絶縁体402は、半導体406に酸素を供給する役割を担うことができる。したがって、絶縁体402は酸素を含む絶縁体であることが好ましい。例えば、化学量論的組成よりも多い酸素を含む絶縁体であることがより好ましい。

【0263】

以下では、半導体406に適用可能な酸化物半導体について詳細に説明する。

【0264】

半導体406に適用可能な酸化物半導体は、例えば、インジウムを含む酸化物である。酸化物は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、酸化物半導体は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、イットリウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。

30

【0265】

ただし、酸化物半導体は、インジウムを含む酸化物に限定されない。酸化物半導体は、例えば、酸化ガリウム、亜鉛スズ酸化物、ガリウムスズ酸化物であっても構わない。

40

【0266】

また酸化物半導体は、エネルギーギャップが大きい酸化物を用いる。酸化物半導体のエネルギーギャップは、例えば、2.2 eV以上5.0 eV以下、好ましくは2.5 eV以上4.5 eV以下、さらに好ましくは2.8 eV以上4.2 eV以下とする。

【0267】

以下では、酸化物半導体中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物半導体のキャリア密度は、 $1 \times$

50

10^{17} 個/cm³ 未満、 1×10^{15} 個/cm³ 未満、または 1×10^{13} 個/cm³ 未満とする。酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

【0268】

例えば、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、酸化物半導体と絶縁体402との間に、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) において、 1×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 未満、さらに好ましくは 2×10^{18} atoms/cm³ 未満のシリコン濃度となる領域を有する。また、酸化物半導体と絶縁体412との間に、SIMSにおいて、 1×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 未満、さらに好ましくは 2×10^{18} atoms/cm³ 未満のシリコン濃度となる領域を有する。

10

【0269】

また、酸化物半導体中に水素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体は、SIMSにおいて、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下の水素濃度となる領域を有する。また、酸化物半導体中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体は、SIMSにおいて、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下の窒素濃度となる領域を有する。

20

【0270】

なお、酸化物半導体に銅が混入すると、電子トラップを生成する場合がある。電子トラップは、トランジスタのしきい値電圧をプラス方向へ変動させる場合がある。したがって、酸化物半導体の表面または内部における銅濃度は低いほど好ましい。例えば、酸化物半導体は、銅濃度が 1×10^{19} atoms/cm³ 以下、 5×10^{18} atoms/cm³ 以下、または 1×10^{18} atoms/cm³ 以下となる領域を有すると好ましい。

【0271】

また、酸化物半導体の水素濃度を低減するために、絶縁体402の水素濃度を低減すると好ましい。絶縁体402は、SIMSにおいて、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下の水素濃度となる領域を有する。また、酸化物半導体の窒素濃度を低減するために、絶縁体402の窒素濃度を低減すると好ましい。絶縁体402は、SIMSにおいて、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下の窒素濃度となる領域を有する。

30

【0272】

また、酸化物半導体の水素濃度を低減するために、絶縁体412の水素濃度を低減すると好ましい。絶縁体412は、SIMSにおいて、 2×10^{20} atoms/cm³ 以下、好ましくは 5×10^{19} atoms/cm³ 以下、より好ましくは 1×10^{19} atoms/cm³ 以下、さらに好ましくは 5×10^{18} atoms/cm³ 以下の水素濃度となる領域を有する。また、酸化物半導体の窒素濃度を低減するために、絶縁体412の窒素濃度を低減すると好ましい。絶縁体412は、SIMSにおいて、 5×10^{19} atoms/cm³ 未満、好ましくは 5×10^{18} atoms/cm³ 以下、より好ましくは 1×10^{18} atoms/cm³ 以下、さらに好ましくは 5×10^{17} atoms/cm³ 以下の窒素濃度となる領域を有する。

40

【0273】

なお、図11では、トランジスタのゲート電極が半導体406の上側に配置された例を示

50

したが、本発明の一態様に係る半導体装置はこれに限定されない。図12(A)に示すように、ゲート電極として機能させることができる導電体413が、下側にも配置されていてもよい。導電体413としては、導電体404についての記載を参照する。なお、導電体413には、導電体404と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体413に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図12(B)には、開口部を介して、導電体413と導電体404とを接続させた場合の例を示す。なお、図11以外の場合であっても、同様に、ゲート電極として機能させることができる導電体413を配置することが可能である。

【0274】

10

<トランジスタ構造1の変形例>

また、図13に示すトランジスタのように絶縁体412下に半導体407を配置しても構わない。半導体407としては、半導体406として示した半導体を用いればよい。半導体407としては、酸化ガリウムを用いることが好ましい。半導体407として、酸化ガリウムを用いるとソース電極またはドレイン電極とゲート電極との間に生じるリーク電流を低減することができる。即ち、トランジスタのオフ電流を小さくすることができる。なお、そのほかの構成については、図11に示したトランジスタについての記載を参照する。

【0275】

20

なお、図13では、トランジスタのゲート電極が半導体406の上側に配置された例を示したが、本発明の一態様に係る半導体装置はこれに限定されない。図14(A)に示すように、ゲート電極として機能させることができる導電体413が、下側にも配置されていてもよい。導電体413としては、導電体404についての記載を参照する。なお、導電体413には、導電体404と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体413に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図14(B)には、開口部を介して、導電体413と導電体404とを接続させた場合の例を示す。なお、図13以外の場合であっても、同様に、ゲート電極として機能させることができる導電体413を配置することが可能である。

【0276】

30

<トランジスタ構造2>

図15(A)および図15(B)は、本発明の一態様のトランジスタの上面図および断面図である。図15(A)は上面図であり、図15(B)は、図15(A)に示す一点鎖線B1-B2、および一点鎖線B3-B4に対応する断面図である。なお、図15(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0277】

図15(A)および図15(B)に示すトランジスタは、基板500上の凸部を有する絶縁体502と、絶縁体502の凸部上の半導体506と、半導体506上の絶縁体512と、絶縁体512上面に接し、半導体506の上面および側面に面する導電体504と、半導体506上および導電体504上にあり、半導体506に達する開口部を有する絶縁体518と、該開口部を埋める導電体516aおよび導電体516bと、導電体516aおよび導電体516bとそれぞれ接する導電体524aおよび導電体524bと、を有する。なお、絶縁体502が凸部を有さなくても構わない。なお、導電体504は、トランジスタのゲート電極として機能する。また、導電体516aおよび導電体516bは、トランジスタのソース電極およびドレイン電極として機能する。

40

【0278】

図15に示すトランジスタにおいて、導電体516aおよび導電体516bは、導電体504と重ならないよう配置される。したがって、導電体516aまたは導電体516bと、導電体504と、の間に生じる寄生容量を低減することができる。そのため、図15に示すトランジスタは、優れたスイッチング特性を実現することができる。

50

【0279】

また、絶縁体518と、導電体516aおよび導電体516bと、の上面の高さが揃っていることで、形状不良を起こしにくい構造である。したがって、該トランジスタを有する半導体装置は、歩留り高く作製することができる。

【0280】

導電体524aおよび導電体524bとしては、例えば、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。

【0281】

また、基板500は基板400についての記載を参照する。また、絶縁体502は絶縁体402についての記載を参照する。また、半導体506は半導体406についての記載を参照する。また、導電体516aおよび導電体516bは、導電体416aおよび導電体416bについての記載を参照する。また、絶縁体512は絶縁体412についての記載を参照する。また、導電体504は導電体404についての記載を参照する。また、絶縁体518は絶縁体418についての記載を参照する。

【0282】

なお、図15では、トランジスタのゲート電極が半導体506の上側に配置した例を示したが、本発明の一態様に係る半導体装置はこれに限定されない。図16(A)に示すように、ゲート電極として機能させることができる導電体513が、下側にも配置されていてもよい。導電体513としては、導電体504についての記載を参照する。なお、導電体513には、導電体504と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体513に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図16(B)には、開口部を介して、導電体513と導電体504とを接続させた場合の例を示す。また、導電体513は、導電体524aおよび導電体524bと重なるよう配置してもよい。その場合の例を、図16(B)に示す。なお、図15以外の場合であっても、同様に、ゲート電極として機能させることができる導電体513を配置することが可能である。

【0283】

<トランジスタ構造2の変形例>

また、図15に示すトランジスタにおいて、絶縁体512下に半導体を配置しても構わない。該半導体は半導体407についての記載を参照する。なお、そのほかの構成については、図15に示したトランジスタについての記載を参照する。

【0284】

<トランジスタ構造3>

図17(A)および図17(B)は、本発明の一態様のトランジスタの上面図および断面図である。図17(A)は上面図であり、図17(B)は、図17(A)に示す一点鎖線C1-C2、および一点鎖線C3-C4に対応する断面図である。なお、図17(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0285】

図17(A)および図17(B)に示すトランジスタは、基板600上の導電体604と、導電体604上の絶縁体612と、絶縁体612上の半導体606と、半導体606上面および側面と接する導電体616aおよび導電体616bと、半導体606上、導電体616a上および導電体616b上の絶縁体618と、を有する。なお、基板600と導電体604の間に絶縁体を有しても構わない。なお、導電体604は、トランジスタのゲート電極として機能する。また、導電体616aおよび導電体616bは、トランジスタのソース電極およびドレイン電極として機能する。

【0286】

なお、トランジスタは、絶縁体618を介して半導体606と重なる導電体を有してもよい。該導電体は、トランジスタの第2のゲート電極として機能する。また、該第2のゲート

10

20

30

40

50

ト電極によってs-channel構造を形成していても構わない。

【0287】

また、基板600は基板400についての記載を参照する。また、導電体604は導電体404についての記載を参照する。また、絶縁体612は絶縁体412についての記載を参照する。また、半導体606は半導体406についての記載を参照する。また、導電体616aおよび導電体616bは、導電体416aおよび導電体416bについての記載を参照する。また、絶縁体618は絶縁体418についての記載を参照する。

【0288】

なお、半導体606の上に、チャンネル保護膜として機能させることができる絶縁体を配置してもよい。または、導電体616aおよび導電体616bと、半導体606との間に、絶縁体を配置してもよい。その場合、導電体616a（導電体616b）と半導体606とは、絶縁体中の開口部を介して接続される。これらの絶縁体は、絶縁体412についての記載を参照すればよい。

10

【0289】

なお、図17では、トランジスタのゲート電極が半導体606の下側に配置した例を示したが、本発明の一態様に係る半導体装置はこれに限定されない。図18（A）に示すように、ゲート電極として機能させることができる導電体613が、上側にも配置されていてもよい。導電体613としては、導電体604についての記載を参照する。なお、導電体613には、導電体604と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体613に、一定の電位を供給して、トランジスタのしきい値電圧を制御してもよい。図18（B）には、開口部を介して、導電体613と導電体604とを接続させた場合の例を示す。なお、図17以外の場合であっても、同様に、ゲート電極として機能させることができる導電体613を配置することが可能である。

20

【0290】

<半導体装置>

以下では、本発明の一態様に係る半導体装置を例示する。

【0291】

<回路>

以下では、本発明の一態様に係るトランジスタを利用した回路の一例について説明する。

30

【0292】

〔CMOSインバータ〕

図19（A）に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

【0293】

〔CMOSアナログスイッチ〕

また図19（B）に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

40

【0294】

〔記憶装置の例〕

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図20に示す。

【0295】

図20（A）に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

【0296】

50

トランジスタ 3300 は、酸化物半導体を用いたトランジスタである。トランジスタ 3300 のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0297】

図 20 (A) において、第 1 の配線 3001 はトランジスタ 3200 のソースと電氣的に接続され、第 2 の配線 3002 はトランジスタ 3200 のドレインと電氣的に接続される。また、第 3 の配線 3003 はトランジスタ 3300 のソース、ドレインの一方と電氣的に接続され、第 4 の配線 3004 はトランジスタ 3300 のゲートと電氣的に接続されている。そして、トランジスタ 3200 のゲート、およびトランジスタ 3300 のソース、ドレインの他方は、容量素子 3400 の電極の一方と電氣的に接続され、第 5 の配線 3005 は容量素子 3400 の電極の他方と電氣的に接続されている。

10

【0298】

図 20 (A) に示す半導体装置は、トランジスタ 3200 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0299】

情報の書き込みおよび保持について説明する。まず、第 4 の配線 3004 の電位を、トランジスタ 3300 が導通状態となる電位にして、トランジスタ 3300 を導通状態とする。これにより、第 3 の配線 3003 の電位が、トランジスタ 3200 のゲート、および容量素子 3400 の電極の一方と電氣的に接続するノード FG に与えられる。即ち、トランジスタ 3200 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 Low レベル電荷、High レベル電荷という。）のどちらかが与えられるものとする。その後、第 4 の配線 3004 の電位を、トランジスタ 3300 が非導通状態となる電位にして、トランジスタ 3300 を非導通状態とすることにより、ノード FG に電荷が保持される（保持）。

20

【0300】

トランジスタ 3300 のオフ電流は極めて小さいため、ノード FG の電荷は長期間にわたって保持される。

30

【0301】

次に情報の読み出しについて説明する。第 1 の配線 3001 に所定の電位（定電位）を与えた状態で、第 5 の配線 3005 に適切な電位（読み出し電位）を与えると、第 2 の配線 3002 は、ノード FG に保持された電荷量に応じた電位をとる。これは、トランジスタ 3200 を n チャンネル型とすると、トランジスタ 3200 のゲートに High レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ 3200 のゲートに Low レベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 3200 を「導通状態」とするために必要な第 5 の配線 3005 の電位をいうものとする。したがって、第 5 の配線 3005 の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FG に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FG に High レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 3200 は「導通状態」となる。一方、ノード FG に Low レベル電荷が与えられていた場合には、第 5 の配線 3005 の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 3200 は「非導通状態」のままである。このため、第 2 の配線 3002 の電位を判別することで、ノード FG に保持されている情報を読み出すことができる。

40

【0302】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。ほかのメモリセルの情報を読み出さないためには、ノード

50

FGに与えられた電荷によらずトランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えればよい。または、ノードFGに与えられた電荷によらずトランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えればよい。

【0303】

図20(B)に示す半導体装置は、トランジスタ3200を有さない点で図20(A)に示した半導体装置と異なる。この場合も図20(A)に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0304】

図20(B)に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

【0305】

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を CB 、電荷が再分配される前の第3の配線3003の電位を $VB0$ とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位が $V1$ と $V0$ ($V1 > V0$) の2つの状態をとるとすると、電位 $V1$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位 $V0$ を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

【0306】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0307】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0308】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0309】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が全く生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0310】

<RFタグ>

以下では、上述したトランジスタ、または記憶装置を含むRFタグについて、図21を用いて説明する。

10

20

30

40

50

【0311】

本発明の一態様に係るRFタグは、内部に記憶回路を有し、記憶回路に情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには高い信頼性が要求される。

【0312】

RFタグの構成について図21を用いて説明する。図21は、RFタグの構成例を示すブロック図である。

【0313】

図21に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタの半導体には、逆方向電流を十分に抑制することが可能な、例えば、酸化物半導体を用いてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。RFタグ800は、そのいずれの方式に用いることも可能である。

【0314】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段の容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を有してもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0315】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0316】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

【0317】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコード、カラムデコード、記憶領域などを有する。また、ROM811は、固有番号（ID）などを格納し、処理に応じて出力を行うための回路である。

【0318】

なお、上述の各回路は、適宜、取捨することができる。

【0319】

ここで、上述した記憶装置を、記憶回路810に用いることができる。本発明の一態様に係る記憶装置は、電源が遮断された状態であっても情報を保持できるため、RFタグに好適である。さらに本発明の一態様に係る記憶装置は、データの書き込みに必要な電力（電

10

20

30

40

50

圧)が従来の不揮発性メモリに比べて低いため、データの読み出し時と書込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書込みが生じることを抑制することができる。

【0320】

また、本発明の一態様に係る記憶装置は、不揮発性メモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

10

【0321】

<RFタグの使用例>

以下では、本発明の一態様に係るRFタグの使用例について図22を用いて説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図22(A)参照。)、包装用容器類(包装紙やボトル等、図22(C)参照。)、記録媒体(DVDやビデオテープ等、図22(B)参照。)、乗り物類(自転車等、図22(D)参照。)、身の回り品(鞆や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、もしくは各物品に取り付ける荷札(図22(E)および図22(F)参照。)等に設けて使用することができる。

20

【0322】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000により、認証機能を付与することができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグ4000を取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグ4000を取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

30

【0323】

以上のように、本発明の一態様に係るRFタグは、上述したような各用途に用いることができる。

【0324】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

40

【0325】

図23は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0326】

図23に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic Logic Unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有し

50

ている。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図23に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図23に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0327】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

10

【0328】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

20

【0329】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0330】

図23に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

30

【0331】

図23に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0332】

40

図24は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

【0333】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはG

50

N D (0 V) 、またはトランジスタ 1 2 0 9 がオフする電位が入力され続ける構成とする。例えば、トランジスタ 1 2 0 9 のゲートが抵抗等の負荷を介して接地される構成とする。

【 0 3 3 4 】

スイッチ 1 2 0 3 は、一導電型（例えば、n チャネル型）のトランジスタ 1 2 1 3 を用いて構成され、スイッチ 1 2 0 4 は、一導電型とは逆の導電型（例えば、p チャネル型）のトランジスタ 1 2 1 4 を用いて構成した例を示す。ここで、スイッチ 1 2 0 3 の第 1 の端子はトランジスタ 1 2 1 3 のソースとドレインの一方に対応し、スイッチ 1 2 0 3 の第 2 の端子はトランジスタ 1 2 1 3 のソースとドレインの他方に対応し、スイッチ 1 2 0 3 はトランジスタ 1 2 1 3 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 3 の導通状態または非導通状態）が選択される。スイッチ 1 2 0 4 の第 1 の端子はトランジスタ 1 2 1 4 のソースとドレインの一方に対応し、スイッチ 1 2 0 4 の第 2 の端子はトランジスタ 1 2 1 4 のソースとドレインの他方に対応し、スイッチ 1 2 0 4 はトランジスタ 1 2 1 4 のゲートに入力される制御信号 R D によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1 2 1 4 の導通状態または非導通状態）が選択される。

10

【 0 3 3 5 】

トランジスタ 1 2 0 9 のソースとドレインの一方は、容量素子 1 2 0 8 の一対の電極のうちの一方、およびトランジスタ 1 2 1 0 のゲートと電気的に接続される。ここで、接続部分をノード M 2 とする。トランジスタ 1 2 1 0 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば G N D 線）に電気的に接続され、他方は、スイッチ 1 2 0 3 の第 1 の端子（トランジスタ 1 2 1 3 のソースとドレインの一方）と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）はスイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と電気的に接続される。スイッチ 1 2 0 4 の第 2 の端子（トランジスタ 1 2 1 4 のソースとドレインの他方）は電源電位 V D D を供給することのできる配線と電気的に接続される。スイッチ 1 2 0 3 の第 2 の端子（トランジスタ 1 2 1 3 のソースとドレインの他方）と、スイッチ 1 2 0 4 の第 1 の端子（トランジスタ 1 2 1 4 のソースとドレインの一方）と、論理素子 1 2 0 6 の入力端子と、容量素子 1 2 0 7 の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノード M 1 とする。容量素子 1 2 0 7 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 7 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電気的に接続される。容量素子 1 2 0 8 の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（G N D 等）または高電源電位（V D D 等）が入力される構成とすることができる。容量素子 1 2 0 8 の一対の電極のうちの他方は、低電源電位を供給することのできる配線（例えば G N D 線）と電気的に接続される。

20

30

【 0 3 3 6 】

なお、容量素子 1 2 0 7 および容量素子 1 2 0 8 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

40

【 0 3 3 7 】

トランジスタ 1 2 0 9 のゲートには、制御信号 W E が入力される。スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 は、制御信号 W E とは異なる制御信号 R D によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【 0 3 3 8 】

トランジスタ 1 2 0 9 のソースとドレインの他方には、回路 1 2 0 1 に保持されたデータに対応する信号が入力される。図 2 4 では、回路 1 2 0 1 から出力された信号が、トラン

50

ジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0339】

なお、図24では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合には、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

10

【0340】

また、図24において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板1190にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャンネルが形成されるトランジスタとすることもできる。

20

【0341】

図24における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0342】

本発明の一態様に係る半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

30

【0343】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【0344】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

40

【0345】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（導通状態、または非導通状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

50

【0346】

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0347】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF (Radio Frequency) タグ (にも応用可能である)。

10

【0348】

<表示装置>

以下では、本発明の一態様に係る表示装置の構成例について説明する。

【0349】

[構成例]

図25(A)には、本発明の一態様に係る表示装置の上面図を示す。また、図25(B)には、本発明の一態様に係る表示装置の画素に液晶素子を用いた場合における画素回路を示す。また、図25(C)には、本発明の一態様に係る表示装置の画素に有機EL素子を用いた場合における画素回路を示す。

20

【0350】

画素に用いるトランジスタは、上述したトランジスタを用いることができる。ここでは、nチャネル型のトランジスタを用いる例を示す。なお、画素に用いたトランジスタと、同一工程を経て作製したトランジスタを駆動回路として用いても構わない。このように、画素や駆動回路に上述したトランジスタを用いることにより、表示品位が高い、または／および信頼性の高い表示装置となる。

【0351】

アクティブマトリクス型表示装置の一例を図25(A)に示す。表示装置の基板5000上には、画素部5001、第1の走査線駆動回路5002、第2の走査線駆動回路5003、信号線駆動回路5004が配置される。画素部5001は、複数の信号線によって信号線駆動回路5004と電氣的に接続され、複数の走査線によって第1の走査線駆動回路5002、および第2の走査線駆動回路5003と電氣的に接続される。なお、走査線と信号線とによって区切られる領域には、それぞれ表示素子を有する画素が配置されている。また、表示装置の基板5000は、FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 (コントローラ、制御ICともいう) に電氣的に接続されている。

30

【0352】

第1の走査線駆動回路5002、第2の走査線駆動回路5003および信号線駆動回路5004は、画素部5001と同じ基板5000上に形成される。そのため、駆動回路を別途作製する場合と比べて、表示装置を作製するコストを低減することができる。また、駆動回路を別途作製した場合、配線間の接続数が増える。したがって、同じ基板5000上に駆動回路を設けることで、配線間の接続数を減らすことができ、信頼性の向上、または／および歩留まりの向上を図ることができる。

40

【0353】

[液晶表示装置]

また、画素の回路構成の一例を図25(B)に示す。ここでは、VA型液晶表示装置の画素などに適用することができる画素回路を示す。

【0354】

この画素回路は、一つの画素に複数の画素電極を有する構成に適用できる。それぞれの画

50

素電極は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極に印加する信号を、独立して制御できる。

【0355】

トランジスタ5016の走査線5012と、トランジスタ5017の走査線5013には、異なるゲート信号を与えることができるように分離されている。一方、信号線5014は、トランジスタ5016とトランジスタ5017で共通に用いられている。トランジスタ5016とトランジスタ5017は上述したトランジスタを適宜用いることができる。これにより、表示品位が高い、または／および信頼性の高い液晶表示装置を提供することができる。

10

【0356】

また、トランジスタ5016には、第1の画素電極が電氣的に接続され、トランジスタ5017には、第2の画素電極が電氣的に接続される。第1の画素電極と第2の画素電極とは分離されている。なお、第1の画素電極及び第2の画素電極の形状としては、特に限定は無い。例えば、第1の画素電極はV字状とすればよい。

【0357】

トランジスタ5016のゲート電極は走査線5012と電氣的に接続され、トランジスタ5017のゲート電極は走査線5013と電氣的に接続されている。走査線5012と走査線5013に異なるゲート信号を与えてトランジスタ5016とトランジスタ5017の動作タイミングを異ならせ、液晶の配向を制御することができる。

20

【0358】

また、容量線5010と、誘電体として機能するゲート絶縁体と、第1の画素電極または第2の画素電極と電氣的に接続する容量電極とで容量素子を形成してもよい。

【0359】

マルチドメイン構造は、一画素に第1の液晶素子5018と第2の液晶素子5019を備える。第1の液晶素子5018は第1の画素電極と対向電極とその間の液晶層とで構成され、第2の液晶素子5019は第2の画素電極と対向電極とその間の液晶層とで構成される。

【0360】

なお、本発明の一態様に係る表示装置は、図25(B)に示す画素回路に限定されない。例えば、図25(B)に示す画素回路に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、または論理回路などを追加してもよい。

30

【0361】

〔有機ELパネル〕

画素の回路構成の他の一例を図25(C)に示す。ここでは、有機EL素子を用いた表示装置の画素構造を示す。

【0362】

有機EL素子は、発光素子に電圧を印加することにより、有機EL素子が有する一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

【0363】

図25(C)は、画素回路の一例を示す図である。ここでは1つの画素にnチャネル型のトランジスタを2つ用いる例を示す。なお、nチャネル型のトランジスタには、上述したトランジスタを用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0364】

適用可能な画素回路の構成およびデジタル時間階調駆動を適用した場合の画素の動作について説明する。

50

【0365】

画素5020は、スイッチング用トランジスタ5021、駆動用トランジスタ5022、発光素子5024および容量素子5023を有する。スイッチング用トランジスタ5021は、ゲート電極が走査線5026に接続され、第1電極（ソース電極、ドレイン電極の一方）が信号線5025に接続され、第2電極（ソース電極、ドレイン電極の他方）が駆動用トランジスタ5022のゲート電極に接続されている。駆動用トランジスタ5022は、ゲート電極が容量素子5023を介して電源線5027に接続され、第1電極が電源線5027に接続され、第2電極が発光素子5024の第1電極（画素電極）に接続されている。発光素子5024の第2電極は共通電極5028に相当する。共通電極5028は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0366】

スイッチング用トランジスタ5021および駆動用トランジスタ5022は上述したトランジスタを用いることができる。これにより、表示品位の高い、または／および信頼性の高い有機EL表示装置となる。

【0367】

発光素子5024の第2電極（共通電極5028）の電位は低電源電位に設定する。なお、低電源電位とは、電源線5027に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子5024の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子5024に印加することにより、発光素子5024に電流を流して発光させる。なお、発光素子5024の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

20

【0368】

なお、容量素子5023は駆動用トランジスタ5022のゲート容量を代用することにより省略できる場合がある。駆動用トランジスタ5022のゲート容量については、チャネル形成領域とゲート電極との間で容量が形成されていてもよい。

【0369】

次に、駆動用トランジスタ5022に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ5022がオンまたはオフの二つの状態となるようなビデオ信号を、駆動用トランジスタ5022に入力する。なお、駆動用トランジスタ5022を線形領域で動作させるために、電源線5027の電圧よりも高い電圧を駆動用トランジスタ5022のゲート電極に与える。また、信号線5025には、電源線電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。

30

【0370】

アナログ階調駆動を行う場合、駆動用トランジスタ5022のゲート電極に発光素子5024の順方向電圧に駆動用トランジスタ5022のしきい値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ5022が飽和領域で動作するようにビデオ信号を入力し、発光素子5024に電流を流す。また、駆動用トランジスタ5022を飽和領域で動作させるために、電源線5027の電位を、駆動用トランジスタ5022のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子5024にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0371】

なお、本発明の一態様に係る表示装置は、図25（C）に示す画素構成に限定されない。例えば、図25（C）に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタまたは論理回路などを追加してもよい。

【0372】

図25で例示した回路に上述したトランジスタを適用する場合、低電位側にソース電極（第1の電極）、高電位側にドレイン電極（第2の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極にはソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構

50

成とすればよい。

【0373】

<モジュール>

以下では、本発明の一態様に係る半導体装置を適用した表示モジュールについて、図26を用いて説明を行う。

【0374】

図26に示す表示モジュール8000は、上部カバー8001と下部カバー8002との間に、FPC8003に接続されたタッチパネル8004、FPC8005に接続されたセル8006、バックライトユニット8007、フレーム8009、プリント基板8010、バッテリー8011を有する。なお、バックライトユニット8007、バッテリー8011、タッチパネル8004などを有さない場合もある。

10

【0375】

本発明の一態様に係る半導体装置は、例えば、セル8006に用いることができる。

【0376】

上部カバー8001および下部カバー8002は、タッチパネル8004およびセル8006のサイズに合わせて、形状や寸法を適宜変更することができる。

【0377】

タッチパネル8004は、抵抗膜方式または静電容量方式のタッチパネルをセル8006に重畳して用いることができる。また、セル8006の対向基板（封止基板）に、タッチパネル機能を持たせるようにすることも可能である。または、セル8006の各画素内に光センサを設け、光学式のタッチパネルとすることも可能である。

20

【0378】

バックライトユニット8007は、光源8008を有する。光源8008をバックライトユニット8007の端部に設け、光拡散板を用いる構成としてもよい。

【0379】

フレーム8009は、セル8006の保護機能の他、プリント基板8010の動作により発生する電磁波を遮断するための電磁シールドとしての機能を有してもよい。またフレーム8009は、放熱板としての機能を有していてもよい。

【0380】

プリント基板8010は、電源回路、ビデオ信号およびクロック信号を出力するための信号処理回路を有する。電源回路に電力を供給する電源としては、外部の商用電源であってもよいし、別途設けたバッテリー8011による電源であってもよい。商用電源を用いる場合には、バッテリー8011を有さなくてもよい。

30

【0381】

また、表示モジュール8000には、偏光板、位相差板、プリズムシートなどの部材を追加して設けてもよい。

【0382】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図27に示す。

40

【0383】

図27（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部

50

９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図２７（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【０３８４】

図２７（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度にしたがって、切り替える構成としてもよい。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

10

【０３８５】

図２７（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

20

【０３８６】

図２７（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０３８７】

図２７（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能である。表示部９４３における映像を、接続部９４６における第１筐体９４１と第２筐体９４２との間の角度にしたがって切り替える構成としてもよい。

30

【０３８８】

図２７（Ｆ）は普通自動車であり、車体９５１、車輪９５２、ダッシュボード９５３、ライト９５４等を有する。

【０３８９】

なお、実施の形態の中で述べる内容は、その実施の形態で述べる別の内容に対して、適用、組み合わせ、または置き換えなどを行うことができる。

【０３９０】

なお、実施の形態の中で述べる内容は、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

40

【０３９１】

なお、実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【０３９２】

なお、図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することができる。またはある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、またはその範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規

50

定することができる。

【0393】

具体例としては、ある回路において、第1乃至第5のトランジスタを用いている回路図が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

10

【0394】

別の具体例としては、ある値について、例えば、「電圧が、3 V以上10 V以下であることが好適である」と記載されているとする。その場合、例えば、電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、電圧が13 V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、電圧が5 V以上8 V以下であると発明を規定することも可能である。なお、例えば、電圧が概略9 Vであると発明を規定することも可能である。なお、例えば、電圧が3 V以上10 V以下であるが、9 Vである場合を除く、と発明を規定することも可能である。なお、ある値について、「ある範囲であることが好ましい」、「これらを満たすことが好適である」などと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、それらの記載には限定されない。

20

【0395】

別の具体例としては、ある値について、例えば、「電圧が10 Vであることが好適である」と記載されているとする。その場合、例えば、電圧が-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、電圧が13 V以上である場合を除く、と発明の一態様を規定することが可能である。

【0396】

別の具体例としては、ある物質の性質について、例えば、「絶縁体である」と記載されているとする。その場合、例えば、有機絶縁体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、無機絶縁体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、導電体である場合を除く、と発明の一態様を規定することが可能である。または、例えば、半導体である場合を除く、と発明の一態様を規定することが可能である。

30

【0397】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、膜が設けられている」と記載されているとする。その場合、例えば、膜が4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電体が設けられている場合を除く、と発明を規定することが可能である。

40

【0398】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケースを想定できる場合には、その端子の接続先を特定の箇所限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子

50

など) などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

【0399】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0400】

なお、本明細書等においては、実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であるといえる。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「 A は、 B 、 C 、 D 、 E 、または、 F を有する」と記載されている文章から、一部の要素を任意に抜き出して、「 A は、 B と E とを有する」、「 A は、 E と F とを有する」、「 A は、 C と E と F とを有する」、または、「 A は、 B と C と D と E とを有する」などの発明の一態様を構成することは可能である。

20

30

【0401】

なお、本明細書等においては、実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であるといえる。

【0402】

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であるといえる。

40

【0403】

<参考例>

本発明の一態様に係るトランジスタの半導体の説明において、半導体の組成によってバン

50

ド図を制御できることを記載した。以下では、半導体の組成によってバンド図を制御できる一例として、インジウム、ガリウム、亜鉛から選択された二種以上を含む酸化物の組成と、電子親和力（黒三角で表記。）、イオン化エネルギー（白丸で表記。）およびエネルギーギャップ（白四角で表記。）との関係を図28に示す。なお、図28では、出発原料の原子数比を用いた。

【0404】

図28上段より、インジウムの割合（ $\text{In} / (\text{In} + \text{Ga} + \text{Zn})$ ）に着目すると、インジウムの割合が高くなるほど、電子親和力が高くなることがわかった。また、インジウムの割合が高くなるほど、イオン化エネルギーが低くなることがわかった。また、インジウムの割合が高くなるほど、エネルギーギャップが低くなることがわかった。

10

【0405】

図28中段より、ガリウムの割合（ $\text{Ga} / (\text{In} + \text{Ga} + \text{Zn})$ ）に着目すると、ガリウムの割合が高くなるほど、電子親和力が低くなることがわかった。また、ガリウムの割合が高くなるほど、イオン化エネルギーが高くなることがわかった。また、ガリウムの割合が高くなるほど、エネルギーギャップが高くなることがわかった。

【0406】

図28下段より、亜鉛の割合（ $\text{Zn} / (\text{In} + \text{Ga} + \text{Zn})$ ）に着目すると、亜鉛の割合と電子親和力との間には相関がほとんどないことがわかった。また、亜鉛の割合とイオン化エネルギーとの間には相関がほとんどないことがわかった。また、亜鉛の割合とエネルギーギャップとの間には相関がほとんどないことがわかった。即ち、亜鉛の割合は、バンド図の制御への寄与が小さいことがわかる。

20

【0407】

したがって、図28に示すように、インジウム、ガリウム、亜鉛の組成によってバンド図を制御できることがわかる。特に、ガリウムの割合によってバンド図を制御しやすいことがわかる。なお、ここではインジウム、ガリウム、亜鉛から選択された二種以上を含む酸化物の例を示したが、バンド図を制御可能な組成はこれに限定されるものではない。

【実施例1】

【0408】

本実施例では、本発明の一態様に係る酸化物半導体を成膜し、その物性を評価した。

【0409】

30

まず、シリコン基板上に酸化物半導体を成膜した。

【0410】

酸化物半導体は、MOCVD法を用いて成膜した。具体的には、成膜室のステージにシリコン基板を配置し、ステージ温度を500℃に加熱した。そして、原料ガス、キャリアガスおよび反応ガスを供給することで成膜を行った。なお、原料ガスとしては、0.1Mのトリメチルインジウム溶液、0.1Mのトリエチルガリウム溶液および0.1Mのジエチル亜鉛溶液を、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] となるようマスフローコントローラにて流量を調整し、それぞれをヒータによって気化させたものを用いた。原料ガスの溶媒にはエチルシクロヘキサンを用いた。また、キャリアガスとしては、0.3slmのアルゴンガスをを用いた。また、反応ガスとしては、2.0slmの酸素ガスをを用いた。このとき、シリコン基板表面で反応しなかったガスを排気するため、成膜室の圧力を533.3Paに制御した。

40

【0411】

成膜した酸化物半導体は、厚さが104nmであった。

【0412】

次に、酸化物半導体の組成を、誘導結合プラズマ質量分析法（ICP-MS：Inductively Coupled Plasma Mass Spectrometry）およびX線光電子分光法（XPS：X-Ray Photoelectron Spectroscopy）によって評価した。

【0413】

50

ICP-MSでは、酸化物半導体は、 $\text{In}:\text{Ga}:\text{Zn}=1.00:0.95:1.55$ [原子数比] であることがわかった。

【0414】

また、XPSでは、酸化物半導体をアルゴンイオンでスパッタしながら定量分析を行った。その結果、酸化物半導体は、図29に示す割合でインジウム、ガリウム、亜鉛および酸素を有することがわかった。また、得られた酸化物半導体は、厚さ方向にほぼ均一な組成を有することがわかった。なお、図29の横軸はアルゴンイオンによるスパッタ時間を示しており、酸化物半導体の厚さに関連する。

【0415】

次に、酸化物半導体中の不純物である、水素、炭素、窒素およびフッ素の濃度をSIMSによって評価した。その結果を図30に示す。

10

【0416】

図30に示すH(BG)、C(BG)、N(BG)およびF(BG)は、それぞれ水素のバックグラウンド濃度、炭素のバックグラウンド濃度、窒素のバックグラウンド濃度およびフッ素のバックグラウンド濃度を示す。

【0417】

図30より、酸化物半導体は、水素濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 未満となる領域、 $5 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域、および $3 \times 10^{18} \text{ atoms/cm}^3$ (バックグラウンド濃度) 未満となる領域を有することがわかった。

【0418】

20

同様に、図30より、酸化物半導体は、炭素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満となる領域、および $5 \times 10^{19} \text{ atoms/cm}^3$ 未満となる領域を有することがわかった。

【0419】

同様に、図30より、酸化物半導体は、窒素濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 未満となる領域、および $5 \times 10^{17} \text{ atoms/cm}^3$ 未満となる領域を有することがわかった。

【0420】

同様に、図30より、酸化物半導体は、フッ素濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 未満となる領域、 $5 \times 10^{16} \text{ atoms/cm}^3$ 未満となる領域、および $3 \times 10^{16} \text{ atoms/cm}^3$ (バックグラウンド濃度) 未満となる領域を有することがわかった。

30

【0421】

即ち、酸化物半導体は、不純物濃度が低いことがわかる。

【0422】

次に、酸化物半導体の結晶性についてXRD装置を用い、out-of-plane法による解析を行った。図31に、酸化物半導体のXRDスペクトルを示す。XRDスペクトルは、横軸が 2θ を示し、縦軸がXRD強度(Intensityと表記する。)を示す。なお、図31では、比較のために、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] のターゲットを用いてスパッタリング法で成膜したCAAC-OSのXRDスペクトルも同時に示す。

40

【0423】

図31より、酸化物半導体のピーク強度は、CAAC-OSと比べて小さいことがわかった。即ち、酸化物半導体は、CAAC-OSほど強いc軸配向性を有さないことがわかった。また、CAAC-OSで観測されるピークは 2θ が 30° 近傍に現れるのに対し、酸化物半導体で観測されるピークは 2θ が 32° 近傍に現れることがわかった。これは、酸化物半導体とCAAC-OSとの組成に起因する可能性がある。例えば、酸化物半導体がCAAC-OSよりも亜鉛の割合が高いため、格子面間隔が近づいたと考えられる。

【0424】

次に、酸化物半導体のTEM像を観察した。TEM像の観察は、日立透過電子顕微鏡H-9000NARを用い、加速電圧300kVで行った。

50

【0425】

図32、図33、図34および図35は、酸化物半導体の平面TEM像であり、それぞれ観察範囲が異なる。なお、図32は明視野像であり、図33、図34および図35は明視野像および回折パターンの複合解析像（高分解能TEM像ともいう。）である。

【0426】

図32に示すように、酸化物半導体は明領域と暗領域とが、均一に混ざり合った外観を有することがわかった。また、図33、図34、図35より、像を拡大するに従い、暗領域が結晶構造を有することがわかった。一方、明領域は非晶質構造またはnc-OS構造を有することがわかった。なお、前述のとおり、非晶質構造とnc-OS構造とは、分析方法によっては区別が付かない場合がある。本実施例では、ナノビーム電子線を用いた電子回折パターンを解析することで両者の識別を試みた。電子回折パターンの解析結果については後述する。

10

【0427】

図35からは、酸化物半導体は、大きさが1nm以上10nm未満の結晶構造を有する領域と、大きさが0.1nm以上1nm未満の結晶構造を有する領域と、を有することがわかる。

【0428】

図36、図37、図38、図39、図40、図41、図42、図43および図44は、酸化物半導体の断面TEM像である。なお、図36は明視野像であり、図37、図38、図39、図40、図41、図42、図43および図44は高分解能TEM像である。なお、図37、図39および図42は、酸化物半導体表面近傍を示す。また、図40および図43は、酸化物半導体内部を示す。また、図38、図41および図44は、シリコン基板表面近傍を示す。

20

【0429】

図36からも、図32と同様に酸化物半導体は明領域と暗領域とが、均一に混ざり合った外観を有することがわかった。また、図37、図38、図39、図40、図41、図42、図43および図44より、像を拡大するに従い、暗領域が結晶構造を有することがわかった。一方、明領域は非晶質構造またはnc-OS構造を有することがわかった。この結果は、平面TEM像から得られる結果と同様であった。

【0430】

断面TEM像より、酸化物半導体は、シリコン基板表面近傍、酸化物半導体内部、酸化物半導体表面近傍のいずれの領域においても同程度の結晶性を有することがわかった。また、断面TEM像からも、酸化物半導体が特に配向性を有さないことがわかった。

30

【0431】

また、断面TEM像より、シリコン基板表面近傍において、酸化膜（酸化シリコン）が形成されていることがわかった。

【0432】

図42、図43および図44からは、酸化物半導体は、大きさが1nm以上10nm未満の結晶構造を有する領域と、大きさが0.1nm以上1nm未満の結晶構造を有する領域と、を有することがわかる。

40

【0433】

次に、酸化物半導体に含まれる結晶構造を有する領域、および非晶質構造またはnc-OS構造を有する領域における電子回折パターンを測定した。電子回折パターンの測定は、日立電界放出形透過電子顕微鏡HF-2000を用い、加速電圧を200kV、プローブ径を1nm、カメラ長を0.8mとして行った。

【0434】

図45(A1)は、電子回折の測定箇所を示す断面の高分解能TEM像である。また、図45(A2)は、該測定箇所における電子回折パターンである。同様に、図45(B1)は、電子回折の測定箇所を示す断面の高分解能TEM像である。また、図45(B2)は、該測定箇所における電子回折パターンである。

50

【0435】

図45(A2)および図45(B2)より、断面の高分解能TEM像で結晶構造を有する領域として観察された箇所は、電子回折パターンからも原子配列に周期性を有することがわかった。

【0436】

図46(A1)は、電子回折の測定箇所を示す断面の高分解能TEM像である。また、図46(A2)は、該測定箇所における電子回折パターンである。同様に、図46(B1)は、電子回折の測定箇所を示す断面の高分解能TEM像である。また、図46(B2)は、該測定箇所における電子回折パターンである。

【0437】

図46(A2)および図46(B2)より、断面の高分解能TEM像で非晶質構造またはnc-O-S構造を有する領域として観察された箇所は、電子回折パターンからリング状の領域内に複数のスポットが観測された。即ち、nc-O-S構造を有することがわかった。

【0438】

なお、図47(A1)および図47(A2)は、図45(A1)に示した領域の電子回折測定前後の断面の高分解能TEM像である。また、図47(B1)および図47(B2)は、図46(A1)に示した領域の電子回折測定前後の断面の高分解能TEM像である。

【0439】

図47に示すように、酸化物半導体のそれぞれの領域は、電子回折測定前後において明確な結晶性の変化が観察されていない。したがって、電子回折パターンから示唆される原子配列の周期性の有無は、電子回折測定時における結晶化などの影響はほとんどないといえる。

【0440】

図48は、図45(A2)に示した電子回折パターンの解析に用いるスポット(点A、点B、点Cおよび点D)を示す図である。なお、点Oは透過波を示す。図48より、点Aの格子面間隔(d値ともいう。)は0.252nm、点Bのd値は0.155nm、点Cのd値は0.283nm、点Dのd値は0.230nmであった。また、 $\angle AOB$ は31.3°、 $\angle AOC$ は63.8°、 $\angle BOC$ は32.5°であった。これを、JCPDSカードNo. 40-0252(六方晶である $\text{InGaZn}_2\text{O}_5$)と対比すると、(104)面(点A相当)のd値が0.254nm、(1012)面(点B相当)のd値が0.157nm、(008)面の(点C相当)d値が0.282nm、(0010)面(点D相当)のd値が0.225nmである。また、 $\angle AOB$ は29.8°、 $\angle AOC$ は63.1°、 $\angle BOC$ は33.4°である。対比を下表に示す。

【0441】

【表1】

	測定値	文献値
d値-点A	0.252nm	0.254nm
d値-点B	0.155nm	0.157nm
d値-点C	0.283nm	0.282nm
d値-点D	0.230nm	0.225nm
$\angle AOB$	31.3°	29.8°
$\angle AOC$	63.8°	63.1°
$\angle BOC$	32.5°	33.4°

【0442】

したがって、酸化物半導体の結晶構造を有する領域は、菱面体晶である $\text{InGaZn}_2\text{O}_5$ に帰属できる。

【実施例2】

【0443】

本実施例では、本発明の一態様に係る酸化ガリウムを成膜し、その電気特性を評価した。

【0444】

試料の作製方法を説明する。

【0445】

まず、p型シリコン基板上に酸化ガリウムを成膜した。

【0446】

この酸化ガリウムの成膜は、MOCVD法を用いて行った。具体的には、成膜室のステージにp型シリコン基板を配置し、ステージ温度を500℃に加熱した。そして、原料ガス、キャリアガスおよび反応ガスを供給することで成膜を行った。なお、原料ガスとしては、0.1Mのトリエチルガリウム溶液をヒータによって気化させたものを用いた。原料ガスの溶媒にはエチルシクロヘキサンを用いた。また、キャリアガスとしては、0.3slmのアルゴンガスをを用いた。また、反応ガスとしては、0.5slmの酸素ガスをを用いた。このとき、p型シリコン基板表面で反応しなかったガスを排気するため、成膜室の圧力を533.3Paに制御した。

【0447】

成膜した酸化ガリウムは、厚さが20nmであった。

【0448】

同様に、別のp型シリコン基板上に酸化ガリウムを成膜した。

【0449】

この酸化ガリウムの成膜は、スパッタリング法を用いて行った。具体的には、 Ga_2O_3 ターゲットを用い、基板表面温度を200℃とし、成膜ガスである酸素ガスおよびアルゴンガスを $\text{O}_2 / (\text{O}_2 + \text{Ar})$ が50%の割合とし、成膜室の圧力を0.4Paとし、RF電力を0.2kWとすることで成膜を行った。

【0450】

成膜した酸化ガリウムは、厚さが20nmであった。

【0451】

このように、本実施例では、MOCVD法を用いて酸化ガリウムを成膜した試料と、スパッタリング法を用いて酸化ガリウムを成膜した試料と、の2種類の試料を作製した。

【0452】

次に、酸化ガリウム上に、ゲート電極として機能する導電体を成膜した。導電体としては、厚さが30nmの窒化タンタル、厚さが170nmのタングステン、厚さが200nmのアルミニウムをこの順に成膜することで形成した積層膜を用いた。

【0453】

次に、フォトリソグラフィ法により、ゲート電極として機能する導電体を $100\mu\text{m} \times 100\mu\text{m}$ の四角形状に加工した。

【0454】

次に、p型シリコン基板の裏面側の酸化シリコンを除去した。

【0455】

次に、p型シリコン基板の裏面側に、裏面電極として機能する厚さが400nmのアルミニウムを成膜した。

【0456】

次に、大気雰囲気において、250℃で1時間の加熱処理を行った。

【0457】

次に、裏面電極の電位を固定し、ゲート電極に印加する電位を変化させることで、裏面電極とゲート電極との間を流れる電流 (I_g と表記する。) を測定した。なお、ゲート電極と裏面電極との電位差を V_g と表記する。なお、 V_g は、0Vから-40Vまで、0.1

10

20

30

40

50

Vステップで掃引させた。

【0458】

図49に、MOCVD法で成膜した酸化ガリウムを有する試料の $V_g - I_g$ 特性を示す。なお、図49(A)は縦軸をログスケールで示しており、図49(B)は縦軸をリニアスケールで示している。 $V_g - I_g$ 特性は、p型シリコン基板において24ポイントの測定を行った。

【0459】

図50に、スパッタリング法で成膜した酸化ガリウムを有する試料の $V_g - I_g$ 特性を示す。なお、図50(A)は縦軸をログスケールで示しており、図50(B)は縦軸をリニアスケールで示している。 $V_g - I_g$ 特性は、p型シリコン基板において5ポイントの測定を行った。

10

【0460】

図49より、MOCVD法で成膜した酸化ガリウムは、p型シリコン基板の24ポイントにおいても均質であることがわかった。一方、図50より、スパッタリング法で成膜した酸化ガリウムは、p型シリコン基板の5ポイントにおいても多少のばらつきを有することがわかった。ただし、スパッタリング法で成膜した酸化ガリウムは、比較的 I_g が小さいため、用途に応じて使い分けることが好ましいことがわかる。

【符号の説明】

【0461】

100 基板
 102 絶縁体
 104 導電体
 106 半導体
 106a 半導体
 106b 半導体
 106c 半導体
 112 絶縁体
 116a 導電体
 116b 導電体
 150a 領域
 150b 領域
 150c 領域
 152a 領域
 152b 領域
 154 領域
 400 基板
 402 絶縁体
 404 導電体
 406 半導体
 407 半導体
 412 絶縁体
 413 導電体
 416a 導電体
 416b 導電体
 418 絶縁体
 500 基板
 502 絶縁体
 504 導電体
 506 半導体
 512 絶縁体

20

30

40

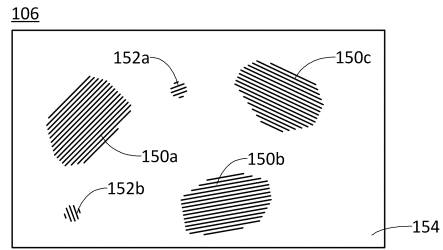
50

5 1 3	導電体	
5 1 6 a	導電体	
5 1 6 b	導電体	
5 1 8	絶縁体	
5 2 4 a	導電体	
5 2 4 b	導電体	
6 0 0	基板	
6 0 4	導電体	
6 0 6	半導体	
6 1 2	絶縁体	10
6 1 3	導電体	
6 1 6 a	導電体	
6 1 6 b	導電体	
6 1 8	絶縁体	
7 0 2	ロード室	
7 0 3	前処理室	
7 0 4	処理室	
7 0 5	処理室	
7 0 6	アンロード室	
7 0 7	搬送ユニット	20
7 1 0	搬送室	
7 1 8	排気装置	
7 1 9	基板ホルダ	
7 2 0	基板	
7 2 1	部材	
7 2 2	マスフローコントローラ	
7 2 3	原料供給部	
7 2 4	マスフローコントローラ	
7 2 5	原料供給部	
7 2 6	マスフローコントローラ	30
7 2 7	原料供給部	
7 2 8	マスフローコントローラ	
7 2 9	原料供給部	
7 3 1	処理室	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	40
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	50

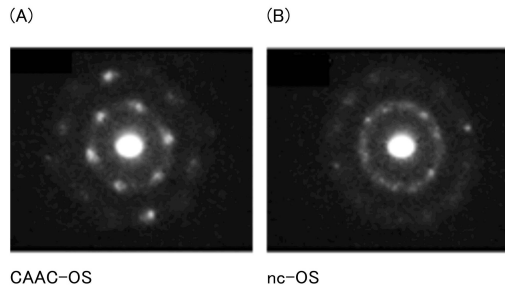
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	10
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	20
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	30
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	40
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	50

1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	10
3 4 0 0	容量素子	
4 0 0 0	R F タグ	
5 0 0 0	基板	
5 0 0 1	画素部	
5 0 0 2	走査線駆動回路	
5 0 0 3	走査線駆動回路	
5 0 0 4	信号線駆動回路	
5 0 1 0	容量線	
5 0 1 2	走査線	
5 0 1 3	走査線	20
5 0 1 4	信号線	
5 0 1 6	トランジスタ	
5 0 1 7	トランジスタ	
5 0 1 8	液晶素子	
5 0 1 9	液晶素子	
5 0 2 0	画素	
5 0 2 1	スイッチング用トランジスタ	
5 0 2 2	駆動用トランジスタ	
5 0 2 3	容量素子	
5 0 2 4	発光素子	30
5 0 2 5	信号線	
5 0 2 6	走査線	
5 0 2 7	電源線	
5 0 2 8	共通電極	
8 0 0 0	表示モジュール	
8 0 0 1	上部カバー	
8 0 0 2	下部カバー	
8 0 0 3	F P C	
8 0 0 4	タッチパネル	
8 0 0 5	F P C	40
8 0 0 6	セル	
8 0 0 7	バックライトユニット	
8 0 0 8	光源	
8 0 0 9	フレーム	
8 0 1 0	プリント基板	
8 0 1 1	バッテリー	

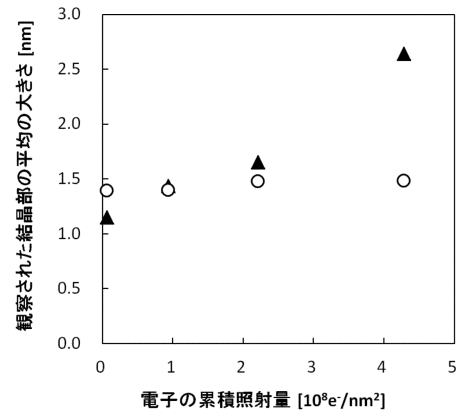
【図 1】



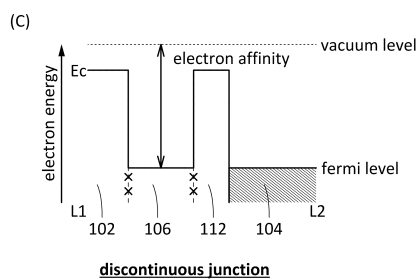
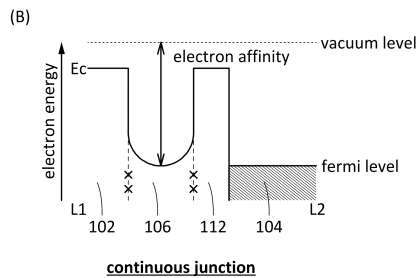
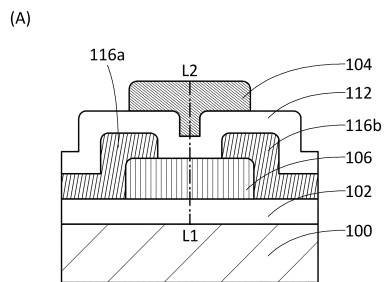
【図 2】



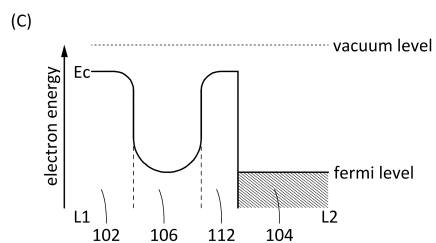
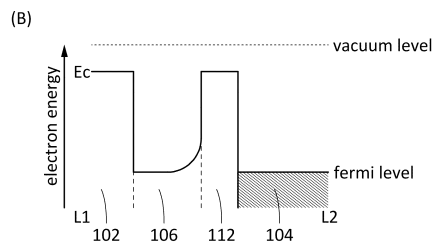
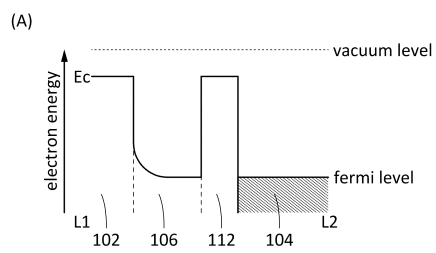
【図 3】



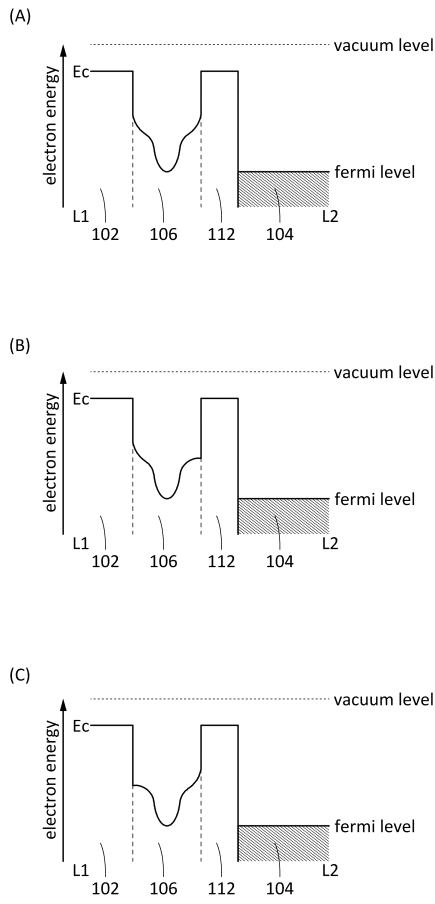
【図 4】



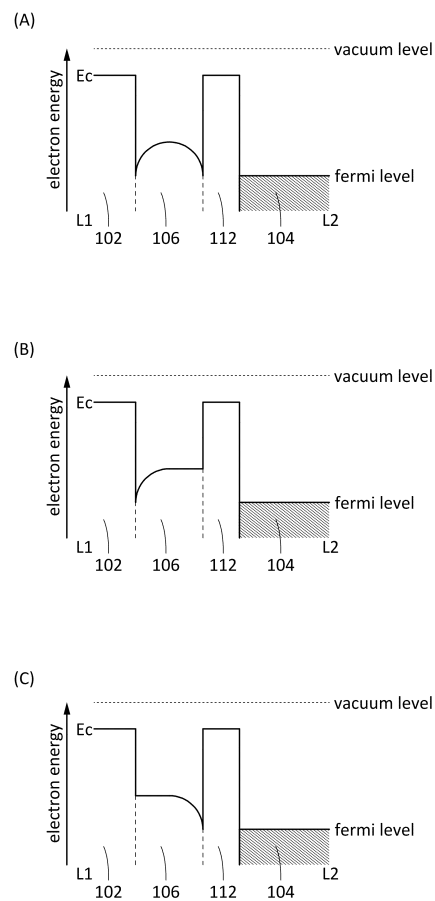
【図 5】



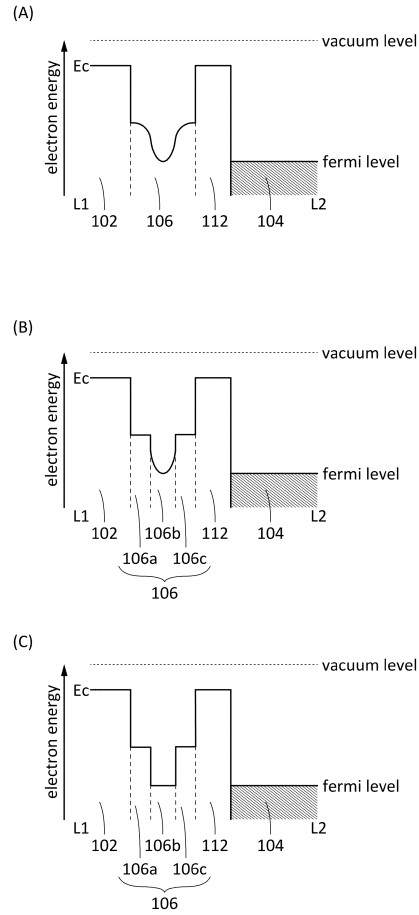
【図 6】



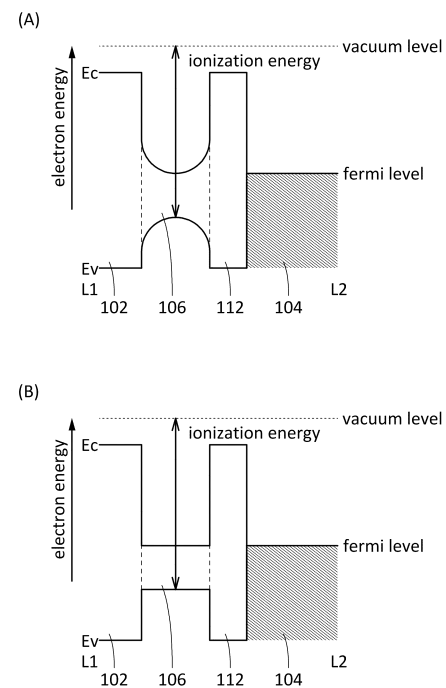
【図 8】



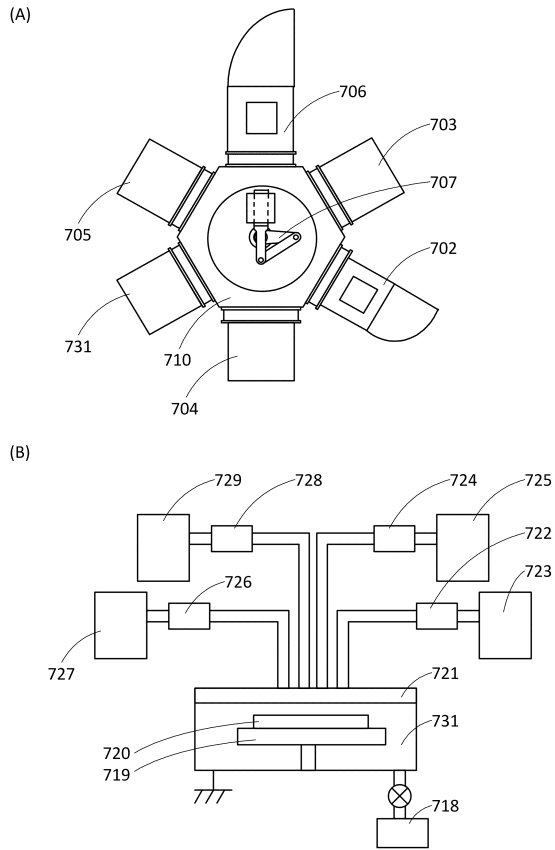
【図 7】



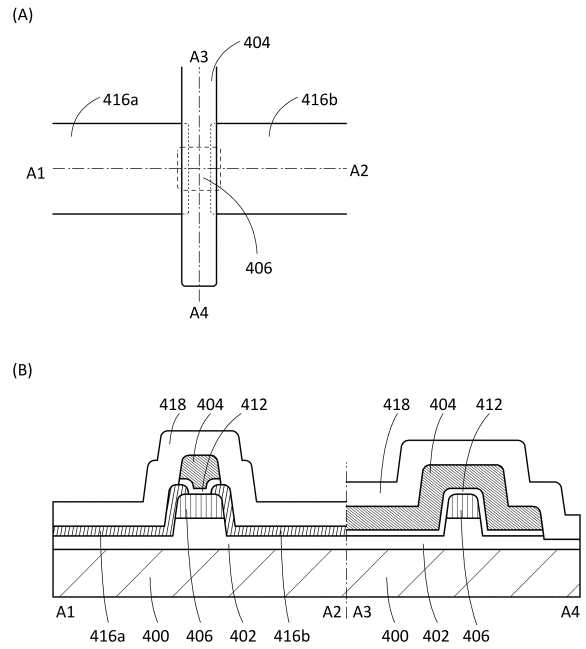
【図 9】



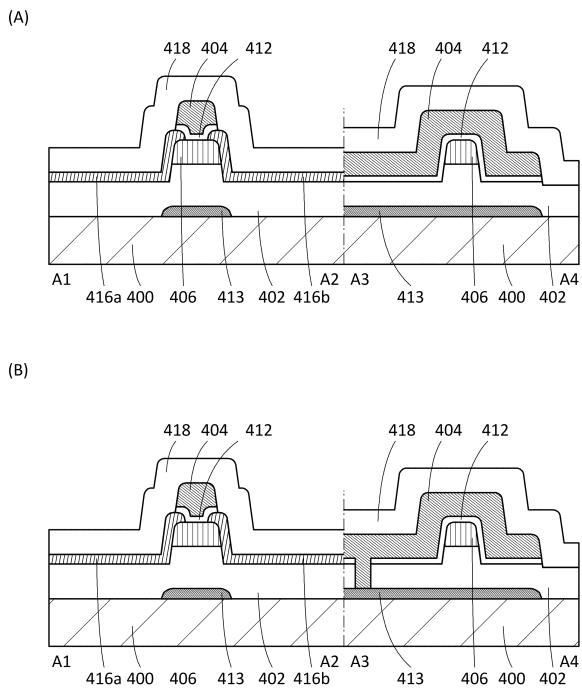
【図 10】



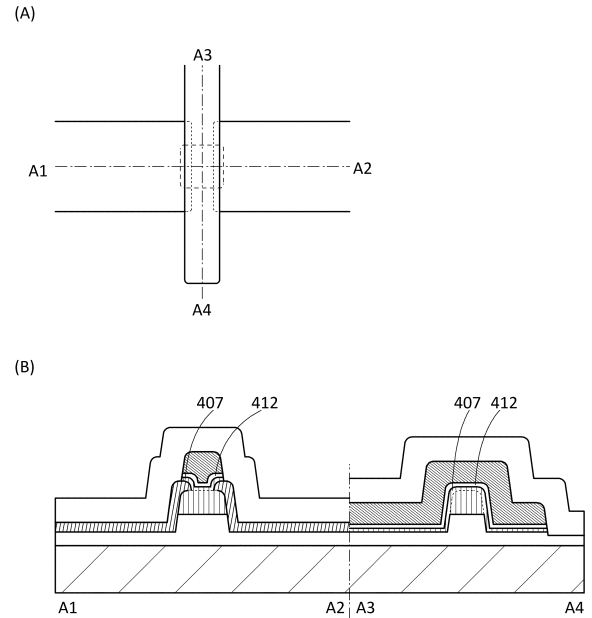
【図 11】



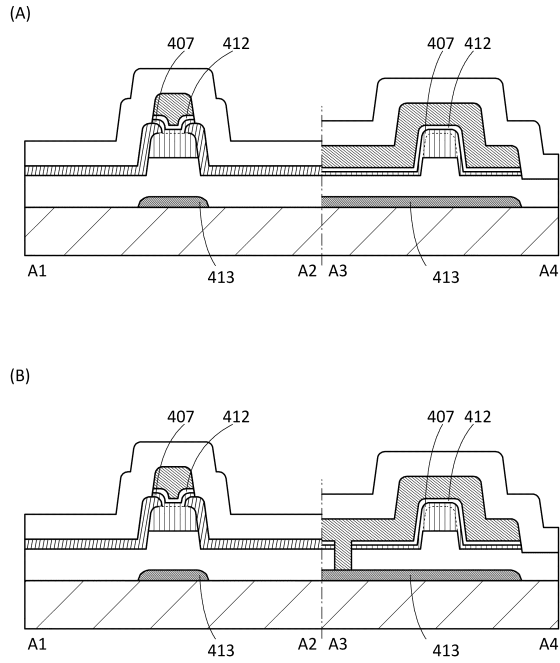
【図 12】



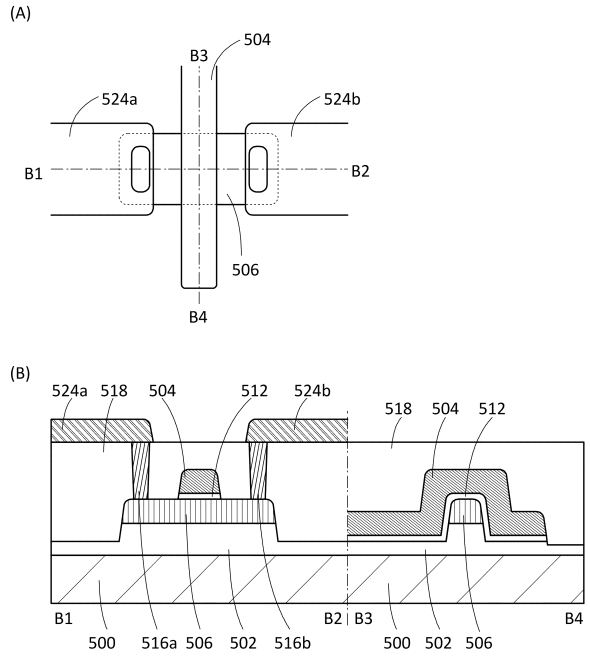
【図 13】



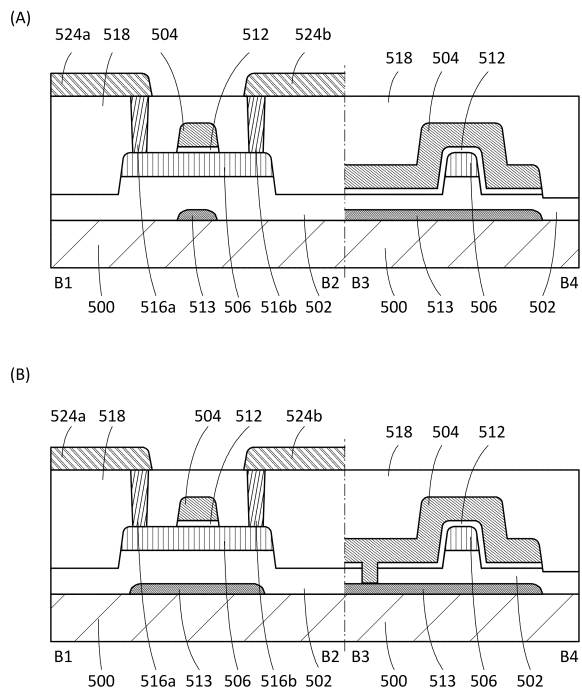
【図 14】



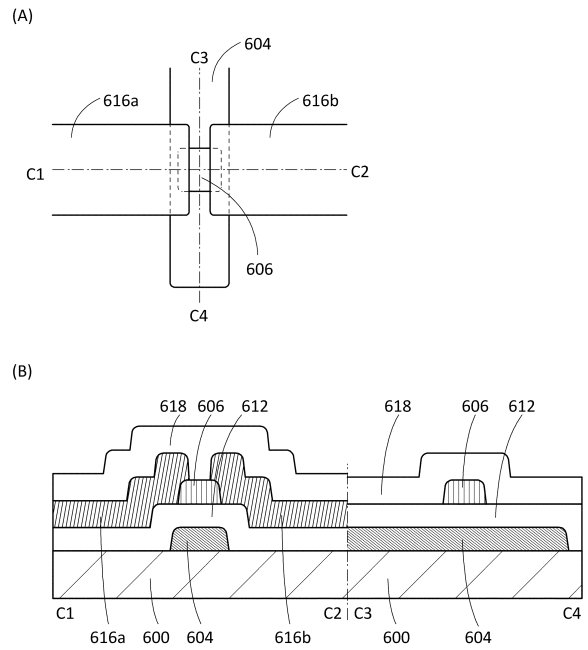
【図 15】



【図 16】

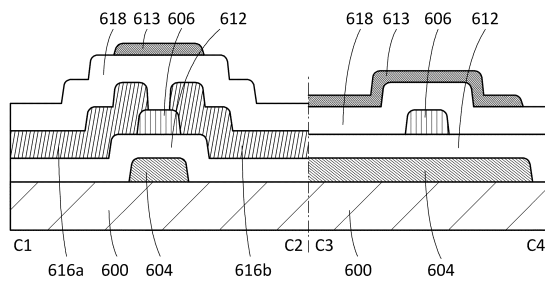


【図 17】

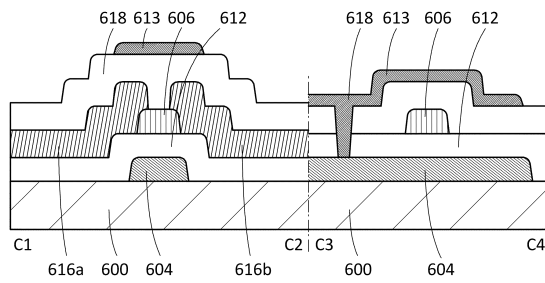


【図 18】

(A)

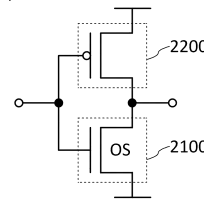


(B)

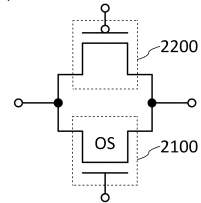


【図 19】

(A)

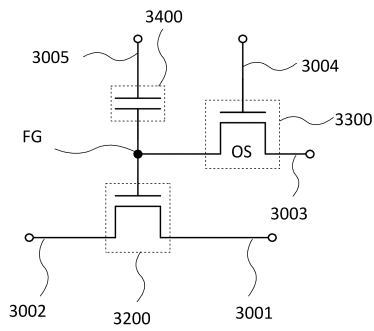


(B)

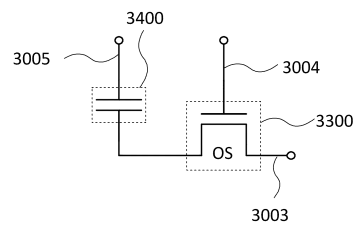


【図 20】

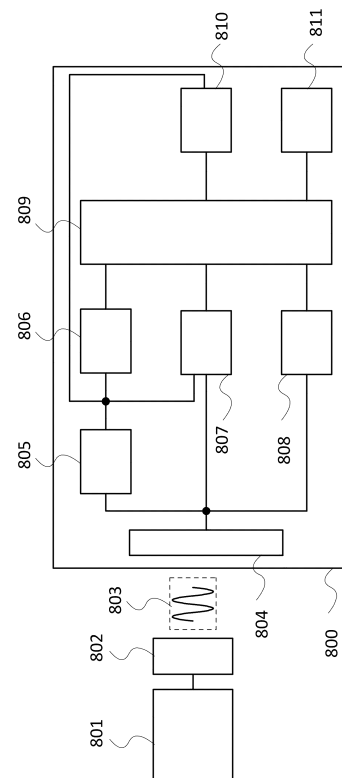
(A)



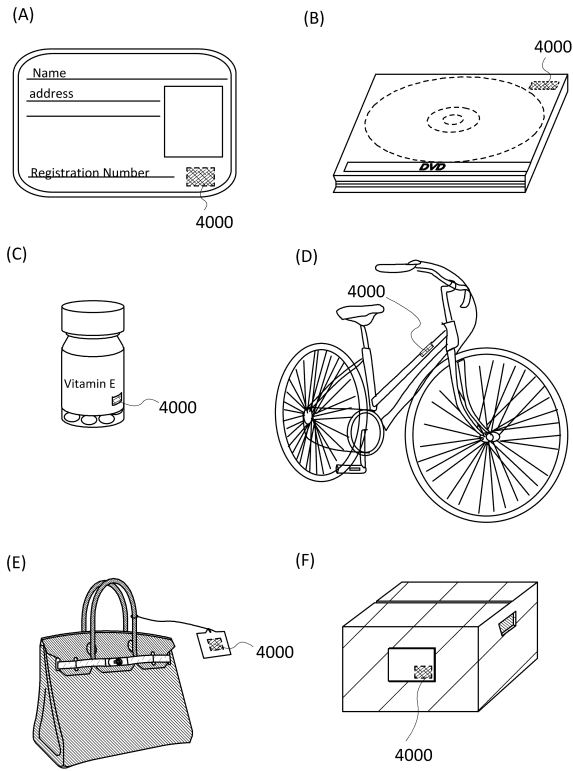
(B)



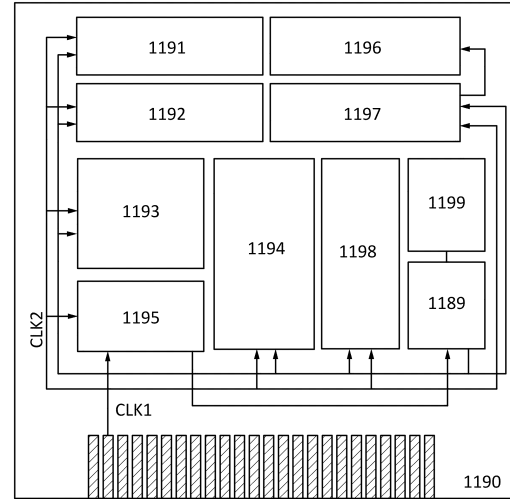
【図 21】



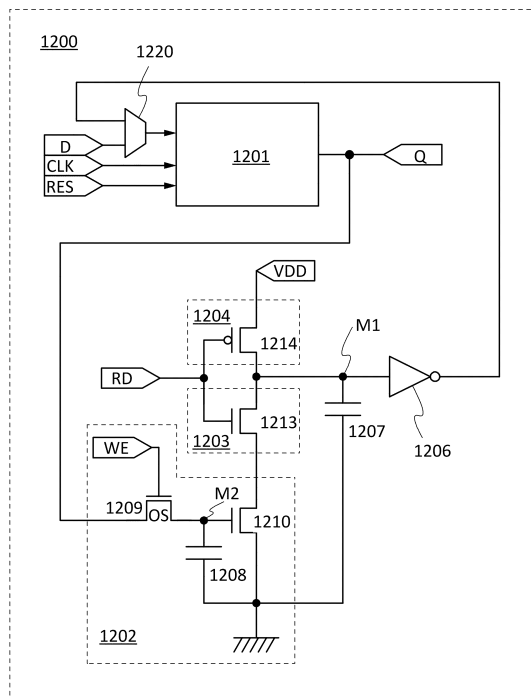
【図 2 2】



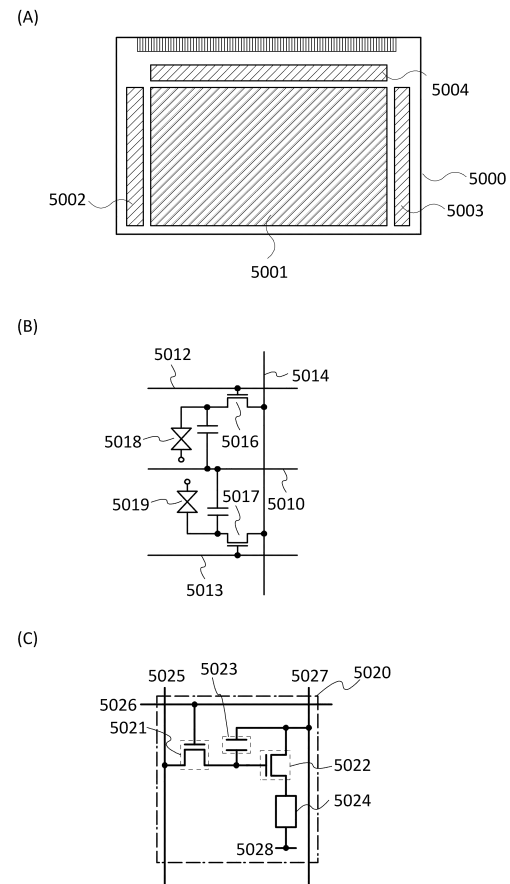
【図 2 3】



【図 2 4】

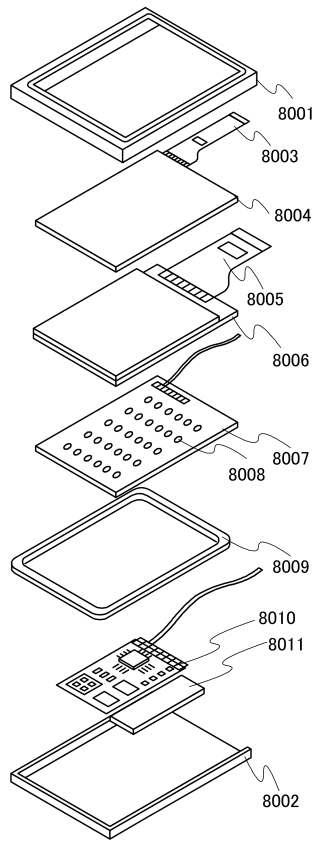


【図 2 5】

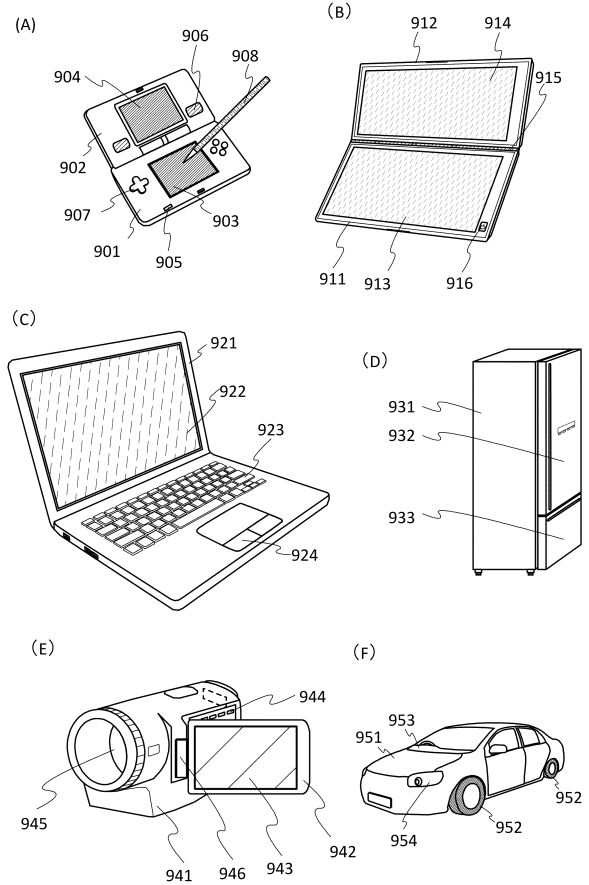


【図 26】

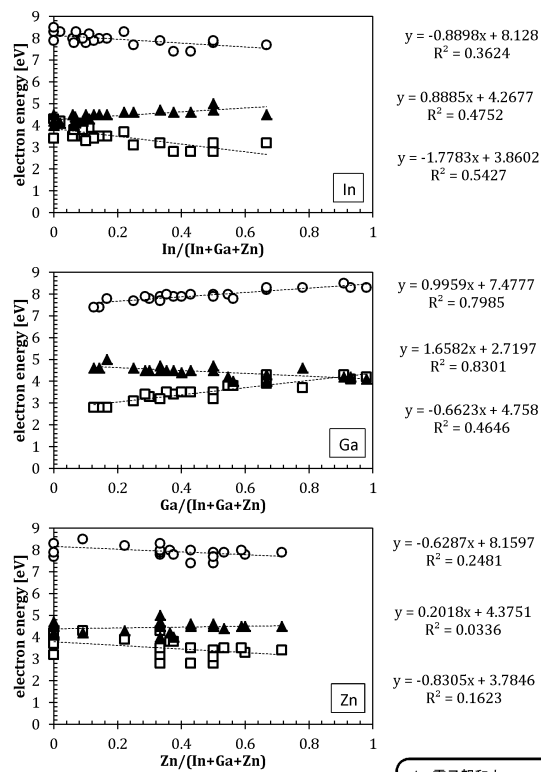
8000



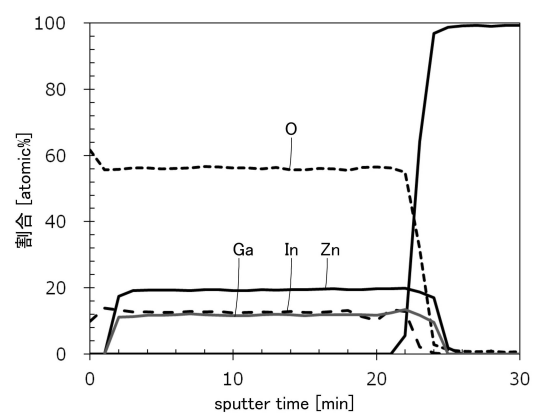
【図 27】



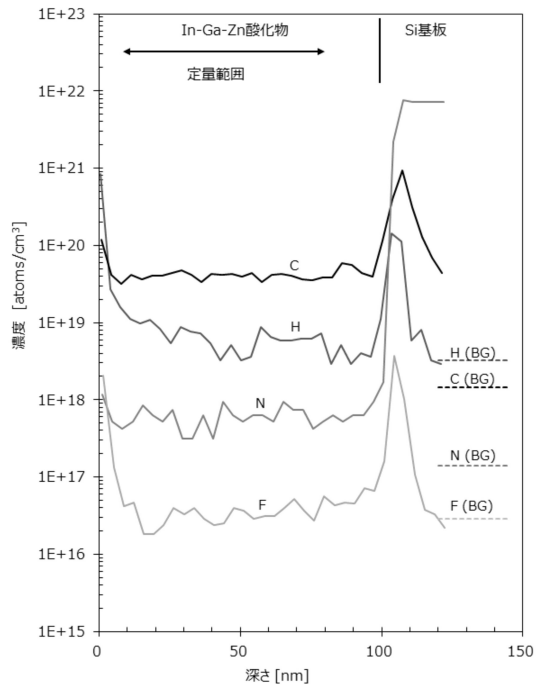
【図 28】



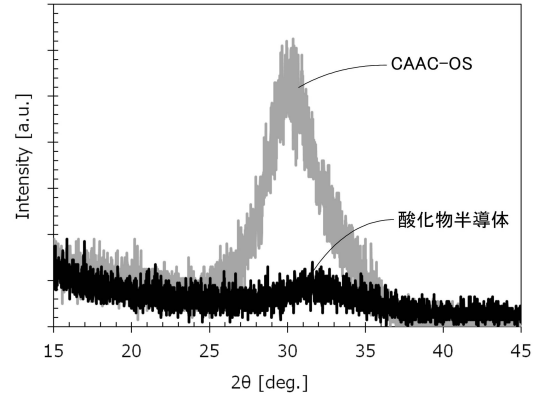
【図 29】



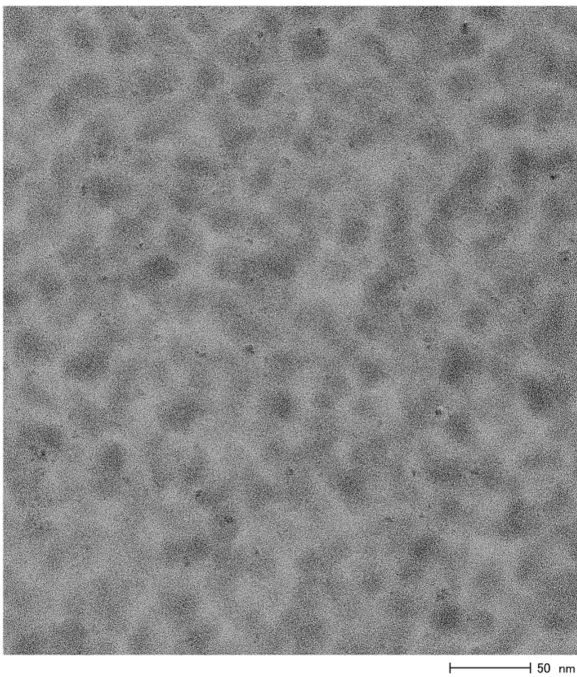
【図 3 0】



【図 3 1】

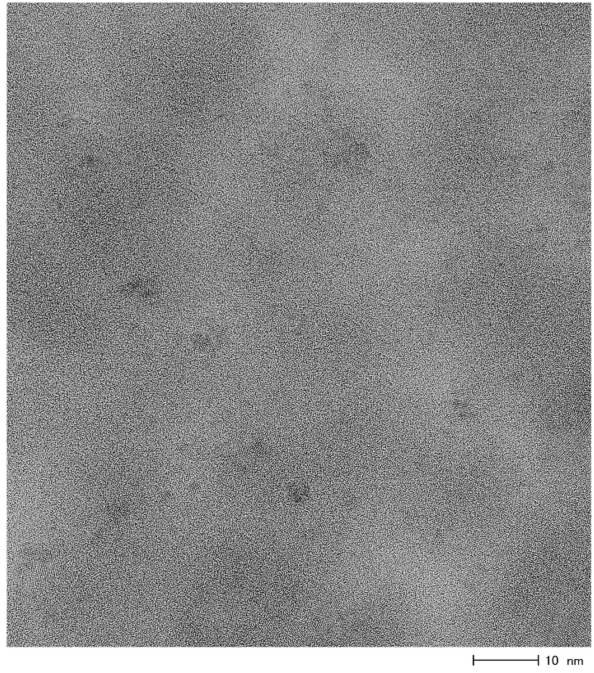


【図 3 2】



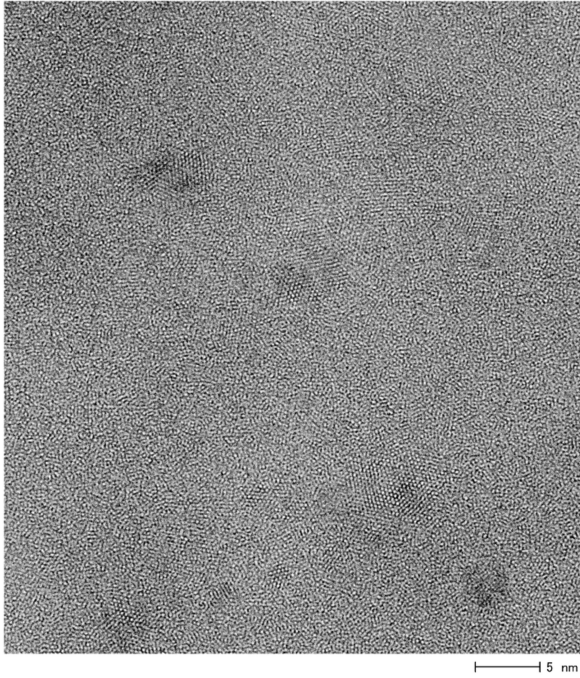
平面TEM像 明視野像

【図 3 3】



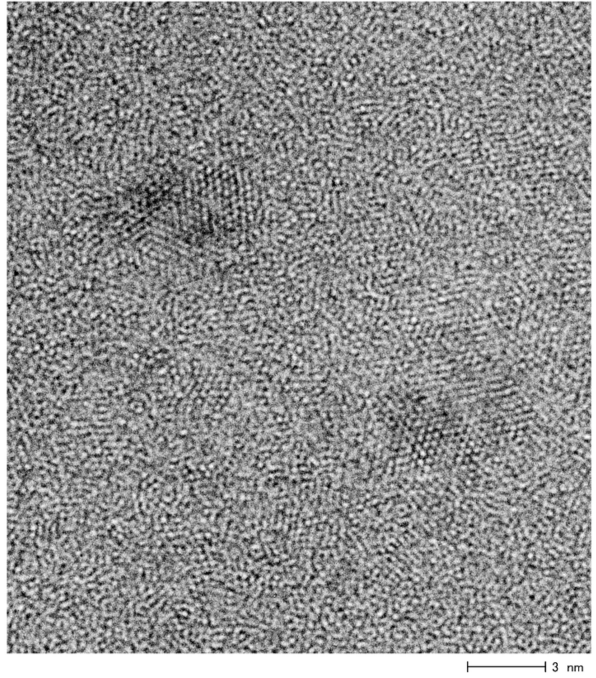
平面TEM像 高分解能像

【図 3 4】



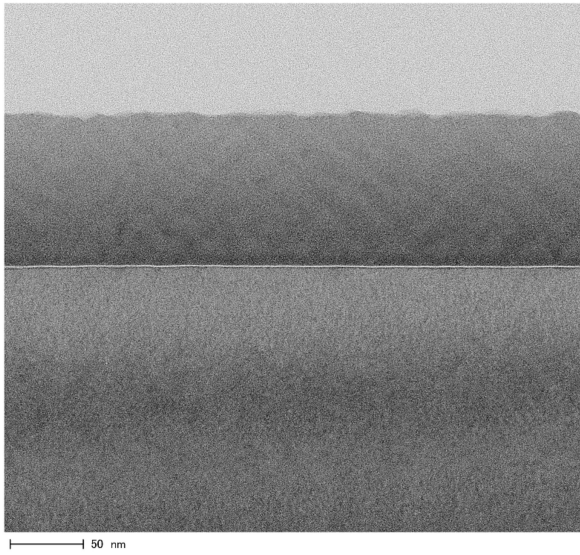
平面TEM像 高分解能像

【図 3 5】



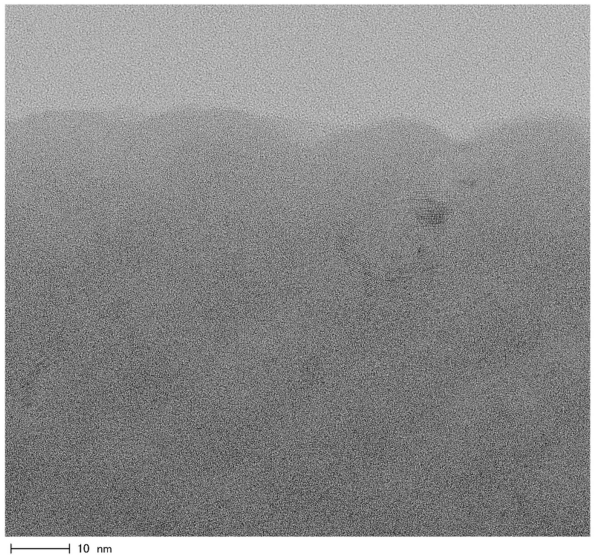
平面TEM像 高分解能像

【図 3 6】



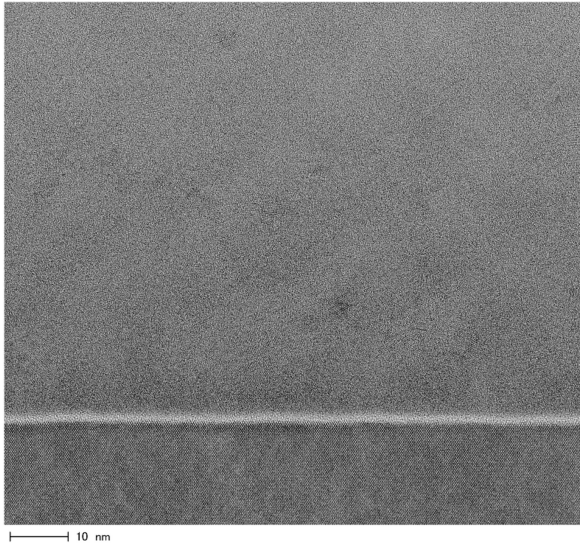
断面TEM像 明視野像

【図 3 7】



断面TEM像 高分解能像 酸化物半導体表面近傍

【図 3 8】



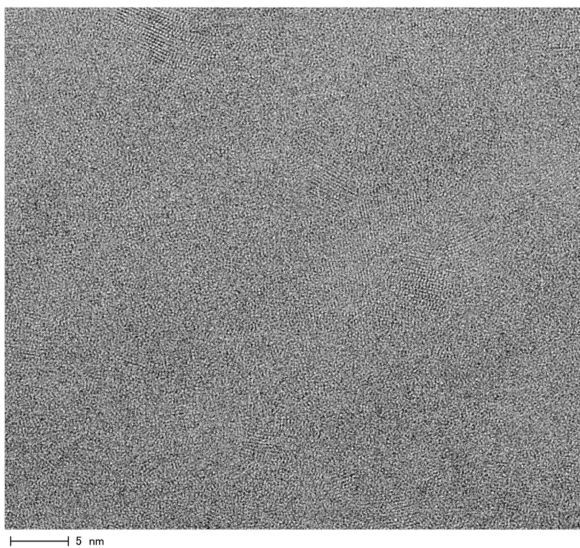
断面TEM像 高分解能像 基板表面近傍

【図 3 9】



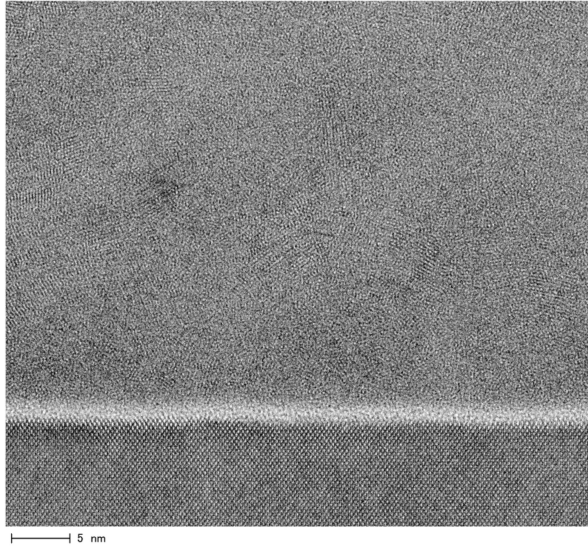
断面TEM像 高分解能像 酸化物半導体表面近傍

【図 4 0】



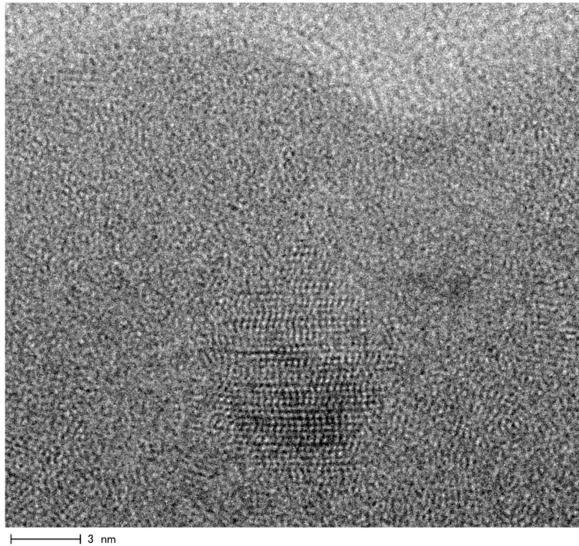
断面TEM像 高分解能像 酸化物半導体内部

【図 4 1】



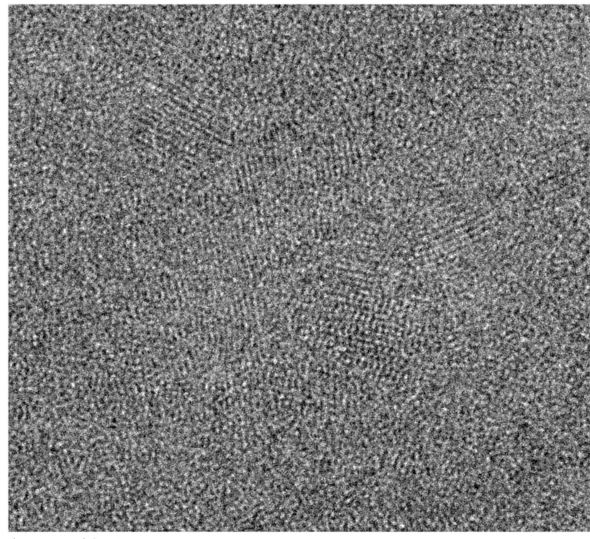
断面TEM像 高分解能像 基板表面近傍

【図 4 2】



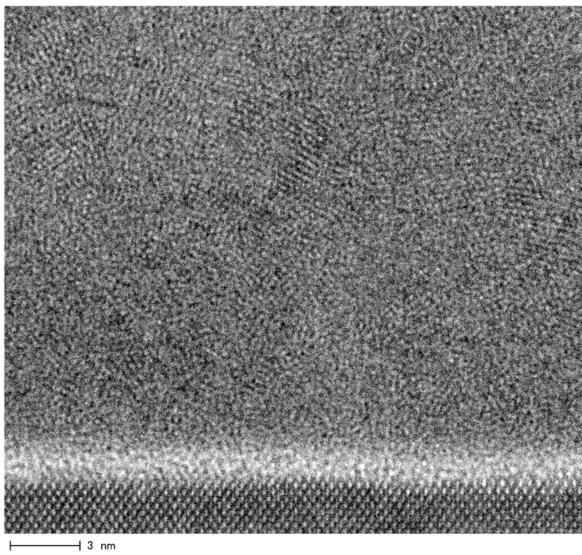
断面TEM像 高分解能像 酸化物半導体表面近傍

【図 4 3】



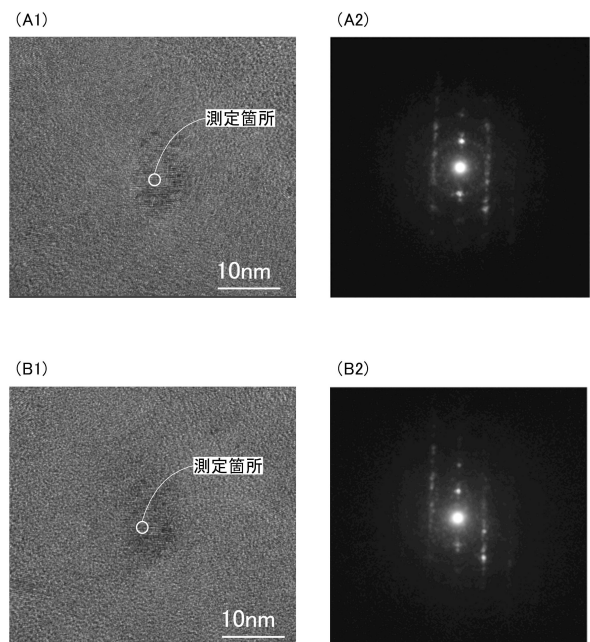
断面TEM像 高分解能像 酸化物半導体内部

【図 4 4】

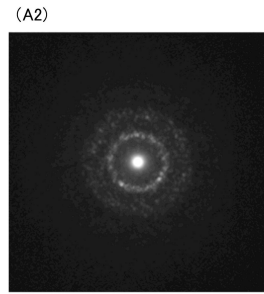
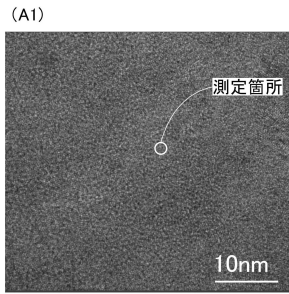


断面TEM像 高分解能像 基板表面近傍

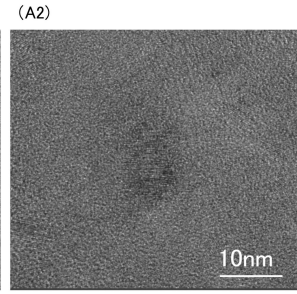
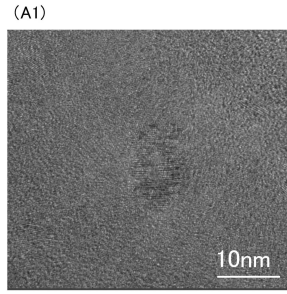
【図 4 5】



【図 4 6】

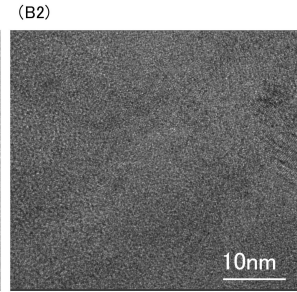
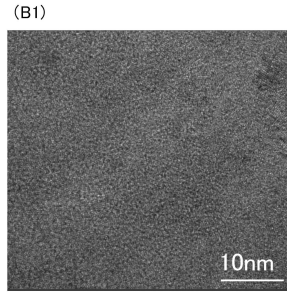
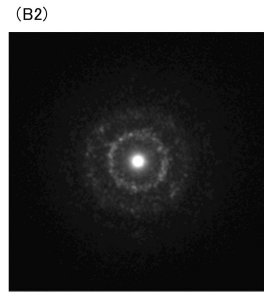
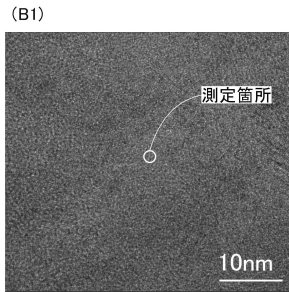


【図 4 7】



電子回折測定前

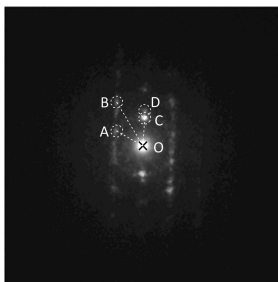
電子回折測定後



電子回折測定前

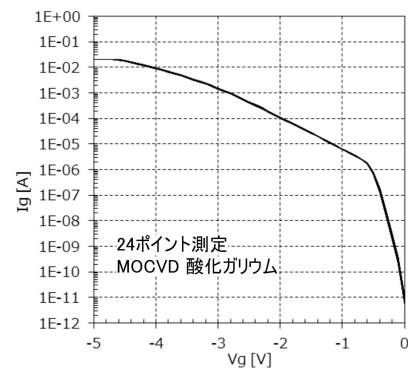
電子回折測定後

【図 4 8】

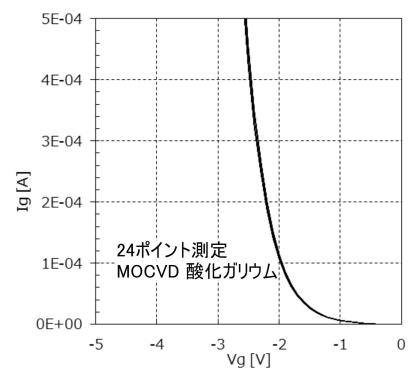


【図 4 9】

(A)

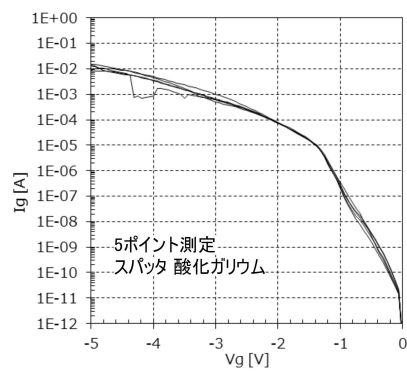


(B)

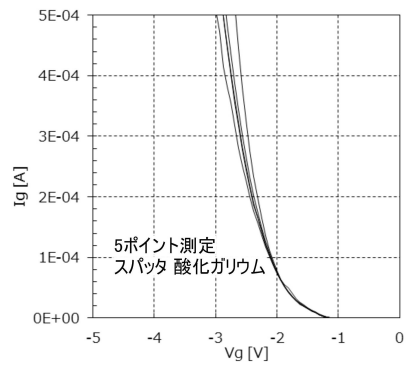


【図 50】

(A)



(B)



フロントページの続き

- (72)発明者 黒澤 陽一
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 石原 典隆
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 浜田 崇
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 一條 充弘
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 恵木 勇司
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内

審査官 棚田 一也

(56)参考文献 特開２００６－１６５５３１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., DB名)

H01L	29/786
C23C	16/40
H01L	21/363
H01L	21/365