

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

80320

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 28.11.1973 (P. 166904)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.11.1974

Opis patentowy opublikowano: 25.11.1975

Kl. 21a¹, 36/22

MKP H03k 21/06

CZYTELNIA

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórcy wynalazku: Teresa Kramarowska, Wanda Banaszewska, Bogusław Żyboroski

Uprawniony z patentu tymczasowego: Ośrodek Badawczo-Rozwojowy Pomiarów
i Automatyki Elektronicznej,
Wrocław (Polska)

Układ znaku uniwersalnego licznika rewersyjnego

Przedmiotem wynalazku jest układ znaku uniwersalnego licznika rewersyjnego przeznaczony do stosowania w konstrukcji liczników rewersyjnych wykorzystywanych w procesach pomiarów i kontroli, gdzie istotną jest bezpośrednia informacja o realnej wartości pomiaru z uwzględnieniem znaku.

Znany stan techniki. Znany jest układ — (patent polski nr 61469, patent RFN Nr 1295650) umożliwiający uzyskanie bezpośredniej informacji o liczbie impulsów zliczonych przez licznik rewersyjny po stanie zerowym jako rzeczywistą ilość impulsów z właściwym znakiem. Układ ten utworzony z przerzutnika elementów AND oraz elementu opóźniającego przy czym układ elementów AND jest połączony z wyjściem najbardziej znaczącego miejsca licznika rewersyjnego bezpośrednio i pośrednio poprzez element opóźniający z wyjściem układu wykrywającego stan zerowy w liczniku.

Istota wynalazku. Układ według wynalazku, zawierający przerzutnik bistabilny, elementy NAND oraz elementy negacji ma każde z dwóch wejść bistabilnego przerzutnika połączone z wyjściem współpracującego z danym wejściem jednego wejściowego elementu NAND przy czym jedno wejście obydwu wymienionych wejściowych elementów NAND jest połączone ze wspólnym wyjściem układu sygnalizującego przekroczenie zakresu licznika zaś drugie wejście każdego z dwóch wejściowych elementów NAND jest połączone przez jeden z dwóch zespołów elementów NAND z układem sygnalizacji stanu zerowego licznika, układem zadawania stanu początkowego oraz układem zadawania programu, natomiast dwa wyjścia bistabilnego przerzutnika są połączone poprzez dwa wyjściowe elementy AND z wejściem negacji, logicznej sumy której wyjście jest połączone z wejściem sterującym kierunkiem zliczania rewersyjnego licznika, ponadto wspomniane wyjścia przerzutnika są połączone bezpośrednio z układem sterowania polem odczytowym, a dodatkowo układ zadawania programu jest połączony bezpośrednio z drugim wejściem jednego wyjściowego elementu AND i poprzez układ negacji z drugim wejściem drugiego wyjściowego elementu AND.

Układ według wynalazku w przeciwieństwie do znanych układów zawierających element opóźniający pracuje poprawnie w szerokim zakresie częstotliwości zliczanych impulsów.

Wynalazek zostanie bliżej objaśniony w przykładzie wykonania przedstawionym na załączonym rysunku, który pokazuje schemat połączeń układu.

Przykład realizacji wynalazku. Układ według wynalazku ma bistabilny przerzutnik 1, którego każde z wejść $\bar{R}$ i $\bar{S}$ jest połączone z wyjściem jednego współpracującego z danym wejściem, wejściowego elementu 2, 3 NAND. Jedno z wejść obydwu wejściowych elementów 2, 3 NAND jest połączone z układem 4 sygnalizującym przekroczenie zakresu. Drugie wejście wejściowego elementu 2 NAND jest połączone z wyjściem pierwszego zespołu 5 elementów NAND, zaś drugie wejście drugiego wejściowego elementu 3 NAND jest połączone z wyjściem drugiego zespołu 6 elementów NAND. Każdy z obydwu zespołów 5, 6 elementów NAND jest utworzony z jednego dwuwejściowego elementu 7, 8 NAND którego wejścia są połączone z wyjściami drugiego dwuwejściowego elementu 9, 10 NAND oraz trzeciego trzywejściowego elementu 11, 12 NAND. Jedno wejście drugiego elementu 9 NAND pierwszego zespołu 5 elementów NAND jest połączone z jednym wejściem, drugiego elementu 10 NAND drugiego zespołu 6 elementów NAND oraz z wejściem układu 13 sygnalizacji stanu zerowego licznika. Drugie wejście drugiego elementu 10 NAND drugiego zespołu 6 elementów NAND jest połączone bezpośrednio z wyjściem układu 14 zadawania programu, oraz przez układ 15 negacji z drugim wejściem drugiego elementu 9 NAND pierwszego zespołu 5 elementów NAND. Pierwsze wejścia trzech elementów 11, 12 NAND obydwu zespołów 5, 6 elementów NAND są ze sobą zwarte i połączone przez drugi element 16 negacji z wyjściem układu 13 sygnalizacji stanu zerowego licznika, zaś drugie wejścia omawianych elementów są ze sobą zwarte i połączone z wyjściem W sygnalizującym, że wartość początkowa jest różna od zera, układu 17 zadawania stanu początkowego. Trzecie wejście trzeciego elementu 11 NAND pierwszego zespołu 5 elementów NAND jest połączone bezpośrednio z wyjściem Z sygnalizującym znak wartości początkowej układu 17 zadawania stanu początkowego i równocześnie poprzez trzeci element 18 negacji z trzecim wejściem trzeciego elementu 12 NAND drugiego zespołu 6 elementów NAND.

Dwa wyjścia Q i $\bar{Q}$ bistabilnego przerzutnika 1 są połączone przez dwa wyjściowe elementy 19 i 20 AND z wejściami układu 21 negacji logicznej sumy której wyjście jest połączone z wejściem sterującym kierunkiem zliczania rewersyjnego licznika 22. Ponadto wyjścia Q i $\bar{Q}$ przerzutnika 1 są połączone bezpośrednio z układem 23 sterowania polem odczytowym a układ 14 zadawania programu jest połączony bezpośrednio z drugim wejściem jednego wyjściowego elementu 20 AND i poprzez układ 15 negacji z drugim wejściem drugiego wyjściowego elementu 21 AND.

Działanie układu według wynalazku przebiega następująco. Jeżeli przykładowo licznik rewersyjny 22 ma powiększyć swój stan od momentu ujemnej wartości początkowej to wówczas sygnał wyjściowy układu 14 zadawania programu jest równy zeru logicznemu, sygnał na wyjściu Z sygnalizującym znak wartości początkowej i układu 17 zadawania stanu początkowego jest równy zeru logicznemu, a na wyjściu W omawianego układu pojawia się impuls dodatni. Sygnał na wyjściu układu 13 sygnalizacji stanu zerowego licznika jest równy zeru logicznemu. Omówione sygnały wymuszają na wyjściu trzywejściowego elementu 12 NAND drugiego zespołu 6 elementów NAND impuls o polaryzacji ujemnej i następnie na wyjściu wejściowego elementu 3 NAND impuls o polaryzacji ujemnej, co sprowadza wyjście Q przerzutnika 1 do stanu logicznego zera. Powoduje to projekcję znaku „minus” na polu odczytowym licznika 22 oraz ustalenie sygnału równego zeru logicznemu na wyjściu układu 21 negacji sumy logicznej. W ten sposób licznik 22 zmienia swoją wartość realną osiągając zero.

Z chwilą osiągnięcia stanu zerowego przez licznik 22 sygnał wyjściowy układu 13 sygnalizacji stanu zerowego równy jest jedynie logicznej co powoduje, że na wyjściu elementu 9 NAND pierwszego zespołu 5 elementów NAND ustala się stan zera logicznego. Stan ten w połączeniu ze stanem zera logicznego na wyjściu W układu 17 zadawania stanu początkowego wymusza stan jedynki logicznej na wyjściu elementu 7 NAND pierwszego zespołu 5, a w konsekwencji stan zera logicznego na wejściu $\bar{S}$ przerzutnika 1. To z kolei powoduje, że stan wyjścia Q przerzutnika 1 równy jest logicznej jedynce. Stan ten powoduje projekcję znaku „plus”, na polu odczytowym licznika 22 i dalsze zwiększanie dodatniej zawartości w liczniku 22. Układ pracuje analogicznie przy programie odejmowania.

Zastrzeżenia patentowe

1. Układ znaku uniwersalnego licznika rewersyjnego, zawierający przerzutnik bistabilny, elementy NAND, oraz elementy negacji, znamienny tym, że każde z dwóch wejść ($\bar{R}$, i $\bar{S}$) bistabilnego przerzutnika (1) jest połączone z wyjściem współpracującego z nim jednego wejściowego elementu (2, 3) NAND przy czym jedno wejście obydwu wymienionych elementów NAND jest połączone ze wspólnym wyjściem układu (4) sygnalizującego przekroczenie zakresu zaś drugie wejście każdego z dwóch wejściowych elementów NAND jest połączone poprzez jeden z dwóch zespołów (5, 6) elementów NAND z układem (13) sygnalizacji stanu zerowego licznika, układem (17) zadawania stanu początkowego oraz układem (14) zadawania programu, natomiast dwa wyjścia (Q) i ($\bar{Q}$) bistabilnego przerzutnika (1) są połączone poprzez dwa wyjściowe elementy (19 i 20) AND z wejściami

układu (21) negacji logicznej sumy której wyjście jest połączone z wejściem sterującym kierunkiem zliczania rewersyjnego licznika (22) ponadto wspomniane wyjścia (Q i $\overline{Q}$) przerzutnika (1) są połączone bezpośrednio z układem (23) sterowania polem odczytowym, a dodatkowo układ (14) zadawania programu jest połączony bezpośrednio z drugim wejściem jednego wyjściowego elementu (20) i poprzez układ (15) negacji z drugim wejściem drugiego wyjściowego elementu (19) AND.

2. Układ według zastrz. 1, znamienny tym, że każdy z dwóch zespołów (5 i 6) elementów NAND ma jeden dwuwejściowy element (7, 8) NAND którego wejścia są połączone z wyjściami drugiego dwuwejściowego elementu (9, 10) NAND i trzeciego, trzywejściowego elementu (11, 12) NAND przy czym jedno wejście drugiego elementu (9) NAND pierwszego zespołu (5) i jedno wejście drugiego elementu (10) NAND drugiego zespołu (6) są połączone ze sobą oraz z wyjściem układu (13) sygnalizacji stanu zerowego licznika — zaś drugie wejście, drugiego elementu (10) NAND drugiego zespołu (6) jest połączone bezpośrednio z wyjściem układu (14) zadawania programu oraz przez układ (15) negacji z drugim wejściem drugiego elementu (9) NAND pierwszego zespołu (5) natomiast pierwsze wejścia trzecich elementów (11—12) NAND obydwu zespołów (5, 6) są ze sobą zwarte i połączone przez drugi element (16) negacji z wyjściem układu (13) sygnalizacji stanu zerowego licznika, a drugie wejścia omawianych trzecich elementów (11, 12) NAND są ze sobą zwarte i połączone z wyjściem (W) sygnalizującym, że wartość początkowa jest różna od zera układu (17) zadawania stanu początkowego, podczas gdy trzecie wejście trzeciego elementu (11) NAND pierwszego zespołu (5) jest połączone bezpośrednio z wyjściem (Z) sygnalizującym znak wartości początkowej układu (17) zadawania stanu początkowego i równocześnie poprzez trzeci element (18) negacji z trzecim wejściem trzeciego elementu (12) NAND drugiego zespołu (6) elementów NAND.

