(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080736
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
(52) CPC특허분류
G09G 3/3225 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2015-0189223
(22) 출원일자 2015년12월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김형수
경기도 안양시 만안구 연현로79번길 56 410동 604호 (석수동,석수LG빌리지아파트)
김의태
경기도 파주시 한빛로 67 214동 703호 (야당동,한빛마을2단지휴먼빌레이크팰리스)
(뒷면에 계속)
(74) 대리인
특허법인 대아

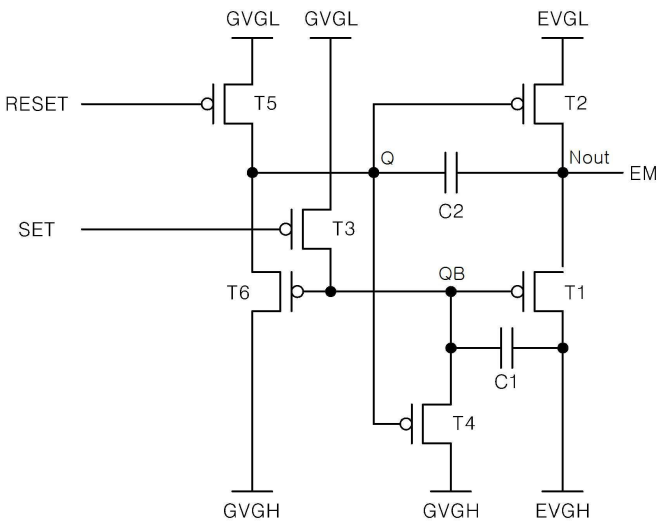
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **EM 신호 제어 회로, EM 신호 제어 방법 및 유기 발광 표시 장치**

(57) 요 약

본 발명은 EM 신호 제어 회로, EM 신호 제어 방법 및 유기 발광 표시 장치에 관한 것이다. 본 발명에 따른 EM 신호 제어 회로는 EM 신호의 신뢰성을 개선하기 위하여 출력 노드와 연결되는 트랜지스터의 게이트 전극과 세트 신호 간의 연결을 분리하고, 출력 노드와 연결되는 트랜지스터의 턴 오프 상태를 안정적으로 유지하기 위한 추가적인 소자들(트랜지스터 및 캐패시터)을 포함한다. 또한 본 발명에 따른 EM 신호 제어 회로에서는 제1 에미션 전원의 전압 크기와 제1 게이트 전원의 전압 크기가 서로 다르게 설정된다. 이에 따라서 출력 노드와 연결되는 트랜지스터의 문턱 전압이 변화하게 되더라도 트랜지스터의 턴 오프 상태가 보다 안정적으로 유지되어 EM 신호의 신뢰성이 개선된다.

대 표 도 - 도6



(52) CPC특허분류
G09G 2310/0286 (2013.01)
(72) 발명자
신기섭
서울특별시 송파구 오금로27길 16 802호 (방이동, 인택스빌2차아파트)
정용민
경기도 수원시 장안구 서부로 2126번길 50-7 (율전동) 101호

명 세 서

청구범위

청구항 1

드레인 전극이 제1 에미션 전원과 연결되고 게이트 전극이 QB 노드와 연결되며 세트 신호에 대응하여 제1 에미션 전원 전압을 소스 전극과 연결된 출력 노드로 출력하는 제1 트랜지스터;

소스 전극이 제2 에미션 전원과 연결되고 게이트 전극이 Q 노드와 연결되며 리세트 신호에 대응하여 제2 에미션 전원 전압을 드레인 전극과 연결된 상기 출력 노드로 출력하는 제2 트랜지스터;

소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 QB 노드와 연결되며 상기 세트 신호에 대응하여 제2 게이트 전원 전압을 상기 QB 노드로 전달하는 제3 트랜지스터;

소스 전극이 상기 QB 노드와 연결되고 게이트 전극이 상기 Q 노드와 연결되고 드레인 전극이 제1 게이트 전원과 연결되며 상기 리세트 신호에 대응하여 제1 게이트 전원 전압을 상기 QB 노드로 전달하는 제4 트랜지스터; 및

상기 QB 노드 및 상기 제1 트랜지스터의 드레인 전극 사이에 연결되는 제1 캐패시터를 포함하는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 2

제1항에 있어서,

상기 세트 신호에 의해 상기 제3 트랜지스터가 턴 온되면, 상기 제1 트랜지스터가 턴 온되어 상기 제1 에미션 전원 전압이 상기 출력 노드로 출력되고, 상기 제2 게이트 전원 전압이 상기 제1 캐패시터에 저장되는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 3

제2항에 있어서,

상기 세트 신호에 의해 상기 제3 트랜지스터가 턴 오프되면 상기 제1 캐패시터에 저장된 전압에 의해 상기 제1 트랜지스터가 턴 온 상태를 유지하는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 4

제1항에 있어서,

상기 리세트 신호에 의해 상기 제2 트랜지스터가 턴 온되면 상기 제2 에미션 전원 전압이 상기 출력 노드로 출력되고, 상기 제4 트랜지스터가 턴 온되어 상기 제1 게이트 전원에 의해 상기 제1 트랜지스터가 턴 오프 상태를 유지하는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 5

제1항에 있어서,

소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 Q 노드와 연결되며 상기 리세트 신호에 대응하여

상기 제2 게이트 전원 전압을 상기 Q 노드로 전달하는 제5 트랜지스터를 더 포함하는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 6

제1항에 있어서,

상기 제1 에미션 전원 전압의 크기와 상기 제1 게이트 전원 전압의 크기는 서로 다르게 설정되는

유기 발광 표시 장치의 EM 신호 제어 회로.

청구항 7

세트 신호를 인가하여 제3 트랜지스터 및 상기 제3 트랜지스터와 QB 노드에서 연결되는 제1 트랜지스터를 턴 온 시켜 출력 노드로 제1 에미션 전원 전압을 출력하는 단계;

상기 제3 트랜지스터를 턴 오프시킨 후 상기 제1 트랜지스터 및 상기 QB 노드 사이에 연결되는 제1 캐패시터에 저장된 전압을 이용하여 상기 출력 노드로 제1 에미션 전원 전압을 출력하는 단계; 및

리세트 신호를 인가하여 제5 트랜지스터 및 상기 제5 트랜지스터와 Q 노드에서 연결되는 제2 트랜지스터를 턴 온시켜 상기 출력 노드로 제2 에미션 전원 전압을 출력하는 단계를 포함하는

유기 발광 표시 장치의 EM 신호 제어 방법.

청구항 8

제7항에 있어서,

상기 제3 트랜지스터가 턴 온되면 상기 제2 게이트 전원 전압이 상기 제1 캐패시터에 저장되는

유기 발광 표시 장치의 EM 신호 제어 방법.

청구항 9

제7항에 있어서,

상기 제5 트랜지스터가 턴 온되면 상기 제5 트랜지스터와 상기 Q 노드에서 연결되는 제4 트랜지스터가 턴 온되고, 상기 제4 트랜지스터를 통해 전달되는 제1 게이트 전원 전압에 의해 상기 제1 트랜지스터가 턴 오프 상태를 유지하는

유기 발광 표시 장치의 EM 신호 제어 방법.

청구항 10

제9항에 있어서,

상기 제1 에미션 전원 전압의 크기와 상기 제1 게이트 전원 전압의 크기는 서로 다르게 설정되는

유기 발광 표시 장치의 EM 신호 제어 방법.

청구항 11

다수의 화소를 포함하는 패널;

상기 다수의 화소 각각에 스캔 신호를 공급하기 위한 다수의 쉬프트 레지스터; 및

상기 다수의 쉬프트 레지스터와 연결되고 상기 다수의 화소 각각에 EM 신호를 공급하기 위한 EM 신호 제어 회로를 포함하고,

상기 EM 신호 제어 회로는

드레인 전극이 제1 에미션 전원과 연결되고 게이트 전극이 QB 노드와 연결되며 세트 신호에 대응하여 제1 에미션 전원 전압을 소스 전극과 연결된 출력 노드로 출력하는 제1 트랜지스터;

소스 전극이 제2 에미션 전원과 연결되고 게이트 전극이 Q 노드와 연결되며 리세트 신호에 대응하여 제2 에미션 전원 전압을 드레인 전극과 연결된 상기 출력 노드로 출력하는 제2 트랜지스터;

소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 QB 노드와 연결되며 상기 세트 신호에 대응하여 제2 게이트 전원 전압을 상기 QB 노드로 전달하는 제3 트랜지스터;

소스 전극이 상기 QB 노드와 연결되고 게이트 전극이 상기 Q 노드와 연결되고 드레인 전극이 제1 게이트 전원과 연결되며 상기 리세트 신호에 대응하여 제1 게이트 전원 전압을 상기 QB 노드로 전달하는 제4 트랜지스터; 및

상기 QB 노드 및 상기 제1 트랜지스터의 드레인 전극 사이에 연결되는 제1 캐패시터를 포함하는

유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 세트 신호에 의해 상기 제3 트랜지스터가 턴 온되면, 상기 제1 트랜지스터가 턴 온되어 상기 제1 에미션 전원 전압이 상기 출력 노드로 출력되고, 상기 제2 게이트 전원 전압이 상기 제1 캐패시터에 저장되는

유기 발광 표시 장치.

청구항 13

제12항에 있어서,

상기 세트 신호에 의해 상기 제3 트랜지스터가 턴 오프되면 상기 제1 캐패시터에 저장된 전압에 의해 상기 제1 트랜지스터가 턴 온 상태를 유지하는

유기 발광 표시 장치.

청구항 14

제11항에 있어서,

상기 리세트 신호에 의해 상기 제2 트랜지스터가 턴 온되면 상기 제2 에미션 전원 전압이 상기 출력 노드로 출력되고, 상기 제4 트랜지스터가 턴 온되어 상기 제1 게이트 전원에 의해 상기 제1 트랜지스터가 턴 오프 상태를 유지하는

유기 발광 표시 장치.

청구항 15

제11항에 있어서,

상기 EM 신호 제어 회로는

소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 Q 노드와 연결되며 상기 리세트 신호에 대응하여

상기 제2 게이트 전원 전압을 상기 Q 노드로 전달하는 제5 트랜지스터를 더 포함하는

유기 발광 표시 장치.

청구항 16

제11항에 있어서,

상기 제1 에미션 전원 전압의 크기와 상기 제1 게이트 전원 전압의 크기는 서로 다르게 설정되는

유기 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 EM 신호 제어 회로, EM 신호 제어 방법 및 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 휴대전화, 태블릿PC, 노트북 등을 포함한 다양한 종류의 전자제품에는 평판 표시 장치(FPD : Flat Panel Display Device)가 이용되고 있다. 평판 표시 장치에는, 액정 표시 장치(LCD : Liquid Crystal Display Device), 플라즈마 표시장치(PDP : Plasma Display Panel Device), 유기 발광 표시 장치(OLED : Organic Light Emitting Display Device) 등이 있으며, 최근에는 전기 영동 표시 장치(EPD : Electrophoretic Display Device)도 널리 이용되고 있다.

[0003] 이중, 유기 발광 표시 장치는 유기 발광 표시 장치는 전자와 정공의 재결합을 이용하여 유기 발광 다이오드를 발광시켜 영상을 표시하는 자발광 장치로서, 고속의 응답속도와 낮은 소비전력을 가지고 있으며, 자체 발광 소자를 이용하고 있기 때문에 우수한 시야각을 가지고 있다. 따라서, 유기 발광 표시 장치는 차세대 평판 표시 장치로 주목받고 있다.

[0004] 종래 기술에 따른 유기 발광 표시 장치는 다수의 화소가 패널 상에 배치된다. 그리고 각각의 화소는 유기 발광 다이오드(OLED) 소자 및 유기 발광 다이오드 소자에 전류를 인가하기 위한 다수의 트랜지스터를 포함한다. 이와 같은 트랜지스터들에는 스캔 신호, 데이터 신호, 그리고 유기 발광 다이오드 소자의 턴 온 및 턴 오프 상태를 제어하기 위한 EM 신호가 인가된다.

[0005] 도 1은 종래 기술에 따른 유기 발광 표시 장치에 포함되는 쉬프트 레지스터 및 EM 신호 제어 회로의 구성도이다. 도 1에 도시된 바와 같이, 유기 발광 표시 장치는 쉬프트 레지스터(SR1, SR2) 및 쉬프트 레지스터(SR1, SR2)와 연결되는 EM 신호 제어 회로(INV)를 포함한다.

[0006] 도 1에 도시된 바와 같이 쉬프트 레지스터(SR1, SR2, ...)는 게이트 전원 전압(G1VGH, G1VGL, G2VGH, G2VGL), 게이트 스타트 전압(G1VST, G2VST), 클럭 신호(G1CLK1 내지 G1CLK4, G2CLK1 내지 G2CLK4)를 이용하여 스캔 신호(Scan1, Scan2)를 생성한다. 그리고 EM 신호 제어 회로(INV)는 에미션 전원 전압(EVGH, EVGL), 클럭 신호(G1CLK2), 스캔 신호(Scan1)를 이용하여 EM 신호(EM)를 생성한다.

[0007] 도 2는 종래 기술에 따른 EM 신호 제어 회로의 구성도이고, 도 3은 도 2의 EM 신호 제어 회로의 동작에 따른 각 신호의 파형을 나타낸다. 이하에서는 제1 에미션 전원 전압(EVGH) 및 제1 게이트 전원 전압(GVGH)이 14V로 설정되고, 제2 에미션 전원 전압(EVGL) 및 제2 게이트 전원 전압(GVGL)이 -6V로 설정되어 있는 경우를 가정하여 설명한다. 또한 세트(SET) 신호 및 리세트(RESET) 신호는 -6V의 저전위 및 14V의 고전위를 나타내는 것으로 가정한다.

[0008] 먼저 도 3의 구간(t1)에서는 -6V의 스캔 신호(Scan1)가 세트 신호로서 도 2의 QB 노드에 인가된다. 도 3의 구간(t1)과 같이 세트 신호가 인가되면 QB 노드에는 -6V의 전압이 형성되어 트랜지스터(T11)가 턴 온되고, 제1 에미션 전원 전압(EVGH)이 출력 단자(NOUT)를 통해 EM 신호(EM)로서 출력된다. 또한 트랜지스터(T13)이 턴 온됨에 따라서 Q 노드에는 제2 게이트 전원 전압(GVGH), 즉 14V의 전압이 형성되므로 트랜지스터(T12)는 턴 오프된다. 이에 따라 도 3에 도시된 바와 같이 구간(t1)에서는 -6V의 세트 신호와 반대의 부호를 갖는 14V의 제1 에미션

전원 전압(EVGH)이 EM 신호(EM)로서 출력된다.

[0009] 다음으로, 구간(t2)에서는 -6V의 클럭 신호(CLK2)가 리세트 신호로서 트랜지스터(14)의 게이트 전극으로 인가되고, QB 노드에는 14V의 세트 신호가 인가된다. 이에 따라서 트랜지스터(T14)가 턴 온되고, Q 노드에는 -6V의 전압이 형성된다. 이에 따라 트랜지스터(T12)가 턴 온되어 -6V의 제2 에미션 전원 전압(EVGL)이 EM 신호(EM)로서 출력된다. 이 때 Q 노드의 전압(-6V)은 캐패시터(C)에 저장된다. 따라서 구간(t2) 이후로는 리세트 신호가 주기적으로 인가되더라도 캐패시터(C)에 저장된 -6V의 전압으로 인해 EM 신호(EM)는 -6V를 유지하게 된다.

[0010] 한편, 종래 기술에 따른 유기 발광 표시 장치는 저조도 환경에서 소비 전력 및 화질을 개선하기 위한 목적으로 외부 조도에 따라 패널의 휘도를 조절하는 기능을 갖추고 있다. 이와 같은 휘도 조절은 패널에 인가되는 데이터 전압을 이용하여 구현될 수도 있고, 전술한 바와 같이 생성되는 EM 신호를 이용하여 구현될 수도 있다. 즉, 도 3의 구간(t1)과 같이 EM 신호(EM)가 턴 온되는 시간을 조절함에 따라서 각 화소의 턴 오프 시간을 조절할 수 있다. 이와 같은 구동 방법을 EM 듀티(duty) 구동이라고 한다.

[0011] 도 4는 종래 기술에 따른 EM 신호 제어 회로의 EM 듀티 구동에 따른 각 신호의 파형을 나타낸다.

[0012] 도 2 및 도 4를 참조하면, 먼저 구간(t1)에서는 앞서 설명한 바와 마찬가지로 -6V의 세트 신호가 QB 노드로 인가된다. 이에 따라서 트랜지스터(T11)가 턴 온되어 14V의 제1 에미션 전원 전압(EVGH)이 출력 노드(NOUT)를 통해 EM 신호(EM)로서 출력된다.

[0013] 다음으로, 구간(t2)에서는 일정 시간 동안 유기 발광 다이오드 소자를 턴 오프 상태로 유지시키기 위하여 EM 신호(EM)의 전압 크기를 14V로 유지시킨다. 이를 위해 세트 신호 및 리세트 신호가 모두 14V의 크기로 도 2의 EM 신호 제어 회로에 인가된다.

[0014] 그러나 세트 신호 및 리세트 신호를 모두 14V로 유지시킬 경우, 도 2의 트랜지스터(T11) 및 트랜지스터(T12)가 모두 턴 오프되기 때문에 출력 단자(NOUT)는 플로팅(floating) 상태가 된다. 이에 따라 구간(t2)에서는 출력 단자(NOUT)를 통해 출력되는 EM 신호(EM)의 정상적인 출력을 보장할 수 없다는 문제가 있다.

[0015] 한편, 구간(t3)에서는 -6V의 리세트 신호가 트랜지스터(T14)로 인가되어 트랜지스터(T12)가 턴 온된다. 이에 따라 EM 신호(EM)의 전압 크기는 -6V가 된다. 구간(t3) 이후에는 세트 신호가 14V로 유지되며, EM 신호(EM)의 전압 크기 또한 리세트 신호의 인가와는 무관하게 -6V로 유지되어야 한다.

[0016] 그러나 유기 발광 표시 장치의 제조 과정에서 트랜지스터의 공정 조건, 또는 유기 발광 표시 장치의 구동 시 외부 온도의 변화, 트랜지스터의 열화 등으로 인해 트랜지스터(T11)의 문턱 전압이 변화하는 경우가 발생한다. 이에 따라 도 2에서 QB 노드로 인가되는 세트 신호의 전압 크기(14V)에도 불구하고 트랜지스터(T11)의 문턱 전압 변화로 인해 도 4의 구간(t4) 또는 구간(t6)과 같이 EM 신호(EM)의 전압 크기가 상승하게 되는 문제가 있다.

[0017] 결국 도 4의 구간(t2)에서 발생하는 출력 노드(NOUT)의 플로팅 상태 및 구간(t4) 또는 구간(T6)에서 발생하는 EM 신호(EM)의 전압 상승을 방지하기 위한 새로운 구조의 EM 신호 제어 회로가 필요하다.

발명의 내용

해결하려는 과제

[0018] 본 발명은 EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터들이 턴 오프됨에 따라 발생하는 플로팅 상태를 방지하기 위한 EM 신호 제어 회로, EM 신호 제어 방법 및 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

[0019] 또한 본 발명은 EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터의 문턱 전압 변화로 인하여 EM 신호의 전압 크기가 변화하는 현상을 방지하기 위한 EM 신호 제어 회로, EM 신호 제어 방법 및 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

[0020] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타낸 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

과제의 해결 수단

[0021] 전술한 바와 같이 종래 기술에 따른 EM 신호 제어 회로는 EM 듀티 구동 시에 출력 노드와 연결되는 트랜지스터들이 모두 턴 오프되는 구간에서 출력 노드가 플로팅 상태가 되어 정상적인 EM 신호의 출력을 보장하기 어렵다는 문제가 있다.

[0022] 이러한 문제를 해결하고 EM 신호의 신뢰성을 개선하기 위하여 본 발명의 EM 신호 제어 회로는 출력 노드와 연결되는 트랜지스터의 게이트 전극과 세트 신호 간의 연결을 분리하고, 출력 노드와 연결되는 트랜지스터의 턴 오프 상태를 안정적으로 유지하기 위한 추가적인 소자들(트랜지스터 및 캐패시터)을 포함한다.

[0023] 또한 전술한 바와 같이 종래 기술에 따른 EM 신호 제어 회로는 제조 공정이나 구동 과정에서 나타나는 트랜지스터의 문턱 전압 변화로 인하여 EM 신호가 의도하지 않게 변하게 되는 문제도 있다.

[0024] 이러한 문제를 해결하기 위하여 본 발명에서는 제1 에미션 전원의 전압 크기와 제1 게이트 전원의 전압 크기를 서로 다르게 설정한다. 이에 따라서 출력 노드와 연결되는 트랜지스터의 문턱 전압이 변화하게 되더라도 트랜지스터의 턴 오프 상태가 보다 안정적으로 유지되어 EM 신호의 신뢰성이 개선된다.

[0025] 이러한 목적을 달성하기 위한 본 발명은 유기 발광 표시 장치의 EM 신호 제어 회로에 있어서, 드레인 전극이 제1 에미션 전원과 연결되고 게이트 전극이 QB 노드와 연결되며 세트 신호에 대응하여 제1 에미션 전원 전압을 소스 전극과 연결된 출력 노드로 출력하는 제1 트랜지스터, 소스 전극이 제2 에미션 전원과 연결되고 게이트 전극이 Q 노드와 연결되며 리세트 신호에 대응하여 제2 에미션 전원 전압을 드레인 전극과 연결된 상기 출력 노드로 출력하는 제2 트랜지스터, 소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 QB 노드와 연결되며 상기 세트 신호에 대응하여 제2 게이트 전원 전압을 상기 QB 노드로 전달하는 제3 트랜지스터, 소스 전극이 상기 QB 노드와 연결되고 게이트 전극이 상기 Q 노드와 연결되고 드레인 전극이 제1 게이트 전원과 연결되며 상기 리세트 신호에 대응하여 제1 게이트 전원 전압을 상기 QB 노드로 전달하는 제4 트랜지스터 및 상기 QB 노드 및 상기 제1 트랜지스터의 드레인 전극 사이에 연결되는 제1 캐패시터를 포함하는 것을 특징으로 한다.

[0026] 또한 본 발명은 유기 발광 표시 장치의 EM 신호 제어 방법에 있어서, 세트 신호를 인가하여 제3 트랜지스터 및 상기 제3 트랜지스터와 QB 노드에서 연결되는 제1 트랜지스터를 턴 온시켜 출력 노드로 제1 에미션 전원 전압을 출력하는 단계, 상기 제3 트랜지스터를 턴 오프시킨 후 상기 제1 트랜지스터 및 상기 QB 노드 사이에 연결되는 제1 캐패시터에 저장된 전압을 이용하여 상기 출력 노드로 제1 에미션 전원 전압을 출력하는 단계 및 리세트 신호를 인가하여 제5 트랜지스터 및 상기 제5 트랜지스터와 Q 노드에서 연결되는 제2 트랜지스터를 턴 온시켜 상기 출력 노드로 제2 에미션 전원 전압을 출력하는 단계를 포함하는 것을 특징으로 한다.

[0027] 또한 본 발명은 유기 발광 표시 장치에 있어서, 다수의 화소를 포함하는 패널, 상기 다수의 화소 각각에 스캔 신호를 공급하기 위한 다수의 쉬프트 레지스터; 및 상기 다수의 쉬프트 레지스터와 연결되고 상기 다수의 화소 각각에 EM 신호를 공급하기 위한 EM 신호 제어 회로를 포함하고, 상기 EM 신호 제어 회로는 드레인 전극이 제1 에미션 전원과 연결되고 게이트 전극이 QB 노드와 연결되며 세트 신호에 대응하여 제1 에미션 전원 전압을 소스 전극과 연결된 출력 노드로 출력하는 제1 트랜지스터, 소스 전극이 제2 에미션 전원과 연결되고 게이트 전극이 Q 노드와 연결되며 리세트 신호에 대응하여 제2 에미션 전원 전압을 드레인 전극과 연결된 상기 출력 노드로 출력하는 제2 트랜지스터, 소스 전극이 제2 게이트 전원과 연결되고 드레인 전극이 상기 QB 노드와 연결되며 상기 세트 신호에 대응하여 제2 게이트 전원 전압을 상기 QB 노드로 전달하는 제3 트랜지스터, 소스 전극이 상기 QB 노드와 연결되고 게이트 전극이 상기 Q 노드와 연결되고 드레인 전극이 제1 게이트 전원과 연결되며 상기 리세트 신호에 대응하여 제1 게이트 전원 전압을 상기 QB 노드로 전달하는 제4 트랜지스터 및 상기 QB 노드 및 상기 제1 트랜지스터의 드레인 전극 사이에 연결되는 제1 캐패시터를 포함하는 것을 특징으로 한다.

발명의 효과

[0028] 전술한 바와 같은 본 발명에 의하면, EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터들이 턴 오프됨에 따라 발생하는 플로팅 상태를 방지할 수 있는 장점이 있다.

[0029] 또한 본 발명은 EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터의 문턱 전압 변화로 인하여 EM 신호의 전압 크기가 변화하는 현상을 방지할 수 있는 장점이 있다.

도면의 간단한 설명

[0030] 도 1은 종래 기술에 따른 유기 발광 표시 장치에 포함되는 쉬프트 레지스터 및 EM 신호 제어 회로의 구성도이다.

도 2는 종래 기술에 따른 EM 신호 제어 회로의 구성도이다.

도 3은 도 2의 EM 신호 제어 회로의 동작에 따른 각 신호의 파형을 나타낸다.

도 4는 종래 기술에 따른 EM 신호 제어 회로의 EM 듀티 구동에 따른 각 신호의 파형을 나타낸다.

도 5는 본 발명에 따른 유기 발광 표시 장치의 구성도이다.

도 6은 본 발명에 따른 EM 신호 제어 회로의 구성도이다.

도 7은 도 6의 EM 신호 제어 회로의 동작에 따른 각 신호의 파형을 나타낸다.

도 8은 본 발명의 다른 실시예에 따른 EM 신호 제어 회로의 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 전술한 목적, 특징 및 장점은 첨부된 도면을 참조하여 상세하게 후술되며, 이에 따라 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다. 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 상세한 설명을 생략한다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다. 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소를 가리키는 것으로 사용된다.

[0032] 도 5는 본 발명에 따른 유기 발광 표시 장치의 구성도이다.

[0033] 도 5를 참조하면, 본 발명에 따른 유기 발광 표시 장치는 타이밍 컨트롤러(114), 게이트 드라이버(104), 데이터 드라이버(106), 패널(102)을 포함한다.

[0034] 타이밍 컨트롤러(114)는 유기 발광 표시 장치의 내부 또는 외부에 존재하는 시스템(112)으로부터 디지털 비디오 데이터(RGB), 수직/수평 동기신호(Vsync, Hsync), 클럭 신호(CLK)를 입력받는다. 타이밍 컨트롤러(114)는 입력된 수직/수평 동기신호(Vsync, Hsync), 클럭 신호(CLK)를 이용하여 게이트 드라이버(104)와 데이터 드라이버(106)의 구동을 제어하기 위한 게이트 제어신호(GCS) 및 데이터 제어신호(DCS)를 각각 출력한다. 또한 타이밍 컨트롤러(114)는 디지털 비디오 데이터(RGB)를 패널(102)의 해상도에 맞게 재정렬하여 데이터 드라이버(106)에 공급한다.

[0035] 게이트 드라이버(104)는 게이트 제어신호(GCS)에 응답하여 패널(102)의 각 게이트라인(GL1 내지 GLn)에 스캔 신호를 공급한다. 게이트 드라이버(104)는 타이밍 컨트롤러(114)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트라인(GL1 내지 GLn)에 스캔 신호를 공급한다.

[0036] 데이터 드라이버(106)는 타이밍 컨트롤러(114)로부터 입력되는 데이터 제어신호(DCS)에 응답하여 영상신호(RGB)를 계조 값에 대응하는 아날로그의 화소 신호(데이터 신호 또는 데이터 전압)로 변환하며, 이렇게 변환된 화소 신호가 패널(102)상의 데이터라인(DL1 내지 DLm)에 공급된다.

[0037] 패널(102)은 복수의 게이트 라인(GL)과 데이터 라인(DL)의 교차 지점에 형성되는 복수의 화소(P)를 포함한다. 각 화소(P)는 게이트라인(GL)에 의해 구동되는 스위칭 트랜지스터, 스위칭 트랜지스터를 통해 인가되는 영상 신호에 의해 턴온되는 구동 트랜지스터, EM 신호에 의해 구동되는 에미션 트랜지스터 및 유기 발광 다이오드를 포함한다. 데이터 라인을 통해 공급된 영상 신호는, 게이트 라인을 통해 인가된 스캔 신호에 의해 턴 온되는 스위칭 트랜지스터를 통해 구동 트랜지스터로 인가된다. 그리고 EM 신호에 의해 에미션 트랜지스터가 턴 온되면, 구동 트랜지스터를 통해 유입된 전류에 의해 유기 발광 다이오드가 발광한다.

[0038] 도 5를 참조하면 게이트 드라이버(104)는 스캔 신호를 생성하기 위한 다수의 쉬프트 레지스터(SR1 내지 SRn)를 포함한다. 또한 패널(102)에는 각 화소(P)에 EM 신호를 전달하는 EM 신호 제어부(204)가 배치된다. EM 신호 제어부(204)는 다수의 EM 신호 제어 회로(INV1 내지 INVn)을 포함한다. EM 신호 제어 회로(INV1 내지 INVn)는 쉬프트 레지스터(SR1 내지 SRn)와 연결되며 쉬프트 레지스터(SR1 내지 SRn)로부터 출력되는 신호를 이용하여 EM

신호를 생성한다.

[0039] 또한 도 5에는 도시되지 않았으나 유기 발광 표시 장치는 타이밍 컨트롤러(114), 게이트 드라이버(104), 데이터 드라이버(106), 패널(102)의 구동에 필요한 전원을 공급하기 위한 전원공급부(미도시)를 포함할 수 있다.

[0040] 이하에서는 본 발명에 따른 EM 신호 제어 회로(INV1 내지 INVn)의 구성 및 동작 과정에 대해 상세히 설명한다.

[0041] 도 6은 본 발명에 따른 EM 신호 제어 회로의 구성도이다.

[0042] 도 6을 참조하면, 본 발명에 따른 EM 신호 제어 회로는 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6), 제1 캐패시터(C1), 제2 캐패시터(C2)를 포함한다.

[0043] 제1 트랜지스터(T1)는 세트 신호(SET)에 대응하여 제1 에미션 전원(EVGH)의 전압을 소스 전극과 연결된 출력 노드(Nout)로 출력한다. 제1 트랜지스터(T1)의 드레인 전극은 제1 에미션 전원(EVGH)과 연결되고 게이트 전극은 QB 노드와 연결된다.

[0044] 제2 트랜지스터(T2)는 리세트 신호(RESET)에 대응하여 제2 에미션 전원(EVGL)의 전압을 드레인 전극과 연결된 출력 노드(Nout)로 출력한다. 제2 트랜지스터(T2)의 소스 전극은 제2 에미션 전원(EVGL)과 연결되고 게이트 전극은 Q 노드와 연결된다.

[0045] 제3 트랜지스터(T3)는 세트 신호(SET)에 대응하여 제2 게이트 전원(GVGL)의 전압을 QB 노드로 전달한다. 제3 트랜지스터(T3)의 소스 전극은 제2 게이트 전원(GVGL)과 연결되고 드레인 전극은 QB 노드와 연결된다.

[0046] 제4 트랜지스터(T4)는 리세트 신호(RESET)에 대응하여 제1 게이트 전원(GVGH)의 전압을 QB 노드로 전달한다. 제4 트랜지스터(T4)의 소스 전극은 QB 노드와 연결되고 게이트 전극은 Q 노드와 연결되고 드레인 전극은 제1 게이트 전원(GVGH)과 연결된다.

[0047] 또한 QB 노드 및 제1 트랜지스터(T1)의 드레인 전극 사이에는 제1 캐패시터(C1)이 연결된다. 그리고 Q 노드와 출력 노드(Nout) 사이에는 제2 캐패시터(C2)가 연결된다.

[0048] 제5 트랜지스터(T5)는 리세트 신호(RESET)에 대응하여 제2 게이트 전원(GVGL)의 전압을 Q 노드로 전달한다. 제5 트랜지스터(T5)의 소스 전극은 제2 게이트 전원(GVGL)과 연결되고 드레인 전극은 Q 노드와 연결된다.

[0049] 제6 트랜지스터(T6)는 세트 신호(SET)에 대응하여 턴 온되어 제1 게이트 전원(GVGH)의 전압을 Q 노드로 전달한다. 이에 따라서 제1 트랜지스터(T1)를 통해 제1 에미션 전원(EVGH) 전압이 출력 노드(Nout)로 출력되는 동안 제2 트랜지스터(T2)가 턴 오프된다.

[0050] 이하에서는 도 6 및 도 7을 참조하여 본 발명에 따른 EM 신호 제어 회로에 의한 EM 신호 생성 과정 및 EM 듀티 동작 과정을 상세히 설명한다. 이하의 실시예에서는 제1 에미션 전원(EVGH) 전압은 14V, 제2 에미션 전원(EVGL) 전압은 -6V, 제1 게이트 전원(GVGH) 전압은 16V, 제2 게이트 전원(GVGL) 전압은 -6V로 각각 설정된 경우를 가정하여 설명한다. 또한 세트(SET) 신호 및 리세트(RESET) 신호는 -6V의 저전위 및 16V의 고전위를 나타내는 것으로 가정한다. 그러나 제1 에미션 전원(EVGH) 전압, 제2 에미션 전원(EVGL) 전압, 제1 게이트 전원(GVGH) 전압, 제2 게이트 전원(GVGL) 전압, 세트 신호, 리세트 신호의 크기가 반드시 이와 같이 설정되어야 하는 것은 아니며, 각 전압의 크기는 실시예에 따라서 다르게 설정될 수 있다.

[0051] 도 7은 도 6의 EM 신호 제어 회로의 동작에 따른 각 신호의 파형을 나타낸다.

[0052] 먼저 구간(t1)에서는 제3 트랜지스터(T3)의 게이트 전극에 -6V의 세트 신호(SET)가 인가된다. 이에 따라 제3 트랜지스터(T3)가 턴 온되고, -6V의 제2 게이트 전원(GVGL) 전압이 QB 노드로 전달된다.

[0053] QB 노드에 -6V의 전압이 전달되면, 제1 트랜지스터(T1) 및 제6 트랜지스터(T6)가 각각 턴 온된다. 제1 트랜지스터(T1)가 턴 온되면 제1 트랜지스터(T1)를 통해 14V의 제1 에미션 전원(EVGH) 전압이 출력 노드(Nout)로 출력된다. 이에 따라 구간(t1)에서는 도 7과 같이 14V의 EM 신호가 EM 신호 제어 회로를 통해 출력된다. 이 때 QB 노드에 전달된 -6V의 전압은 제1 캐패시터(C1)에 저장된다.

[0054] 또한 제6 트랜지스터(T6)가 턴 온되면 16V의 제1 게이트 전원(GVGH) 전압이 Q 노드에 전달된다. 이에 따라서 구간(t1)에서 제2 트랜지스터(T2)는 턴 오프 상태를 유지하게 된다.

[0055] 다음으로, 구간(t2)에서는 제3 트랜지스터(T3)의 게이트 전극에 16V의 세트 신호(SET)가 인가된다. 이에 따라 제3 트랜지스터(T3)는 턴 오프된다. 도 4를 통해 설명된 종래 기술에 따르면, 이와 같이 제3 트랜지스터(T3)가 턴 오프될 경우 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 모두 턴 오프상태가 되므로 출력 단자(NOUT)는 플

로팅(floating) 상태가 된다. 이에 따라 구간(t2)에서는 출력 단자(NOUT)를 통해 출력되는 EM 신호(EM)의 정상적인 출력을 보장할 수 없다는 문제가 있다.

[0056] 그러나 본 발명에서는 구간(t2)에서 제3 트랜지스터(T3)가 턴 오프되더라도 제1 캐패시터(C1)에 저장된 -6V의 전압으로 인해 제1 트랜지스터(T1)가 계속해서 턴 온 상태를 유지한다. 이에 따라서 출력 노드(Nout)를 통해 계속해서 14V의 제1 에미션 전원(EVGH) 전압이 출력된다. 따라서 본 발명에 따른 EM 신호 제어 회로에 의하면 구간(t2)와 같이 세트 신호(SET) 및 리세트 신호(RESET)가 모두 16V로 입력되는 구간에서도 출력 노드를 통한 정상적인 EM 신호(EM)의 출력이 보장된다.

[0057] 한편, EM 듀티 동작이 종료되는 시점, 즉 구간(t2)의 종료 시점은 타이밍 컨트롤러(114)에 의해 결정될 수 있다. 이와 같은 구간(t2)의 종료 시점에 따라서 EM 듀티 구동의 지속시간(duty)이 결정될 수 있다.

[0058] 다음으로, 구간(t3)에서는 -6V의 리세트 신호(RESET)가 제5 트랜지스터(T5)의 게이트 전극에 인가된다. 이에 따라 제5 트랜지스터(T5)가 턴 온되고, 제5 트랜지스터(T5)를 통해 -6V의 제2 게이트 전원(GVGL) 전압이 Q 노드로 전달된다.

[0059] Q 노드에 -6V의 전압이 전달됨에 따라서 제2 트랜지스터(T2)가 턴 온되고, 제2 트랜지스터(T2)를 통해 -6V의 제2 에미션 전원(EVGL) 전압이 출력 노드(Nout)를 통해 출력된다. 이에 따라 구간(t3)에서 EM 신호(EM)는 도 7과 같이 -6V로 바뀐다. 이 때 Q 노드의 -6V 전압은 제2 캐패시터(C2)에 저장된다.

[0060] 한편, Q 노드에 -6V의 전압이 전달됨에 따라서 제4 트랜지스터(T4)가 턴 온되고, 제4 트랜지스터(T4)를 통해 16V의 제1 게이트 전원(GVGH) 전압이 QB 노드로 전달된다. 이에 따라 구간(t3)에서 제1 트랜지스터(T1)는 턴 오프 상태를 유지한다.

[0061] 다음으로, 구간(t4)에서는 16V의 리세트 신호(RESET)가 제5 트랜지스터(T5)의 게이트 전극에 인가된다. 이에 따라서 제5 트랜지스터(T5)가 턴 오프되나, 제2 캐패시터(C2)에 저장된 -6V의 전압으로 인해 제2 트랜지스터(T2)는 턴 온 상태를 유지한다. 이에 따라서 EM 신호(EM)의 전압 크기는 계속해서 -6V를 유지한다.

[0062] 그런데 앞서 설명한 바와 같이 구간(t4)에서 EM 신호(EM)의 전압 크기가 계속해서 -6V를 유지해야 함에도 불구하고 EM 신호(EM)의 전압 크기가 상승하는 현상이 발생한다. 이는 유기 발광 표시 장치의 제조 과정에서 트랜지스터의 공정 조건, 또는 유기 발광 표시 장치의 구동 시 외부 온도의 변화, 트랜지스터의 열화 등으로 인해 제1 트랜지스터(T1)의 문턱 전압이 변할 수 있기 때문이다. 즉, 제1 트랜지스터(T1)의 문턱 전압이 변화함으로써 QB 노드로 제1 게이트 전원(GVGH) 전압이 인가됨에도 불구하고 구간(t4)에서 EM 신호(EM)의 전압 크기가 상승하는 현상이 발생한다.

[0063] 본 발명에서는 이와 같이 구간(t4)에서 EM 신호(EM)의 전압 크기가 일정하게 유지되지 않고 상승하는 현상을 방지하기 위해 제1 게이트 전원(GVGH)의 전압 크기를 제1 에미션 전원(EVGH)의 전압 크기와 서로 다르게 설정한다. 예컨대 도 7의 실시예에서는 제1 게이트 전원(GVGH)의 전압 크기가 16V로 설정되고, 제1 에미션 전원(EVGH)의 전압 크기가 14V로 설정된다. 이와 같이 제1 게이트 전원(GVGH)의 전압 크기가 제1 에미션 전원(EVGH)의 전압 크기가 서로 다르게 설정되면 두 전원의 전압 차이 만큼의 크기(-2V)를 갖는 전압이 제1 트랜지스터(T1)의 게이트 전극에 인가된다. 이에 따라서 제1 트랜지스터(T1)의 문턱 전압이 변화하더라도 제1 트랜지스터(T1)는 구간(t4)에서 턴 오프 상태를 안정적으로 유지할 수 있고, EM 신호(EM)의 전압 또한 일정하게 유지될 수 있다.

[0064] 본 발명에서 제1 게이트 전원(GVGH)의 전압 크기와 제1 에미션 전원(EVGH)의 전압 크기의 차이는 제1 트랜지스터(T1)의 문턱 전압 변화에 따라 다르게 설정될 수 있다. 즉, 제1 트랜지스터(T1)의 문턱 전압 변화가 크게 일어날 것으로 예상되면 그에 따라서 제1 게이트 전원(GVGH)의 전압 크기와 제1 에미션 전원(EVGH)의 전압 크기의 차이도 보다 크게 설정될 수 있다.

[0065] 결국 위와 같은 동작에 따라서 구간(t3) 및 구간(t3)에서 EM 신호(EM)는 -6V로 안정적으로 유지된다. 또한 구간(t5) 및 구간(t6)에서도 각각 구간(t3) 및 구간(t3)과 동일한 동작이 수행되며, EM 신호(EM)는 -6V로 안정적으로 유지된다.

[0066] 도 8은 본 발명의 다른 실시예에 따른 EM 신호 제어 회로의 구성도이다.

[0067] 도 6에 도시된 본 발명에 따른 EM 신호 제어 회로에 포함되는 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)는 모두 PMOS 트랜지스터로 구성된다. 반면에, 도 8에 도시된 본 발명의 다른 실시예에 따른 EM 신호 제어 회로의 제1 트랜지스터(T1) 내지 제6 트랜지스터(T6)는 모두 NMOS 트랜지스터로 구성된다. 이와 같은 점을 제외하면 도

8의 EM 신호 제어 회로 동작 및 그에 따른 EM 신호의 파형은 도 6의 회로와 동일하다.

[0068] 다만 도 8의 EM 신호 제어 회로에서 제1 에미션 전원(EVGL) 전압, 제2 에미션 전원(EVGH) 전압, 제1 게이트 전원(GVGL) 전압, 제2 게이트 전원(GVGH) 전압의 크기는 도 6의 회로와 반대로 설정된다. 예컨대 도 8의 회로에서 제1 에미션 전원(EVGL) 전압은 -6V, 제2 에미션 전원(EVGH) 전압은 14V, 제1 게이트 전원(GVGL) 전압은 -8V, 제2 게이트 전원(GVGH) 전압은 14V로 각각 설정될 수 있다. 이 때에도 도 7의 구간(t4) 또는 구간(t6)에서 EM 신호의 전압 크기가 상승하는 현상을 방지하기 위하여 제1 게이트 전원(GVGL)의 전압 크기는 제1 에미션 전원(EVGL)의 전압 크기와 서로 다르게 설정될 수 있다.

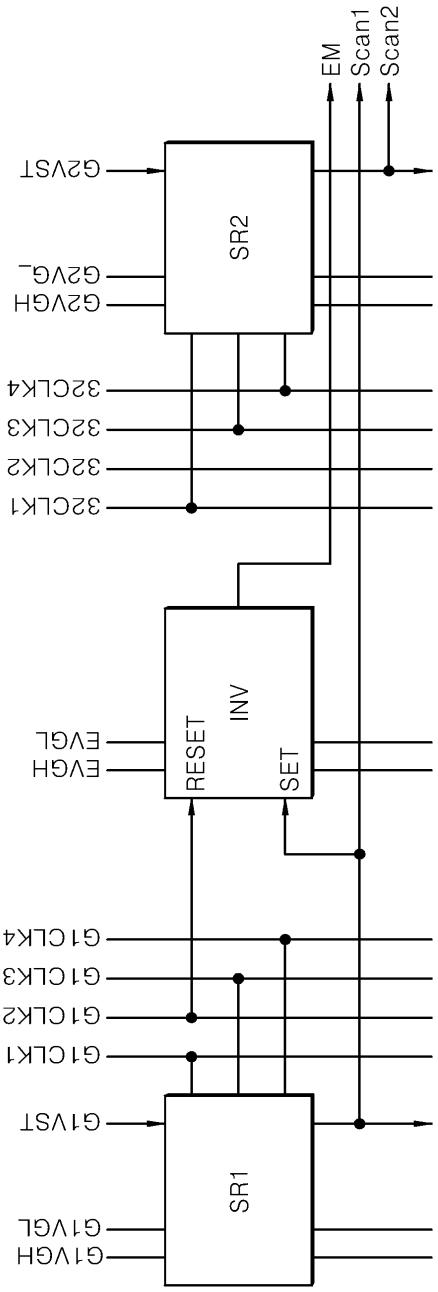
[0069] 전술한 바와 같은 본 발명에 의하면, EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터들이 턴 오프됨에 따라 발생하는 플로팅 상태를 방지할 수 있는 장점이 있다.

[0070] 또한 본 발명은 EM 신호 제어 회로의 EM 듀티 동작 시 출력 노드와 연결되는 트랜지스터의 문턱 전압 변화로 인하여 EM 신호의 전압 크기가 변화하는 현상을 방지할 수 있는 장점이 있다.

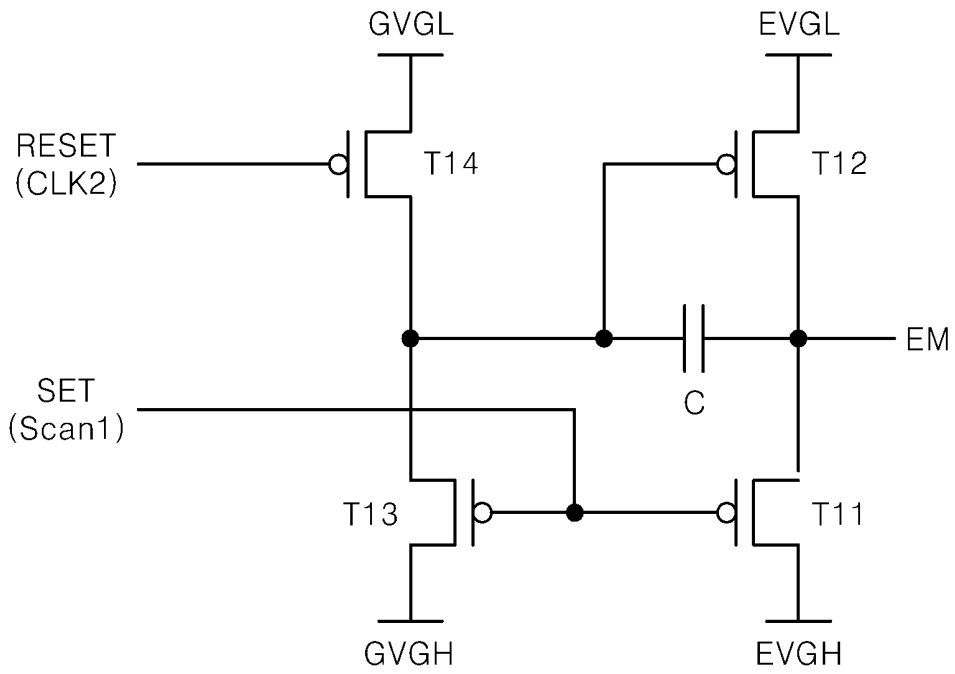
[0071] 전술한 본 발명은, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하므로 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니다.

도면

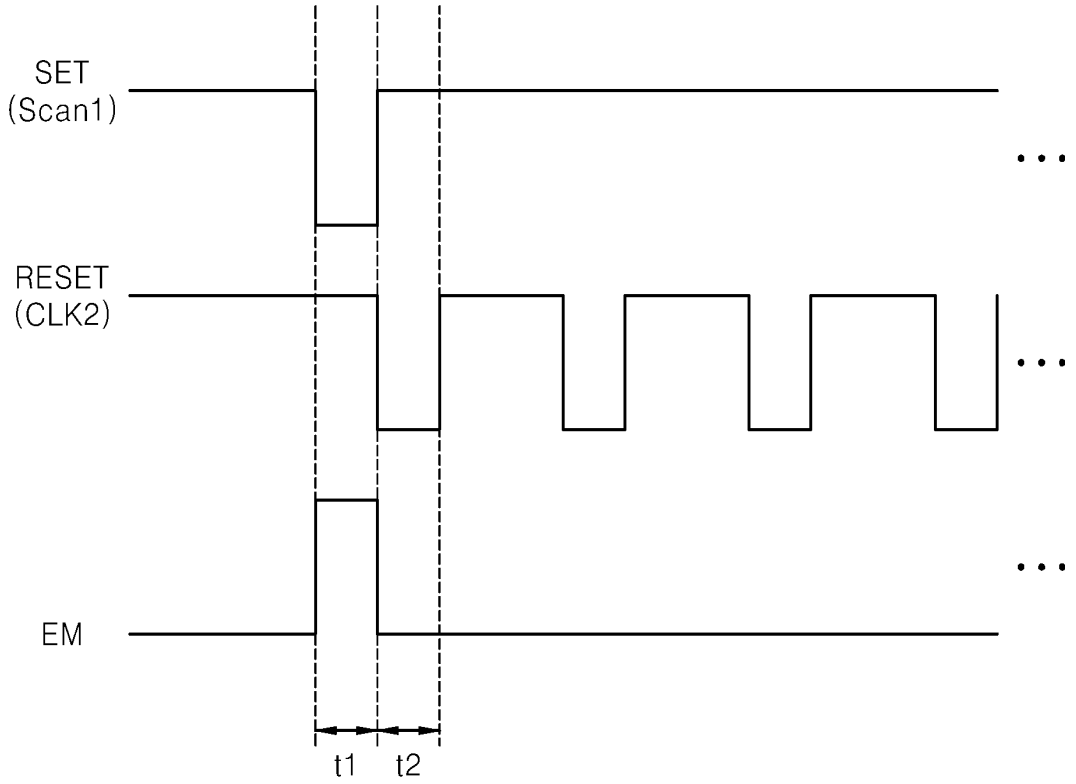
도면1


EM
Scan1
Scan2
G2VST
SR2
G2VG_
G2VGH
32CLK4
32CLK3
32CLK2
32CLK1
INV
RESET
SET
EVGL
EVGH
G1CLK4
G1CLK3
G1CLK2
G1CLK1
G1VST
SR1
G1VGL
G1VGH

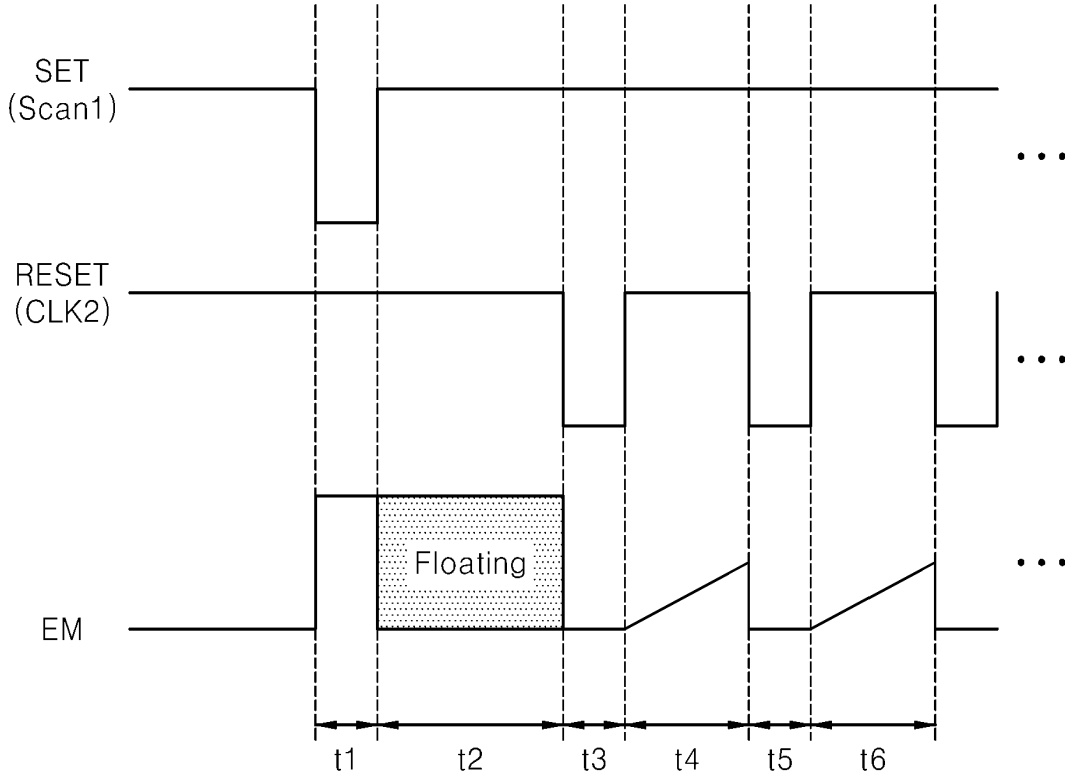
도면2


GVGL
EVGL
RESET
(CLK2)
T14
T12
EM
SET
(Scan1)
C
T13
T11
GVGH
EVGH

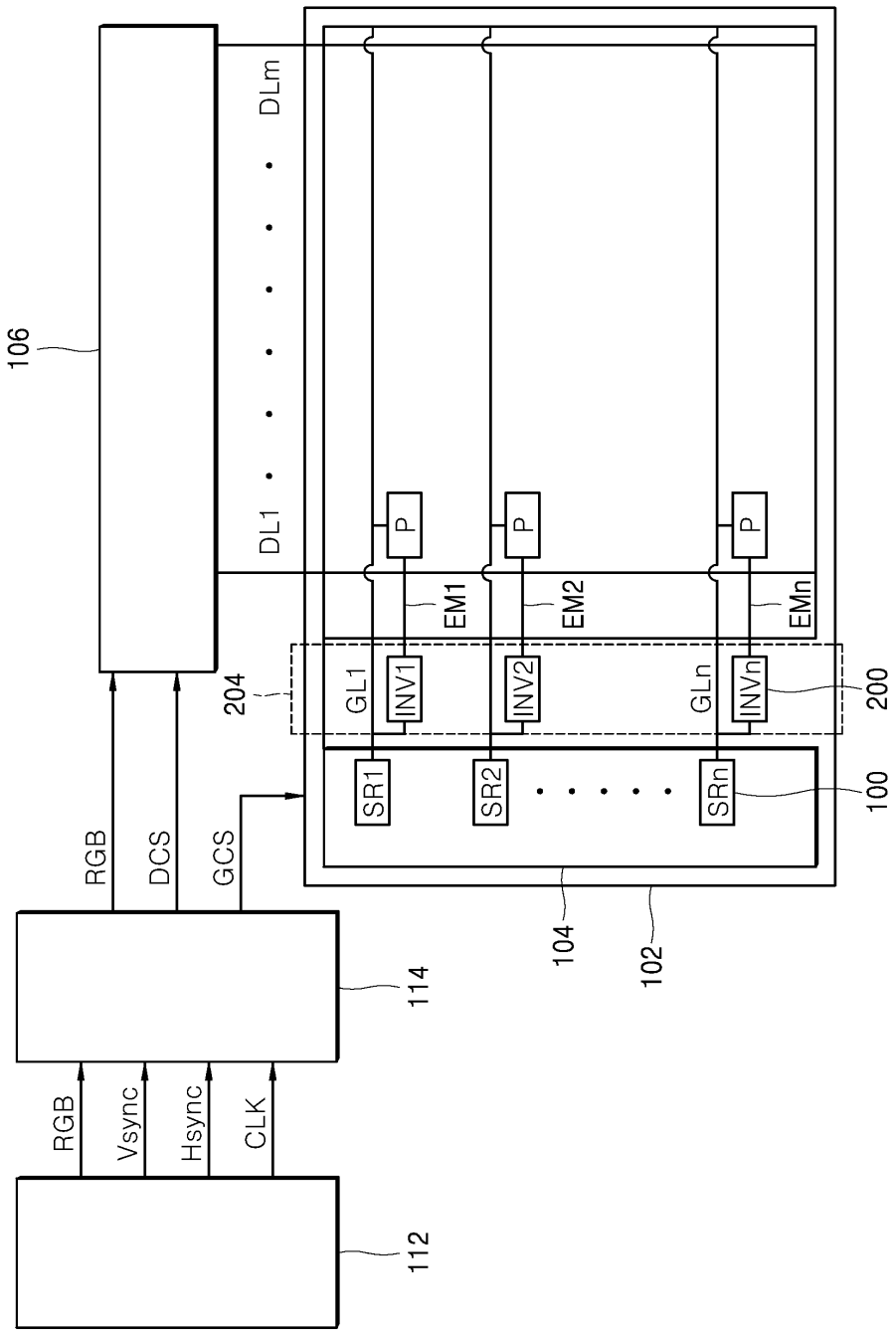
도면3


SET
(Scan1)
RESET
(CLK2)
EM
t1
t2

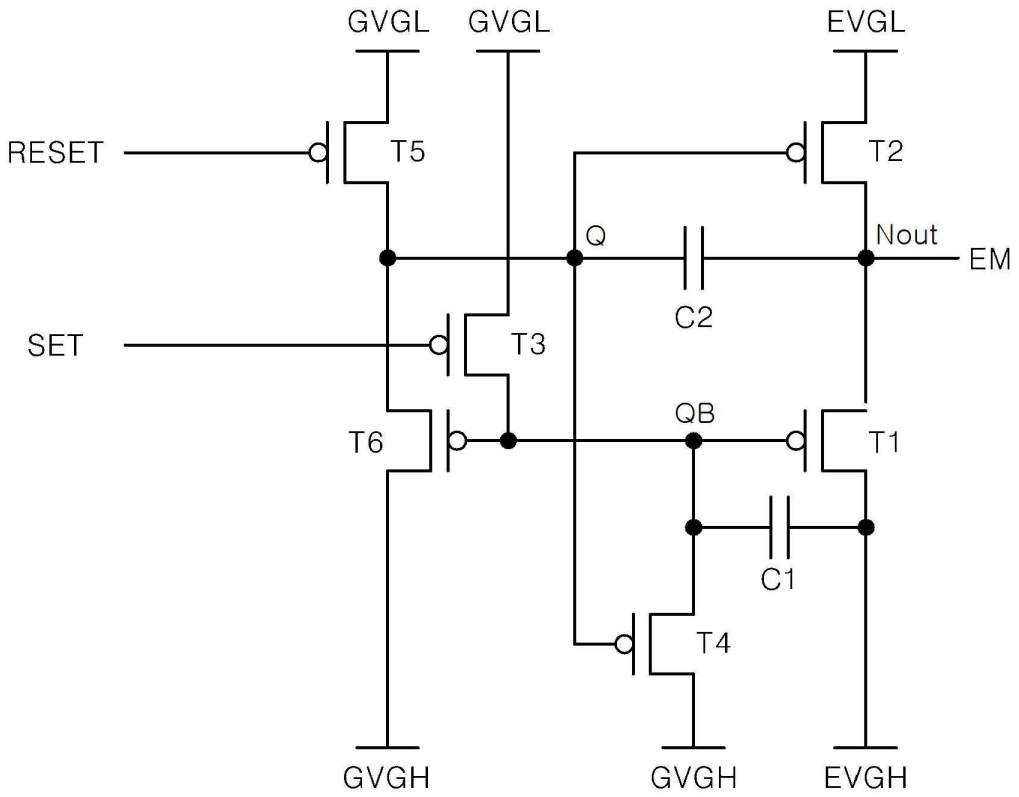
도면4



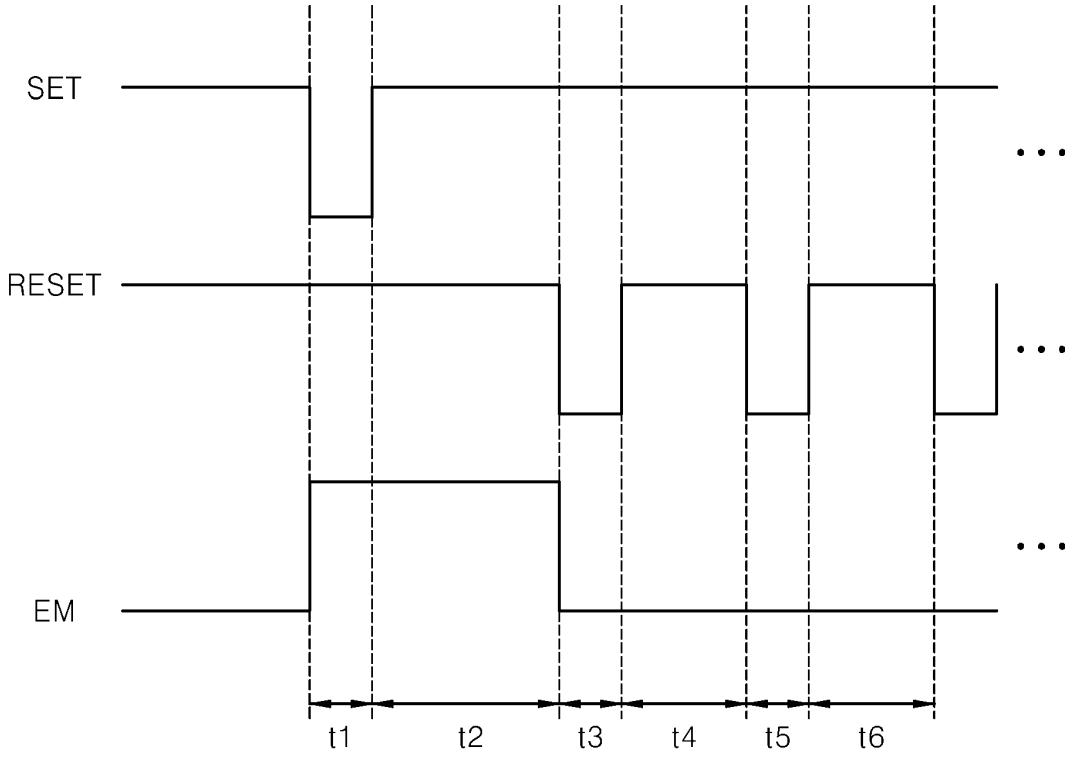
도면5


106
DL1
DLm
P
EM1
EM2
EMn
204
GL1
INV1
INV2
GLn
INVn
200
SR1
SR2
SRn
100
104
102
RGB
DCS
GCS
114
RGB
Vsync
Hsync
CLK
112

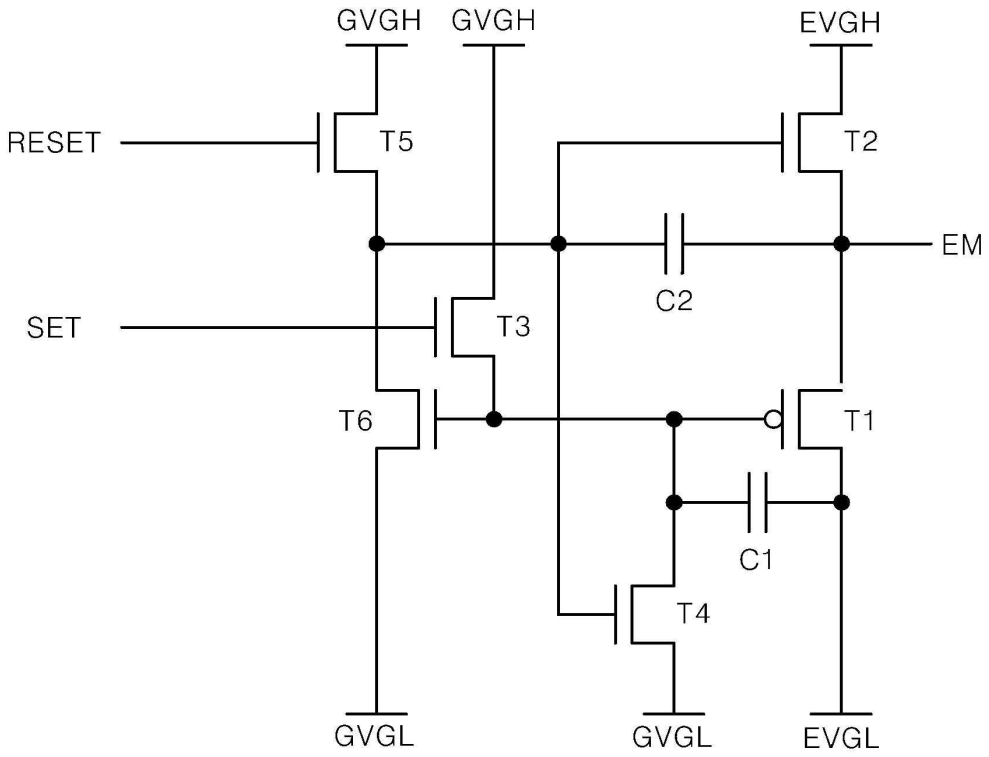
도면6


GVGL
GVGL
EVGL
RESET
T5
T2
Q
Nout
EM
C2
SET
T3
QB
T6
T1
C1
T4
GVGH
GVGH
EVGH

도면7


SET
RESET
EM
t1
t2
t3
t4
t5
t6

도면8


GVGH
GVGH
EVGH
RESET
T5
T2
EM
C2
SET
T3
T6
T1
C1
T4
GVGL
GVGL
EVGL