

대표도

도 5

색인어

유효 채널, 채널 길이 감소, 접합 깊이

명세서

기술분야

본 발명은 일반적으로 집적회로 제조에 관한 것으로, 특히 채널 길이가 감소된 저농도 도핑 드레인(reduced channel length lightly doped drain: RCL-LDD) 트랜지스터 구조를 형성함으로써 LDD 확장영역의 수직 접합 깊이를 불리하게 증가시키는 일 없이 트랜지스터의 유효 채널 길이를 감소시킬 수 있는 방법에 관한 것이다.

배경기술

EP-A-0 731 494는 붕소 주입 방법을 이용하여 집적회로를 제조하는 방법을 개시한다. 격자간 원자들을 생성하기 위한 경사각 붕소 주입은 채널과 소스/드레인 사이의 접합부뿐 아니라 필드 영역들과 상기 소스/드레인 사이의 접합부에 붕소를 주입하기 위해 이용된다. 이들 임계 영역들로의 붕소 배치에 의해 공정 온도 사이클들로부터 발생하는 임계 조절 주입 종(species)과 채널 정지 주입 종이 재분리되고 재분배된다.

EP-A-0 806 794는 반도체 기판에 얇게 도핑된 영역들을 형성하는 방법을 개시한다. 도핑 영역의 도펀트 프로파일은 실리콘 또는 게르마늄과 같은 비전기적 활성 재료의 준-비정질(sub-amorphous) 주입을 이용하여 조정된다. 상기 준-비정질 주입 에너지는 과도한 확산의 강화를 감소시키기 위해 격자간 원자(interstitial)들을 상기 접합 영역으로부터 거리를 두고 위치시키도록 선택된다.

트랜지스터 디바이스들은 오늘날 집적 회로들의 불가결한 요소들 중 하나를 구성한다. 따라서, 트랜지스터들 크기의 감소(종종 "스케일링(scaling)"이라 칭함)가 지속적으로 추구하고 있다. 종래기술인 도 1은 종래의 MOS형 트랜지스터(10)를 예시하는 부분 단면도이다. 상기 트랜지스터(10)는 기판(16) 상에 배치되는 얇은 게이트 옥사이드(14) 상부에 배치되는 도전성 게이트 영역(12)으로 이루어진다. 상기 게이트(12) 및 상기 게이트 옥사이드(14)는 기판(16)에 형성되는 드레인 영역(18)과 소스 영역(20) 간에 배치되며, 그들 사이에는 상기 게이트(12) 및 상기 게이트 옥사이드(14)의 하부 영역이 되는 채널 영역(22)이 배치된다.

종래의 트랜지스터(10)는 그 치수를 줄이고 그에 의해 칩 상의 트랜지스터 패킹(packing) 밀도를 향상시키기 위해 서브미크론 범위로 스케일링되기 때문에, 종래기술인 도 2에 도시된 바와 같이 핫-캐리어(hot-carrier) 효과들을 경험하기 시작한다. 이와 같은 바람직하지 않은 핫-캐리어 효과들은, 트랜지스터(10)가 공급 전압을 일정하게 유지하면서 스케일링되는 경우, 또는 상기 공급 전압이 상기 트랜지스터의 구조적 특징만큼 급격히 줄어들지 않는 경우에 더 현저해진다.

상기 핫-캐리어 효과들은 상기 채널 영역(22) 내의 전계 증가에 의해 발생한다. 이와 같이 증가하는 전계에 의해, 반전층(26) 내의 전자가 가속(즉, "가열")되어, 여러 다른 바람직하지 않은 현상이 발생하게 된다. 종래기술인 도 2에 예시된 바와 같이, 상기 핫-캐리어 효과들은 상기 게이트 옥사이드(14)로의 전하 주입, 기판 전류 그리고 전자 주입을 포함한다. 아마도 가장 중대한 핫-캐리어 효과는, 게이트 옥사이드(14) 내로의 전하 주입이며, 이는 얇은 옥사이드에 손상을 주고 임계 전압(V_T), 선형 트랜스컨덕턴스(transconductance)(g_m) 그리고 포화 전류(I_{DSAT})와 같은 다양한 트랜지스터 특성들을 시간의 경과에 따라 열화시킨다.

전통적인 트랜지스터 구조들의 바람직하지 않은 핫-캐리어 효과들을 줄이는 종래 기술의 하나의 해법은 저농도로 도핑된 드레인(LDD) 트랜지스터(30)이며, 이는 종래기술 도 3에 예시된다. 상기 LDD 트랜지스터(30)는 종래의 방법으로 형성된 상기 게이트(12)와 상기 게이트 옥사이드(14)를 포함하며, 여기서 저농도로 도핑된 드레인 확장영역(32)은 상기 드레인 영역(18)에 인접하여 상기 드레인 영역(18)과 상기 채널(22) 사이에 형성된다. 상기 저농도로 도핑된 드레인 확장영역(32)은 전형적으로 상기 채널(22) 근처의 전계를 약 30~40%정도 줄이며, 따라서 상기 트랜지스터의 핫-캐리어에 대한 신뢰성을 크게 개선시킨다. 상기 확장영역(32)은 상기 확장영역(32)에 걸리는 드레인 전압의 일부분을 효과적으로 강하시킴으로써 전계를 감소시킨다.

트랜지스터 설계자들이 계속적으로 트랜지스터 디바이스 치수를 스케일링하기 때문에, 소스와 드레인 영역들(및 저농도로 도핑된 드레인 확장영역)의 접합 깊이들 또한 감소되어야 한다(즉, 접합을 더 얇게 만들어야 한다). 접합 깊이들은 펀치스루(punchthrough)와 임계 전압 시프트와 같은 짧은 채널 트랜지스터 효과들을 방지하기 위해 스케일링과 관련하여 감소되어야 한다. 상기 접합 깊이를 감소시키기 위한 종래의 일 방법은 상기 접합을 형성하도록 사용되는 주입 에너지를 감소시키고, 수직 방향에서의 상기 접합들의 확산을 감소시키는 것이다. (더 높은 구동 전류를 얻기 위해) 유효 채널 깊이를 감소시키도록 종래의 방법을 이용하여 횡방향의 확산을 강화하는 경우에는, 접합이 더 깊어져 짧은 채널 효과가 열화된다. 따라서, 고정된 게이트 크기에 대해 종래의 방법을 이용하면, 채널 길이는 감소될 수 없는데, 그 이유는 상기 방법은 더 깊은 접합에 관련되기 때문이다. 그러나, 채널 길이를 더 짧게 하는 것은 구동 전류를 개선하는데 도움이 된다는 이점이 있다. 결과적으로, 트랜지스터 크기가 감소됨에 따라, 설계자는 (짧은 채널 효과를 감소시키기 위해) 접합 깊이를 감소시키면 채널 길이가 더 길어진다는(이는 구동 전류의 감소와 관련됨) 설계상의 상충관계에 직면해 있다.

발명의 상세한 설명

본 발명은 소스/드레인 영역 및 소스/드레인 확장영역들의 접합 깊이에 큰 영향을 주지 않고도 저농도로 도핑된 드레인 트랜지스터의 유효 채널 깊이를 감소시키는 방법에 관한 것이다. 결과적으로, 본 발명은 접합 깊이를 증가시키지 않고도 트랜지스터 크기를 감소시킬 수 있고, 그에 의해 접합 깊이를 증대시키는데 수반되는 바람직하지 않은 짧은 채널 효과들을 피할 수 있다.

본 발명의 일 양상에 따르면 접합 깊이를 증가시키지 않으면서도 트랜지스터의 유효 채널 깊이를 감소시키는 것은 소스/드레인 영역들 및 소스/드레인 확장영역들의 형성에 관련하여 격자간 원자들을 생성하기 위한 경사각의 주입을 행함으로써 달성된다. 이와 같은 격자간 원자들을 생성하기 위한 경사각에 의한 주입은 얇은 주입이고, 이에 의해 게이트 옥사이드 하부의 소스/드레인 확장영역의 횡방향 예지 부근에 격자간 원자들이 위치한다. 이와 같은 격자간 원자들은 상기 소스/드레인 영역 및 상기 소스/드레인 확장영역의 수직 확산에 실질적인 영향을 주지 않으면서도 상기 소스/드레인 확장영역의 횡방향 확산을 강화한다. 결과적으로, 상기 트랜지스터의 유효 채널 길이는 트랜지스터의 접합 깊이를 크게 증가시키지 않고도 감소된다.

본 발명의 다른 양상에 따르면, 제 1 측벽 스페이서(spacer)가 격자간 원자들을 생성하기 위한 경사각의 주입 전에 상기 게이트 및 게이트 옥사이드 상에 형성된다. 상기 제 1 측벽 스페이서는 격자간 원자들이 게이트 옥사이드 아래에 형성되는 정도로 횡방향의 범위를 조절하는 두께를 갖는다. 상기 제 1 측벽 스페이서가 얇은 경우에는, 상기 격자간 원자들은 상기 게이트 옥사이드 아래로 상당히 확장되고, 상기 측벽 스페이서의 두께가 증가하면, 격자간 원자들이 상기 게이트 옥사이드 아래로 연장하는 횡방향의 범위가 감소한다. 결과적으로 상기 트랜지스터의 게이트-드레인 사이의 오버랩 커패시턴스(overlap capacitance)의 양은 상기 드레인 및 드레인 확장영역의 접합 깊이와 독립하여 커스터마이징(customize)할 수 있다.

상술한 바 및 그와 관련된 목적들을 달성하기 위해, 본 발명은 이하에서 완전하게 설명되고, 특히 청구항에서 지적되는 특징들을 포함한다. 이하의 설명 및 첨부되는 도면들은 본 발명의 예시적인 실시예들을 상세히 설명한다. 그러나, 이들 실시예들은 본 발명의 원리를 그 안에서 이용할 수 있는 다양한 방법 중 다수의 예를 나타낼 뿐이다. 본 발명의 다른 목적들, 이점들 및 새로운 특징들은 첨부한 도면들을 참조하여 본 발명의 이하의 상세한 설명으로부터 명백해진다.

도면의 간단한 설명

도 1은 종래기술의 MOS 트랜지스터 구조의 부분 단면도이다.

도 2는 종래기술의 짧은 채널형 MOS 트랜지스터 구조와 관련되는 핫-캐리어 효과들을 예시하는 부분 단면도이다.

도 3은 종래기술의 저농도로 도핑된 드레인 MOS 트랜지스터 구조를 도시하는 부분 단면도이다.

도 4는 반도체 기판 상에 형성된 게이트 및 게이트 옥사이드를 예시하는 부분 단면도이다.

도 5는 도 4의 구조에 있어서, 기판 표면에 근접하여 게이트 옥사이드의 일부분 아래로 연장하는 격자간 원자들을 형성하도록, 기판의 드레인 영역 및 소스 영역에서 격자간 원자들을 생성하기 위한 경사각의 주입이 행해지는 것을 도시하는 부분 단면도이다.

도 6은 도 5의 구조에 있어서, 기관의 드레인 영역 및 소스 영역에서 실질적으로 제로의 경사각으로 드레인 확장영역의 주입이 행해지는 것을 도시하는 부분 단면도이다.

도 7은 도 6의 구조에 있어서, 게이트 옥사이드 및 드레인 영역 상에 측벽 스페이서들이 형성되고, 소스 영역이 소스/드레인 주입에 노출되는 상태를 도시하는 부분 단면도이다.

도 8은 도 7의 구조의 확대 부분 단면도로서, 본 발명에 따른 드레인 확장영역 내의 강화된 횡방향 확산을 도시하는 도면이다.

도 9는 종래기술인 도 3의 저농도로 도핑된 드레인 확장영역을 도시하는 확대 부분 단면도이다.

도 10은 열처리 전의 본 발명에 있어서, 저농도로 도핑된 드레인 확장영역의 횡방향 에지 근처에 격자간 원자들을 생성하기 위한 경사각의 주입에 의해 생성되는 격자간 원자들이 존재하는 것을 도시하는 확대 부분 단면도이다.

도 11은 본 발명에 따른 도 10의 저농도로 도핑된 드레인 확장영역의 수직방향의 일부분에서의 격자간 원자들을 생성하기 위한 경사각 주입시의, 저농도로 도핑된 드레인 확장영역의 도펀트 및 격자간 원자의 프로파일을 도시하는 그래프이다.

도 12는 본 발명에 따른 도 10의 저농도로 도핑된 드레인 확장영역의 횡방향 에지에 인접한 지점에서의 격자간 원자들을 생성하기 위한 경사각 주입시의, 저농도로 도핑된 드레인 확장영역의 도펀트 및 격자간 원자의 프로파일을 도시하는 그래프이다.

도 13은 본 발명의 다른 양상을 도시하는 도면으로서, 주입에 의해 형성되는 격자간 원자들의 횡방향의 위치를 제어하기 위해 제 1 측벽 스페이서가 형성된 후에, 격자간 원자들을 생성하기 위한 경사각의 주입이 행해지는 것을 도시하는 부분 단면도이다.

도 14는 저농도로 도핑된 확장영역들을 형성하기 위한 주입 단계를 예시하는 부분 단면도이다.

도 15는 제 2 측벽 스페이서의 형성 후의 상기 트랜지스터의 소스 및 드레인 영역을 형성하기 위한 주입 단계를 예시하는 부분 단면도이다.

실시예

본 발명은 이제 상기 도면들을 참조하여 설명되며, 여기서 유사한 참조 번호들은 유사한 요소들을 나타내는데 사용된다. 본 발명의 일 양상은 트랜지스터가 축소됨에 따라, 짧은 채널 특성들을 열화시키지 않으면서 구동 전류 능력을 개선시키는 방법에 관한 것이다. 본 발명은 종래기술에서 설계를 제한하는 결함을, 저농도로 도핑된 드레인 확장영역의 형성에 관련하여 격자간 원자들을 생성하기 위한 경사각의 주입을 행함으로써 극복한다. 상기 격자간 원자들을 생성하기 위한 경사각 주입은 얇은 주입이고, 드레인 영역 내의 반도체 기관 표면 근처에 격자간 원자들을 생성하며, 상기 격자간 원자들은 드레인 확장영역의 횡방향의 에지 근처에서, 게이트 옥사이드의 아래로 확장한다. 상기 드레인 확장영역의 횡방향 에지 근처의 격자간 원자들은, 드레인 및 드레인 확장영역의 수직 확산에 실질적인 영향을 주지 않으면서도, 상기 게이트 옥사이드 하부에서의 드레인 확장영역의 횡방향 확산을 강화한다. 결과적으로, 상기 디바이스의 유효 채널 길이는 접합부의 깊이를 증가시키지 않으면서도 감소될 수 있고, 그에 의해 짧은 채널 효과들에 악영향을 미치지 않으면서도, 구동 전류를 향상시키고 핫 캐리어 효과를 최소한으로 억제할 수 있게 된다.

본 발명의 다른 양상에 따르면, 트랜지스터의 유효 채널 길이의 감소는 측벽 스페이서를 형성함으로써 커스터마이징될 수 있으며, 여기서 상기 스페이서의 두께는 유효한 트랜지스터 채널 길이가 감소되는 범위를 좌우하는 것이다. 예를 들어, 상기 측벽 스페이서가 두꺼우면, 격자간 원자들을 생성하기 위한 경사각의 주입에 의해 생성되는 저농도로 도핑된 드레인 확장영역의 횡방향 에지 및 격자간 원자들은 상기 게이트 옥사이드의 아래로 약간 연장되고, 상기 측벽 스페이서가 얇으면, 상기 확장영역 및 상기 격자간 원자는 상기 게이트 옥사이드의 아래로 실질적으로 더 연장된다. 결과적으로, 유효 채널 길이가 감소되는 양은 상기 측벽 스페이서의 두께를 조절함으로써 커스터마이징될 수 있다. 또한, 이러한 특징은 디바이스의 접합 깊이를 실질적으로 변경하지 않고도 달성될 수 있으므로 상기 트랜지스터 구동 전류를 유리하게 개선시킬 수 있다.

본 발명의 일 실시예가 다수의 반도체 공정 단계들로서 도 4 ~ 도 7에 예시된다. 도 4는 반도체 기관(56)의 N-웰(well) 영역(55) 상에 배치되는, 게이트 옥사이드(54) 및 그 위의 게이트(52)를 포함하는 트랜지스터(50)를 도시한 부분 단면도이

다. 상기 게이트(52) 및 게이트 옥사이드(54)는 상기 트랜지스터(50)를 드레인 영역(58)과 소스 영역(60)으로 분리한다. 바람직하게는, 상기 NMOS형 트랜지스터들은 마스크층(도시하지 않음)에 의해 차폐(shield)되고, 그에 의해 상기 NMOS 트랜지스터 영역이 상기 드레인 영역(58)과 상기 소스 영역(60) 상에 실시되는 후속 단계에 대해 노출되는 것을 방지하고, 상기 단계에 대해서는 후술한다. 트랜지스터(50)를 형성하는 예시적인 일 방법을 이하에 설명한다. 비록 본 발명이 바람직한 일련의 제조 단계들에 따라 설명되지만, 이해되는 바와 같이, 다양한 제조 방법들이 사용될 수 있으며, 그 각각은 본 발명의 범위에 포함되는 것으로 간주된다.

개시 재료는 단결정의 실리콘 웨이퍼이다. 전형적으로, 상기 실리콘 웨이퍼는 기판(56)을 형성하는 저농도로 도핑된 <100> 웨이퍼이거나 그 표면에 저농도로 도핑된 에피택셜(epitaxial) 층을 갖는 고농도로 도핑된 <100> 웨이퍼이다. P-채널 트랜지스터가 상기 저농도로 도핑된 P-기판(56) 내의 N이 도핑된 웰(55)에 형성된다. 상기 N-웰 구조(55)는 임의의 종래 방식으로 형성되는데, 예를 들어, 열 옥사이드층을 성장시키고, 화학 기상 증착(CVD)에 의해 나이트라이드막을 증착하고, 일반적으로 실리콘 표면을 보호하지만 원하는 N-웰 영역들을 노출시키는 마스크를 도포하고, 그리고 정의된 N-웰 영역들에 이온을 주입함으로써 형성될 수 있다. 상기 N-웰 이온들이 고온 사이클링에 의해 실리콘 내에 구동되어 N-웰 영역(55)이 형성되고, 그 후에 N-웰 영역(55) 상에 옥사이드층이 성장된다. 그 다음에, V_T 임계값-조절 주입이 행해지고, 실리콘 웨이퍼의 표면으로부터 옥사이드층 및 나이트라이드/옥사이드층들이 제거되고, 그 후에 새로운 옥사이드/나이트라이드 마스크층이 형성되어 격리구조들(미도시)이 형성된다.

그 후에, 결과로서 얻어지는 필드 옥사이드 격리 영역들이 성장되어, 트랜지스터(50)의 활성 디바이스 영역이 규정된다. 그 후에 상기 나이트라이드/옥사이드 마스크층은 상기 활성 디바이스 영역으로부터 제거되고, 게이트 옥사이드층(54)이 상기 N-웰(55) 상에 성장된다. 그 다음에, 폴리실리콘 게이트층은 CVD에 의해 증착되는 것이 바람직하며, 마스크가 도포되어 상기 폴리실리콘을 게이트 구조(52)로 패터닝한다. 비록 본 실시예에서 폴리실리콘 게이트 재료가 이용되지만, 상기 폴리실리콘 재료는 예시를 위한 것으로, 금속 등의 다른 재료들도 본 발명에 사용될 수 있다. 상기 게이트(52)와 게이트 옥사이드(54)가 형성된 후, 마스크층(미도시)이 형성되어, NMOS 트랜지스터 영역들이 이후의 주입 단계로부터 차폐된다. 바람직한 실시예에서, 상기 마스크층은 약 1000Å의 종래의 포토레지스트 재료로 형성되며, 이는 종래의 증착 및 에칭 기술에 의해 형성되어 패터닝된다. 이와 같은 방식으로, 부분적으로 완성된 도 4의 트랜지스터(50)가 형성된다.

본 발명의 바람직한 실시예에서, 그 다음에 격자간 원자들을 생성하기 위한 경사각 주입이 도 5에 도시된 대로 행해진다. 상기 격자간 원자들을 생성하기 위한 경사각 주입은 바람직하게는, 상기 기판(56) 표면에 대한 법선으로부터 약 30-60°의 각도θ로 행해진다. 상기 격자간 원자들을 생성하기 위한 경사각의 주입은 상기 드레인 영역(70)과 소스 영역(72) 모두에 행해진다. 음영(shadowing)을 방지하기 위해서, 쿼드(quad) 주입이 바람직하며, 여기서 동일한 도즈(dose)의 4회 주입이 웨이퍼 회전각도를 각각 90°씩 변경하여 행해진다. 따라서, 예를 들어 40°경사각의 주입이 행해지면, 이는 4단계들로 완성된다. 먼저, 40도 경사각 주입이 웨이퍼 회전각도 0°로 행해지고, 그 후 웨이퍼 회전각도를 각각 90°, 180° 그리고 270°로 하여 3회의 주입이 더 행해진다. 또한, 상기 주입은 바람직하게는, 예를 들어 실리콘이나 게르마늄 등의 중성 종(species)으로 수행된다. 한편, 대안적으로 인듐(indium) 역시 이용될 수 있다. 상기 격자간 원자들을 생성하기 위한 경사각 주입의 목적은 도펀트 프로파일을 형성하는 것이 아니라 오히려 상기 N-웰(55) 표면에 인접한 영역에 격자간 원자들(즉, 그 격자 위치로부터 떨어져나간 실리콘 원자들)을 생성하는 것이다(이후, "격자간 원자 영역"(62)이라 칭함). 비록 인듐이 중성 종이 아니라 할지라도(이는 P형 도펀트임), 인듐은 후속의 열처리 중에 과격하게 확산되기 때문에, 불순물 도펀트(impurity dopant)로써 크게 기여하지는 않는다. 따라서, 인듐은 실리콘 및 게르마늄과 유사하게 기능하여, 효율적으로 격자간 원자들을 생성한다. 비록 실리콘, 게르마늄 그리고 인듐이 개시되지만, 다른 중성 종 또는 다른 도펀트들도 사용될 수 있고 본 발명의 범위에 포함되는 것으로 간주된다.

상기 격자간 원자 영역들(62)은 그 주입에 이용되는 격자간 원자들을 생성하기 위한 경사각 및 선택된 주입 에너지에 의해 알아진다(상기 주입 에너지에 관하여는 이후에 상세하게 설명한다. 왜냐하면, 상기 격자간 원자들을 생성하기 위한 경사각 주입의 최적화는, 바람직하게는 이후에 설명하는 저농도로 도핑된 드레인 확장영역의 기능이기 때문이다). 또한, 상당한 경사각 θ 때문에 상기 격자간 원자 영역들(62)은 상기 게이트 옥사이드(54) 하부 범위(64)로 확장된다.

상기 격자간 원자들을 생성하기 위한 경사각 주입에 대한 바람직한 농도 도즈는 사용되는 주입 종에 의존하는 것이 바람직하다. 상기 도즈는 바람직하게는, 각각의 종에 대해 상온에서 비정질화 도즈의 10 ~ 30퍼센트 사이의 범위에 있을 수 있다. 예를 들어, 실리콘 비정질화 도즈가 상온에서 2×10^{15} 이온/cm²일 경우, 2×10^{14} ~ 6×10^{14} 이온/cm²의 실리콘 도즈가 이용될 수 있다. 게르마늄 및 인듐의 상온에서의 비정질화 도즈는 각각 4×10^{14} 이온/cm²과 1×10^{14} 이온/cm²이다. 게르마늄에

대해 사용되는 도즈의 범위는 $4 \times 10^{13} \sim 1.2 \times 10^{14}$ 이온/cm²이고, 인듐에 대해서는 $1 \times 10^{13} \sim 3 \times 10^{13}$ 이온/cm²일 수 있다. 이해되는 바와 같이, 이용되는 주입 종에 따라 상기에 기재된 농도 도즈가 바람직하지만, 광범위한 도즈를 이용할 수 있고, 이들도 또한 본 발명의 범위내에 있는 것으로 간주된다.

격자간 원자들을 생성하기 위한 경사각의 주입에 의해 생성되는 격자간 원자들은 또한, 후속하는 소스/드레인 확장영역의 주입 단계에서의 채널링을 감소시키는 효과를 갖고, 그로인해 드레인 영역(58) 및 소스 영역(60) 내에 후속적으로 형성되는 소스/드레인 확장영역 접합부들의 수직방향 깊이를 감소시키는데 유리하게 작용한다.

도 6에 도시된 바와 같이, 격자간 원자 영역들(62)의 형성 후, 저농도로 도핑된 드레인 확장영역(66)이 상기 드레인 영역(58)에 형성되고, 저농도로 도핑된 소스 확장영역(67)이 상기 소스 영역(60)에 형성된다. 바람직하게는, 거의 0도의 경사각을 갖는 BF₂주입이 행해져 상기 확장영역들(66과 67)이 형성되고, 여기서 영역들(66과 67)의 깊이는 실질적으로 상기 격자간 원자 영역들(62)의 깊이보다 깊다(예를 들어 약 600Å). BF₂는 상당한 이온 중량을 가지고 있고, 따라서 상기 드레인 영역(58)과 소스 영역(60)의 결정 격자를 비결정화하고, 그로인해 후속하는 주입 단계에서의 채널링을 실질적으로 감소시키기 때문에, 상기 확장영역들(66과 67)에 대해 바람직한 도펀트이다. 이는, 상술한 바와 같이 원하는 얇은 접합 깊이를 유지하는데 유리하게 작용한다. 대안적으로, 붕소(B) 주입을 사용하여 상기 확장영역들(66과 67)을 형성할 수도 있다. 그러나, 붕소는 BF₂에 비해 실질적으로 가볍기 때문에, 상기 붕소 주입에 의해서는 상기 드레인 영역(58)과 상기 소스 영역(60)을 비결정화할 수 없고, 따라서 상기 영역들(58과 60)은 후속의 주입 단계에서 채널링의 영향을 받기 쉬워진다. 비록 본 발명이 BF₂ 및 B와 관련하여 설명되지만, 이해되는 바와 같이, 이들은 예시적인 도펀트 종류로서, 어떠한 P형 도펀트도 이용될 수 있으며, 이는 본 발명의 범위에 포함되는 것으로 고려된다.

상기 BF₂ 주입의 농도 도즈는 바람직하게는 약 $1 \times 10^{14} \sim 5 \times 10^{15}$ 이온/cm²의 범위내에 있고, 주입 에너지는 약 30KeV 이하이다. 상술한 바와 같이, 격자간 원자들을 생성하기 위한 경사각의 주입에 의해 생성되는 격자간 원자들이 후속 열처리 동안 수직방향으로 확산을 강화하지 않도록, 격자간 원자 영역들(62)이 확장영역들(66 및 67) 보다 실질적으로 얇은 것이 바람직하다. 하지만, 상기 확장영역들(66과 67)의 횡방향 에지는 격자간 원자 영역들(62)의 횡방향 범위(64)와 실질적으로 일치하며, 그로인해 후속의 열처리 동안 상기 격자간 원자들이 게이트 옥사이드(54) 하부의 확장영역들(66과 67)의 횡방향 확산을 강화하기 때문에 상기 트랜지스터(50)의 유효 채널 길이는 감소한다.

상기 격자간 원자 영역들(62)은 상기 확장영역들(66과 67)보다 실질적으로 얇게 형성되는 것이 바람직하다. 또한, 상기 격자간 원자들을 생성하기 위한 경사각 주입의 주입 에너지는 상기 격자간 원자들이 상기 확장영역들(66과 67)의 도펀트 프로파일보다 실질적으로 확실하게 얇게 되도록 선택되어야 한다(예를 들어, 5KeV 붕소 주입에 대해 상기 격자간 원자들을 생성하기 위한 경사각의 실리콘 주입 에너지는 약 10KeV일 수 있다). (상기 격자간 원자들을 생성하기 위한 경사각 주입 및 상기 드레인 확장영역 주입의) 상기 양 주입단계들의 농도 도즈 및 주입 에너지는 광범위하게 변화할 수 있기 때문에, 상기 바람직한 실시예는 단지 예시를 위한 것이고, 상기 격자간 원자 영역들(62)이 상기 확장 영역들(66과 67)보다 실질적으로 얇아짐에 따라 상기 격자간 원자들이 수직방향으로 확산하는 것을 실질적으로 강화시키지 않는 결과가 얻어지는 농도 도즈 및 에너지의 어떠한 최적화된 결합도 사용될 수 있으며, 이는 본 발명의 범위에 포함되는 것으로 간주된다.

도 7에 도시된 바와 같이, 적절한 두께(약 1000에서 2000Å)의 옥사이드가, 예를 들어 액상 옥사이드 증착에 의해 상기 트랜지스터(50) 상에 형성되고, 그 후에 옥사이드 측벽 스페이서들(68)이 바람직하게는 반응 이온 에칭(reactive ion etching :RIE)에 의해 형성되며, 여기서 상기 측벽 스페이서(68)는 약 0.1 미크론 두께이다.

상기 측벽 스페이서들(68)이 형성된 후, 소스/드레인 이온 주입 단계가 행해져, 상기 N-웰(55) 상의 드레인 영역(58)과 소스 영역(60)에 각각 드레인(70) 및 소스(72)가 형성된다. 상기 측벽 스페이서들(68)은 상기 드레인(70) 및 소스(72)를 상기 게이트(52)로부터 횡방향으로 시프트시키고, 그에 의해 상기 확장 영역들(66과 67)의 일부분은 상기 영역들(70과 72)과 상기 게이트 옥사이드(54) 하부의 채널 영역(74) 사이에 삽입된다.

상기 소스/드레인 주입은 바람직하게는, P형 도펀트(예를 들어, BF₂)를 이용하는 0도 경사각 주입이며, 여기서 상기 주입의 도즈는 약 $5 \times 10^{14} \sim 5 \times 10^{15}$ 이온/cm²이고 주입 에너지는 약 20 ~ 40 keV이다. 상술한 바와 같이, 상기 드레인(70) 및 상기 소스(72)는 고농도로 도핑된 P+ 영역들로 형성된다. 도 7의 소스/드레인 주입 후에, 급속 열 어닐(rapid thermal anneal:RTA)이 예를 들어, 약 1000°C에서 약 30초간 행해지고, 도펀트 종이 활성화되어 주입에 의한 격자 손상이 복구된다. 유의할 바로서, 상술한 도즈 및 에너지가 바람직한 것이기는 하지만, 본 발명은 또한 상술한 범위 외의 도즈 및 에너지도 적용할 수 있다.

RTA에 의해, 도 8에 도시된 바와 같이 드레인(70) 및 소스(72)와 확장영역들(66 및 67)이 횡방향(80) 및 수직 방향(82) 양쪽으로 확산한다.

횡방향의 확산들(80과 88) 및 수직방향의 확산들(82와 86)은 픽의 법칙(Fick's law)에 의한 확산 및 실리콘 격자간 원자들과 붕소의 페어링(pairing)에 의한 붕소의 강화된 확산에 의한 것이다. 그러나, 상기 게이트(54) 아래의 도펀트들은 격자간 원자들을 생성하기 위한 경사각 주입에 의해 형성되는 격자간 원자들에 의한 횡방향의 강화된 확산(84)을 받는다. 상기 강화된 횡방향 확산(84)은 상기 불순물 도펀트(예를 들어 B/BF₂)와 격자간 원자들의 페어링에 의한 것으로서, 이는 확산을 가속시킨다. 영역들(62)의 격자간 원자들은 상기 확장영역들(66과 67)의 횡방향 에지 부근에 위치하기 때문에, 상기 강화된 확산은 상기 게이트 옥사이드 아래의 횡방향으로 발생하고, 이는 채널(74)의 유효 길이를 감소시킨다. 또한, 상기 격자간 원자들이 얇기 때문에(즉, 표면 부근에 위치하기 때문에), 이들은 상기 영역들(70과 72) 또는 상기 확장영역들(66과 67) 중 어떠한 바닥 프로파일 근처에도 위치하지 않는다. 결과적으로, 상기 격자간 원자들은 수직 방향으로의 확산에 크게 기여하지 않는다.

이상과 같이, 격자간 원자들을 생성하기 위한 경사각의 주입은 상기 확장영역들(66과 67)의 횡방향 에지 부근에 위치되는 얇은 격자간 원자들을 생성하며, 그로인해 수직 확산을 강화하지 않고도 횡방향 확산이 강화되고, 또한 상기 영역들(70과 72) 및 확장 영역들(66과 67)의 접합 깊이를 증가시키지 않고도 상기 채널(74) 유효 길이가 감소된다.

도 8은 RTA에 의한 확산을 예시한 것으로, 여기서 점선은 RTA 이전의 혼합 불순물 도펀트와 격자간 원자 프로파일을 예시하고, 실선은 횡방향, 수직 그리고 강화된 횡방향 확산들(80, 82, 84, 86 그리고 88) 후에 각각 완성된 접합 깊이 프로파일을 나타낸다.

상기 게이트 옥사이드(54) 아래로 연장되는 드레인 확장영역(66)의 거리는 도 8에서 d₁으로 표기된다. 상기 거리 d₁은 상기 드레인 확장 영역(66)의 횡방향 에지 근처의 격자간 원자들의 존재에 의해 제공되는 강화된 횡방향 확산(84)으로 인하여, 종래 LDD 트랜지스터들에서의 거리보다 길어진다. 일반적으로, 종래기술 도 9에 도시된 바와 같이, 드레인 확장영역이 게이트 옥사이드 하부로 얼마나 연장되는지를 나타내는 거리 d₂는 픽 형(Fick's type) 확산 및 강화된 붕소 확산에 의해 좌우된다. 그러나, 도 8의 d₁은 픽의 확산 및 강화된 확산에 더하여, 격자간 원자들을 생성하기 위한 경사각 주입에 의해 제공되는 격자간 원자들의 존재에 의한 횡방향의 강화된 확산에 의해 얻어진다. 결과적으로 d₁ > d₂이고, 이에 의해, 접합 깊이를 증가시킨다는 종래의 상충관계 없이도 유효 채널 길이를 줄일 수 있다. 그러므로, 본 발명에 따르면, 소스/드레인 확장 접합 깊이를 불리하게 증가시키지 않으면서도 채널 길이가 감소되는 트랜지스터를 제공할 수 있다.

본 발명에서 수직 확산들(82와 86)에서의 실질적인 변경이 없이도 강화된 횡방향 확산(84)을 달성하는 방법은 도 10 내지 도 12를 참조함으로써 더욱 용이하게 이해된다. 도 10에서, 상기 영역들(62, 66과 70)의 불순물 도펀트 및 격자간 원자 프로파일은 상기 게이트(52) 및 게이트 옥사이드(54) 근처 트랜지스터(50)의 드레인 영역(58)의 확대 단면도로 도시되어 있다. 제 1 영역(90)(수직 부분)에서, 상기 격자간 원자 영역(62)은 상기 드레인 확장 영역(66)보다 더욱 얇고, 결과적으로 상기 격자간 원자 영역(62)의 선단부와 드레인 확장영역(66)의 선단부 간의 거리는 멀리 떨어져 있으며, 이는 도 11의 농도 프로파일에서 더욱 상세하게 예시된다. 제 1 영역(90)에서는 상기 격자간 원자들과 상기 드레인 확장영역(66) 선단부 간의 상당한 거리 때문에, 상기 격자간 원자들은 수직 방향으로의 상기 드레인 확장영역(66)과 드레인(70)의 수직 확산에 크게 기여하지 않는다. 결과적으로, 제 2 영역(92)에서(횡방향 부분), 상기 격자간 원자 영역(62)과 드레인 확장영역(66)의 횡방향 에지는 실질적으로 동일하거나 최소한 비교적 서로 근접한다. 그러므로 도 12에 도시한 바와 같이, 상기 격자간 원자 영역(62)과 드레인 확장영역(66)의 횡방향 선단부는 서로 근접하고, 격자간 원자들은 상기 드레인 확장영역(66)의 횡방향 확산에 크게 기여한다. 이와 같이, 격자간 원자 영역(62)에서의 과도한 격자간 원자들의 존재에 의해 드레인 확장영역(66)의 횡방향 확산이 도움을 받기 때문에, 도 8에 도시된 바와 같이 상기 격자간 원자 영역(62)은 상기 트랜지스터(50) 표면 근처의 횡방향 확산을 강화하고, 그로인해 상기 트랜지스터(50)의 유효 채널 길이를 감소시킨다.

본 발명의 다른 실시예에 따라서, 감소된 채널 길이의 저농도로 도핑된 드레인 트랜지스터(RCL-LDD)에 대한 게이트와 드레인 간 오버랩 커패시턴스를 제어하는 방법이 개시된다. 도 13에 도시된 바와 같이, (상술한) 격자간 원자들을 생성하기 위한 경사각 주입 전에, 상기 게이트 옥사이드(54)의 양측 상에 제 1 측벽 스페이서들(100)이 형성된다. 바람직하게는, 상기 제 1 측벽 스페이서들(100)은 액상 옥사이드 증착 및 후속하는 RIE를 통해 형성되지만, 본 발명에 있어서는 측벽 스페이서들(100)을 형성하는 다른 방법들도 고려된다. 상기 제 1 측벽 스페이서들(100)은 두께 D를 갖고, 이는 증착되는 옥사이드 두께 및 행해지는 RIE에 기초하여 조절될 수 있다. 두께 D는 상기 트랜지스터(50)의 게이트와 드레인 간 오버랩(C_{gdo})의 양을 커스터마이징하도록 조절되는 것이 바람직하다.

본 발명은 도 8에 도시된 바와 같이, 접합 깊이를 크게 증가시키지 않고도 채널 길이를 실질적으로 감소시킬 수 있지만, 강화된 횡방향 확산은 상기 게이트 옥사이드(54)를 유전체로 하여 상기 게이트(52)와 상기 드레인 확장영역(66)에 의해 생성된 오버랩 커패시턴스를 또한 증가시킨다. 게이트-드레인 간 커패시턴스(C_{gdo})의 이와 같은 증가에 의해 C_{gdo} 가 증가함에 따라 상기 게이트(52)를 방전하는데 필요한 시간의 양이 증가하기 때문에 트랜지스터 스위칭 속도를 감소시키는 바람직하지 못한 결과를 가져온다. 경우에 따라서는, 설계자는 트랜지스터 구동 전류와 트랜지스터 스위칭 속도를 절충시키기 위해 상기 C_{gdo} 를 커스터마이징하기를 원할 수 있다. 이러한 경우에 있어서, 상기 제 1 측벽 스페이서들(100) 두께의 증가는 상기 드레인-게이트 간 오버랩 커패시턴스(C_{gdo})를 감소시키는 한편 유효 채널 길이는 증가시킨다.

상기 제 1 측벽 스페이서들(100)을 형성한 후, 격자간 원자들을 생성하기 위한 경사각의 주입이 행해져 상기 N-웰(55) 표면 근처에 격자간 원자들이 생성된다. 상기 측벽 스페이서들(100)의 두께는 상기 게이트 옥사이드(52)의 아래로 상기 격자간 원자 영역들(62)과 상기 확장영역들(66과 67)이 연장되는 범위를 좌우한다. 만일 상기 측벽 스페이서들(100)이 아주 얇다면(예를들어 약 100Å), 상기 드레인-게이트 간 오버랩 커패시턴스의 감소가 작아지고, 만일 상기 측벽 스페이서들(100)이 더 두껍다면(예를들어 약 200Å), 상기 드레인-게이트 간 오버랩 커패시턴스는 감소될 수 있다. 그러나, 더 넓은 스페이서(100)에 대해서는, 상기 소스/드레인 직렬 저항은 증가한다. 이와 같이, 본 발명의 상기 제 1 측벽 스페이서(100)는 접합 깊이에 영향을 주지 않으면서도 최적의 트랜지스터 성능을 달성하도록, 드레인-게이트 간 커패시턴스와 소스/드레인 직렬 저항(그리고 그로인한 상기 트랜지스터(50)의 유효 채널 길이)을 커스터마이징할 수 있다.

이전의 실시예와 유사하게, 상기 N-웰 영역(55)의 표면 근처에 충분한 손상을 주고, 그에 의해 확장영역에의 주입 동안의 채널링의 가능성을 감소시키기 위해, 확장영역의 주입 전에 준-비정질의 격자간 원자들을 생성하기 위한 경사각의 주입을 행하는 것이 바람직하다. 그러나, 본 발명은 또한, 상기 확장 영역에의 주입 후에 상기 격자간 원자들을 생성하기 위한 경사각의 주입을 행하는 것도 고려한다. 상기 격자간 원자들을 생성하기 위한 경사각의 주입에 사용되는 것은, 바람직하게는, 중성 중 또는 어닐링 동안 실질적으로 확산하는 인듐과 같은 불순물 도펀트이고, 이는 이전의 실시예에서 설명한 것이다.

그 다음에, 확장 영역 주입이 이전 실시예와 유사한 방식으로 행해지고, 그 후에 제 2 측벽 스페이서들(102)이 상기 제 1 측벽 스페이서들(100) 상에 형성된다. 상기 제 2 측벽 스페이서들(102)은 실질적으로 도 7의 스페이서들(68)에 대응하며, 여기서 상기 측벽 스페이서들(102)은 상기 N-웰(55)의 드레인(70)과 소스(72)를 횡방향으로 변위시킴으로써, 상기 확장 영역들(66과 67)의 일부분이 상기 영역들(70과 72)과 채널(74) 사이에 배치된다. 소스/드레인 주입 단계에 의한 상기 드레인(70)과 소스(72)의 형성 후, RTA가 행해지며, 여기서 상기 확장 영역들(66과 67)은 상기 게이트 옥사이드(52) 아래에 존재하는 표면 근처의 격자간 원자들에 의한 강화된 횡방향 확산을 겪는다.

비록 본 발명이 특정한 바람직한 실시예 또는 실시예들에 대해 도시되고 설명되었지만, 본 명세서와 첨부된 도면들을 읽고 이해함으로써, 당업자들이 균등한 변형들 및 변경들을 생각해내는 것은 명백하다. 상기 설명된 요소들(조립물들, 디바이스들, 회로들, 등등)에 의해 행해지는 다양한 기능들을 특별히 고려하면, 이러한 요소들을 설명하기 위해 사용된 용어들("수단"에 관한 것을 포함)은, 여기서 예시된 본 발명의 실시예들의 기능을 수행하는 설명된 구조와 구조적으로는 동등하지 않더라도, 상기 설명된 요소의 특정 기능을 수행하는 어떠한 요소에 해당하며(즉, 기능적으로 동등함), 아닌 경우는 따로 표시한다. 부가적으로, 본 발명의 특정한 특징이 몇몇 예제들 중 단 하나에 대해서만 설명되어졌더라도, 이러한 특징은 원한다면, 그리고 어떠한 주어진 또는 특정한 응용에 이득이 된다면, 다른 실시예들의 하나 이상의 다른 특징들과 결합될 수 있다.

산업상 이용 가능성

상기 트랜지스터 및 제조 방법은 반도체 공정 분야에 이용가능한 것으로서, 유효 채널 길이가 감소되면서 접합이 얇은 저농도로 도핑된 드레인 트랜지스터가 제공된다.

(57) 청구의 범위

청구항 1.

트랜지스터(50)를 형성하는 방법에 있어서,

반도체 기판(56) 상에 게이트 전극(52)과 게이트 옥사이드(54)를 형성하는 단계와;

드레인 영역(58)과 소스 영역(60) 중 적어도 하나에 격자간 원자들을 생성하기 위한 경사각 주입을 행함으로써 상기 게이트 옥사이드(54) 하부 위치에 기판(56)의 격자간 원자 영역들(62)을 형성하는 단계와;

상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 확장 영역(66,67)을 형성하는 단계와;

상기 기판(56)의 상기 드레인 영역(58)에 드레인(70)을, 상기 소스 영역(60)에 소스(72)를 형성하는 단계와; 그리고

상기 기판(56)을 열처리하는 단계를 포함하며, 여기서 상기 격자간 원자들을 생성하기 위한 경사각 주입의 주입 에너지는 상기 확장 영역(66,67)보다 실질적으로 더 얇은 격자간 원자 영역들(62)을 만들고 상기 확장 영역(66,67)의 횡방향 에지 근처에 상기 격자간 원자 영역들(62)의 격자간 원자들을 제공하도록 선택되며, 그에 의해 상기 격자간 원자 영역들(62)은 상기 확장 영역(66,67)의 수직 확산(82,86)에 실질적으로 영향을 주지 않으면서도 상기 게이트 옥사이드(54) 하부의 횡방향 확산(84)을 강화함으로써, 상기 확장 영역(66,67)의 접합 깊이를 증가시키지 않으면서도 유효 채널 길이를 감소시키는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 2.

제 1 항에 있어서, 상기 경사각은 약 30-60°의 범위에 있는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 3.

제 1 항에 있어서, 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 상기 격자간 원자들을 생성하기 위한 경사각 주입을 행하는 단계는 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 확장 영역(66,67)을 형성하는 단계에 선행하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 4.

제 1 항에 있어서, 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 상기 격자간 원자들을 생성하기 위한 경사각 주입을 행하는 단계는 실리콘, 게르마늄 또는 인듐 중 하나를 주입하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 5.

제 1 항에 있어서, 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 상기 격자간 원자들을 생성하기 위한 경사각 주입을 행하는 단계는 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 준-비정질 도즈를 주입하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 6.

제 5 항에 있어서, 상기 격자간 원자들을 생성하기 위한 경사각 주입의 도즈는 비정질화 도즈의 약 10-30%인 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 7.

제 1 항에 있어서, 게이트 옥사이드(54) 하부의 복합 도핑 프로파일 및 격자간 원자 프로파일은 상기 확장 영역(66,67)의 횡방향 에지(92)를 따라서는 고농도 경사를 포함하고 상기 확장 영역(66,67)의 바닥 부분(90)을 따라서는 실질적으로 더 낮은 농도 경사를 포함하며, 그로인해 상기 게이트 옥사이드(54) 하부의 강화된 횡방향 확산(84)이 얻어지는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 8.

제 1 항에 있어서, 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 주입을 행하여 격자간 원자 영역들을 형성하는 단계 전에 상기 게이트(52) 및 상기 게이트 옥사이드(54)의 드레인 측과 소스 측 중 적어도 일측에 제 1 측벽 스페이서(100)를 형성하는 단계를 더 포함하며, 여기서 상기 제 1 측벽 스페이서(100)의 두께는 상기 게이트 옥사이드(54) 아래의 격자간 원자들의 위치를 제어함으로써 상기 트랜지스터(50)의 감소된 유효 채널 길이를 커스터마이징하도록 허용하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 9.

제 1 항에 있어서, 상기 드레인 영역(58)과 상기 소스 영역(60) 중 적어도 하나에 상기 격자간 원자들을 생성하기 위한 경사각 주입을 행하는 단계는 쿼드 주입을 행하는 단계를 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

청구항 10.

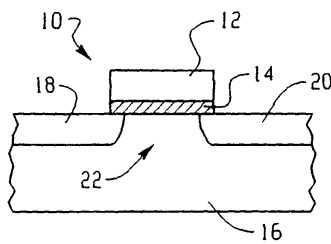
삭제

청구항 11.

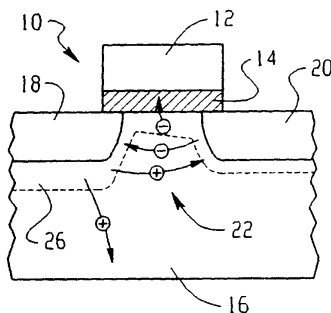
삭제

도면

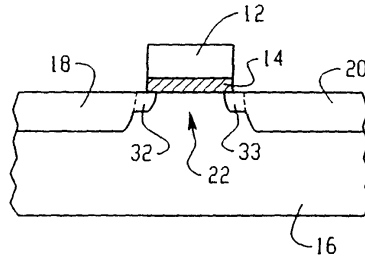
도면1



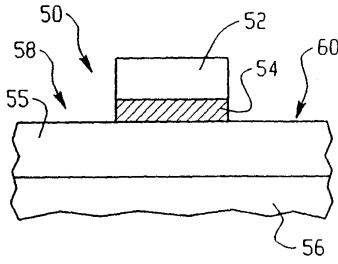
도면2



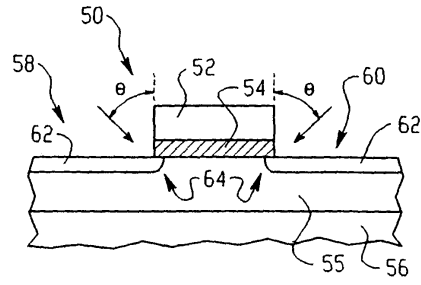
도면3



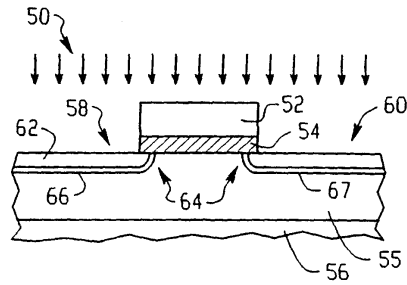
도면4



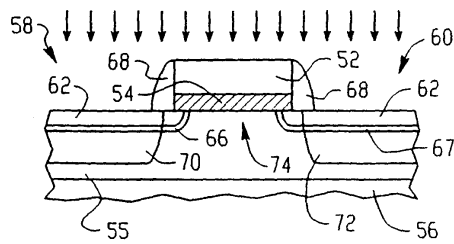
도면5



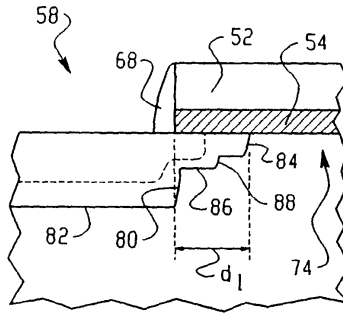
도면6



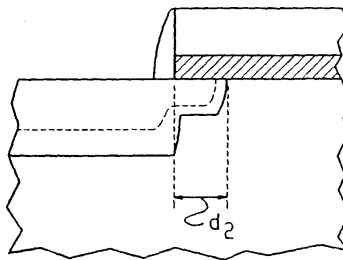
도면7



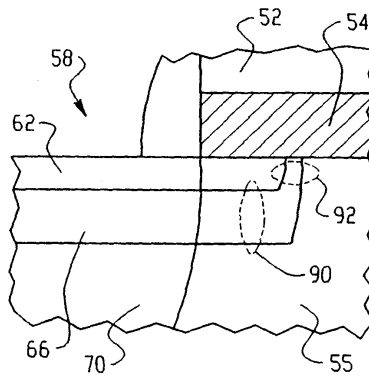
도면8



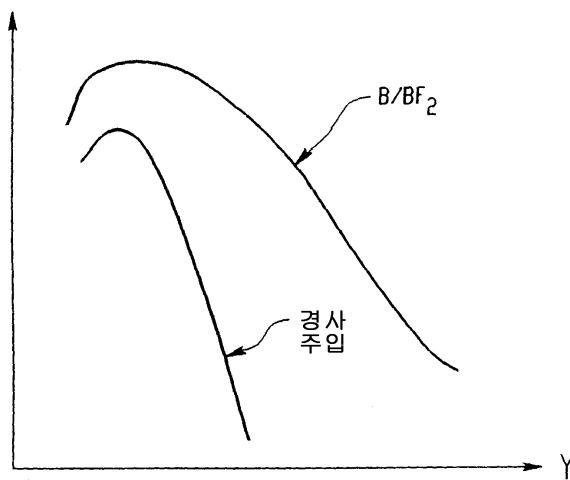
도면9



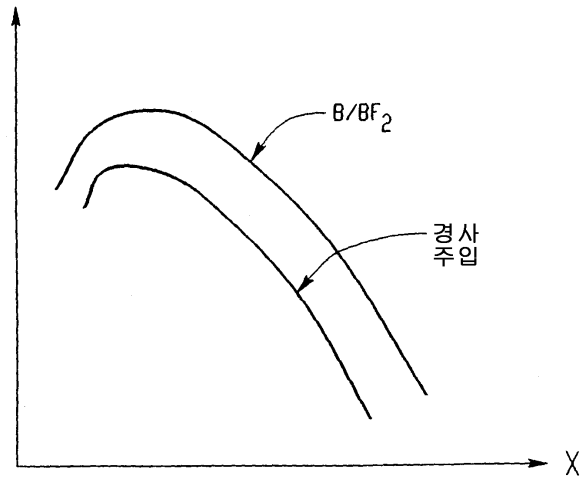
도면10



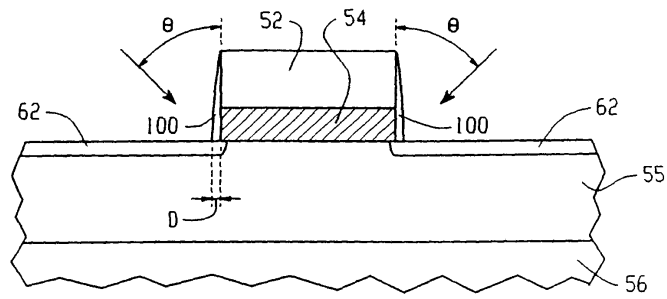
도면11



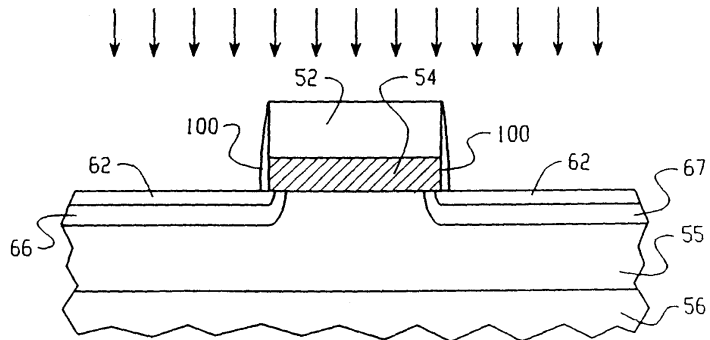
도면12



도면13



도면14



도면15

