

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7551280号  
(P7551280)

(45)発行日 令和6年9月17日(2024.9.17)

(24)登録日 令和6年9月6日(2024.9.6)

(51)国際特許分類	F I
H 0 1 G 4/30 (2006.01)	H 0 1 G 4/30 2 0 1 F
	H 0 1 G 4/30 2 0 1 M
	H 0 1 G 4/30 2 0 1 N
	H 0 1 G 4/30 5 1 3

請求項の数 5 (全16頁)

(21)出願番号	特願2019-100193(P2019-100193)	(73)特許権者	000003067
(22)出願日	令和1年5月29日(2019.5.29)		T D K株式会社
(65)公開番号	特開2020-21930(P2020-21930A)		東京都中央区日本橋二丁目5番1号
(43)公開日	令和2年2月6日(2020.2.6)	(74)代理人	110001494
審査請求日	令和3年12月23日(2021.12.23)		前田・鈴木国際特許弁理士法人
審査番号	不服2023-13746(P2023-13746/J1)	(72)発明者	櫻井 俊雄
審判請求日	令和5年8月15日(2023.8.15)		東京都中央区日本橋二丁目5番1号 T D K株式会社内
(31)優先権主張番号	特願2018-138152(P2018-138152)	(72)発明者	田中 博文
(32)優先日	平成30年7月24日(2018.7.24)		東京都中央区日本橋二丁目5番1号 T D K株式会社内
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	岡井 圭祐
			東京都中央区日本橋二丁目5番1号 T D K株式会社内
		(72)発明者	岩永 大介

最終頁に続く

(54)【発明の名称】 積層セラミック電子部品

(57)【特許請求の範囲】

【請求項1】

内部電極層と内側誘電体層とが積層方向に交互に積層してある内装領域と、前記内装領域の積層方向の端部に設けられる外側誘電体層を含む外装領域と、を持つ素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、  
前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部と、前記素子本体の上面の一部に前記端側電極部に連続して形成される上側電極部と、を有し、  
前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面には、前記端子電極が実質的に形成されず、  
前記素子本体の上面または下面は、前記素子本体の上面または下面を規定する強化層を含み、  
前記強化層が、S i O<sub>2</sub> と B a O と A l<sub>2</sub> O<sub>3</sub> が合計で70～100質量%を含むガラス成分で構成してあり、  
前記強化層は、外装領域の外側面に位置し、  
前記外装領域の前記外側誘電体層と前記強化層との間に界面を有し、  
前記外側誘電体層は、T i を含むペロブスカイト構造の誘電体材料を主成分として構成され、前記界面では B a - T i - S i - O 相が形成され、  
前記積層セラミック電子部品の厚みが100 μ m未満であり、

10

20

前記積層セラミック電子部品の長手方向の長さが、前記厚みの3倍以上であることを特徴とする積層セラミック電子部品。

【請求項2】

内部電極層と内側誘電体層とが積層方向に交互に積層してある内装領域と、前記内装領域の積層方向の端部に設けられる外側誘電体層を含む外装領域と、を持つ素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、

前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部と、前記素子本体の上面の一部に前記端側電極部に連続して形成される上側電極部と、を有し、

前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面の全体が外部に露出し、

前記素子本体の上面または下面は、前記素子本体の上面または下面を規定する強化層を含み、

前記強化層が、 $\text{SiO}_2$  と  $\text{BaO}$  と  $\text{Al}_2\text{O}_3$  が合計で70～100質量%を含むガラス成分で構成してあり、

前記強化層は、外装領域の外側面に位置し、

前記外装領域の前記外側誘電体層と前記強化層との間に界面を有し、

前記外側誘電体層は、Tiを含むペロブスカイト構造の誘電体材料を主成分として構成され、前記界面ではBa-Ti-Si-O相が形成され、

前記積層セラミック電子部品の厚みが100 $\mu\text{m}$ 未満であり、

前記積層セラミック電子部品の長手方向の長さが、前記厚みの3倍以上であることを特徴とする積層セラミック電子部品。

【請求項3】

前記素子本体の下面は、平坦面である請求項1または2に記載の積層セラミック電子部品。

【請求項4】

前記強化層は、前記素子本体の側面を覆うサイド被覆部を有する請求項1～3のいずれかに記載の積層セラミック電子部品。

【請求項5】

内部電極層と内側誘電体層とが積層方向に交互に積層してある内装領域と、前記内装領域の積層方向の端部に設けられる外側誘電体層を含む外装領域と、を持つ素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、

前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部を有し、

前記素子本体の上面と、前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面とは、前記端子電極が実質的に形成されておらず、

前記素子本体の上面または下面は、前記素子本体の上面または下面を規定する強化層を含み、

前記強化層が、 $\text{SiO}_2$  と  $\text{BaO}$  と  $\text{Al}_2\text{O}_3$  が合計で70～100質量%を含むガラス成分で構成してあり、

前記強化層は、外装領域の外側面に位置し、

前記外装領域の前記外側誘電体層と前記強化層との間に界面を有し、

前記外側誘電体層は、Tiを含むペロブスカイト構造の誘電体材料を主成分として構成され、前記界面ではBa-Ti-Si-O相が形成され、

前記積層セラミック電子部品の厚みが100 $\mu\text{m}$ 未満であり、

前記積層セラミック電子部品の長手方向の長さが、前記厚みの3倍以上であることを特徴とする積層セラミック電子部品。

【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、たとえば積層セラミックコンデンサなどとして用いられる積層セラミック電子部品に係り、さらに詳しくは、薄型化が可能な積層セラミック電子部品に関する。

## 【背景技術】

## 【0002】

たとえば下記の特許文献1にも示すように、従来の積層セラミックコンデンサは、素子本体の長手方向の両端部に端子電極を有し、各端子電極は、素子本体の端側電極部と、素子本体の上下面をそれぞれ覆う上下の被覆電極部とを有することが一般的である。

## 【0003】

端子電極の下地電極は、素子本体の端部を導電粒子含有溶液に浸漬して形成される。浸漬に際しては、複数の素子本体を保持板に形成してある複数の保持孔にそれぞれ差し込み、素子本体の片側端毎に溶液に浸漬させて下地電極を形成する。その後、必要に応じて下地電極にメッキ膜を形成して端子電極とする。

## 【0004】

いずれにしても、素子本体に端子電極を形成する際には、素子本体自体に、ある程度の厚みがないと、下地電極を形成しにくいと共に、メッキ膜を形成しにくい。すなわち、素子本体が薄いと、素子本体を保持板の保持孔で保持する際に、素子本体が破損しやすい。また、メッキを行う際にも、素子本体が薄いと、素子本体が破損しやすい。そのため、従来の積層セラミックコンデンサの構造では、素子本体の薄型化が困難であり、そのため積層セラミックコンデンサの低背化が困難であった。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【文献】特開2017-28254号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

本発明は、このような実状に鑑みてなされ、その目的は、低背化が可能な積層セラミックコンデンサなどの積層セラミック電子部品を提供することである。

## 【課題を解決するための手段】

## 【0007】

上記目的を達成するために、本発明の第1の観点に係る積層セラミック電子部品は、内部電極層と絶縁層とが積層方向に交互に積層してある素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部と、前記積層方向に沿って前記素子本体の上面の一部に前記端側電極部に連続して形成される上側電極部と、を有し、前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面には、前記端子電極が実質的に形成されていないことを特徴とする。

## 【0008】

本発明の第2の観点に係る積層セラミック電子部品は、内部電極層と絶縁層とが積層方向に交互に積層してある素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部と、前記積層方向に沿って前記素子本体の上面の一部に前記端側電極部に連続して形成される上側電極部と、を有し、前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面の全体が外部に露

10

20

30

40

50

出していることを特徴とする。

【0009】

本発明の第1の観点に係る積層セラミック電子部品では、素子本体の下面に端子電極が実質的に形成されない。本発明の第2の観点に係る積層セラミック電子部品では、素子本体の下面の全体が露出する。従来の電子部品の構造では、素子本体の厚みを、たとえば100 $\mu\text{m}$ 以下程度に単に薄くするのみでは、素子本体に端子電極を形成することが困難である。

【0010】

本発明の積層セラミック電子部品は、たとえば二つ以上の薄い素子本体を組み合わせ、端子電極を形成した後に、素子本体が分離されて形成されることができる。そのため、たとえば従来の1/2以下程度に薄い積層セラミック電子部品が、容易に製造されることができる。

10

【0011】

結果として得られる積層セラミック電子部品では、素子本体の下面に端子電極が実質的に形成されず、あるいは素子本体の下面の全体が露出する。そして、積層セラミック電子部品のトータル厚みは、100 $\mu\text{m}$ 以下、好ましくは90 $\mu\text{m}$ 以下、さらに好ましくは80 $\mu\text{m}$ 以下と薄くすることができ、積層セラミック電子部品の低背化に寄与する。

【0012】

好ましくは、前記素子本体の下面は、平坦面である。素子本体の下面が平坦面であることで、たとえば基板の内部に埋込みやすくなる。また、素子本体の下面である平坦面が実装面に設置される際に、素子本体が実装面に密着して取り付けられ、積層セラミック電子部品の曲げ強度が向上する。

20

【0013】

前記素子本体の上面または下面は、前記絶縁層と比較して、弾性率が低い、あるいは線熱膨張係数が低い材料で構成してある強化層を含んでもよく、前記強化層の外面が、前記素子本体の上面または下面を規定していてもよい。

【0014】

このように構成することで、積層セラミック電子部品の曲げ強度が向上する。また、強度が向上することで、素子本体の長手方向寸法または幅寸法を長くすることが容易になり、素子本体の内部における内部電極層の相互間の対向面積が広くなり、静電容量などの電子部品の特性が向上する。

30

【0015】

前記強化層は、前記素子本体の側面を覆うサイド被覆部を有していてもよい。このように構成することで、積層セラミック電子部品の強度がさらに向上する。

【0016】

本発明の第3の観点に係る積層セラミック電子部品は、内部電極層と絶縁層とが積層方向に交互に積層してある素子本体と、前記素子本体の外面に密着して形成され、前記内部電極層に接続してある端子電極と、を有する積層セラミック電子部品であって、前記端子電極が、前記内部電極層が引き出される前記素子本体の引出端を覆う端側電極部を有し、前記積層方向に沿って前記素子本体の上面と、前記上面と前記積層方向に沿って反対側に位置する前記素子本体の下面とには、前記端子電極が実質的に形成されていないことを特徴とする。

40

【0017】

本発明の積層セラミック電子部品は、素子本体の下面および上面の双方に端子電極が実質的に形成されない端子電極を持つため、さらに薄型の積層セラミック電子部品を実現することができる。

【図面の簡単な説明】

【0018】

50

【図 1 A】図 1 A は本発明の一実施形態に係る積層セラミックコンデンサの縦断面図である。

【図 1 B】図 1 B は本発明の他の実施形態に係る積層セラミックコンデンサの縦断面図である。

【図 1 C】図 1 C は本発明のさらに他の実施形態に係る積層セラミックコンデンサの縦断面図である。

【図 2 A】図 2 A は図 1 A に示す II A - II A 線に沿う積層セラミックコンデンサの横断面図である。

【図 2 B】図 2 B は図 1 B に示す II B - II B 線に沿う積層セラミックコンデンサの横断面図である。

【図 2 C】図 2 C は図 2 B に示す積層セラミックコンデンサの変形例に係る横断面図である。

【図 3】図 3 は図 1 A に示す積層セラミックコンデンサの平面図である。

【図 4】図 4 は図 1 A に示す積層セラミックコンデンサの製造過程を示す要部断面図である。

【図 5】図 5 は図 1 A に示す積層セラミックコンデンサの使用例を示す要部断面図である。

【図 6】図 6 は図 1 A に示す積層セラミックコンデンサの使用例を示す要部断面図である。

【発明を実施するための形態】

【0019】

以下、本発明を、図面に示す実施形態に基づき説明する。

【0020】

#### 第 1 実施形態

本実施形態に係る積層セラミック電子部品の一実施形態として、積層セラミックコンデンサについて説明する。

【0021】

図 1 A に示すように、本実施形態に係る積層セラミックコンデンサ 2 は、素子本体 4 と、第 1 端子電極 6 と、第 2 端子電極 8 とを有する。素子本体 4 は、X 軸および Y 軸を含む平面に実質的に平行な内側誘電体層（絶縁層）10 と、内部電極層 12 とを有し、内側誘電体層 10 の間に、内部電極層 12 が Z 軸の方向に沿って交互に積層してある。ここで、「実質的に平行」とは、ほとんどの部分が平行であるが、多少平行でない部分を有していてもよいことを意味し、内部電極層 12 と内側誘電体層 10 は、多少、凹凸があったり、傾いていたりしてもよいという趣旨である。

【0022】

内側誘電体層 10 と内部電極層 12 とが交互に積層される部分が内装領域 13 である。また、素子本体 4 は、その積層方向 Z（Z 軸）の両端面に、外装領域 11 を有する。外装領域 11 は、内装領域 13 を構成する内側誘電体層 10 よりも厚い外側誘電体層が複数積層されて形成してある。内装領域 13 の Z 軸方向の厚みは、積層セラミックコンデンサ 2 のトータル厚み Z0 の 10 ~ 75 % の範囲内であることが好ましい。また、2 つの外装領域 11 の合計厚みは、トータル厚み Z0 から内装領域 13 の厚みと端子電極 6, 8 の厚みとを引き算した値である。

【0023】

なお、以下では、「内側誘電体層 10」および「外側誘電体層」をまとめて、「誘電体層」と記載する場合がある。

【0024】

内側誘電体層 10 および外装領域 11 を構成する誘電体層の材質は、同じでも異なっても良く、特に限定されず、たとえば、 $ABO_3$  などのペロブスカイト構造の誘電体材料を主成分として構成される。

【0025】

$ABO_3$  において、A は、たとえば Ca、Ba、Sr などの少なくとも一種、B は、Ti、Zr などの少なくとも一種である。A/B のモル比は、特に限定されず、0.980

10

20

30

40

50

～ 1 . 0 2 0 である。このほか、副成分として、希土類 ( S c 、 Y 、 L a 、 C e 、 P r 、 N d 、 P m 、 S m 、 E u 、 G d 、 T b 、 D y 、 H o 、 E r 、 T m 、 Y b および L u から選択される少なくとも 1 種 ) 、 アルカリ土類金属 ( M g および M n ) 、 遷移金属 ( V 、 W 、 および M o から選択される少なくとも 1 種 ) の酸化物やその混合物、複合酸化物およびガラスとして S i O<sub>2</sub> を含んだ焼結助剤等が含まれていてもよい。

【 0 0 2 6 】

交互に積層される一方の内部電極層 1 2 は、素子本体 4 の Y 軸方向第 1 端部の外側に形成してある第 1 端子電極 6 の内側に対して電氣的に接続してある引出部 1 2 a を有する。また、交互に積層される他方の内部電極層 1 2 は、素子本体 4 の Y 軸方向第 2 端部の外側に形成してある第 2 端子電極 8 の内側に対して電氣的に接続してある引出部 1 2 b を有する。

10

【 0 0 2 7 】

なお、図において、X 軸、Y 軸および Z 軸は、相互に垂直であり、Z 軸が、内側誘電体層 1 0 および内部電極層 1 2 の積層方向に一致し、Y 軸が引出部 1 2 a , 1 2 b が引き出される方向に一致する。

【 0 0 2 8 】

内装領域 1 3 は、容量領域と引出領域とを有する。容量領域は、積層方向に沿って内部電極層 1 2 が内側誘電体層 1 0 を挟んで積層する領域である。引出領域は、端子電極 6 または 8 に接続する内部電極層 1 2 の引出部 1 2 a ( 1 2 b ) の相互間に位置する領域である。さらに、図 2 A に示すサイドギャップ領域 1 4 は、内部電極層 1 2 の X 軸方向の両端に位置する内部電極 1 2 の保護のための領域であり、一般的には、内側誘電体層 1 0 または外装領域 1 1 と同様な誘電体材料で構成される。ただし、サイドギャップ領域 1 4 は、後述する強化層となるガラス材などで構成されていてもよい。また、外装領域 1 1 も、ガラス材などで構成されてもよい。

20

【 0 0 2 9 】

内部電極層 1 2 に含有される導電材は特に限定されず、Ni、Cu、Ag、Pd、Al、Pt などの金属、またはそれらの合金を用いることができる。Ni 合金としては、Mn、Cr、Co および Al から選択される 1 種以上の元素と Ni との合金が好ましく、合金中の Ni 含有量は 9 5 重量% 以上であることが好ましい。なお、Ni または Ni 合金中には、P 等の各種微量成分が 0 . 1 重量% 程度以下含まれていてもよい。

30

【 0 0 3 0 】

端子電極 6 , 8 の材質も特に限定されないが、Ni、Pd、Ag、Au、Cu、Pt、Rh、Ru、Ir 等の少なくとも 1 種、またはそれらの合金を用いることができる。通常は、Cu、Cu 合金、Ni または Ni 合金等や、Ag、Ag - Pd 合金、In - Ga 合金等が使用される。

【 0 0 3 1 】

本実施形態では、端子電極 6 および 8 は、それぞれ素子本体 4 の Y 軸方向の端面 4 a , 4 b に密着して形成され、単一膜でも多層膜であってもよい。本実施形態の端子電極 6 および 8 は、それぞれ内部電極層 1 2 のリード部 1 2 a , 1 2 b が引き出される素子本体 4 の引出端である端面 4 a , 4 b を覆う端側電極部 6 a , 8 a を有する。また、端子電極 6 および 8 は、それぞれ、積層方向である Z 軸に沿って素子本体 4 の上面 4 c の一部に端側電極部 6 a , 8 a に連続して形成される上側電極部 6 b , 8 b を有する。

40

【 0 0 3 2 】

さらに、図 2 A に示すように、端子電極 6 および 8 は、それぞれ、X 軸に沿って素子本体 4 の相互に反対側の側面 4 e , 4 e に、上側電極部 6 b , 8 b および端側電極部 6 a , 8 a ( 図 1 A 参照 ) に連続して形成されるサイド電極部 6 c , 8 c を有する。図 1 A に示すように、端子電極 6 および 8 の相互は、素子本体 4 の外面で Y 軸方向に所定距離で離れて絶縁されている。

【 0 0 3 3 】

端子電極 6 および 8 のそれぞれの厚みは、上側電極部 6 b , 8 b 、端側電極部 6 a , 8

50

a およびサイド電極部 6 c , 8 c の相互間で同じでも異なってもよく、たとえば 2 ~ 15  $\mu\text{m}$  の範囲内である。本実施形態では、上側電極部 6 b , 8 b およびサイド電極部 6 c , 8 c の厚みは、端側電極部 6 a , 8 a の厚みよりも 100 ~ 750 % の範囲で大きい。  
【0034】

本実施形態では、素子本体 4 の上面 4 c と Z 軸方向に沿って反対側に位置する素子本体 4 の下面 4 d には、端子電極 6 , 8 が実質的に形成されていない。すなわち、素子本体の下面 4 d では、端子電極 6 , 8 に覆われておらず、素子本体 4 の下面 4 d の全体が外部に露出している。しかも、下面 4 d は、平坦面に成形してある。下面 4 d は、端子電極 6 , 8 に覆われていないことから、上面 4 c とは異なり、上側電極部 6 b , 8 b による段差状凸部が無く、平坦性に優れている。

10

【0035】

積層セラミックコンデンサ 2 の形状やサイズは、目的や用途に応じて適宜決定すればよいが、本実施形態では、積層セラミックコンデンサ 2 の Z 軸方向のトータル厚み  $z_0$  を、たとえば 100  $\mu\text{m}$  以下、好ましくは 90  $\mu\text{m}$  以下、さらに好ましくは 80  $\mu\text{m}$  以下と薄くすることができ、積層セラミックコンデンサ 2 の低背化に寄与する。

【0036】

なお、本実施形態では、コンデンサ 2 の長手方向長さである Y 軸方向の長さ  $y_0$  を、厚み  $z_0$  の 3 倍以上、好ましくは 300  $\mu\text{m}$  以上、好ましくは 400 ~ 1200  $\mu\text{m}$  とすることができる。また、コンデンサ 2 の X 軸方向の幅  $x_0$  は、厚み  $z_0$  の 2 倍以上、好ましくは 200  $\mu\text{m}$  以上、好ましくは 200 ~ 600  $\mu\text{m}$  とすることができる。

20

【0037】

また、本実施形態においては、コンデンサ 2 の長手方向を X 軸方向に、短手方向を Y 軸方向に設計することも適宜行うことができ、その場合は、X 軸方向の長さ  $x_0$  を、厚み  $z_0$  の 3 倍以上、好ましくは 300  $\mu\text{m}$  以上、好ましくは 400 ~ 1200  $\mu\text{m}$  とすることができる。また、積層セラミックコンデンサ 2 の y 軸方向の幅  $y_0$  は、厚み  $z_0$  の 2 倍以上、好ましくは 200  $\mu\text{m}$  以上、好ましくは 200 ~ 600  $\mu\text{m}$  とすることができる。

【0038】

本実施形態に係る積層セラミックコンデンサによれば、積層セラミックコンデンサ 2 の Z 軸方向のトータル厚み  $z_0$  を、たとえば 100  $\mu\text{m}$  以下、好ましくは 90  $\mu\text{m}$  以下、さらに好ましくは 80  $\mu\text{m}$  以下と薄くすることができる。また、素子本体 4 の下面 4 d が平坦面であることで、たとえば図 5 に示すように、多層基板 40 の内部に、コンデンサ 2 を埋込みやすくなる。図 5 では、コンデンサ 2 の端子電極 6 , 8 の上側電極部 6 b , 8 b に、多層基板 40 に形成してある配線パターン 42 がスルーホール電極などを補通して接続してある。また、本実施形態では、素子本体 4 の下面である平坦面が実装面に設置される際に、素子本体 4 が実装面に密着して取り付けられ、積層セラミックコンデンサ 2 の曲げ強度が向上する。

30

【0039】

なお、本実施形態の積層セラミックコンデンサ 2 は、図 6 に示すように回路基板 40 a の上に、ハンダ 50 を用いて実装されてもよい。その場合には、積層セラミックコンデンサ 2 は、Z 軸方向の上下が逆に配置され、端子電極 6 および 8 の上側電極部 6 b , 8 b が、図面上で下を向き、ハンダ 50 により回路基板 40 a の配線パターン 42 a にそれぞれ接続される。なお、ハンダ 50 には、ハンダフィレットが形成され、端子電極 6 , 8 の端側電極部 6 a , 8 a にもハンダ 50 が接触する。

40

【0040】

また、本実施形態において、素子本体 4 の上面 4 c または下面 4 d を構成する外装領域 11 は、内側誘電体層 10 よりも強度が高い誘電体材料で構成してあってもよい。このように構成することで、積層セラミックコンデンサ 2 の曲げ強度が、さらに向上する。また、強度が向上することで、素子本体 4 の長手方向寸法  $y_0$  または幅寸法  $x_0$  を長くすることが容易になり、素子本体 4 の内部における内部電極層 12 の相互間の対向面積が広くなり、静電容量などの特性が向上する。さらに、図 2 A に示すサイドギャップ領域 14 も内

50

側誘電体層 10 よりも強度が高い誘電体材料で構成してあってもよい。

【0041】

次に、本発明の一実施形態としての積層セラミックコンデンサ 2 の製造方法について具体的に説明する。

【0042】

まず、焼成後に図 1 に示す内側誘電体層 10 を構成することになる内側グリーンシートおよび外装領域 11 を構成することとなる外側グリーンシートを製造するために、内側グリーンシート用ペーストおよび外側グリーンシート用ペーストを準備する。内側グリーンシート用ペーストおよび外側グリーンシート用ペーストは、通常、セラミック粉末と有機ビヒクルとを混練して得られた有機溶剤系ペースト、または水系ペーストで構成される。

10

【0043】

セラミック粉末の原料としては、複合酸化物や酸化物となる各種化合物、たとえば炭酸塩、硝酸塩、水酸化物、有機金属化合物などから適宜選択され、混合して用いることができる。セラミック粉末の原料は、本実施形態では、平均粒子径が  $0.45 \mu\text{m}$  以下、好ましくは  $0.1 \sim 0.3 \mu\text{m}$  程度の粉体として用いられる。なお、内側グリーンシートをきわめて薄いものとするためには、グリーンシート厚みよりも細かい粉体を使用することが望ましい。

【0044】

有機ビヒクルとは、バインダを有機溶剤中に溶解したものである。有機ビヒクルに用いるバインダは特に限定されず、エチルセルロース、ポリビニルブチラール等の通常の各種バインダから適宜選択すればよい。用いる有機溶剤も特に限定されず、アセトン、メチルエチルケトン等の各種有機溶剤から適宜選択すればよい。

20

【0045】

また、グリーンシート用ペースト中には、必要に応じて、各種分散剤、可塑剤、誘電体、副成分化合物、ガラスフリット、絶縁体などから選択される添加物が含有されていてもよい。

【0046】

可塑剤としては、フタル酸ジオクチルやフタル酸ベンジルブチルなどのフタル酸エステル、アジピン酸、燐酸エステル、グリコール類などが例示される。

【0047】

次に、焼成後に図 1 A に示す内部電極層 12 を構成することになる内部電極パターン層を製造するために、内部電極層用ペーストを準備する。内部電極層用ペーストは、上記した各種導電性金属や合金からなる導電材と、上記した有機ビヒクルとを混練して調製する。

30

【0048】

焼成後に図 1 A に示す端子電極 6, 8 を構成することになる端子電極用ペーストは、上記した内部電極層用ペーストと同様にして調製すればよい。

【0049】

上記にて調製した内側グリーンシート用ペーストおよび内部電極層用ペーストを使用して、図 4 に示すように、内側グリーンシートと、内部電極パターン層と、を交互に積層し、内部積層体を製造する。そして、内部積層体を製造した後に、外側グリーンシート用ペーストを使用して、外側グリーンシートを形成し、積層方向に加圧してグリーン積層体を得る。

40

【0050】

なお、グリーン積層体の製造方法としては、上記の他、外側グリーンシートに直接内側グリーンシートと内部電極パターン層とを交互に所定数積層して、積層方向に加圧してグリーン積層体を得てもよい。

【0051】

具体的には、まず、ドクターブレード法などにより、支持体としてのキャリアシート（たとえば PET フィルム）上に、内側グリーンシートを形成する。内側グリーンシートは、キャリアシート上に形成された後に乾燥される。

50

## 【 0 0 5 2 】

次に、内側グリーンシートの表面に、内部電極層用ペーストを用いて、内部電極パターン層を形成し、内部電極パターン層を有する内側グリーンシートを得る。次に、内部電極パターン層を有する内側グリーンシートを複数積層して、内部積層体を製造した後に、内部積層体の上下に外側グリーンシート用ペーストを使用して、適宜の枚数の外側グリーンシートを形成し、積層方向に加圧してグリーン積層体を得る。

## 【 0 0 5 3 】

次に、グリーン積層体を個片状に切断してグリーンチップを得る。なお、内部電極パターン層の形成方法としては、特に限定されず、印刷法、転写法の他、蒸着、スパッタリングなどの薄膜形成方法により形成されていてもよい。

10

## 【 0 0 5 4 】

グリーンチップは、固化乾燥により可塑剤が除去され固化される。固化乾燥後のグリーンチップは、脱バインダ工程、焼成工程、必要に応じて行われるアニール工程を行うことにより、素子本体 4 が得られる。脱バインダ工程、焼成工程およびアニール工程は、連続して行なっても、独立して行なってもよい。

## 【 0 0 5 5 】

次に、素子本体 4 の Y 軸方向の両端面に、端子電極用ペーストを塗布して焼成し、端子電極 6 , 8 を形成する。端子電極 6 , 8 を形成するに際しては、たとえば図 4 に示すように、二つの素子本体 4 , 4 のそれぞれの下面 4 d , 4 d の間に、ダミーブロック 2 0 を仮接着し、これらを一体化させたワーク 2 2 を、まず形成する。

20

## 【 0 0 5 6 】

ダミーブロック 2 0 は、後工程において除去可能な材料で構成されることが好ましく、端子電極用ペーストが付着し難い材料であることが好ましい。ダミーブロック 2 0 は、たとえばシリコンゴム、ニトリルゴム、ポリウレタン、フッ素樹脂、PET樹脂、PEN樹脂などで構成される。ダミーブロック 2 0 の X 軸方向幅および Y 軸方向幅は、素子本体 4 のサイズと略同じであることが好ましい。ダミーブロック 2 0 の Z 軸方向の厚みは、素子本体 4 の Z 軸方向厚みと同等、またはそれより薄くても厚くてもよい。

## 【 0 0 5 7 】

なお、ダミーブロック 2 0 を設けることなく、二つの素子本体 4 , 4 のそれぞれの下面 4 d , 4 d を、後工程で剥離可能な接着剤で直接に接着してワーク 2 2 を形成してもよい。接着剤としては、たとえば変性シリコーンポリマー、PVA水溶液のり、水溶性アクリル樹脂水溶液のり、変性ポリウレタン、変性シリコーン+エポキシ樹脂の2液型、デンプンのりなどが好ましい。また、ダミーブロック 2 0 の代わりに、一つ以上の素子本体 4 を、二つの素子本体 4 , 4 の間に接着してワーク 2 2 を形成してもよい。

30

## 【 0 0 5 8 】

ワーク 2 2 は、二つ以上の素子本体 4 , 4 が組み合わされているために、仮に素子本体 4 , 4 自体の Z 軸方向厚みが薄くても、十分に取り扱いやすい厚みを持ち、従来と同様にして、保持板 3 0 の貫通孔 3 2 にワーク 2 2 を取り付けて、端子電極 6 および 8 の形成を行うことができる。なお、端子電極 6 , 8 の形成方法についても特に限定されず、端子電極用ペーストの塗布・焼付け、メッキ、蒸着、スパッタリングなどの適宜の方法を用いることができる。必要に応じ、端子電極 6 , 8 表面に、めっき等により被覆層を形成する。被覆層としては、金メッキ、錫メッキなどが例示される。

40

## 【 0 0 5 9 】

端子電極 6 および 8 を形成した後は、ダミーブロック 2 0 を除去するなどで、二つの素子本体 4 , 4 を分離すれば、図 1 A に示す積層セラミック電子部品 2 が得られる。すなわち、素子本体 4 の下面 4 d には、端子電極 6 , 8 が実質的に形成されておらず、素子本体 4 の下面 4 d の全体が外部に露出しているコンデンサ 2 が得られる。

## 【 0 0 6 0 】

このようにして製造された本実施形態の積層セラミックコンデンサ 2 は、ハンダ付等によりプリント基板上などに実装され、各種電子機器等に使用される。あるいは、図 5 に示

50

すように、多層基板 40 の内部に、コンデンサ 2 を埋込まれて使用される。

【0061】

本実施形態の積層セラミックコンデンサ 2 は、端子電極 6, 8 の形成後に素子本体が分離されることで、たとえば従来の 1/2 以下程度に薄い積層セラミックコンデンサとなる。

【0062】

結果として得られる積層セラミックコンデンサ 2 では、素子本体 4 の下面に端子電極 6, 8 が実質的に形成されず、あるいは素子本体 4 の下面 4d の全体が露出する。そして、積層セラミックコンデンサのトータル厚み z0 は、100 μm 以下、好ましくは 90 μm 以下、さらに好ましくは 80 μm 以下と薄くすることができる。すなわち、積層セラミックコンデンサの低背化に寄与する。

10

【0063】

また、本実施形態では、素子本体 4 の下面 4d は、平坦面である。素子本体 4 の下面 4d が平坦面であることで、たとえば図 5 に示すように、多層基板 40 の内部にコンデンサ 2 を埋込みやすくなる。また、素子本体 4 の下面 4d である平坦面が実装面に設置される際には、素子本体 4 が実装面に密着して取り付けられ、積層セラミック電子コンデンサの曲げ強度が向上する。

【0064】

第 2 実施形態

図 1 B および図 2 B に示すように、本実施形態に係る積層セラミックコンデンサ 2 a では、以下に示す以外は、第 1 実施形態の積層セラミックコンデンサ 2 と同様である。このコンデンサ 2 a では、素子本体 4 の上面 4c (または下面 4d) は、内側誘電体層 10 よりも強度が高い材料で構成してある強化層 16 を含み、強化層 16 の外面が、素子本体 4 の上面 4c (または下面 4d) を規定している。

20

【0065】

強化層 16 は、第 1 実施形態と同様にして素子本体 4 を形成した後に、端子電極 6 および 8 を形成する前に、素子本体 4 の上面 4c (または下面 4d) に形成される。強化層 16 としては、特に限定されないが、たとえばガラス、アルミナ系コンポジット材料、ジルコニア系コンポジット材料、ポリイミド樹脂、エポキシ樹脂、アラミド繊維、繊維強化プラスチックなどが例示される。

【0066】

このように構成することで、積層セラミックコンデンサ 2 a の曲げ強度が向上する。また、強度が向上することで、素子本体 4 を薄くしても、素子本体 4 の長手方向寸法 y0 (図 1 A 参照) または幅寸法 x0 (図 2 A 参照) を長くすることが容易になり、素子本体 4 の内部における内部電極層 12 の相互間の対向面積が広くなり、静電容量などのコンデンサ 2 b の特性が、さらに向上する。

30

【0067】

なお、強化層 16 を構成するガラス成分は特に限定されないが、SiO<sub>2</sub>、BaO、Al<sub>2</sub>O<sub>3</sub>、アルカリ金属、CaO、SrO、B<sub>2</sub>O<sub>3</sub> を含むことが好ましい。強化層 16 を構成するガラス成分として含まれる SiO<sub>2</sub> は、強化層 16 のガラス成分中に 30 ~ 70 質量% 含まれることが好ましい。SiO<sub>2</sub> を上記の範囲で含む場合、上記の範囲よりも少ない場合に比べて、網目形成酸化物が十分な量となり、耐めっき性を良好にする。SiO<sub>2</sub> を上記の範囲で含む場合、上記の範囲よりも多い場合に比べて、軟化点が高くなりすぎるのを防ぎ、作業温度が高くなり過ぎるのを防ぐ。

40

【0068】

本実施形態の強化層 16 を構成するガラス成分として含まれる BaO は、強化層 16 のガラス成分中に 20 ~ 60 質量% 含まれることが好ましい。BaO を上記の範囲で含む場合、上記の範囲よりも少ない場合に比べて、誘電体との密着性を良好にしてデラミネーションを生じにくくする。また、熱膨張係数が小さくなり過ぎるのを防ぎ、クラックを生じにくくする。さらに、誘電体層が BaTiO<sub>3</sub> の場合、Ba がガラス成分に溶出してしまふのを防止し、HALT 信頼性が低下することを抑制する。BaO を上記の範囲で含む場

50

合、上記の範囲よりも多い場合に比べて、ガラス化を良好にし、さらに、耐めつき性を良好にする。

【0069】

本実施形態の強化層16を構成するガラス成分として含まれる $Al_2O_3$ は、強化層16のガラス成分中に1~15質量%含まれることが好ましい。 $Al_2O_3$ を上記の範囲で含む場合、上記の範囲よりも少ない場合に比べて、耐めつき性が良好である。 $Al_2O_3$ を上記の範囲で含む場合、上記の範囲よりも多い場合に比べて、軟化点が上昇し過ぎるのを防ぐ。

【0070】

本実施形態の強化層16を構成するガラス成分中に $SiO_2$ と $BaO$ と $Al_2O_3$ が合計で70~100質量%含まれることが好ましい。これにより誘電体と強化層16の界面で $Ba-Ti-Si-O$ 相が形成され易くなる。

10

【0071】

本実施形態の強化層16を構成するガラス成分として含まれるアルカリ金属としては、 $Li$ 、 $Na$ 、 $K$ が挙げられるが、熱膨張係数の観点から、 $K$ 、 $Na$ がより好ましい。本実施形態の強化層16を構成するガラス成分として含まれるアルカリ金属は、強化層のガラス成分中に0.1~15質量%含まれることが好ましい。これにより熱膨張係数を、高めることができる。アルカリ金属を上記の範囲で含む場合、上記の範囲よりも多い場合に比べて、耐めつき性を良好にできる。

【0072】

本実施形態の強化層16を構成するガラス成分として含まれる $CaO$ は、強化層16のガラス成分に0~15質量%含まれることが好ましい。これにより熱膨張係数を高めることができ、耐めつき性を良好にできる。

20

【0073】

本実施形態の強化層16を構成するガラス成分として含まれる $SrO$ は、強化層16のガラス成分に0~20質量%含まれることが好ましい。これにより熱膨張係数を高めることができ、耐めつき性を良好にできる。 $SrO$ を上記の範囲で含む場合、上記の範囲よりも多い場合に比べて、 $SrO$ が $BaTiO_3$ と反応することを防ぎ、チップの絶縁性と信頼性を向上できる。

【0074】

本実施形態の強化層16を構成するガラス成分として含まれる $B_2O_3$ は、強化層16のガラス成分に0~10質量%含まれることが好ましい。これによりガラスの網目形成酸化物としての効果を発揮できる。 $B_2O_3$ を上記の範囲で含む場合、上記の範囲よりも多い場合に比べて、耐めつき性を良好にできる。

30

【0075】

本実施形態では、強化層16は、外装領域11の外側側の一部のみを構成しているが、外装領域11の大部分、または全てを占めていてもよい。強化層16は、素子本体4の上面4cまたは下面4dに強化層用ペーストを塗布し、焼付けることにより形成することができる。

【0076】

この強化層用ペーストは、たとえば上記したガラス原料と、エチルセルロースを主成分とするバインダと分散媒であるターピネオールおよびアセトンとをミキサーで混練して得られる。素子本体4への強化層用ペーストの塗布方法は特に限定されず、例えば、ディップ、印刷、塗布、蒸着、噴霧等の方法が挙げられる。

40

【0077】

強化層用ペーストが塗布された素子本体4の焼き付け条件は特に限定されず、たとえば、加湿 $N_2$ または乾燥 $N_2$ の雰囲気において、700~1300、0.1時間~3時間保持し、焼き付けられる。

【0078】

第3実施形態

50

図 2 C に示すように、本実施形態に係る積層セラミックコンデンサ 2 b では、以下に示す以外は、第 2 実施形態の積層セラミックコンデンサ 2 a と同様である。このコンデンサ 2 b では、強化層 1 6 は、素子本体 4 の側面 4 e を覆うサイド被覆部 1 6 a を有している。サイド被覆部 1 6 a は、第 2 実施形態の強化層 1 6 のに連続して形成してある。このように構成することで、積層セラミックコンデンサの強度がさらに向上する。

【 0 0 7 9 】

なお、図 2 C では、サイド被覆部 1 6 a は、サイドギャップ領域 1 4 の側面 4 e 側の一部のみを構成しているが、サイドギャップ領域 1 4 の全体を占めていてもよい。すなわち、サイド被覆部 1 6 a は、内部電極層 1 2 の X 軸方向の端部に接触していてもよい。

【 0 0 8 0 】

本発明は、上述した実施形態に限定されるものではなく、本発明の範囲内で種々に改変することができる。

【 0 0 8 1 】

たとえば、図 4 に示すダミーブロック 2 0 の代わりに、一つ以上の素子本体 4 を配置して接着した場合には、それらの素子本体 4 には、端側電極部 6 a , 8 a とサイド電極部 6 c , 8 c のみが形成される。すなわち、その場合には、図 1 C に示すように、素子本体 4 の下面 4 d および上面 4 c の双方に端子電極 6 , 8 が実質的に形成されない端子電極 6 , 8 を持つ積層セラミックコンデンサが得られる。この積層セラミックコンデンサ 2 c は、素子本体 4 の下面 4 d および上面 4 c の双方に端子電極 6 , 8 が実質的に形成されない端子電極を持つため、さらに薄型のコンデンサが得られる。

【 0 0 8 2 】

また、本発明の積層セラミック電子部品は、積層セラミックコンデンサに限らず、その他の積層電子部品に適用することが可能である。その他の積層電子部品としては、誘電体層（絶縁層）が内部電極を介して積層される全ての電子部品であり、たとえばバンドパスフィルタ、インダクタ、積層三端子フィルタ、圧電素子、P T C サーミスタ、N T C サーミスタ、バリスタなどが例示される。

【 符号の説明 】

【 0 0 8 3 】

2 , 2 a , 2 b , 2 c ... 積層セラミックコンデンサ

4 ... 素子本体

4 a , 4 b ... 引出端

4 c ... 上面

4 d ... 下面

4 e ... 側面

6 ... 第 1 端子電極

6 a ... 端側電極部

6 b ... 上側電極部

6 c ... サイド電極部

8 ... 第 2 端子電極

8 a ... 端側電極部

8 b ... 上側電極部

8 c ... サイド電極部

1 0 ... 内側誘電体層

1 1 ... 外装領域

1 2 ... 内部電極層

1 2 a , 1 2 b ... 引出部

1 3 ... 内装領域

1 4 ... サイドギャップ領域

1 6 ... 強化層

1 6 a ... サイド被覆部

10

20

30

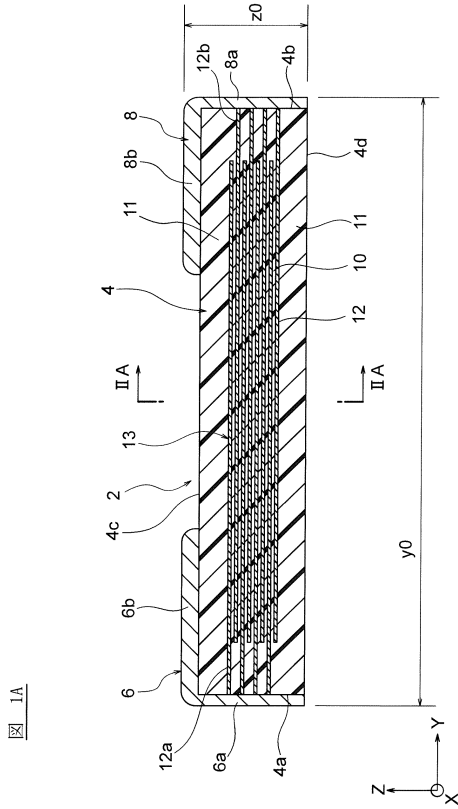
40

50

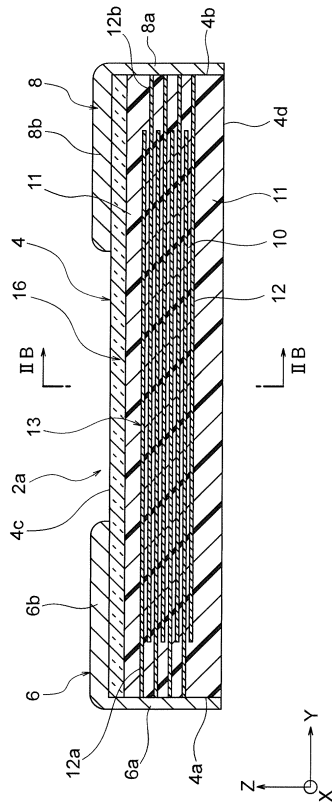
- 2 0 ... ダミーブロック
- 2 2 ... ワーク
- 3 0 ... 保持板
- 3 2 ... 貫通孔
- 4 0 ... 多層基板
- 4 0 a ... 回路基板
- 4 2 , 4 2 a ... 配線パターン
- 5 0 ... ハンダ

【図面】

【図 1 A】



【図 1 B】



10

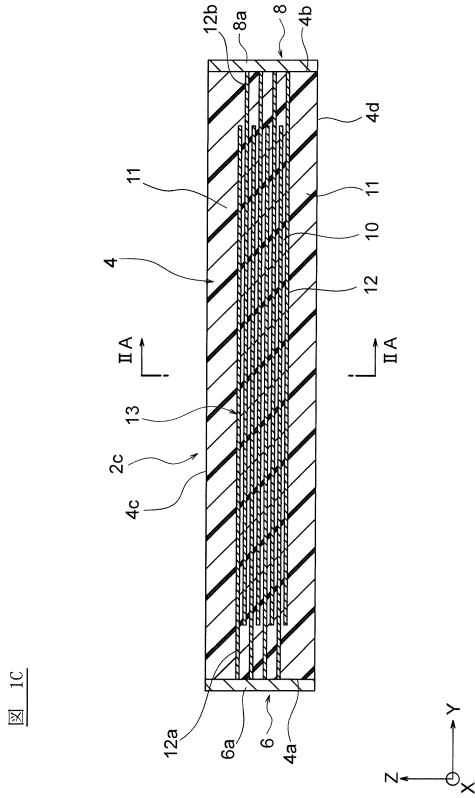
20

30

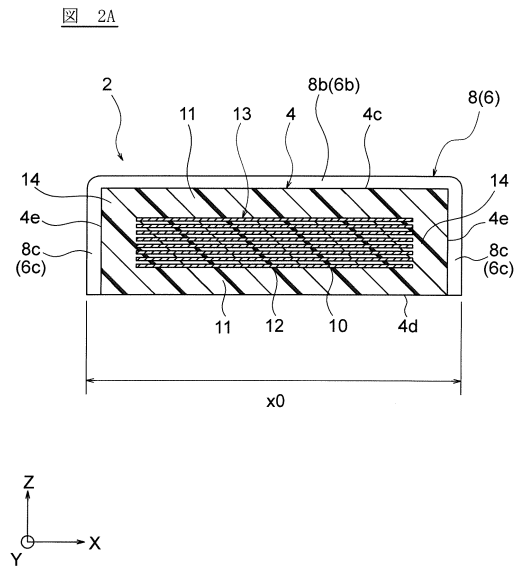
40

50

【図 1 C】



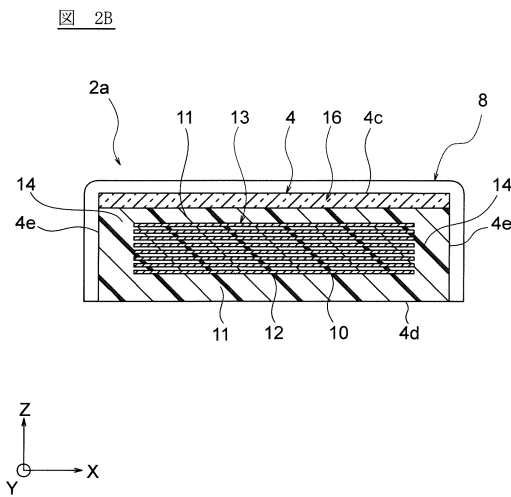
【図 2 A】



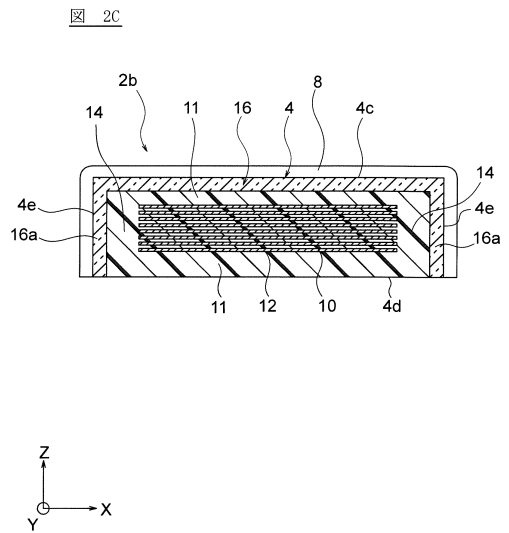
10

20

【図 2 B】



【図 2 C】

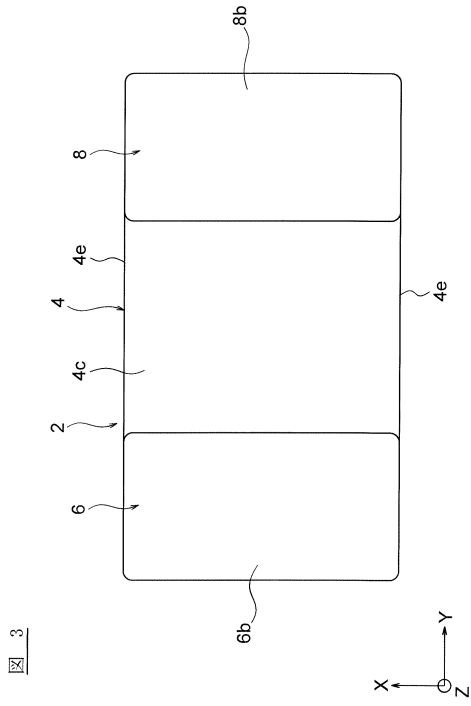


30

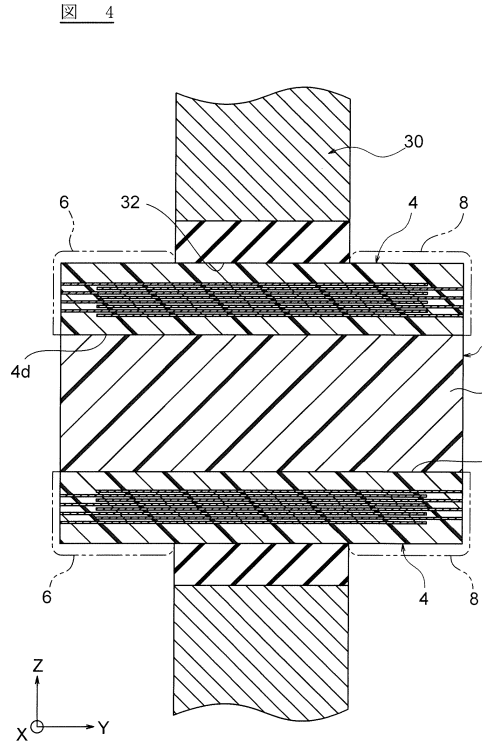
40

50

【図 3】



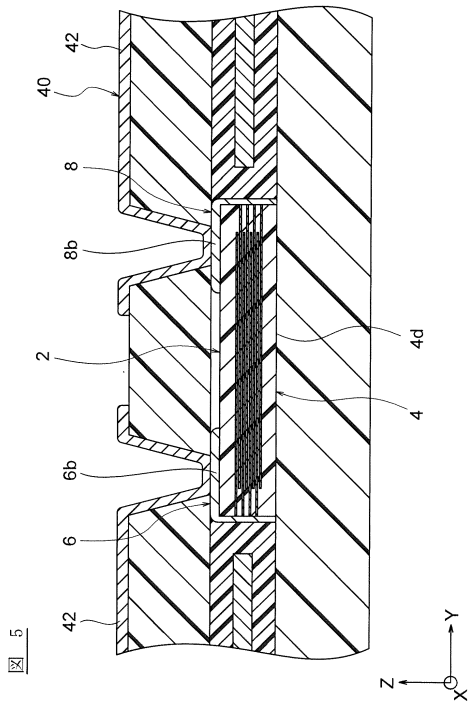
【図 4】



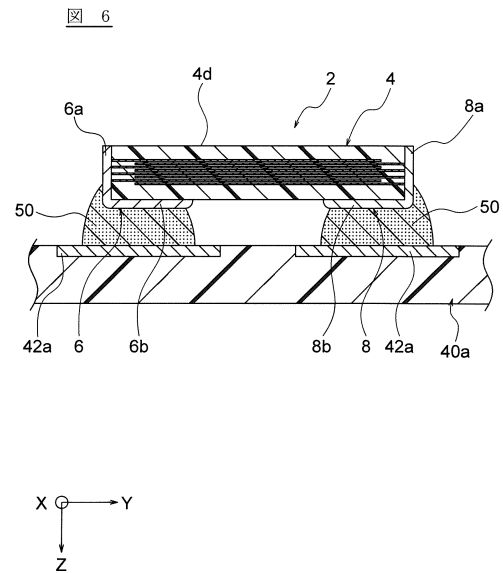
10

20

【図 5】



【図 6】



30

40

50

## フロントページの続き

- 東京都中央区日本橋二丁目5番1号 TDK株式会社内  
(72)発明者 中田 久士  
東京都中央区日本橋二丁目5番1号 TDK株式会社内  
(72)発明者 柴 崎 智也  
東京都中央区日本橋二丁目5番1号 TDK株式会社内
- 合議体  
審判長 岩間 直純  
審判官 畑中 博幸  
審判官 行武 哲太郎
- (56)参考文献 特開2017-59635(JP,A)  
特開2010-129737(JP,A)  
特開2013-183028(JP,A)  
特開2017-59631(JP,A)  
特開2016-111316(JP,A)
- (58)調査した分野 (Int.Cl., DB名)  
H01G 4/30