

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2014-7385

(P2014-7385A)

(43) 公開日 平成26年1月16日 (2014.1.16)

(51) Int.Cl. F I テーマコード (参考)
H O 1 L 21/336 (2006.01) H O 1 L 29/78 3 O 1 D 5 F 1 4 O
H O 1 L 29/78 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号	特願2013-86061 (P2013-86061)	(71) 出願人	000001007
(22) 出願日	平成25年4月16日 (2013.4.16)		キヤノン株式会社
(31) 優先権主張番号	特願2012-121386 (P2012-121386)		東京都大田区下丸子3丁目30番2号
(32) 優先日	平成24年5月28日 (2012.5.28)	(74) 代理人	100076428
(33) 優先権主張国	日本国 (JP)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

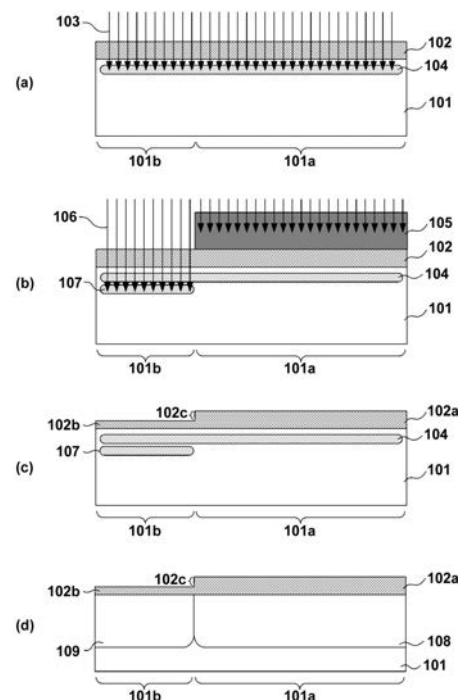
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 NウェルとPウェルとの間の境界の段差を軽減しつつ、Nウェル及びPウェルの不純物濃度の制御を容易にする技術を提供する。

【解決手段】 ツインウェル構造を有する半導体装置の製造方法であって、半導体基板の互いに隣接する第1領域及び第2領域に第1導電型不純物をイオン注入する第1注入工程と、半導体基板の第1領域を覆うとともに第2領域を露出する第1レジストパターンを形成するレジストパターン形成工程と、第1レジストパターンをマスクとして用いて、半導体基板の第2領域に第1導電型不純物よりも高濃度の第2導電型不純物をイオン注入する第2注入工程と、第1導電型不純物と第2導電型不純物とを熱拡散する拡散工程と、を有することを特徴とする製造方法が提供される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ツインウェル構造を有する半導体装置の製造方法であって、
半導体基板の互いに隣接する第 1 領域及び第 2 領域に第 1 導電型不純物をイオン注入する第 1 注入工程と、

前記半導体基板の前記第 1 領域を覆うとともに前記第 2 領域を露出する第 1 レジストパターンを形成するレジストパターン形成工程と、

前記第 1 レジストパターンをマスクとして用いて、前記半導体基板の前記第 2 領域に前記第 1 導電型不純物よりも高濃度の第 2 導電型不純物をイオン注入する第 2 注入工程と、

前記第 1 導電型不純物と前記第 2 導電型不純物とを熱拡散する拡散工程と、
を有することを特徴とする製造方法。

10

【請求項 2】

前記半導体基板の前記第 1 領域の上に第 1 部分を有し、前記半導体基板の前記第 2 領域の上に前記第 1 部分よりも厚みが薄い第 2 部分を有するシリコン酸化膜を形成する酸化膜形成工程と、

前記シリコン酸化膜の上に、前記シリコン酸化膜の前記第 1 部分の一部及び前記第 2 部分の一部を露出する第 2 レジストパターンを形成する工程と、

前記シリコン酸化膜の前記第 1 部分及び前記第 2 レジストパターンをマスクとして用いて、前記半導体基板の前記第 2 領域の一部に不純物をイオン注入する工程と、

前記シリコン酸化膜のうち前記第 2 レジストパターンから露出した部分を選択的に成長させてフィールド酸化膜を形成する工程と、
を更に有することを特徴とする請求項 1 に記載の製造方法。

20

【請求項 3】

前記酸化膜形成工程は、

前記レジストパターン形成工程の前に、前記半導体基板の前記第 1 領域及び前記第 2 領域の上にシリコン酸化膜を形成する工程と、

前記レジストパターン形成工程の後に、前記第 1 レジストパターンをマスクとして用いて、前記シリコン酸化膜のうち前記第 2 領域を覆う部分の上部を除去して前記シリコン酸化膜の前記第 2 部分を形成する工程と、

を有することを特徴とする請求項 2 に記載の製造方法。

30

【請求項 4】

前記酸化膜形成工程は、

前記レジストパターン形成工程の前に、前記半導体基板の前記第 1 領域及び前記第 2 領域の上にシリコン酸化膜を形成する工程と、

前記レジストパターン形成工程の後に、前記第 1 レジストパターンをマスクとして用いて、前記シリコン酸化膜のうち前記第 2 領域を覆う部分を除去する工程と、

前記拡散工程において、前記半導体基板の前記第 2 領域を熱酸化して前記シリコン酸化膜の前記第 2 部分を形成する工程と、
を有することを特徴とする請求項 2 に記載の製造方法。

40

【請求項 5】

前記第 2 導電型不純物の濃度は、前記第 1 導電型不純物の濃度の 2 倍以上であることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の製造方法。

【請求項 6】

前記第 2 注入工程の後に、前記半導体基板に対して非酸化雰囲気中で熱処理を行う工程を更に有することを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の製造方法。

【請求項 7】

前記半導体基板の前記第 2 領域を貫通するインク供給口を形成する工程を更に有することを特徴とする請求項 1 乃至 6 の何れか 1 項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は半導体装置の製造方法に関する。

【背景技術】

【0002】

N型トランジスタとP型トランジスタとを同一の半導体基板に形成するためにPウェルとNウェルとが隣接して配置されたツインウェル構造が用いられる。ツインウェル構造に形成されるLDMOS (Lateral Diffused Metal Oxide Silicon) トランジスタ等の回路素子の性能を向上するために、PウェルとNウェルとの間の境界に段差を有さないことが望ましい。特許文献1は、NウェルとPウェルとの間の境界に段差を有さない半導体装置の製造方法を提案する。この製造方法では、半導体基板上にリングラスを成膜した後、リングラスの一部を開口し、そこからP型不純物をイオン注入してP型不純物層を形成する。その後、熱処理を行うことによりリングラスに含まれるリンを半導体基板に拡散させてN型不純物層を形成する。そして、P型不純物層とN型不純物層のドライブイン拡散を行うことにより、半導体基板にPウェル及びNウェルを形成する。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-190743号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

特許文献1に開示される方法では、リングラスに含まれるリンを半導体基板に拡散させてN型不純物層を形成するので、Nウェルの不純物濃度を制御することが難しく、トランジスタ特性のコントロールが困難になる。そこで、本発明は、NウェルとPウェルとの間の境界の段差を軽減しつつ、Nウェル及びPウェルの不純物濃度の制御を容易にする技術を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記課題に鑑みて、本発明の1つの実施形態に係るツインウェル構造を有する半導体装置の製造方法は、半導体基板の互いに隣接する第1領域及び第2領域に第1導電型不純物をイオン注入する第1注入工程と、前記半導体基板の前記第1領域を覆うとともに前記第2領域を露出する第1レジストパターンを形成するレジストパターン形成工程と、前記第1レジストパターンをマスクとして用いて、前記半導体基板の前記第2領域に前記第1導電型不純物よりも高濃度の第2導電型不純物をイオン注入する第2注入工程と、前記第1導電型不純物と前記第2導電型不純物とを熱拡散する拡散工程と、を有することを特徴とする。

30

【発明の効果】

【0006】

上記手段により、NウェルとPウェルとの間の境界の段差を軽減しつつ、Nウェル及びPウェルの不純物濃度の制御を容易にする技術が提供される。

40

【図面の簡単な説明】

【0007】

【図1】本発明の実施形態の半導体装置の製造方法を説明する図。

【図2】本発明の実施形態の半導体装置の製造方法を説明する図。

【図3】本発明の別の実施形態の半導体装置の構造を説明する図。

【図4】本発明の別の実施形態の半導体装置の製造方法を説明する図。

【図5】本発明の別の実施形態の半導体装置の製造方法を説明する図。

【図6】本発明の別の実施形態の半導体装置の製造方法を説明する図。

【図7】基板中のボロン濃度とOSF密度との関係を示す図。

【発明を実施するための形態】

50

【0008】

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付して重複する説明を省略する。また、各実施形態は適宜変更、組み合わせが可能である。以下では、自己整合的に形成されたツインウェル構造にLDMOSTランジスタを有する半導体装置の製造方法の文脈で本発明の実施形態を説明する。しかし、本発明はツインウェル構造を有する任意の半導体装置に適用できる。本明細書におけるツインウェル構造とは、互いに極性が異なる2つのウェル領域（半導体領域）を有する構造を意味し、トリプルウェル構造等の3つ以上のウェル領域を有する構造も含む。

【0009】

図1及び図2を参照しつつ、本発明の実施形態に係るN型のLDMOSTランジスタを有する半導体装置の製造方法の一例を説明する。図1及び図2は半導体装置の一部分の断面図を製造プロセスに沿って説明する。まず、図2(d)を用いて、この製造方法により製造される半導体装置100の構造を説明する。半導体装置100は半導体基板101を有し、半導体基板101の第1領域101aにはNウェル108が形成され、第2領域101bにはPウェル109が形成されている。第1領域101aと第2領域101bとは互いに隣接しており、Nウェル108とPウェル109とも互いに隣接している。第1領域101aと第2領域101bとの間の境界はNウェル108とPウェル109との間の境界に一致する。Nウェル108とPウェル109との間の境界にまたがってゲート酸化膜115が配置され、その上にポリシリコンゲート116が配置される。Nウェル108はN+ドレイン領域117を有し、Pウェル109はN+ソース領域118を有する。Nウェル108はさらに、N+ドレイン領域117とポリシリコンゲート116との間にフィールド酸化膜112を有する。Nウェル108のうちゲート酸化膜115で覆われる部分はドレイン電界緩和層として機能し、Pウェル109のうちゲート酸化膜115で覆われる部分はチャンネル層として機能する。また、Pウェル109のフィールド酸化膜の下にはチャンネルストッパとして機能するP型拡散層114が配置される。

【0010】

本実施形態に係る半導体装置100では、Nウェル108の表面とPウェル109の表面とが同一平面上に形成され、Nウェル108とPウェル109との間の境界に段差を有さない。そのため、ゲート酸化膜115の信頼性が向上し、オン電流を増加し、オフ耐圧を増加することが可能となる。

【0011】

続いて、半導体装置100の製造方法を説明する。まず、図1(a)に示されるように、シリコン等の半導体基板101の上にシリコン酸化膜102を形成する（酸化膜形成工程）。このシリコン酸化膜102を通じて半導体基板101の第1領域101a及び第2領域101bにN型不純物103（第1導電型不純物）をイオン注入して、半導体基板101内にN型不純物層104を形成する（第1注入工程）。シリコン酸化膜102の厚さは例えば100nmであり、N型不純物103として例えばリンをドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ で注入する。

【0012】

次に、図1(b)に示されるように、シリコン酸化膜102の上にレジストを塗布してパターンニングを行い、レジストパターン105（第1レジストパターン）を形成する（レジストパターン形成工程）。レジストパターン105は半導体基板101の第1領域101aを覆い、第2領域101bを露出する。そして、レジストパターン105をマスクとして用いて半導体基板101の第2領域101bにP型不純物106（第2導電型不純物）をイオン注入して、半導体基板101内にP型不純物層107を形成する（第2注入工程）。P型不純物106として例えばボロンをドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入する。半導体基板101の第1領域101aへ向けて照射されたP型不純物106はレジストパターン105に阻まれて半導体基板101へは到達しない。一方、半導体基板101の第2領域101bへ向けて照射されたP型不純物106はレジストパターン105の開口を通り

半導体基板 101 へ到達し、P 型不純物層 107 を形成する。図では説明のために P 型不純物層 107 が N 型不純物層 104 よりも半導体基板 101 の表面から深い位置にあるが、これらの不純物層が同じ深さにあってもよいし、P 型不純物層 107 の方が浅くてもよい。半導体基板 101 の第 2 領域 101b に P ウェルを形成するため、P 型不純物 106 は N 型不純物 103 よりも高濃度のものを用いる。例えば、P 型不純物 106 の濃度を N 型不純物 103 の濃度の 2 倍以上に設定する。

【0013】

次に、図 1 (c) に示されるように、レジストパターン 105 をマスクとして用いて、シリコン酸化膜 102 をエッチングしてその一部を除去し、その後にレジストパターン 105 を除去する。以下では、エッチング後のシリコン酸化膜 102 のうち、半導体基板 101 の第 1 領域 101a の上に位置する部分を第 1 部分 102a と呼び、半導体基板 101 の第 2 領域 101b の上に位置する部分を第 2 部分 102b と呼ぶ。第 2 部分 102b の厚さは第 1 部分 102a の厚さよりも薄いため、シリコン酸化膜 102 には段差 102c が形成される。半導体基板 101 の第 1 領域 101a を覆い、第 2 領域 101b を露出するレジストパターン 105 を用いてシリコン酸化膜 102 のエッチングを行ったので、この段差 102c は第 1 領域 101a と第 2 領域 101b との境界の真上に位置する。前述のように、第 1 領域 101a と第 2 領域 101b との間の境界は N ウェル 108 と P ウェル 109 との間の境界に一致する。段差 102c は以降の工程においてフォトリソグラフィを行う際のアライメントマークとして用いてもよい。また、シリコン酸化膜 102 の第 1 部分 102a と第 2 部分 102b との厚さの違いを利用して、シリコン酸化膜 102 を以降の工程においてイオン注入を行うためのマスクとして用いてもよい。

【0014】

図 1 (c) に示されるように、エッチングによってシリコン酸化膜 102 のうち、半導体基板 101 の第 2 領域 101b を覆う部分の上部のみを除去してもよいし、この部分を全て除去してもよい。全て除去した場合にも、前出のように、第 1 領域 101a と第 2 領域 101b との境界の真上に位置するシリコン酸化膜 102 の段差を利用できる。また、上部のみを除去してシリコン酸化膜 102 の第 2 部分 102b を残した場合に、第 2 部分 102b は半導体基板 101 の第 2 領域 101b へのイオン注入時の保護膜として機能しうる。第 2 部分 102b を保護膜として機能させるために、第 2 部分 102b の厚さを 100 nm 以上としてもよい。また、シリコン酸化膜 102 の第 1 部分 102a 及び第 2 部分 102b は以降の工程でフィールド酸化を行う際に半導体基板 101 への応力を緩和する機能を有しうる。

【0015】

次に、図 1 (d) に示されるように、半導体基板 101 に対して電気炉で例えば 1100 °C 180 分の高温拡散を実行して、N 型不純物層 104 及び P 型不純物層 107 をドライブイン拡散（熱拡散）する。これにより、半導体基板 101 の第 1 領域 101a に N ウェル 108 が形成される。また、半導体基板 101 の第 2 領域 101b において、P 型不純物は N 型不純物よりも高濃度であるので、この領域に P ウェル 109 が形成される。半導体基板 101 の第 1 領域 101a 及び第 2 領域 101b の両方に N 型不純物層 104 が形成され、第 2 領域 101b のみに P 型不純物層 107 が形成されるので、N ウェル 108 と P ウェル 109 との間の境界は自己整合的に形成される。図 1 (c) で説明したエッチング工程において、シリコン酸化膜 102 のうち、半導体基板 101 の第 2 領域 101b を覆う部分をすべて除去した場合には、この熱拡散工程において第 2 領域 101b にシリコン熱酸化膜を形成してもよい。このシリコン熱酸化膜はシリコン酸化膜 102 の第 2 部分 102b として用いてもよい。

【0016】

次に、図 2 (a) に示されるように、活性領域となる部分を覆うシリコン窒化膜からなるレジストパターン 110（第 2 レジストパターン）を形成する。そして、半導体基板 101 に向けて P 型不純物 111 を照射してイオン注入を行い、その後レジストパターン 110 を除去する。例えば、ボロンをドーズ量 $1 \text{ e } 14 \text{ cm}^{-2}$ で注入する。レジストパター

ン 1 1 0 で覆われた活性領域となる部分にはレジストパターン 1 1 0 がマスクとなり半導体基板 1 0 1 へ P 型不純物 1 1 1 は到達しない。また、レジストパターン 1 1 0 から露出した部分のうち、シリコン酸化膜 1 0 2 の第 1 部分 1 0 2 a で覆われた部分はこのシリコン酸化膜がマスクとなり、半導体基板 1 0 1 へ P 型不純物 1 1 1 は到達しない。一方、レジストパターン 1 1 0 から露出した部分のうち、シリコン酸化膜 1 0 2 の第 2 部分 1 0 2 b で覆われた部分はシリコン酸化膜 1 0 2 を通じて半導体基板 1 0 1 へ P 型不純物 1 1 1 が到達し、P 型不純物層 1 1 3 が形成される。このように段差 1 0 2 c を有するシリコン酸化膜 1 0 2 はマスクとして機能するため、P ウェル 1 0 9 にイオン注入を行う際に新たにフォトリソグラフィ工程を行う必要はない。

【0017】

次に、図 2 (b) に示されるように、例えば水素燃焼酸化により膜厚約 700 nm のフィールド酸化膜 1 1 2 を選択的に成長させる。この酸化において P 型不純物層 1 1 3 が拡散されて P 型拡散層 1 1 4 が形成される。この後に、さらにトランジスタの閾値調整の不純物をイオン注入してもよい。ここでも、シリコン酸化膜 1 0 2 の第 1 部分 1 0 2 a がマスクとして機能するため、不純物は、P ウェル 1 0 9 にのみに選択的に注入され、P ウェル 1 0 9 の表面濃度のみを制御できる。

【0018】

次に、図 2 (c) に示されるように、例えば約 10 wt % のフッ化水溶液でシリコン酸化膜 1 0 2 の第 1 部分 1 0 2 a 及び第 2 部分 1 0 2 b を除去する。これにより、活性領域において、N ウェル 1 0 8 及び P ウェル 1 0 9 の表面が露出する。

【0019】

最後に、図 2 (d) に示されるように、N ウェル 1 0 8 と P ウェル 1 0 9 との間の境界を覆う位置に膜厚約 10 nm のゲート酸化膜 1 1 5 を形成し、その上にポリシリコンゲート 1 1 6 を形成する。そして、ポリシリコンゲート 1 1 6 とフィールド酸化膜 1 1 2 とをマスクとして用いて、例えばヒ素をドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入することで、N + ドレイン領域 1 1 7 及び N + ソース領域 1 1 8 を形成する。その後、その他に必要な応じて既存の工程を行って半導体装置 1 0 0 が完成する。

【0020】

上述の実施形態に係る半導体装置の製造方法では、P ウェルと N ウェルとの両方をイオン注入で形成するので、各ウェルにおける不純物濃度を所望の値に制御することが容易になる。また、上述した実施形態では、N 型の LDMOS トランジスタを形成する方法について説明したが、各イオン注入工程の不純物の極性を反転させることで、P 型の LDMOS トランジスタを形成することもできる。

【0021】

続いて、本発明の別の実施形態に係る、半導体基板を貫通するインク供給口を有する半導体装置の製造方法の一例を説明する。まず、図 3 を用いて、この製造方法により製造される半導体装置 300 の構造を説明する。半導体装置 300 は半導体基板 301 に樹脂基板 302 が積層され、半導体基板 301 内に複数のヒータ 303 が作り込まれ、半導体基板 301 と樹脂基板 302 との間に流路 304 が形成されている。そして、各流路 304 の内部にヒータ 303 がそれぞれ位置している。さらに、半導体装置 300 は、各流路 304 に連通するインク供給口 305 と、各流路 304 のそれぞれに対応して設けられている複数の吐出口 306 とを有する。インク供給口 305 は半導体基板 301 を貫通する。複数の吐出口 306 は樹脂基板 302 を貫通する。

【0022】

半導体基板 301 は、シリコン基板 307 の一方の主面（表側の面）側に、実施形態に係る半導体装置の製造方法によって、自己整合的に形成されたツインウェル構造に対して LDMOS トランジスタが構成されている（図示せず）。そしてフィールド酸化膜 310 と、例えばリンガラスからなる第 1 層間絶縁膜 312 とが形成されている。その上に、MOS トランジスタへの電気接続のための第 1 金属配線層（図示せず）と発熱抵抗体（ヒータ材） 314 及び第 2 金属配線層 315 とが、例えばシリコン酸化膜からなる第 2 層間絶

10

20

30

40

50

縁膜 313 を介して積層されている。さらに、保護膜となるシリコン窒化膜 316 と耐キャビテーション用のタンタル膜 317 とが形成されている。一方、樹脂基板 302 はノズル材からなり、半導体基板 301 と樹脂基板 302 との間に流路 304 を形成するとともに、吐出口 306 が設けられている。半導体基板 301 の他方の主面（裏側の面）側には、エッチング液として TMAH 水溶液などの強アルカリ溶液を用いて異方性エッチングを行うことによって、シリコン基板 307 を貫通するインク供給口 305 が形成されている。

【0023】

続いて、図 4～図 6 を参照しつつ、半導体装置 300 の製造方法を説明する。図 4 (a) に示されるように、シリコン基板 400 の上にシリコン酸化膜 401 を形成する。このシリコン酸化膜 401 を通じてシリコン基板 400 の第 1 領域 402 及び第 2 領域（インク供給口形成領域）403 に N 型不純物 404 （第 1 導電型不純物）をイオン注入して、シリコン基板 400 内に N 型不純物層 405 を形成する（第 1 注入工程）。シリコン酸化膜 401 の厚さは例えば 100 nm であり、N 型不純物 404 の濃度は、半導体装置 300 を駆動する MOS トランジスタの特性に応じて決められ、例えばリンをドーズ量 $5 \text{ e } 12 \text{ cm}^{-2}$ で注入する。

【0024】

次に、図 4 (b) に示されるように、シリコン酸化膜 401 の上にレジストを塗布してパターンニングを行い、レジストパターン 406 （第 1 レジストパターン）を形成する（レジストパターン形成工程）。レジストパターン 406 はシリコン基板 400 の第 1 領域 402 を覆い、第 2 領域 403 を露出する。そして、レジストパターン 406 をマスクとして用いてシリコン基板 400 の第 2 領域 403 に P 型不純物 407 （第 2 導電型不純物）をイオン注入して、シリコン基板 400 内に P 型不純物層 408 を形成する（第 2 注入工程）。P 型不純物 407 として例えばボロンをドーズ量 $1 \text{ e } 13 \text{ cm}^{-2}$ で注入する。シリコン基板 400 の第 1 領域 402 へ向けて照射された P 型不純物 407 はレジストパターン 406 に阻まれてシリコン基板 400 へ到達しない。一方、シリコン基板 400 の第 2 領域 403 へ向けて照射された P 型不純物 407 はレジストパターン 406 の開口を通りシリコン基板 400 へ到達し、P 型不純物層 408 を形成する。図では説明のために P 型不純物層 408 が N 型不純物層 405 よりもシリコン基板 400 の表面から深い位置にあるが、これらの不純物層が同じ深さにあってもよいし、P 型不純物層 408 の方が浅くてもよい。シリコン基板 400 の第 2 領域 403 に P ウェルを形成するため、P 型不純物 407 は N 型不純物 404 よりも高濃度のものを用いる。例えば、P 型不純物 407 の濃度を N 型不純物 404 の濃度の 2 倍以上に設定する。

【0025】

P 型不純物 407 の濃度は、半導体装置 300 を駆動する MOS トランジスタの特性に応じて決められる。シリコン基板 400 のボロン濃度が高くなると、その後のフィールド酸化膜の形成工程において、OSF（酸化誘起積層欠陥）が多量に発生する。そのため、その後のインク供給口形成において、OSF の増加により異方性エッチングが急激に進み、インク供給口の寸法制御が困難になる。そこで、P 型不純物 407 としてボロンを用いて、第 2 領域（インク供給口形成領域）403 に P 型不純物層 408 を形成する場合、シリコン基板 400 のボロンの不純物濃度を $1 \text{ e } 17 \text{ cm}^{-3}$ 以下にしうる。例えば、P 型不純物 407 としてボロンをドーズ量 $3 \text{ e } 12 \text{ cm}^{-2}$ 、N 型不純物 404 としてリンをドーズ量 $1.5 \text{ e } 12 \text{ cm}^{-2}$ で注入する。図 7 に、シリコン基板中のボロン濃度とフィールド酸化膜形成工程後のシリコン基板中の OSF 密度との関係を示す。シリコン基板中のボロン濃度が、 $1 \text{ e } 17 \text{ cm}^{-3}$ 以上になると急激に OSF 密度が増大している。ボロン原子は、OSF 形成の成長核となる酸素析出物の形成を促進する効果があるため、OSF 密度の増加を促進している。特にシリコン格子間ボロンが酸素析出物の形成を担っているため、OSF 密度の増加に大きく寄与している。一方、Ph、As 等の N 型不純物では、酸素析出物の形成が促進させる効果はないため、OSF の増加はない。そのため、図 4 (b) の工程において、第 2 領域 403 をレジストパターン 406 で覆い、第 2 領域 403 にボロ

ン不純物がシリコン基板400に注入しないようにして、Nウェルを形成してもよい。その後、図示しないが、エッチングによってシリコン酸化膜401のうち、シリコン基板400の第2領域403を覆う部分の上部のみ、またはこの部分を全て除去する。

【0026】

次に、図4(c)に示されるように、シリコン基板400に対して電気炉で例えば1100℃180分の高温拡散を実行して、N型不純物層405及びP型不純物層408をドライブイン拡散(熱拡散)する。これにより、シリコン基板400の第1領域402にNウェル409が形成される。また、シリコン基板400の第2領域403において、P型不純物はN型不純物よりも高濃度であるので、この領域にPウェル410が形成される。

【0027】

次に、図4(d)に示されるように、活性領域となる部分を覆うシリコン窒化膜からなるレジストパターン411(第2レジストパターン)を形成する。そして、シリコン基板400に向けてP型不純物412を照射してイオン注入を行い、その後レジストパターン411を除去する。レジストパターン411で覆われた活性領域となる部分にはレジストパターン411がマスクとなりシリコン基板400へP型不純物412は到達しない。また、レジストパターン411から露出した部分のうち、シリコン酸化膜401の第1部分402で覆われた部分はこのシリコン酸化膜がマスクとなり、シリコン基板400へP型不純物412は到達しない。一方、レジストパターン411から露出した部分のうち、シリコン酸化膜401の第2部分403で覆われた部分はシリコン酸化膜401を通じてシリコン基板400へP型不純物412が到達し、P型不純物層412aが形成される。P型不純物層412aの不純物濃度は、半導体装置300が要求するフィールド酸化膜上の寄生トランジスタの閾値により決められる。P型不純物層412aの不純物がボロンである場合に、上述の理由により、第2領域(インク供給口形成領域)403のシリコン基板400のボロンの不純物濃度が $1 \times 10^{-17} \text{ cm}^{-3}$ 以下になるように、P型不純物層412aとPウェル410とのボロン不純物濃度を調整する。

【0028】

次に、図5(a)に示されるように、例えば水素燃焼酸化により膜厚約700nmのフィールド酸化膜413を選択的に成長させる。この酸化においてP型不純物層412aが拡散されてP型拡散層414が形成される。また、フィールド酸化膜413を形成する前に、非酸化雰囲気高温熱処理を実施してもよい。例えば、窒素雰囲気1000℃60分の熱処理を実施する。このように非酸化雰囲気高温熱処理を実施することで、OSF密度の増加を促進しているシリコン格子間ボロンを消滅させることが可能になり、OSF密度の増加を抑制できる。その後、アクティブ領域に拡散層やゲート電極を形成して、この半導体装置の駆動回路を構成するMOSトランジスタを形成する。

【0029】

次に、図5(b)に示されるように、MOSトランジスタの電気接続を確保するための、例えばアルミニウム等からなる第1配線層(不図示)と、例えばリンガラスからなる第1層間絶縁膜415を形成する。第1配線層の一部は、犠牲層426として機能させてもよい。この犠牲層426は、インク供給口423を精度良く形成できるようにするためのものである。その後、シリコン酸化膜からなる第2層間絶縁膜416を形成し、発熱抵抗体(ヒーター材)417と、例えばアルミニウム等からなる第2配線層418とを形成する。そして、半導体の保護膜となる厚さ250~800nm程度のシリコン窒化膜419を形成し、耐キャビテーション膜となる厚さ50~600nm程度のタンタル膜420を発熱抵抗体(ヒーター材)417の領域に形成する。次に、図5(c)に示されるように、吐出口および流路を形成するためのノズル型材421及びノズル材422からなる樹脂基板を積層する。

【0030】

次に、図6(a)に示されるように、シリコン基板400の裏面側のパターニングを行い、エッチング液としてTMAH水溶液を用い、シリコン基板400の裏面側から異方性エッチングを行って、シリコン基板400を貫通するインク供給口423を形成する。こ

10

20

30

40

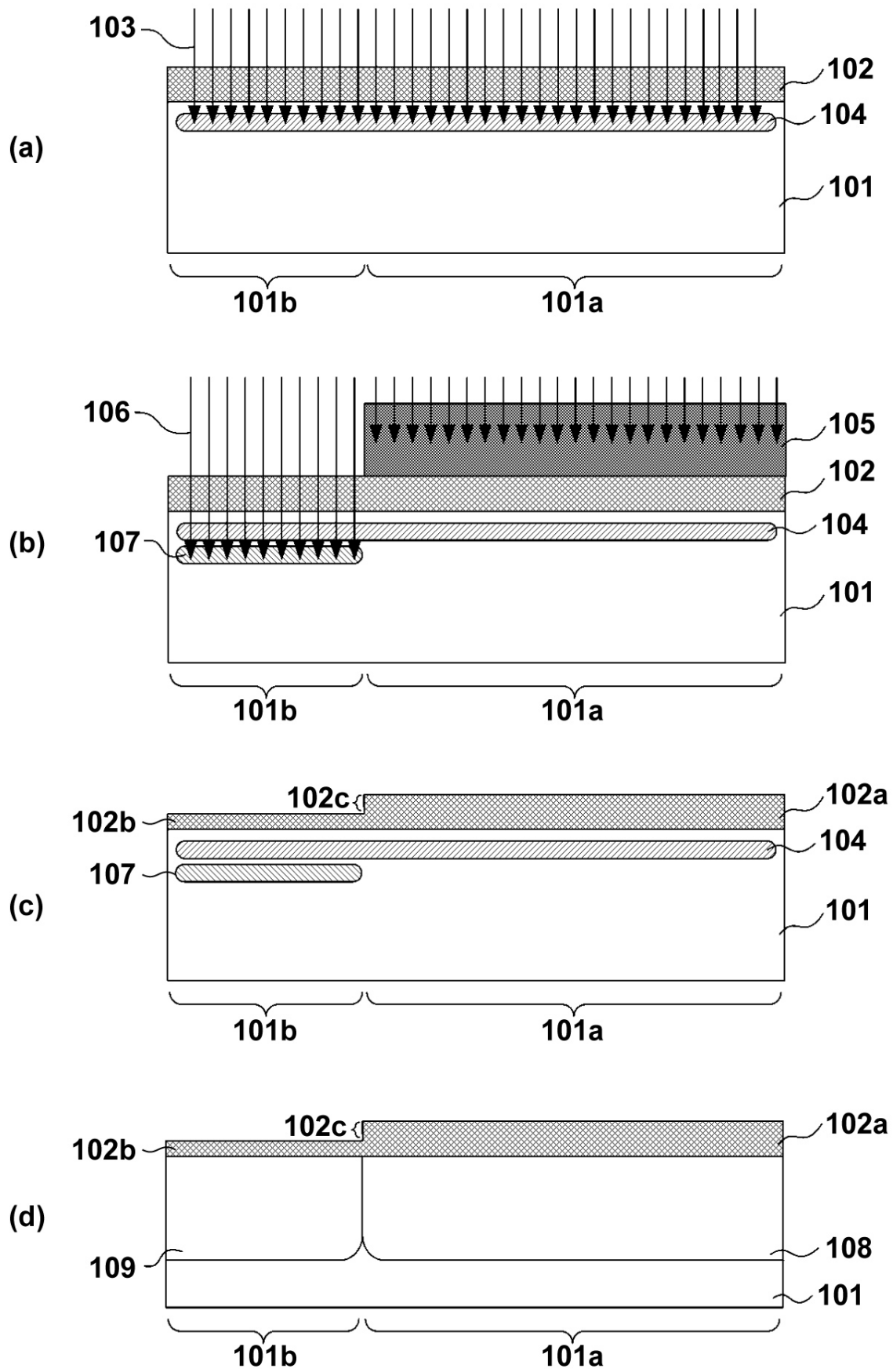
50

のとき、犠牲層 4 2 6 もエッチングされる。犠牲層 4 2 6 がインク供給口 4 2 3 を形成する基準となるので、高精度のインク供給口 4 2 3 が形成される。また、第 2 領域（インク供給口形成領域）4 0 3 のボロン不純物濃度を $1 \times 10^{17} \text{ cm}^{-3}$ 以下にすることで、OSF（酸化誘起積層欠陥）の発生が抑制されて、インク供給口 4 2 3 の寸法制御が容易になる。

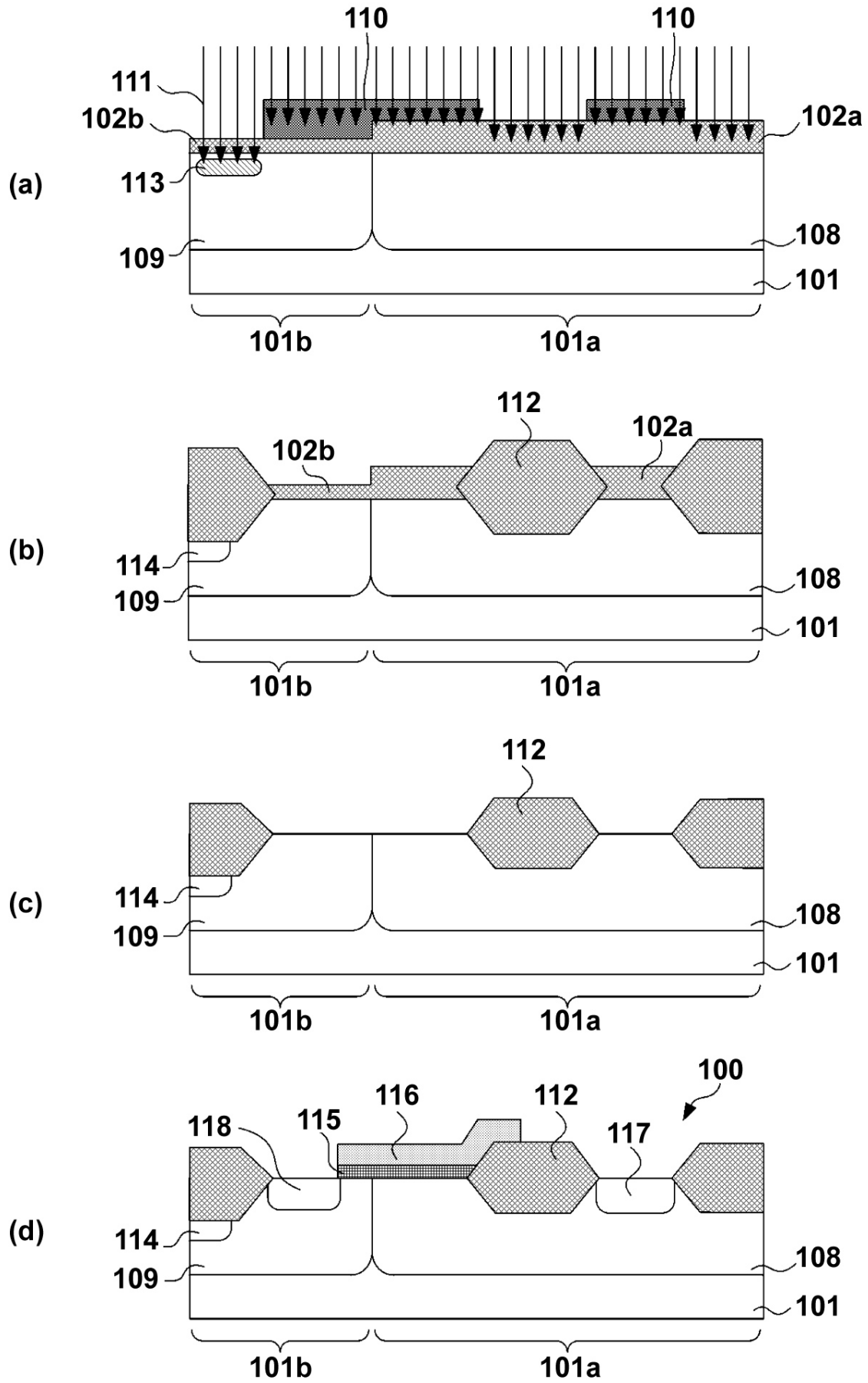
【0031】

次に、図 6（b）に示されるように、インク供給口 4 2 3 内の第 2 層間絶縁膜 4 1 6（シリコン酸化膜）とインク供給口 4 2 3 内にはみ出している余分なフィールド酸化膜 4 1 3 とを、バッファードフッ酸を用いたウェットエッチングにより同時に除去する。また、シリコン窒化膜 4 1 9 を、フッ素系または酸素系のガスを用いたドライエッチングにより除去する。その後、溶媒を用いてノズル型材 4 2 1 を除去して、ノズル材 4 2 2 にインクの流路 4 2 4 に連通する吐出口 4 2 5 を形成する。このようにして、半導体基板を貫通するインク供給口 4 2 3 を有する半導体装置 3 0 0 が完成する。

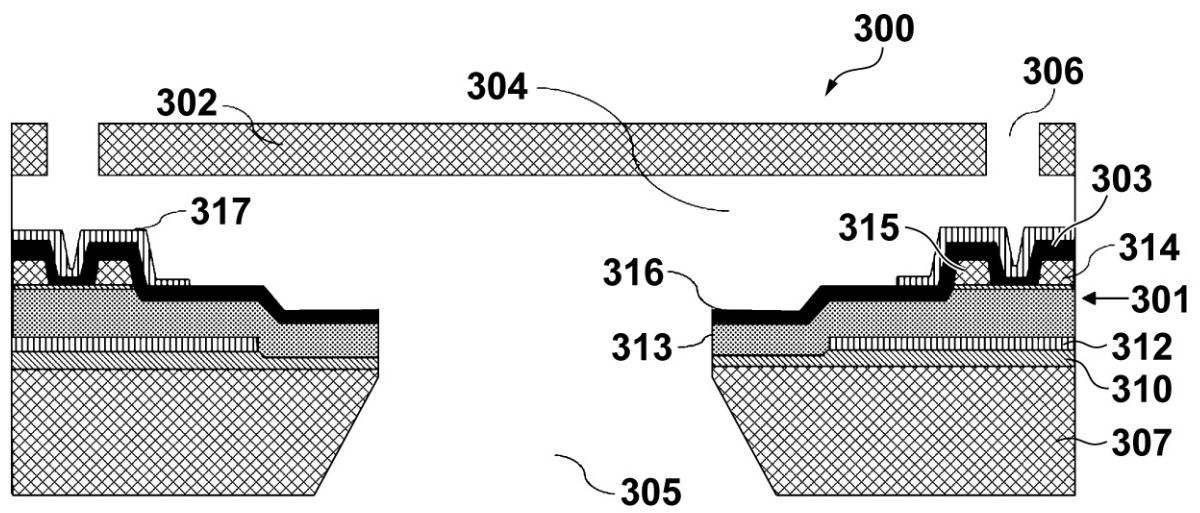
【図 1】



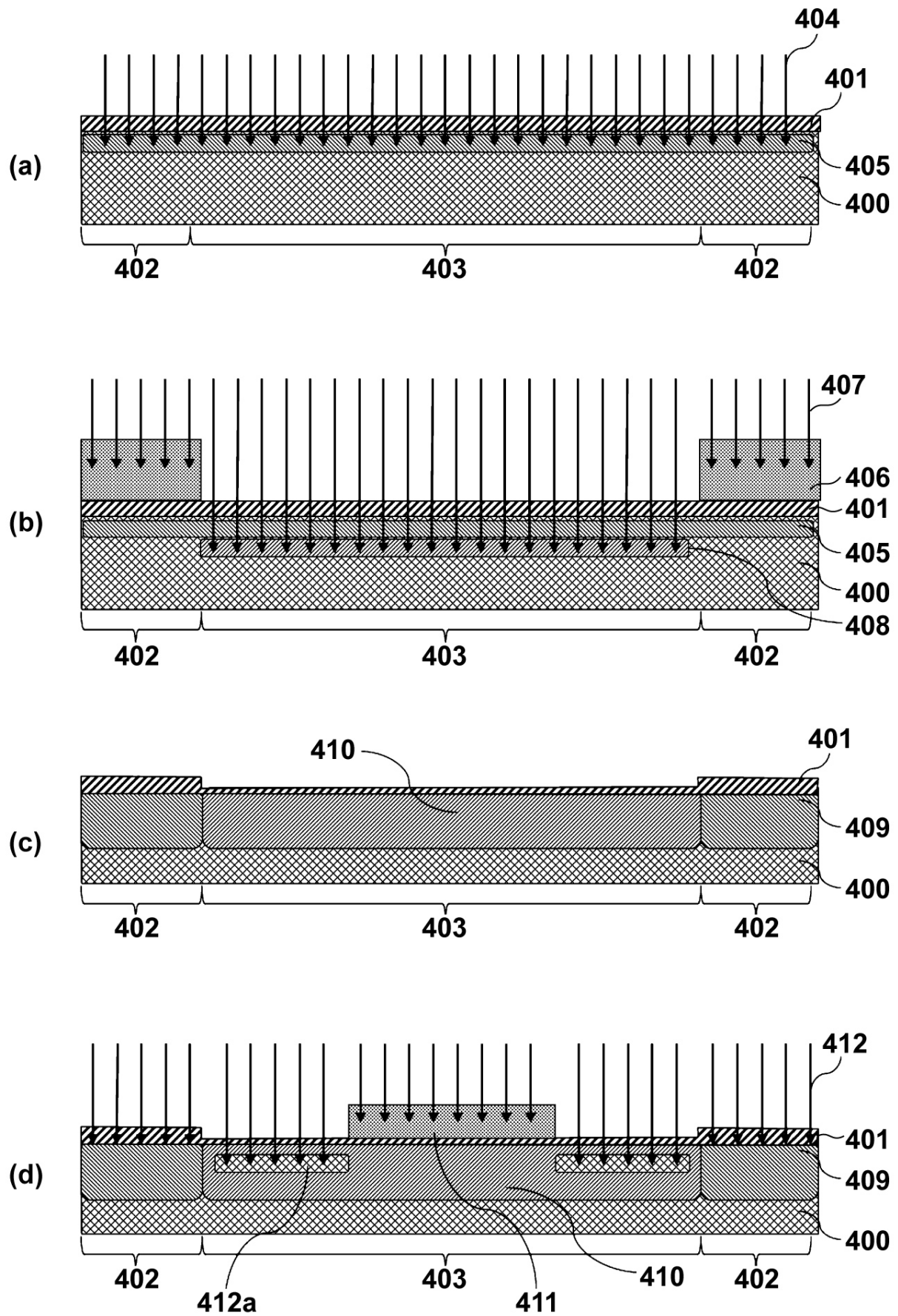
【図 2】



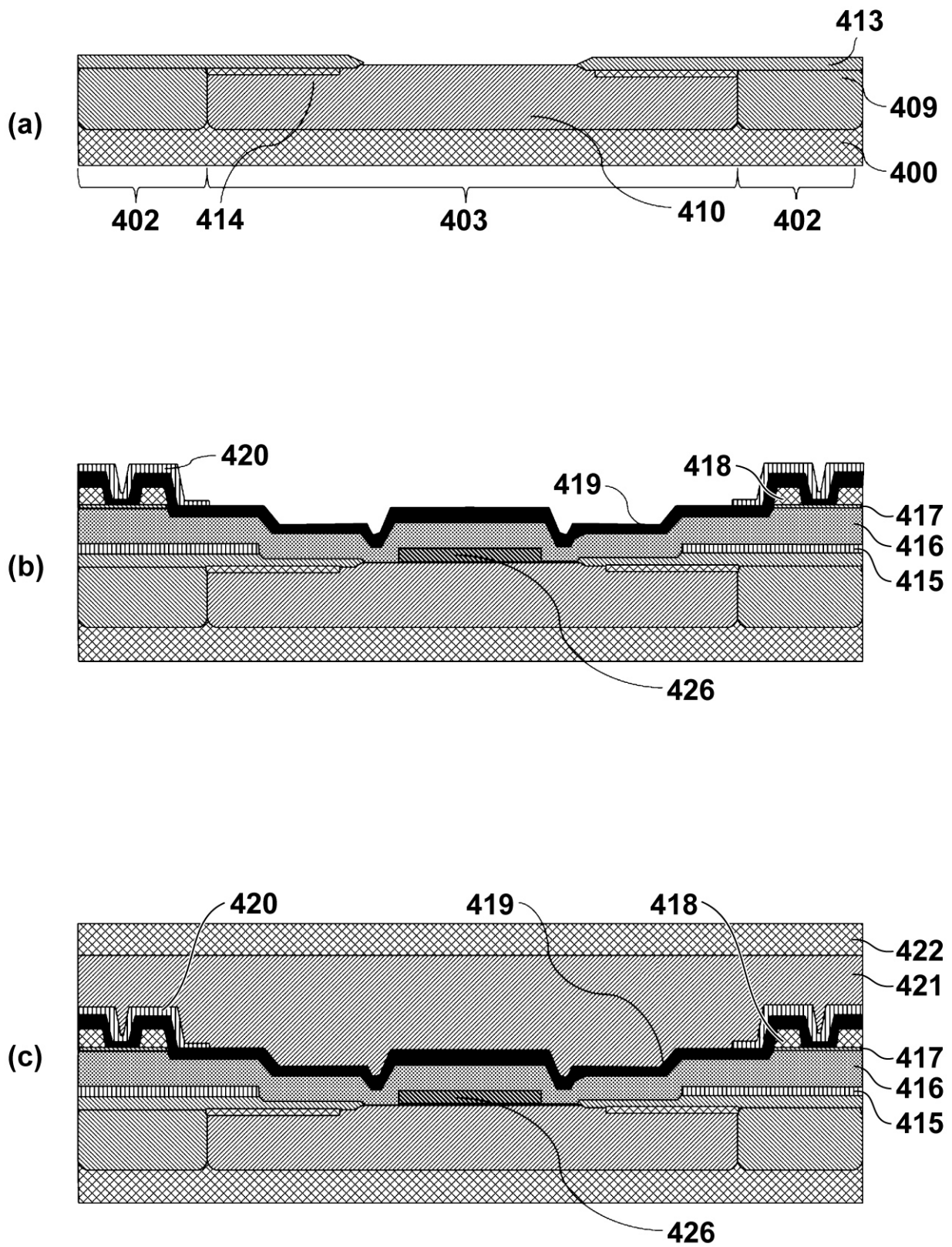
【図 3】



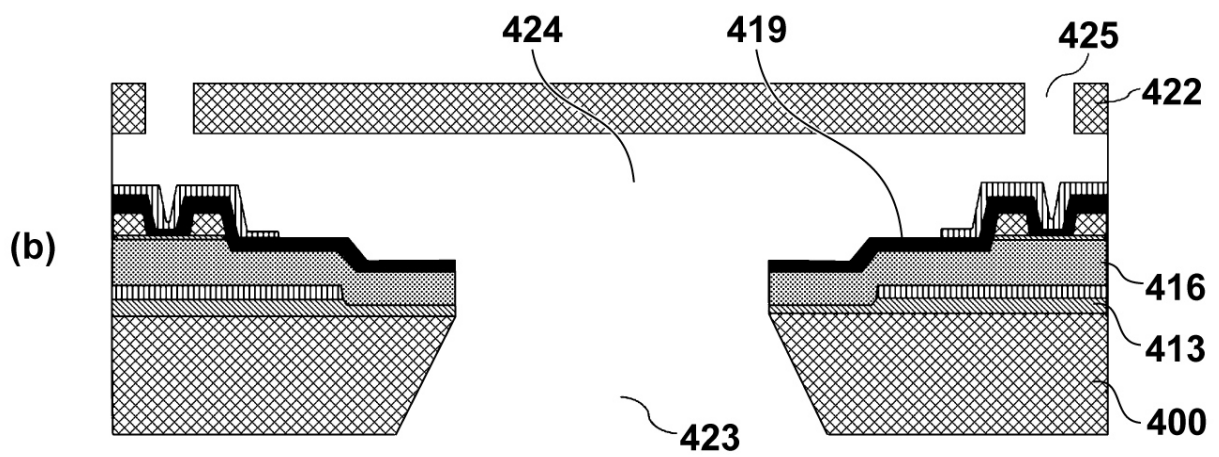
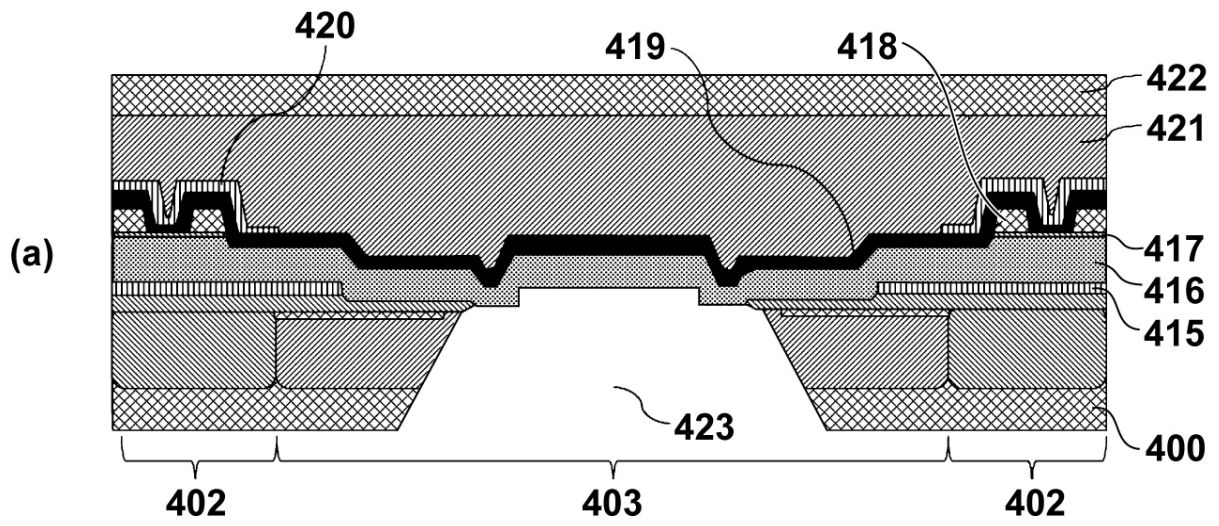
【図 4】



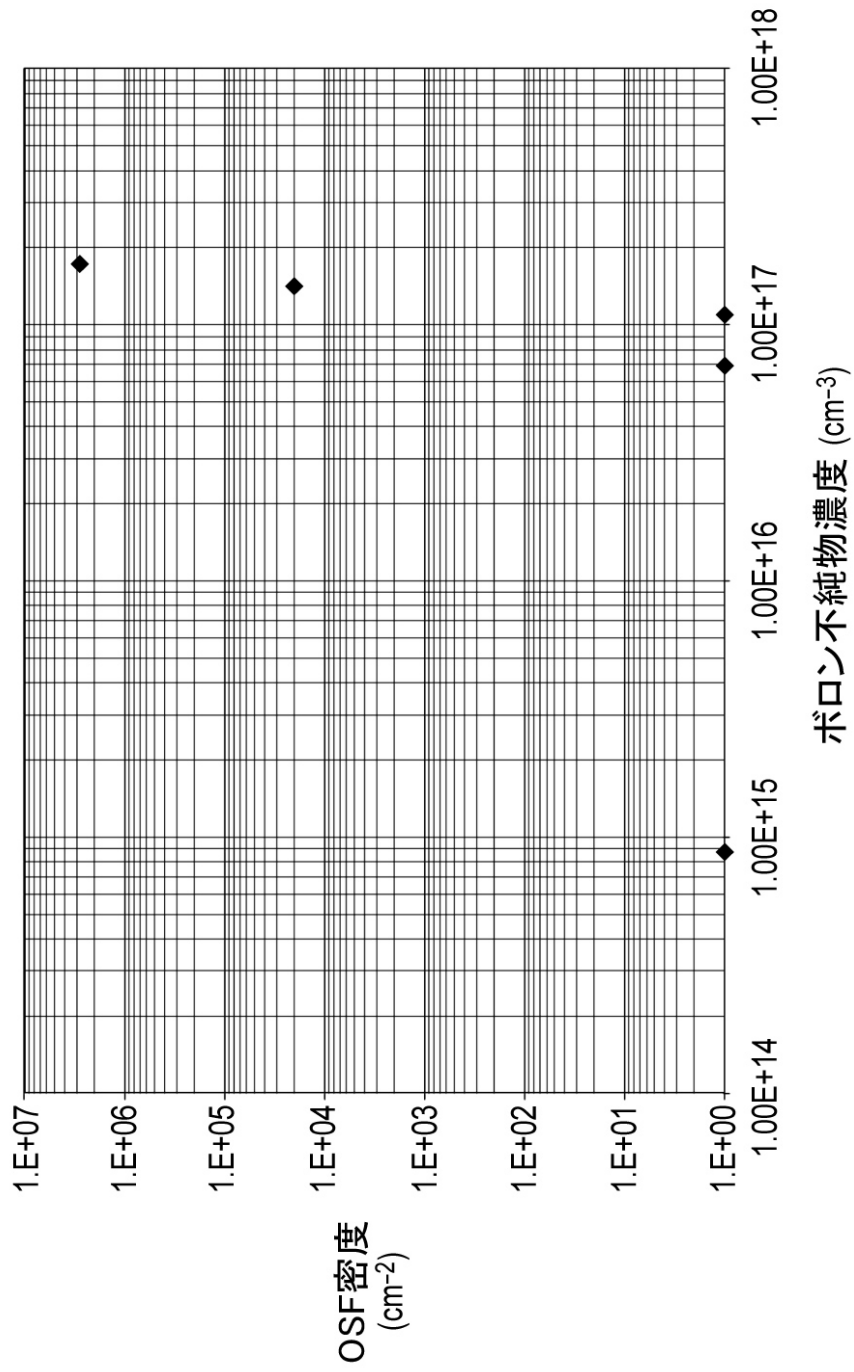
【図 5】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 鈴木 伸幸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 鈴木 敏
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 右田 智裕
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 大村 昌伸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 中原 孝俊
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 佐々木 圭一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- Fターム(参考) 5F140 AA25 AA29 AC01 AC21 BA01 BC06 BC17 BF01 BF04 BK13
BK20 CE00 CE19