



(12) 发明专利申请

(10) 申请公布号 CN 116403540 A

(43) 申请公布日 2023. 07. 07

(21) 申请号 202310348454.7

(22) 申请日 2019.08.02

(30) 优先权数据

16/118377 2018.08.30 US

(62) 分案原申请数据

201980056350.0 2019.08.02

(71) 申请人 辛纳普蒂克斯公司

地址 美国加利福尼亚州

(72) 发明人 S·L·莫赖因

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

专利代理师 董婕 陈岚

(51) Int.Cl.

G09G 3/36 (2006.01)

G09G 3/00 (2006.01)

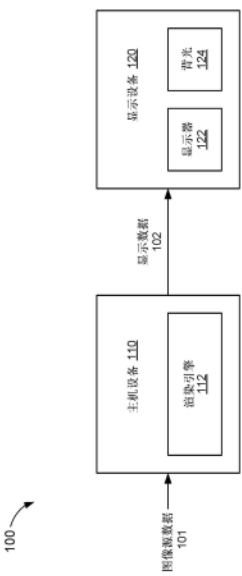
权利要求书2页 说明书26页 附图22页

(54) 发明名称

显示器重新扫描

(57) 摘要

一种用于更新显示设备的像素元件的方法和装置。所述显示设备包括像素阵列,所述像素阵列包括多个像素元件和用于在第一时间实例照射像素阵列的一个或多个光源。数据驱动器被配置成在第一时间实例接收对应于要显示在像素阵列上的图像的显示数据帧。数据驱动器在第一时间实例之前的像素调整周期期间扫描像素阵列的每一行,以基于接收的帧分别将多个第一电压驱动到多个像素元件上。数据驱动器还在像素调整周期期间重新扫描像素阵列的行的子集,以基于接收的帧将第二电压驱动到行的子集中的相应像素元件上。



1. 一种方法,包括:

在第一时间实例接收对应于要显示在像素阵列上的图像的图像数据帧,所述图像包括全视场FFOV图像和位于所述FFOV图像内的中央凹图像,所述像素阵列包括以行和列布置的多个像素元件;

针对所述FFOV图像的每个像素,选择所述像素阵列的多个像素元件以显示所述FFOV图像的像素;

确定被选择用于显示所述FFOV图像的所述像素的所述像素元件的多个第一目标像素值;

针对所述中央凹图像的每个像素,选择所述像素阵列的相应像素元件以显示所述中央凹图像的像素;

确定被选择用于显示中央凹图像的所述像素的所述像素元件的多个第二目标像素值;

在所述第一时间实例之前的像素调整周期期间扫描所述像素阵列的每一行,以基于所述FFOV图像将多个第一电压分别驱动到所述多个像素元件上;以及

在所述像素调整周期期间,重新扫描所述像素阵列的行的至少子集,以基于所述中央凹图像将第二电压驱动到行的所述子集中的相应像素元件上。

2. 根据权利要求1所述的方法,还包括在所述第一时间实例激活一个或多个光源以照射所述像素阵列,其中在所述像素调节周期期间去激活所述一个或多个光源。

3. 根据权利要求1所述的方法,还包括:在所述扫描完成之后,丢弃与被选择用于显示所述中央凹图像的所述像素的所述像素元件相关联的所述第一目标像素值。

4. 根据权利要求1所述的方法,还包括:

针对被选择用于显示所述FFOV图像的所述像素的所述像素元件中的每个,确定第一目标电压,所述第一目标电压使对应的像素元件稳定在其相应的第一目标像素值;以及

针对被选择用于显示所述中央凹图像的所述像素的所述像素元件中的每个,确定第二目标电压,所述第二目标电压使对应的像素元件稳定在其相应的第二目标像素值。

5. 根据权利要求4所述的方法,其中所述第一电压包括针对所述多个第一目标像素值确定的所述第一目标电压。

6. 根据权利要求4所述的方法,其中所述第二电压包括针对所述多个第二目标像素值确定的所述第二目标电压。

7. 根据权利要求1所述的方法,其中所述第二电压包括所述第一电压的子集。

8. 根据权利要求1所述的方法,其中所述扫描包括:

连续地激活像素元件的分组,其中像素元件的每个分组包括所述像素阵列的多个行;以及

对于每个激活的分组,将所述第一电压同时驱动到所述多个行中的相应像素元件上。

9. 根据权利要求1所述的方法,其中所述重新扫描包括:

连续地激活所述行的子集中的每行像素元件;以及

将所述第二电压驱动到每个激活的行中的相应像素元件上。

10. 根据权利要求6所述的方法,其中以比所述重新扫描更快的速率执行所述扫描。

11. 一种显示设备,包括:

像素阵列,所述像素阵列包括以行和列布置的多个像素元件;

显示驱动器,所述显示驱动器被配置为:

在第一时间实例接收对应于要显示在像素阵列上的图像的图像数据帧,所述图像包括全视场FFOV图像和位于所述FFOV图像内的中央凹图像,所述像素阵列包括以行和列布置的多个像素元件;

针对所述FFOV图像的每个像素,选择所述像素阵列的多个像素元件以显示所述FFOV图像的像素;

确定被选择用于显示所述FFOV图像的所述像素的所述像素元件的多个第一目标像素值;

针对所述中央凹图像的每个像素,选择所述像素阵列的相应像素元件以显示所述中央凹图像的像素;

确定被选择用于显示中央凹图像的所述像素的所述像素元件的多个第二目标像素值;

在所述第一时间实例之前的像素调整周期期间扫描所述像素阵列的每一行,以基于所述FFOV图像将多个第一电压分别驱动到所述多个像素元件上;以及

在所述像素调整周期期间,重新扫描所述像素阵列的行的至少子集,以基于所述中央凹图像将第二电压驱动到行的所述子集中的相应像素元件上。

12. 根据权利要求11所述的显示设备,还包括一个或多个光源,所述一个或多个光源被配置为在所述第一时间实例照射所述像素阵列,其中所述一个或多个光源在所述像素调节周期期间被去激活。

13. 根据权利要求11所述的显示设备,其中所述显示驱动器还被配置为在所述扫描完成之后丢弃与被选择用于显示所述中央凹图像的所述像素的所述像素元件相关联的所述第一目标像素值。

14. 根据权利要求11所述的显示设备,其中所述显示驱动器被进一步配置成:

针对被选择用于显示所述FFOV图像的所述像素的所述像素元件中的每个,确定第一目标电压,所述第一目标电压使对应的像素元件稳定在其相应的第一目标像素值;以及

针对被选择用于显示所述中央凹图像的所述像素的所述像素元件中的每个,确定第二目标电压,所述第二目标电压使对应的像素元件稳定在其相应的第二目标像素值。

15. 根据权利要求14所述的显示设备,其中所述第一电压包括针对所述多个第一目标像素值确定的所述第一目标电压,且其中所述第二电压包括针对所述多个第二目标像素值确定的所述第二目标电压。

16. 根据权利要求11所述的显示设备,其中所述第二电压包括所述第一电压的子集。

17. 根据权利要求11所述的显示设备,其中所述显示驱动器被配置为通过以下方式扫描所述像素阵列的每一行:

连续地激活像素元件的分组,其中像素元件的每个分组包括所述像素阵列的多个行;以及

对于每个激活的分组,将所述第一电压同时驱动到所述多个行中的相应像素元件上。

18. 根据权利要求11所述的显示设备,其中所述显示驱动器用于通过以下方式重新扫描所述像素阵列的每一行:

连续地激活所述行的子集中的每行像素元件;以及

将所述第二电压驱动到每个激活的行中的相应像素元件上。

显示器重新扫描

本申请是申请日为2019年8月2日、申请号为201980056350.0、发明名称为“显示器重新扫描”的专利申请的分案申请。

技术领域

[0001] 本实施例总体上涉及显示设备,并且具体地涉及用于重新扫描显示设备的技术。

背景技术

[0002] 头戴式显示器(HMD)设备被配置成佩戴在用户的头部上或以其他方式附连到用户的头部。HMD设备可包括定位在用户的眼睛中的一个或两个前面的一个或多个显示器。HMD可以显示来自覆盖有信息的图像源的图像(例如,静止图像、图像序列和/或视频)和/或来自用户的周围环境的(例如,如由相机捕获的)图像,例如以使用户沉浸在虚拟世界中。HMD设备在医疗、军事、游戏、航空、工程和各种其他专业和/或娱乐行业中具有应用。

[0003] 许多HMD设备在其显示器中使用液晶显示器(LCD)技术。LCD显示面板可由以行和列布置的像素元件(例如,液晶单元)的阵列形成。每一行像素元件耦合到相应栅极线,并且每一列像素元件耦合到相应数据(或源极)线。可通过在栅极线上驱动相对高的电压以“选择”或激活对应行的像素元件以及在对应数据线上驱动另一电压以将更新施加到选择的像素元件来访问(例如,利用新像素数据更新)像素元件。数据线的电压电平可取决于目标像素值的期望的颜色和/或强度。因此,可通过连续地“扫描”像素元件的行(例如,一次一行)来更新LCD显示面板,直到已更新像素阵列的每一行为止。

[0004] 施加在数据线上的电压通过改变(例如,轮换)特定像素元件的物理状态来改变像素元件的颜色和/或亮度。因此,每个像素元件可能需要时间以稳定到新的状态或位置中。特定像素元件的稳定时间可以取决于颜色和/或亮度的改变程度。例如,从最大亮度设置(例如,“白色”像素)到最小亮度设置(例如,“黑色”像素)的转变可能需要比从中间亮度设置到另一中间亮度设置(例如,从“灰色”的一个色调到“灰色”的不同色调)的转变更大的稳定时间。当像素元件的稳定时间慢于连续帧更新之间的时间时,像素转变中的延迟可导致重影和/或其他视觉伪像出现在显示器上。

[0005] LCD过驱动是用于在更新LCD显示器时加速像素转变的技术。具体地,像素元件被驱动到比与期望的颜色和/或亮度水平相关联的目标电压更高的电压。更高的电压使液晶轮换得更快,并因此在较短时间内达到目标亮度。在固定的LCD显示器(例如,电视机、监视器、移动电话等)上,对象通常由相同的像素元件照射达多个帧的持续时间。因此,施加到固定LCD显示器的像素元件的过驱动的量可以是近似的,因为当这样的错误仅持续单个帧时,用户可能不能够检测对应像素颜色和/或亮度中的错误。然而,在HMD设备上,并且特别是在虚拟现实(VR)应用中,当用户的头部和/或眼睛移动时,在显示器上观看的对象可以被不同的像素照射。因此,施加到HMD显示器的每个像素元件的过驱动的量应该精确多得多,以保持用户在虚拟环境中的沉浸感。

发明内容

[0006] 提供本发明内容来以简化的形式介绍在以下具体实施方式中进一步描述的概念的选择。本发明内容并不旨在标识权利要求主题的关键特征或必要特征，也不旨在限制所要求保护的的主题的范围。

[0007] 一种用于更新显示设备的像素元件的方法和装置。显示设备包括像素阵列，该像素阵列包括多个像素元件。数据驱动器被配置成在第一时间实例接收对应于要显示在像素阵列上的图像的显示数据帧。数据驱动器在第一时间实例之前的像素调整周期期间扫描像素阵列的每一行，以分别基于接收的帧将多个第一电压驱动到多个像素元件上。数据驱动器还在像素调整周期期间重新扫描像素阵列的行的子集，以基于接收的帧将第二电压驱动到行的子集中的相应像素元件上。一个或多个光源被配置为在第一时间实例照射像素阵列。在一些实施例中，可在像素调整周期期间去激活(deactivate)一个或多个光源。

[0008] 在一些实施例中，显示设备可包括过驱动电路，所述过驱动电路被配置成分别基于接收的帧来确定多个像素元件的多个像素值。对于阵列中的每个像素元件，过驱动电路可确定使得像素元件稳定在其目标像素值处的目标电压。过驱动电路还可以选择像素元件中的至少一些以接收过驱动电压，其中像素元件的过驱动电压不同于像素元件的目标电压。在一些方面中，过驱动电路可至少部分地基于被选择来接收过驱动电压的像素元件来选择要重新扫描的行的子集。

[0009] 在一些实施例中，数据驱动器可通过将过驱动电压驱动到像素阵列的行的子集中的相应像素元件上以及将目标电压驱动到像素阵列的剩余行中的每个中的相应像素元件上来扫描像素阵列的每一行。数据驱动器还可以通过将目标电压驱动到像素阵列的行的子集中的相应像素元件上来重新扫描像素阵列的每一行。

[0010] 在一些实施例中，图像可以包括全视场(FFOV)图像和定位在FFOV图像内的中央凹(foveal)图像。显示设备还可以包括显示驱动器，所述显示驱动器被配置成选择像素阵列的多个像素元件以显示FFOV图像的每个像素。显示驱动器还可以选择像素阵列的相应像素元件以显示中央凹图像的每个像素。在一些方面中，显示驱动器可至少部分地基于被选择来显示中央凹图像的像素元件来选择行的子集。在一些实施例中，第一电压中的每个可用于在像素阵列的相应像素元件上渲染FFOV图像，并且第二电压中的至少一些可用于在像素阵列的相应像素元件上渲染中央凹图像。

[0011] 在一些实施例中，数据驱动器可通过连续地激活像素元件分组并且针对每个激活分组同时将第一电压驱动到多个行中的相应像素元件上来扫描像素阵列的每一行，其中每个像素元件分组包括像素阵列的多个行。数据驱动器还可以通过连续地激活行的子集中的每一行像素元件以及将第二电压驱动到每个激活行中的相应像素元件上来重新扫描像素阵列的每一行。在一些方面中，可以以比重新扫描更快的速率执行扫描。

附图说明

[0012] 通过示例的方式图示了本实施例，并且这些实施例并不旨在受到附图的图的限制。

[0013] 图1示出了其中可以实现本实施例的示例显示系统。

[0014] 图2示出了描绘用于周期性地更新显示设备的像素元件的示例操作的时序图。

- [0015] 图3示出了根据一些实施例的显示设备的框图。
- [0016] 图4示出了描绘根据一些实施例的示例扫描-重新扫描像素更新操作的时序图。
- [0017] 图5示出了根据一些实施例的具有过驱动电路的显示设备的框图。
- [0018] 图6示出了描绘显示设备中的像素更新的示例定时的时序图。
- [0019] 图7A和7B示出了描绘根据一些实施例的渐进过驱动的示例实现方式的时序图。
- [0020] 图8示出了描绘根据一些实施例的示例过驱动校正操作的时序图。
- [0021] 图9示出了根据一些实施例的具有中央凹渲染电路的显示设备的框图。
- [0022] 图10示出了根据一些实施例的可以在显示设备上显示的示例图像。
- [0023] 图11示出了根据一些实施例的示例帧缓冲图像。
- [0024] 图12A和12B示出了根据一些实施例的用于在显示设备上渲染图像的示例操作。
- [0025] 图13示出了描绘根据一些实施例的示例中央凹渲染操作的时序图。
- [0026] 图14是根据一些实施例的分层栅极驱动器电路的框图。
- [0027] 图15A和15B是描绘根据一些实施例的可以用于控制分层栅极驱动器电路的操作的示例定时信号的时序图。
- [0028] 图16是描绘根据一些实施例的使用分层栅极驱动器电路的扫描-重新扫描像素更新操作的示例定时的时序图。
- [0029] 图17是描绘根据一些实施例的显示设备的一部分的框图。
- [0030] 图18是描绘根据一些实施例的示例扫描-重新扫描像素更新操作的说明性流程图。
- [0031] 图19是描绘根据一些实施例的示例过驱动校正操作的说明性流程图。
- [0032] 图20是描绘根据一些实施例的示例中央凹渲染操作的说明性流程图。

具体实施方式

[0033] 在以下描述中,阐述了许多具体细节,诸如具体部件、电路和过程的示例,以提供对本公开的透彻理解。如本文中所使用的术语“耦合”意指直接连接到或通过一个或多个中间部件或电路连接。术语“电子系统”和“电子设备”可以可互换地使用,以指代能够电子地处理信息的任何系统。此外,在以下描述中并且出于解释的目的,阐述了具体术语以提供对本公开的各方面的透彻理解。然而,对于本领域技术人员将显而易见的是,实践示例实施例可能不需要这些具体细节。在其他实例中,以框图形式示出了公知的电路和设备以避免使本公开不清楚。以下详细描述的一些部分是根据过程、逻辑块、处理和对计算机存储器内的数据位的操作的其他符号表示来呈现的。

[0034] 这些描述和表示是由数据处理领域中的技术人员用来最有效地将其工作的实质传达给本领域中其他技术人员的手段。在本公开中,过程、逻辑块、处理等被设想为导致期望结果的步骤或指令的自治序列。所述步骤是需要对物理量进行物理处理的那些步骤。通常,尽管不一定,这些量采用能够在计算机系统中被存储、传送、组合、比较以及以其他方式处理的电信号或磁信号的形式。然而,应当记住,所有这些和类似的术语将与适当的物理量相关联,并且仅仅是应用于这些量的方便的标签。

[0035] 除非如明显地从下面的讨论中以其他方式特别声明,否则可以理解的是,在整个本申请中,利用诸如“访问”、“接收”、“发送”、“使用”、“选择”、“确定”、“归一化”、“相乘”、

“平均”、“监视”、“比较”、“施加”、“更新”、“测量”、“导出”等之类的术语的讨论是指计算机系统或类似电子计算设备的动作和过程,其将在计算机系统的寄存器和存储器内表示为物理(电子)量的数据处理和变换为在计算机系统存储器或寄存器或其他此类信息存储、传输或显示设备内类似地表示为物理量的其他数据。

[0036] 在附图中,单个块可以被描述为执行一个或多个功能;然而,在实际实践中,由该块执行的一个或多个功能可在单个部件中或跨多个部件来执行,和/或可使用硬件、使用软件、或使用硬件和软件的组合来执行。为清楚地说明硬件与软件的此可互换性,各种说明性部件、块、模块、电路、和步骤在下面根据其功能性已经一般地进行描述。这种功能性是实现为硬件还是软件取决于特定的应用和对整个系统所施加的设计约束。技术人员可以针对每个特定应用,以变化的方式实现所描述的功能性,但是这种实现方式决策不应解释为引起与本发明的范围的背离。而且,示例输入设备可以包括除了所示出的那些之外的部件,包括众所周知的部件,诸如处理器、存储器等。

[0037] 本文中所描述的技术可以以硬件、软件、固件或其任何组合来实现,除非明确描述为以特定方式实现。描述为模块或部件的任何特征也可一起实现于集成逻辑设备中或分离地实现为分立但可相互操作的逻辑设备。如果以软件实现,那么技术可至少部分地由包括指令的非暂时性处理器可读存储介质来实现,所述指令在被执行时执行上文所描述的方法中的一个或多个。非暂时性处理器可读数据存储介质可形成计算机程序产品的部分,所述计算机程序产品可包括封装材料。

[0038] 非暂时性处理器可读存储介质可包括:诸如同步动态随机存取存储器(SDRAM)之类的随机存取存储器(RAM)、只读存储器(ROM)、非易失性随机存取存储器(NVRAM)、电可擦除可编程只读存储器(EEPROM)、闪存存储器、其他已知存储介质等。附加地或可替代地,所述技术可至少部分地由携载或传达以指令或数据结构形式的代码且可由计算机或其他处理器访问、读取和/或执行的处理器可读通信介质来实现。

[0039] 结合本文中所公开的实施例而描述的各种说明性逻辑块、模块、电路和指令可由一个或多个处理器执行。如本文中所使用的术语“处理器”可以指能够执行存储在存储器中的一个或多个软件程序的脚本或指令的任何通用处理器、常规处理器、控制器、微控制器和/或状态机。如本文中所使用的术语“电压源”可以指直流(DC)电压源、交流(AC)电压源或创建电势(诸如接地)的任何其他装置。

[0040] 图1示出了其中可以实现本实施例的示例显示系统100。显示系统100包括主机设备110和显示设备120。显示设备120可以是被配置为向用户显示图像或图像序列(例如,视频)的任何设备。在一些实施例中,显示设备120可以是头戴式显示器(HMD)设备。在一些方面中,主机设备110可实现为显示设备120的物理部分。可替代地,主机设备110可使用各种有线和/或无线互连及通信技术(诸如总线和网络)耦合到显示设备120的部件(且与其通信)。示例技术可包括集成电路间(I²C)、串行外围接口(SPI)、PS/2、通用串行总线(USB)、蓝牙®、红外数据协会(IrDA)、以及由IEEE 802.11标准定义的各种射频(RF)通信协议。

[0041] 主机设备110从图像源(为简单起见未示出)接收图像源数据101并且渲染图像源数据101以用于在显示设备120上显示(例如,作为显示数据102)。在一些实施例中,主机设备110可以包括渲染引擎112,渲染引擎112被配置为根据显示设备120的一个或多个能力来处理图像源数据101。例如,在一些方面中,显示设备120可以基于用户的眼睛位置向用户显

示动态更新的图像。更具体地,显示设备120可以跟踪用户的头部和/或眼睛移动,并且可以以比图像(例如,全帧图像)的其他区域更高的分辨率显示与用户的凝视点重合的图像的一部分(例如,中央凹区域)。因此,在一些实施例中,渲染引擎112可以生成要覆盖在全帧图像的中央凹区域中的高分辨率中央凹图像。在一些其他实施例中,渲染引擎112可以在显示设备120上缩放全帧图像以用于(例如,以比中央凹图像更低的分辨率)显示。

[0042] 显示设备120从主机设备110接收显示数据102并且基于接收的显示数据102向用户显示对应的图像。在一些实施例中,显示设备120可以包括显示器122和背光124。显示器122可以是由像素元件(例如,液晶单元)的阵列形成的液晶显示器(LCD)面板,所述像素元件的阵列被配置成允许变化量的光从显示面板的一个表面传递到另一表面(例如,取决于施加到每个像素元件的电压或电场)。例如,显示设备120可将适当电压施加到像素元件中的每个以在显示器122上渲染图像(其可包括覆盖在全帧图像上的中央凹图像)。如上所述,LCD不发射光,并且因此依赖于单独的光源来照射像素元件,使得图像可由用户观看。

[0043] 背光124可邻近显示器122定位以从背后照射像素元件。背光124可包括一个或多个光源,所述光源包括但不限于冷阴极荧光灯(CCFL)、外部电极荧光灯(EEFL)、热阴极荧光灯(HCFL)、平荧光灯(FFL)、发光二极管(LED)或其任何组合。在一些方面中,背光124可包括能够向显示器122的不同区域提供不同照射水平的分立光源(诸如LED)的阵列。在一些实施例中,显示设备120可包括逆变器(inverter)(为简单起见未示出),该逆变器可动态地更改背光124的强度或亮度,例如以增强图像质量和/或节省功率。

[0044] 在固定LCD显示器中,背光124可以向像素阵列提供连续照射(例如,背光持续地开启或至少脉冲宽度调制到期望的亮度水平)。因此,一旦更新的电压被施加到像素元件,像素值的任何改变就可能是显著的。然而,在虚拟现实(VR)应用中,当用户的头部和/或眼睛移动时,在显示器上观看的对象可以被不同的像素照射。像素值的快速改变可能导致在LCD显示器上渲染的图像中的运动模糊和/或其他伪影,这可能损害虚拟现实体验。显示设备可以通过周期性地(而不是连续地)更新显示器来减少或防止运动模糊。例如,显示设备可以以周期性间隔闪烁背光,使得抑制这样的间隔之间的像素值的快速改变(例如,类似于人类视觉感知中的扫视抑制现象)。

[0045] 图2示出了描绘用于周期性地更新显示设备的像素元件的示例操作的时序图200。如图2中所示,每个显示更新包括像素调整周期(例如,从时间 t_0 到 t_2 、 t_3 到 t_5 和 t_6 到 t_8),随后是显示周期(例如,从时间 t_2 到 t_3 、 t_5 到 t_6 和 t_8 到 t_9)以显示图像(例如,图像1、图像2和图像3)的序列。在每个像素调整周期期间,显示设备可“扫描”像素元件阵列(例如,一次一行)以更新显示器的每个像素元件的像素值。更具体地,每个像素元件可利用使得像素元件转变到新像素值的所期望的电压驱动(或保持在当前像素值)。在每个显示周期期间,显示设备的背光(或一个或多个光源)被激活或打开达短暂的持续时间以照射像素阵列并在显示设备上显示图像。应注意,背光可在像素调整周期期间保持去激活或关闭(例如,使得像素更新对于用户来说是不明显的)。

[0046] 在常规LCD显示器中,在每个像素调整周期期间仅扫描一次像素阵列。例如,可在像素阵列被照射以用于显示之前将电压驱动到像素阵列的每个像素元件上仅一次。然而,本公开的方面认识到,可能期望在已完成初始扫描之后对像素值进行进一步调整。例如,可使用附加调整来进一步细化或校正特定像素元件的像素值。因此,在一些实施例中,显示设

备可(例如,在已执行初始扫描之后)重新扫描像素阵列的一个或多个行以将第二组电压施加到重新扫描的行中的像素元件。更具体地,显示设备可在单个像素调整周期期间将两个或更多个电压(例如,在不同时间)施加到同一像素元件。

[0047] 图3示出了根据一些实施例的显示设备300的框图。显示设备300可以是图1的显示设备120的示例实施例。显示设备300可以包括像素阵列310、定时控制器320、显示存储器330和显示更新控制器340。在一些实施例中,显示设备300可以对应于LCD显示面板。像素阵列310可包括多个像素元件(为简单起见未示出)。每一行像素元件耦合到相应栅极线(GL),并且每一列像素元件耦合到相应数据线(DL)。因此,阵列310中的每个像素元件定位在栅极线和数据线的交叉点处。

[0048] 数据驱动器312经由数据线DL(1)-DL(N)耦合到像素阵列310。在一些方面中,数据驱动器312可被配置成经由数据线DL(1)-DL(N)将像素数据(例如,以对应电压的形式)驱动到单独像素元件,以更新由像素阵列310显示的帧或图像。例如,(例如,在像素元件是液晶的情况下)被驱动到数据线DL(1)-DL(N)上的电压可以更改阵列310中的像素元件的物理状态(例如,轮换)。因此,施加到每个像素元件的电压可影响由该像素元件发射的光的颜色和/或强度。应注意,像素阵列310中的每一行像素元件耦合到相同数据线DL(1)-DL(N)。因此,显示设备300可通过连续地扫描像素元件的行(例如,一次一行)来更新像素阵列310。

[0049] 栅极驱动器314经由栅极线GL(1)-GL(M)耦合到像素阵列310。在一些方面中,栅极驱动器314可被配置成在任何给定时间选择哪一行像素元件接收由数据驱动器312驱动的像素数据。例如,阵列310中的每个像素元件可经由存取晶体管(为简单起见未示出)耦合到数据线DL(1)-DL(N)中的一个及栅极线GL(1)-GL(M)中的一个。存取晶体管可以是NMOS(或PMOS)晶体管,其具有耦合到栅极线GL(1)-GL(M)中的一个的栅极端子、耦合到数据线DL(1)-DL(N)中的一个的漏极(或源极)端子、以及耦合到阵列310中的对应像素元件的源极(或漏极)端子。当栅极线GL(1)-GL(M)中的一个利用足够高的电压驱动时,耦合到所选择的栅极线的存取晶体管导通并允许电流从数据线DL(1)-DL(N)流动到耦合到所选择的栅极线的对应像素元件。因此,栅极驱动器314可被配置成连续地选择或激活栅极线GL(1)-GL(M)中的每个,直到像素阵列310的每一行已更新为止。

[0050] 定时控制器320被配置为控制数据驱动器312和栅极驱动器314的定时。例如,定时控制器320可以生成第一组定时控制信号(D_CTRL)以控制由数据驱动器312对数据线DL(1)-DL(N)的激活。定时控制器320还可生成第二组定时控制信号(G_CTRL)以控制由栅极驱动器314对栅极线GL(1)-GL(M)的激活。定时控制器320可基于由信号发生器322生成的参考时钟信号生成D_CTRL和G_CTRL信号。例如,信号发生器322可以是晶体振荡器。定时控制器320可以基于通过将相应的相位偏移施加到参考时钟信号来驱动D_CTRL和G_CTRL信号。更具体地,D_CTRL信号和G_CTRL信号的定时可以被同步,使得在数据驱动器312利用意图用于该行像素元件的像素数据驱动数据线DL(1)-DL(N)时,栅极驱动器314激活正确的(例如,耦合到要利用像素数据驱动的像素元件的行的)栅极线。

[0051] 显示存储器330可被配置成存储或缓冲对应于要显示于像素阵列310上的图像的显示数据303。显示数据303可包括阵列310中的一个或多个像素元件的像素值304(例如,对应于颜色和/或强度)。例如,每个像素元件可以包括多个子像素,所述子像素包括但不限于红色(R)、绿色(G)和蓝色(B)子像素。在一些方面中,显示数据303可以指示要显示的图像的

子像素的R、G和B值。R、G和B值可以影响每个像素元件的颜色和强度(例如,灰度级)。例如,每个像素值304可以是表示256个可能灰度级中的一个的8位值。每个像素值304可与目标电压电平相关联。目标电压可以是当被施加到特定像素元件时导致像素元件的颜色和/或亮度稳定到期望像素值的电压。

[0052] 显示更新控制器340可至少部分地基于像素值304来确定要施加到阵列310中的一个或多个像素元件的像素电压。更具体地,对于阵列310的每个像素元件,显示更新控制器340可将当前像素值(例如,来自先前帧更新的像素值)与目标像素值(例如,用于下一帧更新的像素值)进行比较以确定要施加到像素元件以引起帧更新周期内的像素值的期望改变的电压的量。在一些实施例中,显示更新控制器340可促进在单个帧更新周期期间对像素阵列的多次扫描(例如,扫描和重新扫描)。例如,在像素阵列的初始扫描期间,显示更新控制器340可确定要(例如,由数据驱动器312)施加到像素阵列310的每个像素元件的相应像素电压305。在像素阵列的后续重新扫描期间,显示更新控制器340可确定要施加到像素阵列310的一个或多个行中的相应像素元件的调整的像素电压306。

[0053] 在一些实施例中,可在重新扫描操作期间更新像素阵列310的每一行。例如,显示更新控制器340可确定像素阵列310的每个像素元件的像素电压305和调整的像素电压306。在一些其他实施例中,在重新扫描操作期间可仅重新扫描行的较小的子集。例如,显示更新控制器340可仅针对行的子集中的相应像素元件确定调整的像素电压306。在一些方面中,显示更新控制器340可将指示要重新扫描的行的子集的重新扫描控制信号(R_CTRL)提供到定时控制器320。因此,在重新扫描操作期间,定时控制器320可连续地仅激活由重新扫描控制信号指示的行的子集,以利用调整的像素电压306来驱动。

[0054] 图4示出了描绘根据一些实施例的示例扫描-重新扫描像素更新操作的时序图400。图4中描绘的示例操作可以由诸如图3的显示设备300之类的显示设备来执行。因此,在一些实施例中,显示设备可被配置成在单个帧更新间隔期间执行像素阵列的多次扫描(例如,当更新像素阵列以显示新的帧或图像时)。

[0055] 如图4中所示,每个帧更新间隔包括像素调整周期(例如,从时间 t_0 到 t_3 、 t_4 到 t_7 和 t_8 到 t_{11}),随后是显示周期(例如,从时间 t_3 到 t_4 、 t_7 到 t_8 和 t_{11} 到 t_{12})以显示对应的图像(例如,图像1、图像2和图像3)。在每个像素调整周期期间,显示设备可扫描像素元件阵列(例如,从时间 t_0 到 t_1 、 t_4 到 t_5 和 t_8 到 t_9)以更新显示器的每个像素元件的像素值。显示设备可然后在相同像素调整周期期间重新扫描像素元件的一行或多行(例如,从时间 t_1 到 t_2 、 t_5 到 t_6 和 t_9 到 t_{10}),以进一步调整像素阵列中的像素元件的子集的电压和/或像素值。因此,本公开的方面可利用(leverage)显示周期之间的持续时间(具体地,在扫描的结束与显示周期的开始之间)以细化或校正一个或多个像素元件的像素值。

[0056] 在一些实施例中,重新扫描操作可用于过驱动校正。例如,在一些方面中,可利用超过(例如,高于或低于)目标电压的过驱动电压来驱动像素元件,所述目标电压将使得像素元件稳定在目标像素值处。如下文更详细地描述,过驱动电压可使得像素元件以更快的速率转变到目标像素值。然而,过驱动电压还可使得像素元件稳定在超出(例如,高于或低于)目标像素值的像素值处。这还可以使用于要显示的下一图像或帧的像素电压计算复杂化。因此,在一些实施例中,显示设备可重新扫描针对其已被施加过驱动电压(例如,从初始扫描)的像素元件以使得像素元件稳定在其目标像素值处。例如,显示设备可将目标电压施

加到重新扫描的行中的相应像素元件。

[0057] 在一些其他实施例中,重新扫描操作可以用于中央凹渲染。例如,在一些方面中,要显示的图像可以包括与中央凹图像组合的全视场(FFOV)图像。更具体地,中央凹图像可以被显示在FFOV图像的中央凹区域内。融合FFOV图像和中央凹图像的像素值可消耗时间和资源,这还可以限制可以以其更新像素阵列的速率。因此,在一些实施例中,显示设备可以单独地且以不同的速率在像素阵列上渲染FFOV图像和中央凹图像。例如,显示设备可以以比中央凹图像更快的速率渲染FFOV图像。在一些方面中,显示设备可更新像素阵列的每个像素元件以在初始扫描期间渲染FFOV图像。显示设备可随后重新扫描对应于FFOV图像的中央凹区域的像素阵列的行,以在其中渲染中央凹图像。

[0058] 过驱动校正

如上所述,可以通过改变施加到该像素元件的电压来调整每个像素元件的颜色和/或亮度。具体地,与特定像素值相关联的目标电压可表示当施加到像素元件时使得像素元件稳定在期望像素值处的电压。然而,可以在单个帧转变或更新中实现的颜色和/或亮度的改变程度可能受像素元件的稳定时间限制。例如,从最大亮度值(例如,“白色”像素)到最小亮度值(例如,“黑色”像素)的转变可能需要比从中间亮度值到另一中间亮度值(例如,从“灰色”的一个色调到“灰色”的不同色调)的转变更大的稳定时间。

[0059] 如果像素值的改变超过阈值量,那么目标电压可能不足以将像素元件驱动到给定帧更新周期内的期望像素值。如果像素元件不能在连续帧更新之间实现期望的颜色和/或亮度,则伪影(诸如重影)可以出现在显示的图像中。LCD过驱动是一种用于在更新LCD显示器时增加像素转变速度的技术。具体地,像素元件被驱动到比与期望的颜色和/或亮度水平相关联的目标电压更高的电压。更高的电压使每个像素元件中的液晶轮换得更快,并且因此在较短时间内转变到目标亮度。

[0060] 图5示出了根据一些实施例的具有过驱动电路的显示设备500的框图。显示设备500可以是图1的显示设备120或图3的显示设备300的示例实施例。显示设备500可包括像素阵列510、定时控制器520、过驱动电路530和扫描/重新扫描电路540。在一些实施例中,显示设备500可对应于LCD显示面板。像素阵列510可包括多个像素元件(为简单起见未示出)。每一行像素元件耦合到相应栅极线(GL),并且每一列像素元件耦合到相应数据线(DL)。

[0061] 数据驱动器512经由数据线DL(1)-DL(N)耦合到像素阵列510。在一些方面中,数据驱动器512可被配置成经由数据线DL(1)-DL(N)将像素数据(例如,以对应电压的形式)驱动到单独像素元件,以更新由像素阵列510显示的帧或图像。应注意,像素阵列510中的每一行像素元件耦合到相同数据线DL(1)-DL(N)。因此,显示设备500可通过连续地扫描像素元件的行(例如,一次一行)来更新像素阵列510。

[0062] 栅极驱动器514经由栅极线GL(1)-GL(M)耦合到像素阵列510。在一些方面中,栅极驱动器514可被配置成在任何给定时间选择哪一行像素元件接收由数据驱动器512驱动的像素数据。例如,栅极驱动器514可连续地选择或激活栅极线GL(1)-GL(M)中的每个,直到已更新像素阵列510的每一行为止。

[0063] 定时控制器520配置成控制数据驱动器512与栅极驱动器514的定时。例如,定时控制器520可以生成第一组定时控制信号(D_CTRL),以控制由数据驱动器512对数据线DL(1)-DL(N)的激活。定时控制器520还可生成第二组定时控制信号(G_CTRL)以控制由栅极驱动器

514对栅极线GL(1)-GL(M)的激活。定时控制器520可基于由信号发生器522生成的参考时钟信号生成D_CTRL和G_CTRL信号。

[0064] 过驱动电路530可至少部分地基于阵列510中的每个像素元件的当前像素值501和目标像素值502而确定要施加到像素阵列510中的像素元件中的每个的像素电压。例如,可从帧缓冲存储器(诸如图3的显示存储器330)检索当前像素值501和目标像素值502。更具体地,对于阵列510的每个像素元件,过驱动电路530可将当前像素值501(例如,来自先前帧更新的像素值)与目标像素值502(例如,用于下一帧更新的像素值)进行比较以确定要施加到像素元件以引起帧更新周期内的像素值的期望改变的电压的量。

[0065] 在一些实施例中,过驱动电路530可确定阵列510中的像素元件中的每个的目标电压503。如上所述,用于特定像素元件的目标电压503使像素元件稳定在其目标像素值502处。然而,如果像素值的改变超过阈值量,那么目标电压503可能不足以在给定帧更新周期内将像素元件驱动到期望像素值。换句话说,像素元件可能没有足够的时间来稳定在其目标像素值502处。因此,在一些实施例中,过驱动电路530可确定要施加到阵列510中的一个或多个像素元件的过驱动电压504。如上所述,过驱动电压504可超过(例如,可高于或低于)像素元件的目标电压503,因此使得像素元件朝向其目标像素值更快地转变(例如,轮换)。

[0066] 本公开的方面认识到,尽管过驱动电压可使得像素元件在较短持续时间内达到其目标像素值,但过驱动电压也使得像素元件超越(overshoot)目标像素值。换句话说,像素元件可最终稳定在不同于其目标像素值的像素值处。这还可以使连续帧之间的像素电压计算复杂化。例如,如上所述,要施加到特定像素元件的过驱动的量取决于从其当前像素值501到其目标像素值502的改变量。然而,在过驱动值已被施加到像素元件之后,其当前像素值501取决于其来自先前帧的像素值。

[0067] 参考例如图2,在第三像素调整周期(例如,从时间 t_6 到 t_8)期间,要施加到特定像素元件的像素电压可取决于要在下一显示周期的开始时(例如,在时间 t_8 处)达到的目标像素值以及其当前像素值(例如,在时间 t_6 至 t_7 之间)。如果在第二像素调整周期(例如,从时间 t_3 到 t_5)期间将过驱动电压施加到像素元件,那么像素元件的当前像素值可不同于先前帧的其目标像素值。更具体地,像素元件的当前像素值(例如,在第三像素调整周期期间)可取决于其来自第二像素调整周期的目标像素值以及其来自第一像素调整周期(例如,从时间 t_0 至 t_2)的目标像素值。然而,由于存储器限制,显示设备存储显示数据的两个或更多先前接收的帧可能是不实际的(或不可行的)。

[0068] 因此,在一些实施例中,显示设备500可通过使得像素阵列510中的像素元件中的每个稳定在其目标电压503处而减小像素电压计算的复杂性。例如,在像素阵列510的初始扫描期间,显示设备500可将过驱动电压504施加到阵列510中的一个或多个像素元件。显示设备500可然后通过将相应目标电压503施加到来自初始扫描的任何过驱动像素元件(例如,向其施加过驱动电压的像素元件)来重新扫描像素阵列510的至少一部分。因为每个像素元件在每个像素调整周期结束时调整到其目标像素值,所以下一帧的其当前像素值501可等于其来自先前帧的目标像素值502。因此,图像缓冲存储器(例如,图3的显示存储器330)可仅存储显示数据的当前帧(例如,从其导出目标像素值502)和显示数据的先前帧(例如,从其导出当前像素值501)。

[0069] 在一些实施例中,扫描/重新扫描电路540可以基于目标电压503和过驱动电压504

来生成扫描电压505和重新扫描电压506。例如,可在阵列510的初始扫描期间将相应扫描电压505施加到像素阵列510中的每个像素元件。因此,扫描电压505可包括用于不能够在下一显示周期的开始时而稳定到其目标像素值的任何像素元件的过驱动电压504。此外,重新扫描电压506可用于将每个过驱动像素元件(例如,从初始扫描)驱动到其目标电压503。因此,重新扫描电压506可仅包括用于一个或多个像素元件的目标电压503。

[0070] 本公开的方面认识到,在许多情况下,在下一显示周期之前扫描和重新扫描像素阵列的每行可能是不实际的(或不可行的)。因此,在一些实施例,显示设备500可在初始扫描期间将像素阵列510中的像素元件中的至少一些驱动到其目标电压503,同时仅将像素元件的较小子集驱动到其过驱动电压504。换句话说,扫描电压505可包括阵列510中的像素元件中的至少一些的目标电压503及阵列510中的其他像素元件的过驱动电压504。因此,显示设备500可仅重新扫描包含过驱动像素元件的像素阵列510的行的子集。在一些实施例中,扫描/重新扫描电路540可以向定时控制器520提供指示要被重新扫描的行的子集的重新扫描控制信号(R_CTRL)。因此,在重新扫描操作期间,定时控制器520可连续地仅激活要利用重新扫描电压506驱动的由重新扫描控制信号指示的行的子集。

[0071] 图6示出了描绘在显示设备中的像素更新的示例定时的时序图600。显示设备分别可以是图1、3和5的显示设备120、300或500的示例实施例。参考例如图5,在连续帧更新间隔期间,图像可由像素阵列510周期性地显示。每个帧更新间隔(例如从时间 t_0 到 t_3 和 t_3 到 t_6)可包括像素调整周期(例如,从时间 t_0 到 t_2 和 t_3 到 t_5),随后是显示周期(例如,从时间 t_2 到 t_3 和 t_5 到 t_6)。在每个像素调整周期期间,可利用像素更新(例如,从时间 t_0 到 t_1 和 t_3 到 t_4)来驱动像素阵列510。然后,更新的像素元件在后面的显示周期期间被“显示”给用户(例如,被使得对用户可见)。例如,可通过激活被配置成照射像素阵列510的光源(诸如图1的背光124)而将像素阵列510上的图像显示给用户。

[0072] 在每个像素调整周期期间,可连续更新(例如,以级联方式)像素阵列510的单独行。曲线601及602示出基于与该行相关联的行编号的像素阵列510的每一行的示例像素更新时间。因此,如图6中所示,与较高的行编号相关联的行(例如,在级联中进一步向下)比与较低的行编号相关联的行(例如,朝向级联的开始)更晚地被更新。然而,因为像素元件仅在显示周期期间被照射,所以在显示周期之前或之后展现的像素值的任何改变将不会被用户看到。因此,与较高的行编号相关联的像素元件(例如,在级联中较晚更新的像素元件)具有比与较低的行编号相关联的像素元件(例如,在级联中较早更新的像素元件)转变到其期望像素值更少的时间。例如,像素阵列510的顶部处的像素元件可具有像素调整周期的持续时间(T)以达到其目标像素值。相比之下,阵列510的中间的像素元件可具有显著较短的持续时间(T-x)来达到其目标像素值,并且阵列510的底部处的像素元件可具有甚至更短的持续时间(T-2x)来达到其目标像素值。

[0073] 本公开的方面认识到,归因于像素阵列510的各行的转变时间的差异,可将不同量的过驱动施加到像素元件的不同行。例如,与相对低的行编号相关联的像素元件可能需要极少或不需要过驱动以在下一显示周期之前达到其目标像素值。然而,与较高的行编号相关联的像素元件可能需要逐渐更多的过驱动电压以在下一显示周期之前达到其目标像素值。因此,在一些实施例中,过驱动电路530可至少部分地基于阵列510中的像素元件的位置(例如,行编号)而逐渐增加施加到像素元件的行的过驱动的量。更具体地,与较高的行编号相

关联的像素元件(例如,在显示更新间隔期间较晚更新)通常被提供有比与较低的行编号相关联的像素元件(例如,在显示更新间隔期间较早更新)更大的量的过驱动电压。

[0074] 图7A示出了描绘根据一些实施例的渐进过驱动的示例实现方式的时序图700A。在一些实施例中,图7A中所图示的渐进过驱动的方法可由图5的过驱动电路530实现。时序图700A示出示例帧更新间隔(例如,从时间 t_0 到 t_2),其可包括像素调整周期(例如,从时间 t_0 到 t_1),随后是显示周期(例如,从时间 t_1 到 t_2)。曲线701描绘基于与该行相关联的行编号的像素阵列510的每一行的示例像素更新时间。

[0075] 在图7A的示例中,过驱动电路530可生成像素阵列510的线 l_0 到 l_p 之间的像素元件的连续行的渐进过驱动电压。更具体地,对于从线 l_0 到 l_p 的像素元件的每一连续行,过驱动电压的量可逐渐增加。例如,耦合到线 l_p 的像素元件可被驱动到比耦合到线 l_0 的像素元件更高的电压,以在显示周期开始之前引起像素值的相同改变(例如,灰度级的相同改变)。在一些方面中,可施加到像素元件的过驱动的量可受数据驱动器512的电压范围限制。在图7A的示例中,过驱动电压可到耦合到线 l_p 的像素元件被更新的时候变得饱和。因此,过驱动电路530可将最大过驱动施加到像素阵列510的线 l_p 与 l_m 之间的像素元件的行。换句话说,如果线 l_p 与 l_m 之间的像素元件中的任何将在像素调整周期期间更新,那么过驱动电路530可施加最大过驱动电压以改变这样的像素元件的像素值。

[0076] 本公开的方面认识到,对渐进过驱动的需要可取决于LCD显示器的特性(例如,像素的数量、温度、响应时间等)而变化。例如,具有较少像素元件(或至少较少像素线)的LCD显示器可需要较少时间来更新整个像素阵列。因此,在较小像素阵列中,从一行像素元件到另一行的过驱动的改变可以更平缓。本公开的方面进一步认识到,在一些实施例中,像素元件的一个或多个行可在下一显示周期之前稳定到其目标像素值,而不使用过驱动(例如,通过仅将像素元件驱动到多达目标电压)。

[0077] 图7B示出描绘根据一些实施例的渐进过驱动的另一示例实现方式的时序图700B。在一些实施例中,图7B中所图示的渐进过驱动的方法也可由图5的过驱动电路530实现。时序图700B示出示例帧更新间隔(例如,从时间 t_0 到 t_2),其可包括像素调整周期(例如,从时间 t_0 到 t_1),随后是显示周期(例如,从时间 t_1 到 t_2)。曲线702描绘基于与该行相关联的行编号(例如,栅极线)的像素阵列510的每一行的示例像素更新时间。

[0078] 在图7B的示例中,过驱动电路530可不将任何过驱动施加到像素阵列510的线 l_0 与 l_n 之间的像素元件的行。而是,可在像素调整周期期间将线 l_0 与 l_n 之间的每个像素元件驱动到其目标电压。过驱动电路530可针对像素阵列510的线 l_n 到 l_p 之间的像素元件的连续行生成渐进过驱动电压。如上所述,对于从线 l_n 到 l_p 的像素元件的每一连续行,过驱动电压的量可逐渐增加。在图7B的示例中,过驱动电压可到耦合到线 l_p 的像素元件被更新的时候变得饱和。因此,过驱动电路530可将最大过驱动施加到像素阵列510的线 l_p 与 l_m 之间的像素元件的行。换句话说,如果线 l_p 与 l_m 之间的像素元件中的任何将在像素调整周期期间更新,那么过驱动电路530可施加最大过驱动电压以改变这样的像素元件的像素值。

[0079] 通过以渐进的方式施加过驱动(例如,如图7A和7B中所示),过驱动电路530可以确保阵列510中的每个像素元件在下一个显示周期之前被更新到其目标像素值(或至少基本上接近目标像素值的像素值)。此外,通过选择性地将近驱动施加到像素阵列的仅一部分(例如,如图7B中所示),本文中的实施例可减少生成像素阵列510的过驱动电压所需的资源

(例如,存储器、时间、功率和其他处理资源)的量。

[0080] 图8示出了描绘根据一些实施例的示例过驱动校正操作的时序图800。在一些实施例中,图8中图示的过驱动校正操作可分别由图1、3和5的显示设备120、300或500中的任何来实现。参考例如图5,在连续帧更新间隔期间,图像可由像素阵列510周期性地显示。每个帧更新间隔(例如从时间 t_0 到 t_4 和 t_4 到 t_8)可包括像素调整周期(例如,从时间 t_0 到 t_3 和 t_4 到 t_7),随后是显示周期(例如,从时间 t_3 到 t_4 和 t_7 到 t_8)。

[0081] 在每个像素调整周期期间,可连续更新像素阵列510的单独行。曲线812、814、822及824示出基于与每一行相关联的行编号的像素阵列510的对应行的示例像素更新时间。更具体地,曲线812对应于像素阵列510的初始扫描(例如,从时间 t_0 到 t_1),并且曲线814对应于在第一像素调整周期(例如,从时间 t_0 到 t_3)期间像素阵列510的重新扫描(例如,从时间 t_1 到 t_2)。类似地,曲线822对应于像素阵列的初始扫描(例如,从时间 t_4 到 t_5),并且曲线824对应于在第二像素调整周期(例如,从时间 t_4 到 t_7)期间像素阵列510的重新扫描(例如,从时间 t_5 到 t_6)。在一些实施例中,显示设备500可使用抖动技术来隐藏在初始扫描与重新扫描之间可能发生的任何不想要的边缘。

[0082] 在图8的示例中,过驱动电路530可不将任何过驱动施加到像素阵列510的线 l_0 与 l_n 之间的像素元件的行。因此,线 l_0 与 l_n 之间的每个像素元件可在初始扫描812及822期间被驱动到其目标电压。过驱动电路530可针对像素阵列510的线 l_n 到 l_m 之间的每一行像素元件生成过驱动电压。在一些实施例中,对于从线 l_n 到 l_m 的像素元件的每一连续行,过驱动电压的量可逐渐增加。因此,线 l_n 与 l_m 之间的每个像素元件可在初始扫描812到822期间被驱动到相应过驱动电压。由于过驱动电压仅施加到像素阵列510的行的子集(例如,线 l_n 到 l_m),所以每个重新扫描814及824可限于像素阵列510的行的对应子集。更具体地,线 l_n 和 l_m 之间的每个像素元件可以在重新扫描814和824期间被驱动到其目标电压。

[0083] 应注意,在重新扫描814之后,像素阵列510中的像素元件中的每个(例如,从线 l_0 到 l_m)可稳定在其目标像素值处。因此,过驱动电路530可使用来自第一像素调整周期的目标像素值(例如,作为当前像素值)来计算将在第二像素调整周期期间施加的过驱动电压。因此,本实施例提供以下益处:更快的像素转变时间(例如,通过在初始扫描812和822期间将过驱动电压施加到至少一些像素元件),同时还减小导出将在后续帧更新中施加的像素电压的存储要求和计算复杂性(例如,通过在重新扫描814和824期间将目标电压施加到过驱动像素元件)。

[0084] 中央凹渲染。

[0085] 如上所述,头戴式显示器(HMD)设备被配置成佩戴在用户的头部上或以其他方式附连到用户的头部。HMD设备可包括定位在用户的眼睛中的一个或两个前面的一个或多个显示器。HMD设备可以显示来自覆盖有信息的图像源的图像(例如,静止图像、图像序列和/或视频)和/或来自用户的周围环境的(例如,如由相机捕获的)图像,例如以使用户沉浸在虚拟世界中。

[0086] 在一些实现方式中,显示设备(诸如HMD设备)可以基于用户的眼睛位置向用户显示动态更新的图像。更具体地,显示设备可以跟踪用户的眼睛移动,并且可以以比图像(例如,全视场图像)的其他区域更高的分辨率显示与用户的凝视点重合的图像的一部分(例如,中央凹区域)。因此,在一些实施例中,显示设备可以将高分辨率中央凹图像显示或渲染

为全视场(FFOV)图像的中央凹区域中的覆盖。

[0087] 图9示出了根据一些实施例的具有中央凹渲染电路的显示设备900的框图。显示设备900可以是图1的显示设备120或图3的显示设备300的示例实施例。显示设备900可以包括像素阵列910、定时控制器920、中央凹渲染电路930和扫描/重新扫描电路940。在一些实施例中,显示设备900可对应于LCD显示面板。像素阵列910可包括多个像素元件(为简单起见未示出)。每一行像素元件耦合到相应栅极线(GL),并且每一列像素元件耦合到相应数据线(DL)。

[0088] 数据驱动器912经由数据线DL(1)-DL(N)耦合到像素阵列910。在一些方面中,数据驱动器912可被配置成经由数据线DL(1)-DL(N)将像素数据(例如,以对应电压的形式)驱动到单独像素元件,以更新由像素阵列910显示的帧或图像。应注意,像素阵列910中的每一行像素元件耦合到相同数据线DL(1)-DL(N)。因此,显示设备900可通过连续地扫描像素元件的行(例如,一次一行)来更新像素阵列910。

[0089] 栅极驱动器914经由栅极线GL(1)-GL(M)耦合到像素阵列910。在一些方面中,栅极驱动器914可被配置成在任何给定时间选择哪一行像素元件接收由数据驱动器912驱动的像素数据。例如,栅极驱动器914可连续地选择或激活栅极线GL(1)-GL(M)中的每个,直到已更新像素阵列910的每一行为止。

[0090] 定时控制器920被配置为控制数据驱动器912和栅极驱动器914的定时。例如,定时控制器920可以生成第一组定时控制信号(D_CTRL),以控制由数据驱动器912对数据线DL(1)-DL(N)的激活。定时控制器920还可生成第二组定时控制信号(G_CTRL)以控制由栅极驱动器914对栅极线GL(1)-GL(M)的激活。定时控制器920可基于由信号发生器922生成的参考时钟信号生成D_CTRL和G_CTRL信号。

[0091] 中央凹渲染电路930可至少部分地基于来自接收的显示数据帧的FFOV像素值901和中央凹像素值902来确定要施加到像素阵列910中的像素元件中的每个的像素电压。例如,可从帧缓冲存储器(诸如图3的显示存储器330)检索FFOV像素值901和中央凹像素值902。在一些方面中,FFOV像素值901可对应于FFOV图像并且中央凹像素值902可对应于要与FFOV图像组合显示的中央凹图像。例如,FFOV图像可以以相对低分辨率渲染,并且中央凹图像以相对高分辨率渲染并定位在FFOV图像内。

[0092] 例如,图10示出了可以显示在像素阵列910上的组合图像1000。组合图像1000被示出为包括与FFOV图像1002融合的中央凹图像1004。FFOV图像1002跨越用户的视线1008的周边。因此,FFOV图像1002可对应于要跨越像素阵列910中的像素元件的大部分(如果不是全部)显示的全帧图像。例如,在虚拟现实环境中,FFOV图像1002可以示出由用户的眼睛1006在任何给定时刻看到的可观察的虚拟或现实世界的范围。相比之下,中央凹图像1004仅跨越用户的视线1008的中央凹区域。中央凹区域可以对应于组合图像1000的可由用户的眼睛1006的中央凹中心部分观看的部分(例如,其中确定用户在任何给定时刻具有最大视敏度的区域)。

[0093] 如图10中所示,与FFOV图像1002相比,中央凹图像1004可涵盖组合图像1000的相对小部分。更具体地,当生成组合图像1000时,中央凹图像1004可以覆盖在FFOV图像1002的一部分上(例如,与用户的视线1008的中央凹区域重合)。因为中央凹图像1004跨越其中用户具有最大视敏度的区域,所以可以以比FFOV图像1002更高的分辨率来渲染中央凹图像

1004。例如，中央凹图像1004的每个像素可以被渲染在像素阵列910的相应像素元件上。相比之下，FFOV图像1002的每个像素可跨越像素阵列910的多个像素元件来渲染。因此，中央凹图像1004可以显得比组合图像1000中的FFOV图像1002更锐化(sharp)。

[0094] 返回参考图9，中央凹渲染电路930可以分别基于FFOV像素值901和中央凹像素值902来确定将被施加到像素阵列910的FFOV电压903和中央凹电压904。更具体地，FFOV电压903和中央凹电压904可以对应于与FFOV像素值901和中央凹像素值902相关联的目标电压。例如，FFOV像素值901可对应于要跨越像素阵列910的像素元件的大部分(如果不是全部)显示的全帧图像(例如，FFOV图像1002)。由于FFOV图像可以跨越用户的视线的周边，所以FFOV像素值901可以具有相对低的分辨率。相比之下，中央凹像素值902可对应于仅跨越用户的视线的中央凹区域的中央凹图像(例如，中央凹图像1004)。由于中央凹区域可以对应于其中确定用户具有最大视敏度的区域，所以中央凹像素值902可以具有相对高的分辨率。

[0095] 本公开的方面认识到，接收和存储组合图像1000的每个像素的相应像素值所需的带宽和存储的量也可能过于昂贵。因此，在一些实施例中，显示设备900可在相同帧缓冲图像中分离地接收FFOV图像1002和中央凹图像1004。例如，图11示出可由显示设备900接收的示例帧缓冲图像1100。帧缓冲图像1100包括FFOV图像1102和中央凹图像1104。例如，FFOV图像1102和中央凹图像1104可以分别对应于图10的FFOV图像1002和中央凹图像1004。

[0096] 在图11的示例中，FFOV图像1102可以被编码在帧缓冲图像1100的第一部分中，并且中央凹图像1104可以被编码在帧缓冲图像1100的第二部分中。因此，FFOV图像1102和中央凹图像1104可由显示设备900顺序地接收。在一些实施例中，FFOV图像1102未被放大到一分辨率，其将被以该分辨率显示(例如，如图10中所示)。相反，FFOV图像1102和中央凹图像1104各自以其“原生(native)”分辨率来传输。这可以显著减少传输和存储帧缓冲图像1100所需的带宽。

[0097] 在一些实施例中，可以在帧缓冲图像1100中编码指定FFOV图像1102的中央凹区域1108的一组中央凹坐标1106。例如，显示设备900可以基于中央凹坐标1106来确定当在像素阵列910上渲染组合图像时相对于FFOV图像1102覆盖中央凹图像1104的位置。中央凹坐标1106可以识别与FFOV图像1102的中央凹区域1108相关联的至少一个像素位置。例如，在一些方面中，中央凹坐标1106可以识别中央凹区域的特定角落或中心中的像素。在一些其他方面中，中央凹坐标1106可识别限定中央凹区域的边界的一组像素。

[0098] 在一些实施例中，中央凹坐标1106可以被编码在与FFOV图像1102的非显示区域1010重合的帧缓冲图像1100的一部分中。在图11的示例中，中央凹坐标1106被编码在帧缓冲图像1100的左上角中。在一些实施例中，中央凹坐标1106可以被编码为像素数据。例如，可以使用帧缓冲图像1100的前32个像素来编码中央凹坐标1106。在一些实现方式中，可以使用每像素2位稀疏编码技术来编码中央凹坐标1106。例如，位“00”可以被编码为黑色像素，位“01”可以被编码为红色像素，位“10”可以被编码为绿色像素，以及位“11”可以被编码为白色像素。

[0099] 在一些实施例中，FFOV图像1102的每个像素可以对应于相应的FFOV像素值901，并且中央凹图像1104的每个像素可以对应于相应的中央凹像素值902。由于FFOV图像1102要以放大的分辨率显示，所以中央凹渲染电路930可以将每个FFOV像素值901与(例如，将施加到像素阵列910的相应像素元件的)多个FFOV电压903相关联。另一方面，因为中央凹图像将

以其原生(或至少接近原生)分辨率显示,所以中央凹渲染电路930可以将每个中央凹像素值904与(例如,将施加到像素阵列910的一部分中的相应像素元件的)相应的中央凹电压904相关联。

[0100] 本公开的方面进一步认识到,因为FFOV图像1102的分辨率相对低,所以当将FFOV电压903驱动到像素阵列910上时执行逐行扫描可能是无效率的(例如,因为多个像素元件可利用相同FFOV电压903驱动)。因此,在一些实施例中,显示设备900可在不同时间且以不同速率在像素阵列910上渲染FFOV图像1102及中央凹图像1104。参考例如图12A,显示设备900可在初始扫描操作1200A期间在像素阵列910上渲染FFOV图像1210。更具体地,显示设备900可以通过扫描像素阵列910的每一行(例如,从线 l_0 到 l_M)来渲染FFOV图像1210。参考例如图12B,在随后的重新扫描操作1200B期间,显示设备900可以在像素阵列910上渲染中央凹图像1220,作为FFOV图像1210的覆盖。更具体地,显示设备可以通过仅重新扫描与FFOV图像1210的中央凹区域对应的像素阵列910的行的子集(例如,从线 l_{f1} 到 l_{f2})来渲染中央凹图像1220。

[0101] 在一些实施例中,显示设备900可以按其在对应的帧缓冲图像中接收每个图像的次序在像素阵列910上渲染FFOV图像1210和中央凹图像1220。如以上关于图11所描述的,显示设备900可以在帧缓冲图像中顺序地接收FFOV图像1210和中央凹图像1220。因此,显示设备900可在其接收FFOV图像1210时执行初始扫描操作1200A,并且可随后在其接收中央凹图像1220时执行重新扫描操作1200B。应注意,到执行重新扫描操作1200B的时候,FFOV图像1210将已在像素阵列910上被渲染。因此,一旦初始扫描操作1200A完成,至少一些FFOV像素值就可以被丢弃。这可以进一步减小显示设备900的存储器要求。

[0102] 在一些实施例中,扫描/重新扫描电路940可以基于FFOV电压903和中央凹电压904来生成扫描电压905和重新扫描电压906。例如,可在阵列910的初始扫描期间将扫描电压905施加到像素阵列910中的每个像素元件。因此,扫描电压905中的每个可对应于相应FFOV电压903。此外,重新扫描电压906可以用于将相应的中央凹电压904驱动到显示在像素阵列910上的FFOV图像的中央凹区域内的每个像素元件上。因此,重新扫描电压905可以包括用于重新扫描的像素元件中的至少一些的中央凹电压904。在重新扫描操作期间,扫描/重新扫描电路940可将FFOV电压903重新施加到在FFOV图像的中央凹区域外部的像素阵列910的重新扫描的行中的任何像素元件(诸如图12B中的列 c_0 到 c_{f1} 及 c_{f2} 到 c_N 中的像素元件)。因此,在一些实施例中,重新扫描电压906还可包括用于重新扫描的像素元件中的至少一些的FFOV电压903。

[0103] 图13示出了描绘根据一些实施例的示例中央凹渲染操作的时序图1300。在一些实施例中,图8中图示的中央凹渲染操作可分别由图1、3和9的显示设备120、300或900中的任一个实现。参考例如图9,在连续帧更新间隔期间,图像可由像素阵列910周期性地显示。每个帧更新间隔(例如,从时间 t_0 到 t_4 和 t_4 到 t_8)可包括像素调整周期(例如,从时间 t_0 到 t_3 和 t_4 到 t_7),随后是显示周期(例如,从时间 t_3 到 t_4 以及 t_7 到 t_8)。

[0104] 在每个像素调整周期期间,可连续更新像素阵列910的单独行。曲线1312、1314、1322及1324示出基于与每一行相关联的线编号的像素阵列910的对应行的示例像素更新时间。更具体地,曲线1312对应于像素阵列910的初始扫描(例如,从时间 t_0 到 t_1),并且曲线1314对应于在第一像素调整周期(例如,从时间 t_0 到 t_3)期间像素阵列910的重新扫描(例如,

从时间 t_1 到 t_2)。类似地,曲线1322对应于像素阵列的初始扫描(例如,从时间 t_4 到 t_5),并且曲线1324对应于在第二像素调整周期(例如,从时间 t_4 到 t_7)期间像素阵列910的重新扫描(例如,从时间 t_5 到 t_6)。在一些实施例中,显示设备900可使用抖动技术来隐藏在初始扫描与重新扫描之间可能发生的任何不想要的边缘。

[0105] 第一FFOV图像可在第一像素调整周期期间渲染在像素阵列910上。例如,扫描/重新扫描电路940可在初始扫描1312期间将FFOV电压903(例如,作为扫描电压905)施加到像素阵列910的每一行中的相应像素元件。中央凹图像可以随后被渲染在第一FFOV图像的中央凹区域内。在图13的示例中,第一FFOV图像的中央凹区域可位于像素阵列910的线 l_{f1} 与 l_{f3} 之间。因此,在重新扫描1314期间,扫描/重新扫描电路940可以将中央凹电压904(例如,作为重新扫描电压906)施加到定位在FFOV图像的中央凹区域内(例如,在图12B中的列 c_{f1} 和 c_{f2} 之间)的线 l_{f1} 和 l_{f3} 之间的相应像素元件。扫描/重新扫描电路940还可以将FFOV电压903(例如,作为重新扫描电压906)重新施加到定位在FFOV图像的中央凹区域外部(例如,在图12B中的列 c_0 到 c_{f1} 和 c_{f2} 到 c_N 之间)的线 l_{f1} 和 l_{f3} 之间的相应像素元件。

[0106] 第二FFOV图像可在第二像素调整周期期间渲染在像素阵列910上。例如,扫描/重新扫描电路940可在初始扫描1322期间将FFOV电压903(例如,作为扫描电压905)施加到像素阵列910的每一行中的相应像素元件。中央凹图像可以随后被渲染在第二FFOV图像的中央凹区域内。在图13的示例中,第二FFOV图像的中央凹区域可位于像素阵列910的线 l_{f2} 与 l_{f4} 之间。因此,在重新扫描1324期间,扫描/重新扫描电路940可以将中央凹电压904(例如,作为重新扫描电压906)施加到定位在FFOV图像的中央凹区域内的线 l_{f2} 和 l_{f4} 之间的相应像素元件。扫描/重新扫描电路940还可以将FFOV电压903(例如,作为重新扫描电压906)重新施加到定位在FFOV图像的中央凹区域外部的线 l_{f2} 和 l_{f4} 之间的相应像素元件。

[0107] 如图13中所示,以基本上比重扫描1314和1324更快的速率执行初始扫描1312和1322。为了促进这种“快”扫描,栅极驱动器914可以被配置为同时激活像素阵列910的多个线。例如,在一些实施例中,栅极时钟信号的每个转变(例如,包括在G_CTRL信号的集合中)可使得栅极驱动器914选择多个栅极线GL(1)-GL(M)以用于激活。在一些方面中,可将多个相邻栅极线分配给特定栅极线分组。例如,栅极线GL(1)-GL(4)可以被分配给第一栅极线分组(GLG1),并且栅极线GL(5)-GL(8)可以被分配给第二栅极线分组(GLG2)。在一些方面中,当选择第一栅极线分组GLG1时,栅极驱动器914可连续地驱动栅极线GL(1)-GL(4)中的每个。在一些其他方面中,当选择第一栅极线分组GLG1时,栅极驱动器914可以同时驱动栅极线GL(1)-GL(4)中的两个或更多个。

[0108] 在一些实施例中,栅极驱动器914可以被配置为以分层方式驱动栅极线GL(1)-GL(M)。例如,响应于栅极时钟信号的每个转变,栅极驱动器914可以替代地响应于栅极时钟信号的每个转变而选择用于激活的栅极线的分组,而不是直接驱动特定的栅极线。栅极驱动器914然后可选择性地激活选择的分组内的单独栅极线。以其驱动栅极线GL(1)-GL(M)的分层方式允许栅极驱动器914促进像素阵列910的快速扫描(例如,当渲染相对低分辨率的FFOV图像时)及像素阵列910的较慢重新扫描(例如,当渲染相对高分辨率的中央凹图像时)。此外,以其驱动栅极线GL(1)-GL(M)的分层方式允许栅极驱动器914具有比现有栅极驱动器电路的覆盖区(footprint)更小的覆盖区(例如,由于需要较少的移位寄存器级来驱动等同数量的栅极线)。

[0109] 图14是根据一些实施例的分层栅极驱动器电路1400的框图。例如, 分层栅极驱动器电路1400可以是图9中所示的栅极驱动器914的实施例。分层栅极驱动器电路1400包括移位寄存器1410和多个栅极驱动器分组1422-1428。为简单起见, 在图14的示例中仅描绘了四个栅极驱动器分组1422-1428。然而, 在实际的实现方式中, 分层栅极驱动器电路1400可以包括比在图14中描绘的分层栅极驱动器电路更少或更多的栅极驱动器分组。

[0110] 移位寄存器1410可包括多个级1412-1418。例如, 移位寄存器(SR)级1412-1418可以被实现为以串行输入/并行输出(SIPO)配置布置的触发器(flip-flop)的级联。在一些实施例中, 移位寄存器1410中的SR级的数量可与分层栅极驱动器电路1400中的栅极驱动器分组的数量对应。因此, 尽管在图14的示例中仅描绘了四个SR级1412-1418, 移位寄存器1410的实际实现方式可包括比图14中所描绘的级更少或更多的级。移位寄存器1410被耦合以接收开始脉冲(S_PLS)及多个栅极时钟信号(G_CLKA-G_CLKD)。如上文所描述, 开始脉冲S_PLS可用于触发像素阵列(诸如图9的像素阵列910)的扫描, 所述像素阵列耦合到多个栅极线($g1_A-g4_D$)。栅极时钟信号G_CLKA-G_CLKD可以用于在不同时间控制栅极线 $g1_A-g4_D$ 的激活。因此, 栅极时钟信号G_CLKA-G_CLKD可各自具有相对于彼此的不同相位偏移。

[0111] 级联中的第一SR级1412被配置成接收S_PLS作为其输入, 并且被配置成基于S_PLS和第一栅极时钟信号(G_CLKA)来驱动第一分组选择线(G_SEL1)。第二SR级1414的输入耦合到第一SR级1412的输出。因此, 第二SR级1414被配置成基于G_SEL1和第二栅极时钟信号(G_CLKB)来驱动第二分组选择线(G_SEL2)。第三SR级1416的输入耦合到第二SR级1414的输出。因此, 第三SR级1416被配置为基于G_SEL2和第三栅极时钟信号(G_CLKC)来驱动第三分组选择线(G_SEL3)。第四SR级1418的输入耦合到第三SR级1416的输出。因此, 第四SR级1418被配置成基于G_SEL3和第四栅极时钟信号(G_CLKD)来驱动第四分组选择线(G_SEL4)。在一些实施例中, 第四SR级1418的输出可以耦合到级联中的第五SR级的输入(为简单起见未示出)。

[0112] 栅极驱动器分组1422-1428分别经由分组选择线G_SEL1-G_SEL4耦合到SR级1412-1418的输出。栅极驱动器分组1422-1428中的每个被配置成在对应分组选择线被激活时选择性地驱动栅极线的分组($g1-g4$)。更具体地, 分组选择线G_SEL1-G_SEL4可以使得相应的栅极驱动器分组1422-1428能够驱动栅极线的对应分组。例如, 第一分组选择线G_SEL1的激活使得第一栅极驱动器分组1422能够驱动第一分组栅极线 $g1_A-g1_D$ 。第二分组选择线G_SEL2的激活使得第二栅极驱动器分组1424能够驱动第二分组栅极线 $g2_A-g2_D$ 。第三分组选择线G_SEL3的激活使得第三栅极驱动器分组1426能够驱动第三分组栅极线 $g3_A-g3_D$ 。第四分组选择线G_SEL4的激活使得第四栅极驱动器分组1428能够驱动第四分组栅极线 $g4_A-g4_D$ 。

[0113] 在一些实施例中, 栅极驱动器分组1422-1428可以至少部分地基于一系列栅极脉冲G_PLS1-G_PLS8来驱动栅极线 $g1_A-g4_D$ 。更具体地, 栅极脉冲G_PLS1-G_PLS8可以控制一定时, 利用该定时栅极驱动器分组1422-1428驱动栅极线 $g1_A-g4_D$ 。例如, 可以将栅极脉冲G_PLS1-G_PLS4提供给第一栅极驱动器分组1422和第三栅极驱动器分组1426, 而可以将栅极脉冲G_PLS5-G_PLS8提供给第二栅极驱动器分组1424和第四栅极驱动器分组1428。因此, 第一栅极驱动器分组1422可以基于栅极脉冲G_PLS1-G_PLS4来驱动第一分组栅极线 $g1_A-g1_D$ 。第二栅极驱动器分组1424可以基于栅极脉冲G_PLS5-G_PLS8来驱动第二分组栅极线 $g2_A-g2_D$ 。第三栅极驱动器分组1426可以基于栅极脉冲G_PLS1-G_PLS4来驱动第三分组栅极线 $g3_A-g3_D$ 。第四栅极驱动器分组1428可以基于栅极脉冲G_PLS5-G_PLS8来驱动第四分组栅极

线 $g_{4A}-g_{4D}$ 。

[0114] 图15A和图15B分别是时序图1500A和1500B,其描绘了可以用于控制分层栅极驱动器电路的操作的示例定时信号。参考例如图14,图15A和图15B中所描绘的定时信号可以控制分层栅极驱动器电路1400的操作。

[0115] 在时间 t_0 处,开始脉冲S_PLS被生效(assert)并且第一栅极时钟信号G_CLKA转变为逻辑高状态。G_CLKA的上升沿转变使第一SR级1412移入(例如,存储)S_PLS的当前状态。由于S_PLS当前被生效为逻辑高状态,所以在时间 t_0 处,第一SR级1412还将第一分组选择线G_SEL1驱动到逻辑高状态。G_SEL1的激活使得第一栅极驱动器分组1422能够响应于栅极脉冲G_PLS1-G_PLS4而驱动第一分组栅极线 $g_{1A}-g_{1D}$ 。

[0116] 第一栅极驱动器分组1422可在时间 t_0 处驱动栅极线 g_{1A} 达其中同时生效G_SEL1及G_PLS1的持续时间(例如,从时间 t_0 到 t_1)。第一栅极驱动器分组1422可在时间 t_1 处驱动栅极线 g_{1B} 达其中同时生效G_SEL1及G_PLS2的持续时间(例如,从时间 t_1 到 t_2)。第一栅极驱动器分组1422可在时间 t_2 处驱动栅极线 g_{1C} 达其中同时生效G_SEL1及G_PLS3的持续时间(例如,从时间 t_2 到 t_3)。第一栅极驱动器分组1422可在时间 t_3 处驱动栅极线 g_{1D} 达其中同时生效G_SEL1及G_PLS4的持续时间(例如,从时间 t_3 到 t_4)。

[0117] 在时间 t_4 处,开始脉冲S_PLS被无效(deassert)且第二栅极时钟信号G_CLKB转变为逻辑高状态。G_CLKB的上升沿转变使第二SR级1414移入G_SEL1的当前状态。由于G_SEL1当前被生效为逻辑高状态,所以在时间 t_4 处,第二SR级1414还将第二分组选择线G_SEL2驱动到逻辑高状态。G_SEL2的激活使得第二栅极驱动器分组1424能够响应于栅极脉冲G_PLS5-G_PLS8而驱动第二分组栅极线 $g_{2A}-g_{2D}$ 。

[0118] 第二栅极驱动器分组1424可在时间 t_4 处驱动栅极线 g_{2A} 达其中同时生效G_SEL2及G_PLS5的持续时间(例如,从时间 t_4 到 t_5)。第二栅极驱动器分组1424可在时间 t_5 处驱动栅极线 g_{2B} 达其中同时生效G_SEL2及G_PLS6的持续时间(例如,从时间 t_5 到 t_6)。第二栅极驱动器分组1424可在时间 t_6 处驱动栅极线 g_{2C} 达其中同时生效G_SEL2及G_PLS7的持续时间(例如,从时间 t_6 到 t_7)。第二栅极驱动器分组1424可在时间 t_7 处驱动栅极线 g_{2D} 达其中同时生效G_SEL2及G_PLS8的持续时间(例如,从时间 t_7 到 t_8)。

[0119] 在时间 t_8 处,第一栅极时钟信号G_CLKA转变为逻辑低状态,而第三栅极时钟信号G_CLKC转变为逻辑高状态。G_CLKA的下降沿转变使第一SR级1412移入S_PLS的当前状态。由于S_PLS当前被无效为逻辑低状态,所以在时间 t_8 处,第一SR级1412也将G_SEL1拉到逻辑低状态。G_SEL1的去激活禁用第一栅极驱动器分组1422,因此防止激活第一分组栅极线 $g_{1A}-g_{1D}$ 中的任何。

[0120] G_CLKC的上升沿转变使第三SR级1416移入G_SEL2的当前状态。由于G_SEL2当前被生效为逻辑高状态,所以在时间 t_8 处,第三SR级1416还将第三分组选择线G_SEL3驱动到逻辑高状态。G_SEL3的激活使得第三栅极驱动器分组1426能够响应于栅极脉冲G_PLS1-G_PLS4而驱动第三分组栅极线 $g_{3A}-g_{3D}$ 。

[0121] 第三栅极驱动器分组1426可在时间 t_8 处驱动栅极线 g_{3A} 达其中同时生效G_SEL3及G_PLS1的持续时间(例如,从时间 t_8 到 t_9)。第三栅极驱动器分组1426可在时间 t_9 处驱动栅极线 g_{3B} 达其中同时生效G_SEL3及G_PLS2的持续时间(例如,从时间 t_9 到 t_{10})。第三栅极驱动器分组1426可在时间 t_{10} 处驱动栅极线 g_{3C} 达其中同时生效G_SEL3及G_PLS3的持续时间(例如,

从时间 t_{10} 到 t_{11})。第三栅极驱动器分组1426可在时间 t_{11} 处驱动栅极线 $g3_d$ 达其中同时生效G_SEL3及G_PLS4的持续时间(例如,从时间 t_{11} 至 t_{12})。

[0122] 在时间 t_{12} 处,第二栅极时钟信号G_CLKB转变为逻辑低状态,而第四栅极时钟信号G_CLKD转变为逻辑高状态。G_CLKB的下降沿转变使第二SR级1414移入G_SEL1的当前状态。由于G_SEL1当前被无效为逻辑低状态,所以在时间 t_{12} 处,第二SR级1414还将G_SEL2拉至逻辑低状态。G_SEL2的去激活禁用第二栅极驱动器分组1424,因此防止激活第二分组栅极线 $g2_A$ - $g2_D$ 中的任何。

[0123] G_CLKD的上升沿转变使第四SR级1418移入G_SEL3的当前状态。由于G_SEL3当前被生效为逻辑高状态,所以在时间 t_{12} 处,第四SR级1418还将第四分组选择线G_SEL4驱动到逻辑高状态。G_SEL4的激活使得第四栅极驱动器分组1428能够响应于栅极脉冲G_PLS5-G_PLS8而驱动第四分组栅极线 $g4_A$ - $g4_D$ 。

[0124] 第四栅极驱动器分组1428可在时间 t_{12} 处驱动栅极线 $g4_A$ 达其中同时生效G_SEL4及G_PLS5的持续时间(例如,从时间 t_{12} 到 t_{13})。第四栅极驱动器分组1428可在时间 t_{13} 处驱动栅极线 $g4_B$ 达其中同时生效G_SEL4及G_PLS6的持续时间(例如,从时间 t_{13} 到 t_{14})。第四栅极驱动器分组1428可在时间 t_{14} 处驱动栅极线 $g4_C$ 达其中同时生效G_SEL4及G_PLS7的持续时间(例如,从时间 t_{14} 到 t_{15})。第四栅极驱动器分组1428可在时间 t_{15} 处驱动栅极线 $g4_D$ 达其中同时生效G_SEL4及G_PLS8的持续时间(例如,从时间 t_{15} 到 t_{16})。

[0125] 在时间 t_{16} 处,第三栅极时钟信号G_CLKC转变为逻辑低状态,而第一栅极时钟信号G_CLKA转变为逻辑高状态。G_CLKC的下降沿转变使第三SR级1416移入G_SEL2的当前状态。由于G_SEL2当前被无效为逻辑低状态,所以在时间 t_{16} 处,第三SR级1416还将G_SEL3拉到逻辑低状态。G_CLKA的上升沿转变使第一SR级1412移入S_PLS的当前状态。然而,由于S_PLS仍处于逻辑低状态中,所以在时间 t_{16} 处,第一SR级1412可继续将G_SEL1保持在逻辑低状态中。

[0126] 在时间 t_{17} 处,第四栅极时钟信号G_CLKD转变为逻辑低状态,而第二栅极时钟信号G_CLKB转变为逻辑高状态。G_CLKD的下降沿转变使第四SR级1418移入G_SEL3的当前状态。由于G_SEL3当前被无效为逻辑低状态,所以在时间 t_{17} 处,第四SR级1418也将G_SEL4拉到逻辑低状态。G_CLKB的上升沿转变使第二SR级1414移入G_SEL1的当前状态。然而,由于G_SEL1仍处于逻辑低状态中,所以在时间 t_{17} 处,第二SR级1414可继续将G_SEL2保持在逻辑低状态中。

[0127] 在图15A的示例中,栅极时钟信号G_CLKA-G_CLKD至少部分地彼此重叠。例如,G_CLKA保持被生效达其中G_CLKB被生效的持续时间的至少一部分,G_CLKB保持被生效达其中G_CLKC被生效的持续时间的至少一部分,G_CLKC保持被生效达其中G_CLKD被生效的持续时间的至少一部分,以及G_CLKD保持被生效达其中G_CLKA被生效的持续时间的至少一部分。然而,栅极脉冲G_PLS1-G_PLS8被生效达没有栅极脉冲G_PLS1-G_PLS8重叠的这样的短持续时间。这使得分层栅极驱动器电路1400能够在特定栅极时钟信号的单个时钟循环期间连续地驱动多个栅极线。在一些实施例中,栅极驱动器分组1422-1428中的每个可在将下一栅极线驱动到逻辑高状态之前将每个栅极线完全拉到逻辑低状态。

[0128] 此外,因为SR级1412-1418的输出用于启用栅极驱动器分组1422-1428,而不是直接驱动负载(例如,一行像素元件),所以分层栅极驱动器电路1400可以以比现有栅极驱动器电路的速度和灵活性更大的速度和灵活性来扫描像素阵列的行。例如,由于第二SR级

1414的输入不连接到第一分组栅极线 $g1_A-g1_D$ 中的任何,所以第二SR级1414可驱动第二分组选择线G_SEL2而不必等待将栅极线 $g1_A-g1_D$ 中的任何驱动到足够高的电压(例如, $\geq V_{GH}$)。这可以允许分层栅极驱动器电路1400以更粗糙的粒度和/或更高的精度执行扫描操作。

[0129] 在一些实施例中,分层栅极驱动器电路1400可以包括栅极线(GL)控制器1430以控制栅极脉冲G_PLS1-G_PLS8到栅极驱动器分组1422-1428的流动。在一些方面中,GL控制器1430可以抑制和/或重定向意图用于栅极驱动器分组1422-1428的栅极脉冲G_PLS1-G_PLS8中的一个或多个。例如,GL控制器1430可使得两个或更多个栅极驱动器元件响应于相同栅极脉冲而同时驱动相应栅极线。在一些方面中,GL控制器1430可以耦合到多个脉冲滤波器1402(1)-1402(4)。脉冲滤波器1402(1)-1402(4)中的每一个可以选择性地抑制提供给栅极驱动器分组1422-1428中的相应一个的栅极脉冲。GL控制器1430可以经由多个脉冲控制信号P_CTRL1-P_CTRL4控制脉冲滤波器1402(1)-1402(4)。

[0130] 在一些实施例中,脉冲滤波器1402(1)-1402(4)中的每一个可包括一组AND逻辑门。例如,只有当第一组脉冲控制信号P_CTRL1被生效时,第一脉冲滤波器1402(1)才可以向第一栅极驱动器分组1422提供栅极脉冲G_PLS1-G_PLS4。只有当第二组脉冲控制信号P_CTRL2被生效时,第二脉冲滤波器1402(2)才可以向第二栅极驱动器分组1424提供栅极脉冲G_PLS5-G_PLS8。只有当第三组脉冲控制信号P_CTRL3被生效时,第三脉冲滤波器1402(3)才可以向第三栅极驱动器分组1426提供栅极脉冲G_PLS1-G_PLS4。只有当第四组脉冲控制信号P_CTRL4被生效时,第四脉冲滤波器1402(4)才可以向第四栅极驱动器分组1428提供栅极脉冲G_PLS5-G_PLS8。

[0131] 如果第一组脉冲控制信号P_CTRL1中的一个或多个被无效,则第一脉冲滤波器1402(1)可以抑制栅极脉冲G_PLS1-G_PLS4中的对应的一个或多个。如果第二组脉冲控制信号P_CTRL2中的一个或多个被无效,则第二脉冲滤波器1402(2)可以抑制栅极脉冲G_PLS5-G_PLS8中的对应的一个或多个。如果第三组脉冲控制信号P_CTRL3中的一个或多个被无效,则第三脉冲滤波器1402(3)可以抑制栅极脉冲G_PLS1-G_PLS4中的对应的一个或多个。如果第四组脉冲控制信号P_CTRL4中的一个或多个被无效,则第四脉冲滤波器1402(4)可以抑制栅极脉冲G_PLS5-G_PLS8中的对应的一个或多个。

[0132] 在一些其他实施例中,GL控制器1430可以在栅极驱动器分组1422-1428中的每一个内的栅极驱动器元件之间重新分配栅极脉冲G_PLS1-G_PLS8中的一个或多个。例如,响应于从GL控制器1430接收的第一组P_CTRL1信号,第一脉冲滤波器1402(1)可以抑制栅极脉冲G_PLS2-G_PLS4被递送到第一栅极驱动器分组1422。响应于第二组P_CTRL1信号,脉冲滤波器1402(1)可将第一栅极脉冲G_PLS1重新分配到第一栅极驱动器分组1422中的栅极驱动器元件中的每个。因此,耦合到第一栅极驱动器分组1422的栅极线 $g1_A-g1_D$ 中的每个可响应于相同栅极脉冲(例如,G_PLS1)而同时被驱动。

[0133] 除其他优点外,分层栅极驱动器电路1400可以以比现有栅极驱动器电路的速度和/或灵活性更大的速度和/或灵活性来扫描显示像素的阵列。在一些实施例中,GL控制器1430可以抑制栅极脉冲G_PLS1-G_PLS8中的一个或多个以执行对应像素阵列的快速扫描(例如,以在像素阵列上渲染FFOV图像)。在一些其他实施例中,GL控制器1430可仅启用用于特定栅极驱动器分组的栅极脉冲G_PLS1-G_PLS8中的一个或多个以执行仅对应像素阵列的行的子集的较慢重新扫描(例如,以在像素阵列上渲染中央凹图像)。

[0134] 图16是描绘根据一些实施例的使用分层栅极驱动器电路的扫描-重新扫描像素更新操作的示例定时的时序图1600。参考例如图14,图16的示例操作可由分层栅极驱动器电路1400执行以在像素阵列上的FFOV图像内渲染中央凹图像。更具体地,在图16的示例中,可以在初始扫描(例如,从时间 t_0 到 t_4)期间在像素阵列上渲染FFOV图像,并且可以在随后的重新扫描(例如,从时间 t_4 到 t_9)期间在像素阵列上渲染中央凹图像。

[0135] 在时间 t_0 处,将第一分组选择线G_SEL1驱动到逻辑高状态。G_SEL1的激活使得第一栅极驱动器分组1422能够响应于栅极脉冲G_PLS1-G_PLS4而驱动第一分组栅极线 $g1_A$ - $g1_D$ 。在图16的示例中,GL控制器1430可以抑制栅极脉冲G_PLS2-G_PLS4,从而仅允许将栅极脉冲G_PLS1供应给第一栅极驱动器分组1422。因此,第一栅极驱动器分组1422可响应于栅极脉冲G_PLS1而同时驱动栅极线 $g1_A$ - $g1_D$ 。因此,数据线(例如,DL(1)-DL(N))上的电压(例如,扫描电压905)可在时间 t_0 处被同时驱动到耦合到栅极线 $g1_A$ - $g1_D$ 中的每个的相应像素元件上。

[0136] 在时间 t_1 处,将第二分组选择线G_SEL2驱动到逻辑高状态。G_SEL2的激活使得第二栅极驱动器分组1424能够响应于栅极脉冲G_PLS5-G_PLS8而驱动第二分组栅极线 $g2_A$ - $g2_D$ 。在图16的示例中,GL控制器1430可以抑制栅极脉冲G_PLS6-G_PLS8,从而仅允许将栅极脉冲G_PLS5供应给第二栅极驱动器分组1424。因此,第二栅极驱动器分组1424可响应于栅极脉冲G_PLS5而同时驱动栅极线 $g2_A$ - $g2_D$ 。因此,数据线上的电压(例如,扫描电压905)可在时间 t_1 处同时被驱动到耦合到栅极线 $g2_A$ - $g2_D$ 中的每个的相应像素元件上。

[0137] 在时间 t_2 处,第三分组选择线G_SEL3被驱动到逻辑高状态。G_SEL3的激活使得第三栅极驱动器分组1426能够响应于栅极脉冲G_PLS1-G_PLS4而驱动第三分组栅极线 $g3_A$ - $g3_D$ 。在图16的示例中,GL控制器1430可以抑制栅极脉冲G_PLS2-G_PLS4,从而仅允许将栅极脉冲G_PLS1供应给第三栅极驱动器分组1426。因此,第三栅极驱动器分组1426可响应于栅极脉冲G_PLS1而同时驱动栅极线 $g3_A$ - $g3_D$ 。因此,数据线上的电压(例如,扫描电压905)可在时间 t_2 处同时被驱动到耦合到栅极线 $g3_A$ - $g3_D$ 中的每个的相应像素元件上。

[0138] 在时间 t_3 处,第四分组选择线G_SEL4被驱动到逻辑高状态。G_SEL4的激活使得第四栅极驱动器分组1428能够响应于栅极脉冲G_PLS5-G_PLS8而驱动第四分组栅极线 $g4_A$ - $g4_D$ 。在图16的示例中,GL控制器1430可以抑制栅极脉冲G_PLS6-G_PLS8,从而仅允许将栅极脉冲G_PLS5供应给第四栅极驱动器分组1428。因此,第四栅极驱动器分组1428可响应于栅极脉冲G_PLS5而同时驱动栅极线 $g4_A$ - $g4_D$ 。因此,数据线上的电压(例如,扫描电压905)可在时间 t_3 处被同时驱动到耦合到栅极线 $g4_A$ - $g4_D$ 中的每个的相应像素元件上。

[0139] 在时间 t_4 处(例如,响应于另一开始脉冲S_PLS)触发像素阵列的重新扫描。在图16的示例中,FFOV图像的中央凹区域可以与栅极线 $g2_A$ - $g2_D$ 重合。由于显示设备可以在渲染中央凹图像时(例如,从时间 t_4 到 t_9)仅重新扫描中央凹区域,所以GL控制器1430可以抑制栅极脉冲G_PLS1-G_PLS4被供应到第一栅极驱动器分组1422和第三栅极驱动器分组1426。GL控制器1430还可抑制栅极脉冲G_PLS5-G_PLS8被供应到第四栅极驱动器分组1428。然而,GL控制器1430可以使得栅极脉冲G_PLS1-G_PLS4中的每个能够被供应到第二栅极驱动器分组1424(例如,其控制栅极线 $g2_A$ - $g2_D$ 的激活)。

[0140] 因此,在时间 t_5 处,与栅极脉冲G_PLS5组合的第二栅极选择线G_SEL2的激活使得第二栅极驱动器分组1424激活栅极线 $g2_A$ 。在时间 t_6 处,与栅极脉冲G_PLS6组合的第二栅极

选择线G_SEL2的激活使得第二栅极驱动器分组1424激活栅极线 $g2_B$ 。在时间 t_7 处,与栅极脉冲G_PLS7组合的第二栅极选择线G_SEL2的激活使得第二栅极驱动器分组1424激活栅极线 $g2_C$ 。在时间 t_8 处,与栅极脉冲G_PLS8组合的第二栅极选择线G_SEL2的激活使得第二栅极驱动器分组1424激活栅极线 $g2_D$ 。

[0141] 应注意,因为响应于栅极脉冲G_PLS1及G_PLS5中的每个而利用数据驱动像素元件的多个行,所以有效地减少使扫描提前经过像素元件初始扫描的单独行所需的时间量。这允许可以以相对快的速率执行初始扫描(例如,从时间 t_0 到 t_4)。此外,因为分组选择线G_SEL1、G_SEL3及G_SEL4不驱动负载,所以可在初始扫描之后不久完成重新扫描(例如,从时间 t_4 到 t_9)。例如,因为第一分组选择线G_SEL1不驱动负载,所以第二SR级1414可在第一分组选择线G_SEL1被激活之后几乎立即激活第二分组选择线G_SEL2。因此,耦合到栅极线 $g2_A$ - $g2_D$ 的像素元件可在耦合到栅极线 $g4_A$ - $g4_D$ 的像素元件(例如,在时间 t_3 处)被扫描之后几乎立即(例如,在时间 t_5 处)被重新扫描。

[0142] 图17是描绘根据一些实施例的显示设备1700的一部分的框图。显示设备1700可以是图9的显示设备900的示例实施例。显示设备1700包括移位寄存器级1710、栅极驱动器分组1720和多个像素元件1701。例如,像素元件1701可包括图9的像素阵列910的至少一部分。移位寄存器级1710和栅极驱动器分组1720可以包括图14的栅极驱动器914和/或分层栅极驱动器电路1400的至少一部分。在图17的示例中,为简单起见,仅示出一个移位寄存器级1710和一个栅极驱动器分组1720。然而,在实际实现方式中,显示设备1700可包括比图17中所描绘的移位寄存器级和/或栅极驱动器分组更少或更多的移位寄存器级和/或栅极驱动器分组。

[0143] 像素元件1701可包括显示像素(例如,液晶电容器)、光电二极管(例如,用于图像感测)、传感器电极(例如,用于电容性感测)或其任何组合。在图17的示例中,像素元件1701以行和列布置。每一行像素元件1701耦合到相应栅极线(GL)且每一列像素元件1701耦合到相应数据线(DL)。更具体地,每个像素元件1701经由存取晶体管1702耦合到栅极线GL(A)-GL(D)中的一个及数据线DL(1)-DL(N)中的一个。在图17的示例中,存取晶体管1702是NMOS晶体管,其具有耦合到对应栅极线的栅极端子和耦合到对应数据线的漏极端子。像素元件1701耦合到存取晶体管1702的源极端子。

[0144] 在一些实施例中,移位寄存器级1710和栅极驱动器分组1720可以以分层方式控制栅极线GL(A)-GL(D)的激活。例如,移位寄存器级1710可以至少部分地基于输入信号(IN)和对应的栅极时钟信号(G_CLK)来驱动分组选择线(G_SEL)。如以上关于图14所描述的,输入信号IN可对应于开始脉冲(例如,如果移位寄存器级1710对应于级联中的第一级)或级联中的先前移位寄存器级的输出。当输入信号IN被生效为逻辑高状态并且栅极时钟信号G_CLK也转变为逻辑高状态时,移位寄存器级1710可以驱动分组选择线G_SEL。分组选择线G_SEL的激活使得栅极驱动器分组1720能够驱动单独栅极线GL(A)-GL(D)。

[0145] 在一些实施例中,栅极驱动器分组1720可包括多个栅极驱动器元件1720A-1720D。栅极驱动器元件1720A-1720D中的每个可被配置成在分组选择线G_SEL被激活时驱动栅极线GL(A)-GL(D)中的相应一个。在一些方面中,栅极驱动器元件1720A-1720D可以基于多个栅极脉冲(G_PLS(A)-G_PLS(D))来驱动栅极线GL(A)-GL(D)。例如,第一栅极驱动器元件1720A可将相对高的栅极电压(例如, $\geq V_{GH}$)驱动到第一栅极线GL(A)上达其中G_SEL和G_PLS

(A)被同时生效为逻辑高状态的持续时间。第一栅极线GL(A)的激活导通像素元件1701的第一行的存取晶体管1702,因此允许像素数据经由数据线DL(1)-DL驱动到像素元件1701的第一行上(例如,耦合到GL(A))。

[0146] 第二栅极驱动器元件1720B可将相对高的栅极电压(例如, $\geq V_{GH}$)驱动到第二栅极线GL(B)上达其中G_SEL和G_PLS(B)被同时生效为逻辑高状态的持续时间。第二栅极线GL(B)的激活导通像素元件1701的第二行的存取晶体管1702,因此允许像素数据经由数据线DL(1)-DL(N)驱动到像素元件1701的第二行上(例如,耦合到GL(B))。在一些方面中(例如,如关于图15A的时序图所描述),在第二栅极脉冲G_PLS(B)被生效为逻辑高状态之前,第一栅极脉冲G_PLS(A)可以被无效为逻辑低状态。因此,第一栅极驱动器元件1720A可以在第二栅极线GL(B)被激活之前去激活第一栅极线GL(A)(例如,通过将栅极电压拉到 $\leq V_{GL}$)。

[0147] 第三栅极驱动器元件1720C可将相对高的栅极电压(例如, $\geq V_{GH}$)驱动到第三栅极线GL(C)上达其中G_SEL和G_PLS(C)被同时生效为逻辑高状态的持续时间。第三栅极线GL(C)的激活导通像素元件1701的第三行的存取晶体管1702,因此允许将像素数据驱动到像素元件1701的第三行上(例如,耦合到GL(C))。在一些方面中,在第三栅极脉冲G_PLS(C)被生效为逻辑高状态之前,第二栅极脉冲G_PLS(B)可被无效为逻辑低状态。因此,第二栅极驱动器元件1720B可以在第三栅极线GL(C)被激活之前去激活第二栅极线GL(B)(例如,通过将栅极电压拉到 $\leq V_{GL}$)。

[0148] 第四栅极驱动器元件1720D可以将相对高的栅极电压(例如, $\geq V_{GH}$)驱动到第四栅极线GL(D)上达其中G_SEL和G_PLS(D)同时被生效为逻辑高状态的持续时间。第四栅极线GL(D)的激活导通像素元件1701的第四行的存取晶体管1702,因此允许将像素数据驱动到像素元件1701的第四行上(例如,耦合到GL(D))。在一些方面中,在第四栅极脉冲G_PLS(D)被生效为逻辑高状态之前,第三栅极脉冲G_PLS(C)可被无效为逻辑低状态。因此,第三栅极驱动器元件1720C可以在第四栅极线GL(D)被激活之前去激活第三栅极线GL(C)(例如,通过将栅极电压拉到 $\leq V_{GL}$)。

[0149] 应注意,为了快速连续地驱动像素元件1701的每行(例如,在G_CLK被生效的持续时间的一半内),栅极驱动器元件1720A-1720D应该允许栅极脉冲G_PLS(A)-G_PLS(D)的全电压摆动被驱动到栅极线GL(A)-GL(D)上。然而,分组选择线G_SEL上的电压可在驱动对应栅极线GL(A)-GL(D)时为栅极驱动器元件1720A-1720D中的每个供电。因此,分组选择线G_SEL上的电压可限制可用于驱动栅极线GL(A)-GL(D)的“导通”电压的量。在一些实施例中,栅极驱动器元件1720A-1720D中的每个可以被配置成“升压”分组选择线G_SEL上的电压,以允许栅极脉冲G_PLS(A)-G_PLS(D)的全电压摆动被驱动到栅极线GL(A)-GL(D)上。在一些方面中,栅极驱动器元件1720A-1720D中的一个或多个可以包括互补MOS(CMOS)反相器。在其他方面中,栅极驱动器元件1720A-1720D中的一个或多个可以包括升压NMOS驱动器或升压PMOS驱动器。

[0150] 图18是描绘根据一些实施例的示例扫描-重新扫描像素更新操作1800的说明性流程图。示例操作1800可以由本公开的任何显示设备执行,包括例如图1、3、5和9的显示设备120、300、500或900。参考例如图3,示例操作1800可以由显示设备300执行以在单个帧更新周期期间多次扫描像素阵列。

[0151] 显示设备可在第一时间实例接收对应于要显示在像素阵列上的图像的显示数据

帧(1810)。例如,显示数据可包括阵列310中的一个或多个像素元件的像素值(例如,对应于颜色和/或强度)。每个像素值可与目标电压电平相关联。目标电压可以是当被施加到特定像素元件时使得像素元件的颜色和/或亮度稳定到期望像素值的电压。

[0152] 显示设备在第一时间实例之前的像素调整周期期间扫描像素阵列的每一行以将第一电压驱动到像素阵列的相应像素元件上(1820)。例如,显示更新控制器340可至少部分地基于像素值来确定要施加到阵列中的一个或多个像素元件的像素电压。在一些实施例中,第一电压可包括要施加到像素阵列的一个或多个行中的相应像素元件的过驱动电压(例如,如上文关于图5-8所描述)。在一些其他实施例中,第一电压可包括将施加到像素阵列的每一行中的相应像素元件的FFOV电压(例如,如上文关于图9-13所描述)。

[0153] 显示设备还在像素调整周期期间重新扫描像素阵列的行的子集,以将第二电压驱动到行的子集中的相应像素元件上(1830)。例如,在像素阵列的后续重新扫描期间,显示更新控制器340可确定要施加到像素阵列的一个或多个行中的相应像素元件的调整的像素电压。在一些实施例中,第二电压可包括要施加到像素阵列的相应过驱动像素元件的目标电压(例如,如上文关于图5-8所描述)。在一些其他实施例中,第二电压可包括要施加到像素阵列的一个或多个行中的相应像素元件的中央凹电压(例如,如上文关于图9-13所描述)。

[0154] 显示设备然后可激活一个或多个光源以在第一时间实例照射像素阵列(1840)。例如,一旦施加第一电压,像素阵列的每个像素元件可开始朝向相应像素值转变。第二电压可更改像素阵列中的相应像素元件的转变的状态和/或速率。然而,因为像素元件仅在显示周期期间被照射,所以在显示周期之前或之后展现的像素值的任何改变将不会被用户看到。

[0155] 图19是描绘根据一些实施例的示例过驱动校正操作1900的说明性流程图。参考例如图5,示例操作1900可以由显示设备500执行以校正像素阵列510的一个或多个过驱动像素元件的像素值。

[0156] 显示设备可确定像素阵列的每个像素元件的目标电压(1910)。例如,过驱动电路530可至少部分地基于阵列中的每个像素元件的当前像素值及目标像素值来确定要施加到像素阵列中的像素元件中的每个的像素电压。更具体地,对于阵列的每个像素元件,过驱动电路530可将当前像素值(例如,来自先前帧更新的像素值)与目标像素值(例如,用于下一帧更新的像素值)进行比较以确定要施加到像素元件以引起帧更新周期内的像素值的所期望改变的电压的量。特定像素元件的目标电压使得像素元件稳定在其目标像素值处。

[0157] 显示设备还可以确定像素阵列的行的子集中的相应像素元件的过驱动电压(1920)。如上文所描述,过驱动电路530可至少部分地基于阵列中的每个像素元件的当前像素值及目标像素值来确定要施加到像素阵列中的像素元件中的每个的像素电压。然而,应注意,如果像素值的改变超过阈值量,那么目标电压可能不足以在给定帧更新周期内将像素元件驱动到期望像素值。因此,在一些实施例中,过驱动电路530可确定将施加到阵列中的一个或多个像素元件的过驱动电压。如上文所描述,过驱动电压可超过(例如,可高于或低于)像素元件的目标电压,因此使得像素元件朝向其目标像素值更快地转变(例如,轮换)。

[0158] 显示设备可通过将过驱动电压施加到行的子集中的相应像素元件且将目标电压施加到剩余行中的相应像素元件来扫描像素阵列(1930)。例如,扫描/重新扫描电路540可基于像素阵列的每一行中的相应像素元件的目标电压和/或过驱动电压而生成扫描电压。

更具体地,可在阵列的初始扫描期间将相应扫描电压施加到像素阵列中的每个像素元件。因此,扫描电压可包括截至下一显示周期的开始不能够稳定到其目标像素值的任何像素元件的过驱动电压。在一些实施例中,显示设备可在初始扫描期间将像素阵列中的像素元件中的至少一些驱动到其目标电压,同时仅将像素元件的较小子集驱动到其过驱动电压。

[0159] 显示设备还可以通过将目标电压施加到行的子集中的相应像素元件来重新扫描行的子集(1940)。例如,扫描/重新扫描电路540可以基于任何过驱动像素元件的目标电压来生成重新扫描电压。可使用重新扫描电压来将每个过驱动像素元件(例如,从初始扫描)驱动到其目标电压。因此,重新扫描电压506可仅包括用于一个或多个像素元件的目标电压。在一些实施例中,显示设备可在重新扫描期间仅将像素元件的较小子集驱动到其目标电压。在一些其他实施例中,显示设备可以使用抖动技术来隐藏在初始扫描和重新扫描之间可能发生的任何不想要的边缘。

[0160] 图20是描绘根据一些实施例的示例中央凹渲染操作2000的说明性流程图。参考例如图9,示例操作2000可以由显示设备900执行以在像素阵列910上渲染与中央凹图像组合的FFOV图像。

[0161] 显示设备可确定像素阵列的每个像素元件的FFOV电压(2010)。例如,中央凹渲染电路930可至少部分地基于来自接收的显示数据帧的FFOV像素值及中央凹像素值来确定要施加到像素阵列中的像素元件中的每个的像素电压。FFOV像素值可于要跨越像素阵列的大多数(如果不是全部)像素元件显示的全帧图像对应。由于FFOV图像可跨用户的视线的周边,所以FFOV像素值可具有相对低的分辨率。因此,在一些实施例中,中央凹渲染电路930可以将每个FFOV像素值与(例如,将施加到像素阵列的相应像素元件的)多个FFOV电压相关联。

[0162] 显示设备还可以确定像素阵列的行的子集中的相应像素元件的中央凹电压(2020)。如上文所描述,中央凹渲染电路930可至少部分地基于来自接收的显示数据帧的FFOV像素值及中央凹像素值来确定要施加到像素阵列中的像素元件中的每个的像素电压。中央凹像素值可以与仅跨用户的视线的中央凹区域的中央凹图像对应。由于中央凹区域可以对应于其中确定用户具有最大视敏度的区域,所以中央凹像素值可以具有相对高的分辨率。因此,在一些实施例中,中央凹渲染电路930可以将每个中央凹像素值与(例如,将施加到像素阵列的一部分中的相应像素元件的)相应的中央凹电压相关联。

[0163] 显示设备可通过将FFOV电压施加到像素阵列的每一行中的相应像素元件来扫描像素阵列(2030)。例如,显示设备可在初始扫描操作期间在像素阵列上渲染FFOV图像(例如,如上文关于图12A所描述)。更具体地,显示设备可以通过扫描像素阵列的每一行(例如,从线 l_0 到 l_M)来渲染FFOV图像。在一些实施例中,扫描/重新扫描电路940可基于FFOV电压生成扫描电压。例如,可在阵列的初始扫描期间将扫描电压施加到像素阵列中的每个像素元件。因此,扫描电压905中的每个可对应于相应FFOV电压。

[0164] 显示设备还可以通过将中央凹电压施加到行的子集中的相应像素元件来重新扫描行的子集(2040)。例如,显示设备可在后续重新扫描操作期间(例如,如上文关于图12B所描述)在像素阵列上渲染中央凹图像,作为FFOV图像的覆盖。更具体地,显示设备可以通过仅重新扫描与FFOV图像的中央凹区域对应的像素阵列的行的子集(例如,从线 l_{f1} 到 l_{f2})来渲染中央凹图像。在一些实施例中,扫描/重新扫描电路940可以基于中央凹电压生成重新

扫描电压。例如,重新扫描电压906可以用于将相应的中央凹电压驱动到显示在像素阵列上的FFOV图像的中央凹区域内的每个像素元件上。因此,重新扫描电压可以包括用于重新扫描的像素元件中的至少一些的中央凹电压。

[0165] 在重新扫描操作期间,扫描/重新扫描电路940可将FFOV电压重新施加到在FFOV图像的中央凹区域外部(诸如图12B中的列 c_0 到 c_{f1} 及 c_{f2} 到 c_N 中的像素元件)的像素阵列的重新扫描的行中的任何像素元件。因此,在一些实施例中,重新扫描电压还可包括用于重新扫描的像素元件中的至少一些的FFOV电压。更进一步,在一些实施例中,显示设备可以使用抖动技术来隐藏在初始扫描和重新扫描之间可能发生的任何不想要的边缘。

[0166] 本领域的技术人员将了解,可使用多种不同技术和技艺中的任何来表示信息和信号。例如,可在整个以上描述中参考的数据、指令、命令、信息、信号、位、符号和码片可由电压、电流、电磁波、磁场或粒子、光场或粒子或其任何组合来表示。

[0167] 此外,本领域的技术人员将了解,结合本文中所公开的方面而描述的各种说明性逻辑块、模块、电路和算法步骤可实现为电子硬件、计算机软件或两者的组合。为清楚地说明硬件与软件的这一可互换性,各种说明性部件、块、模块、电路、和步骤在上面已经根据其功能性作一般化描述。这种功能性是实现为硬件还是实现为软件取决于特定的应用和对整个系统所施加的设计约束。技术人员可针对每个特定应用以变化方式来实现所描述的功能性,但这种实现方式决策不应被解释为引起对本公开的范围的脱离。

[0168] 结合本文中所公开的方面描述的方法、序列或算法可直接在硬件中、在由处理器执行的软件模块中、或在这两者的组合中体现。软件模块可驻留于RAM存储器、闪速存储器、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移除盘、CD-ROM或本领域中已知的任何其他形式的存储介质中。示例性存储介质耦合到处理器,使得处理器可从存储介质读取信息且将信息写入到存储介质。在替代方案中,存储介质可与处理器成一体。

[0169] 在前述说明书中,已经参考其具体示例描述了实施例。然而,将显而易见的是,在不脱离如在所附权利要求中阐述的本公开的更宽的范围的情况下,可以对其进行各种修改和改变。因此,说明书和附图被认为是说明性意义而不是限制性意义。

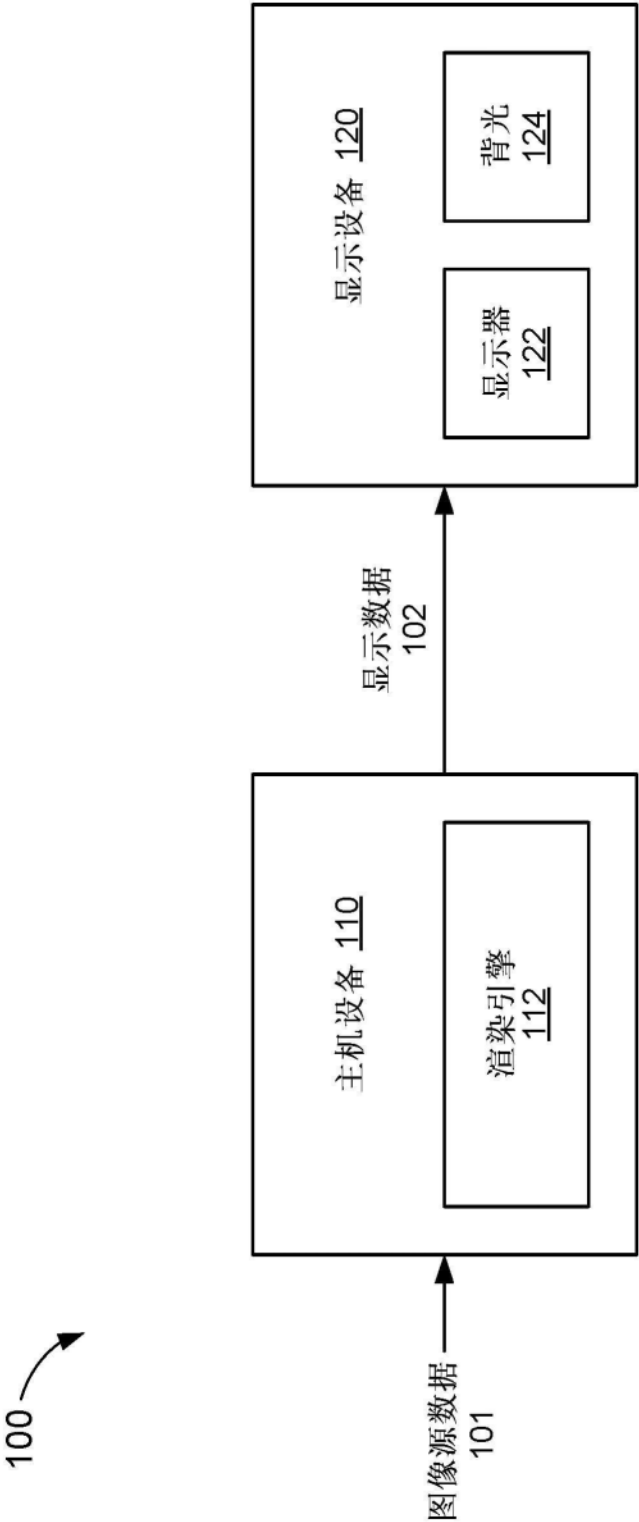


图1

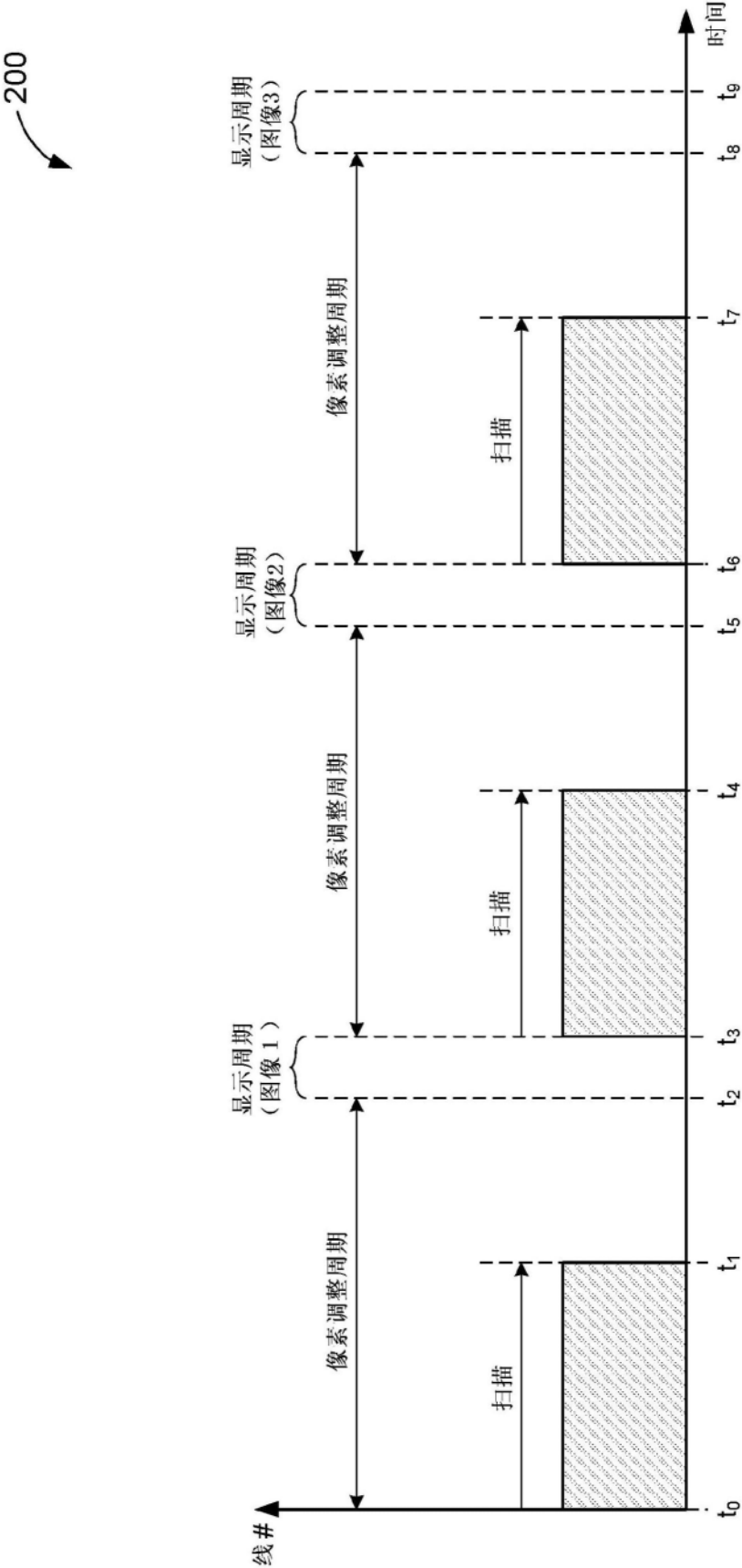


图2

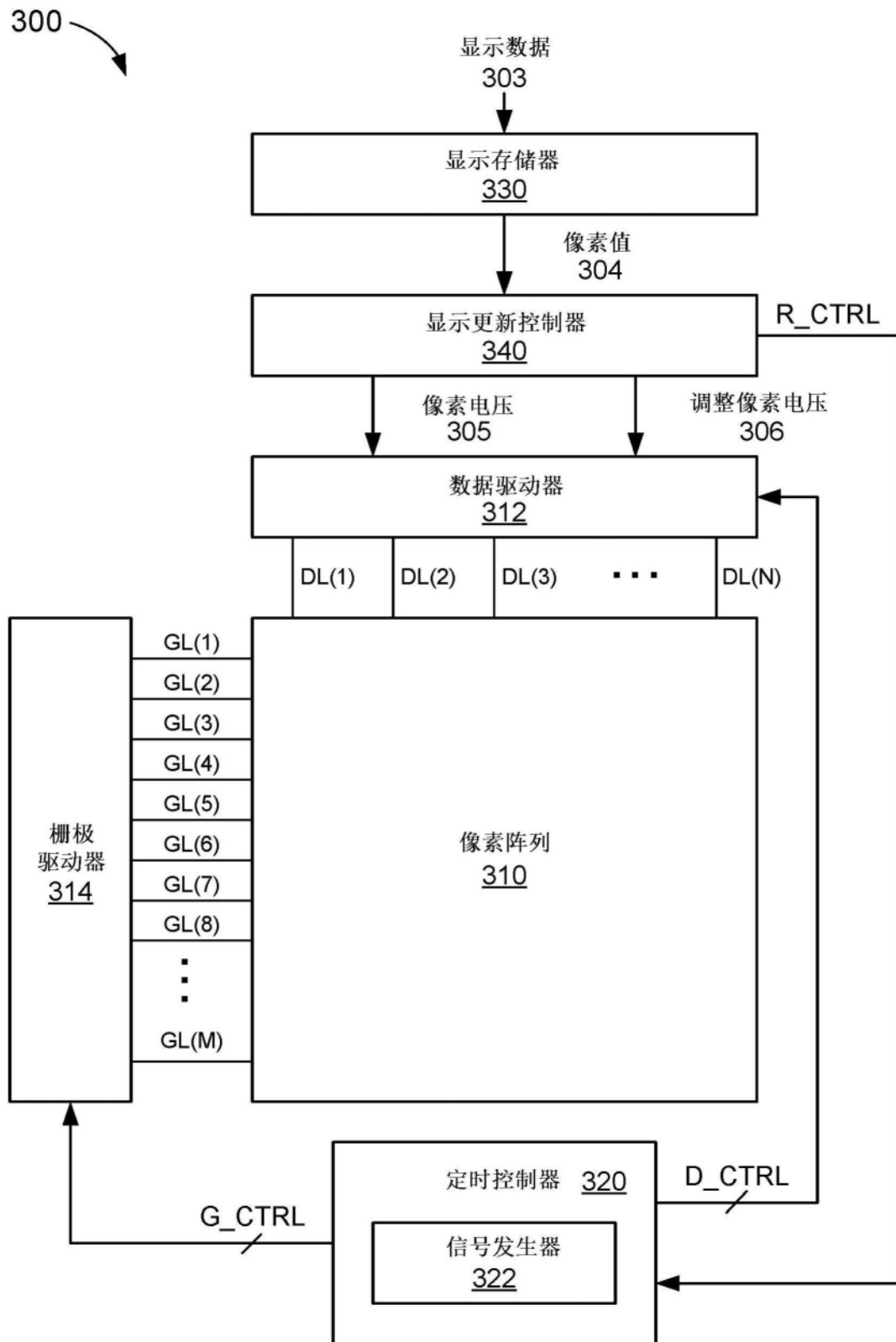


图3

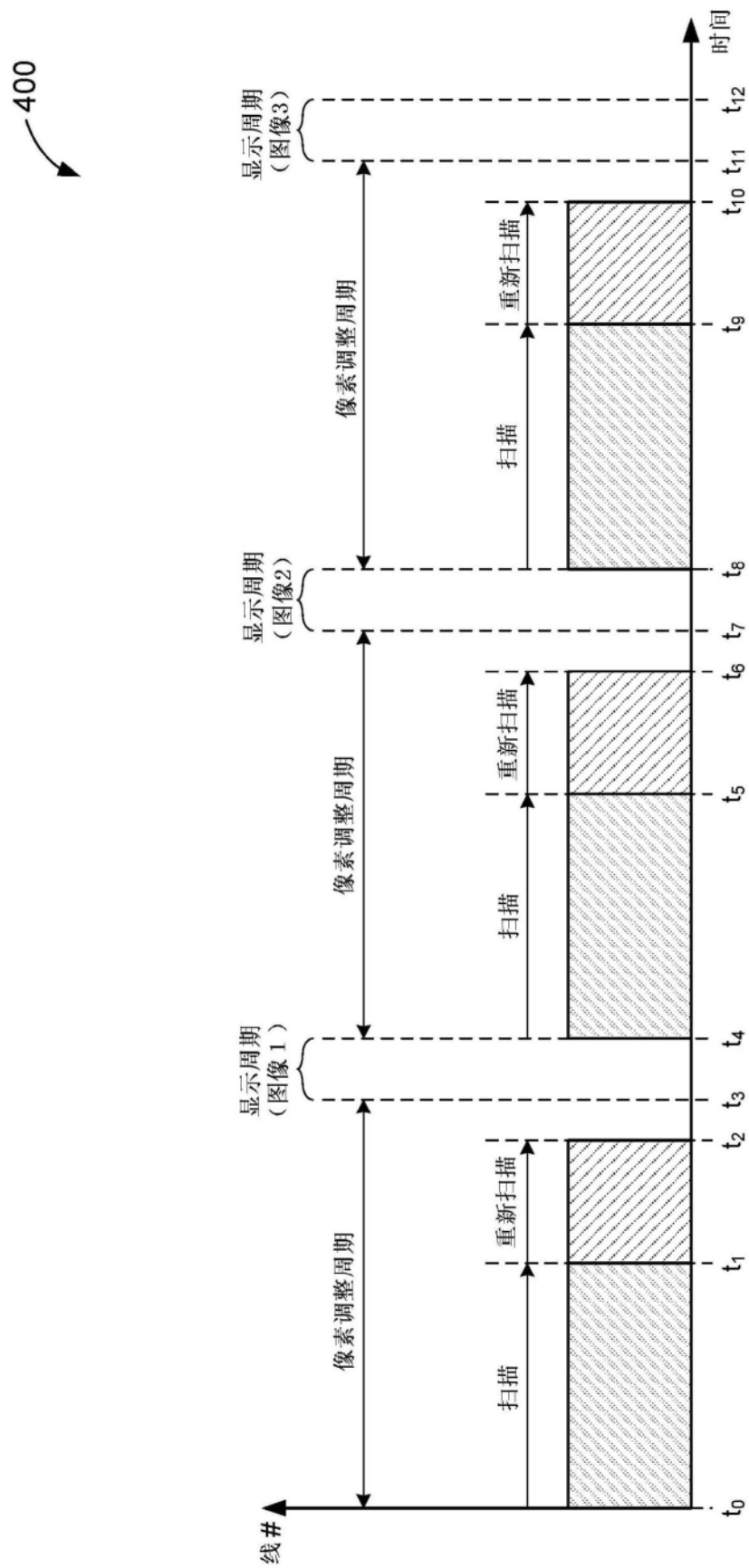


图4

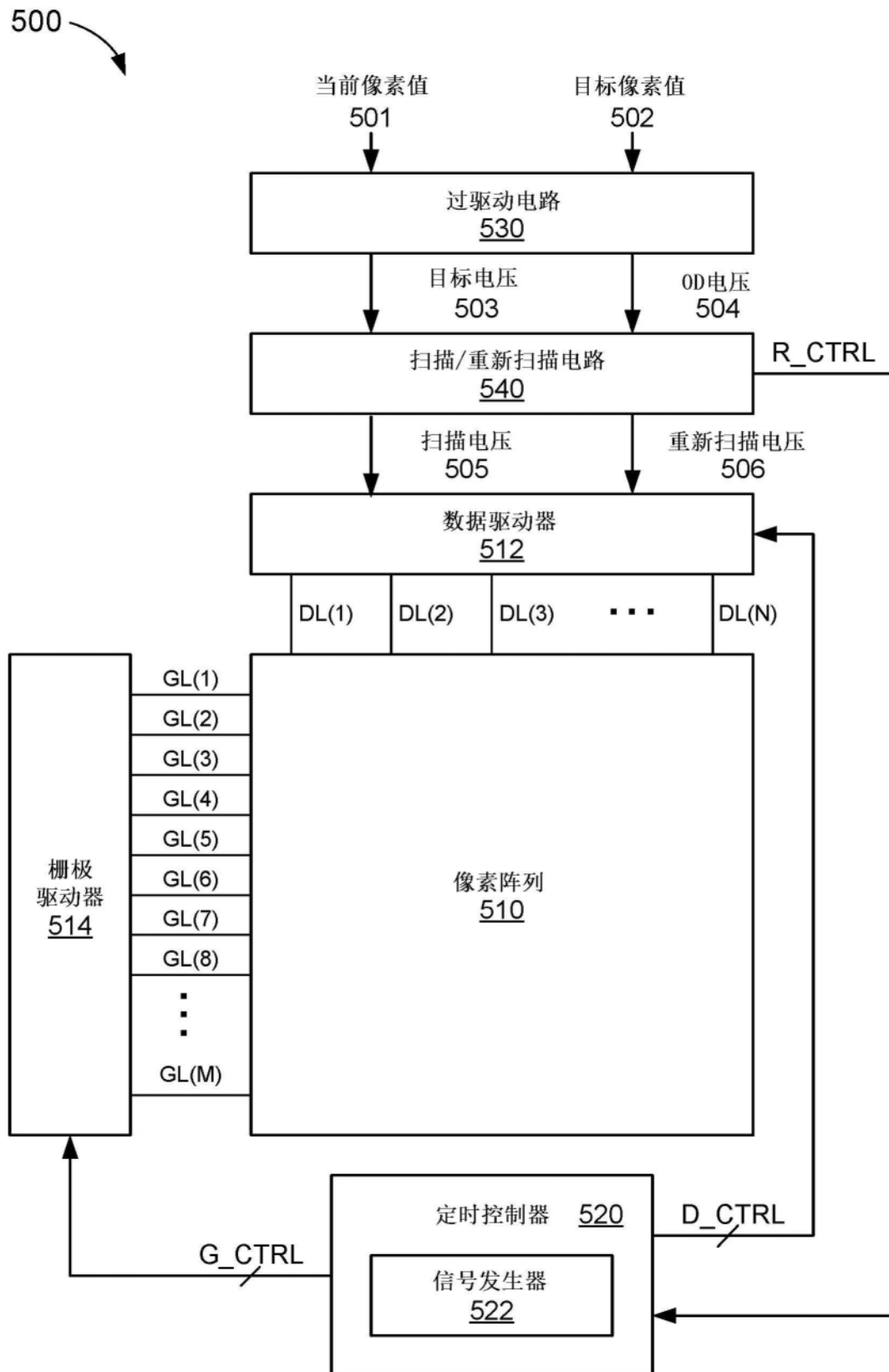


图5

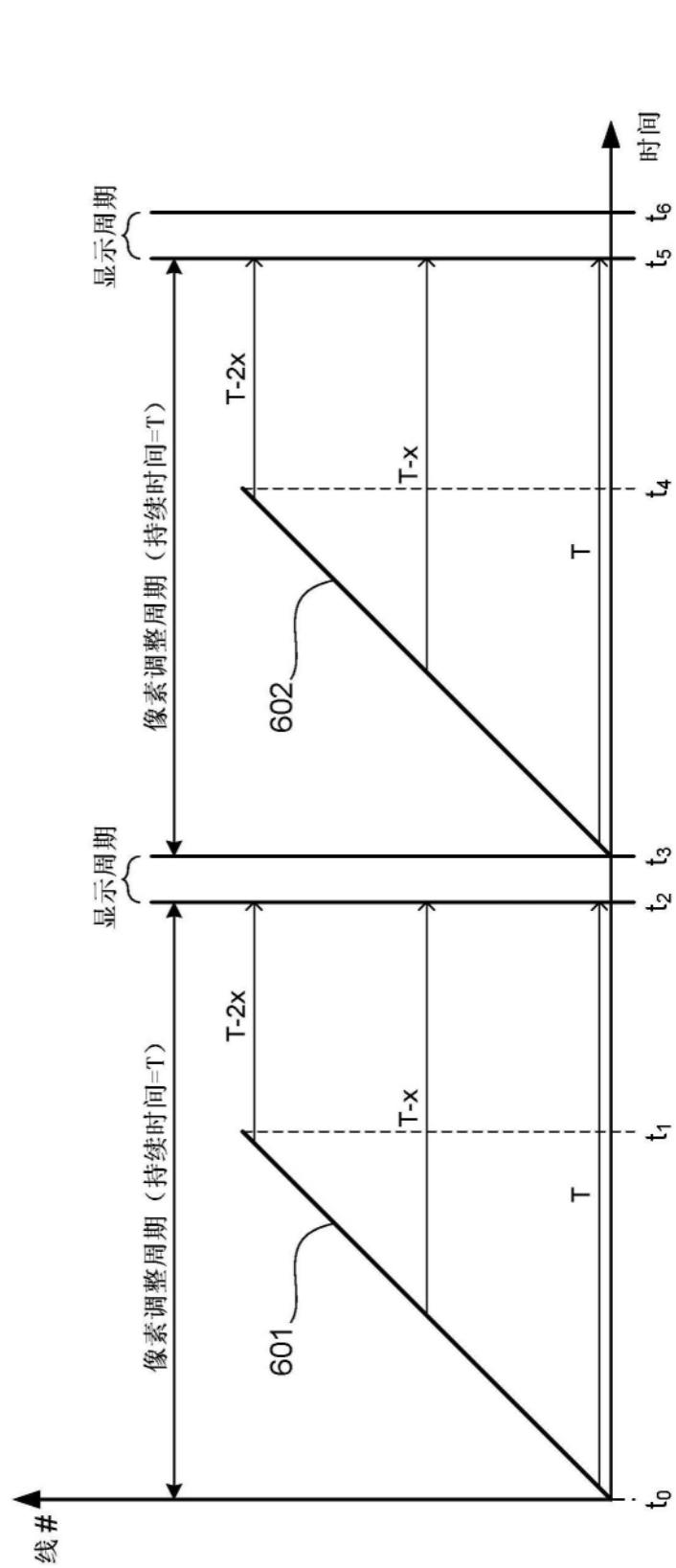


图6

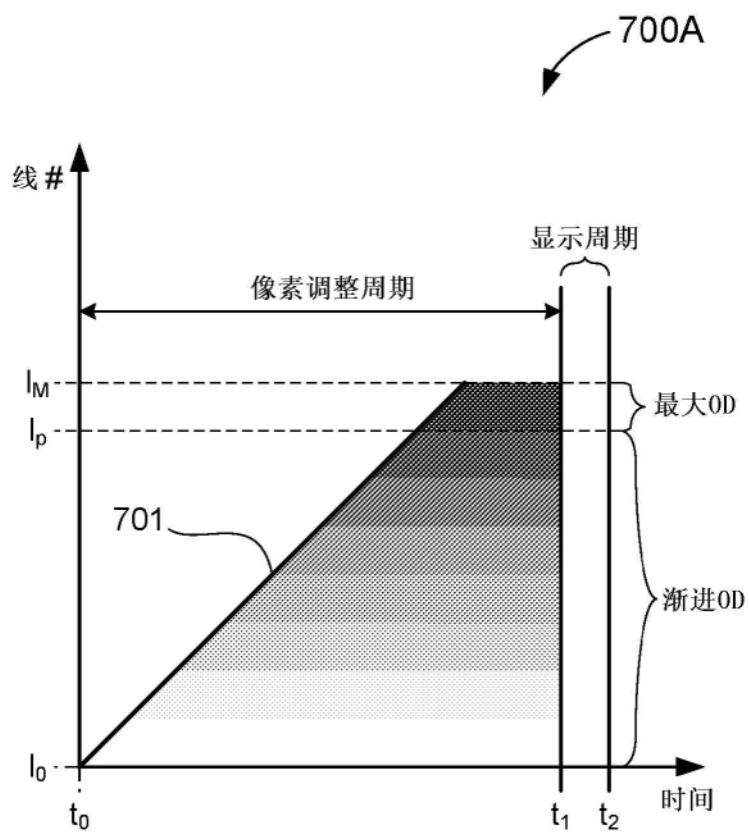


图7A

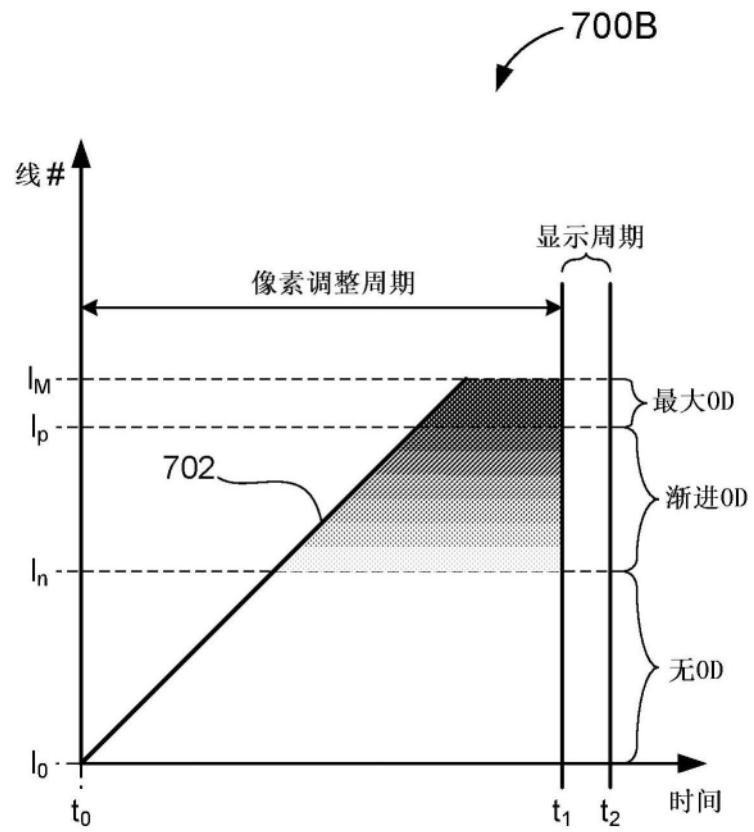


图7B

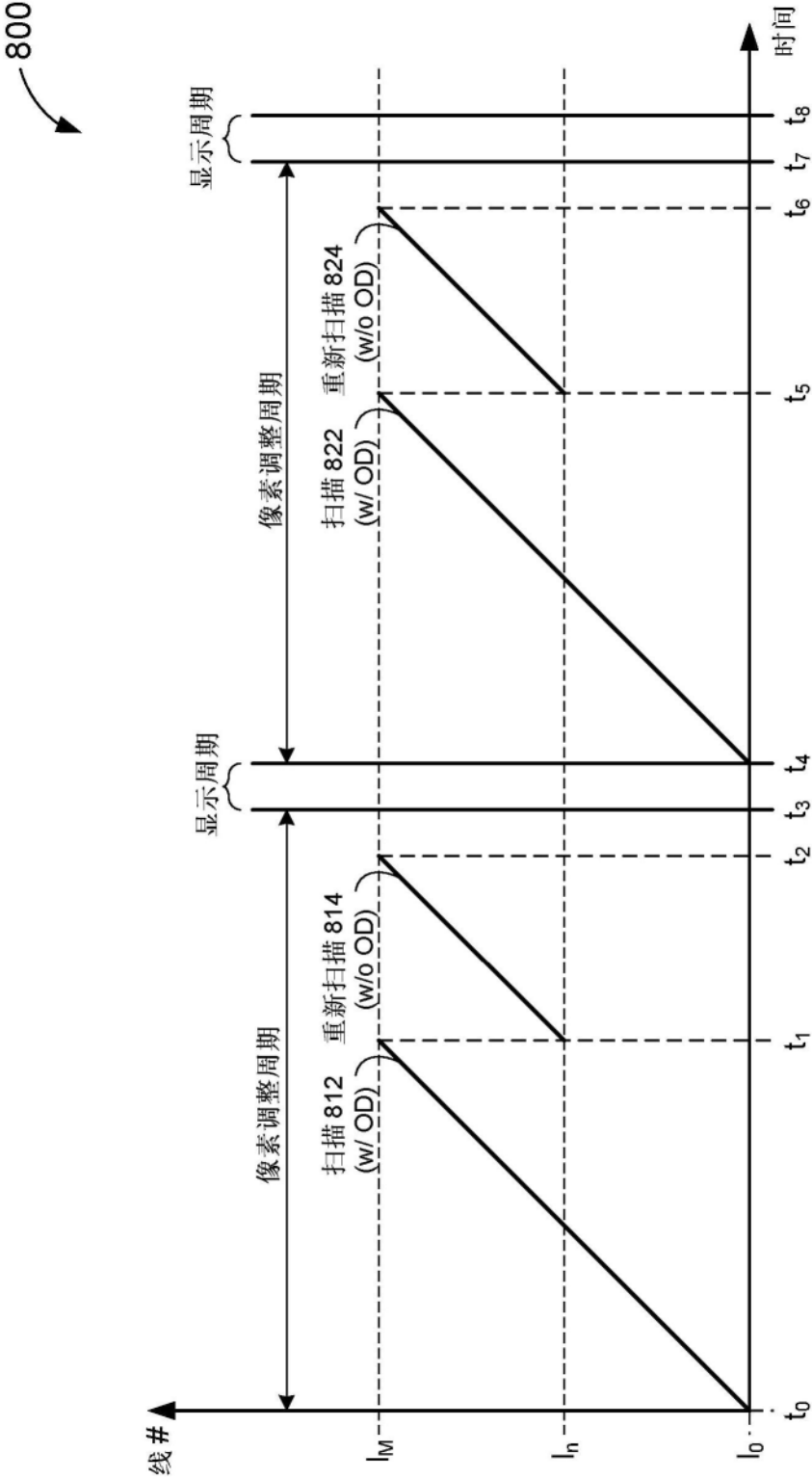


图8

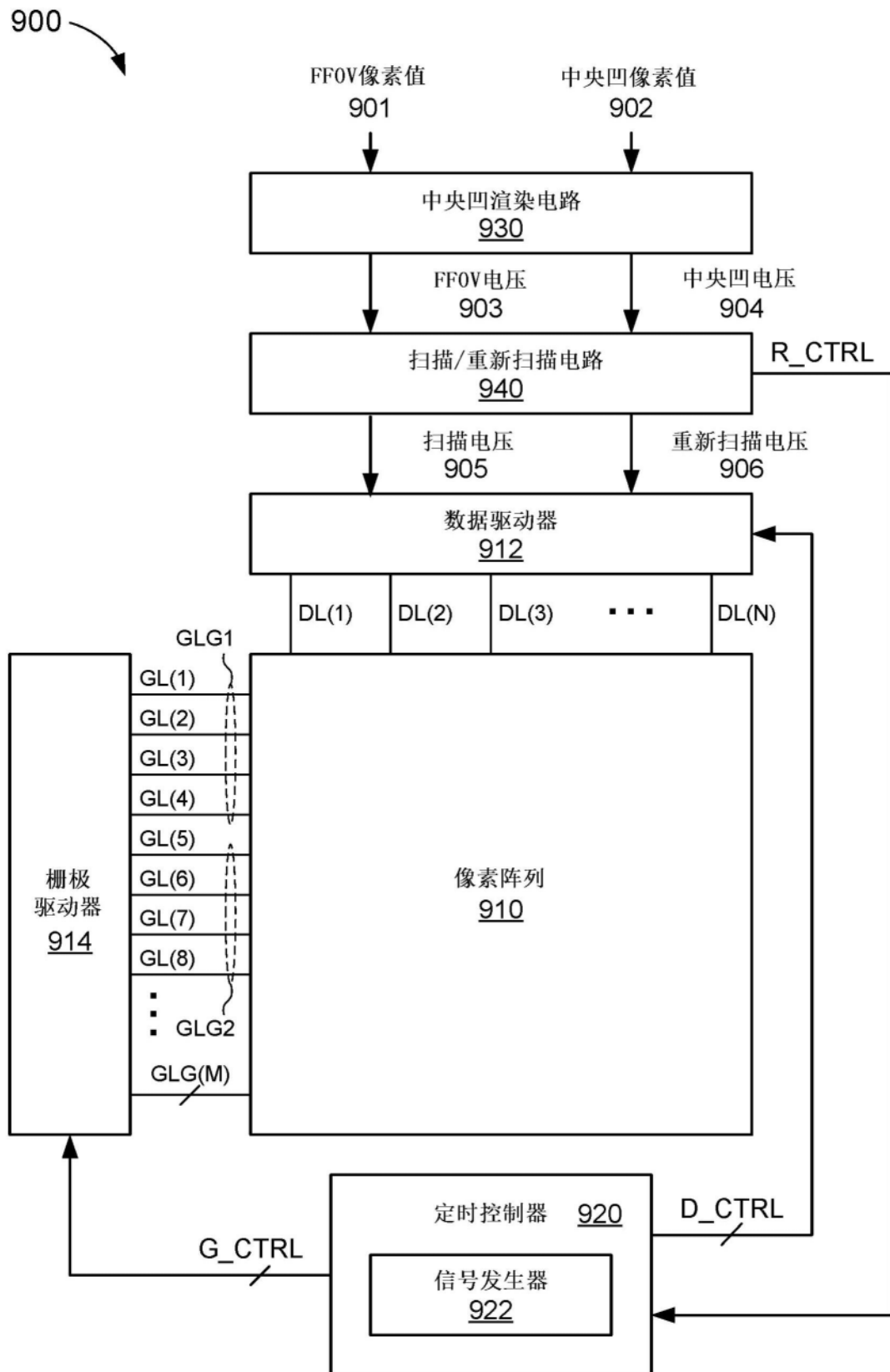


图9

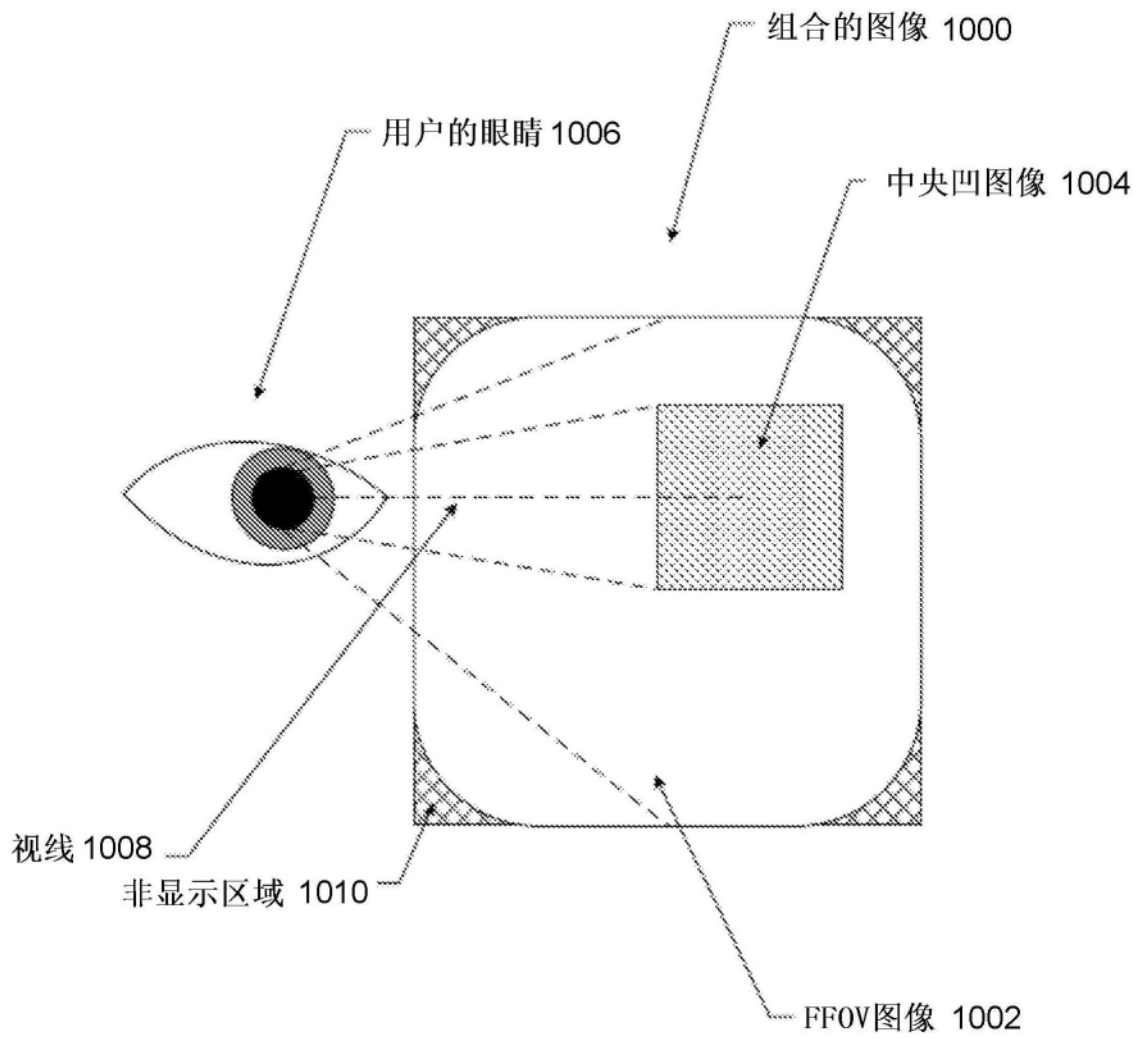


图10

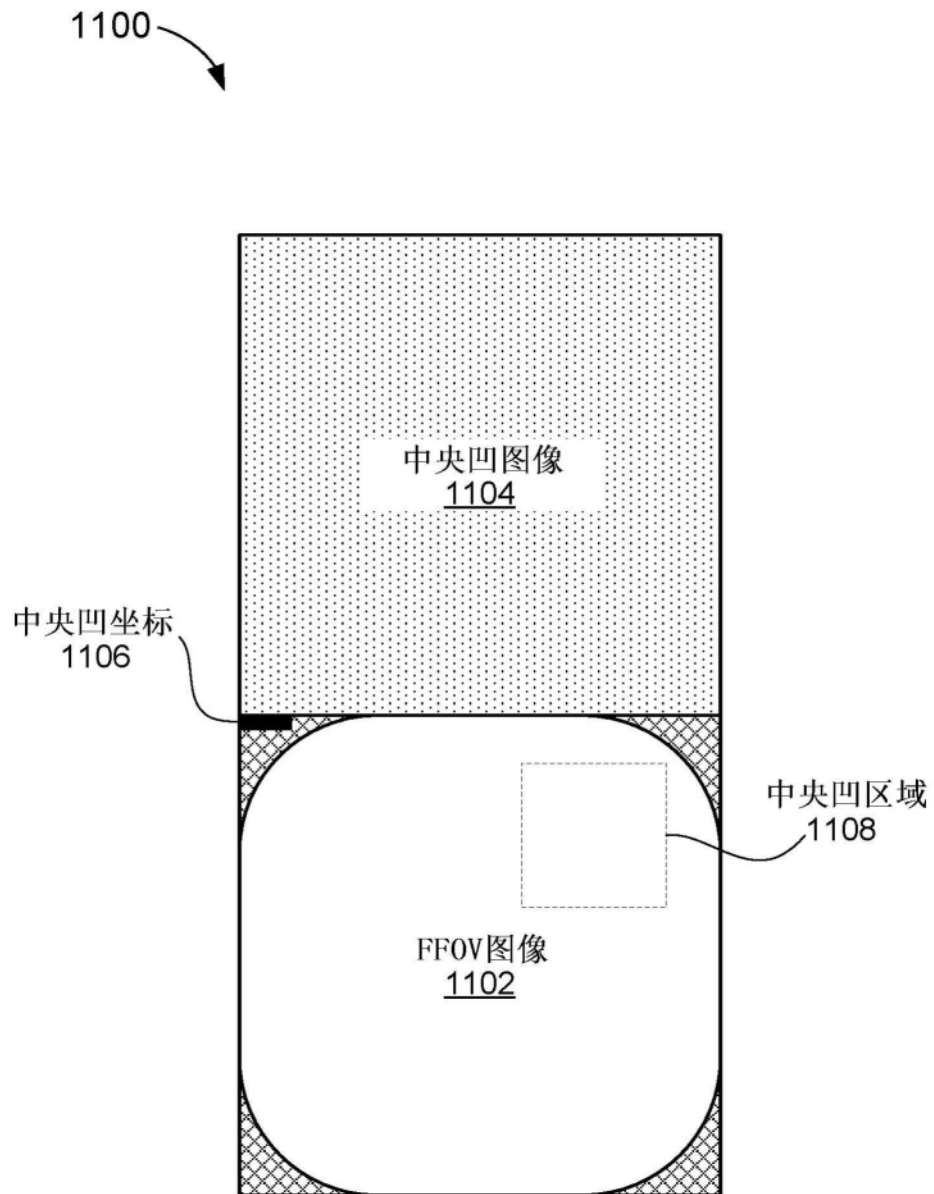


图11

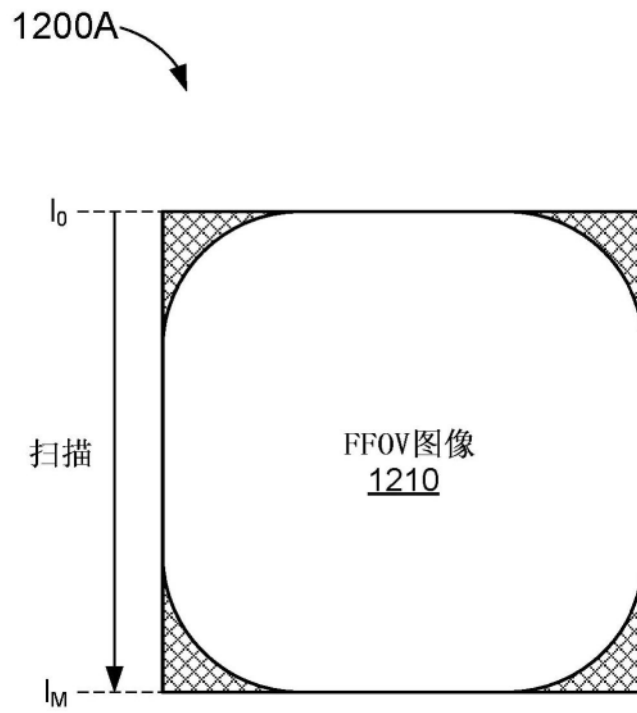


图12A

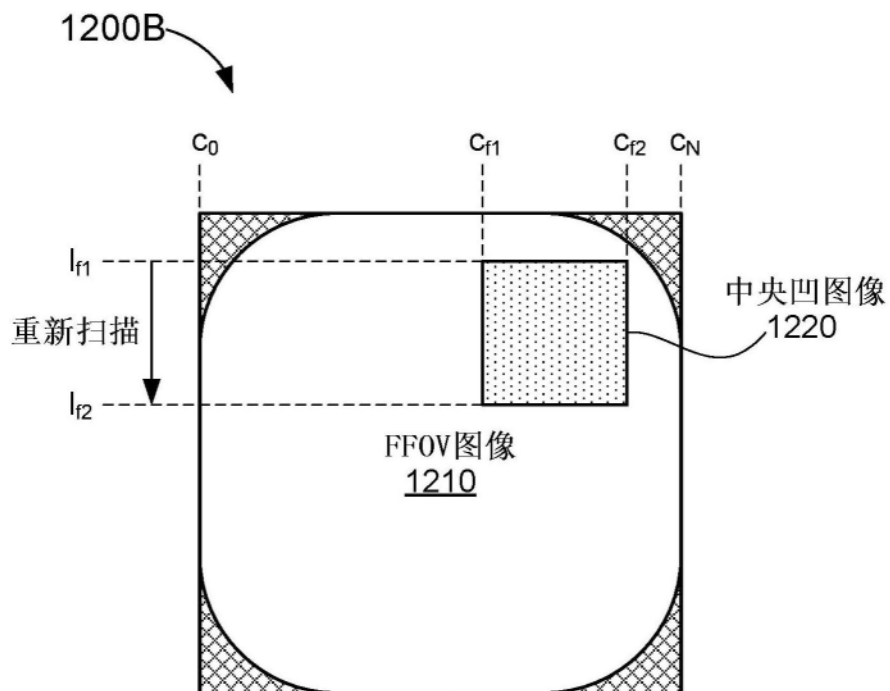


图12B

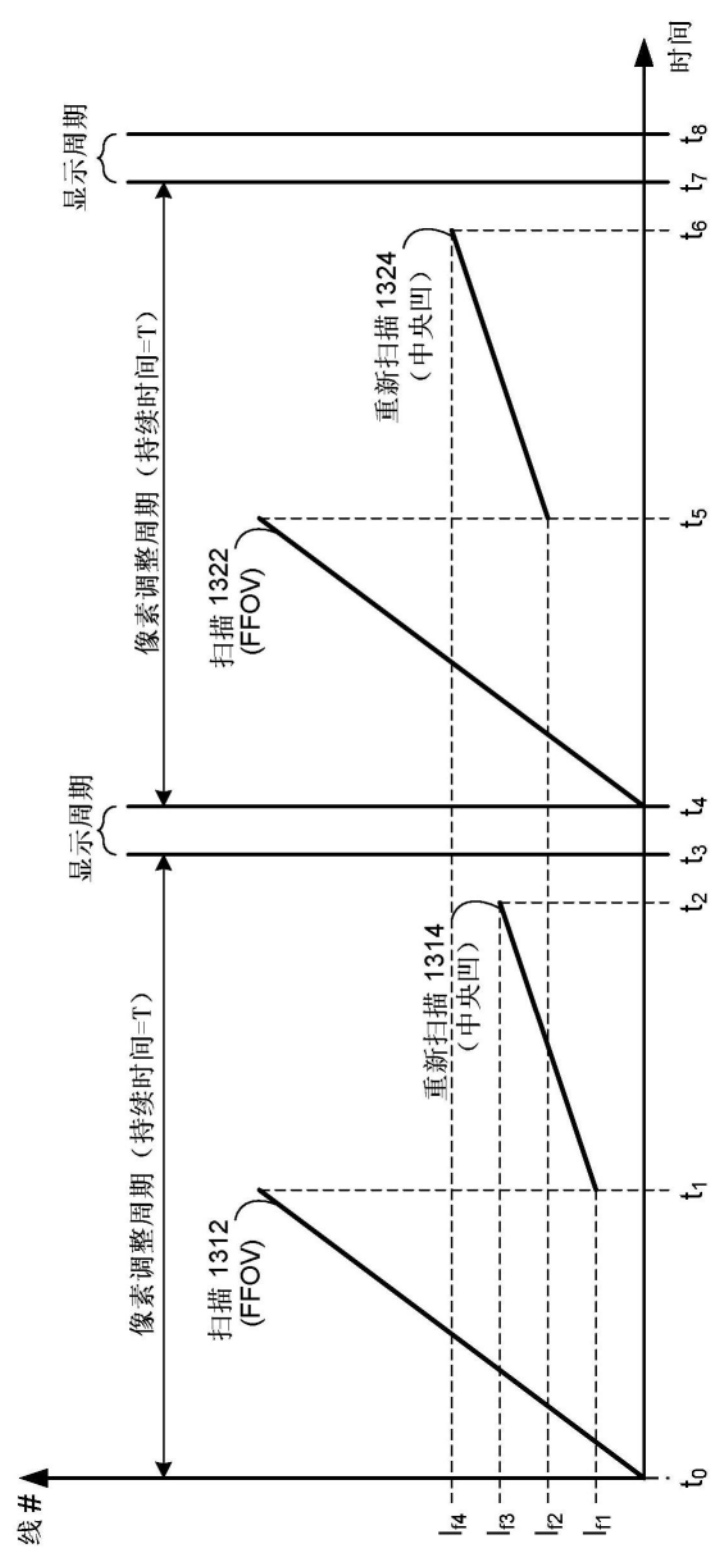


图13

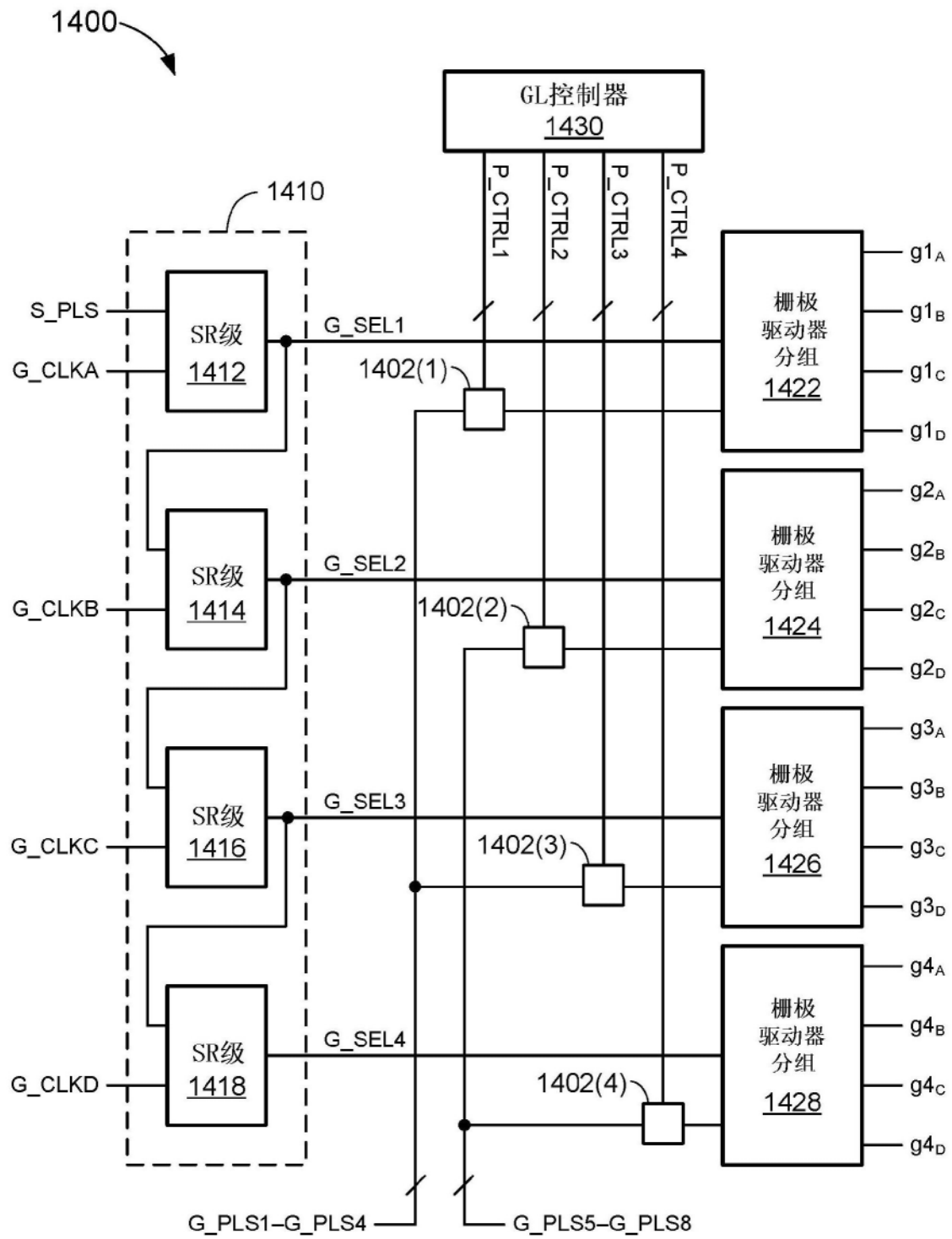


图14

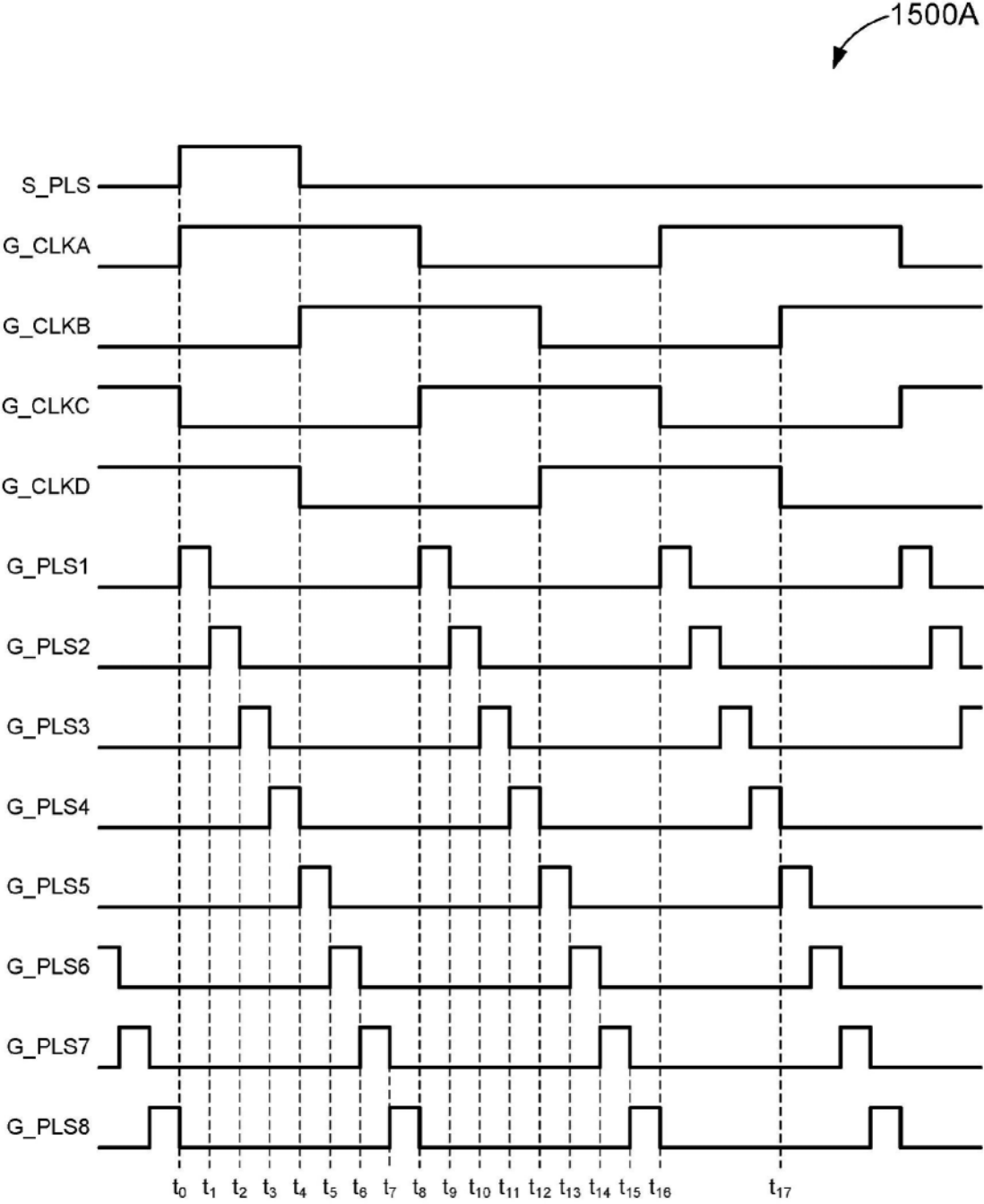


图15A

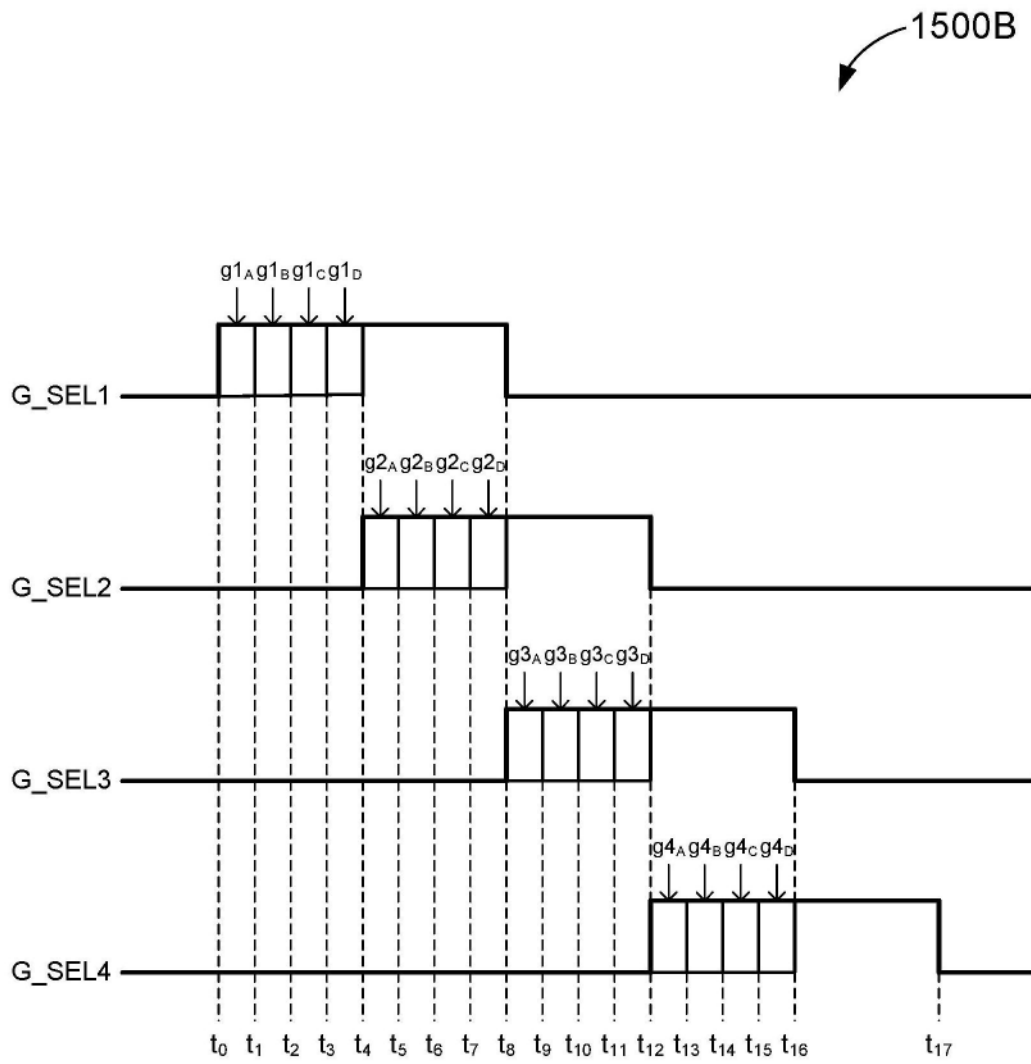


图15B

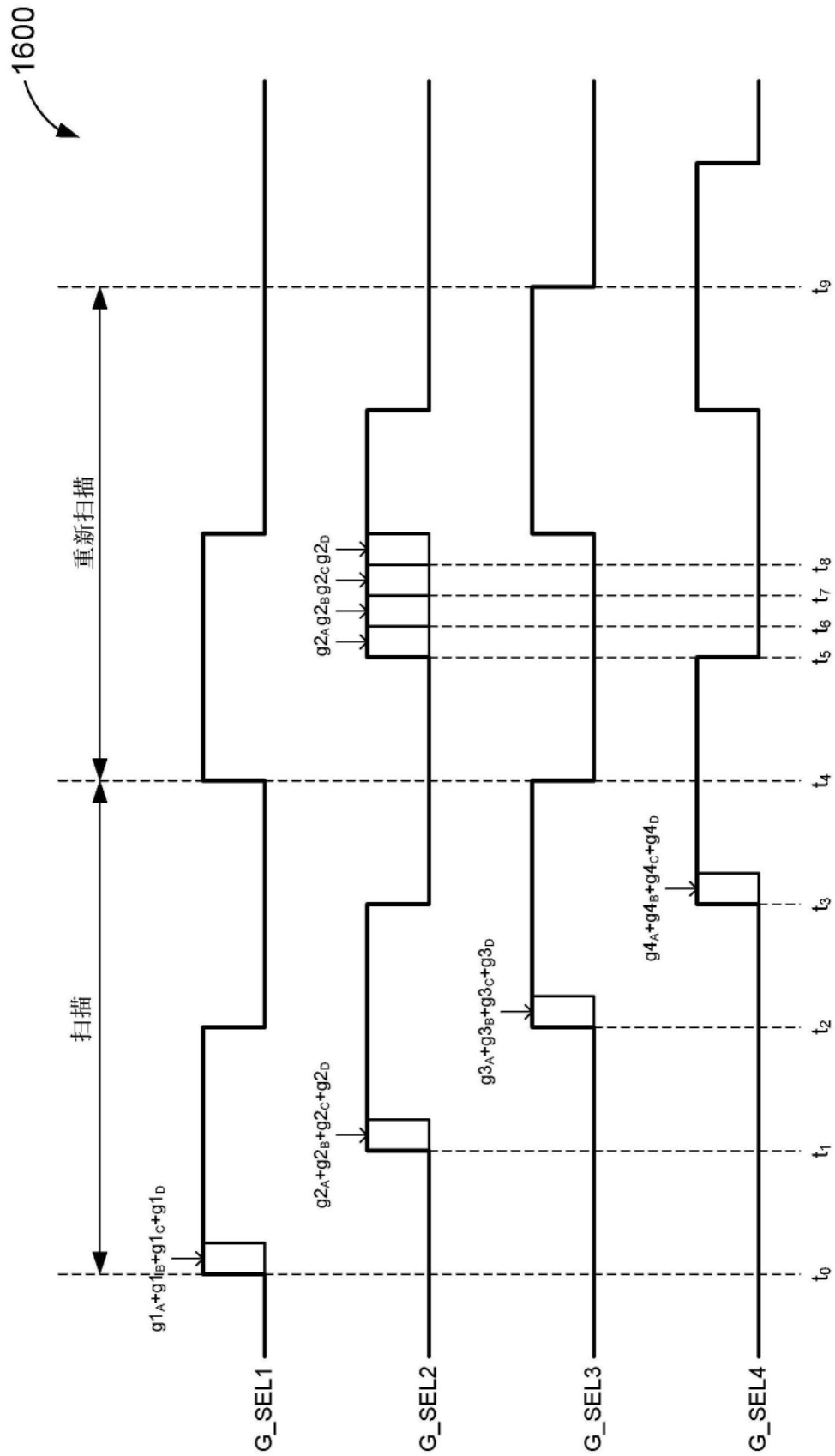


图16

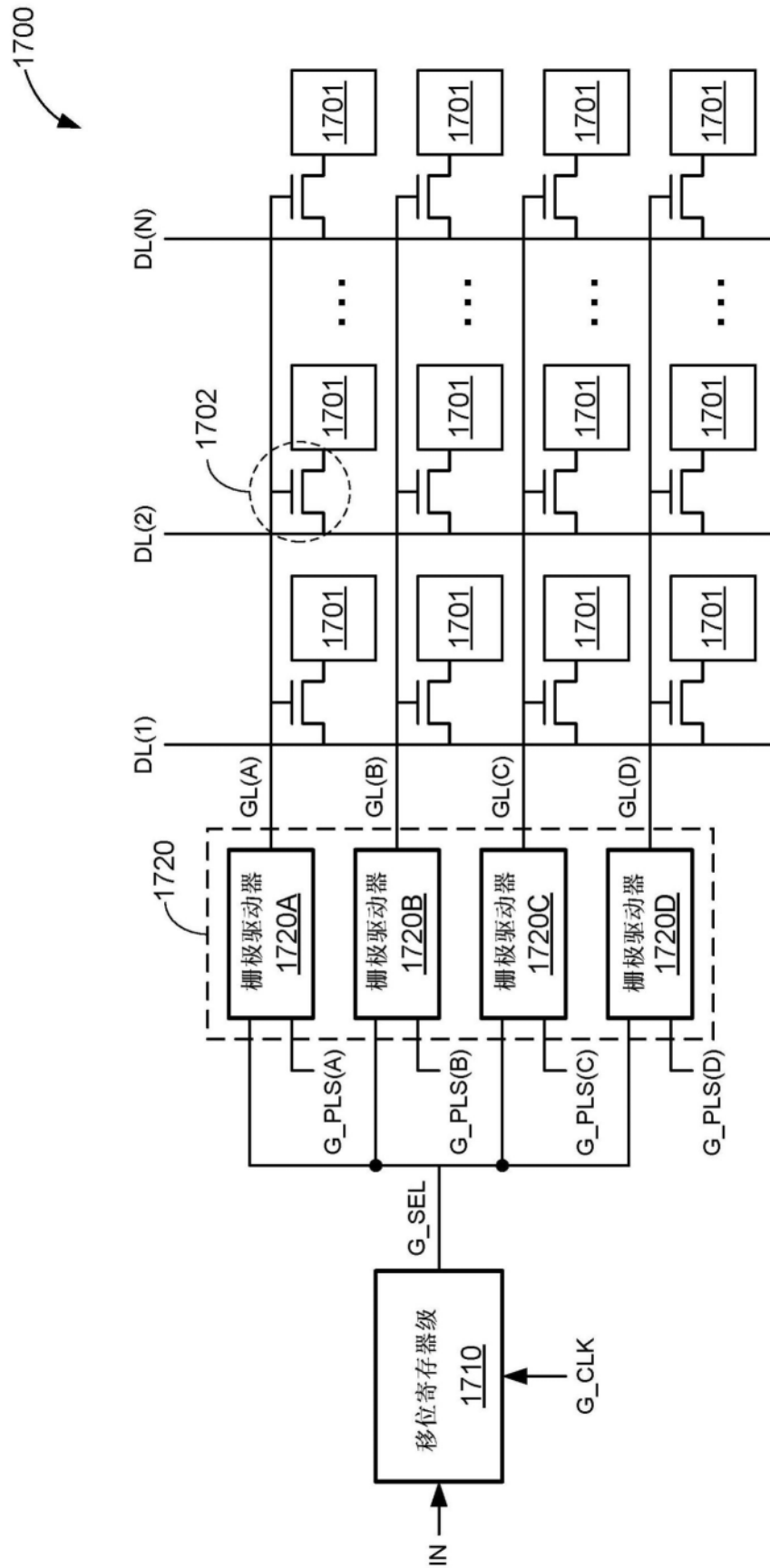


图17

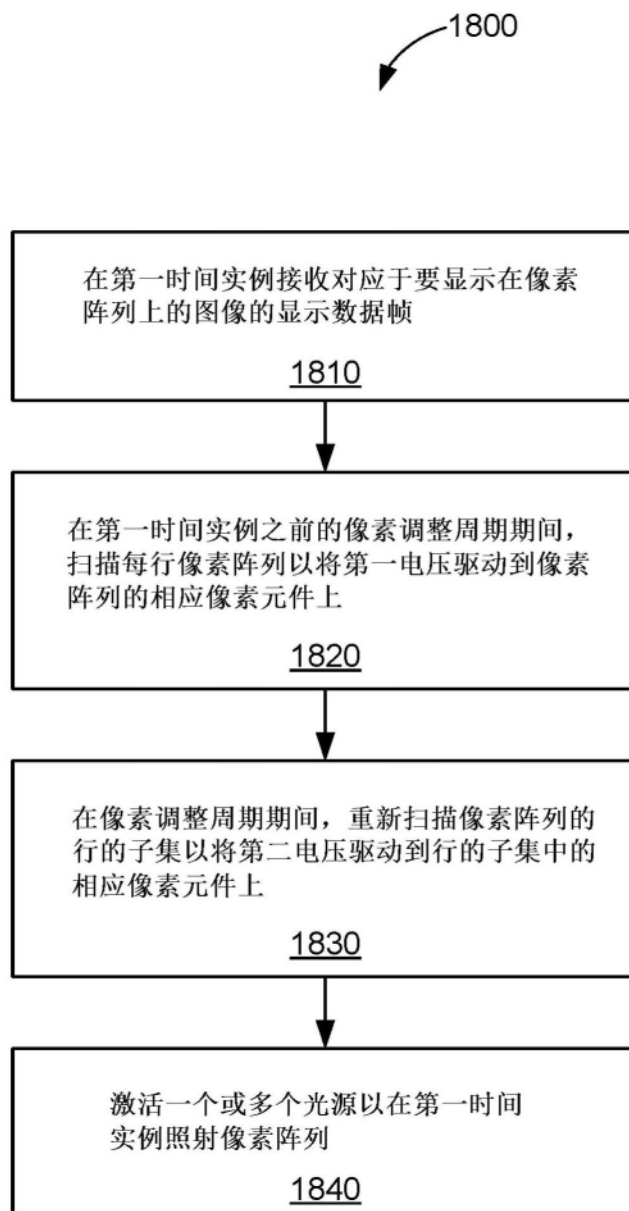


图18

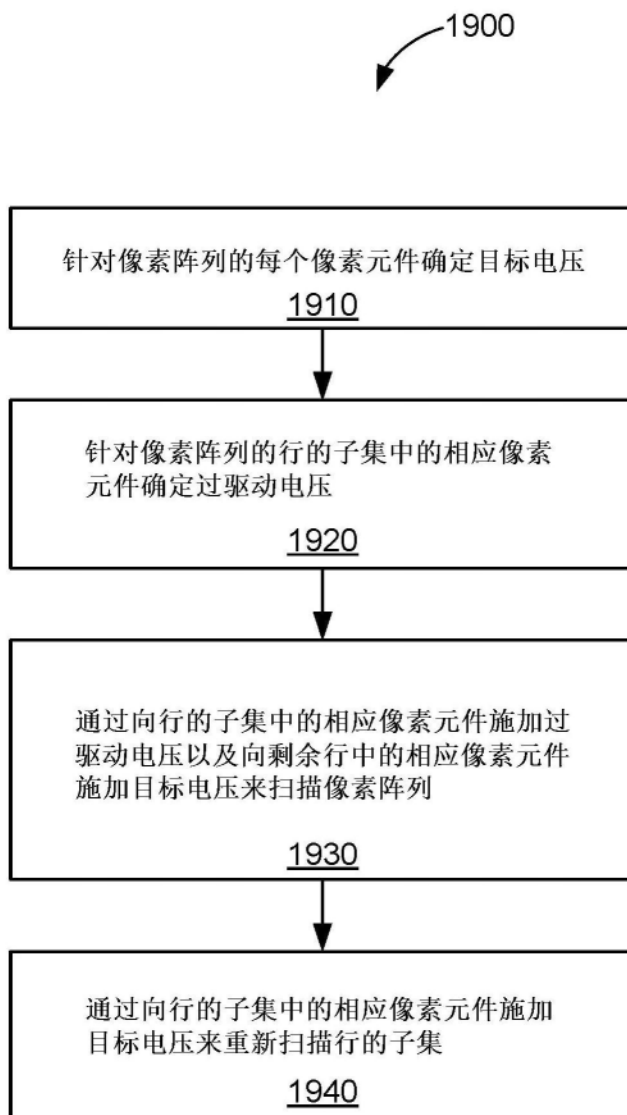


图19

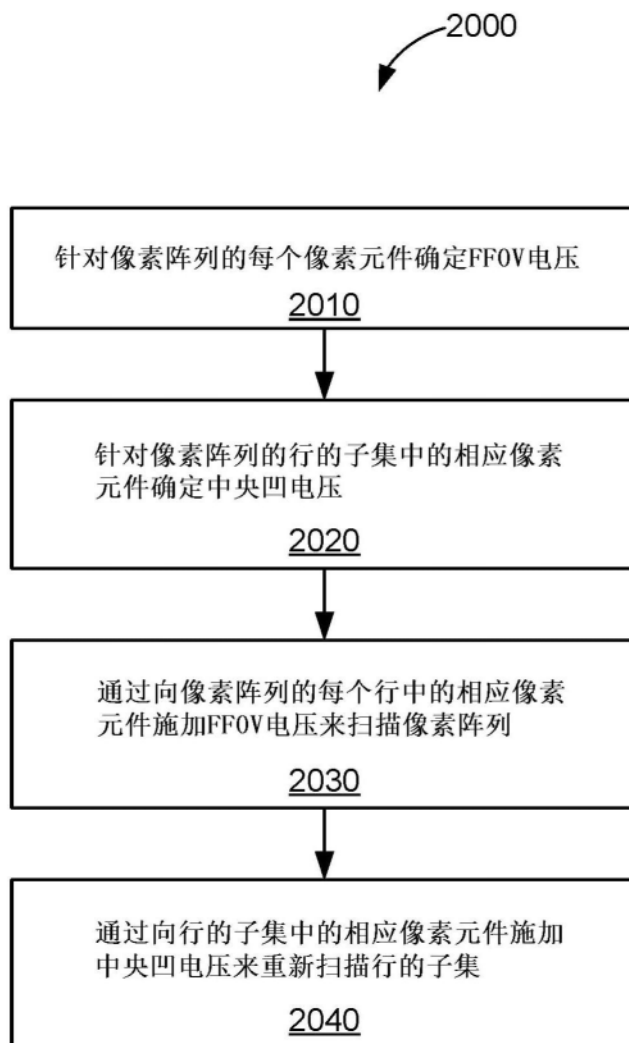


图20