



MINISTERO DELLO SVILUPPO ECONOMICO  
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE  
UFFICIO ITALIANO BREVETTI E MARCHI

# UIBM

<b>DOMANDA NUMERO</b>	<b>101994900411606</b>
<b>Data Deposito</b>	<b>28/12/1994</b>
<b>Data Pubblicazione</b>	<b>28/06/1996</b>

<b>Sezione</b>	<b>Classe</b>	<b>Sottoclasse</b>	<b>Gruppo</b>	<b>Sottogruppo</b>
H	05	K		

Titolo

"PERFEZIONATO MOLTIPLICATORE DI TENSIONE ON-CHIP PER MEMORIE A SEMICONDUTTORE"

DESCRIZIONE

a corredo di una domanda di brevetto per invenzione industriale avente per titolo:

" PERFEZIONATO MOLTIPLICATORE DI TENSIONE ON-CHIP PER MEMORIE A SEMICONDUTTORE "

Titolare: TEXAS INSTRUMENTS ITALIA S.p.A.

Inventore: MENICHELLI Stefano

\*\*\*

La presente invenzione si riferisce in linea generale alle memorie a semiconduttore e concerne in modo più particolare una originale implementazione di un circuito moltiplicatore di tensione che permette di far funzionare i circuiti integrati realizzati in tecnologia CMOS con una classica tensione di alimentazione di 3,3 Volt o di 5,0 Volt anche in quei casi in cui, internamente al circuito ed in determinate circostanze, si richiedano tensioni più elevate.

È noto, per esempio, che, nelle memorie EEPROM, si utilizzano, oltre alle dette tensioni di alimentazione normali di 5,0 o di 3,3 Volt, anche delle tensioni superiori, che possono essere di 12 Volt oppure in certi casi anche di 18 Volt, allo scopo di effettuare le operazioni di programmazione delle celle o la loro cancellazione. Chiaramente, queste memorie hanno perciò bisogno di una alimentazione addizionale, cosa che comporta qualche problema, se non altro per il fatto che la esigenza di fornire due alimentazioni invece che una non è certamente favorevole. Esiste, quindi, il problema di avere sul chip una tensione superiore a quella di alimentazione.

A questa esigenza si è risposto finora utilizzando particolari soluzioni definite "pompe di carica" oppure delle disposizioni di condensatori nella configurazione "bootstrap", in cui i condensatori vengono caricati in parallelo e poi commutati in serie, per cui l'energia in essi immagazzinata viene sfruttata per innalzare la tensione.

L'inconveniente fondamentale di questa soluzione è costituito dal fatto che, con l'aumentare del carico, si verifica un collassamento di tensione perchè, naturalmente, la situazione non è quella di un generatore di corrente ideale.

Con la soluzione della presente invenzione, invece, l'efficienza della moltiplicazione della tensione e la capacità di pilotaggio della corrente di carico vengono notevolmente perfezionate in confronto con le soluzioni precedenti, in particolare le pompe di carica. Poichè l'efficienza della moltiplicazione è in stretta relazione con l'efficienza di potenza, questa tecnica è conveniente anche per applicazioni a bassa potenza.

Ulteriori dettagli, particolarità e vantaggi della presente invenzione appariranno evidenti dal seguito della descrizione con riferimento ai disegni allegati, in cui sono rappresentate a titolo illustrativo e non restrittivo le preferite forme di realizzazione.

Nei disegni:

la Figura 1 mostra un circuito moltiplicatore di tensione Dickson con diodi,

la Figura 2 mostra uno schema elettrico concettuale di un moltiplicatore di tensione secondo la presente invenzione, con relative temporizzazioni,

la Figura 3 mostra una implementazione circuitale con transistori MOS dello schema di principio della Figura 2,

la Figura 4 mostra una implementazione circuitale dettagliata del moltiplicatore di tensione della presente invenzione,

la Figura 5 uno schema a blocchi di un generatore di alta tensione,

la Figura 6 mostra un circuito moltiplicatore di tensione a due moduli,

la Figura 7 mostra i risultati delle simulazioni SPICE sul circuito della Figura 6,

la Figura 8 mostra un altro circuito moltiplicatore di tensione secondo la presente invenzione, con due moduli,

la Figura 9 mostra i risultati delle simulazioni SPICE sul circuito della Figura 8.

La maggior parte dei circuiti moltiplicatori di tensione sono basati sullo schema della Figura 1, il quale comprende due schiere di condensatori in parallelo, comandati dai due segnali di fase PH e PH<sub>-</sub>, facenti capo ed intercalati in una catena di diodi in serie dall'ultimo dei quali si ricava la corrente di uscita I<sub>out</sub> alla tensione desiderata. Poichè nella tecnologia CMOS classica non sono disponibili diodi, una implementazione pratica di questo circuito utilizza transistori MOS collegati in modo da svolgere la funzione di diodi. Questo generatore di

*Ing. Barriano & Zanardo*  
*Roma s.p.a.*

alta tensione incorporato nello stesso chip fu proposto da John Dickson nel 1976 ed è fondamentalmente derivato dal moltiplicatore di tensione di Cockroft-Walton. Nel circuito della Figura 1, pacchetti di cariche vengono pompate lungo la catena di diodi a mano a mano che i condensatori di accoppiamento vengono successivamente caricati e scaricati sotto l'azione dei due segnali di clock o di cadenzamento PH e PH\_ che sono in opposizione di fase, con ampiezza Vdd.

Supponendo che i diodi siano ideali, che i condensatori  $C_i$  ( $i = 1...N$ ) abbiano lo stesso valore e che il circuito si stabilizzi alla desiderata tensione di uscita Vout con corrente di carico media costante Iout, si applicano le seguenti formule:

(1) efficienza di potenza =  $V_{out} / [V_{dd} * (N + 1)]$

(2)  $N = \{ (V_{Nmax} - 2 * V_{dd}) / [V_{dd} - (V_{Nmax} - V_{out})] \} + 1$

in cui VNmax rappresenta la tensione massima sul nodo VN prima che il condensatore Cn si scarichi all'uscita.

La formula (1) significa che l'efficienza della moltiplicazione e l'efficienza di potenza, vale a dire il rapporto tra la potenza di uscita e la potenza totale di alimentazione, esprimono lo stesso concetto. Normalmente i diodi sono sostituiti da transistori MOS con canale N collegati per operare come diodi. Non vengono usati transistori con canale P a causa delle note difficoltà associate alla polarizzazione del substrato e con la commutazione allo stato non conduttore. A causa della scarsa capacità dei transistori MOS con canale N di commutare efficientemente elevati livelli di tensione, l'efficienza di moltiplicazione e la capacità di pilotare la corrente di carico sono ambedue notevolmente

*Ing. Barrano & Barardo*  
*Roma s.p.a.*

degradate rispetto alla implementazione a diodi. Per esempio, una tipica implementazione di una pompa di carica realizzata mediante transistori MOS, per generare una tensione di 18 Volt da un alimentatore di energia elettrica da 5 Volt, presenta il doppio degli stadi necessari per equivalenti implementazioni a diodi.

Allo scopo di superare questi inconvenienti, un primo aspetto della presente invenzione suggerisce una nuova tecnica di realizzazione di un moltiplicatore di tensione, il cui schema concettuale con relative temporizzazioni è rappresentato nella Fig. 2.

Come si vede nella Figura 2, sono sempre previsti una successione in serie di condensatori  $C_i$  ( $i = 1...N$ ) intercalati con una schiera di interruttori  $T_j$  ( $j = 2...N$ ), i cui nodi di estremità ed intermedi sono riportati attraverso una schiera di interruttori  $T_1$  e  $D_i$  ( $i = 1...N$ ) alla tensione di alimentazione  $V_{dd}$ , nonché, attraverso una schiera di interruttori  $S_i$  ( $i = 1...N$ ), alla massa, la corrente di uscita  $I_{out}$  essendo prelevata dall'ultimo condensatore  $C_N$  attraverso un ulteriore interruttore  $T(N+1)$ .

Il circuito opera utilizzando un segnale di cadenzamento PH per commutare in chiuso e aperto gli interruttori  $D_i$ ,  $S_i$  e  $T_j$  ( $i = 1...N$ ;  $j = 1...N+1$ ). Ciascun condensatore  $C_i$  viene caricato alla tensione  $V_{dd}$  direttamente dalla alimentazione di  $V_{dd}$  quando gli interruttori  $D_i$  e  $S_i$  sono chiusi e gli interruttori  $T_j$  sono aperti. Nella successiva fase del segnale di cadenzamento, gli interruttori  $D_i$  e  $S_i$  si aprono e gli interruttori  $T_j$  si chiudono. In una tale configurazione di commutazione, i

*Ing. Barrano & Barardo*  
*Roma s.p.a.*

condensatori  $C_i$  sono collegati in serie e si scaricano direttamente all'uscita.

Dovrebbe essere usato il numero minimo  $N$  di condensatori per superare, di un valore ragionevole  $\Delta V$ , la desiderata tensione di uscita. Supponendo che i condensatori  $C_i$  abbiano lo stesso valore  $C$  di capacità, che  $F$  sia la frequenza del segnale di cadenzamento  $PH$  e che il circuito sia stabilizzato sulla desiderata tensione di uscita  $V_{out}$  con una corrente media di carico  $I_{out}$ , si applicano le seguenti formule

$$(3) \quad \Delta V = V_{dd} * (N+1) - V_{out}$$

$$(4) \quad I_{out} = \Delta V * C * F / N$$

Per l'efficienza di potenza, la formula (1) è ancora valida. Poichè il valore in  $N$  è uguale o quasi uguale al valore teorico minimo, anche in una implementazione pratica, il moltiplicatore di tensione secondo la presente invenzione è idoneo per applicazioni di bassa potenza, come nei circuiti con alimentazione di energia elettrica a batteria.

Poichè la tensione attraverso gli interruttori  $T_j$  ( $j = 1 \dots N$ ) varia da 0 Volt a  $V_{dd}$  e non cambia mai di segno, questi interruttori possono essere implementati con transistori MOS con canale P. Dato che esiste una diversa configurazione di polarizzazione per l'interruttore  $T(N+1)$  nonchè per gli interruttori  $D_i$ , per svolgere la funzione degli interruttori  $D_i$ ,  $S_i$  e  $T(N+1)$  vengono impiegati transistori MOS con canale N.

Una prima implementazione pratica dello schema concettuale della Figura 2 è mostrato nella Figura 3. Una tecnica di bootstrap è stata impiegata per pilotare appropriatamente le regioni di gate dei

*Ing. Barzano & Ranardo*  
*Roma s.p.a.*

transistori MOS con canale N le cui regioni di source non si trovano a potenziale  $V_{ss}$ .

I transistori  $NC\_Di$  ( $i = 1...N$ ) (transistori MOS con canale N) impiegati per implementare gli interruttori  $Di$  della Figura 2, vengono commutati tramite un duplicatore di tensione costituito dal condensatore  $C_b$  e dal transistore  $NC\_B$ , collegato come diodo. Come si vede il condensatore  $C_b$  è inserito tra il segnale di cadenzamento PH e le regioni di gate di tutti i transistori  $NC\_Di$ , mentre il transistore diodo  $NC\_B$  è inserito tra detto condensatore  $C_b$  e la tensione di alimentazione  $V_{dd}$ .

Come si vede, il circuito può idealmente essere considerato suddiviso in stadi i cui componenti sono tutti collegati in maniera analoga. Considerando il primo stadio ( $C1$ ,  $T1$ ,  $S1$ ,  $D1$  della Figura 2 e  $C1$ ,  $PC\_T1$ ,  $NC\_S1$ ,  $NC\_D1$  della Figura 3) si vede che il transistore  $PC\_T1$  è inserito tra la tensione  $V_{dd}$  ed il nodo  $V10$  di connessione al terminale inferiore del condensatore  $C1$  ed ha il suo terminale di gate collegato al terminale di gate del transistore  $NC\_S1$ . Quest'ultimo è inserito con i suoi terminali di source e drain tra la tensione  $V_{ss}$  e detto nodo  $V10$ . Il transistore  $NC\_D1$  è inserito tra il terminale superiore del condensatore  $C1$  e la tensione  $V_{dd}$  ed ha il terminale di gate pilotato dal segnale di fase PH, attraverso il condensatore  $C_b$ .

Per quanto riguarda il transistore di uscita  $T(N+1)$  della Figura 2, con riferimento alla Figura 3 si vede che esso è realizzato con un transistore NMOS indicato con  $NC\_T(N+1)$  inserito tra il terminale superiore del condensatore  $C_N$  dell'ultimo stadio e l'uscita ed avente il

terminale di gate pilotato dal terminale superiore del condensatore  $C_a$  di uno stadio supplementare.

Infatti, allo scopo di commutare efficientemente il transistor  $NC\_T(N+1)$  impiegato per implementare l'interruttore  $T(N+1)$  della Figura 2, alla sommità della struttura è stato aggiunto un piccolo stadio supplementare comprendente un transistor  $NC\_DA$  di tipo NMOS, un condensatore  $C_a$ , un transistor  $PC\_TA$  di tipo PMOS ed un transistor  $NC\_SA$ , collegati analogamente agli stadi precedenti. Le dimensioni dei transistori  $NC\_DA$ ,  $PC\_TA$  e  $NC\_SA$  nonché quella del condensatore  $C_a$  sono inferiori a quelle dei corrispondenti componenti degli altri  $N$  stadi.

Poichè questo circuito permette di caricare i condensatori  $C_i$  ( $i = 1 \dots N$ ) completamente a  $V_{dd}$  e di scaricarli direttamente all'uscita, la capacità di pilotare la corrente di carico è perfezionata rispetto ad una classica implementazione equivalente di una pompa di carica. Inoltre, si dovrebbe notare che, diversamente dal circuito della Figura 1, la tensione massima attraverso ciascun condensatore (eccetto il condensatore di uscita  $C_{out}$ ) è uguale soltanto alla tensione di alimentazione  $V_{dd}$ .

Per ottenere una maggiore efficienza, si possono apportare alcuni perfezionamenti di carattere ingegneristico elettrico alla disposizione rappresentata nella Figura 3. Infine, lo schema definitivo di un circuito moltiplicatore di tensione a quattro stadi è rappresentato nella Figura 4. In particolare alcune connessioni sono state revisionate e ridisposte per ridurre la sollecitazione in tensione attraverso l'ossido

*Ing. Barrano & Tanardo*  
*Roma s.p.a.*

di gate dei transistori NC\_SA, NC\_S4, NC\_S3 e NC\_S2 oltre che per diminuire le loro dimensioni. D'altra parte, le dimensioni dei transistori dovrebbero essere mantenute le più basse possibile, allo scopo di diminuire gli effetti delle capacità parassite sui nodi ad alta tensione.

Il transistorore NC\_DA fornisce un percorso per caricare il condensatore Ca e nello stesso tempo permette di commutare rapidamente e sicuramente in interdizione il transistorore NC\_T5 all'inizio della fase di carica. Nella sezione iniziale del circuito, al transistorore NC\_B della Figura 3 (indicato con NC\_BO nella Figura 4) è stato aggiunto in parallelo un ulteriore transistorore NC\_B1 di tipo NMOS, anch'esso inserito con i terminali di source e drain tra il condensatore Cb e la tensione Vdd, ma pilotato in base dalla tensione del terminale superiore del condensatore C1 del primo stadio, con la funzione di caricare completamente il condensatore Cb, compensando la caduta di soglia che si verifica attraverso il transistorore diodo NC\_BO.

La sollecitazione in tensione che si verifica attraverso l'ossido di gate dei transistori con canale P inseriti nella parte superiore del circuito può essere facilmente ridotta, allacciando le loro regioni di gate direttamente alla tensione Vdd oppure ad un nodo inferiore ad alta tensione. Per esempio, il terminale di gate del transistorore PC\_TA potrebbe essere riportato direttamente alla tensione Vdd oppure al nodo V10\_5 o V15\_5. Il nodo V20\_5 non dovrebbe essere usato perchè in tal caso vi sarebbe una tensione inferiore a 5 Volt per commutare in conduzione il transistorore PC\_TA.

*Ing. Barzani & Ramardo*  
*Roma s.p.a.*

Una tale modificazione di connessione non influenza la funzionalità elettrica del circuito. Tuttavia, assumendo che i limiti di processo del circuito integrato CMOS non vengano superati, i terminali di gate dei transistori con canale P dovrebbero essere collegati al nodo VDPC (pilotaggio dei transistori con canale P), nella maniera rappresentata nella Figura 4, allo scopo di diminuire le dimensioni di questi transistori e nello stesso tempo portarli in uno stato di profonda conduzione durante la fase di scarica. Se, però, si richiede un cambiamento di connessione, si preferisce allacciare il terminale di gate dei transistori con canale P alla tensione Vdd.

La tensione massima all'interno del circuito moltiplicatore di tensione è in diretta relazione con la tensione di uscita Vout. La tensione di uscita non dovrebbe essere fatta salire al disopra della tensione di uscita richiesta. Per esempio, se la corrente di uscita Iout è bassa o nulla e/o la tensione di alimentazione dovesse incidentalmente aumentare al disopra dell'intervallo normale, le tensioni nella sezione superiore del circuito, cioè negli stadi finali, potrebbe superare i limiti di processo, con conseguenze che gli esperti nel ramo potrebbero agevolmente immaginare.

Nella Figura 5 è rappresentata una implementazione pratica di un generatore di alta tensione basato sugli insegnamenti finora esposti. In essa si vede che, tra il circuito moltiplicatore di tensione ed il carico, è stato inserito un circuito limitatore della tensione di uscita Vout con la funzione di evitare pericolose ed inutili sovratensioni all'interno del circuito moltiplicatore di tensione. Inoltre, allo scopo di rendere la

*Ing. Barriano & Fiorando*  
*Roma s.p.a.*

tensione di uscita Vout la più stabile possibile, intorno al circuito moltiplicatore di tensione è stato realizzato un anello di retroazione comprendente un circuito partitore di tensione ed un oscillatore controllato dalla tensione (VCO) che fornisce il segnale di clock all'ingresso del circuito moltiplicatore di tensione.

In conformità con le formule (3) e (4), una variazione della tensione di uscita Vout dovuta ad una variazione della corrente di uscita Iout può essere minimizzata regolando opportunamente la frequenza di clock F. La corrente di uscita Iout e la frequenza F sono correlate dalla semplice formula  $I_{out} = K \cdot F$ , in cui K è da assumere costante ed espressa da

$$\{ [V_{dd} \cdot (N+1) - V_{outd}] \cdot C \} / N$$

in cui Voutd è la tensione di uscita desiderata.

Se il circuito della Figura 4 è considerato come un "modulo", un circuito moltiplicatore dovrebbe essere costituito da due o più moduli collegati in parallelo all'uscita, a condizioni che essi utilizzino dei segnali di clock o di cadenzamento non sovrapposti, allo scopo di ridurre la tensione di ripple nell'uscita oltre che per aumentare la capacità di pilotaggio della corrente di carico.

### ESEMPI

Verranno ora illustrati due esempi eseguiti mediante simulazioni in SPICE con l'uso di memorie DRAM da 4 Mb della TEXAS INSTRUMENTS INC. Le simulazioni sono state eseguite applicando una tensione  $V_{ss} = 0$  Volt e  $V_{bb} = -3$  Volt, con  $V_{pp} = 5$  Volt.

#### Esempio 1

*Ing. Barzani & Barzani  
Roma s.p.a.*

Dati:                    Vdd = 5 Volt            F = 10 MHz

Requisiti:            Vout = 12 Volt        Iout = 1 mA

Applicando la formula (3), si è posto  $N=2$  e pertanto  $\Delta V$  è di 3 Volt. Sono stati usati due moduli per ridurre gli effetti di ripple. Dalla formula (4), la capacità del condensatore C dovrebbe essere di (100/3) pF, ma, tenendo conto delle capacità dei transistori, oltre che delle condizioni non ideali della carica e della scarica, il valore di C è stato aumentato del 14% e regolato a 38,0 pF. Il circuito moltiplicatore di tensione risultante dalla progettazione è rappresentato nella Figura 6. I risultati delle simulazioni sono rappresentate nella Figura 7. L'impedenza di uscita, in un esteso intervallo intorno al punto di lavoro, è praticamente costante ed inferiore a 2900 ohm.

#### Esempio 2

Dati:                    Vdd = 5 Volt            F = 10 MHz

Requisiti:            Vout = 18 Volt        Iout 100  $\mu$ A

Applicando la formula (3), si è posto  $N = 4$  e pertanto  $\Delta V$  è di 7 Volt. E' possibile usare un valore  $N = 3$ , ma tale valore non è raccomandato poichè il margine per  $\Delta V$  sarebbe troppo piccolo. Per esempio, se la tensione Vdd diminuisse del 10%, il margine  $\Delta V$  si ridurrebbe a zero. Sono stati usati anche in questo caso due moduli per ridurre gli effetti di ripple. Dalla formula (4), la capacità del condensatore C dovrebbe essere di 2,86 pF, ma, tenendo conto delle capacità dei transistori, oltre che delle condizioni non ideali della carica e della scarica, il valore di C è stato aumentato del 26% e regolato a 3,6 pF. Il fattore di correzione è quasi proporzionale a N. Il circuito

*Ing. Barrano & Ranardo*  
*Roma s.p.a.*

moltiplicatore di tensione risultante dalla progettazione è rappresentato nella Figura 8. L'impedenza di uscita, in un esteso intervallo intorno al punto di lavoro, è praticamente costante ed inferiore a 59 kohm.

### Capacità parassita

Supponendo che vengano impiegati condensatori poly-poly, un loro aspetto importante è quello della capacità parassita associata a ciascuna armatura o placca. La massima capacità parassita è quella che esiste tra la placca di fondo e lo strato sottostante che si suppone che sia una diffusione N-well il cui terminale è elettricamente isolato. Per una stima del valore della capacità parassita, sono stati usati i seguenti dati di processo (dalla memoria Flash EEPROM da 256 Kb 5 Volt soltanto) : distanza di separazione delle placche = 0,03  $\mu\text{m}$ ; spessore dell'ossido dalla placca di fondo allo strato sottostante = 1  $\mu\text{m}$ .

Trascurando la capacità parassita associata alla placca superiore e tenendo conto dell'effetto della diffusione N-well il cui terminale è fluttuante, una capacità parassita dalla placca di fondo alla tensione  $V_{ss}$  è stata aggiunta a ciascun condensatore con un valore del 2,5% della capacità dello stesso condensatore.

I risultati delle simulazioni sono riportate qui di seguito.

### Esempio 1

$V_{out} = 12 \text{ Volt}$

$I_{out} = 1 \text{ mA}$ .

Le seguenti linee sono state aggiunte al deck di SPICE di ingresso del primo esempio

CLOL5\_0 VSS 950FF PC

*Ing. Parrano & Ranardo*  
*Roma s.p.a.*

CL1 L10\_0 VSS 950FF PC

CL3 L15\_0 VSS 25FF PC

CR0 R5\_0 VSS 950FF PC

CR1 R10\_0 VSS 950FF PC

CR3 R15\_0 VSS 25FF PC

(segue tabella)

*Ing. Barrano & Zanardo*  
*Roma spa*

RISULTATI DELLE SIMULAZIONI SPICE

TABELLA DELLE TENSIONI DI USCITA

	I (carico)			
	0,0 mA	0,5 mA	1,0 mA	1,5 mA
Valori di Vout trascurando le capacità parassite	14,8 V	13,5 V	12,1 V	10,6 V
Valori di Vout con inclusione delle capacità parassite	14,6 V	13,3 V	11,9 V	10,5 V
Variazione della tensione di uscita	-0,2 V	-0,2 V	-0,2 V	-0,1 V

Esempio 2

Vout = 18 Volt

Iout = 100  $\mu$ A

RISULTATI DELLE SIMULAZIONI SPICE

TABELLA DELLE TENSIONI DI USCITA

	I (carico)			
	0,0 $\mu$ A	50 $\mu$ A	100 $\mu$ A	150 $\mu$ A
Valori di Vout trascurando le capacità parassite	24,0 V	21,2 V	18,4 V	15,4 V
Valori di Vout con inclusione delle capacità parassite	22,1 V	19,5 V	17,0 V	14,2 V
Variazione della tensione di uscita	-1,9 V	-1,7 V	-1,4 V	-1,2 V

In quel che precede è stata descritta la preferita forma di realizzazione e sono state suggerite delle varianti, ma deve essere chiaro che gli esperti nel ramo potranno apportare modificazioni e cambiamenti nella componentistica senza con ciò uscire dall'ambito di protezione della presente privativa industriale.



UN MANDATO  
per sé e per gli altri  
Antonio Taliencio  
(No. d'iscrizione 171)

*Ing. Barrano & Tanardo  
Roma s.p.a.*

RM 94 A 000849

## RIVENDICAZIONI

1. Circuito moltiplicatore di tensione on-chip, caratterizzato dal fatto che comprende  $N$  stadi in serie e ciascuno stadio comprende un interruttore  $T_j$  ( $j = 1...N$ ), avente un terminale inferiore ed un terminale superiore, al cui terminale superiore è collegato in serie il terminale inferiore di un condensatore  $C_i$  ( $i = 1...N$ ) avente anch'esso un terminale inferiore ed un terminale superiore, in cui il nodo intermedio tra ogni interruttore  $T_j$  ( $j = 1...N$ ) ed ogni condensatore  $C_i$  ( $i = 1...N$ ) è collegato alla tensione di massa  $V_{ss}$  attraverso un rispettivo interruttore  $S_i$  ( $i = 1...N$ ) ed il terminale superiore di ciascun condensatore  $C_i$  ( $i = 1...N$ ) è collegato alla tensione di alimentazione  $V_{dd}$  attraverso un interruttore  $D_i$  ( $i = 1...N$ ) ed in cui il terminale inferiore dell'interruttore ( $T_1$ ) del primo stadio è collegato direttamente alla tensione di alimentazione  $V_{dd}$ , mentre il terminale superiore del condensatore ( $C_N$ ) dell'ultimo stadio è collegato all'uscita attraverso un addizionale interruttore ( $T(N+1)$ ).

2. Circuito moltiplicatore di tensione secondo la rivendicazione 1, caratterizzato dal fatto che gli interruttori  $T_j$  ( $j = 1...N+1$ ) da una parte e gli interruttori  $S_i$  e  $D_i$  ( $i = 1...N$ ) dall'altra sono comandati in opposizione di fase, in modo che quando gli interruttori  $T_j$  ( $j = 1...N+1$ ) sono aperti e gli interruttori  $S_i$  e  $D_i$  ( $i = 1...N$ ) sono chiusi, i condensatori  $C_i$  ( $i = 1...N$ ) vengono caricati alla tensione di alimentazione  $V_{dd}$  e, nella fase successiva, gli interruttori  $T_j$  ( $j =$

*Ing. Pizzano & Romano*  
*Roma s.p.a.*

1...N+1) si chiudono e gli interruttori Si e Di (i = 1...N) si aprono, per cui i condensatori Ci (i = 1...N) sono tutti collegati in serie e si scaricano direttamente all'uscita.

3. Circuito moltiplicatore di tensione secondo la rivendicazione 1, caratterizzato dal fatto che il numero N degli stadi è il numero minimo che permette di superare di un valore  $\Delta V$  la tensione di uscita desiderata Vout, sulla base delle seguenti formule

$$\Delta V = V_{dd} \cdot (N+1) - V_{out}$$

$$I_{out} = \Delta V \cdot C \cdot F/N$$

in cui C è il valore comune di capacità dei condensatori Ci (i = 1...N), F è la frequenza di clock e Iout è la corrente media di carico.

4. Circuito moltiplicatore di tensione secondo le precedenti rivendicazioni 1-3, caratterizzato dal fatto che detti interruttori Tj (j = 1...N) sono implementati a mezzo di transistori MOS con canale P (PC\_T1...PC\_TN), e detti interruttori Di (i = 1...N), detti interruttori Si (i = 1...N) nonché detto interruttore addizionale T (N+1) sono implementati a mezzo di transistori MOS con canale N (NC\_D1...NC\_DN; NC\_S1 ... NC\_SN; NC\_T (N+1)).

5. Circuito moltiplicatore di tensione secondo la rivendicazione 4, caratterizzato dal fatto che il substrato di tutti i transistori MOS con canale P è collegato al terminale di source o di drain che si trova alla tensione più elevata.

6. Circuito moltiplicatore di tensione secondo la rivendicazione 4, caratterizzato dal fatto che i transistori N-MOS usati per implementare gli interruttori Di (i = 1...N) vengono comandati da un

*Ing. Barzano & Barano*  
*Roma s.p.a.*

duplicatore di tensione costituito da un condensatore (Cb) in serie ad un transistor N-MOS (NC\_B) collegato come diodo in cui il condensatore (Cb) è inserito tra il segnale di clock (PH) ed i terminali di gate di tutti i transistori N-MOS che implementano gli interruttori Di ( $i = 1...N$ ), mentre il transistor diodo (NC\_B) è inserito tra detto condensatore (Cb) e la tensione di alimentazione.

7. Circuito moltiplicatore di tensione secondo le rivendicazioni 5 e 6, caratterizzato dal fatto che comprende uno stadio supplementare consistente di un transistor N-MOS (NC\_DA), di un condensatore (Ca), avente un terminale inferiore ed un terminale superiore, di un transistor P-MOS (PC\_TA) e di un transistor N-MOS (NC\_SA) collegati analogamente ai corrispondenti componenti degli stadi precedenti.

8. Circuito moltiplicatore di tensione secondo la rivendicazione 7, caratterizzato dal fatto che il terminale superiore del condensatore (Ca) di detto stadio supplementare è collegato alla regione di gate di detto transistor N-MOS addizionale (NC-T(N+1)).

9. Circuito moltiplicatore di tensione secondo la rivendicazione 6, caratterizzato dal fatto che in parallelo a detto transistor N-MOS di detto duplicatore di tensione viene aggiunto un ulteriore transistor N-MOS (NC\_B1) inserito con i suoi terminali di source e di drain tra detto condensatore (Cb) e la tensione di alimentazione Vdd e pilotato in gate dalla tensione del terminale superiore del condensatore (C1) del primo stadio del circuito.

*Ing. Barrano & Tanardo*  
*Roma s.p.a.*

10. Circuito moltiplicatore di tensione secondo una qualsiasi precedente rivendicazione e sostanzialmente come descritto nella descrizione e rappresentato nei disegni allegati.

Roma, 28 DIC. 1994<sup>ª</sup>

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.

ING. BARZANO' & ZANARDO ROMA S.p.A.

TA

UN MANDATARIO  
per se e per gli altri  
Antonio Talierno  
(N° d'iscr. 171)



*Ing. Barzano' & Zanardo*  
*Roma s.p.a.*

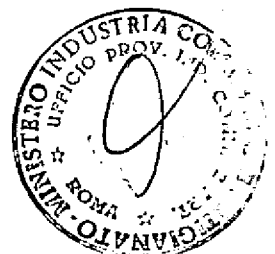
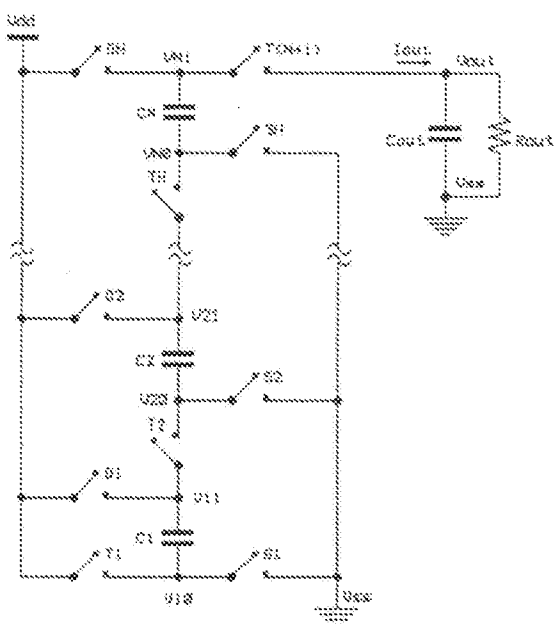
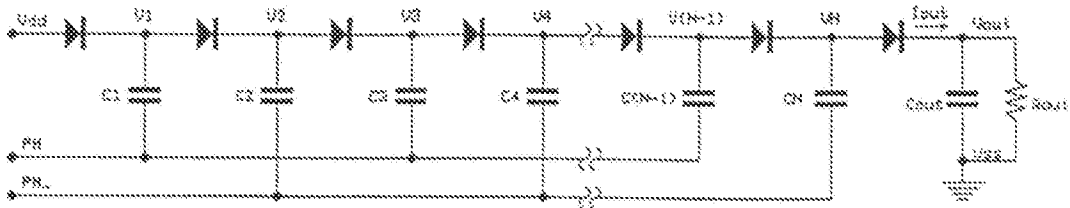


FIG. 1



TEMPORIZZAZIONI

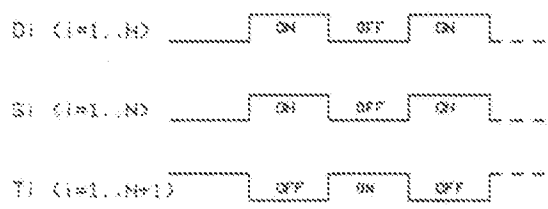


FIG. 2

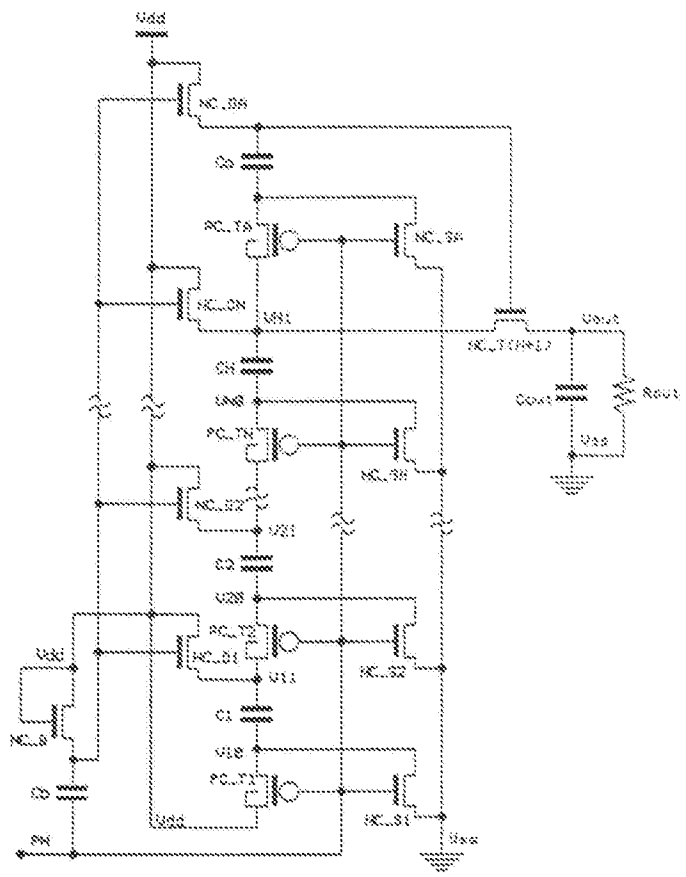
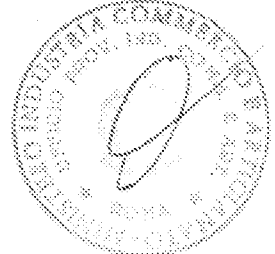


FIG. 3

p.p. TEXAS INSTRUMENTS ITALIA S.p.A.  
 ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDA...  
 per se o per gli altri  
 Antonio Tallero  
 (N° d'iscr. 171)

*Antonio Tallero*



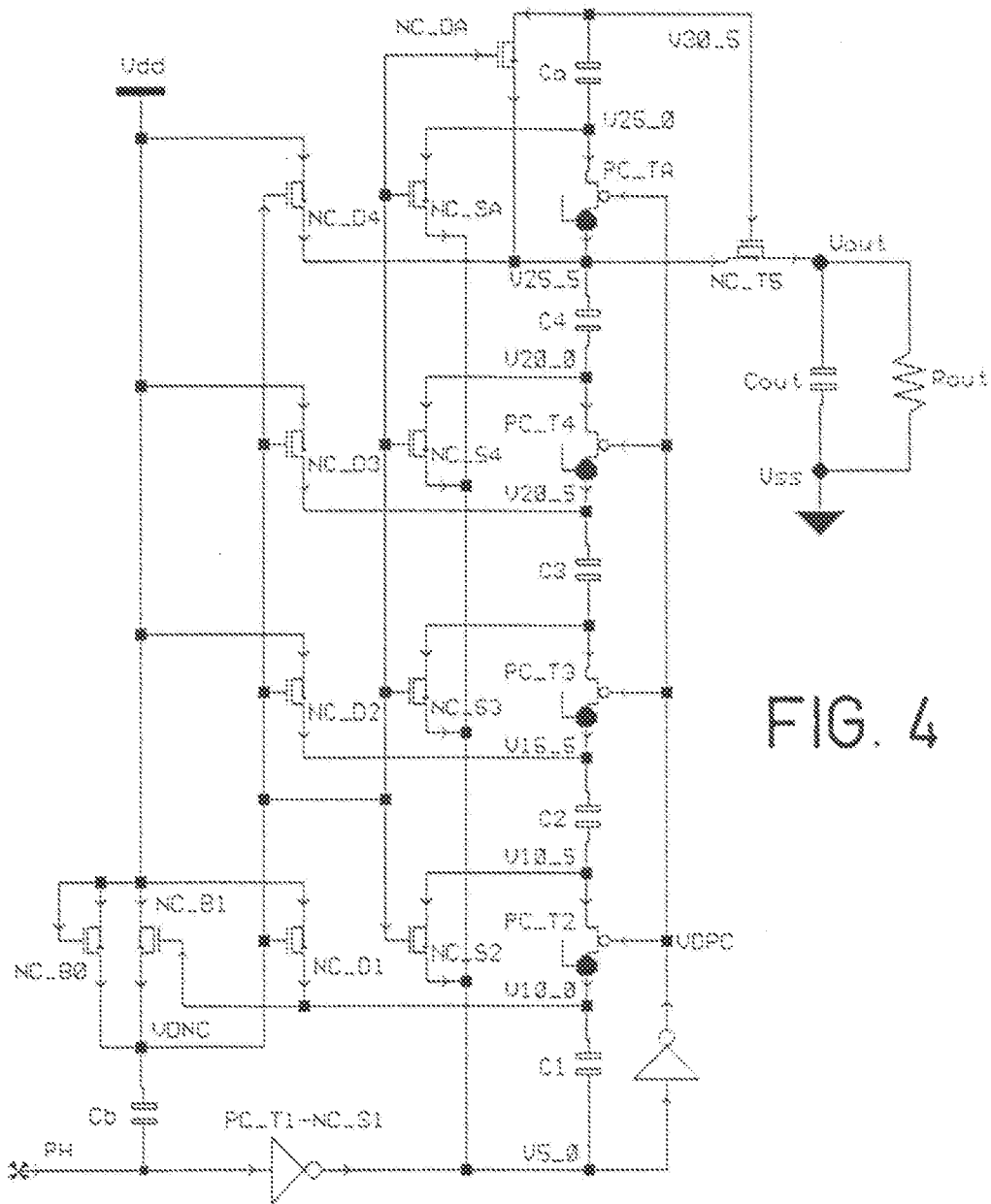


FIG. 4

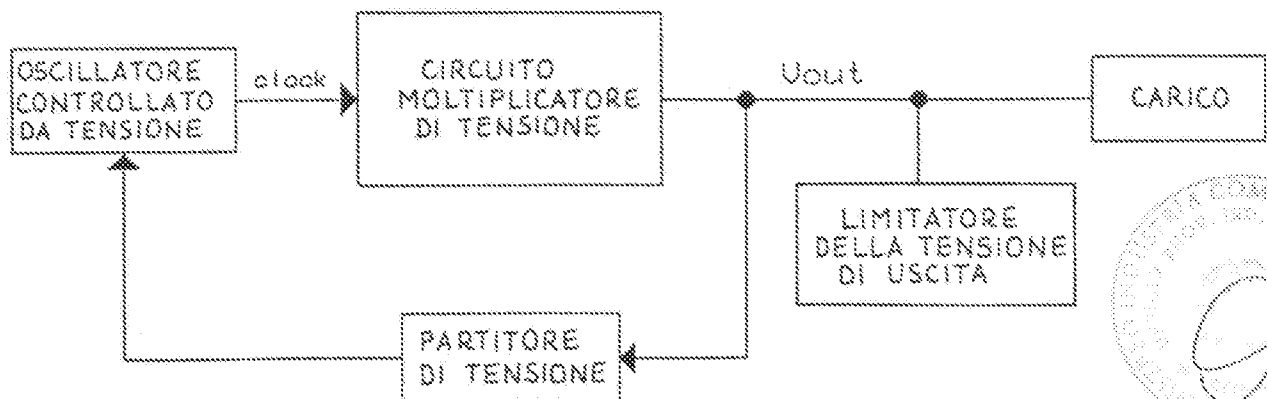
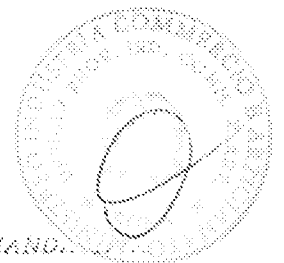


FIG. 5

p.p.: TEXAS INSTRUMENTS ITALIA S.p.A.  
 ING. BARZANO & ZANARDO ROMA S.p.A.

UN MANDATO COMMERCIO  
 per se e per gli altri  
 Antonio Tallero  
 (N° d'iscr. 171)

*Tallero*



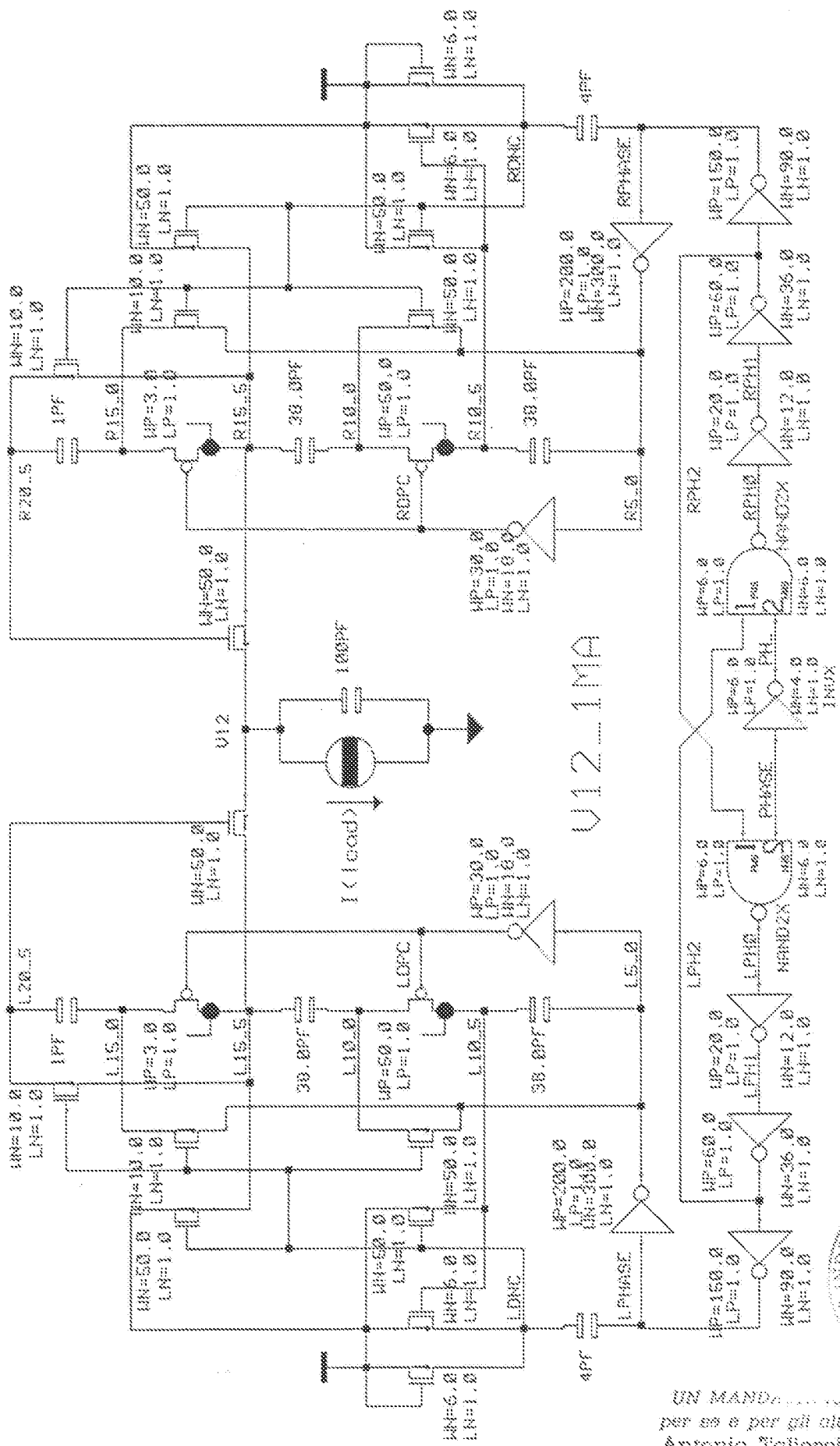
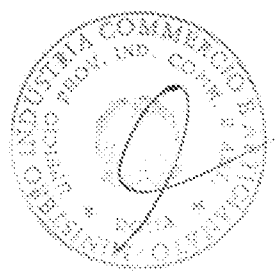


FIG. 6



UN MANDA...  
per se e per gli altri  
Antonio Tallero  
(N° d'isoc. 171)

*Tallero*

D.p.: TEXAS INSTRUMENTS ITALIA S.p.A.  
ING. BARZANO' & ZANARDO ROMA S.p.A.

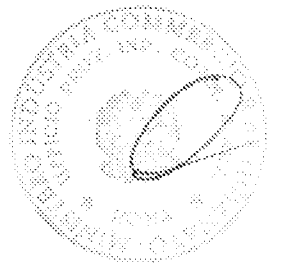
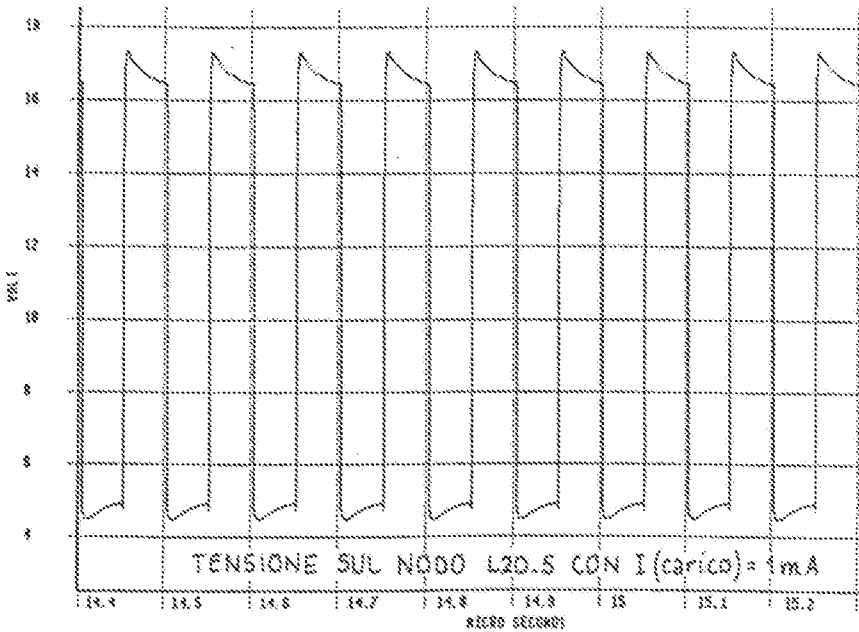
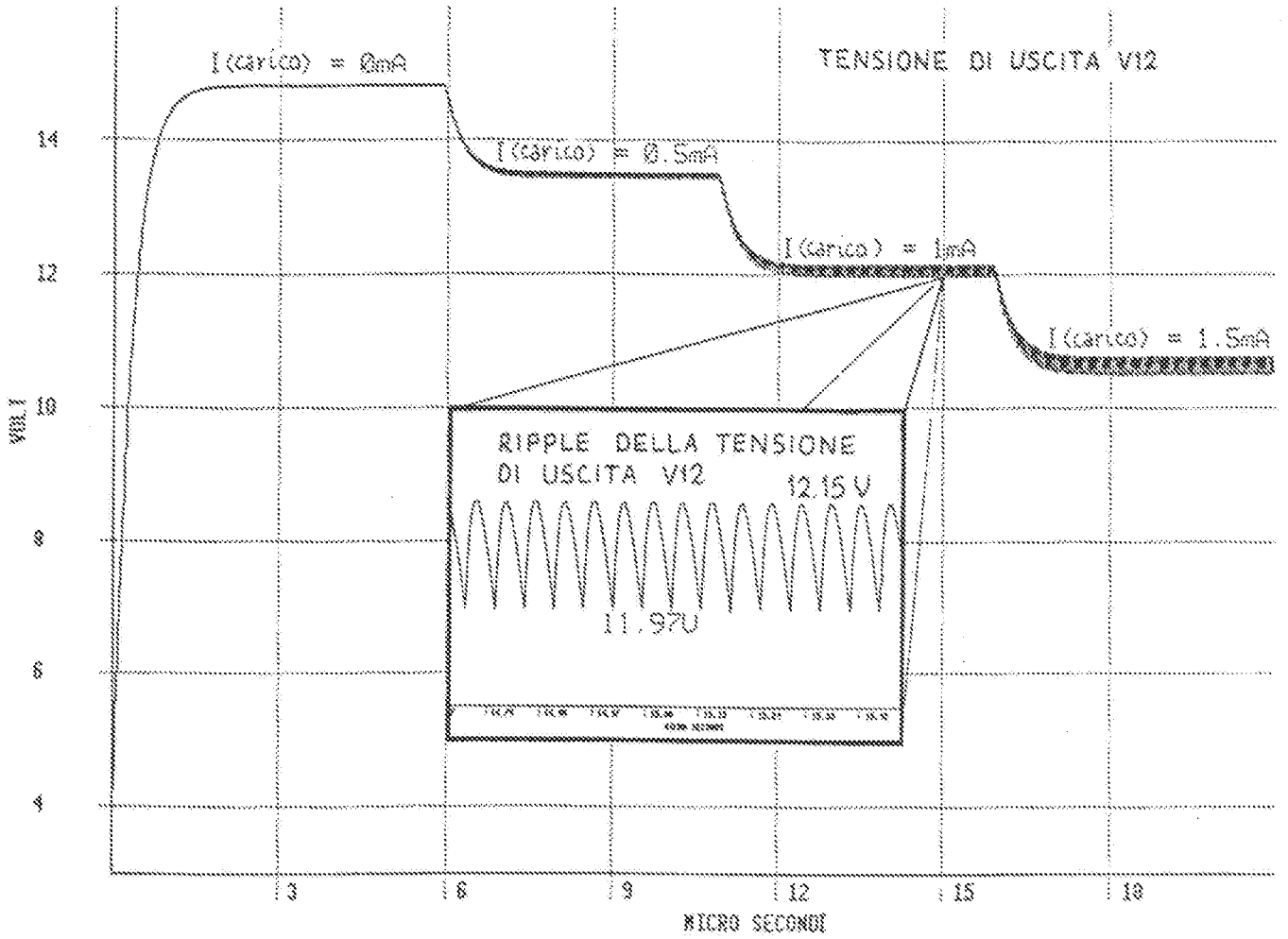


FIG. 7

UN MANDATARIO  
per me e per gli altri  
Antonio Talleroio  
(1° d'inc. 171)

P.D.: TEXAS INSTRUMENTS ITALIA S.p.A.  
ING. BARZANO' & ZANARDO ROMA S.p.A.

*Antonio Talleroio*

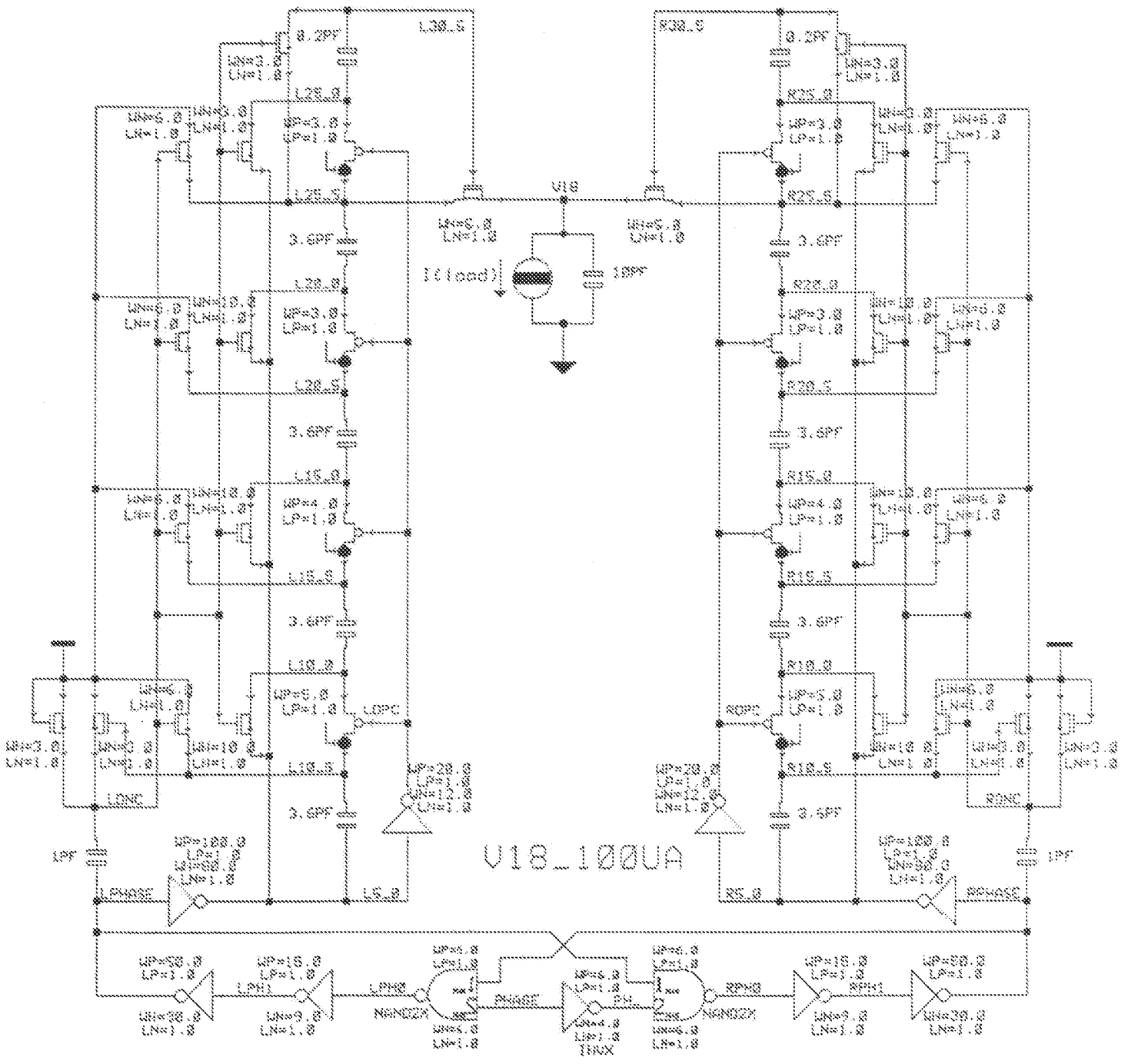
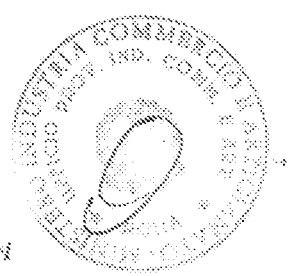


FIG. 8

D.P.: TEXAS INSTRUMENTS ITALIA S.p.A.  
ING. BARZANO' & ZANARDO ROMA S.p.A.

UN MANDATARIO  
per me e per gli altri  
Antonio Taliercio  
(P. d'iscr. 171)

*Taliercio*



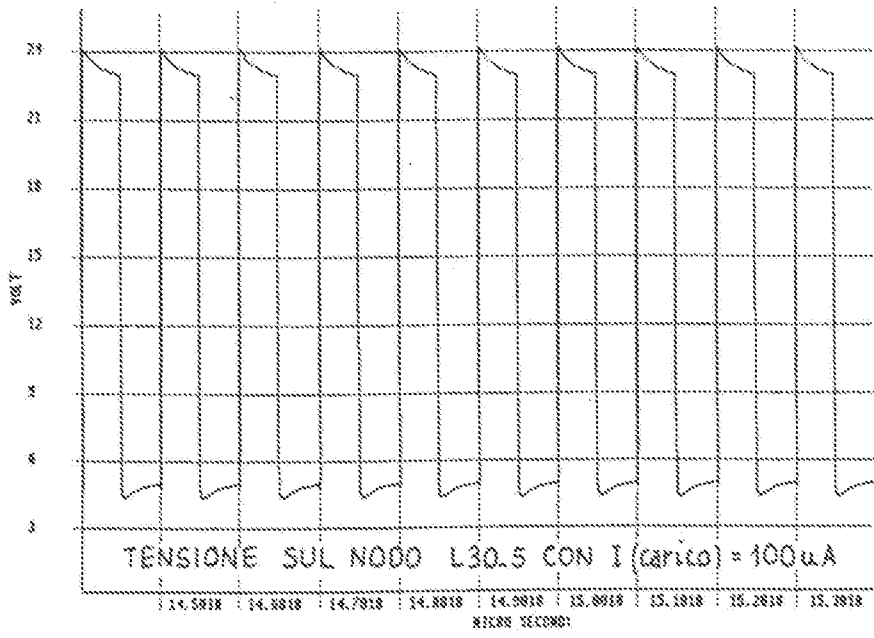
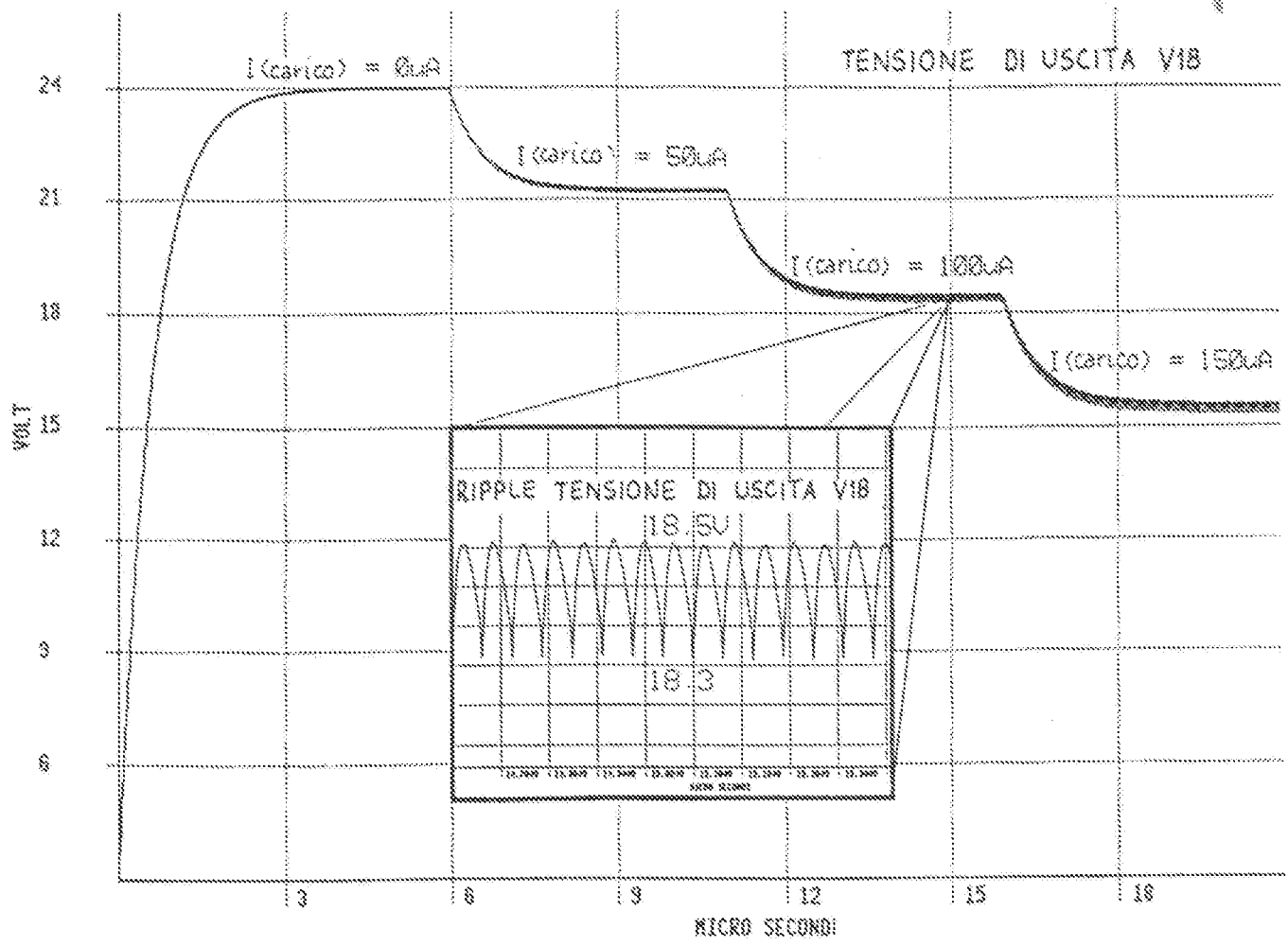
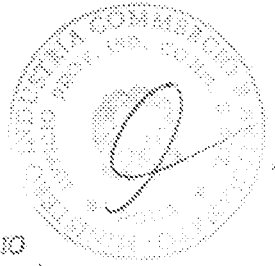


FIG. 9

UN MANDATARIO  
per se e per gli altri  
Antonio Taliario  
(n° d'iscr. 711)



*Taliario*