

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5220726号
(P5220726)

(45) 発行日 平成25年6月26日(2013.6.26)

(24) 登録日 平成25年3月15日(2013.3.15)

(51) Int.Cl.

H04N 7/173 (2011.01)

F 1

H04N 7/173 630

請求項の数 13 (全 40 頁)

(21) 出願番号 特願2009-506585 (P2009-506585)
 (86) (22) 出願日 平成19年4月18日 (2007.4.18)
 (65) 公表番号 特表2009-534933 (P2009-534933A)
 (43) 公表日 平成21年9月24日 (2009.9.24)
 (86) 國際出願番号 PCT/US2007/009583
 (87) 國際公開番号 WO2007/120927
 (87) 國際公開日 平成19年10月25日 (2007.10.25)
 審査請求日 平成22年4月9日 (2010.4.9)
 (31) 優先権主張番号 60/793,288
 (32) 優先日 平成18年4月18日 (2006.4.18)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/793,276
 (32) 優先日 平成18年4月18日 (2006.4.18)
 (33) 優先権主張国 米国(US)

(73) 特許権者 502188642
 マーベル ワールド トレード リミテッド
 バルバドス国 ビービー14027, セントマイケル、ブリトンズ ヒル、ガンサイ
 トロード、エル ホライズン
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 ガルグ、サンジェイ
 インド共和国、バンガロール、カーナタカ
 、インダラナガル、ハル セカンド ステージ、13ティーエイチ エイチ. メイン、3573

最終頁に続く

(54) 【発明の名称】共有メモリマルチビデオチャネルディスプレイ装置および方法

(57) 【特許請求の範囲】

【請求項 1】

第1ビデオ入力信号および第2ビデオ入力信号をデコードする、マルチモードのデュアルビデオデコーダであって、

前記第1ビデオ入力信号は、第1チャネルおよび第2チャネルを含み、

前記第2ビデオ入力信号は、第1チャネルおよび第2チャネルを含み、

前記デュアルビデオデコーダは、

ビデオ信号選択ステージと、

アナログ/デジタル変換ステージと、

デコーダステージと、

を備え、

前記ビデオ信号選択ステージは、

前記第1ビデオ入力信号および前記第2ビデオ入力信号を受信し、前記第1ビデオ入力信号の前記第1チャネルと、前記第2ビデオ入力信号の前記第1チャネルとを時分割多重化して、多重化されたビデオ信号を提供し、

前記第1ビデオ入力信号の前記第2チャネルと、前記第2ビデオ入力信号の前記第2チャネルとを選択して、2つの選択されたチャネルを提供し、

前記アナログ/デジタル変換ステージは、

前記多重化されたビデオ信号をデジタル化し、デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第1ビデオ入力信号の前記第1チャネルと

10

20

、デジタル化された前記第2ビデオ入力信号の前記第1チャネルを提供し、

前記2つの選択されたチャネルをデジタル化して、デジタル化された前記第1ビデオ入力信号の前記第2チャネルと、デジタル化された前記第2ビデオ入力信号の前記第1チャネルとを提供し、

前記デコーダステージは、

前記デジタル化された前記第1ビデオ入力信号の前記第1チャネル及び前記第2チャネルと、前記デジタル化された前記第2ビデオ入力信号の前記第1チャネル及び前記第2チャネルとをデコードして、2つのデコードされたビデオ信号を同時に出力する、

マルチモードのデュアルビデオデコーダ。

【請求項2】

10

前記時分割多重化は、第1クロックの第1クロック期間中に、前記第1ビデオ入力信号の前記第1チャネルを選択し、前記第1クロックの第2クロック期間中に、前記第2ビデオ入力信号の前記第1チャネルを選択することをさらに含み、

前記デジタル化は、

前記第1クロックに応じて、前記2つの選択されたチャネルの一方をデジタル化し、

第2クロックに応じて、前記2つの選択されたチャネルの他方をデジタル化し、

前記第2クロックおよび第3クロックに応じて、前記多重化されたビデオ信号をデジタル化することをさらに含む、

請求項1に記載のマルチモードのデュアルビデオデコーダ。

【請求項3】

20

前記アナログ/デジタル変換ステージは、デマルチプレクサと、3つのアナログ/デジタル変換器とを含み、

前記多重化されたビデオ信号は、第1のアナログ/デジタル変換器によりデジタル化され、デマルチプレクサにより非多重化され、

前記2つの選択されたチャネルは、第2のアナログ/デジタル変換器および第3のアナログ/デジタル変換器によりデジタル化される、

請求項2に記載のマルチモードのデュアルビデオデコーダ。

【請求項4】

前記第1クロックの位相は、前記第2クロックの位相のほぼ逆位相であり、

前記第3クロックの周波数は、前記第1クロックおよび前記第2クロックの周波数の約2倍である、

請求項2または請求項3に記載のマルチモードのデュアルビデオデコーダ。

【請求項5】

前記デコーダステージは、

前記デジタル化された前記第1ビデオ入力信号の前記第1チャネル及び前記第2チャネルを受信して、前記2つのデコードされたビデオ信号の一方を出力する第1デコーダと、

前記デジタル化された前記第2ビデオ入力信号の前記第1チャネル及び前記第2チャネルを受信して、前記2つのデコードされたビデオ信号の他方を出力する第2デコーダと、を含む、

請求項2から請求項4までの何れか一項に記載のマルチモードのデュアルビデオデコーダ。

【請求項6】

前記第1デコーダは前記第1クロックに応じて動作し、

前記第2デコーダは前記第2クロックに応じて動作する、

請求項5に記載のマルチモードのデュアルビデオデコーダ。

【請求項7】

前記2つのデコードされたビデオ信号のそれぞれは、画像情報を含む、

請求項1から請求項6までの何れか一項に記載のマルチモードのデュアルビデオデコーダ。

。

【請求項8】

40

50

第1ビデオ入力信号および第2ビデオ入力信号をデコードする方法であって、

前記第1ビデオ入力信号は、第1チャネルおよび第2チャネルを含み、

前記第2ビデオ入力信号は、第1チャネルおよび第2チャネルを含み、

前記方法は、

前記第1ビデオ入力信号および前記第2ビデオ入力信号を受信する段階と、

前記第1ビデオ入力信号の前記第1チャネルと、前記第2ビデオ入力信号の前記第1チャネルとを時分割多重化して、多重化されたビデオ信号を提供する段階と、

前記第1ビデオ入力信号の前記第2チャネルと、前記第2ビデオ入力信号の前記第2チャネルとを選択して、2つの選択されたチャネルを提供する段階と、

前記多重化されたビデオ信号をデジタル化し、デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第1ビデオ入力信号の前記第1チャネルと、デジタル化された前記第2ビデオ入力信号の前記第1チャネルを提供するステップと、前記2つの選択されたチャネルをデジタル化して、デジタル化された前記第1ビデオ入力信号の前記第2チャネルと、デジタル化された前記第2ビデオ入力信号の前記第2チャネルを提供するステップとにより、アナログ／デジタル変換を実施する段階と、

前記デジタル化された前記第1ビデオ入力信号の前記第1チャネル及び前記第2チャネルと、前記デジタル化された前記第2ビデオ入力信号の前記第1チャネル及び前記第2チャネルとをデコードして、2つのデコードされたビデオ信号を同時に出力する段階と、

を含む、

方法。

10

【請求項9】

前記多重化されたビデオ信号を提供する段階は、

第1クロックの第1クロック期間中に、前記第1ビデオ入力信号の前記第1チャネルを選択し、前記第1クロックの第2クロック期間中に、前記第2ビデオ入力信号の前記第1チャネルを選択する段階をさらに含み、

前記アナログ／デジタル変換を実施する段階は、

前記第1クロックに応じて、前記2つの選択されたチャネルの一方をデジタル化する段階と、

前記第2クロックに応じて、前記2つの選択されたチャネルの他方をデジタル化する段階と、

前記第2クロックおよび第3クロックに応じて、前記多重化されたビデオ信号をデジタル化する段階と、

をさらに含む、

請求項8に記載の方法。

30

【請求項10】

前記デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第1ビデオ入力信号の前記第1チャネルと、デジタル化された前記第2ビデオ入力信号の前記第1チャネルを提供するステップは、前記第2クロックに応じて、2つの非多重化されたチャネルを生成する段階をさらに含む、

請求項9に記載の方法。

40

【請求項11】

前記2つのデコードされたビデオ信号のうち、第1のデコードされたビデオ信号を生成する段階は、前記第1クロックに応じて動作し、

前記2つのデコードされたビデオ信号のうち、第2のデコードされたビデオ信号を生成する段階は、前記第2クロックに応じて動作する、

請求項9又は請求項10に記載の方法。

【請求項12】

前記第1クロックの位相は、前記第2クロックの位相のほぼ逆位相であり、

前記第3クロックの周波数は、前記第1クロックおよび前記第2クロックの周波数の約2倍である、

50

請求項 9 から請求項 11 までの何れか一項に記載の方法。

【請求項 13】

前記 2 つのデコードされたビデオ信号は、同時に出力され、

前記 2 つのデコードされたビデオ信号のそれぞれは、画像情報を含む、

請求項 9 から請求項 12 までの何れか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2006年4月18日出願の米国仮出願番号第 60/793,288、2006年4月18日提出の米国仮出願番号第 60/793,276、2006年4月18日出願の米国仮出願番号第 60/793,277、2006年4月18日出願の米国仮出願番号第 60/793,275 の恩恵を享受しており、各々の開示の全体をここに参照として組み込む。10

【背景技術】

【0002】

伝統的に、マルチビデオチャネルテレビディスプレイスクリーンは、一以上のチャネルを同時にディスプレイスクリーンの随所で観られるようデュアルチャネルビデオ処理チップが備わっている。画像の中に画像を表示するこの形式は、通常ピクチャインピクチャあるいはPIPとして称される。図 1A はアスペクト比 4:3 のディスプレイスクリーンの随所に二つのチャネルを表示する一例である。スクリーン 100A はスクリーンの主要部に第 1 のチャネル 112 を、スクリーンの実質的により小さな部分に第 2 のチャネル 122 を、それぞれ同時に表示する。図 1B は第 1 のチャネルおよび第 2 のチャネルを、スクリーンの異なる部分に、実質的に同じアスペクト比で表示する一例である。これらについて以下で詳述する。20

【0003】

PIP スクリーン 100A を生成する典型的なテレビシステムを図 2 に示す。テレビディスプレイシステム 200 は、テレビ放送信号 202、ハイブリッド TV チューナ 210、ベースバンド入力 280、復調器 220、MPEG コーデック 230、オフチップ記憶装置 240、オフチップメモリ 300、ビデオプロセッサ 250、および外部部材 270 (例えればディスプレイ) を含む。ハイブリッド TV チューナ 210 は、テレビ放送信号 202 が提供する一以上のテレビチャネルにチューニングすることができる。ハイブリッド TV チューナ 210 は、復調器 220 に対してデジタルテレビ信号を、およびビデオプロセッサ 250 に対してアナログビデオ信号成分 (例えれば、コンポジットビデオベースバンド信号 (CVBS)) を提供しうる。さらに、ベースバンド入力 280 は、様々なテレビ信号 (例えれば、CVBS、S-Video、Component) を受信して、それらをビデオプロセッサ 250 に提供しうる。他の外部デジタルあるいはアナログ信号 (例えれば、DVI あるいは High Definition (HD)) がビデオプロセッサ 250 に提供されてもよい。30

【0004】

ビデオは復調器 220 により復調され、その後 MPEG コーデック 230 により圧縮解除されてよい。MPEG コーデック 230 が要する動作の中には、データ記憶すべくオフチップ記憶装置 240 を利用しうるものがある。デジタル信号はその後ビデオプロセッサ 250 により処理されうるが、ビデオプロセッサ 250 は、外部部材 270 に表示するのに適切な信号 260 を生成するデュアルチャネル処理チップであってよい。ビデオプロセッサ 250 は、オフチップメモリ 300 を利用して、ノイズ低減およびデインタース、3D YC 分離およびフレームレート変換 (ERC) などのメモリ集中ビデオ処理動作を行いうる。40

【0005】

このようなPIPへの適用の際に第 1 のチャネル 112 は第 2 のチャネル 122 よりも重要であると一般的に認識されている。PIP 生成に利用される典型的なデュアルチャネル

ル処理チップは、第1のチャネル112の大きなディスプレイを生成する第1のチャネルビデオパイプの方に品質的に重きを置いている。第2のチャネル122の、より小さなディスプレイを生成する第2のチャネルビデオパイプは、コスト削減目的から品質的に劣る。例えば、デインターレース、ノイズ低減、およびビデオデコードなどの3-Dビデオ処理動作は第1のチャネルビデオパイプに実装され得、一方で第2のチャネルビデオパイプには2-Dビデオ処理動作しか実装されない。3-Dビデオ処理動作は、空間・時間ドメインでビデオを処理する動作のことであり、しばしば処理動作で利用される一以上のビデオフレームをバッファリングする。対照的に、2-Dビデオ処理動作は、空間ドメインのビデオ処理のみを行い、現在のビデオフレームに対してのみ行われる。

【0006】

10

アスペクト比16:9のワイドディスプレイスクリーンの到来により、同じサイズの二つのチャネル、あるいはアスペクト比4:3の二つのチャネルを同じスクリーンに表示する需要が益々高まっている。この用途形態は、通常ピクチャーアンドピクチャ(PAP)と称される。図1Bにおいて、スクリーン100Bは第1のチャネル110と、スクリーンの第二部分に実質的に同じアスペクト比が表示される第2のチャネル120とを表示している。これら用途において、第1のチャネルは第2のチャネルと類似した品質を有すよう生成されるべきである。

【0007】

従って二つの高品質なビデオ画像を生成する目的上、第1のビデオチャネルパイプおよび第2のビデオチャネルパイプ両方への3-Dビデオ処理の実装が必要となる。望ましいディスプレイを生成する3-Dビデオ処理は、品質ロスあるいは統一性ロスのない画像表示に適した時間フレーム内で行われる必要があるメモリ集中操作を要する。メモリ動作は、3-Dビデオ処理を要するチャネル数に比例して増加する。典型的なデュアルビデオ処理チップは、高品質の二つのビデオ信号を処理する能力に欠け、それゆえに、高いビデオ品質を有する二つのチャネルを表示する需要が増える中、使用されなくなる傾向にある。

20

【0008】

典型的なデュアルビデオ処理チップが多数の高品質ビデオ信号を処理する能力に欠ける理由の一つは、ビデオプロセッサとオフチップメモリとの間で必要となるデータ帯域幅が大量であることがある。伝統的にビデオ処理チップパイプラインの一部分には、ノイズ低減器およびデインターレーサが含まれ、これらのいずれもオフチップメモリに大量のデータ帯域幅が必要となる。

30

【0009】

特に、ノイズ低減器は、そもそも、あるフィールドを次のフィールドと比較して、各フィールドで同じでないフィールドの部分を削除する働きをする。この理由から、ノイズ低減器は、現在のフィールドと比較する目的から少なくとも二つのフィールドの記憶を必要とする。デインターレーサは、二つの記憶されているフィールドを読み出して結合し、これによりインターレーサの動作を逆転する。

【0010】

図3は、典型的なビデオプロセッサのノイズ低減器およびデインターレーサのオフチップメモリアクセス動作を図示する。ビデオ処理パイプラインの一部分は、ノイズ低減器330、デインターレーサ340、およびオフチップメモリ300を含み、オフチップメモリ300は少なくとも四つのフィールドバッファセクション310、311、312、および313を含む。

40

【0011】

第1のフィールドインターバル中に、ノイズ低減器330は、フィールドバッファセクション310を読み出し、それをビデオ信号320と比較し、低減したノイズを持つ新たなフィールドを生成してこのフィールド出力322を二つのフィールドバッファセクション311および312に書き込む。フィールドバッファセクション311および312に前に記憶されていた内容は、フィールドバッファセクション310および313にそれぞれコピーされる。故に、該フィールドインターバルの終わりには、ノイズ低減器330の

50

フィールド出力 322 がフィールドバッファセクション 311 および 312 に記憶され、フィールドバッファセクション 311 および 312 に前に記憶されていた内容は、今はそれぞれフィールドバッファセクション 310 および 313 にある。

【0012】

後続のフィールドインターバル中に、前のフィールドインターバルからのノイズ低減器 330 から出力されたフィールドを含むフィールドバッファセクション 312 がデインターレーサ 340 から読み出され、このフィールドインターバルの前のフィールドインターバルからのノイズ低減器 330 から出力されたフィールドを含み、フィールドバッファセクション 312 に記憶されていたフィールドバッファセクション 313 が、デインターレーサ 340 により読み出される。現在のフィールドインターバルのノイズ低減器 330 のフィールド出力 322 もデインターレーサ 340 により読み出される。デインターレーサ 340 はこれらフィールドセグメントを処理して複合して、デインターレースされた出力 342 をビデオパイプラインの次のモジュールへ提供する。

【0013】

一例である上述したビデオパイプライン部分は、単一のチャネルについてこれら操作を行い、操作は各追加的チャネルごとに増倍する。従って、メモリアクセス帯域幅は同じインターバルに書き込む / 読み込むべきデータ量に比例して増えるので、ノイズ低減およびデインターレースを多数のチャネルに行うことによって、同様にデータ帯域幅が増える。上述のビデオ処理操作が驚くほどの帯域幅を必要とすることによって、これら操作を同時に行う能力は制限を受ける。

【0014】

故に、多数の高品質ビデオチャネルストリームを有するディスプレイを生成すべく、一以上のチャネルの一以上のビデオパイプラインステージの様々なセクションにおけるメモリアクセス帯域幅を減らすシステムおよび方法が望まれている。

【発明の開示】

【0015】

本発明の原理において、多数の高品質ビデオチャネルストリームを有するディスプレイを生成すべく一以上のチャネルの一以上のビデオパイプラインステージの様々なセクションでメモリアクセス帯域幅を減らすシステムおよび方法が提供される。

【0016】

複数のビデオ入力信号をデコードし得、ここで複数のビデオ入力信号の少なくとも一つは二以上のビデオ入力信号部分を含む。複数のビデオ入力信号は受信されうる。少なくとも三つのビデオ入力信号部分は、二つの選択されたビデオ信号を提供すべく選択的に組み合わせられうる。選択されたビデオ信号を処理すべくアナログ / デジタル変換を行いうる。少なくとも一つのデコードされた信号を生成すべく、処理済ビデオ信号をデコードされうる。

【0017】

本発明の原理において、多数の高品質ビデオチャネルストリームを有するディスプレイを生成すべく、一以上のチャネルの一以上のビデオパイプラインステージの様々なセクションにおいてメモリアクセス帯域幅を減らす方法および装置が提供される。デュアルビデオプロセッサは、異なる形式でりうる一以上のアナログ / デジタル信号を受信しうる。一以上のビデオモードの二つの同期ビデオ信号をデコードすることのできるデュアルビデオデコーダ（たとえばNTSC / PAL / SECAMビデオデコーダ）が提供されてよい。ビデオモードの一つにおいて、デュアルビデオデコーダは、ビデオ信号のデコードに使用されるアナログ / デジタル変換器などの少なくとも一つの部材を共有すべく時分割多重化を行ってよい。

【0018】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、信号処理回路（例えばノイズ低減器および / またはデインターレーサ）に提供されてよい。信号処理回路は、様々なフィールドラインを記憶すべくメモリデバイスにアクセスして

10

20

30

40

50

よい。記憶されているフィールドラインの幾らかは、信号処理回路が必要としうるが、共有されてよい。記憶されているフィールドラインの幾らかを共有することで、全メモリ帯域幅および容量要件が減らされる。信号処理回路は、多数のフィールドライン処理を行うことができてよい。多数のフィールドセグメントのフィールドラインを記憶すべく一群のフィールドラインバッファを提供してよく、信号処理回路の対応する入力にデータを供給してよい。さらに記憶量を減らすべく、フィールドラインバッファの幾らかを、さらに信号処理回路内で共有してよい。

【0019】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、異なる様式にスケールされたビデオ信号を生成する一以上のスケーラに提供されてよい。スケーラは、メモリの前、メモリの後の、様々なスロット内に配置されうる、あるいは、メモリアクセスが必要とされない場合、メモリの前後いずれか（つまりメモリ間）に配置されうる。ビデオ信号がアップスケールを必要とする場合、メモリに記憶するデータ量を減らすべく、スケーラはメモリの後に配置される。ビデオ信号がダウンスケールを必要とする場合、メモリに記憶するデータ量を減らすべく、スケーラはメモリの前に配置されうる。または、一つのスケーラをメモリの前に配置して、別のスケーラをメモリの後に配置しておくことで、異なる様式でスケールされる二つのビデオ信号を提供しつつ（つまり、一方がアップスケールされつつ他方はダウンスケールされる、というように）、同時にメモリ記憶量および帯域幅を減らしてもよい。

【0020】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、一以上のフレームレート変換部に提供されてよい。ブランクタイムオプティマイザ（BTO）が、第1のクロックレートにおけるビデオ信号のフレームのフィールドラインに関するデータを受信してよい。BTOは、フレームの次のフィールドラインが受信される前に入手可能な最大時間量を決定してよい。この決定に基づきBTOは、第2のクロックレートにおけるフレームからメモリへのフィールドラインの送受信を行ってよい。メモリアクセスに利用される第2のクロックレートは、第1のクロックレートより実質的に遅くして、これによりメモリ帯域幅を減らし、フィールドライン間で入手可能な時間量が短い別のビデオ信号のメモリアクセスを速めてもよい。今度は、BTOは本質的に、メモリ帯域幅の効率利用を促進するように幾らかのメモリクライアント（つまり、メモリアクセスを要する単位）からメモリアクセスを配信する。

【0021】

BTOのビデオ信号出力あるいはシステムの別の部材が提供する別の群のビデオ信号は、さらなる処理を受けるべくオーバレイエンジンに提供されてよい。オーバレイエンジンにおいては、二以上のビデオ信号をオーバレイして色管理部（CMU）に提供してよい。CMUはオーバレイされたビデオ信号を受信して、各部分でオーバレイされたビデオ信号を処理してよい。オーバレイされたビデオ信号の一部分が第1のビデオ信号に対応する旨を受信すると、CMUは、第1のビデオ信号部分に対応するパラメタを利用してビデオ信号部分を処理して出力を提供しうる。または、オーバレイされたビデオ信号の一部分が第2のビデオ信号に対応する旨を受信すると、CMUは、第2のビデオ信号部分に対応するパラメタを利用してビデオ信号部分を処理して出力を提供しうる。オーバレイエンジン内のマルチプレーン（M-プレーン）オーバレイ回路は、二以上のビデオ信号を受信し得、これら信号の一つはCMUにより提供され、オーバレイされた信号を提供してよい。ビデオ信号は優先度指示子を含みえ、そしてオーバレイ回路は優先度指示子に基づいて信号をオーバレイしてよい。

【0022】

オーバレイエンジンの出力あるいはシステムの別の部材が提供する別の群のビデオ信号は、プログレッシブであってよく、主要および／または補助出力ステージに提供されてよい。または、ビデオ信号は、オーバレイエンジンをバイパスして、主要および／または補助出力ステージに提供されてよい。主要および／または補助出力ステージにおいて、ビデ

10

20

30

40

50

才信号は形式変換あるいは処理を経て、例えばディスプレイデバイスおよび記録デバイスなどの主要および／または補助デバイスの要件を充たしてよい。

【図面の簡単な説明】

【0023】

本発明の上述の、およびその他の目的および利点は、以下の詳細な説明を、添付図面とともに考慮することで明らかになる。添付図面にわたり、同様の参照番号は同様の部材を表す。

【0024】

【図1A-1B】同じスクリーンの随所に表示される二つのチャネルを例示する。

【0025】

【図2】P I Pディスプレイ生成を例示する。

【0026】

【図3】典型的なビデオプロセッサのノイズ低減器およびデインタレーサのオフチップメモリアクセス動作を例示する。

【0027】

【図4】本発明の原理によるテレビディスプレイシステムを例示する。

【0028】

【図5】本発明の原理によるデュアルビデオプロセッサのオンボードビデオ処理セクションの機能を詳細に示す。

【0029】

【図6】本発明の原理によるクロック生成システムを例示する。

【0030】

【図7-9】本発明の原理によるビデオ信号生成の三つのモードである。

【0031】

【図10】本発明の原理による三つのビデオ信号を生成すべく二つのデコーダを使用する実装例を例示する。

【0032】

【図11】本発明の原理による二つのビデオ信号の二つの部分を時分割多重化するタイミング図例である。

【0033】

【図12】本発明の原理によるデュアルビデオプロセッサのフロントエンドのビデオバイブライン機能を詳細に例示する。

【0034】

【図13】本発明の原理によるノイズ低減器およびデインタレーサのオフチップメモリアクセス動作を例示する。

【0035】

【図14】本発明の原理によるノイズ低減器およびデインタレーサのオフチップメモリアクセス動作のタイミング図を例示する。

【0036】

【図15】本発明の原理による多数フィールドライン処理を例示する。

【0037】

【図16】本発明の原理によるフレームレート変換およびスケーリングを行う詳細を示す。

【0038】

【図17】本発明の原理によるスケーラ配置モジュールを例示する。

【0039】

【図18】本発明の原理によるBTOマルチプレクサの動作を例示する。

【0040】

【図19】本発明の原理によるデュアルビデオプロセッサの色処理およびチャネルブレンド(CPCB)ビデオバイブラインを詳細に示す。

10

20

30

40

50

【0041】

【図20】本発明の原理によるオーバレイエンジンを詳細に示す。

【0042】

【図21】本発明の原理による色管理部を詳細に示す。

【0043】

【図22】本発明の原理によるデュアルビデオプロセッサのバックエンドビデオパイプラインを詳細に示す。

【発明を実施するための最良の形態】

【0044】

本発明は、一以上の高品質出力信号を生成すべく、一以上のチャネルの多数ビデオパイプラインステージの随所でメモリアクセス帯域幅を減らし、メモリおよびその他の処理資源を共有する方法および装置に関する。 10

【0045】

図4は、本発明の原理によるテレビディスプレイシステムを示す。図4に図示されるテレビディスプレイシステムは、テレビ放送信号202、デュアルチューナ410、MPEGコーデック230、オフチップ記憶装置240、オフチップメモリ300、デュアルビデオプロセッサ400、メモリインターフェース530、および少なくとも一つの外部部材270を含みうる。デュアルチューナ410はテレビ放送信号202を受信して、第1のビデオ信号412および第2のビデオ信号414を生成してよい。ビデオ信号412および414はその後デュアルデコーダ420に提供されうる。デュアルデコーダ420は、デュアルビデオプロセッサ400の内部にあるものとして示されているが、ビデオプロセッサ400の外部にあってもよい。デュアルデコーダ420は、第1のビデオ信号412および第2のビデオ信号414に対してデコーダ220(図2)と同様の機能を果たしてよい。デュアルデコーダ420は少なくともマルチプレクサ424と二つのデコーダ422とを含んでよい。代替例においては、マルチプレクサ424および1または2のデコーダ422はデュアルデコーダ420の外部にあってよい。デコーダ422はデコードされたビデオ信号出力426および428を提供する。デコーダ422は、MPEGデコーダと異なる任意のNTSC/PAL/SECAMデコーダであってよい。デコーダ422の入力は、デジタルCVBS、S-Video、あるいはコンポーネントビデオ信号であってよく、デコーダ422の出力は、Y-Cb-Crデータ信号のようなデジタル標準の定義であってよい。デュアルデコーダ420の動作に関しては、図7、8、9、10を参照しながら詳述する。 20

【0046】

マルチプレクサ424を利用して二つのビデオ信号412および414のうちの少なくともいはずれか、あるいは任意の数の入力ビデオ信号を選択してよい。この選択された少なくともいはずれかのビデオ信号425はその後デコーダ422に提供される。この選択された少なくともいはずれかのビデオ信号425は図面では、単一のビデオ信号として示して図面の煩雑さを避けているが、ビデオ信号425は任意の数のデコーダ422に提供できる任意の数のビデオ信号を表してよいことは理解されるべきである。例えば、マルチプレクサ424は5つの入力ビデオ信号を受信してよく、5つの入力ビデオ信号のうち二つを二つの異なるデコーダ422へ提供してよい。 30

【0047】

図4に示す特定のビデオ信号処理により、デュアルビデオプロセッサ400上の内部デュアルデコーダ420が利用され、これにより時間的推移用途において必要とされうる外部デコーダを利用する費用を省くことができる。例えば、デュアルデコーダ420の出力426および428のいはずれかが656エンコーダ440へ提供されることで、ビデオ信号をインターレース前に標準形式に適切にエンコードしてよい。656エンコーダ440は、より早いクロック周波数で処理すべくデータサイズを減らすのに利用されてよい。例えば、幾らかの実施形態においては、656エンコーダ440は、二倍の周波数で処理すべく16ビットのデータ、h-syncおよびv-sync信号を、8ビットに減らしてよ 40

い。これは、S D ビデオおよび任意のN T S C / P A L / S E C A M デコーダおよびM P E G エンコーダの間でインタフェースする標準であってよい。エンコードされたビデオ信号 4 1 3 はその後、例えばビデオプロセッサのポートを介して外部M P E G コーデック 2 3 0 に提供され、時間推移ビデオ信号を生成しうる。別のポート、つまりデュアルビデオプロセッサ 4 0 0 の f l e x i p o r t 4 5 0 を利用して時間推移ビデオ信号をM P E G コーデック 2 3 0 から受信しうる。これは、ビデオプロセッサの外にあるデジタルビデオ信号の幾らかの部分を処理するビデオプロセッサの複雑性を低減するのに望ましい場合がある。さらに、M P E G コーデック 2 3 0 が行う時間推移は、圧縮、圧縮解除、および不揮発性大容量記憶デバイスとのインタフェースを含みうる動作を必要とするが、これら全てがビデオプロセッサの範囲を超える場合がある。

10

【 0 0 4 8 】

カーソル、オンスクリーン表示、あるいは、少なくとも一つの外部部材 2 7 0 で利用されうる、さもなくば外部部材に備えられうる放送ビデオ信号 2 0 2 以外の様々な他の形態のディスプレイも、デュアルビデオプロセッサ 4 0 0 を利用して生成されうる。例えば、デュアルビデオプロセッサ 4 0 0 はグラフィックポート 4 6 0 あるいはパターン生成器 4 7 0 をこの目的から含んでよい。

【 0 0 4 9 】

デコードされたビデオ信号、および様々な他のビデオ信号、グラフィック生成器 4 6 0 、あるいはパターン生成器 4 7 0 は、セレクタ 4 8 0 に提供されうる。セレクタ 4 8 0 はこれらビデオ信号の少なくとも一つを選択して、選択された信号をオンボードビデオ処理セクション 4 9 0 に提供する。ビデオ信号 4 8 2 および 4 8 4 は、セレクタ 4 8 0 からオンボードビデオ処理セクション 4 9 0 に提供されうる二つの例示的信号である。

20

【 0 0 5 0 】

オンボードビデオ処理セクション 4 9 0 は、デインターレース、スケーリング、フレームレート変換、およびチャネルブレンドおよび色管理などの、任意の適切なビデオ処理機能を行ってよい。デュアルビデオプロセッサ 4 0 0 の任意の処理資源は、メモリインタフェース 5 3 0 を介して、オフチップメモリ 3 0 0 へデータを送っても、オフチップメモリ 3 0 0 からデータを受け取ってもよく、オフチップメモリ 3 0 0 はS D R A M , R A M B U S 、あるいは任意の他の種類の揮発性記憶装置であってよい。これら機能の各々は、図 5 を参照しながら詳述する。

30

【 0 0 5 1 】

最後に、デュアルビデオプロセッサ 4 0 0 は一以上のビデオ出力信号 4 9 2 を出力する。ビデオ出力信号 4 9 2 は、表示用、記憶用、さらなる処理用、あるいは任意の他の適切な用途用に、一以上の外部部材 2 7 0 に提供されてよい。例えば、一つのビデオ出力信号 4 9 2 は、高精細テレビ (H D T V) 解像度を支援する主要出力信号であり、第 2 のビデオ出力信号 4 9 2 は、標準精細テレビ (S D T V) 解像度を支援する補助出力であってよい。

標準精細 (D V D) ビデオレコーダ、標準精細 T V (S D T V) 、標準精細プレビューディスプレイ、あるいは任意の他の適切なビデオアプリケーションに補助出力を利用しながら、同時にデジタル T V あるいはプロジェクタのようなハイエンドの外部部材 2 7 0 を駆動するのに主要出力信号を利用することができる。ユーザに H D T V ディスプレイで番組を視聴させながら、同時に、補助出力信号はユーザに H D T V プログラムを任意の適切な S D T V 媒体 (例えば D V D) に記録させてよい。

40

【 0 0 5 2 】

図 5 は、本発明の原理によるデュアルビデオプロセッサ 4 0 0 のオンボードビデオ処理セクション 4 9 0 の機能をより詳細に示す。オンボードビデオ処理セクション 4 9 0 は、入力信号構成 5 1 0 、メモリインタフェース 5 3 0 、構成インタフェース 5 2 0 、フロントエンドパイプラインセクション 5 4 0 、フレームレート変換 (F R C) およびスケーリングパイプラインセクション 5 5 0 、色処理およびチャネルブレンドパイプラインセクション 5 6 0 、およびバックエンドパイプラインセクション 5 7 0 を含みうる。

50

【0053】

構成インターフェース 520 は、プロセッサなどの外部部材から、例えば I2C インタフェースを介して制御情報 522 を受信しうる。構成インターフェース 522 は、入力信号構成 510、フロントエンド 540、フレームレート変換 550、カラープロセッサ 560、バックエンド 570、およびメモリインターフェース 530 を構成するのに利用されうる。入力信号構成 510 はデュアルビデオプロセッサ 400 上の外部入力と連結され、これにより入力 502 上のビデオ信号 (HDTV 信号、SDTV 信号、あるいは任意の他の適切なデジタルビデオ信号)、および選択されたビデオ信号 482 および 484 を受信しうる (図 4)。入力信号構成 510 は、その後受信されたビデオ信号のうち少なくとも一つ (例えば信号 482、484、および 502) をビデオ源ストリーム 512 としてフロントエンド 540 へ提供するべく構成されうる。

【0054】

この構成に基づいて、オンボードビデオ処理セクション 490 に提供されたこれら入力のうち様々なものが、オンボードビデオ処理パイプラインを利用して異なるときに処理されうる。例えば、一実施形態において、デュアルビデオプロセッサ 400 は、八つの入力ポートを含みうる。例示的ポートは、二つの 16 ビット HDTV 信号ポート、一つの 20 ビット HDTV 信号ポート、CCIR 656 形式であってよい三つの 8 ビット SDTV ビデオ信号ポート、一つの 24 ビットグラフィックポートおよび一つの 16 ビット外部オンスクリーンディスプレイポートを含みうる。

【0055】

フロントエンド 540 は、入手可能な入力の少なくとも一つのビデオ信号ストリーム 512 (つまり、チャネル) から選択を行い、選択されたビデオ信号ストリームを一以上のビデオ処理パイプラインステージに沿って処理するよう構成されうる。フロントエンド 540 は、一以上のパイプラインステージから処理済みのビデオ信号ストリームをフレームレート変換およびスケーリングパイプラインステージ 550 に提供しうる。幾らかの実施形態においては、フロントエンド 540 は三つのビデオ処理パイプラインステージを含み、三つの別個の出力を FRC およびスケーリングパイプラインステージ 550 へ提供しうる。FRC およびスケーリングパイプラインステージ 550 においては、一以上の処理チャネルがありえる。例えば、第 1 のチャネルは主要スケーラおよびフレームレート変換部を含みえ、第 2 のチャネルは別のスケーラおよびフレームレート変換部を含みえ、第 3 のチャネルは、これらより低いコストのスケーラを含みうる。これらスケーラは互いに独立していてよい。例えば、一つのスケーラが入力画像を拡大している間に、別のスケーラが画像を縮小していてよい。スケーラは両方とも 444 ピクセル (RGB/YUB24 ビット) あるいは 422 ピクセル (YC16 ビット) で動作可能である。

【0056】

色処理およびチャネルブレンドパイプラインステージ 560 は、色管理機能を提供するよう構成されうる。これら機能は、色リマップ、輝度 (brightness)、コントラスト、色相および彩度向上、ガンマ補正およびピクセルバリデーションを含みうる。さらに、色処理およびチャネルブレンドパイプラインステージ 560 は、ビデオブレンド機能、異なるチャネルのオーバレイ、あるいは二つのブレンドされたビデオチャネルの、第三のチャネルへのブレンドあるいはオーバレイを提供しうる。

【0057】

バックエンドパイプラインステージ 570 は、データフォーマット、符号付 / 符号なし数変換、彩度論理、クロック遅延、あるいはデュアルビデオプロセッサ 400 から一以上のチャネルが出力されるまでに必要となりうる任意の適切な最終信号動作を行うよう構成されうる。

【0058】

様々なパイプラインステージセグメントの各々は、メモリインターフェース 530 を利用してオフチップメモリ 300 に対するデータ送受信を行うよう構成されうる。メモリインターフェース 530 は少なくともメモリコントローラとメモリインターフェースとを含みうる

10

20

30

40

50

。メモリコントローラは、メモリにより支援される最大スピードで動作するよう構成される。一実施形態においては、データバスは32ビットであってよく、200MHzの周波数で動作してよい。このバスは、1秒当たり12.8ギガビットに略近いスループットを提供しうる。メモリインターフェース530(つまりメモリクライアント)を利用する各機能ブロックは、メモリを動作のバーストモードにアドレスしうる。様々なメモリクライアント間のアービトレーションは、ラウンドロビン方式で、あるいは任意の他の適切なアービトレーション方式でなされうる。様々なパイプラインセグメントのより詳細な説明については、図12、19、20、21、および22に関連して提供される。

【0059】

デュアルビデオプロセッサ400の様々な部材およびパイプラインステージが、異なるクロック機構あるいはクロック周波数を必要としうる。図6は、これを目的として様々なクロック信号を生成するクロック生成システム600を図示する。クロック生成システム600は、少なくとも、水晶発振器610、汎用アナログフェーズロックループ回路620、デジタルフェーズロックループ回路640a-nおよびメモリアナログフェーズロックループ回路630を含む。水晶発振器610の出力612は、汎用フェーズロックループ620、メモリフェーズロックループ630、デュアルビデオプロセッサ400の別の部材、あるいはプロセッサ外部の任意の適切な部材に必要に応じて連結されうる。

【0060】

メモリアナログフェーズロックループ630は、メモリクロック信号632および、メモリデバイス(例えば200MHzDDRメモリ)あるいは別のシステム部材を動かすクロック信号652として利用すべくセレクタ650により選択されうる異なる周波数636の他のクロック信号を生成する。

【0061】

汎用アナログフェーズロックループ620は、一以上のデジタルフェーズロックループ(PLL)回路640a-n用のベースクロックとして利用されうる200MHzクロックを生成しうる。デジタルPLL回路640a-nは、周波数合成器(つまり、回転数でベースクロック周波数を乗算すること)として振舞うオープンループモードで利用されうる。これに替えて、デジタルPLL回路640a-nを、各入力クロック信号642a-n(例えばビデオ同期入力)上にロックをかける周波数ロックを達成しうるクローズドループモードで利用しうる。デジタルPLLはクローズドループモードで、非常に遅いクロック信号に正確な周波数ロックを達成する能力を持つ。例えば、ビデオ処理分野においては、垂直ビデオクロック信号(v-sync)は50~60Hzの範囲にあってよい。様々なシステム部材が、様々なオープンループあるいはクローズドループ信号を要しうるデジタルPLL回路640a-nの出力644a-nを利用しうる。各出力640a-nは、異なる周波数あるいは同じ周波数のクロック信号を提供する能力があるとして理解されるべきである。

【0062】

例えば、デジタルPLL回路640a-nが生成するクロック信号を利用しうる一部材はデュアルデコーダ420(図4)であり、その動作は図7、8、9、および10との関連において詳述する。デュアルデコーダ420はデコーダ422(図4)を含みうる。デコーダ422は、図7、8、および9との関連で詳述するように、様々な動作モードで利用されうる。

【0063】

図7、8、および9は、デコーダ422を利用してビデオ信号426または428(図4)を生成する動作の三つの例示的モードを図示する。これら三つの動作モードは、例えば、コンポジットビデオ信号、s-video、およびコンポーネントビデオ信号を提供しうる。

【0064】

これら三つのモードの第1のものを(コンポジットビデオ信号生成に利用されうる)、

10

20

30

40

50

図7との関連で示す。第1のデコーダモードはDC復元部720、アナログ/デジタル変換器730、およびデコーダ422を含みえ、これらの各々は、デュアルデコーダ420(図4)に含まれうる。ビデオ信号425(図4)は、デュアルチューナ410によりあるいはマルチプレクサ424の他の配置に提供されうるが、DC復元部720に提供される。DC復元部720は、AC連結信号でありうるビデオ信号425が自身のDC参照をなくし、輝度などのビデオ特徴情報を維持すべくそれを定期的にリセットする必要があるときに、利用されうる。DC復元部720からのビデオ信号は、アナログ/デジタル変換器730によりデジタル化されデコーダ422に提供されうる。

【0065】

第1のモードにおいて、デコーダ422は、単一のアナログ/デジタル変換器からのデジタルビデオ信号732を利用してコンポジットビデオ信号を生成しうる。アナログ/デジタル変換器730およびデコーダ422は、デジタルクロック信号644a-n(図6)を利用して動作しうるが、これは例えば、20、21、22、23、24、25、26、27、28、29、あるいは30MHzであってよい。さらに、デコーダ422は、出力フィードバック信号427を利用してDC復元部720の動作を制御しうる。出力フィードバック信号427は、例えば、DC復元部720に対して、アナログ/デジタル変換器730に提供されるビデオ信号上のDC出力を増減させるよう指示する2ビットの制御信号でありえる。

【0066】

s-videoを生成するのに利用されうる三つのモードの第2のものを、図8との関連で説明する。第2のデコーダモードは、第2のアナログ/デジタル変換器820に加えて、第1のモードで記載された全ての部材を含みうる。ビデオ信号425(図4)は、第1の部分812および第2の部分810に分割されうる。ビデオ信号425の信号の第1の部分812(図4)は、マルチプレクサ424により提供されうるが、DC復元部720に提供されえ、ビデオ信号425の信号の第2の部分810(図4)は第2のデジタル/アナログ変換器820に入力されうる。DC復元部720からのビデオ信号425の第1の部分812は、第2のアナログ/デジタル変換器730によりデジタル化されてデコーダ422に提供される。さらに、ビデオ信号425の第2の部分810も、アナログ/デジタル変換器820によりデコーダ422に提供される。S-VIDE0は、様々なデバイス(例えば、VCR、DVDプレーヤなど)に接続するのに二つの有線アナログポートを必要とする。

【0067】

この第2のモードにおいて、デコーダ422は、二つのアナログ/デジタル変換器730および820からのデジタル化されたビデオ信号732および832を利用してs-videoを生成してよい。アナログ/デジタル変換器730および820およびデコーダ422は、デジタルクロック信号644a-n(図6)を受信することで動作しうるが、これは例えば20、21、22、23、24、25、26、27、28、29、あるいは30MHzであってよい。幾らかの実施形態においては、ビデオ信号の第1の部分812は、ビデオ信号425のY-チャネルであってよく、ビデオ信号425の第2の部分810は、ビデオ信号の彩度チャネル(chroma channel)であってよい。

【0068】

コンポーネントビデオ信号を生成するのに利用されうる三つのモードの第3のものを、図9との関連で示す。第3のデコーダモードは、第2および第3のDC復元部930および920、およびマルチプレクサ940に加えて、第2のモードで記載された全ての部材を含みうる。ビデオ信号425は、第1の部分914、第2の部分910、および第3の部分912に分割されうる。ビデオ信号425の第1の部分914(図4)は、マルチプレクサ424により提供されえ、DC復元部720へ提供されえ、ビデオ信号425の信号の第2の部分910は(図4)DC復元部930へ提供されえ、ビデオ信号425の信号の第3の部分912は(図4)DC復元部920へ提供されうる。コンポーネントビデオ信号は、様々なデバイス(例えば、VCR、DVDプレーヤなど)に接続するのに三つ

10

20

30

40

50

の有線アナログポートを必要とする。

【0069】

DC復元部720からのビデオ信号425の第1の部分914は、アナログ/デジタル変換器730によりデジタル化されてデコーダ422に提供される。DC復元部930および920からのビデオ信号425の第2および第3の部分910および912は、アナログ/デジタル変換器820により選択的にデジタル化されて（例えば、マルチプレクサ940を利用して選択されて）デコーダ422に提供される。マルチプレクサ940は、デコーダ422から制御信号429を受信して、アナログ/デジタル変換器820によりビデオ信号425の第2および第3の部分910および912を時分割多重化しうる。

【0070】

第3のモードにおいて、幾らかの実施形態においては、デコーダ422が二つのアナログ/デジタル変換器730、820からのデジタル化されたビデオ信号732および832を利用してコンポーネントビデオ信号を生成しうる。アナログ/デジタル変換器730および820およびデコーダ422は、デジタルクロック信号644a-n（図6）を受信することで動作しうるが、これは例えば20、21、22、23、24、25、26、27、28、29、あるいは30MHzであってよい。さらに、デコーダ422は、出力フィードバック信号427を利用してDC復元部720、930、および920の動作を制御しうる。幾らかの実施形態においては、ビデオ信号425の第1、第2、第3の部分914、910、および912は、それぞれビデオ信号425のY-チャネル、U-チャネル、およびV-チャネルであってよい。

10

【0071】

様々な共通に入手可能な種類のDC復元部、デジタル/アナログ変換器およびビデオデコーダを利用して上述の機能を簡略に行うこともできるが、詳細な動作が本開示から省かれていることを理解されたい。

【0072】

図10に示す実施形態において、三つ全てのデコーダモードは二つのデコーダ422および三つのアナログ/デジタル変換器730あるいは820を利用して実装できる。図10に記載の配置により、デュアルデコーダ420（図4）は、少なくとも二つのビデオ信号（つまり各デコーダから一つのビデオ信号）426および428を、該三つのモードのうち任意の二つに対応するよう略同時に、提供することができる。

20

【0073】

図10は、二つのデコーダを利用して、二つのコンポジットビデオ信号、一つのコンポジットおよび一つのs-video、一つのコンポジットおよび一つのコンポジットビデオ信号、あるいは二つのs-videoのいずれかを生成する例示的実装例を示す。図10に示す例示的実装は、一式のマルチプレクサ1020、1022、1023、1025、1021、1024、1026、1027、および1028、三つのアナログ/デジタル変換器730、820、および1010、四つのDC復元部720、721、930、920、デマルチプレクサ1040、および二つのデコーダ422aおよび422bを含む。

30

【0074】

図10の例示的実装は、二つのコンポジットビデオ信号を生成する際に利用されると、以下のように動作しうる。第1のビデオ信号425aがマルチプレクサ1020の第1の入力に連結され、第2のビデオ信号914がマルチプレクサ1024の第2の入力に連結されうる。マルチプレクサ1020の第1の入力はマルチプレクサ1021の第4の入力に選択・出力され、DC復元部720に入力されうる。マルチプレクサ1024の第2の入力はDC復元部721に選択・出力されうる。実装の残りの部分の動作は、コンポジットビデオ信号が生成される図7との関連で記載されたものと類似している。例えば、DC復元部720および721、アナログ/デジタル変換器730および1010、およびデコーダ422aおよび422bは、図7に記載されているようにコンポジットビデオ信号を生成するのと類似した様式で動作する。

40

50

【0075】

図10に示す例示的実装を利用した一つのコンポジットおよび一つのs-videοあるいは一つのコンポジットおよび一つのコンポーネントビデオ信号の生成は、上述の二つのコンポジットビデオ信号の生成と類似した様式で行われる。例えば、s-videοを生成するのに利用される、ビデオ信号425の第1および第2のビデオ信号部分812および810がマルチプレクサ1022および1026に提供される。マルチプレクサ1022および1026の出力は、アナログ/デジタル変換器730および820で処理されるべきビデオ信号を選択するマルチプレクサ1021および1027に提供される。同様に、マルチプレクサ1024は、アナログ/デジタル変換器1010が処理すべきビデオ信号を選択する。様々な動作モードについてのマルチプレクサ入力選択は、以下に示す表1において詳述されている。10

【0076】

図10に示す例示的実装により、さらに、二つのs-videο426および428が生成される。この機能を提供すべく、第1の周波数および第1の位相（例えば20MHz）で動作している第1のクロック信号644aがアナログ/デジタル変換器730およびデコーダ422aへ提供される。第1のクロック信号から180度ずれた位相の（例えば位相が180度ずれた20MHz）第2の周波数で動作していくよい第2のクロック信号644bがアナログ/デジタル変換器1010およびデコーダ422bへ提供されうる。第1のクロック信号の周波数の略二倍である第3の周波数であり第1のクロック信号と同じ位相である（40MHz）第三のクロック信号644cがアナログ/デジタル変換器820へ提供されうる。クロック信号644bはマルチプレクサ1030に提供されてクロック信号644bをマルチプレクサ1026および1027に選択的に連結する。マルチプレクサ1026および1027の選択された入力にクロック信号を連結することで、アナログ/デジタル変換器820上のビデオ信号入力810a-cに時分割多重化を行うことができる。クロック信号644aは、時分割されたビデオ信号を非多重化すべくマルチプレクサ1040に連結される。時分割多重化動作のより明瞭な説明を図11との関連で行う。20

【0077】

図11は、二つのビデオ信号425の二つの第2の部分810を時分割多重化する例示的タイミング図を示す。動作を時分割多重化することで、第4のアナログ/デジタル変換器の必要性がなくなりてデュアルビデオプロセッサ400の全コストが削減されうる。図11のタイミング図は、第1、第2、および第3のクロック信号644a、644b、および644cそれぞれに対応する三つのクロック信号、および三つのアナログ/デジタル変換器730、1010、および820の出力を含む。図に示すように、クロック1およびクロック2はクロック3の半分の周波数で動作し、クロック3の立下りエッジで変化する。30

【0078】

示されているように、T1とT4との間の期間において、クロック644a（クロック1）が完了し、第1のビデオ信号（S0）の第1の部分812a-cに対応するアナログ/デジタル変換器730（ADC1）の出力はデコーダ422aによる処理用に入手可能である。期間T2の始まりのクロック3の立上がりエッジにおいて、アナログ/デジタル変換器820（ADC3）は第2のビデオ信号（S1）の第2の部分810a-cの処理を開始し、期間T3の終わりに処理を完了する。40

【0079】

期間T3の始まりに、アナログ/デジタル変換器820（ADC2）は、ビデオ信号S1の第1の部分812a-cの処理を開始して、期間T6の終わりに完了する。ビデオ信号S1の第1の部分812a-cに対応するADC2の出力は、期間T6の終わりにデコーダ422bによる処理用に入手可能となる。期間T4の始まりのクロック3の立上がりエッジにおいて、アナログ/デジタル変換器820（ADC3）はビデオ信号S0の第2の部分810a-cの処理を開始し、期間T5の終わりに処理を完了する。50

【0080】

故に、期間T6の終わりには、二つのビデオ信号S0およびS1の二つの部分が、三つのアナログ/デジタル変換器のみを利用して処理完了となる。

【0081】

期間T5とT6の間のクロック3の立上がりエッジにおいて、デマルチプレクサ1040は、ビデオ信号S0の第2の部分810a-cの出力をADC3からデコーダ422aに提供することで、処理済ビデオ信号426を生成する。同時に、ビデオ信号S1の第2の部分810a-cがアナログ/デジタル変換器820(ADC3)における処理用に選択され、期間T7の終わりに入手可能となる。

【0082】

上述は、三つのアナログ/デジタル変換器730、1010、および820を利用して二つのs-video426および428を生成する一実施形態を開示している。以下の表1は、コンポジット(cst)、コンポーネント(cmp)およびs-video(svid)の様々な組み合わせを生成すべく対応するマルチプレクサに提供されうる様々な例示的選択信号のまとめである。

【表1】

ビデオ1	ビデオ2	M0_sel	M1_sel	M2_sel	M3_sel	M4_sel	M5_sel	M6_sel	M7_sel
425a (cst)	425e (cst)	0,0	X,X	1,1	X,X	X,X	0,1	X,X	X,X
425a (cst)	910,912,914 (cmp)	0,0	X,X	1,1	X,X	X,X	1,0	X,X	1,429
425b (cst)	812a,810a (svid)	0,1	X,X	1,1	X,X	0,0	0,0	0,0	0,0
812a,810a (svid)	812b,810b (svid)	X,X	0,0	0,0	X,X	0,1	0,0	0,644b	0,0
812a,810a (svid)	812c,810c (svid)	X,X	0,0	0,0	X,X	1,0	0,0	644b,0	0,0
812b,810b (svid)	812c,810c (svid)	X,X	0,1	0,0	X,X	1,0	0,0	644b,1	0,0

【0083】

デュアルデコーダ420はさらに、ビデオカセットレコーダ(VCR)から受信できる不安定なアナログあるいはデジタル信号を扱うよう構成できる。不安定な信号はVCRにより、早送り(fast forwarding)モード、巻き戻し(fast rewinding)モード、あるいは休止(pausing)モードなどの様々な動作モードにより生成されうる。デュアルデコーダ420はこのような状況にあっても良好な品質の出力信号を提供すべくこれら種類の信号の処理をできてよい。

【0084】

不安定なビデオ信号は、VCRが生成する不安定なsync信号により生じうる。不安定なsync信号を処理するのに適切な技術の一つは、不安定なビデオ信号をバッファすることである。例えば先入れ先出し(FIFO)バッファをデコーダの出力付近に配置することができる。第一に、不安定なsync信号を参照として利用してデコーダ出力データをFIFOバッファに書き込んでよい。sync信号およびクロックは、デコーダ内の論理ブロックから生成あるいは再生成されて、その後そのような動作モードになった場合に、FIFOバッファからデータを読み出すのに利用されうる。故に、不安定なビデオ信号は安定したsync信号とともに出力されうる。全ての他の動作シナリオあるいは動作モードにおいて、FIFOバッファはバイパスされ、出力はFIFOの入力と同じにならう。

【0085】

または、FIFOバッファをオフチップメモリに実装すると、不安定なsync信号が適切に処理されうる。例えば、不安定なsync信号が削除されると、デコーダは2-D

10

20

30

40

50

モードに配置されることでオフチップメモリ利用が減少しうる。通常 3-D 動作に利用されるオフチップメモリ 300 の大半の部分がフリーになることになり、これを上述の FIFO バッファの実装に利用することもできる（つまり、少なくとも一つのフルデータベクタに等しいものが、フリーのメモリスペースとして利用可能となる）。さらに、オフチップメモリ内の FIFO バッファは、フルフレーム用にピクセルを記憶しうるので、たとえ読み出しレートと書き込みレートとが整合しなくとも、出力においてフレームは繰り返されるか間引かれる（drop）かされる。特定のフレームあるいはフレーム内のフィールドの繰り返しあるいは間引きにより、依然としてシステムは程々に良好な画像を表示させることができとなる。

【0086】

10

図 12 は、ビデオパイプラインのフロントエンド 540 の例示的機能を詳述する。特に、チャネルセレクタ 1212 は、多数のビデオ源ストリーム 512 から四つのチャネルを選択するよう構成されうる。四つのチャネルはフロントエンド 540 の 4 つのパイプラインステージに沿って処理されうる。幾らかの実施形態において、四つのチャネルは、主要ビデオチャネル、PIP チャネル、オンスクリーンディスプレイ（OSD）チャネル、およびデータ計測（data instrumentation）あるいはテストチャネルを含みうる。

【0087】

フロントエンド 540 は任意のチャネルの様々なビデオ処理ステージ 1220a、1220b、1230、および 1240 を実装しうる。幾らかの実施形態において、様々なチャネルは、該様々なチャネルの処理能力を増加させるべく任意のほかのステージからの一以上の資源を共有しうる。ビデオ処理ステージ 1220a および 1220b が提供しうる幾らかの機能例は、最大画質を生成するのに利用可能なノイズ低減およびデインターレースを含みうる。ノイズ低減およびデインターレース機能は、さらにオフチップメモリ 300 を共有しえ、このような次第で、メモリは共有メモリステージ 1260 と称され、これについては図 13 および 15 との関連において詳述する。図面を混ませない目的から、図 12 において共有メモリステージ 1260 はチャネル 1 に対応する処理ステージの一部として記載されている。しかし、一以上の共有メモリステージ 1260 はフロントエンド 540 のチャネルパイプラインの任意のものの一部であってよいことは理解されるべきである。

20

【0088】

ノイズ低減により、インパルスノイズ、ガウスノイズ（空間および時間両方）、プロックノイズおよびモスキートノイズなどの MPEG アーチファクトが削除されうる。デインターレースは、動きが存在するときエッジ適応補間を利用して失われたラインを補間することで、インターレースされたビデオからプログレッシブビデオを生成することを含みうる。その代わりに、デインターレース機能は、動きに基づき適応可能なように時間的および空間的補間の組み合わせを利用しうる。ノイズ低減器およびデインターレーサ双方は、3-D ドメインで動作でき、オフチップメモリのフレームフィールドの記憶を要しうる。故に、デインターレーサおよびノイズ低減器は、オフチップメモリへのアクセスに利用しうるメモリインタフェース 530 に対してクライアントとして振舞いうる。幾らかの実施形態においては、ノイズ低減器およびデインターレーサは、メモリ空間を最大化し最大に効率的な方法でデータ処理を行うべくオフチップメモリを共有しうるが、これは共有メモリステージ 1260 に示されている通りである。このプロセスを図 13 および 15 との関連で詳述する。

30

【0089】

三つのビデオ処理ステージ 1220a、1220b、および 1230 は、ビデオ信号を望ましいドメインに変換する形式変換を実行してよい。例えば、この種類の変換を利用して入力ビデオ信号ストリームを 601 あるいは 709 色空間において YC4:2:2 形式に変更してよい。

【0090】

フロントエンド 540 はさらに、データ計測機能を実行すべく計測パイプライン（instrumentation pipeline）1240 を提供してよい。計測パイプライン 1240 は、例えば

40

50

、アクティブビデオの開始および終了ピクセルおよびライン位置を見つけるべく、あるいは制御可能な位相サンプラー (phase sampler) (A D C) アップストリームがある際に好みのサンプルクロック位相を見つけるべく、利用されうる。これら動作を行うことで、解像度、レター・ボクシング (letter-boxing)、ピラー・ボクシング (pillar-boxing) などの入力チャネルパラメタの自動検知が手助けされうる。さらには、このようなチャネルパラメタの検知は、それらをマイクロコントローラあるいは任意の他の適切な処理部材によりスケーリングあるいはアスペクト比変換などのフィーチャ制御に利用する支援をしうる。フロントエンド 540 は、さらに、s y n c ビデオ信号装置機能を四つ全てのチャネルで実行して、s y n c 信号の損失、クロック信号の損失、あるいは範囲外の s y n c あるいはクロック信号を検知することができる。これら機能を利用して、マイクロコントローラあるいは任意の他の適切な処理部材を利用して電源管理制御を行うこともできる。10

【0091】

フロントエンド 540 の終わりに、一式の F I F O バッファ 1250 a - c がビデオストリームをサンプルして、サンプルされたビデオ信号 1252、1254、および 1256 を提供することができ、これは、フロントエンド 540 とフレームレート変換およびスケーリング 550 (図 5)とのパイプラインステージ間で、選択されたチャネルのリタイミングに利用されてもよい。

【0092】

共有メモリステージ 1260 のさらなる詳細を図 13 および 15 の関連において記載する。特に、図 13 に示すように、共有メモリステージ 1260 は、ノイズ低減器 330 およびデインターレーサ 340 の機能を少なくとも含みうる。これら機能両方は、高品質画像を生成するのにフレーム記憶が必要となる時間的機能 (temporal function) である。様々なメモリアクセスロック (メモリクライアント) にオフチップメモリ 300 を共有させることで、オフチップメモリ 300 のサイズおよびオフチップメモリ 300 とインターフェースするのに必要な帯域幅を低減することができる。20

【0093】

ノイズ低減器 330 は、3-D モードにインターフェースされた入力の二つのフィールド上で動作しうる。ノイズ低減器 330 が動作しうるこれら二つのフィールドは、生存フィールド (live field) 1262 および、生存フィールド 1262 の前二つのフィールドを含みうる。デインターレーサ 340 は、3-D モードの三つのインターレースされたフィールド上で動作しうる。三つのフィールドは、生存フィールド 1262、直前のフィールド 1330、および直前のフィールドの前のフィールド 332 (つまり、前の前のフィールド 332) を含みうる。30

【0094】

図 13 および図 14 に示すように、フィールドバッファ 1310 および 1312 は、ノイズ低減器 330 およびデインターレーサ 340 により共有されうる。ノイズ低減器 330 は、オフチップメモリ 300 から、フィールドバッファ 1310 から前の前のフィールド 332 を読み出して、ノイズ低減された出力 322 を提供すべく生存フィールド 1262 とともに処理してよい。ノイズ低減出力 322 は、オフチップメモリ 300 内、フィールドバッファ 1312 へと書き込まれうる。デインターレーサ 340 は、直前のフィールド 1330 をオフチップメモリ 300 のフィールドバッファ 1312 から、および直前のフィールドの前のフィールド 332 をオフチップメモリ 300 のフィールドバッファ 1310 から読み出して、読み出したフィールドを生存フィールド 1262 あるいはノイズ低減出力 322 とともに処理して、デインターレースされたビデオ 1320 を出力として提供してよい。40

【0095】

例えば図 14 に示すように、生存フィールド 1262 (F I E L D 1) は、ノイズ低減器 330 に提供されて、第 1 期間 (T1) 中にノイズ処理済出力 322 を出力しうる。ノイズ低減器 330 が F I E L D 1 の処理を完了した後あるいは前に (つまり、期間 T2 中に)、ノイズ低減出力 322 (F I E L D 1) がノイズ低減器 330 によりデインターレー

サ340に提供されえ、あるいは(例えばノイズ低減が不要な場合)、ノイズ低減器330をバイパスして1262を介して直接デインタレーサ340に提供されうる。いずれにしても、第2期間(期間T2)中、ノイズ低減出力322(FIELD1)が、ノイズ低減器330によりオフチップメモリ300のフィールドバッファ1312に書き込まれうる。

【0096】

フィールドバッファ1312(FIELD1)の出力1330は、フレームの次の生存フィールド(FIELD2)処理中に、期間T2中にデインタレーサ340によりオフチップメモリ300から読み出されうる。続いてフィールドバッファ1312は、ノイズ処理済出力322(FIELD2)の前(生存フィールドの前)に処理済ノイズ低減出力(FIELD1)を提供しうる。

【0097】

第3期間(つまりT3)中、ノイズ低減器330が生存フィールド1262(FIELD2)の次のフィールドの処理を完了した後あるいは前に、フィールドバッファ1312の生存フィールド1330の前のフィールドがフィールドバッファ1310に書き込まれてよい。次のノイズ低減出力322(FIELD2)が、ノイズ低減出力(FIELD1)の代わりにフィールドバッファ1312に書き込まれてよい。期間T3中、フィールドバッファ1312の内容はノイズ低減出力(FIELD2)(つまり、前の生存フィールド)であり、フィールドバッファ1310の内容はノイズ低減出力(FIELD1)(つまり、生存フィールドの前の前のフィールド)である。

【0098】

期間T3中、ノイズ低減器330は生存フィールド1262(FIELD3)上および生存フィールドの前の前のフィールド332(FIELD1)上で動作してよい。同じ期間T3中、デインタレーサ340は生存フィールド1262(FIELD3)あるいはノイズ低減出力(FIELD3)、生存フィールド1330の前の生存フィールド(FIELD2)、および前の生存フィールドの前の生存フィールド332(FIELD2)上で動作してよい。オフチップメモリ300をノイズ低減器330およびデインタレーサ340間で共有すると、2フィールドバッファ位置のみを利用することとなるが、図3に示すように同様の機能を提供しようと思うと典型的にはオフチップメモリ300で四つのフィールドバッファ位置が必要となる。

【0099】

メモリ内のフィールドバッファ位置の数を減らすことで、等しい処理能力およびより多いメモリ記憶および帯域幅を有するさらなるビデオ処理パイプラインが提供されえ、これにより少なくとも二つのチャネルの高品質ビデオ処理が可能となる。さらには、一つの書き込みポートおよび二つの読み出しふポートを利用して上述の機能を提供するので、デュアルビデオプロセッサ400およびオフチップメモリ300間のデータ転送帯域幅は減少しうる。

【0100】

幾らかの他の実施形態においては、ノイズ低減器330およびデインタレーサ340は、各フレームの多数のフィールドライン上で動作しうる。図15に示すように、これらフィールドラインの各々は、生存フィールドラインバッファ1520、前の生存フィールドラインバッファ1530、前の前の生存フィールドラインバッファ1510に記憶されうる。ラインバッファ1510、1520、および1530は、データ記憶およびデータアクセスに高い効率性および速度を提供しうるデュアルビデオプロセッサ400の記憶位置でありうる。さらに記憶空間量を減らすべく、ノイズ低減器330およびデインタレーサ340が利用するラインバッファ1510がノイズ低減器およびデインタレーサモジュール間で共有されうる。

【0101】

図15に図示されるように、図13および14との関連で記載された生存フィールドをフィールドバッファ1312に記憶する動作に加えて、生存フィールド1262がノイズ

10

20

30

40

50

低減器 330 およびデインタレーサ 340 により受信されるので、生存フィールド 126 2 も生存フィールドラインバッファ 1520 に記憶されうる。これにより、ノイズ低減器 330 およびデインタレーサ 340 は、異なる時間間隔で同時に受信される多数の生存フィールドラインにアクセスすることができる。同様に、フィールドバッファ位置 1310 および 1312 に記憶される内容は対応するラインバッファ 1510 および 1530 に移動され、これらが今度は各々前の生存フィールド（生存フィールドの前のノイズ低減出力）用のバッファ、および前の前の生存フィールドライン（前の生存フィールドの前のノイズ低減出力）を提供する。これにより、ノイズ低減器 330 およびデインタレーサ 340 は、多数の前の生存フィールドラインおよび前の前の生存フィールドラインに同時にアクセスすることができる。フィールドラインバッファを含んだ結果、ノイズ低減器 330 およびデインタレーサ 340 は多数のフィールドライン上で同時に動作しうる。その結果、ノイズ低減器 330 およびデインタレーサ 340 は、フィールドバッファ位置 1310 に記憶されている前の前の生存フィールドへのアクセスを共有するので、さらに対応するフィールドラインバッファ 1510 へのアクセスを共有しうる。これにより、今度は、デュアルビデオプロセッサ 400 に必要な、あるいはそれに略近い記憶量を低減することができる。10

【0102】

図 15 は三つのラインバッファのみを示すが、任意の数のフィールドラインバッファを提供することができることは理解されたい。特に、提供されるフィールドラインバッファの数は、デュアルビデオプロセッサ 400 で入手可能なフィールドラインバッファの数および／またはノイズ低減器 330 およびデインタレーサ 340 が必要としうる同期フィールドラインの数に依存する。しかし、任意の数のノイズ低減部およびデインタレース部を追加して、多数のフィールドライン処理を支援してよいことを理解されたい。20

【0103】

例えば、各々三つの生存フィールドラインを同時に処理することのできる二つのノイズ低減器 330 および二つのデインタレーサ 340 が提供されるとすると、八個の生存フィールドラインバッファ 1520、六つの前の生存フィールドラインバッファ 1530、および六つの前の前の生存フィールドラインバッファ 1510 を利用して多数のフィールドライン処理が行われ、ここで各フィールドラインバッファの出力は、ノイズ低減器およびデインタレーサ部の対応する入力に連結されうる。実際のところ、必要となるノイズ低減器、デインタレーサ、およびオンチップ空間の数が入手可能となる場合一以上のフレームの内容はフィールドバッファに記憶できると考えられてきた。30

【0104】

図 16 は、フレームレート変換およびスケーリングパイプライン 550（図 5）（FRC パイプライン）をより詳細に示す。FRC パイプライン 550 は、少なくともスケーリングおよびフレームレート変換機能を含みうる。特に、FRC パイプライン 550 は、スケーラスロット 1630、1632、1634、および 1636 のうち二つに代わりうるスケーリングに利用される少なくとも二つのモジュールを含みうるが、そのうち一方のスケーラは第 1 のチャネルへスケーリングを提供し、他方は第 2 のチャネルへスケーリングを提供する。この配置の利点を、図 17 を参照しながら明らかにする。スケーラスロット 1630、1632、1634、および 1636 のこれらスケーリングモジュールの各々は、任意のスケーリング率でアップスケールおよびダウンスケールを行う能力を持ちうる。これらスケーラはさらに、アスペクト比変換、水平非線形 3ゾーンスケーリング、インタース、およびデインタースを行う回路を含みうる。幾らかの実施形態におけるスケーリングは、同期モードで行われうる（つまり、出力が入力と同期されている）、あるいは、オフチップメモリ 300 を介して行われうる（つまり、出力は入力に対してどこにでも配置されうる）。

【0105】

FRC パイプライン 550 は、さらに、フレームレート変換（FRC）の機能を含みうる。チャネルのうち少なくとも二つは、フレームレート変換回路を含みうる。FRC を実4050

行するには、ビデオデータをメモリバッファに書き込み望ましい出力レートでバッファから読み出すべきである。例えば、フレームレートの増加は、特定のフレームが経時的に繰り返されるよう入力フレームより早く出力バッファを読み出すことにより生じる。フレームレートの減少は、特定のフレームが書き込まれるよりも遅いレートでバッファから出力されるフレームを読み出すことで生じる（つまり、入力レートより遅くフレームを読み出す）。フレームの裂けあるいはビデオアーチファクトは、ビデオデータが入手可能な（つまり、アクティブなビデオ）期間中に特定のフレームを読み出すことで生じうる。

【0106】

特に、アクティブなビデオ中のフレームの裂けビデオアーチファクトを避けるべく、一フレーム中のフィールドの途中を避けて、全入力フレームにわたりフレームの繰り返しあるいは間引きをすべきである。つまり、ビデオの不連続性は、フレームの境界においてのみ起こるべきであり（つまり、画像データが提供されない垂直あるいは水平 sync 中）、アクティブなビデオの領域内では起こるべきでない。例えばメモリインターフェース 530 がメモリにある一フレームの部分を読み出すときを制御することで、裂け目のない（tearless）制御機構 1610 を動作させてフレーム間の不連続性を低減しうる。FRC は通常モードあるいは裂け目のないモード（つまり、裂け目のない制御機構 1610 を利用する）で行うことができる。

【0107】

各第 1 および第 2 のチャネルのスケーラスロット 1630、1632、1634、および 1636 のうち二つに配置される二つのスケーラに加えて、さらに下端スケーラ 1640 が第 3 のチャネルにあってよい。下端スケーラ 1640 はより基本的なスケーラであり、例えば、1:1 あるいは 1:2 のアップスケールあるいは任意の必要なスケーリング率のみを行うスケーラであってよい。その代わりに、第 1 および第 2 のチャネルのスケーラのうちいずれかは、第 3 のチャネルにスケーリングを行ってよい。マルチプレクサ 1620 および 1622 は、少なくとも三つのチャネルのうちいずれかが、入手可能なスケーラのいずれに向けられるかを制御してよい。例えば、マルチプレクサ 1620 は、スロット 1630 あるいは 1632 のスケーラの第 1 の種類のスケーリング動作を行うチャネル 3 を選択してよく、マルチプレクサ 1622 は、スロット 1634 あるいは 1636 のスケーラの第 2 の種類のスケーリング動作を行うチャネル 1 を選択してよい。一つのチャネルはさらに任意の数の入手可能なスケーラを利用することができる。

【0108】

FRC パイプライン 550 はさらに、モーションジッタを低減すべくスムーズムービーモードを含みうる。例えば、デインタレーサが、入力ビデオ信号のモードを検知するフィルムモード検知ブロックを含んでよい。ビデオ入力信号が第一の周波数で動く際（例えば 60 Hz）、より高い周波数（例えば 72 Hz）あるいはより低い周波数（例えば 48 Hz）に変換されてよい。より高い周波数に変換する場合、フレーム繰り返し指示信号がフィルムモード検知ブロックから FRC ブロックへ提供されうる。フレーム繰り返し指示信号は、第 1 群のフレーム中（例えばフレームのなかの一つ）に高く、デインタレーサが生成しうる第 2 群のデータフレーム中（例えば 4 フレーム）に低くてよい。フレーム繰り返し指示信号が高い間、FRC はフレームを繰り返すことにより高い周波数で正しいデータ列を生成してよい。同様に、より低い周波数に変換する場合、フレーム間引き指示信号がフィルムモード検知ブロックから FRC ブロックへ提供されうる。フレーム間引き指示信号が高い間、特定のフレーム群がデータ列から間引かることで、より低い周波数で正しいデータ列が生成される。

【0109】

スケーラ配置モジュール 1660 が示すように、望ましいスケーリングの種類に応じて、スケーラは様々なスケーラスロット 1630、1632、1634、および 1636 に配置される構成をとつてよい。スケーラスロット 1632 および 1636 は、両方ともメモリインターフェースの後に配置されるが、スケーラスロット 1632 は、第 1 のチャネルに行われるスケーリング動作に対応し、スケーラスロット 1636 は、第 2 のチャネルに

10

20

30

40

50

行われるスケーリング動作に対応する。図示されるように、一つのスケーラ配置モジュール 1660 は特定のスケーラ構成に対応する出力を選択するマルチプレクサ 1624 を含みえ、一方、別のスケーラ配置モジュール 1660 はマルチプレクサを含まなくてよいが、代わりに別のビデオパイプライン部材に直接連結されるスケーラの出力を持ちうる。マルチプレクサ 1624 は、二つのスケーラスロットのみを利用して三つの動作モードを実装する柔軟性を提供する（図 17 により詳細に示す）。例えば、マルチプレクサ 1624 が提供される場合、スロット 1630 に配置されるスケーラは、ダウンスケールあるいはアップスケールを提供するメモリに連結され、さらにはマルチプレクサ 1624 に連結されうる。メモリ動作をしなくてよい場合、マルチプレクサ 1624 はスケーラスロット 1630 の出力を選択してよい。または、メモリ動作をする必要がある場合、スケーラスロット 1630 のスケーラはデータをスケールしてよく、マルチプレクサ 1624 は、データをアップスケールあるいはダウンスケールし、スケーラスロット 1632 に配置される別のスケーラからデータを選択する。そしてマルチプレクサ 1624 の出力は、プランクタイムオプティマイザ 1650 などの別のビデオパイプライン部材に提供されうるが、これを図 18 との関連で詳述する。

【0110】

図 17 に示すように、スケーラ配置モジュール 1660 は、少なくとも入力 FIFO バッファ 1760、メモリインタフェース 530 への接続、三つのスケーラ配置スロット 1730、1734、および 1736 のうちの少なくともいずれか、書き込み FIFO バッファ 1740、読み出し FIFO バッファ 1750、および出力 FIFO バッファ 1770 を含みうる。スケーラ配置スロットは、図 16 に示すスロットに対応していてよい。例えば、スケーラ配置スロット 1734 はスロット 1630 あるいは 1634 に対応していてよく、同様にスケーラ配置スロット 1730 はスロット 1630 に対応していてよいが、これは上述のようにマルチプレクサ 1624 を利用することでスロット 1630 がスケーラ配置スロット 1730 および 1734 の機能を行うことができるようになる。一つまたは二つのスケーラが、三つのうち任意の一つまたは二つのスケーラ配置スロット 1730、1734、あるいは 1736 に、メモリインタフェース 530 に対して配置されてよい。スケーラ配置モジュール 1660 は FRC パイプライン 550 の任意のチャネルパイプラインのうちの一部であってよい。

【0111】

同期モードを行う場合、スケーラがスケーラ配置スロット 1730 に配置されうる。このモードにおいて、FRC はシステムに存在せず、特定の FRC チャネルパイプラインによるメモリアクセスの必要がなくなる。このモードにおいては、出力 v-sync 信号は入力 v-sync 信号にロックされうる。

【0112】

スケーラは代わりにスケーラ配置スロット 1734 内に配置されうる。FRC が必要であり入力データがダウンスケールされるべき場合には、スケーラはスロット 1734 に配置されるのが望ましい。メモリに書き込む前に入力データをダウンスケールすると（つまりより小さいフレームサイズが望ましいであろう場合）、結果として、必要とされるメモリ記憶量が減らされる。より少ないデータがメモリに記憶されうるので、出力データ読み取りレートが減少し、これによりさらに、必要とされる全メモリ帯域幅が減らされ（またコストも減らされ）、より効率的なシステムが提供される。

【0113】

別のシナリオにおいては、スケーラはスケーラ配置スロット 1736 に配置されうる。FRC が必要であり入力データがアップスケールされるべき場合には、スケーラはスロット 1736 に配置されるのが望ましい。データは読み出される出力データよりも低いレートでメモリに提供されうる（つまり、フレームサイズが出力よりも入力で小さい）。また、より小さいフレームを記憶してその後にスケーラを出力で利用してフレームサイズを増加させることで、より少ないデータをメモリに書き込みうる。例えば一方でスケーラがスロット 1734 のメモリの前に配置され、入力データをアップスケールするのに利用する

場合、より大きなフレームがメモリに記憶され、より広い帯域幅が必要となろう。しかしながら、この場合、スケーラをメモリの後に配置することで、より小さなフレームが最初にメモリに記憶されることになり（より狭い帯域幅を消費する）、これは後に読み出されアップスケールされうる。

【0114】

二つの別個のスケーラ配置モジュール1660において二つの独立したスケーラがあるので、第1および第2のチャネルについては、これらのスケーラ配置モジュール1660の両方にメモリアクセス要件がある場合、それらのいずれかが高い帯域幅を要求し、他方は低い帯域幅メモリアクセスを要求しうる。ブランクタイムオプティマイザ（BT0）マルチプレクサ1650は、メモリ大気幅を減らし、任意の数のチャネルに記憶フィールドラインを共有させるべく、一以上の記憶バッファ（一以上のフィールドラインを記憶するのに十分な大きさを持つ）を提供して、これによりメモリ記憶要件を減らしうる。10

【0115】

図18は、BT0マルチプレクサ1650（図16）の動作の例示である。図18に示すように、第1のチャネル（主要チャネル）は、スクリーン1810の大部分を占め、第2のチャネル（PIP）はスクリーン1810のより小さな部分を示す。その結果、PIPチャネルはより小さいアクティブデータを持ちえ、同じ時間間隔において主要チャネルよりも少ないメモリアクセスを要するので、より狭い帯域幅を要する。

【0116】

例えば、1フレーム内での一つのフィールドラインが16ピクセルを含む場合、PIPチャネルは、そのフレームの全フィールドの4ピクセルを占めうるが、主要チャネルは残りの12ピクセルを占めうる。故にPIPチャネルが4ピクセルを処理するのにメモリアクセスする際に要する時間量は、主要チャネルのものより長いので、メモリアクセスタイムライン1840（つまりPIPがより大きなブランク時間間隔を有する）が示すようにより狭い帯域幅を要する。故に、必要とされるメモリ帯域幅を減らすべく、PIPチャネルは実質的により遅いレートでメモリアクセスして主要チャネルに残りの帯域幅を使わせうる。20

【0117】

BT0マルチプレクサ1650は、異なるチャネルのメモリアクセスの際に、様々なクロックレートを利用するよう構成されうる。例えば、より遅いクロックレートを特定のチャネルに適用したい場合、BT0マルチプレクサ1650は、一つのクロックレート1844を利用してメモリアクセスロック（クライアント）1820（つまりPIPチャネル）から要求されたデータを受信して、データをフィールドライン記憶バッファに記憶し、（より遅くてよい）第2のクロックレート1846を利用してメモリアクセスしうる。より遅いクロックレートを利用してメモリアクセスすべくフィールドラインバッファを利用するのではなく、クライアントが高いクロックレートを利用して直接メモリアクセスするのを防ぐことで、帯域幅要件を減らすことができる。30

【0118】

BT0マルチプレクサ1650は、異なるチャネルフィールドラインバッファの共有を実現することで、さらにオフチップメモリ300が必要とする記憶量を減らしうる。こうすることでBT0マルチプレクサ1650は、共有されたフィールドラインバッファを利用して、ディスプレイの一部を共有する異なるチャネルをブレンドあるいはオーバレイを行うことができる。40

【0119】

BT0マルチプレクサ1650の出力は、色処理およびチャネルブレンドビデオパイプライン560（図5）へ提供されてよい。図19は、色処理およびチャネルブレンド（CP CB）ビデオパイプライン560をさらに詳細に示す。CP CBビデオパイプライン560は、少なくとも、サンプラー1910、視覚処理およびサンプルモジュール1920、オーバレイエンジン2000、補助チャネルオーバレイ1962、さらなる主要および補助チャネルスケーリングおよび処理モジュール1970および1972、署名アキュムレ50

ータ 1990、およびダウンスケーラ 1980 を含む。

【0120】

C P C B ビデオパイプライン 560 の機能は、ルマ (luma) およびクロマ (chroma) エッジ強調、ブルーノイズ形成マスクによるフィルムグレイン生成および追加による画像の強調などのビデオ信号特徴の向上を少なくとも含みうる。さらに、C P C B ビデオパイプライン 560 は、少なくとも二つのチャネルをブレンドすることができる。ブレンドされたチャネルの出力は選択的に第 3 のチャネルとブレンドされて、三つのチャネルがブレンドされた出力および二つのチャネルがブレンドされた出力を提供しうる。

【0121】

図 21 に示すように、C M U 1930 は、C P C B ビデオパイプライン 560 のオーバーレイエンジン 2000 部分に含まれえ、少なくとも一つのビデオ信号特徴を向上させうる。ビデオ信号特徴は、画像の適応コントラスト強調 2120、輝度、コントラスト、色相および彩度調節を含みえ、局所的な色のインテリジェントリマップ (intelligent remapping of color locally) 2130、色相および輝度を変えないインテリジェント彩度制御 (intelligent saturation control)、ルックアップテーブル 2150 および 2160 によるガンマ制御、および望ましい色空間への色空間変換 (C S C) 2110 を含みうる。

【0122】

C M U 1930 のアーキテクチャは、C M U に任意の形式でビデオチャネル信号 1942 を受信させ、出力 1932 を任意の他の形式に変換させる。C M U パイプラインの前にある C S C 2110 はビデオチャネル信号 1942 を受信して、任意の可能性のある 3 色空間をビデオ色処理空間に変換しうる (例えば、R G B を Y C b C r へ変換)。さらに、C M U パイプラインの終わりの C S C は、色処理空間から出力 3 色空間に変換しうる。包括処理機能 2140 を利用して、輝度、コントラスト、色相および / または彩度を調節しうるし、出力 C S C と共有されうる。C S C および包括処理機能 2140 はマトリクス乗算演算を行うので、二つのマトリクス乗算器を一つに組み合わせてもよい。この種類の共有は、二つのマトリクス乗算演算を組み合わせた後の最後の係数を予め算出することで行われうる。

【0123】

C P C B ビデオパイプライン 560 はさらに、特定の数のビットに、ディスプレイデバイスが必要としうるディザ処理を施してよい。少なくとも一つのチャネル出力のインターラーサも提供されてよい。C P C B ビデオパイプライン 560 はさらに、デバイスに表示されうるチャネル出力の少なくとも一つに対して制御出力 (H sync, V sync, Field) を生成しうる。さらに、C P C B ビデオパイプライン 560 は、輝度、コントラスト、色相および彩度調節を包括的に、出力チャネルの少なくとも一つに対して行いえ、出力チャネルの少なくとも一つに対して、さらなるスケーリングおよび F R C を提供しうる。

【0124】

図 16 および 19 に戻ると、F R C パイプライン 550 からのチャネル出力 1656、1652、および 1654 が C P C B ビデオパイプライン 560 に提供される。第 1 のチャネル 1656 は、第 1 のチャネル 1656 上のアップサンプリングビデオ信号のサンプラー 1910 を利用しうる第 1 の経路に沿って処理されえ、サンプラー 1910 の出力 1912 は、主要なチャネルオーバレイ 1960 および補助チャネルオーバレイ 1962 の両方に提供されて、出力の少なくとも一つのブレンド画像を生成しうる。第 2 のチャネル 1652 は、モジュール 1920 に対して視覚処理およびサンプリングを行う第 2 の経路に沿って処理されうる。視覚処理およびサンプリングモジュール 1920 の出力は (ビデオ信号をアップサンプルしうるが)、ビデオオーバレイ 1940 (あるいはオーバレイエンジン 2000) に入力されて第 3 のチャネル 1654 (サンプラー 1910 によっても実行されうる) を出力とともにブレンドあるいは配置しうる。オーバレイエンジン 2000 の機能は図 20 を参照しながら詳述する。

【0125】

10

20

30

40

50

ビデオオーバレイの出力 1942 (第2のビデオチャネル信号 1625 とオーバレイされた第1のビデオチャネル信号 1623 であってよい) は、CMU1930 を介して主要なチャネルオーバレイ 1960 に提供されてよく、さらにマルチプレクサ 1950 に提供されてよい。ビデオオーバレイの出力 1942 を受信することに加えて、マルチプレクサ 1950 はさらに視覚処理およびサンプリングモジュール 1920 およびサンプラ 1910 を受信してよい。マルチプレクサ 1950 は、どのビデオ信号入力を補助チャネルオーバレイ 1962 に提供するか選択するよう動作してよい。または、マルチプレクサ 1951 は、マルチプレクサ 1950 の出力あるいは CPU1930 の出力 1932 のいずれかを選択して、補助チャネルオーバレイ 1962 へビデオ信号出力 1934 として提供してよい。処理部を主要なチャネルオーバレイおよび補助チャネルオーバレイの前に配置することで、同じビデオ信号が主要チャネルオーバレイおよび補助チャネルオーバレイに提供される。1970 および 1972 によるさらなる処理の後、同じビデオ信号 (VI) は同時に 1) 主要出力 1974 への主要な出力信号としての表示用に出力、および 2) 補助出力 1976 への補助出力信号としての表示用あるいは記憶用に出力される前にさらにダウンスケールされうる。10

【0126】

主要な出力 1974 および補助出力 1976 両方についてデータ選択を独立して制御するべく、第1のビデオチャネル信号 1932 および第2のビデオチャネル信号 1934 を独立して第1および第2のビデオチャネルオーバレイモジュール 1940 から選択することで、主要チャネルおよび補助チャネルを形成しうる。補助チャネルオーバレイモジュール 1962 は、第1のビデオチャネル信号 1652、第2のビデオチャネル信号 1654、あるいはオーバレイされた第1および第2のビデオチャネル信号 1942 を選択しうる。CMU1930 は第1のビデオチャネル信号 1652 に適用され、第2のビデオチャネル信号 1654 は、第1および第2のビデオチャネル信号が同じあるいは異なる色空間を有するか否かに応じてマルチプレクサ 1951 により CMU1930 の前あるいは後に選択されうる。さらに、第1および第2のビデオチャネル信号 1932 および 1934 は、独立して第3のビデオチャネル信号 1656 とブレンドされうる。20

【0127】

CPCBビデオパイプライン 560 はさらに、ダウンスケーラ 1980 が表す補助出力 1976 にスケーリングおよび FRC を施しうる。このフィーチャは、主要な出力 1974 から別個の補助出力 1976 を提供するのに必要となる場合がある。より高い周波数クロックがスケーリングクロックとして選択されるべきなので、CPCBビデオパイプライン 560 は主要な出力クロックをランオフしてよい、というのも補助クロック周波数は主要クロックのもの以下だからである。ダウンスケーラ 1980 はさらに、インタレースされたデータを生成する能力を有してよく、これは FRC および出力データフォーマットを経て補助出力として利用されうる。30

【0128】

第1のチャネルが SDTV ビデオ信号であり、主要な出力 1974 が HDTV 信号であり補助出力 1976 が SDTV ビデオ信号であるべきである幾らかのシナリオにおいては、CMU1930 は第1のチャネル SD ビデオ信号を HD ビデオに変換しえ、その後 HD 色処理を施しうる。この場合、マルチプレクサ 1950 は、自身の出力ビデオ信号 1942 として (CMU1930 に渡されなくてもよい信号を) 選択してよく、これにより HD 信号を主要なチャネルオーバレイモジュール 1960 に提供して、処理済 SDTV 信号を補助チャネルオーバレイ 1962 に提供してよい。さらに、補助チャネルスケーリングおよび処理モジュール 1972 は、補助出力 1976 に色制御を行ってよい。40

【0129】

第1のチャネルが HDTV ビデオ信号であり、主要な出力 1974 が HDTV 信号であり補助出力 1976 が SDTV ビデオ信号であるべきである幾らかの他のシナリオにおいては、CMU1930 は HD 処理を行い、マルチプレクサ 1951 は CMU1932 の出力を選択して HDTV 処理済信号を補助チャネルオーバレイモジュール 1962 に提供し50

てよい。さらなる補助チャネルスケーリングおよび処理モジュール1972は、補助出力1976用に色空間をSDTVに変換する色制御を行ってよい。

【0130】

補助出力1974および1976両方がSDビデオ信号である、幾らかの他のシナリオにおいては、さらなるチャネルスケーリングおよび処理モジュール1970および1972は同様の色制御機能を行って信号を対応する主要出力1974および補助出力1976に出力する準備を整えてよい。

【0131】

ビデオチャネルがパイプラインセグメント540、550、560、および570のいずれにおいてもパイプラインの特定の部分を利用しない場合(図5)、その部分を別のビデオチャネルで利用されるよう構成してビデオ品質を向上させてよい。例えば、第2のビデオチャネル1264がFRCパイプライン550でデインターラーサ340を利用しない場合、第1のビデオチャネル1262を第2のビデオチャネルパイプラインのデインターラーサ340を利用するよう構成してビデオ品質を向上させてよい。図15との関連で記載したように、さらなるノイズ低減器330およびさらなるデインターラーサ340が、共有メモリパイプラインセグメント1260にさらなるフィールドラインを同時に処理させることで(例えば同時に6つのフィールドライン処理)特定のビデオ信号の品質を向上させてよい。

10

【0132】

CPCBビデオパイプライン560を利用して提供されうる例示的出力形式の幾らかは、National Television Systems Committee(NTSC)およびPhase Alternating Line(PAL)の同じ入力画像の主要出力および二次的出力、HDおよびSD(NTSCあるいはPAL)主要および二次的出力を含み、第1のチャネル画像が主要出力に提供され第2のチャネル画像が補助出力に提供される二つの異なる出力を含み、オーバレイされる第1および第2のチャネルビデオ信号を主要出力に含み、および一つのチャネルビデオ信号(第1のチャネルあるいは第2のチャネル)を補助出力に含み、異なるOSDブレンド要素(アルファ値)を主要出力および補助出力に含み、独立した輝度、コントラスト、色相、および彩度調節を主要出力および補助出力に含み、主要出力および補助出力に異なる色空間(例えば主要出力にRec.709、補助出力にRec.601)を含み、および/または、異なる群のスケーリング係数を第1のチャネルスケーラおよび第2のチャネルスケーラに利用することでよりシャープな/スムーズな画像を補助出力に含む。

20

【0133】

図20は、オーバレイエンジン2000(図19)を詳細に示す。オーバレイエンジン2000は、少なくともビデオオーバレイモジュール1940、CMU1930、第1および第2のチャネルパラメタ2020および2030、セレクタ2010、および主要M-プレーンオーバレイモジュール2060を含む。主要M-プレーンオーバレイ2060は、主要チャネルオーバレイ1960(図19)に類似しているが、さらなるチャネルビデオ信号2040を第三のチャネル入力1912(図19)とブレンドあるいはオーバレイするのに利用されうる追加的機能を含みうる。

30

【0134】

オーバレイエンジン2000は、最後のディプレイキャンバス上にM個の入手可能な独立したビデオ/グラフィックプレーンを配置することで、単一のビデオチャネルストリームを生成しうる。一つの特定の実施形態においては、オーバレイエンジン2000は、6つのプレーンを最終ディスプレイキャンバス上に配置することで単一のチャネルストリームを生成しうる。各プレーンのディスプレイスクリーン上の位置は構成可能である。各プレーンの優先度もまた構成できてよい。例えば、プレーンのディスプレイキャンバス上の位置を重ねあわせる場合、優先度のランクは、どのプレーンを最上部に配置してどのプレーンを隠すか、という問題を解決するのに利用されうる。オーバレイはさらにオプションで各プレーンを縁取るのに利用されてもよい。

40

50

【0135】

さらなるビデオチャネル信号2040の例、およびその源は、第1のチャネルビデオ信号1652であってよい主要プレーン、第2のチャネルビデオ信号1654であってよいPIPプレーン、オンチップ特徴OSD生成器を利用して生成されるchar OSDプレーン、ピットマップOSDエンジンを利用して生成されうるピットマップOSDプレーンを含んでよい。OSD画像はメモリに記憶されえ、メモリインタフェースを利用してメモリ内の様々なピットマップされ予め記憶されたオブジェクトをフェッチして、それらをメモリにさらに記憶できるキャンバス上に配置するのに利用されてよい。メモリインタフェースはさらに、要求されたオブジェクトをフェッチする間に形式変換を行ってよい。ピットマップOSDエンジンは、記憶されたキャンバスをラスタ走査により読み出し、オーバレイに送ってよい。さらなるビデオチャネル信号2040は、カーソルOSDエンジンにより生成されえ、小さなオンチップメモリを利用してカーソルなどの小さなオブジェクトのピットマップ、外部源から受信した外部OSDを記憶するカーソルOSDプレーンを含みうる。外部OSDエンジンはラスタ制御信号およびディスプレイロックを送出しうる。外部OSD源は、これら制御信号を参照として利用して、データをスキャン順に送信する。このデータはオーバレイにルーティングされうる。外部OSDプレーンがイネーブルな際に、Flexiportを利用して外部OSDデータを受信しうる。

【0136】

CMU1930の前のオーバレイ1940は、第1のビデオチャネルストリーム1653および第2のビデオチャネルストリーム1655をオーバレイしうる。オーバレイ1940は、CMU1930に単一のビデオストリームで動作させ、多数のビデオチャネルストリーム用にCMU1930内でモジュールを複写する必要をなくすことで、CMU1930をより効率的に振舞わせてよい。単一のビデオチャネル信号1942をCMU1930に提供することに加えてオーバレイ1940は、さらに、ビデオ部分が第1のビデオチャネルストリームに属すか第2のビデオチャネルストリームに属すかを識別する部分(ピクセル毎の)インジケータ1944をCMU1930に提供してよい。

【0137】

第1のビデオチャネルストリーム1653および第2のビデオチャネルストリーム1655に対応する二群のプログラム可能なパラメタ2020および2030を提供してもよい。セレクタ2010は、どのプログラム可能なパラメタをCMU1930に提供するか選択すべく部分インジケータ1944を利用してよい。例えば、部分インジケータ1944が、CMU1930が処理する部分が第1のビデオチャネルストリーム1653に属すことを示している場合、セレクタ2010はCMU1930に、第1のビデオチャネルストリーム1653に対応するプログラム可能なパラメタ2020を提供してよい。

【0138】

ビデオプレーンと同じ数の層があってよい。層0は最下層であってよく、それに続く層が増加する層インデックスを持ってよい。層は、次元的特徴あるいは位置的特徴を持つのではなく、それらが積層されるべき順序を提供してよい。オーバレイエンジン2000は、層0から始まりそこから上昇する層を混合してよい。層1は第一に、層1に置かれるビデオプレーンに関連付けられるブレンド係数(blend factor)を利用して層0にブレンドされてよい。層0および層1の出力のブレンドは、その後層2とブレンドされてよい。利用されうるブレンド係数は、層2に置かれるプレーンに関連付けられるものであってよい。層0、層1、および層2の出力のブレンドは層3とブレンドされ、この動作をその後、最終層が混合されるまで続けてよい。当業者であれば、層のブレンドを、本発明の教示から逸脱しない範囲で任意の組み合わせで行う選択をしてよいことを理解しよう。例えば、層1が層3とブレンドされ、その後層2とブレンドされてもよい。

【0139】

さらに、オーバレイエンジン2000は主要出力チャネルとの関連で記載されたが、オーバレイエンジン2000を補助出力チャネルに適用してM-プレーンオーバレイを提供するよう色処理およびチャネルブレンドバイオペーライン560を修正してもよい。

【0140】

図22は、ビデオパイプラインの後端パイプラインステージ570をより詳細に示す。後端パイプラインステージ570は、少なくとも主要出力フォーマット2280、署名アキュムレータ1990、補助出力フォーマット2220およびセレクタ2230を含みうる。

【0141】

後端パイプラインステージ570は、主要出力および補助出力の両方の出力フォーマットを行いえ、補助出力として制御出力(H sync, V sync, Field)を生成しうる。後端パイプラインステージ570は、デジタルインターフェースおよびアナログインターフェース両方を助ける。主要出力フォーマット2280は、処理済主要ビデオチャネル信号1974を受信して、対応する主要出力信号492aを生成しうる。補助出力フォーマット2220は、処理済補助ビデオチャネル信号1976を受信して対応する補助出力信号492bを生成しうる。署名アキュムレータ1990は、補助ビデオチャネル信号1976を受信して、蓄積されている信号間の差異を蓄積および比較して、出力されたビデオ信号のビデオ信号品質を決定してよく、必要であればこの情報をプロセッサに提供してシステムパラメータを変更してよい。

10

【0142】

補助ビデオチャネル信号1976はさらに、出力492b用にフォーマットされる前にC C I R 656エンコーダ(不図示)に提供されてよい。C C I R 656エンコーダは、信号を外部記憶装置あるいは他の適切な手段に対して準備するべく配置するよう任意の必要なエンコードを行ってよい。または、補助ビデオチャネル信号1976を、セレクタ2230を利用してエンコードもフォーマットもせずに出力信号492bとして提供して、バイパス補助ビデオチャネル信号2240を選択してよい。

20

【0143】

後端パイプラインステージ570のインターレースモジュール(不図示)も提供されてよい。入力信号がインターレースされる場合、第一にデインターレーサ340によりプログレッシブに変換されてよい(図13)。デインターレーサは、ビデオパイプラインステージの全ての後続のモジュールがプログレッシブドメインで動作しうるので、必要となりうる。後端パイプラインステージ570のインターレーサは、インターレースされた出力が所望される場合に選択的にONになってよい。

30

【0144】

インターレーサモジュールは少なくとも二つのピクセルラインを記憶するのに十分な大きさのメモリを少なくとも含みうるが、必要であれば全フレームを記憶するよう修正することができる。プログレッシブな入力は、プログレッシブなタイミングでメモリに書き込まれてよい。プログレッシブなタイミングでロックされた、インターレースされたタイミングは、ピクセルレートの半分で生成されてよい。データはインターレースされたタイミングで、メモリから読み出されてよい。偶数のフィールドラインは奇数のフィールドから間引かれてよく、奇数のフィールドラインは偶数のフィールドから間引かれてよい。これにより、今度は、任意のデバイスでの利用に適したインターレースされた出力が生成されうる。

40

【0145】

故に、共有記憶容量を利用して多数の高品質なビデオチャネルストリームを提供する装置および方法が提供される。当業者であれば、本発明が記載された実施形態以外の方法で実施することができることを理解するであろう、というのも実施形態は限定目的からではなく、例示目的で提示されており、本発明は以下の請求項のみにより限定されるからである。

なお、本願明細書には、以下の項目1から項目51が記載されている。

(項目1)

複数のビデオ入力信号を受信するマルチモードのデュアルビデオデコーダであって、上記複数のビデオ入力信号の少なくとも一つは、二以上のビデオ入力信号部分を含み、

上記デュアルビデオデコーダは、

50

上記複数のビデオ入力信号を受信して、少なくとも三つのビデオ入力信号部分を選択的に組み合わせて二つの選択されたビデオ信号を提供するビデオ信号選択ステージと、

上記少なくとも二つの選択されたビデオ信号を処理するアナログ／デジタル変換ステージと、

上記少なくとも二つの処理済ビデオ信号を受信して少なくとも一つのデコードされたビデオ信号を出力するデコーダステージと、を備える、デュアルビデオデコーダ。

(項目2)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはs-videoビデオ信号を含む、項目1に記載のデュアルビデオデコーダ。

10

(項目3)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ入力信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目1に記載のデュアルビデオデコーダ。

(項目4)

上記少なくとも一つのデコードされたビデオ信号の一つはs-videoビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはs-videoビデオ信号を含む、項目1に記載のデュアルビデオデコーダ。

20

(項目5)

第1のビデオ信号部分、第2のビデオ信号部分、および第3のビデオ信号部分は、Y-チャネル、U-チャネル、V-チャネル、およびクロマからなる群から選択される、項目1に記載のデュアルビデオデコーダ。

(項目6)

DC復元ステージをさらに含み、上記少なくとも二つの選択されたビデオ信号の少なくとも一つは、上記アナログ／デジタル変換ステージで受信される前に、上記DC復元ステージに渡される、項目1に記載のデュアルビデオデコーダ。

30

(項目7)

上記選択ステージは、

上記少なくとも二つの選択されたビデオ信号の一つとして、上記三つのビデオ入力信号部分の第1の部分および上記三つのビデオ入力信号部分の第2の部分を時分割多重化し、

上記少なくとも二つの選択されたビデオ信号の別の一つとして、上記三つのビデオ入力信号部分の第3の部分を選択する、項目1に記載のデュアルビデオデコーダ。

(項目8)

上記時分割多重化は、第1のクロックの第1のクロック期間中に上記第1の部分を選択し、上記第1のクロックの第2のクロック期間中に上記第2の部分を選択することをさらに含み、

上記第3の部分を選択することは、第2のクロックの第1のクロック期間中に上記第2の部分を選択することをさらに含み、

40

上記処理することは、上記第1のクロックに応じて上記少なくとも二つの選択されたビデオ信号の一方を処理し、上記少なくとも二つの選択されたビデオ信号の他方を上記第2のクロックに応じて処理することをさらに含む、項目7に記載のデュアルビデオデコーダ

(項目9)

上記第2のクロックの上記第1のクロック期間は、上記第1のクロックの上記第1のクロック期間の中間に実質的に位置合わせされる、項目8に記載のデュアルビデオデコーダ

(項目10)

上記第2のクロックは、上記第1のクロックの周波数の略半分で動作する、項目8に記載のデュアルビデオデコーダ。

(項目11)

50

上記アナログ / デジタル変換ステージは、第 1 のアナログ / デジタル変換器および第 2 のアナログ / デジタル変換器を含む、項目 8 に記載のデュアルビデオデコーダ。

(項目 1 2)

上記少なくとも三つのビデオ入力信号部分は、上記第 1 のアナログ / デジタル変換器および上記第 2 のアナログ / デジタル変換器により処理される、項目 1 1 に記載のデュアルビデオデコーダ。

(項目 1 3)

上記デコーダステージは、

第 1 の処理済部分および第 2 の処理済部分を受信して、上記少なくとも二つのデコードされたビデオ信号のうちの一つを出力する第 1 のデコーダを含む、項目 8 に記載のデュアルビデオデコーダ。

10

(項目 1 4)

上記第 1 のデコーダは、NTSC ビデオデコーダ、PAL ビデオデコーダ、および SECAM ビデオデコーダからなる群から選択される、項目 1 3 に記載のデュアルビデオデコーダ。

(項目 1 5)

上記ビデオ信号選択ステージは、第 3 の選択されたビデオ信号を提供し、上記第 3 の選択されたビデオ信号として、1 ビデオ入力信号の第 4 の部分をさらに選択する、項目 8 に記載のデュアルビデオデコーダ。

20

(項目 1 6)

上記第 4 の部分は、上記第 2 のクロックの略逆である第 3 のクロックの第 1 のクロック期間中に選択される、項目 1 5 に記載のデュアルビデオデコーダ。

(項目 1 7)

上記アナログ / デジタル変換は、上記第 3 の選択されたビデオ信号を受信し、上記第 3 の選択されたビデオ信号を上記第 3 のクロックに応じて処理する、項目 1 6 に記載のデュアルビデオデコーダ。

(項目 1 8)

上記デコーダステージは、

第 1 の処理済部分および第 2 の処理済部分を受信して、上記少なくとも一つのデコードされたビデオ信号の一つを出力する第 1 のデコーダと、

30

第 3 の処理済部分および第 4 の処理済部分を受信して、上記少なくとも一つのデコードされたビデオ信号の第 2 のものを出力する第 2 のデコーダと、を含む、項目 1 7 に記載のデュアルビデオデコーダ。

(項目 1 9)

上記第 1 のデコーダは上記第 2 のクロックに応じて動作し、上記第 2 のデコーダは上記第 3 のクロックに応じて動作する、項目 1 8 に記載のデュアルビデオデコーダ。

(項目 2 0)

複数のビデオ入力信号をデコードする方法であって、上記複数のビデオ入力信号の少なくとも一つは二以上のビデオ入力信号部分を含み、上記方法は、

上記複数のビデオ入力信号を受信することと、

40

二つの選択されたビデオ信号を提供すべく少なくとも三つのビデオ入力信号を選択的に組み合わせることと、

上記選択されたビデオ信号を処理すべくアナログ / デジタル変換を行うことと、

少なくとも一つのデコードされたビデオ信号を生成すべく処理済の上記ビデオ信号をデコードすることと、を含む、方法。

(項目 2 1)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 2 0 に記載の方法。

(項目 2 2)

50

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目20に記載の方法。

(項目23)

上記少なくとも一つのデコードされたビデオ信号の一つはs-videoビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはs-videoビデオ信号を含む、項目20に記載の方法。

(項目24)

第1のビデオ信号部分、第2のビデオ信号部分、および第3のビデオ信号部分は、Y-チャネル、U-チャネル、V-チャネル、およびクロマからなる群から選択される、項目20に記載の方法。

10

(項目25)

上記アナログ/デジタル変換を行う前に、上記少なくとも二つの選択されたビデオ信号の少なくとも一つが持つDC成分を復元することをさらに含む、項目20に記載の方法。

(項目26)

上記組み合わせることは、上記少なくとも三つのビデオ入力信号部分の第1の部分および第2の部分を時分割多重化することと、

上記少なくとも三つのビデオ入力信号部分の第3の部分を選択することと、を含む、項目20に記載の方法。

20

(項目27)

上記時分割多重化することは、第1のクロックの第1のクロック期間中に上記第1の部分を選択し、上記第1のクロックの第2のクロック期間中に上記第2の部分を選択することをさらに含み、

上記第2の部分の選択は、第2のクロックの第1のクロック期間中に上記第2の部分を選択することをさらに含み、

上記アナログ/デジタル変換を行うことは、上記第1のクロックに応じて上記選択されたビデオ信号の一方を処理することと、上記第2のクロックに応じて上記選択されたビデオ信号の他方を処理することと、をさらに含む、項目26に記載の方法。

30

(項目28)

上記第2のクロックの上記第1のクロック期間は、上記第1のクロックの上記第1のクロック期間の中間に実質的に位置合わせされる、項目26に記載の方法。

(項目29)

上記第2のクロックは、上記第1のクロックの周波数の略半分で動作する、項目26に記載の方法。

(項目30)

上記デコードすることは、上記少なくとも一つのデコードされたビデオ信号を生成すべく、第1の処理済部分と第2の処理済部分とをデコードすることをさらに含む、項目26に記載の方法。

40

(項目31)

上記少なくとも三つのビデオ入力信号部分の上記第3の部分として第4のビデオ入力信号部分を選択することをさらに含む、項目26に記載の方法。

(項目32)

上記第4の部分は、上記第2のクロックの略逆である第3のクロックの第1のクロック期間中に選択される、項目31に記載の方法。

(項目33)

上記第3のクロックに応じて上記第4の部分を処理すべくアナログ/デジタル変換を行うことをさらに含む、項目32に記載の方法。

(項目34)

第1のデコードされたビデオ信号を生成すべく第1の処理済部分と第2の処理済部分と

50

をデコードすることと、

第2のデコードされたビデオ信号を生成すべく第3の処理済部分と第4の処理済部分とをデコードすることと、をさらに含む、項目33に記載の方法。

(項目35)

上記第1のデコードされたビデオ信号を生成すべくデコードすることは上記第2のクロックに応じて動作し、上記第2のデコードされたビデオ信号を生成すべくデコードすることは上記第3のクロックに応じて動作する、項目34に記載の方法。

(項目36)

複数のビデオ入力信号をデコードする装置であって、上記複数のビデオ入力信号の少なくとも一つは二つ以上のビデオ入力信号部分を含み、

10

上記複数のビデオ入力信号を受信する手段と、

二つの選択されたビデオ信号を提供すべく少なくとも三つのビデオ入力信号部分を選択的に組み合わせる手段と、

上記選択されたビデオ信号を処理すべくアナログ／デジタル変換を行う手段と、

少なくとも一つのデコードされたビデオ信号を生成すべく処理済の上記ビデオ信号をデコードする手段と、を備える、装置。

(項目37)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つが持つデコードされたビデオ信号の別の一つはs-videoビデオ信号を含む、項目36に記載の装置。

20

(項目38)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目36に記載の装置。

(項目39)

上記少なくとも一つのデコードされたビデオ信号の一つはs-videoビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはs-videoビデオ信号を含む、項目36に記載の装置。

(項目40)

第1のビデオ信号部分、第2のビデオ信号部分、第3のビデオ信号部分は、Y-チャネル、U-チャネル、V-チャネル、およびクロマからなる群から選択される、項目36に記載の装置。

30

(項目41)

上記アナログ／デジタル変換を行う前に、上記少なくとも二つの選択されたビデオ信号の少なくとも一つが持つDC成分を復元する手段をさらに含む、項目36に記載の装置。

(項目42)

上記組み合わせることは、

上記少なくとも三つのビデオ入力信号部分の第1の部分および第2の部分を時分割多重化する手段と、

上記少なくとも三つのビデオ入力信号部分の第3の部分を選択する手段と、を含む、項目36に記載の装置。

40

(項目43)

上記時分割多重化する手段は、第1のクロック手段の第1のクロック期間中に上記第1の部分を選択し、上記第1のクロック手段の第2のクロック期間中に上記第2の部分を選択する手段をさらに含み、

上記第2の部分を選択する手段は、第2のクロック手段の第1のクロック期間中に上記第2の部分を選択することをさらに含み、

上記アナログ／デジタル変換を行う手段は、上記第1のクロック手段に応じて上記選択されたビデオ信号の一方を処理する手段と、上記第2のクロック手段に応じて上記選択されたビデオ信号の他方を処理する手段と、をさらに含む、項目42に記載の装置。

50

(項目44)

上記第2のクロック手段の上記第1のクロック期間は、上記第1のクロック手段の上記第1のクロック期間の中間に実質的に位置合わせされる、項目42に記載の装置。

(項目45)

上記第2のクロック手段は上記第1のクロック手段の周波数の略半分で動作する、項目42に記載の装置。

(項目46)

上記デコードする手段は、上記少なくとも一つのデコードされたビデオ信号を生成すべく、第1の処理済部分と第2の処理済部分とをデコードすることをさらに含む、項目42に記載の装置。

10

(項目47)

上記少なくとも三つのビデオ入力信号部分の上記第3の部分として第4のビデオ入力信号部分を選択する手段をさらに含む、項目42に記載の装置。

(項目48)

上記第4の部分は、上記第2のクロック手段の略逆である第3のクロック手段の第1のクロック期間中に選択される、項目47に記載の装置。

(項目49)

上記第3のクロック手段に応じて上記第4の部分を処理すべくアナログ/デジタル変換を行う手段をさらに含む、項目48に記載の装置。

20

(項目50)

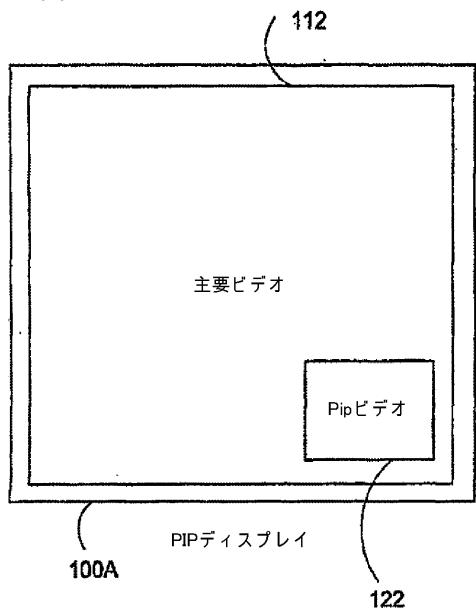
第1のデコードされたビデオ信号を生成すべく第1の処理済部分と第2の処理済部分とをデコードする手段と、

第2のデコードされたビデオ信号を生成すべく第3の処理済部分と第4の処理済部分とをデコードする手段と、をさらに含む、項目49に記載の装置。

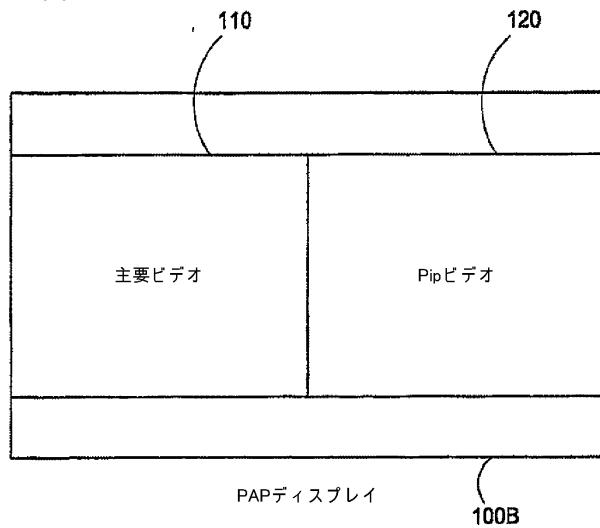
(項目51)

上記第1のデコードされたビデオ信号を生成すべくデコードする手段は上記第2のクロック手段に応じて動作し、上記第2のデコードされたビデオ信号を生成すべくデコードする手段は上記第3のクロック手段に応じて動作する、項目50に記載の装置。

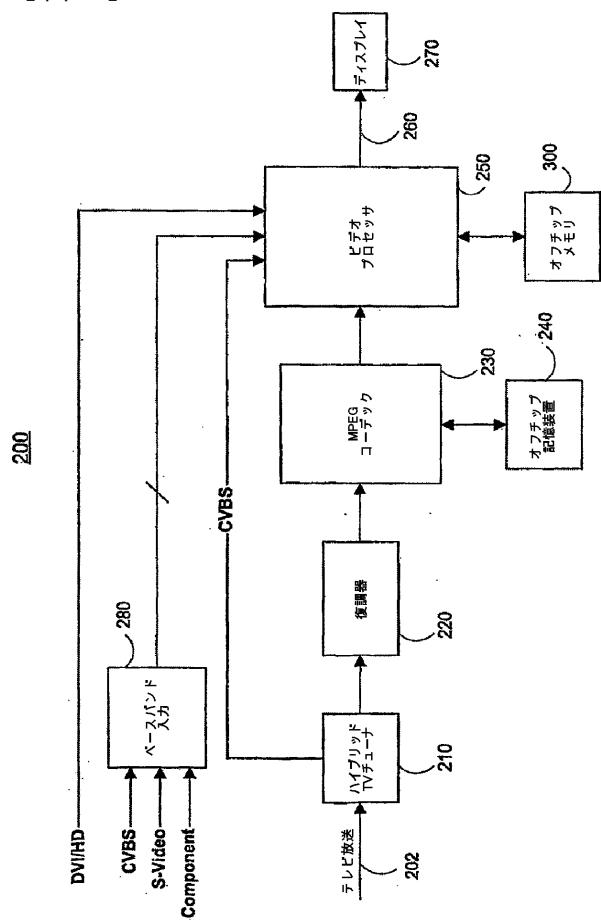
【図1A】



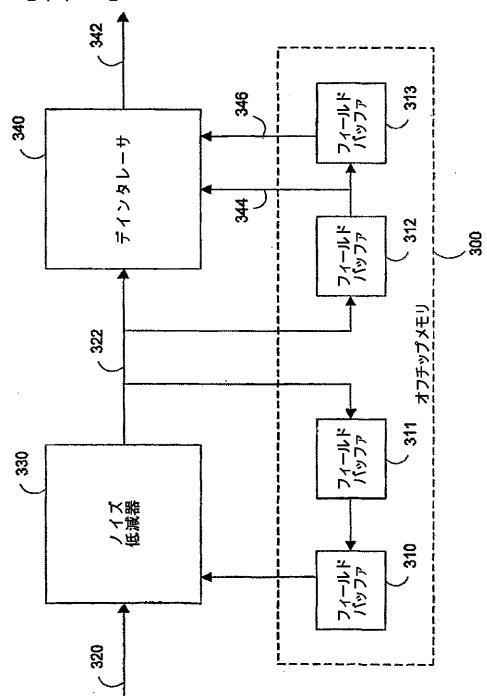
【図1B】



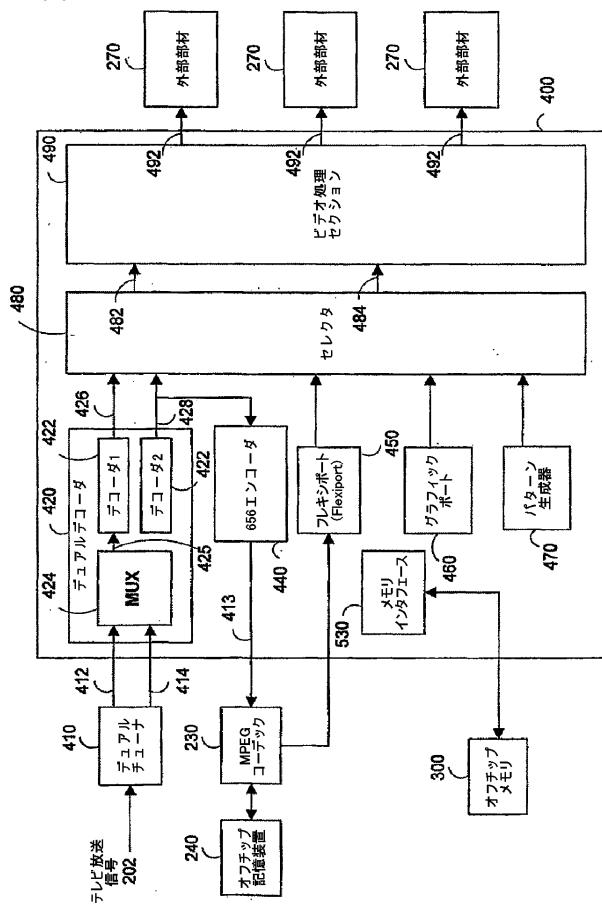
【図2】



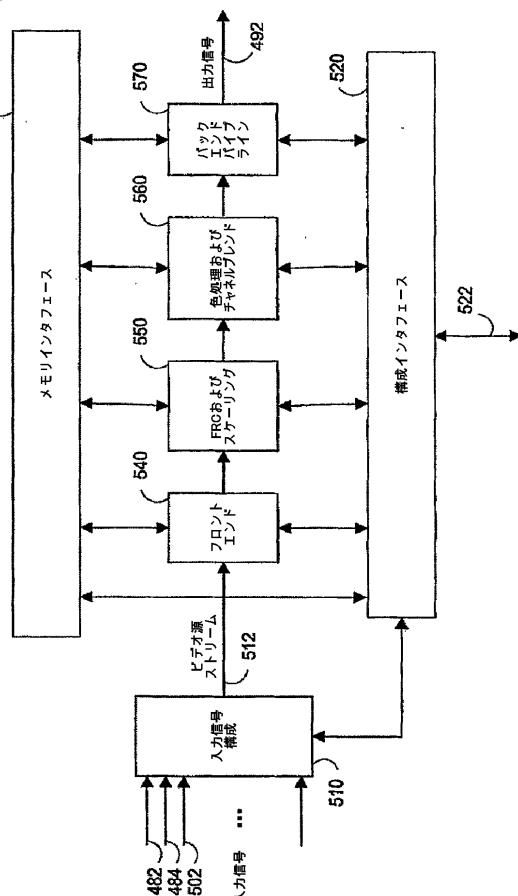
【図3】



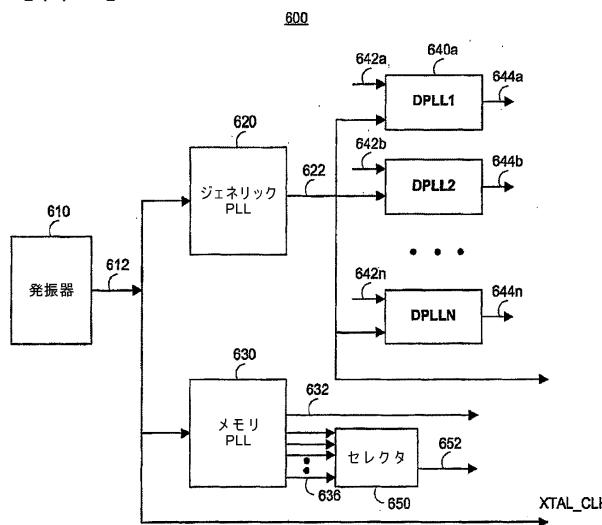
【図4】



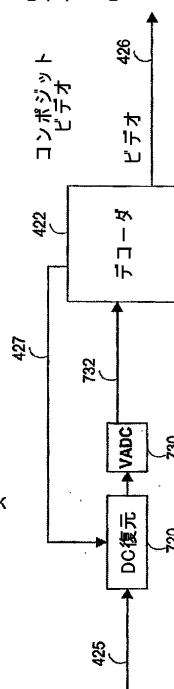
【 図 5 】



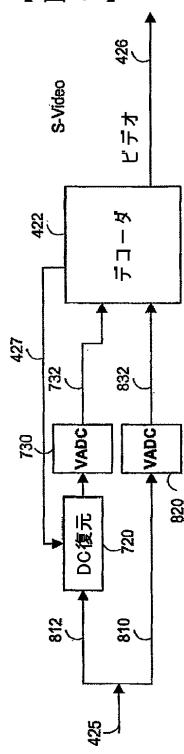
〔 図 6 〕



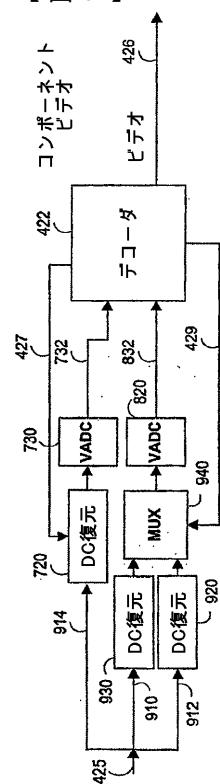
【図7】



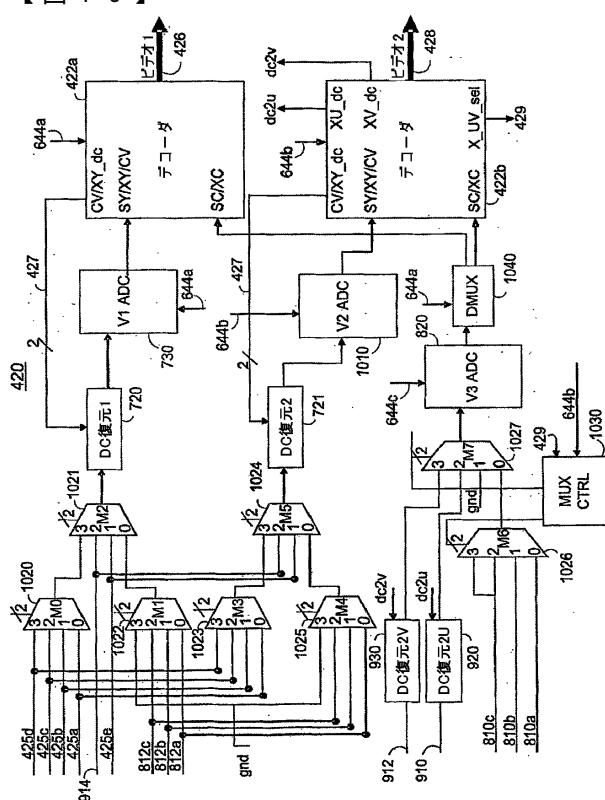
【図8】



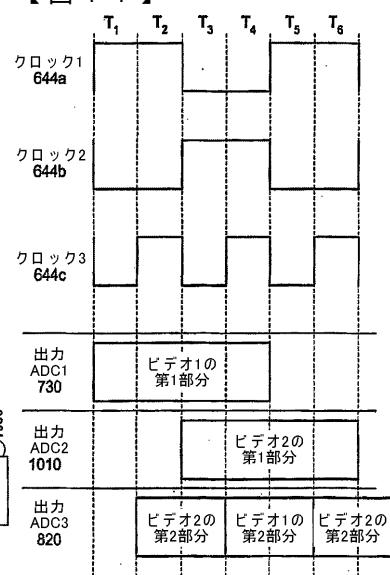
【図9】



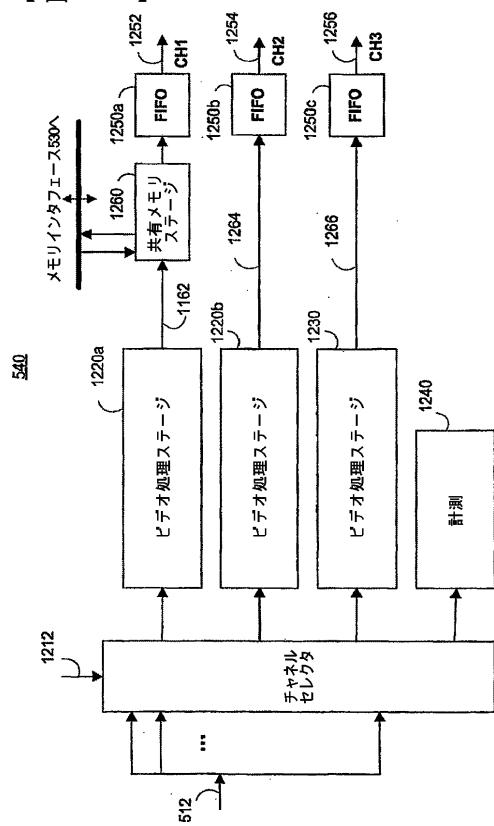
【図10】



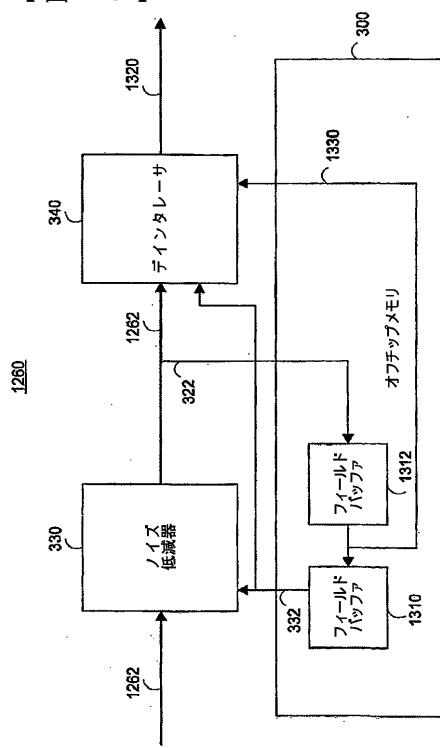
【図11】



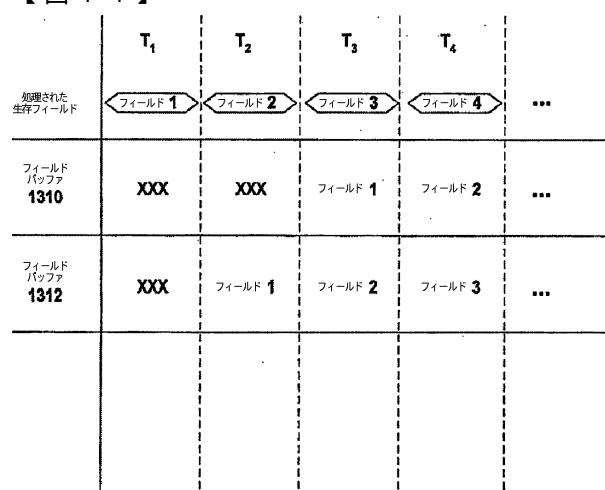
【図12】



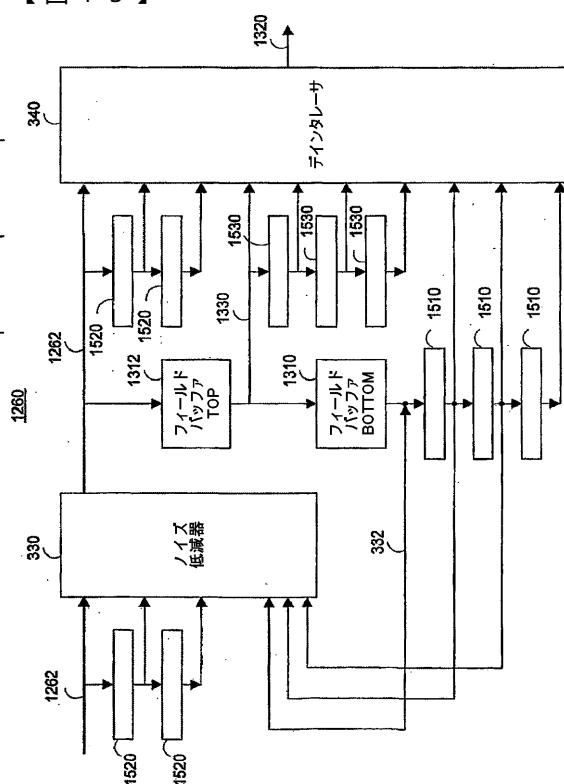
【図13】



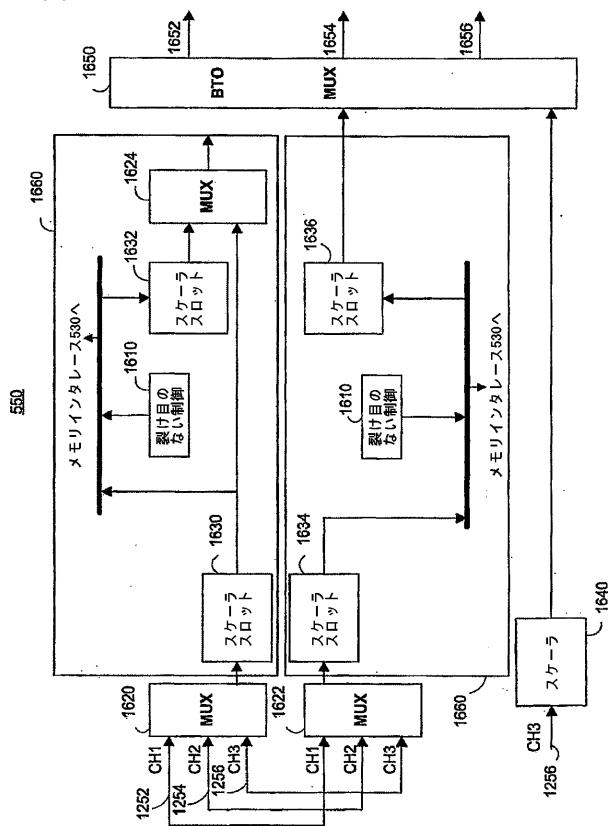
【図14】



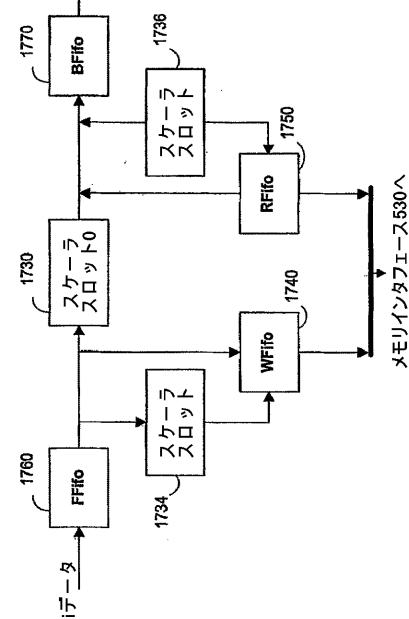
【図15】



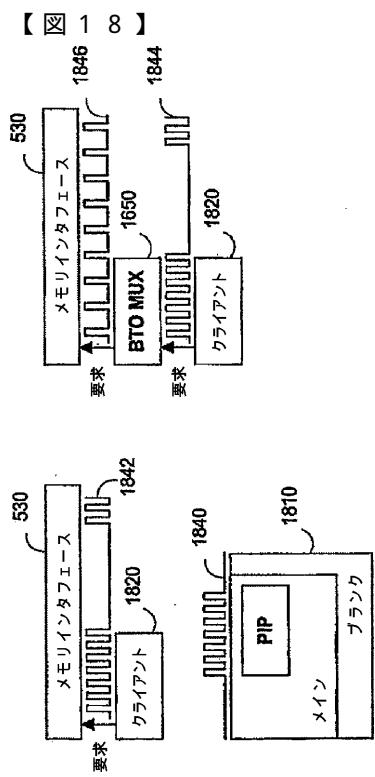
【図16】



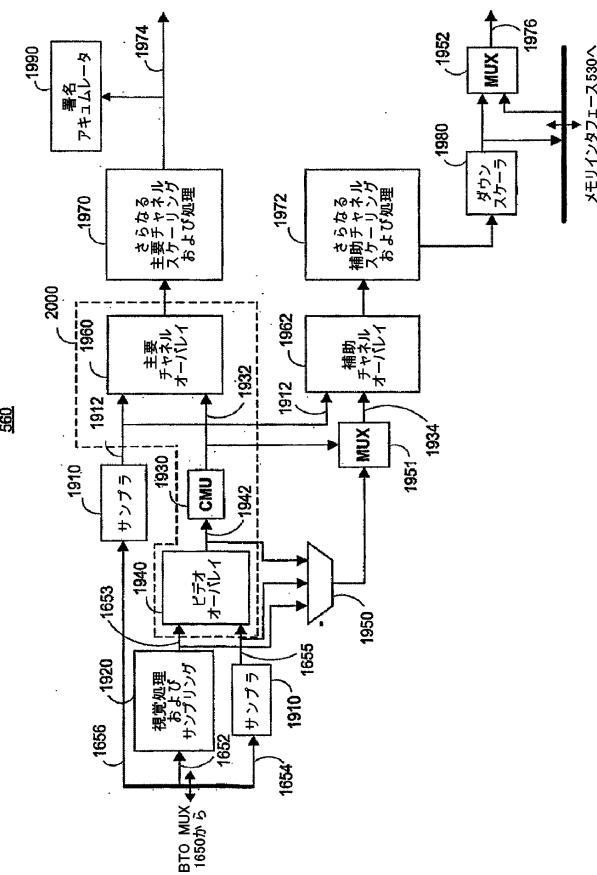
【図17】



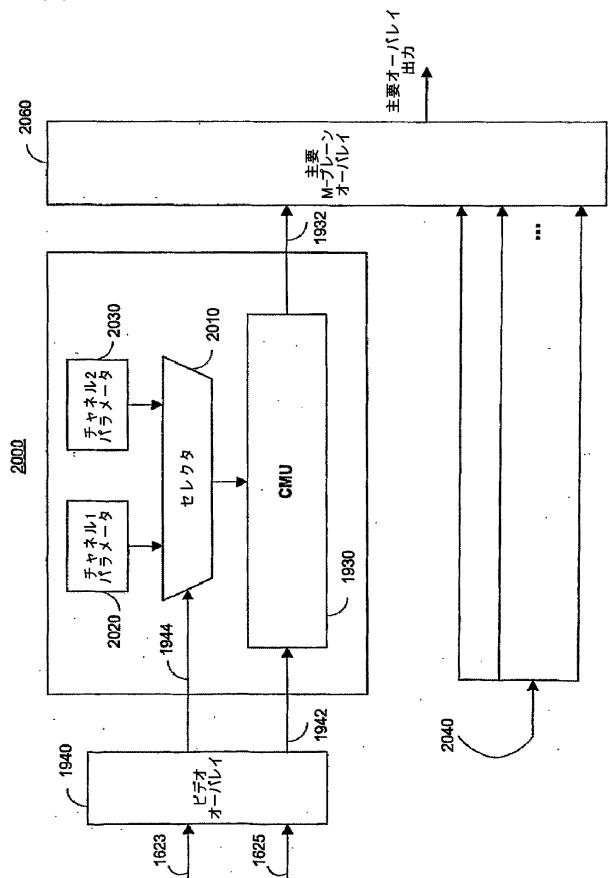
【 図 1 8 】



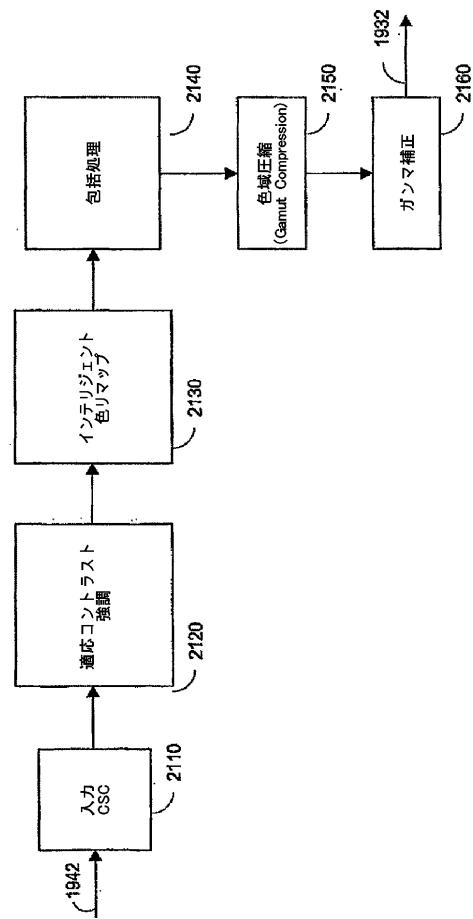
【図19】



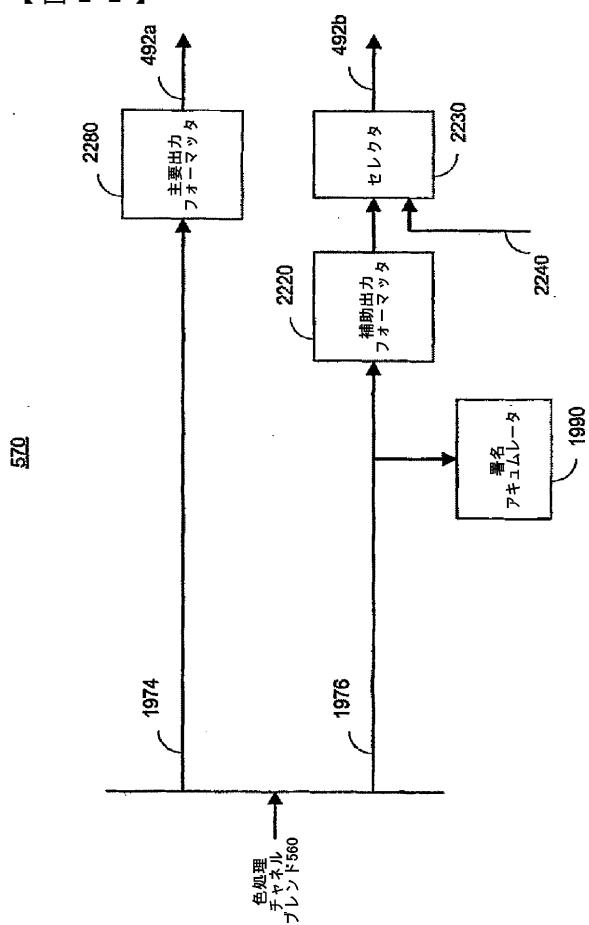
【図20】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

(31)優先権主張番号 60/793,277
(32)優先日 平成18年4月18日(2006.4.18)
(33)優先権主張国 米国(US)
(31)優先権主張番号 60/793,275
(32)優先日 平成18年4月18日(2006.4.18)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/736,542
(32)優先日 平成19年4月17日(2007.4.17)
(33)優先権主張国 米国(US)

(72)発明者 ゴーシュ、ビバーシャ

インド共和国、560093 バンガロール、カーナタカ、シー.ヴィ. ラマン ナガル、ナガ
バラバルヤ、オールド マドラス ロード、アパートメント 6、セレスチアル グリーンズ、シ
ー - 305

(72)発明者 バルラム、ニキル

アメリカ合衆国、94041 カリフォルニア州、マウンテン ビュー、フォックスバロウ ド
ライブ 387

(72)発明者 シュリーダー、カイブ

インド共和国、560003 バンガロール、カーナタカ、ビヤリカバル、13ティーエイチ ク
ロス、'ゲヘス クルーパ'、ナンバー 19

(72)発明者 サフ、シリビ

インド共和国、560075 バンガロール、カーナタカ、14ティーエイチ メイン 8ティー^イ
エイチ クロス コディハリー、2085

(72)発明者 テイラ、リチャード

アメリカ合衆国、85048 アリゾナ州、フェニックス、イー. クラブハウス ドライブ 2
015

(72)発明者 エドワーズ、グウィン

アメリカ合衆国、94043 カリフォルニア州、マウンテン ビュー、ウォーカー ドライブ
ナンバー 22 248

(72)発明者 トマシ、ローレン

アメリカ合衆国、85429 アリゾナ州、チャンドラー、イー. ホースシュー ドライブ 3
110

(72)発明者 ナンブーディリー、ビピン

インド共和国、560037 バンガロール、カーナタカ、デバラビーベランドゥル ピー. オー
. オウター リング ロード、バスワニ メルローズ、54/1、ティーエイチ 16

審査官 加内 慎也

(56)参考文献 CX253836/7 VIDEO DECORDER, [ONLINE], 2004年 9月, P.II-XII,1-1 - 1-4,2-1 - 2-8,3-
1 - 3-55, URL, <http://conexant.com/servlets/DownloadServlet/DSH-200685-001.pdf?docid=686&revid=1>

(58)調査した分野(Int.Cl. , DB名)

H 04 N 5 / 38 - 5 / 46 ; 7 / 10 ; 7 / 14 - 7 / 173 ; 7 / 20 - 7 / 22