

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5220726号  
(P5220726)

(45) 発行日 平成25年6月26日 (2013. 6. 26)

(24) 登録日 平成25年3月15日 (2013. 3. 15)

(51) Int. Cl.

F I

H04N 7/173 (2011.01)

H04N 7/173 630

請求項の数 13 (全 40 頁)

(21) 出願番号	特願2009-506585 (P2009-506585)	(73) 特許権者	502188642
(86) (22) 出願日	平成19年4月18日 (2007. 4. 18)		マーベル ワールド トレード リミテッ ド
(65) 公表番号	特表2009-534933 (P2009-534933A)		バルバドス国 ビービー14027, セン トマイケル、ブリトンズ ヒル、ガンサイ トロード、エル ホライズン
(43) 公表日	平成21年9月24日 (2009. 9. 24)		
(86) 国際出願番号	PCT/US2007/009583	(74) 代理人	110000877
(87) 国際公開番号	W02007/120927		龍華国際特許業務法人
(87) 国際公開日	平成19年10月25日 (2007. 10. 25)	(72) 発明者	ガルグ、サンジェイ
審査請求日	平成22年4月9日 (2010. 4. 9)		インド共和国、バンガロール、カーナタカ 、インドラナガル、ハル セカンド ステ ージ、13ティーエイチ エイチ、メイ ン、3573
(31) 優先権主張番号	60/793, 288		
(32) 優先日	平成18年4月18日 (2006. 4. 18)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	60/793, 276		
(32) 優先日	平成18年4月18日 (2006. 4. 18)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 共有メモリアルチビデオチャネルディスプレイ装置および方法

(57) 【特許請求の範囲】

【請求項 1】

第1ビデオ入力信号および第2ビデオ入力信号をデコードする、マルチモードのデュアルビデオデコーダであって、

前記第1ビデオ入力信号は、第1 チャンネルおよび第2 チャンネルを含み、

前記第2ビデオ入力信号は、第1 チャンネルおよび第2 チャンネルを含み、

前記デュアルビデオデコーダは、

ビデオ信号選択ステージと、

アナログ/デジタル変換ステージと、

デコーダステージと、

を備え、

前記ビデオ信号選択ステージは、

前記第1ビデオ入力信号および前記第2ビデオ入力信号を受信し、前記第1ビデオ入力信号の前記第1 チャンネルと、前記第2ビデオ入力信号の前記第1 チャンネルとを時分割多重化して、多重化されたビデオ信号を提供し、

前記第1ビデオ入力信号の前記第2 チャンネルと、前記第2ビデオ入力信号の前記第2 チャンネルとを選択して、2つの選択されたチャンネルを提供し、

前記アナログ/デジタル変換ステージは、

前記多重化されたビデオ信号をデジタル化し、デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第1ビデオ入力信号の前記第1 チャンネルと

10

20

、デジタル化された前記第2ビデオ入力信号の前記第1チャンネルを提供し、

前記2つの選択されたチャンネルをデジタル化して、デジタル化された前記第1ビデオ入力信号の前記第2チャンネルと、デジタル化された前記第2ビデオ入力信号の前記第2チャンネルとを提供し、

前記デコーダステージは、

前記デジタル化された前記第1ビデオ入力信号の前記第1チャンネル及び前記第2チャンネルと、前記デジタル化された前記第2ビデオ入力信号の前記第1チャンネル及び前記第2チャンネルとをデコードして、2つのデコードされたビデオ信号を同時に出力する、

マルチモードのデュアルビデオデコーダ。

【請求項2】

10

前記時分割多重化は、第1クロックの第1クロック期間中に、前記第1ビデオ入力信号の前記第1チャンネルを選択し、前記第1クロックの第2クロック期間中に、前記第2ビデオ入力信号の前記第1チャンネルを選択することをさらに含み、

前記デジタル化は、

前記第1クロックに応じて、前記2つの選択されたチャンネルの一方をデジタル化し、

第2クロックに応じて、前記2つの選択されたチャンネルの他方をデジタル化し、

前記第2クロックおよび第3クロックに応じて、前記多重化されたビデオ信号をデジタル化することをさらに含む、

請求項1に記載のマルチモードのデュアルビデオデコーダ。

【請求項3】

20

前記アナログ/デジタル変換ステージは、デマルチプレクサと、3つのアナログ/デジタル変換器とを含み、

前記多重化されたビデオ信号は、第1のアナログ/デジタル変換器によりデジタル化され、デマルチプレクサにより非多重化され、

前記2つの選択されたチャンネルは、第2のアナログ/デジタル変換器および第3のアナログ/デジタル変換器によりデジタル化される、

請求項2に記載のマルチモードのデュアルビデオデコーダ。

【請求項4】

前記第1クロックの位相は、前記第2クロックの位相のほぼ逆位相であり、

前記第3クロックの周波数は、前記第1クロックおよび前記第2クロックの周波数の約2倍である、

30

請求項2または請求項3に記載のマルチモードのデュアルビデオデコーダ。

【請求項5】

前記デコーダステージは、

前記デジタル化された前記第1ビデオ入力信号の前記第1チャンネル及び前記第2チャンネルを受信して、前記2つのデコードされたビデオ信号の一方を出力する第1デコーダと、

前記デジタル化された前記第2ビデオ入力信号の前記第1チャンネル及び前記第2チャンネルを受信して、前記2つのデコードされたビデオ信号の他方を出力する第2デコーダと、を含む、

請求項2から請求項4までの何れか一項に記載のマルチモードのデュアルビデオデコーダ。

40

【請求項6】

前記第1デコーダは前記第1クロックに応じて動作し、

前記第2デコーダは前記第2クロックに応じて動作する、

請求項5に記載のマルチモードのデュアルビデオデコーダ。

【請求項7】

前記2つのデコードされたビデオ信号のそれぞれは、画像情報を含む、

請求項1から請求6までの何れか一項に記載のマルチモードのデュアルビデオデコーダ。

【請求項8】

50

第 1 ビデオ入力信号および第 2 ビデオ入力信号をデコードする方法であって、

前記第 1 ビデオ入力信号は、第 1 チャンネルおよび第 2 チャンネルを含み、

前記第 2 ビデオ入力信号は、第 1 チャンネルおよび第 2 チャンネルを含み、

前記方法は、

前記第 1 ビデオ入力信号および前記第 2 ビデオ入力信号を受信する段階と、

前記第 1 ビデオ入力信号の前記第 1 チャンネルと、前記第 2 ビデオ入力信号の前記第 1 チャンネルとを時分割多重化して、多重化されたビデオ信号を提供する段階と、

前記第 1 ビデオ入力信号の前記第 2 チャンネルと、前記第 2 ビデオ入力信号の前記第 2 チャンネルとを選択して、2つの選択されたチャンネルを提供する段階と、

前記多重化されたビデオ信号をデジタル化し、デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第 1 ビデオ入力信号の前記第 1 チャンネルと、デジタル化された前記第 2 ビデオ入力信号の前記第 1 チャンネルを提供するステップと、前記 2 つの選択されたチャンネルをデジタル化して、デジタル化された前記第 1 ビデオ入力信号の前記第 2 チャンネルと、デジタル化された前記第 2 ビデオ入力信号の前記第 2 チャンネルとを提供するステップとにより、アナログ/デジタル変換を実施する段階と、

前記デジタル化された前記第 1 ビデオ入力信号の前記第 1 チャンネル及び前記第 2 チャンネルと、前記デジタル化された前記第 2 ビデオ入力信号の前記第 1 チャンネル及び前記第 2 チャンネルとをデコードして、2つのデコードされたビデオ信号を同時に出力する段階と、

を含む、

方法。

#### 【請求項 9】

前記多重化されたビデオ信号を提供する段階は、

第 1 クロックの第 1 クロック期間中に、前記第 1 ビデオ入力信号の前記第 1 チャンネルを選択し、前記第 1 クロックの第 2 クロック期間中に、前記第 2 ビデオ入力信号の前記第 1 チャンネルを選択する段階をさらに含み、

前記アナログ/デジタル変換を実施する段階は、

前記第 1 クロックに応じて、前記 2 つの選択されたチャンネルの一方をデジタル化する段階と、

前記第 2 クロックに応じて、前記 2 つの選択されたチャンネルの他方をデジタル化する段階と、

前記第 2 クロックおよび第 3 クロックに応じて、前記多重化されたビデオ信号をデジタル化する段階と、

をさらに含む、

請求項 8 に記載の方法。

#### 【請求項 10】

前記デジタル化された前記多重化されたビデオ信号を非多重化して、デジタル化された前記第 1 ビデオ入力信号の前記第 1 チャンネルと、デジタル化された前記第 2 ビデオ入力信号の前記第 1 チャンネルを提供するステップは、前記第 2 クロックに応じて、2つの非多重化されたチャンネルを生成する段階をさらに含む、

請求項 9 に記載の方法。

#### 【請求項 11】

前記 2 つのデコードされたビデオ信号のうち、第 1 のデコードされたビデオ信号を生成する段階は、前記第 1 クロックに応じて動作し、

前記 2 つのデコードされたビデオ信号のうち、第 2 のデコードされたビデオ信号を生成する段階は、前記第 2 クロックに応じて動作する、

請求項 9 又は請求項 10 に記載の方法。

#### 【請求項 12】

前記第 1 クロックの位相は、前記第 2 クロックの位相のほぼ逆位相であり、

前記第 3 クロックの周波数は、前記第 1 クロックおよび前記第 2 クロックの周波数の約 2 倍である、

10

20

30

40

50

請求項 9 から請求項 1 1 までの何れか一項に記載の方法。

【請求項 1 3】

前記 2 つのデコードされたビデオ信号は、同時に出力され、

前記 2 つのデコードされたビデオ信号のそれぞれは、画像情報を含む、

請求項 9 から請求項 1 2 までの何れか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2006年4月18日出願の米国仮出願番号第60/793,288、2006年4月18日提出の米国仮出願番号第60/793,276、2006年4月18日出願の米国仮出願番号第60/793,277、2006年4月18日出願の米国仮出願番号第60/793,275の恩恵を享受しており、各々の開示の全体をここに参照として組み込む。

10

【背景技術】

【0002】

伝統的に、マルチビデオチャンネルテレビディスプレイスクリーンは、一以上のチャンネルを同時にディスプレイスクリーンの随所で観られるようデュアルチャンネルビデオ処理チップが備わっている。画像の中に画像を表示するこの形式は、通常ピクチャインピクチャあるいはPIPとして称される。図1Aはアスペクト比4:3のディスプレイスクリーンの随所に二つのチャンネルを表示する一例である。スクリーン100Aはスクリーンの主要部に第1のチャンネル112を、スクリーンの実質的により小さな部分に第2のチャンネル122を、それぞれ同時に表示する。図1Bは第1のチャンネルおよび第2のチャンネルを、スクリーンの異なる部分に、実質的に同じアスペクト比で表示する一例である。これらについて以下で詳述する。

20

【0003】

PIPスクリーン100Aを生成する典型的なテレビシステムを図2に示す。テレビディスプレイシステム200は、テレビ放送信号202、ハイブリッドTVチューナ210、ベースバンド入力280、復調器220、MPEGコーデック230、オフチップ記憶装置240、オフチップメモリ300、ビデオプロセッサ250、および外部部材270（例えばディスプレイ）を含む。ハイブリッドTVチューナ210は、テレビ放送信号202が提供する一以上のテレビチャンネルにチューニングすることができる。ハイブリッドTVチューナ210は、復調器220に対してデジタルテレビ信号を、およびビデオプロセッサ250に対してアナログビデオ信号成分（例えば、コンポジットビデオベースバンド信号(CVBS)）を提供しうる。さらに、ベースバンド入力280は、様々なテレビ信号（例えば、CVBS、S-Video、Component）を受信して、それらをビデオプロセッサ250に提供しうる。他の外部デジタルあるいはアナログ信号（例えば、DVIあるいはHigh Definition(HD)）がビデオプロセッサ250に提供されてもよい。

30

【0004】

ビデオは復調器220により復調され、その後MPEGコーデック230により圧縮解除されてよい。MPEGコーデック230が要する動作の中には、データ記憶すべくオフチップ記憶装置240を利用しうるものがある。デジタル信号はその後ビデオプロセッサ250により処理されうるが、ビデオプロセッサ250は、外部部材270に表示するのに適切な信号260を生成するデュアルチャンネル処理チップであってよい。ビデオプロセッサ250は、オフチップメモリ300を利用して、ノイズ低減およびデインタレース、3D YC分離およびフレームレート変換(ERC)などのメモリ集中ビデオ処理動作を行いうる。

40

【0005】

このようなPIPへの適用の際に第1のチャンネル112は第2のチャンネル122よりも重要であると一般的に認識されている。PIP生成に利用される典型的なデュアルチャネ

50

ル処理チップは、第1のチャンネル112の大きなディスプレイを生成する第1のチャンネルビデオパイプの方に品質的に重きを置いている。第2のチャンネル122の、より小さなディスプレイを生成する第2のチャンネルビデオパイプは、コスト削減目的から品質的に劣る。例えば、デインタレース、ノイズ低減、およびビデオデコードなどの3-Dビデオ処理動作は第1のチャンネルビデオパイプに実装され得、一方で第2のチャンネルビデオパイプには2-Dビデオ処理動作しか実装されない。3-Dビデオ処理動作は、空間・時間ドメインでビデオを処理する動作のことであり、しばしば処理動作で利用される一以上のビデオフレームをバッファリングする。対照的に、2-Dビデオ処理動作は、空間ドメインのビデオ処理のみを行い、現在のビデオフレームに対してのみ行われる。

【0006】

10

アスペクト比16:9のワイドディスプレイスクリーンの到来により、同じサイズの二つのチャンネル、あるいはアスペクト比4:3の二つのチャンネルを同じスクリーンに表示する需要が益々高まっている。この用途形態は、通常ピクチャアンドピクチャ(PAP)と称される。図1Bにおいて、スクリーン100Bは第1のチャンネル110と、スクリーンの第二部分に実質的に同じアスペクト比が表示される第2のチャンネル120とを表示している。これら用途において、第1のチャンネルは第2のチャンネルと類似した品質を有すよう生成されるべきである。

【0007】

従って二つの高品質なビデオ画像を生成する目的上、第1のビデオチャンネルパイプおよび第2のビデオチャンネルパイプ両方への3-Dビデオ処理の実装が必要となる。望ましいディスプレイを生成する3-Dビデオ処理は、品質ロスあるいは統一性ロスのない画像表示に適した時間フレーム内で行われる必要があるメモリ集中操作を要する。メモリ動作は、3-Dビデオ処理を要するチャンネル数に比例して増加する。典型的なデュアルビデオ処理チップは、高品質の二つのビデオ信号を処理する能力に欠け、それゆえに、高いビデオ品質を有する二つのチャンネルを表示する需要が増える中、使用されなくなる傾向にある。

20

【0008】

典型的なデュアルビデオ処理チップが多数の高品質ビデオ信号を処理する能力に欠ける理由の一つは、ビデオプロセッサとオフチップメモリとの間で必要となるデータ帯域幅が大量であることにある。伝統的にビデオ処理チップパイプラインの一部には、ノイズ低減器およびデインタレーサが含まれ、これらのいずれもオフチップメモリに大量のデータ帯域幅が必要となる。

30

【0009】

特に、ノイズ低減器は、そもそも、あるフィールドを次のフィールドと比較して、各フィールドで同じでないフィールドの部分を削除する働きをする。この理由から、ノイズ低減器は、現在のフィールドと比較する目的から少なくとも二つのフィールドの記憶を必要とする。デインタレーサは、二つの記憶されているフィールドを読み出して結合し、これによりインタレーサの動作を逆転する。

【0010】

図3は、典型的なビデオプロセッサのノイズ低減器およびデインタレーサのオフチップメモリアクセス動作を図示する。ビデオ処理パイプラインの一部は、ノイズ低減器330、デインタレーサ340、およびオフチップメモリ300を含み、オフチップメモリ300は少なくとも四つのフィールドバッファセクション310、311、312、および313を含む。

40

【0011】

第1のフィールドインターバル中に、ノイズ低減器330は、フィールドバッファセクション310を読み出し、それをビデオ信号320と比較し、低減したノイズを持つ新たなフィールドを生成してこのフィールド出力322を二つのフィールドバッファセクション311および312に書き込む。フィールドバッファセクション311および312に前に記憶されていた内容は、フィールドバッファセクション310および313にそれぞれコピーされる。故に、該フィールドインターバルの終わりには、ノイズ低減器330の

50

フィールド出力 3 2 2 がフィールドバッファセクション 3 1 1 および 3 1 2 に記憶され、フィールドバッファセクション 3 1 1 および 3 1 2 に前に記憶されていた内容は、今はそれぞれフィールドバッファセクション 3 1 0 および 3 1 3 にある。

【 0 0 1 2 】

後続のフィールドインターバル中に、前のフィールドインターバルからのノイズ低減器 3 3 0 から出力されたフィールドを含むフィールドバッファセクション 3 1 2 がデインタレーサ 3 4 0 から読み出され、このフィールドインターバルの前のフィールドインターバルからのノイズ低減器 3 3 0 から出力されたフィールドを含み、フィールドバッファセクション 3 1 2 に記憶されていたフィールドバッファセクション 3 1 3 が、デインタレーサ 3 4 0 により読み出される。現在のフィールドインターバルのノイズ低減器 3 3 0 のフィールド出力 3 2 2 もデインタレーサ 3 4 0 により読み出される。デインタレーサ 3 4 0 はこれらフィールドセグメントを処理して複合して、デインタレースされた出力 3 4 2 をビデオパイプラインの次のモジュールへ提供する。

10

【 0 0 1 3 】

一例である上述したビデオパイプライン部分は、単一のチャンネルについてこれら操作を行い、操作は各追加的チャンネルごとに増倍する。従って、メモリアクセス帯域幅は同じインターバルに書き込む / 読み込むべきデータ量に比例して増えるので、ノイズ低減およびデインタレースを多数のチャンネルに行うことによって、同様にデータ帯域幅が増える。上述のビデオ処理操作が驚くほどの帯域幅を必要とすることによって、これら操作を同時に行う能力は制限を受ける。

20

【 0 0 1 4 】

故に、多数の高品質ビデオチャンネルストリームを有するディスプレイを生成すべく、一以上のチャンネルの一以上のビデオパイプラインステージの様々なセクションにおけるメモリアクセス帯域幅を減らすシステムおよび方法が望まれている。

【 発明の開示 】

【 0 0 1 5 】

本発明の原理において、多数の高品質ビデオチャンネルストリームを有するディスプレイを生成すべく一以上のチャンネルの一以上のビデオパイプラインステージの様々なセクションでメモリアクセス帯域幅を減らすシステムおよび方法が提供される。

【 0 0 1 6 】

30

複数のビデオ入力信号をデコードし得、ここで複数のビデオ入力信号の少なくとも一つは二以上のビデオ入力信号部分を含む。複数のビデオ入力信号は受信されうる。少なくとも三つのビデオ入力信号部分は、二つの選択されたビデオ信号を提供すべく選択的に組み合わせられうる。選択されたビデオ信号を処理すべくアナログ / デジタル変換を行いうる。少なくとも一つのデコードされた信号を生成すべく、処理済ビデオ信号をデコードされうる。

【 0 0 1 7 】

本発明の原理において、多数の高品質ビデオチャンネルストリームを有するディスプレイを生成すべく、一以上のチャンネルの一以上のビデオパイプラインステージの様々なセクションにおいてメモリアクセス帯域幅を減らす方法および装置が提供される。デュアルビデオプロセッサは、異なる形式でありうる一以上のアナログ / デジタル信号を受信しうる。一以上のビデオモードの二つの同期ビデオ信号をデコードすることのできるデュアルビデオデコーダ（たとえば NTSC / PAL / SECAM ビデオデコーダ）が提供されてよい。ビデオモードの一つにおいて、デュアルビデオデコーダは、ビデオ信号のデコードに使用されるアナログ / デジタル変換器などの少なくとも一つの部材を共有すべく時分割多重化を行ってよい。

40

【 0 0 1 8 】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、信号処理回路（例えばノイズ低減器および / またはデインタレーサ）に提供されてよい。信号処理回路は、様々なフィールドラインを記憶すべくメモリデバイスにアクセスして

50

よい。記憶されているフィールドラインの幾らかは、信号処理回路が必要としうるが、共有されてよい。記憶されているフィールドラインの幾らかを共有することで、全メモリ帯域幅および容量要件が減らされる。信号処理回路は、多数のフィールドライン処理を行うことができよう。多数のフィールドセグメントのフィールドラインを記憶すべく一群のフィールドラインバッファを提供してよく、信号処理回路の対応する入力にデータを供給してよい。さらに記憶量を減らすべく、フィールドラインバッファの幾らかを、さらに信号処理回路内で共有してよい。

#### 【 0 0 1 9 】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、異なる様式にスケールされたビデオ信号を生成する一以上のスケーラに提供されてよい。スケーラは、メモリの前、メモリの後の、様々なスロット内に配置されうる、あるいは、メモリアクセスが必要とされない場合、メモリの前後いずれか（つまりメモリ間）に配置されうる。ビデオ信号がアップスケールを必要とする場合、メモリに記憶するデータ量を減らすべく、スケーラはメモリの後に配置される。ビデオ信号がダウンスケールを必要とする場合、メモリに記憶するデータ量を減らすべく、スケーラはメモリの前に配置されうる。または、一つのスケーラをメモリの前に配置して、別のスケーラをメモリの後に配置しておくことで、異なる様式でスケールされる二つのビデオ信号を提供しつつ（つまり、一方がアップスケールされつつ他方はダウンスケールされる、というように）、同時にメモリ記憶量および帯域幅を減らしてもよい。

#### 【 0 0 2 0 】

ビデオデコーダの出力、あるいはシステムの別の部材が提供する別の群のビデオ信号が、一以上のフレームレート変換部に提供されてよい。ブランクタイムオプティマイザ（BTO）が、第1のクロックレートにおけるビデオ信号のフレームのフィールドラインに関するデータを受信してよい。BTOは、フレームの次のフィールドラインが受信される前に入手可能な最大時間量を決定してよい。この決定に基づきBTOは、第2のクロックレートにおけるフレームからメモリへのフィールドラインの送受信を行ってよい。メモリアクセスに利用される第2のクロックレートは、第1のクロックレートより実質的に遅くして、これによりメモリ帯域幅を減らし、フィールドライン間で入手可能な時間量が短い別のビデオ信号のメモリアクセスを速めてもよい。今度は、BTOは本質的に、メモリ帯域幅の効率利用を促進するように幾らかのメモリクライアント（つまり、メモリアクセスを要する単位）からメモリアクセスを配信する。

#### 【 0 0 2 1 】

BTOのビデオ信号出力あるいはシステムの別の部材が提供する別の群のビデオ信号は、さらなる処理を受けるべくオーバレイエンジンに提供されてよい。オーバレイエンジンにおいては、二以上のビデオ信号をオーバレイして色管理部（CMU）に提供してよい。CMUはオーバレイされたビデオ信号を受信して、各部分でオーバレイされたビデオ信号を処理してよい。オーバレイされたビデオ信号の一部分が第1のビデオ信号に対応する旨を受信すると、CMUは、第1のビデオ信号部分に対応するパラメタを利用してビデオ信号部分を処理して出力を提供しうる。または、オーバレイされたビデオ信号の一部分が第2のビデオ信号に対応する旨を受信すると、CMUは、第2のビデオ信号部分に対応するパラメタを利用してビデオ信号部分を処理して出力を提供しうる。オーバレイエンジン内のマルチプレーン（M-プレーン）オーバレイ回路は、二以上のビデオ信号を受信し得、これら信号の一つはCMUにより提供され、オーバレイされた信号を提供してよい。ビデオ信号は優先度指示子を含みえ、そしてオーバレイ回路は優先度指示子に基づいて信号をオーバレイしてよい。

#### 【 0 0 2 2 】

オーバレイエンジンの出力あるいはシステムの別の部材が提供する別の群のビデオ信号は、プログレッシブであってよく、主要および／または補助出力ステージに提供されてよい。または、ビデオ信号は、オーバレイエンジンをバイパスして、主要および／または補助出力ステージに提供されてよい。主要および／または補助出力ステージにおいて、ビデオ

オ信号は形式変換あるいは処理を経て、例えばディスプレイデバイスおよび記録デバイスなどの主要および／または補助デバイスの要件を充たしてよい。

【図面の簡単な説明】

【 0 0 2 3 】

本発明の上述の、およびその他の目的および利点は、以下の詳細な説明を、添付図面とともに考慮することで明らかになる。添付図面にわたり、同様の参照番号は同様の部材を表す。

【 0 0 2 4 】

【図 1 A - 1 B】同じスクリーンの随所に表示される二つのチャンネルを例示する。

【 0 0 2 5 】

【図 2】PIP ディスプレイ生成を例示する。

【 0 0 2 6 】

【図 3】典型的なビデオプロセッサのノイズ低減器およびデインタレーサのオフチップメモリアクセス動作を例示する。

【 0 0 2 7 】

【図 4】本発明の原理によるテレビディスプレイシステムを例示する。

【 0 0 2 8 】

【図 5】本発明の原理によるデュアルビデオプロセッサのオンボードビデオ処理セクションの機能を詳細に示す。

【 0 0 2 9 】

【図 6】本発明の原理によるクロック生成システムを例示する。

【 0 0 3 0 】

【図 7 - 9】本発明の原理によるビデオ信号生成の三つのモードである。

【 0 0 3 1 】

【図 1 0】本発明の原理による三つのビデオ信号を生成すべく二つのデコーダを使用する実装例を例示する。

【 0 0 3 2 】

【図 1 1】本発明の原理による二つのビデオ信号の二つの部分を時分割多重化するタイミング図例である。

【 0 0 3 3 】

【図 1 2】本発明の原理によるデュアルビデオプロセッサのフロントエンドのビデオパイプライン機能を詳細に例示する。

【 0 0 3 4 】

【図 1 3】本発明の原理によるノイズ低減器およびデインタレーサのオフチップメモリアクセス動作を例示する。

【 0 0 3 5 】

【図 1 4】本発明の原理によるノイズ低減器およびデインタレーサのオフチップメモリアクセス動作のタイミング図を例示する。

【 0 0 3 6 】

【図 1 5】本発明の原理による多数フィールドライン処理を例示する。

【 0 0 3 7 】

【図 1 6】本発明の原理によるフレームレート変換およびスケーリングを行う詳細を示す。

【 0 0 3 8 】

【図 1 7】本発明の原理によるスケーラ配置モジュールを例示する。

【 0 0 3 9 】

【図 1 8】本発明の原理による B T O マルチプレクサの動作を例示する。

【 0 0 4 0 】

【図 1 9】本発明の原理によるデュアルビデオプロセッサの色処理およびチャンネルブレンド ( C P C B ) ビデオパイプラインを詳細に示す。

10

20

30

40

50

【 0 0 4 1 】

【図 2 0】本発明の原理によるオーバレイエンジンを詳細に示す。

【 0 0 4 2 】

【図 2 1】本発明の原理による色管理部を詳細に示す。

【 0 0 4 3 】

【図 2 2】本発明の原理によるデュアルビデオプロセッサのバックエンドビデオパイプラインを詳細に示す。

【発明を実施するための最良の形態】

【 0 0 4 4 】

本発明は、一以上の高品質出力信号を生成すべく、一以上のチャンネルの多数ビデオパイプラインステージの随所でメモリアクセス帯域幅を減らし、メモリおよびその他の処理資源を共有する方法および装置に関する。

【 0 0 4 5 】

図 4 は、本発明の原理によるテレビディスプレイシステムを示す。図 4 に図示されるテレビディスプレイシステムは、テレビ放送信号 2 0 2、デュアルチューナ 4 1 0、M P E G コーデック 2 3 0、オフチップ記憶装置 2 4 0、オフチップメモリ 3 0 0、デュアルビデオプロセッサ 4 0 0、メモリインターフェース 5 3 0、および少なくとも一つの外部部材 2 7 0 を含む。デュアルチューナ 4 1 0 はテレビ放送信号 2 0 2 を受信して、第 1 のビデオ信号 4 1 2 および第 2 のビデオ信号 4 1 4 を生成してよい。ビデオ信号 4 1 2 および 4 1 4 はその後デュアルデコーダ 4 2 0 に提供されう。デュアルデコーダ 4 2 0 は、デュアルビデオプロセッサ 4 0 0 の内部にあるものとして示されているが、ビデオプロセッサ 4 0 0 の外部にあってもよい。デュアルデコーダ 4 2 0 は、第 1 のビデオ信号 4 1 2 および第 2 のビデオ信号 4 1 4 に対してデコーダ 2 2 0 (図 2) と同様の機能を果たしてよい。デュアルデコーダ 4 2 0 は少なくともマルチプレクサ 4 2 4 と二つのデコーダ 4 2 2 とを含んでよい。代替例においては、マルチプレクサ 4 2 4 および 1 または 2 のデコーダ 4 2 2 はデュアルデコーダ 4 2 0 の外部にあってもよい。デコーダ 4 2 2 はデコードされたビデオ信号出力 4 2 6 および 4 2 8 を提供する。デコーダ 4 2 2 は、M P E G デコーダと異なる任意の N T S C / P A L / S E C A M デコーダであってよい。デコーダ 4 2 2 の入力、デジタル C V B S、S - V i d e o、あるいはコンポーネントビデオ信号であってよく、デコーダ 4 2 2 の出力は、Y - C b - C r データ信号のようなデジタル標準の定義であってよい。デュアルデコーダ 4 2 0 の動作に関しては、図 7、8、9、10 を参照しながら詳述する。

【 0 0 4 6 】

マルチプレクサ 4 2 4 を利用して二つのビデオ信号 4 1 2 よび 4 1 4 のうちの少なくともいずれか、あるいは任意の数の入力ビデオ信号を選択してよい。この選択された少なくともいずれかのビデオ信号 4 2 5 はその後デコーダ 4 2 2 に提供される。この選択された少なくともいずれかのビデオ信号 4 2 5 は図面では、単一のビデオ信号として示して図面の煩雑さを避けているが、ビデオ信号 4 2 5 は任意の数のデコーダ 4 2 2 に提供できる任意の数のビデオ信号を表してよいことは理解されるべきである。例えば、マルチプレクサ 4 2 4 は 5 つの入力ビデオ信号を受信してよく、5 つの入力ビデオ信号のうち二つの異なるデコーダ 4 2 2 へ提供してよい。

【 0 0 4 7 】

図 4 に示す特定のビデオ信号処理により、デュアルビデオプロセッサ 4 0 0 上の内部デュアルデコーダ 4 2 0 が利用され、これにより時間的推移用途において必要とされう外部デコーダを利用する費用を省くことができる。例えば、デュアルデコーダ 4 2 0 の出力 4 2 6 および 4 2 8 のいずれかが 6 5 6 エンコーダ 4 4 0 へ提供されることで、ビデオ信号をインタレース前に標準形式に適切にエンコードしてよい。6 5 6 エンコーダ 4 4 0 は、より早いクロック周波数で処理すべくデータサイズを減らすのに利用されてよい。例えば、幾らかの実施形態においては、6 5 6 エンコーダ 4 4 0 は、二倍の周波数で処理すべく 1 6 ビットのデータ、h - s y n c および v - s y n c 信号を、8 ビットに減らしてよ

10

20

30

40

50

い。これは、SDビデオおよび任意のNTSC/PAL/SECAMデコーダおよびMP  
EGエンコーダの間でインタフェースする標準であってよい。エンコードされたビデオ信  
号413はその後、例えばビデオプロセッサのポートを介して外部MP  
EGコーデック230に提供され、時間推移ビデオ信号を生成しうる。別のポート、つまりデュアルビデオ  
プロセッサ400のflexiport450を利用して時間推移ビデオ信号をMP  
EGコーデック230から受信しうる。これは、ビデオプロセッサの外にあるデジタルビデオ  
信号の幾らかの部分処理するビデオプロセッサの複雑性を低減するのに望ましい場合が  
ある。さらに、MP  
EGコーデック230が行う時間推移は、圧縮、圧縮解除、および不  
揮発性大容量記憶デバイスとのインタフェースを含みうる動作を必要とするが、これら全  
てがビデオプロセッサの範囲を超える場合がある。

10

#### 【0048】

カーソル、オンスクリーン表示、あるいは、少なくとも一つの外部部材270で利用さ  
れうる、さもなければ外部部材に備えられうる放送ビデオ信号202以外の様々な他の形態  
のディスプレイも、デュアルビデオプロセッサ400を利用して生成されうる。例えば、  
デュアルビデオプロセッサ400はグラフィックポート460あるいはパターン生成器4  
70をこの目的から含んでよい。

#### 【0049】

デコードされたビデオ信号、および様々な他のビデオ信号、グラフィック生成器460  
、あるいはパターン生成器470は、セクタ480に提供されうる。セクタ480は  
これらビデオ信号の少なくとも一つを選択して、選択された信号をオンボードビデオ処理  
セクション490に提供する。ビデオ信号482および484は、セクタ480からオ  
ンボードビデオ処理セクション490に提供されうる二つの例示的信号である。

20

#### 【0050】

オンボードビデオ処理セクション490は、デインタレース、スケーリング、フレーム  
レート変換、およびチャンネルブレンドおよび色管理などの、任意の適切なビデオ処理機能  
を行ってよい。デュアルビデオプロセッサ400の任意の処理資源は、メモリインタフェ  
ース530を介して、オフチップメモリ300へデータを送っても、オフチップメモリ3  
00からデータを受け取ってもよく、オフチップメモリ300はSDRAM, RAMBUS、  
あるいは任意の他の種類の揮発性記憶装置であってよい。これら機能の各々は、図5  
を参照しながら詳述する。

30

#### 【0051】

最後に、デュアルビデオプロセッサ400は一以上のビデオ出力信号492を出力する  
。ビデオ出力信号492は、表示用、記憶用、さらなる処理用、あるいは任意の他の適切  
な用途用に、一以上の外部部材270に提供されてよい。例えば、一つのビデオ出力信号  
492は、高精細テレビ(HDTV)解像度を支援する主要出力信号であり、第2のビデ  
オ出力信号492は、標準精細テレビ(SDTV)解像度を支援する補助出力であってよ  
い。

標準精細(DVD)ビデオレコーダ、標準精細TV(SDTV)、標準精細プレビューデ  
ィスプレイ、あるいは任意の他の適切なビデオアプリケーションに補助出力を利用しながら  
、同時にデジタルTVあるいはプロジェクタのようなハイエンドの外部部材270を駆  
動するのに主要出力信号を利用することができる。ユーザにHDTVディスプレイで番組  
を視聴させながら、同時に、補助出力信号はユーザにHDTVプログラムを任意の適切な  
SDTV媒体(例えばDVD)に記録させてよい。

40

#### 【0052】

図5は、本発明の原理によるデュアルビデオプロセッサ400のオンボードビデオ処理  
セクション490の機能をより詳細に示す。オンボードビデオ処理セクション490は、  
入力信号構成510、メモリインタフェース530、構成インタフェース520、フロン  
トエンドパイプラインセクション540、フレームレート変換(FRC)およびスケーリ  
ングパイプラインセクション550、色処理およびチャンネルブレンドパイプラインセク  
ション560、およびバックエンドパイプラインセクション570を含みうる。

50

## 【 0 0 5 3 】

構成インタフェース 5 2 0 は、プロセッサなどの外部部材から、例えば I 2 C インタフェースを介して制御情報 5 2 2 を受信しうる。構成インタフェース 5 2 2 は、入力信号構成 5 1 0、フロントエンド 5 4 0、フレームレート変換 5 5 0、カラープロセッサ 5 6 0、バックエンド 5 7 0、およびメモリインタフェース 5 3 0 を構成するのに利用されうる。入力信号構成 5 1 0 はデュアルビデオプロセッサ 4 0 0 上の外部入力と連結されえ、これにより入力 5 0 2 上のビデオ信号 (H D T V 信号、S D T V 信号、あるいは任意の他の適切なデジタルビデオ信号)、および選択されたビデオ信号 4 8 2 および 4 8 4 を受信しうる (図 4)。入力信号構成 5 1 0 は、その後受信されたビデオ信号のうち少なくとも一つ (例えば信号 4 8 2、4 8 4、および 5 0 2) をビデオ源ストリーム 5 1 2 としてフロントエンド 5 4 0 へ提供するべく構成されうる。

10

## 【 0 0 5 4 】

この構成に基づいて、オンボードビデオ処理セクション 4 9 0 に提供されたこれら入力のうち様々なものが、オンボードビデオ処理パイプラインを利用して異なるときに処理されうる。例えば、一実施形態において、デュアルビデオプロセッサ 4 0 0 は、八つの入力ポートを含みうる。例示的ポートは、二つの 1 6 ビット H D T V 信号ポート、一つの 2 0 ビット H D T V 信号ポート、C C I R 6 5 6 形式であってよい三つの 8 ビット S D T V ビデオ信号ポート、一つの 2 4 ビットグラフィックポートおよび一つの 1 6 ビット外部オンスクリーンディスプレイポートを含みうる。

20

## 【 0 0 5 5 】

フロントエンド 5 4 0 は、入手可能な入力の少なくとも一つのビデオ信号ストリーム 5 1 2 (つまり、チャンネル) から選択を行い、選択されたビデオ信号ストリームを一以上のビデオ処理パイプラインステージに沿って処理するよう構成されうる。フロントエンド 5 4 0 は、一以上のパイプラインステージから処理済みのビデオ信号ストリームをフレームレート変換およびスケーリングパイプラインステージ 5 5 0 に提供しうる。幾らかの実施形態においては、フロントエンド 5 4 0 は三つのビデオ処理パイプラインステージを含み、三つの別個の出力を F R C およびスケーリングパイプラインステージ 5 5 0 へ提供しうる。F R C およびスケーリングパイプラインステージ 5 5 0 においては、一以上の処理チャンネルがありえる。例えば、第 1 のチャンネルは主要スケーラおよびフレームレート変換部を含みえ、第 2 のチャンネルは別のスケーラおよびフレームレート変換部を含みえ、第 3 のチャンネルは、これらより低いコストのスケーラを含みうる。これらスケーラは互いに独立してよい。例えば、一つのスケーラが入力画像を拡大している間に、別のスケーラが画像を縮小してよい。スケーラは両方とも 4 4 4 ピクセル (R G B / Y U B 2 4 ビット) あるいは 4 2 2 ピクセル (Y C 1 6 ビット) で動作可能である。

30

## 【 0 0 5 6 】

色処理およびチャンネルブレンドパイプラインステージ 5 6 0 は、色管理機能を提供するよう構成されうる。これら機能は、色リマップ、輝度 (brightness)、コントラスト、色相および彩度向上、ガンマ補正およびピクセルバリデーションを含みうる。さらに、色処理およびチャンネルブレンドパイプラインステージ 5 6 0 は、ビデオブレンド機能、異なるチャンネルのオーバーレイ、あるいは二つのブレンドされたビデオチャンネルの、第三のチャンネルへのブレンドあるいはオーバーレイを提供しうる。

40

## 【 0 0 5 7 】

バックエンドパイプラインステージ 5 7 0 は、データフォーマット、符号付 / 符号なし数変換、彩度論理、クロック遅延、あるいはデュアルビデオプロセッサ 4 0 0 から一以上のチャンネルが出力されるまでに必要となりうる任意の適切な最終信号動作を行うよう構成されうる。

## 【 0 0 5 8 】

様々なパイプラインステージセグメントの各々は、メモリインタフェース 5 3 0 を利用してオフチップメモリ 3 0 0 に対するデータ送受信を行うよう構成されうる。メモリインタフェース 5 3 0 は少なくともメモリコントローラとメモリインタフェースとを含みうる

50

。メモリコントローラは、メモリにより支援される最大スピードで動作するように構成される。一実施形態においては、データバスは32ビットであってよく、200MHzの周波数で動作してよい。このバスは、1秒当たり12.8ギガビットに略近いスループットを提供しうる。メモリインタフェース530（つまりメモリクライアント）を利用する各機能ブロックは、メモリを動作のバーストモードにアドレスしうる。様々なメモリクライアント間のアービトレーションは、ラウンドロビン方式で、あるいは任意の他の適切なアービトレーション方式でなされうる。様々なパイプラインセグメントのより詳細な説明については、図12、19、20、21、および22に関連して提供される。

#### 【0059】

デュアルビデオプロセッサ400の様々な部材およびパイプラインステージが、異なるクロック機構あるいはクロック周波数を必要としうる。図6は、これを目的として様々なクロック信号を生成するクロック生成システム600を図示する。クロック生成システム600は、少なくとも、水晶発振器610、汎用アナログフェーズロックドループ回路620、デジタルフェーズロックドループ回路640a-nおよびメモリアナログフェーズロックドループ回路630を含む。水晶発振器610の出力612は、汎用フェーズロックドループ620、メモリフェーズロックドループ630、デュアルビデオプロセッサ400の別の部材、あるいはプロセッサ外部の任意の適切な部材に必要なに応じて連結されうる。

#### 【0060】

メモリアナログフェーズロックドループ630は、メモリクロック信号632および、メモリデバイス（例えば200MHzDDRメモリ）あるいは別のシステム部材を動かすクロック信号652として利用すべくセクタ650により選択されうる異なる周波数636の他のクロック信号を生成する。

#### 【0061】

汎用アナログフェーズロックドループ620は、一以上のデジタルフェーズロックドループ（PLL）回路640a-n用のベースクロックとして利用されうる200MHzクロックを生成しうる。デジタルPLL回路640a-nは、周波数合成器（つまり、回転数でベースクロック周波数を乗算すること）として振舞うオープンループモードで利用されうる。これに替えて、デジタルPLL回路640a-nを、各入力クロック信号642a-n（例えばビデオ同期入力）上にロックをかける周波数ロックを達成しうるクローズドループモードで利用しうる。デジタルPLLはクローズドループモードで、非常に遅いクロック信号に正確な周波数ロックを達成する能力を持つ。例えば、ビデオ処理分野においては、垂直ビデオクロック信号（v-sync）は50~60Hzの範囲にあってよい。様々なシステム部材が、様々なオープンループあるいはクローズドループ信号を要しうるデジタルPLL回路640a-nの出力644a-nを利用しうる。各出力640a-nは、異なる周波数あるいは同じ周波数のクロック信号を提供する能力があるとして理解されるべきである。

#### 【0062】

例えば、デジタルPLL回路640a-nが生成するクロック信号を利用しうる一部材はデュアルデコーダ420（図4）であり、その動作は図7、8、9、および10との関連において詳述する。デュアルデコーダ420はデコーダ422（図4）を含みうる。デコーダ422は、図7、8、および9との関連で詳述するように、様々な動作モードで利用されうる。

#### 【0063】

図7、8、および9は、デコーダ422を利用してビデオ信号426または428（図4）を生成する動作の三つの例示的モードを図示する。これら三つの動作モードは、例えば、コンポジットビデオ信号、s-video、およびコンポーネントビデオ信号を提供しうる。

#### 【0064】

これら三つのモードの第1のものを（コンポジットビデオ信号生成に利用されうる）、

10

20

30

40

50

図 7 との関連で示す。第 1 のデコーダモードは D C 復元部 7 2 0、アナログ / デジタル変換器 7 3 0、およびデコーダ 4 2 2 を含みえ、これらの各々は、デュアルデコーダ 4 2 0 ( 図 4 ) に含まれうる。ビデオ信号 4 2 5 ( 図 4 ) は、デュアルチューナ 4 1 0 によりあるいはマルチプレクサ 4 2 4 の他の配置に提供されうるが、D C 復元部 7 2 0 に提供される。D C 復元部 7 2 0 は、A C 連結信号でありうるビデオ信号 4 2 5 が自身の D C 参照をなくし、輝度などのビデオ特徴情報を維持すべくそれを定期的のリセットする必要があるときに、利用されうる。D C 復元部 7 2 0 からのビデオ信号は、アナログ / デジタル変換器 7 3 0 によりデジタル化されデコーダ 4 2 2 に提供されうる。

#### 【 0 0 6 5 】

第 1 のモードにおいて、デコーダ 4 2 2 は、単一のアナログ / デジタル変換器からのデジタルビデオ信号 7 3 2 を利用してコンポジットビデオ信号を生成しうる。アナログ / デジタル変換器 7 3 0 およびデコーダ 4 2 2 は、デジタルクロック信号 6 4 4 a - n ( 図 6 ) を利用して動作しうるが、これは例えば、2 0、2 1、2 2、2 3、2 4、2 5、2 6、2 7、2 8、2 9、あるいは 3 0 M H z であってよい。さらに、デコーダ 4 2 2 は、出力フィードバック信号 4 2 7 を利用して D C 復元部 7 2 0 の動作を制御しうる。出力フィードバック信号 4 2 7 は、例えば、D C 復元部 7 2 0 に対して、アナログ / デジタル変換器 7 3 0 に提供されるビデオ信号上の D C 出力を増減させるよう指示する 2 ビットの制御信号でありうる。

#### 【 0 0 6 6 】

s - v i d e o を生成するのに利用されうる三つのモードの第 2 のものを、図 8 との関連で説明する。第 2 のデコーダモードは、第 2 のアナログ / デジタル変換器 8 2 0 に加えて、第 1 のモードで記載された全ての部材を含みうる。ビデオ信号 4 2 5 ( 図 4 ) は、第 1 の部分 8 1 2 および第 2 の部分 8 1 0 に分割されうる。ビデオ信号 4 2 5 の信号の第 1 の部分 8 1 2 ( 図 4 ) は、マルチプレクサ 4 2 4 により提供されうるが、D C 復元部 7 2 0 に提供されえ、ビデオ信号 4 2 5 の信号の第 2 の部分 8 1 0 ( 図 4 ) は第 2 のデジタル / アナログ変換器 8 2 0 に入力されうる。D C 復元部 7 2 0 からのビデオ信号 4 2 5 の第 1 の部分 8 1 2 は、第 2 のアナログ / デジタル変換器 7 3 0 によりデジタル化されてデコーダ 4 2 2 に提供される。さらに、ビデオ信号 4 2 5 の第 2 の部分 8 1 0 も、アナログ / デジタル変換器 8 2 0 によりデコーダ 4 2 2 に提供される。S - V I D E O は、様々なデバイス ( 例えば、V C R、D V D プレーヤなど ) に接続するのに二つの有線アナログポートを必要とする。

#### 【 0 0 6 7 】

この第 2 のモードにおいて、デコーダ 4 2 2 は、二つのアナログ / デジタル変換器 7 3 0 および 8 2 0 からのデジタル化されたビデオ信号 7 3 2 および 8 3 2 を利用して s - v i d e o を生成してよい。アナログ / デジタル変換器 7 3 0 および 8 2 0 およびデコーダ 4 2 2 は、デジタルクロック信号 6 4 4 a - n ( 図 6 ) を受信することで動作しうるが、これは例えば 2 0、2 1、2 2、2 3、2 4、2 5、2 6、2 7、2 8、2 9、あるいは 3 0 M H z であってよい。幾らかの実施形態においては、ビデオ信号の第 1 の部分 8 1 2 は、ビデオ信号 4 2 5 の Y - チャネルであってよく、ビデオ信号 4 2 5 の第 2 の部分 8 1 0 は、ビデオ信号の彩度チャネル ( chroma channel ) であってよい。

#### 【 0 0 6 8 】

コンポーネントビデオ信号を生成するのに利用されうる三つのモードの第 3 のものを、図 9 との関連で示す。第 3 のデコーダモードは、第 2 および第 3 の D C 復元部 9 3 0 および 9 2 0、およびマルチプレクサ 9 4 0 に加えて、第 2 のモードで記載された全ての部材を含みうる。ビデオ信号 4 2 5 は、第 1 の部分 9 1 4、第 2 の部分 9 1 0、および第 3 の部分 9 1 2 に分割されうる。ビデオ信号 4 2 5 の第 1 の部分 9 1 4 ( 図 4 ) は、マルチプレクサ 4 2 4 により提供されえ、D C 復元部 7 2 0 へ提供されえ、ビデオ信号 4 2 5 の信号の第 2 の部分 9 1 0 は ( 図 4 ) D C 復元部 9 3 0 へ提供されえ、ビデオ信号 4 2 5 の信号の第 3 の部分 9 1 2 は ( 図 4 ) D C 復元部 9 2 0 へ提供されうる。コンポーネントビデオ信号は、様々なデバイス ( 例えば、V C R、D V D プレーヤなど ) に接続するのに三つ

10

20

30

40

50

の有線アナログポートを必要とする。

【 0 0 6 9 】

D C 復元部 7 2 0 からのビデオ信号 4 2 5 の第 1 の部分 9 1 4 は、アナログ / デジタル変換器 7 3 0 によりデジタル化されてデコーダ 4 2 2 に提供される。D C 復元部 9 3 0 および 9 2 0 からのビデオ信号 4 2 5 の第 2 および第 3 の部分 9 1 0 および 9 1 2 は、アナログ / デジタル変換器 8 2 0 により選択的にデジタル化されて (例えば、マルチプレクサ 9 4 0 を利用して選択されて) デコーダ 4 2 2 に提供される。マルチプレクサ 9 4 0 は、デコーダ 4 2 2 から制御信号 4 2 9 を受信して、アナログ / デジタル変換器 8 2 0 によりビデオ信号 4 2 5 の第 2 および第 3 の部分 9 1 0 および 9 1 2 を時分割多重化する。

【 0 0 7 0 】

第 3 のモードにおいて、幾らかの実施形態においては、デコーダ 4 2 2 が二つのアナログ / デジタル変換器 7 3 0、8 2 0 からのデジタル化されたビデオ信号 7 3 2 および 8 3 2 を利用してコンポーネントビデオ信号を生成する。アナログ / デジタル変換器 7 3 0 および 8 2 0 およびデコーダ 4 2 2 は、デジタルクロック信号 6 4 4 a - n (図 6) を受信することで動作するが、これは例えば 2 0、2 1、2 2、2 3、2 4、2 5、2 6、2 7、2 8、2 9、あるいは 3 0 M H z であってよい。さらに、デコーダ 4 2 2 は、出力フィードバック信号 4 2 7 を利用して D C 復元部 7 2 0、9 3 0、および 9 2 0 の動作を制御する。幾らかの実施形態においては、ビデオ信号 4 2 5 の第 1、第 2、第 3 の部分 9 1 4、9 1 0、および 9 1 2 は、それぞれビデオ信号 4 2 5 の Y - チャネル、U - チャネル、および V - チャネルであってよい。

【 0 0 7 1 】

様々な共通に入手可能な種類の D C 復元部、デジタル / アナログ変換器およびビデオデコーダを利用して上述の機能を簡略に行うこともできるが、詳細な動作が本開示から省かれていることを理解されたい。

【 0 0 7 2 】

図 1 0 に示す一実施形態において、三つ全てのデコーダモードは二つのデコーダ 4 2 2 および三つのアナログ / デジタル変換器 7 3 0 あるいは 8 2 0 を利用して実装できる。図 1 0 に記載の配置により、デュアルデコーダ 4 2 0 (図 4) は、少なくとも二つのビデオ信号 (つまり各デコーダから一つのビデオ信号) 4 2 6 および 4 2 8 を、該三つのモードのうち任意の二つに対応するよう略同時に、提供することができる。

【 0 0 7 3 】

図 1 0 は、二つのデコーダを利用して、二つのコンポジットビデオ信号、一つのコンポジットおよび一つの s - v i d e o、一つのコンポジットおよび一つのコンポジットビデオ信号、あるいは二つの s - v i d e o のいずれかを生成する例示的実装例を示す。図 1 0 に示す例示的実装は、一式のマルチプレクサ 1 0 2 0、1 0 2 2、1 0 2 3、1 0 2 5、1 0 2 1、1 0 2 4、1 0 2 6、1 0 2 7、および 1 0 2 8、三つのアナログ / デジタル変換器 7 3 0、8 2 0、および 1 0 1 0、四つの D C 復元部 7 2 0、7 2 1、9 3 0、9 2 0、デマルチプレクサ 1 0 4 0、および二つのデコーダ 4 2 2 a および 4 2 2 b を含む。

【 0 0 7 4 】

図 1 0 の例示的実装は、二つのコンポジットビデオ信号を生成する際に利用されると、以下のように動作する。第 1 のビデオ信号 4 2 5 a がマルチプレクサ 1 0 2 0 の第 1 の入力に連結され、第 2 のビデオ信号 9 1 4 がマルチプレクサ 1 0 2 4 の第 2 の入力に連結される。マルチプレクサ 1 0 2 0 の第 1 の入力はマルチプレクサ 1 0 2 1 の第 4 の入力に選択・出力され、D C 復元部 7 2 0 に入力される。マルチプレクサ 1 0 2 4 の第 2 の入力は D C 復元部 7 2 1 に選択・出力される。実装の残りの部分の動作は、コンポジットビデオ信号が生成される図 7 との関連で記載されたものと類似している。例えば、D C 復元部 7 2 0 および 7 2 1、アナログ / デジタル変換器 7 3 0 および 1 0 1 0、およびデコーダ 4 2 2 a および 4 2 2 b は、図 7 に記載されているようにコンポジットビデオ信号を生成するのと類似した様式で動作する。

## 【 0 0 7 5 】

図 1 0 に示す例示的実装を利用した一つのコンポジットおよび一つの s - v i d e o あるいは一つのコンポジットおよび一つのコンポーネントビデオ信号の生成は、上述の二つのコンポジットビデオ信号の生成と類似した様式で行われる。例えば、s - v i d e o を生成するのに利用される、ビデオ信号 4 2 5 の第 1 および第 2 のビデオ信号部分 8 1 2 および 8 1 0 がマルチプレクサ 1 0 2 2 および 1 0 2 6 に提供される。マルチプレクサ 1 0 2 2 および 1 0 2 6 の出力は、アナログ / デジタル変換器 7 3 0 および 8 2 0 で処理されるべきビデオ信号を選択するマルチプレクサ 1 0 2 1 および 1 0 2 7 に提供される。同様に、マルチプレクサ 1 0 2 4 は、アナログ / デジタル変換器 1 0 1 0 が処理すべきビデオ信号を選択する。様々な動作モードについてのマルチプレクサ入力選択は、以下に示す表 1 において詳述されている。

10

## 【 0 0 7 6 】

図 1 0 に示す例示的実装により、さらに、二つの s - v i d e o 4 2 6 および 4 2 8 が生成される。この機能を提供すべく、第 1 の周波数および第 1 の位相（例えば 2 0 M H z ）で動作している第 1 のクロック信号 6 4 4 a がアナログ / デジタル変換器 7 3 0 およびデコーダ 4 2 2 a へ提供される。第 1 のクロック信号から 1 8 0 度ずれた位相の（例えば位相が 1 8 0 度ずれた 2 0 M H z ）第 2 の周波数で動作してよい第 2 のクロック信号 6 4 4 b がアナログ / デジタル変換器 1 0 1 0 およびデコーダ 4 2 2 b へ提供されう。第 1 のクロック信号の周波数の略二倍である第 3 の周波数であり第 1 のクロック信号と同じ位相である（ 4 0 M H z ）第 3 のクロック信号 6 4 4 c がアナログ / デジタル変換器 8 2 0 へ提供されう。クロック信号 6 4 4 b はマルチプレクサ 1 0 3 0 に提供されてクロック信号 6 4 4 b をマルチプレクサ 1 0 2 6 および 1 0 2 7 に選択的に連結する。マルチプレクサ 1 0 2 6 および 1 0 2 7 の選択された入力にクロック信号を連結することで、アナログ / デジタル変換器 8 2 0 上のビデオ信号入力 8 1 0 a - c に時分割多重化を行うことができる。クロック信号 6 4 4 a は、時分割されたビデオ信号を非多重化すべくデマルチプレクサ 1 0 4 0 に連結される。時分割多重化動作のより明瞭な説明を図 1 1 との関連で行う。

20

## 【 0 0 7 7 】

図 1 1 は、二つのビデオ信号 4 2 5 の二つの第 2 の部分 8 1 0 を時分割多重化する例示的タイミング図を示す。動作を時分割多重化することで、第 4 のアナログ / デジタル変換器の必要性がなくなってデュアルビデオプロセッサ 4 0 0 の全コストが削減されう。図 1 1 のタイミング図は、第 1、第 2、および第 3 のクロック信号 6 4 4 a、6 4 4 b、および 6 4 4 c それぞれに対応する三つのクロック信号、および三つのアナログ / デジタル変換器 7 3 0、1 0 1 0、および 8 2 0 の出力を含む。図に示すように、クロック 1 およびクロック 2 はクロック 3 の半分の周波数で動作し、クロック 3 の立下りエッジで変化する。

30

## 【 0 0 7 8 】

示されているように、T 1 と T 4 との間の期間において、クロック 6 4 4 a（クロック 1）が完了し、第 1 のビデオ信号（S 0）の第 1 の部分 8 1 2 a - c に対応するアナログ / デジタル変換器 7 3 0（ADC 1）の出力はデコーダ 4 2 2 a による処理用に入手可能である。期間 T 2 の始まりのクロック 3 の立上がりエッジにおいて、アナログ / デジタル変換器 8 2 0（ADC 3）は第 2 のビデオ信号（S 1）の第 2 の部分 8 1 0 a - c の処理を開始し、期間 T 3 の終わりに処理を完了する。

40

## 【 0 0 7 9 】

期間 T 3 の始まりに、アナログ / デジタル変換器 8 2 0（ADC 2）は、ビデオ信号 S 1 の第 1 の部分 8 1 2 a - c の処理を開始して、期間 T 6 の終わりに完了する。ビデオ信号 S 1 の第 1 の部分 8 1 2 a - c に対応する ADC 2 の出力は、期間 T 6 の終わりにデコーダ 4 2 2 b による処理用に入手可能となる。期間 T 4 の始まりのクロック 3 の立上がりエッジにおいて、アナログ / デジタル変換器 8 2 0（ADC 3）はビデオ信号 S 0 の第 2 の部分 8 1 0 a - c の処理を開始し、期間 T 5 の終わりに処理を完了する。

50

## 【 0 0 8 0 】

故に、期間 T 6 の終わりには、二つのビデオ信号 S 0 および S 1 の二つの部分が、三つのアナログ / デジタル変換器のみを利用することで処理完了となる。

## 【 0 0 8 1 】

期間 T 5 と T 6 の間のクロック 3 の立上がりエッジにおいて、デマルチプレクサ 1 0 4 0 は、ビデオ信号 S 0 の第 2 の部分 8 1 0 a - c の出力を A D C 3 からデコーダ 4 2 2 a に提供することで、処理済ビデオ信号 4 2 6 を生成する。同時に、ビデオ信号 S 1 の第 2 の部分 8 1 0 a - c がアナログ / デジタル変換器 8 2 0 ( A D C 3 ) における処理用に選択され、期間 T 7 の終わりに入手可能となる。

## 【 0 0 8 2 】

上述は、三つのアナログ / デジタル変換器 7 3 0、1 0 1 0、および 8 2 0 を利用して二つの s - v i d e o 4 2 6 および 4 2 8 を生成する一実施形態を開示している。以下の表 1 は、コンポジット ( c s t )、コンポーネント ( c m p ) および s - v i d e o ( s v i d ) の様々な組み合わせを生成すべく対応するマルチプレクサに提供されうる様々な例示的選択信号のまとめである。

【表 1】

ビデオ 1	ビデオ 2	M0_sel	M1_sel	M2_sel	M3_sel	M4_sel	M5_sel	M6_sel	M7_sel
425a (cst)	425e (cst)	0,0	X,X	1,1	X,X	X,X	0,1	X,X	X,X
425a (cst)	910,912,914 (cmp)	0,0	X,X	1,1	X,X	X,X	1,0	X,X	1,429
425b (cst)	812a,810a (svid)	0,1	X,X	1,1	X,X	0,0	0,0	0,0	0,0
812a,810a (svid)	812b,810b (svid)	X,X	0,0	0,0	X,X	0,1	0,0	0,644b	0,0
812a,810a (svid)	812c,810c (svid)	X,X	0,0	0,0	X,X	1,0	0,0	644b,0	0,0
812b,810b (svid)	812c,810c (svid)	X,X	0,1	0,0	X,X	1,0	0,0	644b,1	0,0

## 【 0 0 8 3 】

デュアルデコーダ 4 2 0 はさらに、ビデオカセットレコーダ ( V C R ) から受信できる不安定なアナログあるいはデジタル信号を扱うよう構成できる。不安定な信号は V C R により、早送り ( fast forwarding ) モード、巻き戻し ( fast rewinding ) モード、あるいは休止 ( pausing ) モードなどの様々な動作モードにより生成されうる。デュアルデコーダ 4 2 0 はこのような状況にあっても良好な品質の出力信号を提供すべくこれら種類の信号の処理をできてよい。

## 【 0 0 8 4 】

不安定なビデオ信号は、V C R が生成する不安定な s y n c 信号により生じうる。不安定な s y n c 信号を処理するのに適切な技術の一つは、不安定なビデオ信号をバッファすることである。例えば先入れ先出し ( F I F O ) バッファをデコーダの出力付近に配置することができる。第一に、不安定な s y n c 信号を参照として利用してデコーダ出力データを F I F O バッファに書き込んでよい。s y n c 信号およびクロックは、デコーダ内の論理ブロックから生成あるいは再生成されて、その後そのような動作モードになった場合に、F I F O バッファからデータを読み出すのに利用されうる。故に、不安定なビデオ信号は安定した s y n c 信号とともに出力されうる。全ての他の動作シナリオあるいは動作モードにおいて、F I F O バッファはバイパスされえ、出力は F I F O の入力と同じになりうる。

## 【 0 0 8 5 】

または、F I F O バッファをオフチップメモリに実装すると、不安定な s y n c 信号が適切に処理されうる。例えば、不安定な s y n c 信号が削除されると、デコーダは 2 - D

モードに配置されることでオフチップメモリ利用が減少しうる。通常3D動作に利用されるオフチップメモリ300の大半の部分がフリーになることになり、これを上述のFIFOバッファの実装に利用することもできる(つまり、少なくとも一つのフルデータベクタに等しいものが、フリーのメモリスペースとして利用可能となる)。さらに、オフチップメモリ内のFIFOバッファは、フルフレーム用にピクセルを記憶しうるので、たとえ読み出しレートと書き込みレートとが整合しなくても、出力においてフレームは繰り返されるか間引かれる(drop)かされる。特定のフレームあるいはフレーム内のフィールドの繰り返しあるいは間引きにより、依然としてシステムは程々に良好な画像を表示させることが可能となる。

#### 【0086】

10

図12は、ビデオパイプラインのフロントエンド540の例示的機能を詳述する。特に、チャンネルセクタ1212は、多数のビデオ源ストリーム512から四つのチャンネルを選択するよう構成されうる。四つのチャンネルはフロントエンド540の4つのパイプラインステージに沿って処理されうる。幾らかの実施形態において、四つのチャンネルは、主要ビデオチャンネル、PIPチャンネル、オンスクリーンディスプレイ(OSD)チャンネル、およびデータ計測(data instrumentation)あるいはテストチャンネルを含みうる。

#### 【0087】

フロントエンド540は任意のチャンネルの様々なビデオ処理ステージ1220a、1220b、1230、および1240を実装しうる。幾らかの実施形態において、様々なチャンネルは、該様々なチャンネルの処理能力を増加させるべく任意のほかのステージからの一以上の資源を共有しうる。ビデオ処理ステージ1220aおよび1220bが提供しうる幾らかの機能例は、最大画質を生成するのに利用可能なノイズ低減およびデインタレースを含みうる。ノイズ低減およびデインタレース機能は、さらにオフチップメモリ300を共有しえ、このような次第で、メモリは共有メモリステージ1260と称され、これについては図13および15との関連において詳述する。図面を混ませない目的から、図12において共有メモリステージ1260はチャンネル1に対応する処理ステージの一部として記載されている。しかし、一以上の共有メモリステージ1260はフロントエンド540のチャンネルパイプラインの任意のものの一部であってよいことは理解されるべきである。

20

#### 【0088】

ノイズ低減により、インパルスノイズ、ガウスノイズ(空間および時間両方)、ブロックノイズおよびモスキートノイズなどのMPEGアーチファクトが削除されうる。デインタレースは、動きが存在するときエッジ適応補間を利用することで失われたラインを補間することで、インタレースされたビデオからプログレッシブビデオを生成することを含みうる。その代わりに、デインタレース機能は、動きに基づき適応可能なように時間的および空間的補間の組み合わせを利用しうる。ノイズ低減器およびデインタレーサ双方は、3Dドメインで動作でき、オフチップメモリのフレームフィールドの記憶を要しうる。故に、デインタレーサおよびノイズ低減器は、オフチップメモリへのアクセスに利用しうるメモリインタフェース530に対してクライアントとして振舞いうる。幾らかの実施形態においては、ノイズ低減器およびデインタレーサは、メモリ空間を最大化し最大に効率的な方法でデータ処理を行うべくオフチップメモリを共有しうるが、これは共有メモリステージ1260に示されている通りである。このプロセスを図13および15との関連で詳述する。

30

40

#### 【0089】

三つのビデオ処理ステージ1220a、1220b、および1230は、ビデオ信号を望ましいドメインに変換する形式変換を実行してよい。例えば、この種類の変換を利用して入力ビデオ信号ストリームを601あるいは709色空間においてYC4:2:2形式に変更してよい。

#### 【0090】

フロントエンド540はさらに、データ計測機能を実行すべく計測パイプライン(instrumentation pipeline)1240を提供してよい。計測パイプライン1240は、例えば

50

、アクティブビデオの開始および終了ピクセルおよびライン位置を見つけるべく、あるいは制御可能な位相サンプラ (phase sampler) (ADC) アップストリームがある際に好ましいサンプルクロック位相を見つけるべく、利用されうる。これら動作を行うことで、解像度、レターボクシング (letter-boxing)、ピラーボクシング (pillar-boxing) などの入力チャネルパラメタの自動検知が手助けされうる。さらには、このようなチャネルパラメタの検知は、それらをマイクロコントローラあるいは任意の他の適切な処理部材によりスケールリングあるいはアスペクト比変換などのフィーチャ制御に利用する支援をしうる。フロントエンド540は、さらに、syncビデオ信号装置機能を四つ全てのチャネルで実行して、sync信号の損失、クロック信号の損失、あるいは範囲外のsyncあるいはクロック信号を検知することができる。これら機能を利用して、マイクロコントローラあるいは任意の他の適切な処理部材を利用して電源管理制御を行うこともできる。

10

#### 【0091】

フロントエンド540の終わりに、一式のFIFOバッファ1250a-cがビデオストリームをサンプルして、サンプルされたビデオ信号1252、1254、および1256を提供することができ、これは、フロントエンド540とフレームレート変換およびスケールリング550 (図5) とのパイプラインステージ間で、選択されたチャネルのリタイミングに利用されてもよい。

#### 【0092】

共有メモリステージ1260のさらなる詳細を図13および15の関連において記載する。特に、図13に示すように、共有メモリステージ1260は、ノイズ低減器330およびデインタレーサ340の機能を少なくとも含みうる。これら機能両方は、高品質画像を生成するのにフレーム記憶が必要となる時間的機能 (temporal function) である。様々なメモリアクセスブロック (メモリクライアント) にオフチップメモリ300を共有させることで、オフチップメモリ300のサイズおよびオフチップメモリ300とインタフェースするのに必要な帯域幅を低減することができる。

20

#### 【0093】

ノイズ低減器330は、3-Dモードにインタフェースされた入力の中の二つのフィールド上で動作しうる。ノイズ低減器330が動作しうるこれら二つのフィールドは、生存フィールド (live field) 1262および、生存フィールド1262の前二つのフィールドを含みうる。デインタレーサ340は、3-Dモードの三つのインタレースされたフィールド上で動作しうる。三つのフィールドは、生存フィールド1262、直前のフィールド1330、および直前のフィールドの前のフィールド332 (つまり、前の前のフィールド332) を含みうる。

30

#### 【0094】

図13および図14に示すように、フィールドバッファ1310および1312は、ノイズ低減器330およびデインタレーサ340により共有されうる。ノイズ低減器330は、オフチップメモリ300から、フィールドバッファ1310から前の前のフィールド332を読み出して、ノイズ低減された出力322を提供すべく生存フィールド1262とともに処理してよい。ノイズ低減出力322は、オフチップメモリ300内、フィールドバッファ1312へと書き込まれうる。デインタレーサ340は、直前のフィールド1330をオフチップメモリ300のフィールドバッファ1312から、および直前のフィールドの前のフィールド332をオフチップメモリ300のフィールドバッファ1310から読み出して、読み出したフィールドを生存フィールド1262あるいはノイズ低減出力322とともに処理して、デインタレースされたビデオ1320を出力として提供してよい。

40

#### 【0095】

例えば図14に示すように、生存フィールド1262 (FIELD1) は、ノイズ低減器330に提供されて、第1期間 (T1) 中にノイズ処理済出力322を出力しうる。ノイズ低減器330がFIELD1の処理を完了した後あるいは前に (つまり、期間T2中に)、ノイズ低減出力322 (FIELD1) がノイズ低減器330によりデインタレー

50

サ 3 4 0 に提供されえ、あるいは（例えばノイズ低減が不要な場合）、ノイズ低減器 3 3 0 をバイパスして 1 2 6 2 を介して直接デインタレーサ 3 4 0 に提供されうる。いずれにしても、第 2 期間（期間 T 2）中、ノイズ低減出力 3 2 2（F I E L D 1）が、ノイズ低減器 3 3 0 によりオフチップメモリ 3 0 0 のフィールドバッファ 1 3 1 2 に書き込まれうる。

#### 【 0 0 9 6 】

フィールドバッファ 1 3 1 2（F I E L D 1）の出力 1 3 3 0 は、フレームの次の生存フィールド（F I E L D 2）処理中に、期間 T 2 中にデインタレーサ 3 4 0 によりオフチップメモリ 3 0 0 から読み出されうる。続いてフィールドバッファ 1 3 1 2 は、ノイズ処理済出力 3 2 2（F I E L D 2）の前（生存フィールドの前）に処理済ノイズ低減出力（F I E L D 1）を提供しうる。

10

#### 【 0 0 9 7 】

第 3 期間（つまり T 3）中、ノイズ低減器 3 3 0 が生存フィールド 1 2 6 2（F I E L D 2）の次のフィールドの処理を完了した後あるいは前に、フィールドバッファ 1 3 1 2 の生存フィールド 1 3 3 0 の前のフィールドがフィールドバッファ 1 3 1 0 に書き込まれてよい。次のノイズ低減出力 3 2 2（F I E L D 2）が、ノイズ低減出力（F I E L D 1）の代わりにフィールドバッファ 1 3 1 2 に書き込まれてよい。期間 T 3 中、フィールドバッファ 1 3 1 2 の内容はノイズ低減出力（F I E L D 2）（つまり、前の生存フィールド）であり、フィールドバッファ 1 3 1 0 の内容はノイズ低減出力（F I E L D 1）（つまり、生存フィールドの前の前のフィールド）である。

20

#### 【 0 0 9 8 】

期間 T 3 中、ノイズ低減器 3 3 0 は生存フィールド 1 2 6 2（F I E L D 3）上および生存フィールドの前の前のフィールド 3 3 2（F I E L D 1）上で動作してよい。同じ期間 T 3 中、デインタレーサ 3 4 0 は生存フィールド 1 2 6 2（F I E L D 3）あるいはノイズ低減出力（F I E L D 3）、生存フィールド 1 3 3 0 の前の生存フィールド（F I E L D 2）、および前の生存フィールドの前の生存フィールド 3 3 2（F I E L D 2）上で動作してよい。オフチップメモリ 3 0 0 をノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 間で共有すると、2 フィールドバッファ位置のみを利用することとなるが、図 3 に示すように同様の機能を提供しようと思うと典型的にはオフチップメモリ 3 0 0 で四つのフィールドバッファ位置が必要となる。

30

#### 【 0 0 9 9 】

メモリ内のフィールドバッファ位置の数を減らすことで、等しい処理能力およびより多いメモリ記憶および帯域幅を有するさらなるビデオ処理パイプラインが提供されえ、これにより少なくとも二つのチャンネルの高品質ビデオ処理が可能となる。さらには、一つの書き込みポートおよび二つの読み出しポートを利用して上述の機能を提供するので、デュアルビデオプロセッサ 4 0 0 およびオフチップメモリ 3 0 0 間のデータ転送帯域幅は減少しうる。

#### 【 0 1 0 0 】

幾らかの他の実施形態においては、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 は、各フレームの多数のフィールドライン上で動作しうる。図 1 5 に示すように、これらフィールドラインの各々は、生存フィールドラインバッファ 1 5 2 0、前の生存フィールドラインバッファ 1 5 3 0、前の前の生存フィールドラインバッファ 1 5 1 0 に記憶されうる。ラインバッファ 1 5 1 0、1 5 2 0、および 1 5 3 0 は、データ記憶およびデータアクセスに高い効率性および速度を提供しうるデュアルビデオプロセッサ 4 0 0 の記憶位置でありうる。さらに記憶空間量を減らすべく、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 が利用するラインバッファ 1 5 1 0 がノイズ低減器およびデインタレーサモジュール間で共有されうる。

40

#### 【 0 1 0 1 】

図 1 5 に図示されるように、図 1 3 および 1 4 との関連で記載された生存フィールドをフィールドバッファ 1 3 1 2 に記憶する動作に加えて、生存フィールド 1 2 6 2 がノイズ

50

低減器 3 3 0 およびデインタレーサ 3 4 0 により受信されるので、生存フィールド 1 2 6 2 も生存フィールドラインバッファ 1 5 2 0 に記憶されうる。これにより、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 は、異なる時間間隔で同時に受信される多数の生存フィールドラインにアクセスすることができる。同様に、フィールドバッファ位置 1 3 1 0 および 1 3 1 2 に記憶される内容是对應するラインバッファ 1 5 1 0 および 1 5 3 0 に移動されえ、これらが今度は各々前の生存フィールド（生存フィールドの前のノイズ低減出力）用のバッファ、および前の前の生存フィールドライン（前の生存フィールドの前のノイズ低減出力）を提供する。これにより、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 は、多数の前の生存フィールドラインおよび前の前の生存フィールドラインに同時にアクセスすることができる。フィールドラインバッファを含んだ結果、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 は多数のフィールドライン上で同時に動作しうる。その結果、ノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 は、フィールドバッファ位置 1 3 1 0 に記憶されている前の前の生存フィールドへのアクセスを共有するので、さらに対応するフィールドラインバッファ 1 5 1 0 へのアクセスを共有しうる。これにより、今度は、デュアルビデオプロセッサ 4 0 0 に必要な、あるいはそれに略近い記憶量を低減することができる。

10

#### 【 0 1 0 2 】

図 1 5 は三つのラインバッファのみを示すが、任意の数のフィールドラインバッファを提供することができることは理解されたい。特に、提供されるフィールドラインバッファの数は、デュアルビデオプロセッサ 4 0 0 で入手可能なフィールドラインバッファの数および/またはノイズ低減器 3 3 0 およびデインタレーサ 3 4 0 が必要としうる同期フィールドラインの数に依存する。しかし、任意の数のノイズ低減部およびデインタレース部を追加して、多数のフィールドライン処理を支援してよいことを理解されたい。

20

#### 【 0 1 0 3 】

例えば、各々三つの生存フィールドラインを同時に処理することのできる二つのノイズ低減器 3 3 0 および二つのデインタレーサ 3 4 0 が提供されたとすると、八個の生存フィールドラインバッファ 1 5 2 0、六つの前の生存フィールドラインバッファ 1 5 3 0、および六つの前の前の生存フィールドラインバッファ 1 5 1 0 を利用して多数のフィールドライン処理が行われえ、ここで各フィールドラインバッファの出力は、ノイズ低減器およびデインタレーサ部の対応する入力に連結されうる。実際のところ、必要となるノイズ低減器、デインタレーサ、およびオンチップ空間の数が入手可能となる場合一以上のフレームの内容はフィールドバッファに記憶できると考えられてきた。

30

#### 【 0 1 0 4 】

図 1 6 は、フレームレート変換およびスケーリングパイプライン 5 5 0（図 5）（FRCパイプライン）をより詳細に示す。FRCパイプライン 5 5 0 は、少なくともスケーリングおよびフレームレート変換機能を含みうる。特に、FRCパイプライン 5 5 0 は、スケーラスロット 1 6 3 0、1 6 3 2、1 6 3 4、および 1 6 3 6 のうち二つに代わりうるスケーリングに利用される少なくとも二つのモジュールを含みうるが、そのうち一方のスケーラは第 1 のチャンネルヘスケーリングを提供し、他方は第 2 のチャンネルヘスケーリングを提供する。この配置の利点を、図 1 7 を参照しながら明らかにする。スケーラスロット 1 6 3 0、1 6 3 2、1 6 3 4、および 1 6 3 6 のこれらスケーリングモジュールの各々は、任意のスケーリング率でアップスケールおよびダウンスケールを行う能力を持ちうる。これらスケーラはさらに、アスペクト比変換、水平非線形 3 ゾーンスケーリング、インタレース、およびデインタレースを行う回路を含みうる。幾らかの実施形態におけるスケーリングは、同期モードで行われうる（つまり、出力が入力と同期されている）、あるいは、オフチップメモリ 3 0 0 を介して行われうる（つまり、出力は入力に対してどこにでも配置されうる）。

40

#### 【 0 1 0 5 】

FRCパイプライン 5 5 0 は、さらに、フレームレート変換（FRC）の機能を含みうる。チャンネルのうち少なくとも二つは、フレームレート変換回路を含みうる。FRCを実

50

行するには、ビデオデータをメモリバッファに書き込み望ましい出力レートでバッファから読み出すべきである。例えば、フレームレートの増加は、特定のフレームが経時的に繰り返されるよう入力フレームより速く出力バッファを読み出すことにより生じる。フレームレートの減少は、特定のフレームが書き込まれるのよりも遅いレートでバッファから出力されるフレームを読み出すことで生じる（つまり、入力レートより遅くフレームを読み出す）。フレームの裂けあるいはビデオアーチファクトは、ビデオデータが入手可能な（つまり、アクティブなビデオ）期間中に特定のフレームを読み出すことで生じうる。

#### 【0106】

特に、アクティブなビデオ中のフレームの裂けビデオアーチファクトを避けるべく、一フレーム中のフィールドの途中を避けて、全入力フレームにわたりフレームの繰り返しあるいは間引きをすべきである。つまり、ビデオの不連続性は、フレームの境界においてのみ起こるべきであり（つまり、画像データが提供されない垂直あるいは水平 sync 中）、アクティブなビデオの領域内では起こるべきでない。例えばメモリインタフェース 530 がメモリにある一フレームの部分を読み出すときを制御することで、裂け目のない (tearless) 制御機構 1610 を動作させてフレーム間の不連続性を低減しうる。FRC は通常モードあるいは裂け目のないモード（つまり、裂け目のない制御機構 1610 を利用する）で行うことができる。

#### 【0107】

各第 1 および第 2 のチャンネルのスケーラスロット 1630、1632、1634、および 1636 のうち二つに配置される二つのスケーラに加えて、さらに下端スケーラ 1640 が第 3 のチャンネルにあってよい。下端スケーラ 1640 はより基本的なスケーラであり、例えば、1:1 あるいは 1:2 のアップスケールあるいは任意の必要なスケーリング率のみを行うスケーラであってよい。その代わりに、第 1 および第 2 のチャンネルのスケーラのうちいずれかは、第 3 のチャンネルにスケーリングを行ってよい。マルチプレクサ 1620 および 1622 は、少なくとも三つのチャンネルのうちいずれが、入手可能なスケーラのいずれに向けられるかを制御してよい。例えば、マルチプレクサ 1620 は、スロット 1630 あるいは 1632 のスケーラの第 1 の種類のスケーリング動作を行うチャンネル 3 を選択してよく、マルチプレクサ 1622 は、スロット 1634 あるいは 1636 のスケーラの第 2 の種類のスケーリング動作を行うチャンネル 1 を選択してよい。一つのチャンネルはさらに任意の数の入手可能なスケーラを利用することができる。

#### 【0108】

FRC パイプライン 550 はさらに、モーションジッタを低減すべくスムーズモードを含みうる。例えば、デインタレーサが、入力ビデオ信号のモードを検知するフィルムモード検知ブロックを含んでよい。ビデオ入力信号が第一の周波数で動く際（例えば 60 Hz）、より高い周波数（例えば 72 Hz）あるいはより低い周波数（例えば 48 Hz）に変換されてよい。より高い周波数に変換する場合、フレーム繰り返し指示信号がフィルムモード検知ブロックから FRC ブロックへ提供されうる。フレーム繰り返し指示信号は、第 1 群のフレーム中（例えばフレームのなかの一つ）に高く、デインタレーサが生成しうる第 2 群のデータフレーム中（例えば 4 フレーム）に低くてよい。フレーム繰り返し指示信号が高い間、FRC はフレームを繰り返すことでより高い周波数で正しいデータ列を生成してよい。同様に、より低い周波数に変換する場合、フレーム間引き指示信号がフィルムモード検知ブロックから FRC ブロックへ提供されうる。フレーム間引き指示信号が高い間、特定のフレーム群がデータ列から間引かれることで、より低い周波数で正しいデータ列が生成される。

#### 【0109】

スケーラ配置モジュール 1660 が示すように、望ましいスケーリングの種類に応じて、スケーラは様々なスケーラスロット 1630、1632、1634、および 1636 に配置される構成をとってよい。スケーラスロット 1632 および 1636 は、両方ともメモリインタフェースの後に配置されるが、スケーラスロット 1632 は、第 1 のチャンネルに行われるスケーリング動作に対応し、スケーラスロット 1636 は、第 2 のチャンネルに

10

20

30

40

50

行われるスケーリング動作に対応する。図示されるように、一つのスケーラ配置モジュール 1 6 6 0 は特定のスケーラ構成に対応する出力を選択するマルチプレクサ 1 6 2 4 を含みえ、一方、別のスケーラ配置モジュール 1 6 6 0 はマルチプレクサを含まなくてよいが、代わりに別のビデオパイプライン部材に直接連結されるスケーラの出力を持ちうる。マルチプレクサ 1 6 2 4 は、二つのスケーラスロットのみを利用して三つの動作モードを実装する柔軟性を提供する（図 1 7 により詳細に示す）。例えば、マルチプレクサ 1 6 2 4 が提供される場合、スロット 1 6 3 0 に配置されるスケーラは、ダウンスケールあるいはアップスケールを提供するメモリに連結されえ、さらにはマルチプレクサ 1 6 2 4 に連結されうる。メモリ動作をしなくてよい場合、マルチプレクサ 1 6 2 4 はスケーラスロット 1 6 3 0 の出力を選択してよい。または、メモリ動作をする必要がある場合、スケーラスロット 1 6 3 0 のスケーラはデータをスケールしてよく、マルチプレクサ 1 6 2 4 は、データをアップスケールあるいはダウンスケールし、スケーラスロット 1 6 3 2 に配置される別のスケーラからデータを選択する。そしてマルチプレクサ 1 6 2 4 の出力は、ブランクタイムオブティマイザ 1 6 5 0 などの別のビデオパイプライン部材に提供されうるが、これを図 1 8 との関連で詳述する。

10

#### 【 0 1 1 0 】

図 1 7 に示すように、スケーラ配置モジュール 1 6 6 0 は、少なくとも入力 F I F O バッファ 1 7 6 0、メモリインタフェース 5 3 0 への接続、三つのスケーラ配置スロット 1 7 3 0、1 7 3 4、および 1 7 3 6 のうちの少なくともいずれか、書き込み F I F O バッファ 1 7 4 0、読み出し F I F O バッファ 1 7 5 0、および出力 F I F O バッファ 1 7 7 0 を含みうる。スケーラ配置スロットは、図 1 6 に示すスロットに対応してよい。例えば、スケーラ配置スロット 1 7 3 4 はスロット 1 6 3 0 あるいは 1 6 3 4 に対応してよく、同様にスケーラ配置スロット 1 7 3 0 はスロット 1 6 3 0 に対応してよいが、これは上述のようにマルチプレクサ 1 6 2 4 を利用することでスロット 1 6 3 0 がスケーラ配置スロット 1 7 3 0 および 1 7 3 4 の機能を行うことができるようになる。一つまたは二つのスケーラが、三つのうち任意の一つまたは二つのスケーラ配置スロット 1 7 3 0、1 7 3 4、あるいは 1 7 3 6 に、メモリインタフェース 5 3 0 に対して配置されてよい。スケーラ配置モジュール 1 6 6 0 は F R C パイプライン 5 5 0 の任意のチャンネルパイプラインのうちの一部であってよい。

20

#### 【 0 1 1 1 】

同期モードを行う場合、スケーラがスケーラ配置スロット 1 7 3 0 に配置されうる。このモードにおいて、F R C はシステムに存在せず、特定の F R C チャンネルパイプラインによるメモリアクセスの必要がなくなる。このモードにおいては、出力 v - s y n c 信号は入力 v - s y n c 信号にロックされうる。

30

#### 【 0 1 1 2 】

スケーラは代わりにスケーラ配置スロット 1 7 3 4 内に配置されうる。F R C が必要であり入力データがダウンスケールされるべき場合には、スケーラはスロット 1 7 3 4 に配置されるのが望ましい。メモリに書き込む前に入力データをダウンスケールすると（つまりより小さいフレームサイズが望ましいであろう場合）、結果として、必要とされるメモリ記憶量が減らされる。より少ないデータがメモリに記憶されうるので、出力データ読み取りレートが減少し、これによりさらに、必要とされる全メモリ帯域幅が減らされ（またコストも減らされ）、より効率的なシステムが提供される。

40

#### 【 0 1 1 3 】

別のシナリオにおいては、スケーラはスケーラ配置スロット 1 7 3 6 に配置されうる。F R C が必要であり入力データがアップスケールされるべき場合には、スケーラはスロット 1 7 3 6 に配置されるのが望ましい。データは読み出される出力データよりも低いレートでメモリに提供されうる（つまり、フレームサイズが出力よりも入力で小さい）。また、より小さいフレームを記憶してその後にスケーラを出力で利用してフレームサイズを増加させることで、より少ないデータをメモリに書き込みうる。例えば一方でスケーラがスロット 1 7 3 4 のメモリの前に配置され、入力データをアップスケールするのに利用する

50

場合、より大きなフレームがメモリに記憶され、より広い帯域幅が必要となろう。しかしながら、この場合、スケーラをメモリの後に配置することで、より小さなフレームが最初にメモリに記憶されることになり（より狭い帯域幅を消費する）、これは後に読み出されアップスケールされうる。

#### 【0114】

二つの別個のスケーラ配置モジュール1660において二つの独立したスケーラがありうるので、第1および第2のチャンネルについては、これらのスケーラ配置モジュール1660の両方にメモリアクセス要件がある場合、それらのいずれかが高い帯域幅を要求し、他方は低い帯域幅メモリアクセスを要求しうる。ブランクタイムオプティマイザ（BTO）マルチプレクサ1650は、メモリ大気幅を減らし、任意の数のチャンネルに記憶フィールドラインを共有させるべく、一以上の記憶バッファ（一以上のフィールドラインを記憶するのに十分な大きさを持つ）を提供して、これによりメモリ記憶要件を減らしうる。

10

#### 【0115】

図18は、BTOマルチプレクサ1650（図16）の動作の例示である。図18に示すように、第1のチャンネル（主要チャンネル）は、スクリーン1810の大部分を占め、第2のチャンネル（PIP）はスクリーン1810のより小さな部分を示す。その結果、PIPチャンネルはより小さいアクティブデータを持ちえ、同じ時間間隔において主要チャンネルよりも少ないメモリアクセスを要するので、より狭い帯域幅を要する。

#### 【0116】

例えば、1フレーム内の一つのフィールドラインが16ピクセルを含む場合、PIPチャンネルは、そのフレームの全フィールドの4ピクセルを占めうるが、主要チャンネルは残りの12ピクセルを占めうる。故にPIPチャンネルが4ピクセルを処理するのにメモリアクセスする際に要する時間量は、主要チャンネルのものより長いので、メモリアクセスタイムライン1840（つまりPIPがより大きなブランク時間間隔を有する）が示すようにより狭い帯域幅を要する。故に、必要とされるメモリ帯域幅を減らすべく、PIPチャンネルは実質的により遅いレートでメモリアクセスして主要チャンネルに残りの帯域幅を使わせうる。

20

#### 【0117】

BTOマルチプレクサ1650は、異なるチャンネルのメモリアクセスの際に、様々なクロックレートを利用するよう構成されうる。例えば、より遅いクロックレートを特定のチャンネルに適用したい場合、BTOマルチプレクサ1650は、一つのクロックレート1844を利用してメモリアクセspbロック（クライアント）1820（つまりPIPチャンネル）から要求されたデータを受信して、データをフィールドライン記憶バッファに記憶し、（より遅くてよい）第2のクロックレート1846を利用してメモリアクセスしうる。より遅いクロックレートを利用してメモリアクセスすべくフィールドラインバッファを利用するのではなく、クライアントが高いクロックレートを利用して直接メモリアクセスするのを防ぐことで、帯域幅要件を減らすことができる。

30

#### 【0118】

BTOマルチプレクサ1650は、異なるチャンネルフィールドラインバッファの共有を実現することで、さらにオフチップメモリ300が必要とする記憶量を減らしうる。こうすることでBTOマルチプレクサ1650は、共有されたフィールドラインバッファを利用して、ディスプレイの一部を共有する異なるチャンネルをブレンドあるいはオーバーレイを行うことができる。

40

#### 【0119】

BTOマルチプレクサ1650の出力は、色処理およびチャンネルブレンドビデオパイプライン560（図5）へ提供されてよい。図19は、色処理およびチャンネルブレンド（CPCB）ビデオパイプライン560をさらに詳細に示す。CPCBビデオパイプライン560は、少なくとも、サンブラ1910、視覚処理およびサンプルモジュール1920、オーバーレイエンジン2000、補助チャンネルオーバーレイ1962、さらなる主要および補助チャンネルスケーリングおよび処理モジュール1970および1972、署名アキュムレ

50

ータ 1990、およびダウンスケラ 1980を含む。

【0120】

CPCBビデオパイプライン560の機能は、ルマ(luma)およびクロマ(chroma)エッジ強調、ブルーノイズ形成マスクによるフィルムグレイン生成および追加による画像の強調などのビデオ信号特徴の向上を少なくとも含む。さらに、CPCBビデオパイプライン560は、少なくとも二つのチャンネルをブレンドすることができる。ブレンドされたチャンネルの出力は選択的に第3のチャンネルとブレンドされて、三つのチャンネルがブレンドされた出力および二つのチャンネルがブレンドされた出力を提供しうる。

【0121】

図21に示すように、CMU1930は、CPCBビデオパイプライン560のオーバーレイエンジン2000部分に含まれ、少なくとも一つのビデオ信号特徴を向上させうる。ビデオ信号特徴は、画像の適応コントラスト強調2120、輝度、コントラスト、色相および彩度調節を含み、局所的な色のインテリジェントリマップ(intelligent remapping of color locally)2130、色相および輝度を変えないインテリジェント彩度制御(intelligent saturation control)、ルックアップテーブル2150および2160によるガンマ制御、および望ましい色空間への色空間変換(CSC)2110を含む。

【0122】

CMU1930のアーキテクチャは、CMUに任意の形式でビデオチャンネル信号1942を受信させ、出力1932を任意の他の形式に変換させる。CMUパイプラインの前にあるCSC2110はビデオチャンネル信号1942を受信して、任意の可能性のある3色空間をビデオ色処理空間に変換しうる(例えば、RGBをYCbCrへ変換)。さらに、CMUパイプラインの終わりのCSCは、色処理空間から出力3色空間に変換しうる。包括処理機能2140を利用して、輝度、コントラスト、色相および/または彩度を調節しうるし、出力CSCと共有されうる。CSCおよび包括処理機能2140はマトリクス乗算演算を行うので、二つのマトリクス乗算器を一つに組み合わせてもよい。この種類の共有は、二つのマトリクス乗算演算を組み合わせた後の最後の係数を予め算出することで行われうる。

【0123】

CPCBビデオパイプライン560はさらに、特定の数のビットに、ディスプレイデバイスが必要としうるディザ処理を施してよい。少なくとも一つのチャンネル出力のインタレーサも提供されてよい。CPCBビデオパイプライン560はさらに、デバイスに表示されうるチャンネル出力の少なくとも一つに対して制御出力(Hsync、Vsync、Field)を生成しうる。さらに、CPCBビデオパイプライン560は、輝度、コントラスト、色相および彩度調節を包括的に、出力チャンネルの少なくとも一つに対して行い、出力チャンネルの少なくとも一つに対して、さらなるスケールリングおよびFRCを提供しうる。

【0124】

図16および19に戻ると、FRCパイプライン550からのチャンネル出力1656、1652、および1654がCPCBビデオパイプライン560に提供される。第1のチャンネル1656は、第1のチャンネル1656上のアップサンプリングビデオ信号のサンプル1910を利用しうる第1の経路に沿って処理され、サンプル1910の出力1912は、主要なチャンネルオーバーレイ1960および補助チャンネルオーバーレイ1962の両方に提供されて、出力の少なくとも一つのブレンド画像を生成しうる。第2のチャンネル1652は、モジュール1920に対して視覚処理およびサンプリングを行う第2の経路に沿って処理されうる。視覚処理およびサンプリングモジュール1920の出力は(ビデオ信号をアップサンプルしうるが)、ビデオオーバーレイ1940(あるいはオーバーレイエンジン2000)に入力されて第3のチャンネル1654(サンプル1910によっても実行される)を出力とともにブレンドあるいは配置しうる。オーバーレイエンジン2000の機能は図20を参照しながら詳述する。

【0125】

10

20

30

40

50

ビデオオーバーレイの出力 1 9 4 2 (第 2 のビデオチャンネル信号 1 6 2 5 とオーバーレイされた第 1 のビデオチャンネル信号 1 6 2 3 であってよい) は、C M U 1 9 3 0 を介して主要なチャンネルオーバーレイ 1 9 6 0 に提供されてよく、さらにマルチプレクサ 1 9 5 0 に提供されてよい。ビデオオーバーレイの出力 1 9 4 2 を受信することに加えて、マルチプレクサ 1 9 5 0 はさらに視覚処理およびサンプリングモジュール 1 9 2 0 およびサンブラ 1 9 1 0 を受信してよい。マルチプレクサ 1 9 5 0 は、どのビデオ信号入力を補助チャンネルオーバーレイ 1 9 6 2 に提供するか選択するよう動作してよい。または、マルチプレクサ 1 9 5 1 は、マルチプレクサ 1 9 5 0 の出力あるいは C P U 1 9 3 0 の出力 1 9 3 2 のいずれかを選択して、補助チャンネルオーバーレイ 1 9 6 2 へビデオ信号出力 1 9 3 4 として提供してよい。処理部を主要なチャンネルオーバーレイおよび補助チャンネルオーバーレイの前に配置することで、同じビデオ信号が主要チャンネルオーバーレイおよび補助チャンネルオーバーレイに提供させる。1 9 7 0 および 1 9 7 2 によるさらなる処理の後、同じビデオ信号 (V I) は同時に 1) 主要出力 1 9 7 4 への主要な出力信号としての表示用に出力、および 2) 補助出力 1 9 7 6 への補助出力信号としての表示用あるいは記憶用に出力される前にさらにダウンスケールされうる。

#### 【 0 1 2 6 】

主要な出力 1 9 7 4 および補助出力 1 9 7 6 両方についてデータ選択を独立して制御するべく、第 1 のビデオチャンネル信号 1 9 3 2 および第 2 のビデオチャンネル信号 1 9 3 4 を独立して第 1 および第 2 のビデオチャンネルオーバーレイモジュール 1 9 4 0 から選択することで、主要チャンネルおよび補助チャンネルを形成しうる。補助チャンネルオーバーレイモジュール 1 9 6 2 は、第 1 のビデオチャンネル信号 1 6 5 2、第 2 のビデオチャンネル信号 1 6 5 4、あるいはオーバーレイされた第 1 および第 2 のビデオチャンネル信号 1 9 4 2 を選択しうる。C M U 1 9 3 0 は第 1 のビデオチャンネル信号 1 6 5 2 に適用され、第 2 のビデオチャンネル信号 1 6 5 4 は、第 1 および第 2 のビデオチャンネル信号が同じあるいは異なる色空間を有するか否かに応じてマルチプレクサ 1 9 5 1 により C M U 1 9 3 0 の前あるいは後に選択されうる。さらに、第 1 および第 2 のビデオチャンネル信号 1 9 3 2 および 1 9 3 4 は、独立して第 3 のビデオチャンネル信号 1 6 5 6 とブレンドされうる。

#### 【 0 1 2 7 】

C P C B ビデオパイプライン 5 6 0 はさらに、ダウンスケーラ 1 9 8 0 が表す補助出力 1 9 7 6 にスケーリングおよび F R C を施しうる。このフィーチャは、主要な出力 1 9 7 4 から別個の補助出力 1 9 7 6 を提供するのに必要な場合がある。より高い周波数クロックがスケーリングクロックとして選択されるべきなので、C P C B ビデオパイプライン 5 6 0 は主要な出力クロックをランオフしてよい、というのも補助クロック周波数は主要クロックのもの以下だからである。ダウンスケーラ 1 9 8 0 はさらに、インタレースされたデータを生成する能力を有してよく、これは F R C および出力データフォーマットを経て補助出力として利用されうる。

#### 【 0 1 2 8 】

第 1 のチャンネルが S D T V ビデオ信号であり、主要な出力 1 9 7 4 が H D T V 信号であり補助出力 1 9 7 6 が S D T V ビデオ信号であるべきである幾らかのシナリオにおいては、C M U 1 9 3 0 は第 1 のチャンネル S D ビデオ信号を H D ビデオに変換しえ、その後 H D 色処理を施しうる。この場合、マルチプレクサ 1 9 5 0 は、自身の出力ビデオ信号 1 9 4 2 として (C M U 1 9 3 0 に渡されなくてもよい信号を) 選択してよく、これにより H D 信号を主要なチャンネルオーバーレイモジュール 1 9 6 0 に提供して、処理済 S D T V 信号を補助チャンネルオーバーレイ 1 9 6 2 に提供してよい。さらに、補助チャンネルスケーリングおよび処理モジュール 1 9 7 2 は、補助出力 1 9 7 6 に色制御を行ってよい。

#### 【 0 1 2 9 】

第 1 のチャンネルが H D T V ビデオ信号であり、主要な出力 1 9 7 4 が H D T V 信号であり補助出力 1 9 7 6 が S D T V ビデオ信号であるべきである幾らかの他のシナリオにおいては、C M U 1 9 3 0 は H D 処理を行い、マルチプレクサ 1 9 5 1 は C M U 1 9 3 2 の出力を選択して H D T V 処理済信号を補助チャンネルオーバーレイモジュール 1 9 6 2 に提供し

10

20

30

40

50

てよい。さらなる補助チャンネルスケーリングおよび処理モジュール 1 9 7 2 は、補助出力 1 9 7 6 用に色空間を S D T V に変換する色制御を行ってよい。

【 0 1 3 0 】

補助出力 1 9 7 4 および 1 9 7 6 両方が S D ビデオ信号である、幾らかの他のシナリオにおいては、さらなるチャンネルスケーリングおよび処理モジュール 1 9 7 0 および 1 9 7 2 は同様の色制御機能を行って信号を対応する主要出力 1 9 7 4 および補助出力 1 9 7 6 に出力する準備を整えてよい。

【 0 1 3 1 】

ビデオチャンネルがパイプラインセグメント 5 4 0、5 5 0、5 6 0、および 5 7 0 のいずれにおいてもパイプラインの特定の部分を利用しない場合 ( 図 5 )、その部分を別のビデオチャンネルで利用されるよう構成してビデオ品質を向上させてよい。例えば、第 2 のビデオチャンネル 1 2 6 4 が F R C パイプライン 5 5 0 でデインタレーサ 3 4 0 を利用しない場合、第 1 のビデオチャンネル 1 2 6 2 を第 2 のビデオチャンネルパイプラインのデインタレーサ 3 4 0 を利用するよう構成してビデオ品質を向上させてよい。図 1 5 との関連で記載したように、さらなるノイズ低減器 3 3 0 およびさらなるデインタレーサ 3 4 0 が、共有メモリパイプラインセグメント 1 2 6 0 にさらなるフィールドラインを同時に処理させることで ( 例えば同時に 6 つのフィールドライン処理 ) 特定のビデオ信号の品質を向上させてよい。

【 0 1 3 2 】

C P C B ビデオパイプライン 5 6 0 を利用して提供されうる例示的输出形式の幾らかは、National Television Systems Committee ( N T S C ) および Phase Alternating Line ( P A L ) の同じ入力画像の主要出力および二次的出力、H D および S D ( N T S C あるいは P A L ) 主要および二次的出力を含み、第 1 のチャンネル画像が主要出力に提供され第 2 のチャンネル画像が補助出力に提供される二つの異なる出力を含み、オーバーレイされる第 1 および第 2 のチャンネルビデオ信号を主要出力に含み、および一つのチャンネルビデオ信号 ( 第 1 のチャンネルあるいは第 2 のチャンネル ) を補助出力に含み、異なる O S D ブレンド要素 ( アルファ値 ) を主要出力および補助出力に含み、独立した輝度、コントラスト、色相、および彩度調節を主要出力および補助出力に含み、主要出力および補助出力に異なる色空間 ( 例えば主要出力に R e c . 7 0 9、補助出力に R e c . 6 0 1 ) を含み、および / または、異なる群のスケーリング係数を第 1 のチャンネルスケーラおよび第 2 のチャンネルスケーラに利用することでよりシャープな / スムーズな画像を補助出力に含む。

【 0 1 3 3 】

図 2 0 は、オーバーレイエンジン 2 0 0 0 ( 図 1 9 ) を詳細に示す。オーバーレイエンジン 2 0 0 0 は、少なくともビデオオーバーレイモジュール 1 9 4 0、C M U 1 9 3 0、第 1 および第 2 のチャンネルパラメタ 2 0 2 0 および 2 0 3 0、セクタ 2 0 1 0、および主要 M - プレーンオーバーレイモジュール 2 0 6 0 を含む。主要 M - プレーンオーバーレイ 2 0 6 0 は、主要チャンネルオーバーレイ 1 9 6 0 ( 図 1 9 ) に類似しているが、さらなるチャンネルビデオ信号 2 0 4 0 を第三のチャンネル入力 1 9 1 2 ( 図 1 9 ) とブレンドあるいはオーバーレイするのに利用されうる追加的機能を含みうる。

【 0 1 3 4 】

オーバーレイエンジン 2 0 0 0 は、最後のディスプレイキャンバス上に M 個の入手可能な独立したビデオ / グラフィックプレーンを配置することで、単一のビデオチャンネルストリームを生成しうる。一つの実施形態においては、オーバーレイエンジン 2 0 0 0 は、6 つのプレーンを最終ディスプレイキャンバス上に配置することで単一のチャンネルストリームを生成しうる。各プレーンのディスプレイスクリーン上の位置は構成可能である。各プレーンの優先度もまた構成できてよい。例えば、プレーンのディスプレイキャンバス上の位置を重ねあわせる場合、優先度のランクは、どのプレーンを最上部に配置してどのプレーンを隠すか、という問題を解決するのに利用されうる。オーバーレイはさらにオプションで各プレーンを縁取るのに利用されてもよい。

10

20

30

40

50

## 【 0 1 3 5 】

さらなるビデオチャンネル信号 2 0 4 0 の例、およびその源は、第 1 のチャンネルビデオ信号 1 6 5 2 であってよい主要プレーン、第 2 のチャンネルビデオ信号 1 6 5 4 であってよい P I P プレーン、オンチップ特徴 O S D 生成器を利用して生成される c h a r O S D プレーン、ビットマップ O S D エンジンを利用して生成されうるビットマップ O S D プレーンを含んでよい。O S D 画像はメモリに記憶されえ、メモリインタフェースを利用してメモリ内の様々なビットマップされ予め記憶されたオブジェクトをフェッチして、それらをメモリにさらに記憶できるキャンバス上に配置するのに利用されてよい。メモリインタフェースはさらに、要求されたオブジェクトをフェッチする間に形式変換を行ってよい。ビットマップ O S D エンジンは、記憶されたキャンバスをラスタ走査により読み出し、オーバーレイに送ってよい。さらなるビデオチャンネル信号 2 0 4 0 は、カーソル O S D エンジンにより生成されえ、小さなオンチップメモリを利用してカーソルなどの小さなオブジェクトのビットマップ、外部源から受信した外部 O S D を記憶するカーソル O S D プレーンを含みうる。外部 O S D エンジンはラスタ制御信号およびディスプレイクロックを送出しうる。外部 O S D 源は、これら制御信号を参照として利用して、データをスキャン順に送信する。このデータはオーバーレイにルーティングされうる。外部 O S D プレーンがイネーブルな際に、F l e x i p o r t を利用して外部 O S D データを受信しうる。

10

## 【 0 1 3 6 】

C M U 1 9 3 0 の前のオーバーレイ 1 9 4 0 は、第 1 のビデオチャンネルストリーム 1 6 5 3 および第 2 のビデオチャンネルストリーム 1 6 5 5 をオーバーレイしうる。オーバーレイ 1 9 4 0 は、C M U 1 9 3 0 に単一のビデオストリームで動作させ、多数のビデオチャンネルストリーム用に C M U 1 9 3 0 内でモジュールを複写する必要をなくすことで、C M U 1 9 3 0 をより効率的に振舞わせてよい。単一のビデオチャンネル信号 1 9 4 2 を C M U 1 9 3 0 に提供することに加えてオーバーレイ 1 9 4 0 は、さらに、ビデオ部分が第 1 のビデオチャンネルストリームに属するか第 2 のビデオチャンネルストリームに属するかを識別する部分（ピクセル毎の）インジケータ 1 9 4 4 を C M U 1 9 3 0 に提供してよい。

20

## 【 0 1 3 7 】

第 1 のビデオチャンネルストリーム 1 6 5 3 および第 2 のビデオチャンネルストリーム 1 6 5 5 に対応する二群のプログラム可能なパラメタ 2 0 2 0 および 2 0 3 0 を提供してもよい。セレクト 2 0 1 0 は、どのプログラム可能なパラメタを C M U 1 9 3 0 に提供するかを選択すべく部分インジケータ 1 9 4 4 を利用してよい。例えば、部分インジケータ 1 9 4 4 が、C M U 1 9 3 0 が処理する部分が第 1 のビデオチャンネルストリーム 1 6 5 3 に属することを示している場合、セレクト 2 0 1 0 は C M U 1 9 3 0 に、第 1 のビデオチャンネルストリーム 1 6 5 3 に対応するプログラム可能なパラメタ 2 0 2 0 を提供してよい。

30

## 【 0 1 3 8 】

ビデオプレーンと同じ数の層があってよい。層 0 は最下層であってよく、それに続く層が増加する層インデックスを持ってよい。層は、次元的特徴あるいは位置的特徴を持つのではなく、それらが積層されるべき順序を提供してよい。オーバーレイエンジン 2 0 0 0 は、層 0 から始まりそこから上昇する層を混合してよい。層 1 は第一に、層 1 に置かれるビデオプレーンに関連付けられるブレンド係数 (blend factor) を利用して層 0 にブレンドされてよい。層 0 および層 1 の出力のブレンドは、その後層 2 とブレンドされてよい。利用されうるブレンド係数は、層 2 に置かれるプレーンに関連付けられるものであってよい。層 0、層 1、および層 2 の出力のブレンドは層 3 とブレンドされ、この動作をその後、最終層が混合されるまで続けてよい。当業者であれば、層のブレンドを、本発明の教示から逸脱しない範囲で任意の組み合わせで行う選択をしてよいことを理解しよう。例えば、層 1 が層 3 とブレンドされ、その後層 2 とブレンドされてもよい。

40

## 【 0 1 3 9 】

さらに、オーバーレイエンジン 2 0 0 0 は主要出力チャンネルとの関連で記載されたが、オーバーレイエンジン 2 0 0 0 を補助出力チャンネルに適用して M - プレーンオーバーレイを提供するよう色処理およびチャンネルブレンドパイプライン 5 6 0 を修正してもよい。

50

## 【0140】

図22は、ビデオパイプラインの後端パイプラインステージ570をより詳細に示す。後端パイプラインステージ570は、少なくとも主要出力フォーマット2280、署名アキュムレータ1990、補助出力フォーマット2220およびセクタ2230を含みうる。

## 【0141】

後端パイプラインステージ570は、主要出力および補助出力の両方の出力フォーマットを行いえ、補助出力として制御出力(Hsync、Vsync、Field)を生成しうる。後端パイプラインステージ570は、デジタルインタフェースおよびアナログインタフェース両方を助ける。主要出力フォーマット2280は、処理済主要ビデオチャンネル信号1974を受信して、対応する主要出力信号492aを生成しうる。補助出力フォーマット2220は、処理済補助ビデオチャンネル信号1976を受信して対応する補助出力信号492bを生成しうる。署名アキュムレータ1990は、補助ビデオチャンネル信号1976を受信して、蓄積されている信号間の差異を蓄積および比較して、出力されたビデオ信号のビデオ信号品質を決定してよく、必要であればこの情報をプロセッサに提供してシステムパラメータを変更してよい。

## 【0142】

補助ビデオチャンネル信号1976はさらに、出力492b用にフォーマットされる前にCCIR656エンコーダ(不図示)に提供されてよい。CCIR656エンコーダは、信号を外部記憶装置あるいは他の適切な手段に対して準備するべく配置するよう任意の必要なエンコードを行ってよい。または、補助ビデオチャンネル信号1976を、セクタ2230を利用してエンコードもフォーマットもせずに出力信号492bとして提供して、バイパス補助ビデオチャンネル信号2240を選択してよい。

## 【0143】

後端パイプラインステージ570のインタレースモジュール(不図示)も提供されてよい。入力信号がインタレースされる場合、第一にデインタレーサ340によりプログレッシブに変換されてよい(図13)。デインタレーサは、ビデオパイプラインステージの全ての後続のモジュールがプログレッシブドメインで動作しうるので、必要となりうる。後端パイプラインステージ570のインタレーサは、インタレースされた出力が所望される場合に選択的にONになってよい。

## 【0144】

インタレーサモジュールは少なくとも二つのピクセルラインを記憶するのに十分な大きさのメモリを少なくとも含みうるが、必要であれば全フレームを記憶するよう修正することができる。プログレッシブな入力は、プログレッシブなタイミングでメモリに書き込まれてよい。プログレッシブなタイミングでロックされた、インタレースされたタイミングは、ピクセルレートの半分で生成されてよい。データはインタレースされたタイミングで、メモリから読み出されてよい。偶数のフィールドラインは奇数のフィールドから間引かれてよく、奇数のフィールドラインは偶数のフィールドから間引かれてよい。これにより、今度は、任意のデバイスでの利用に適したインタレースされた出力が生成されうる。

## 【0145】

故に、共有記憶容量を利用して多数の高品質なビデオチャンネルストリームを提供する装置および方法が提供される。当業者であれば、本発明が記載された実施形態以外の方法で実施することができることを理解するであろう、というのも実施形態は限定目的からではなく、例示目的で提示されており、本発明は以下の請求項のみにより限定されるからである。

なお、本願明細書には、以下の項目1から項目51が記載されている。

## (項目1)

複数のビデオ入力信号を受信するマルチモードのデュアルビデオデコーダであって、上記複数のビデオ入力信号の少なくとも一つは、二以上のビデオ入力信号部分を含み、  
上記デュアルビデオデコーダは、

10

20

30

40

50

上記複数のビデオ入力信号を受信して、少なくとも三つのビデオ入力信号部分を選択的に組み合わせて二つの選択されたビデオ信号を提供するビデオ信号選択ステージと、

上記少なくとも二つの選択されたビデオ信号を処理するアナログ/デジタル変換ステージと、

上記少なくとも二つの処理済ビデオ信号を受信して少なくとも一つのデコードされたビデオ信号を出力するデコーダステージと、を備える、デュアルビデオデコーダ。

(項目 2)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 1 に記載のデュアルビデオデコーダ。

10

(項目 3)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ入力信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目 1 に記載のデュアルビデオデコーダ。

(項目 4)

上記少なくとも一つのデコードされたビデオ信号の一つは s - v i d e o ビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 1 に記載のデュアルビデオデコーダ。

(項目 5)

第 1 のビデオ信号部分、第 2 のビデオ信号部分、および第 3 のビデオ信号部分は、Y - チャネル、U - チャネル、V - チャネル、およびクロマからなる群から選択される、項目 1 に記載のデュアルビデオデコーダ。

20

(項目 6)

D C 復元ステージをさらに含み、上記少なくとも二つの選択されたビデオ信号の少なくとも一つは、上記アナログ/デジタル変換ステージで受信される前に、上記 D C 復元ステージに渡される、項目 1 に記載のデュアルビデオデコーダ。

(項目 7)

上記選択ステージは、

上記少なくとも二つの選択されたビデオ信号の一つとして、上記三つのビデオ入力信号部分の第 1 の部分および上記三つのビデオ入力信号部分の第 2 の部分を時分割多重化し、

30

上記少なくとも二つの選択されたビデオ信号の別の一つとして、上記三つのビデオ入力信号部分の第 3 の部分を選択する、項目 1 に記載のデュアルビデオデコーダ。

(項目 8)

上記時分割多重化は、第 1 のクロックの第 1 のクロック期間中に上記第 1 の部分を選択し、上記第 1 のクロックの第 2 のクロック期間中に上記第 2 の部分を選択することをさらに含み、

上記第 3 の部分を選択することは、第 2 のクロックの第 1 のクロック期間中に上記第 2 の部分を選択することをさらに含み、

上記処理することは、上記第 1 のクロックに応じて上記少なくとも二つの選択されたビデオ信号の一方を処理し、上記少なくとも二つの選択されたビデオ信号の他方を上記第 2 のクロックに応じて処理することをさらに含む、項目 7 に記載のデュアルビデオデコーダ。

40

。

(項目 9)

上記第 2 のクロックの上記第 1 のクロック期間は、上記第 1 のクロックの上記第 1 のクロック期間の中間に実質的に位置合わせされる、項目 8 に記載のデュアルビデオデコーダ。

。

(項目 10)

上記第 2 のクロックは、上記第 1 のクロックの周波数の略半分で作動作する、項目 8 に記載のデュアルビデオデコーダ。

(項目 11)

50

上記アナログ／デジタル変換ステージは、第１のアナログ／デジタル変換器および第２のアナログ／デジタル変換器を含む、項目８に記載のデュアルビデオデコーダ。

(項目１２)

上記少なくとも三つのビデオ入力信号部分は、上記第１のアナログ／デジタル変換器および上記第２のアナログ／デジタル変換器により処理される、項目１１に記載のデュアルビデオデコーダ。

(項目１３)

上記デコーダステージは、  
第１の処理済部分および第２の処理済部分を受信して、上記少なくとも二つのデコードされたビデオ信号のうちの一つを出力する第１のデコーダを含む、項目８に記載のデュアルビデオデコーダ。

10

(項目１４)

上記第１のデコーダは、NTSCビデオデコーダ、PALビデオデコーダ、およびSECAMビデオデコーダからなる群から選択される、項目１３に記載のデュアルビデオデコーダ。

(項目１５)

上記ビデオ信号選択ステージは、第３の選択されたビデオ信号を提供し、上記第３の選択されたビデオ信号として、１ビデオ入力信号の第４の部分をさらに選択する、項目８に記載のデュアルビデオデコーダ。

(項目１６)

上記第４の部分は、上記第２のクロックの略逆である第３のクロックの第１のクロック期間中に選択される、項目１５に記載のデュアルビデオデコーダ。

20

(項目１７)

上記アナログ／デジタル変換は、上記第３の選択されたビデオ信号を受信し、上記第３の選択されたビデオ信号を上記第３のクロックに応じて処理する、項目１６に記載のデュアルビデオデコーダ。

(項目１８)

上記デコーダステージは、  
第１の処理済部分および第２の処理済部分を受信して、上記少なくとも一つのデコードされたビデオ信号の一つを出力する第１のデコーダと、

30

第３の処理済部分および第４の処理済部分を受信して、上記少なくとも一つのデコードされたビデオ信号の第２のものを出力する第２のデコーダと、を含む、項目１７に記載のデュアルビデオデコーダ。

(項目１９)

上記第１のデコーダは上記第２のクロックに応じて動作し、上記第２のデコーダは上記第３のクロックに応じて動作する、項目１８に記載のデュアルビデオデコーダ。

(項目２０)

複数のビデオ入力信号をデコードする方法であって、上記複数のビデオ入力信号の少なくとも一つは二以上のビデオ入力信号部分を含み、上記方法は、

上記複数のビデオ入力信号を受信することと、

40

二つの選択されたビデオ信号を提供すべく少なくとも三つのビデオ入力信号を選択的に組み合わせることと、

上記選択されたビデオ信号を処理すべくアナログ／デジタル変換を行うことと、

少なくとも一つのデコードされたビデオ信号を生成すべく処理済の上記ビデオ信号をデコードすることと、を含む、方法。

(項目２１)

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはs - v i d e oビデオ信号を含む、項目２０に記載の方法。

(項目２２)

50

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目 2 0 に記載の方法。

(項目 2 3)

上記少なくとも一つのデコードされたビデオ信号の一つは s - v i d e o ビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 2 0 に記載の方法。

(項目 2 4)

第 1 のビデオ信号部分、第 2 のビデオ信号部分、および第 3 のビデオ信号部分は、Y - チャネル、U - チャネル、V - チャネル、およびクロマからなる群から選択される、項目 2 0 に記載の方法。

10

(項目 2 5)

上記アナログ / デジタル変換を行う前に、上記少なくとも二つの選択されたビデオ信号の少なくとも一つが持つ D C 成分を復元することをさらに含む、項目 2 0 に記載の方法。

(項目 2 6)

上記組み合わせることは、

上記少なくとも三つのビデオ入力信号部分の第 1 の部分および第 2 の部分を時分割多重化することと、

上記少なくとも三つのビデオ入力信号部分の第 3 の部分を選択することと、を含む、項目 2 0 に記載の方法。

20

(項目 2 7)

上記時分割多重化することは、第 1 のクロックの第 1 のクロック期間中に上記第 1 の部分を選択し、上記第 1 のクロックの第 2 のクロック期間中に上記第 2 の部分を選択することをさらに含む、

上記第 2 の部分の選択は、第 2 のクロックの第 1 のクロック期間中に上記第 2 の部分を選択することをさらに含む、

上記アナログ / デジタル変換を行うことは、上記第 1 のクロックに応じて上記選択されたビデオ信号の一方を処理することと、上記第 2 のクロックに応じて上記選択されたビデオ信号の他方を処理することと、をさらに含む、項目 2 6 に記載の方法。

(項目 2 8)

上記第 2 のクロックの上記第 1 のクロック期間は、上記第 1 のクロックの上記第 1 のクロック期間の中間に実質的に位置合わせされる、項目 2 6 に記載の方法。

30

(項目 2 9)

上記第 2 のクロックは、上記第 1 のクロックの周波数の略半分で動作する、項目 2 6 に記載の方法。

(項目 3 0)

上記デコードすることは、上記少なくとも一つのデコードされたビデオ信号を生成すべく、第 1 の処理済部分と第 2 の処理済部分とをデコードすることをさらに含む、項目 2 6 に記載の方法。

(項目 3 1)

上記少なくとも三つのビデオ入力信号部分の上記第 3 の部分として第 4 のビデオ入力信号部分を選択することをさらに含む、項目 2 6 に記載の方法。

40

(項目 3 2)

上記第 4 の部分は、上記第 2 のクロックの略逆である第 3 のクロックの第 1 のクロック期間中に選択される、項目 3 1 に記載の方法。

(項目 3 3)

上記第 3 のクロックに応じて上記第 4 の部分を処理すべくアナログ / デジタル変換を行うことをさらに含む、項目 3 2 に記載の方法。

(項目 3 4)

第 1 のデコードされたビデオ信号を生成すべく第 1 の処理済部分と第 2 の処理済部分と

50

をデコードすることと、

第 2 のデコードされたビデオ信号を生成すべく第 3 の処理済部分と第 4 の処理済部分とをデコードすることと、をさらに含む、項目 3 3 に記載の方法。

( 項目 3 5 )

上記第 1 のデコードされたビデオ信号を生成すべくデコードすることは上記第 2 のクロックに応じて動作し、上記第 2 のデコードされたビデオ信号を生成すべくデコードすることは上記第 3 のクロックに応じて動作する、項目 3 4 に記載の方法。

( 項目 3 6 )

複数のビデオ入力信号をデコードする装置であって、上記複数のビデオ入力信号の少なくとも一つは二つ以上のビデオ入力信号部分を含み、

上記複数のビデオ入力信号を受信する手段と、

二つの選択されたビデオ信号を提供すべく少なくとも三つのビデオ入力信号部分を選択的に組み合わせる手段と、

上記選択されたビデオ信号を処理すべくアナログ / デジタル変換を行う手段と、

少なくとも一つのデコードされたビデオ信号を生成すべく処理済の上記ビデオ信号をデコードする手段と、を備える、装置。

( 項目 3 7 )

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 3 6 に記載の装置。

( 項目 3 8 )

上記少なくとも一つのデコードされたビデオ信号の一つはコンポジットビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つはコンポーネントビデオ信号を含む、項目 3 6 に記載の装置。

( 項目 3 9 )

上記少なくとも一つのデコードされたビデオ信号の一つは s - v i d e o ビデオ信号を含み、上記少なくとも一つのデコードされたビデオ信号の別の一つは s - v i d e o ビデオ信号を含む、項目 3 6 に記載の装置。

( 項目 4 0 )

第 1 のビデオ信号部分、第 2 のビデオ信号部分、第 3 のビデオ信号部分は、Y - チャネル、U - チャネル、V - チャネル、およびクロマからなる群から選択される、項目 3 6 に記載の装置。

( 項目 4 1 )

上記アナログ / デジタル変換を行う前に、上記少なくとも二つの選択されたビデオ信号の少なくとも一つが持つ D C 成分を復元する手段をさらに含む、項目 3 6 に記載の装置。

( 項目 4 2 )

上記組み合わせることは、

上記少なくとも三つのビデオ入力信号部分の第 1 の部分および第 2 の部分を時分割多重化する手段と、

上記少なくとも三つのビデオ入力信号部分の第 3 の部分を選択する手段と、を含む、項目 3 6 に記載の装置。

( 項目 4 3 )

上記時分割多重化する手段は、第 1 のクロック手段の第 1 のクロック期間中に上記第 1 の部分を選択し、上記第 1 のクロック手段の第 2 のクロック期間中に上記第 2 の部分を選択する手段をさらに含む、

上記第 2 の部分を選択する手段は、第 2 のクロック手段の第 1 のクロック期間中に上記第 2 の部分を選択することをさらに含む、

上記アナログ / デジタル変換を行う手段は、上記第 1 のクロック手段に応じて上記選択されたビデオ信号の一方を処理する手段と、上記第 2 のクロック手段に応じて上記選択されたビデオ信号の他方を処理する手段と、をさらに含む、項目 4 2 に記載の装置。

10

20

30

40

50

( 項目 4 4 )

上記第 2 のクロック手段の上記第 1 のクロック期間は、上記第 1 のクロック手段の上記第 1 のクロック期間の中間に実質的に位置合わせされる、項目 4 2 に記載の装置。

( 項目 4 5 )

上記第 2 のクロック手段は上記第 1 のクロック手段の周波数の略半分で動作する、項目 4 2 に記載の装置。

( 項目 4 6 )

上記デコードする手段は、上記少なくとも一つのデコードされたビデオ信号を生成すべく、第 1 の処理済部分と第 2 の処理済部分とをデコードすることをさらに含む、項目 4 2 に記載の装置。

10

( 項目 4 7 )

上記少なくとも三つのビデオ入力信号部分の上記第 3 の部分として第 4 のビデオ入力信号部分を選択する手段をさらに含む、項目 4 2 に記載の装置。

( 項目 4 8 )

上記第 4 の部分は、上記第 2 のクロック手段の略逆である第 3 のクロック手段の第 1 のクロック期間中に選択される、項目 4 7 に記載の装置。

( 項目 4 9 )

上記第 3 のクロック手段に応じて上記第 4 の部分进行处理すべくアナログ / デジタル変換を行う手段をさらに含む、項目 4 8 に記載の装置。

( 項目 5 0 )

第 1 のデコードされたビデオ信号を生成すべく第 1 の処理済部分と第 2 の処理済部分とをデコードする手段と、

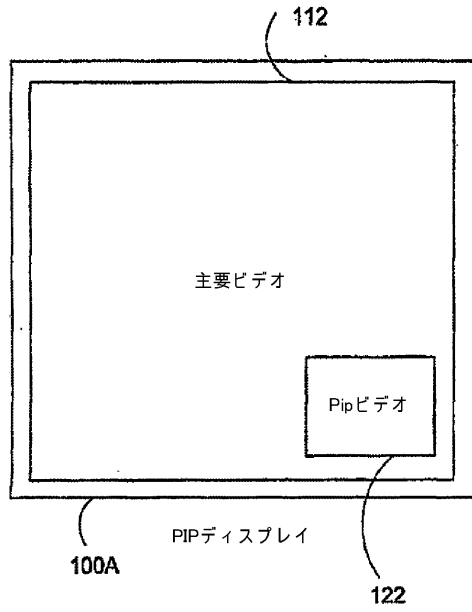
第 2 のデコードされたビデオ信号を生成すべく第 3 の処理済部分と第 4 の処理済部分とをデコードする手段と、をさらに含む、項目 4 9 に記載の装置。

20

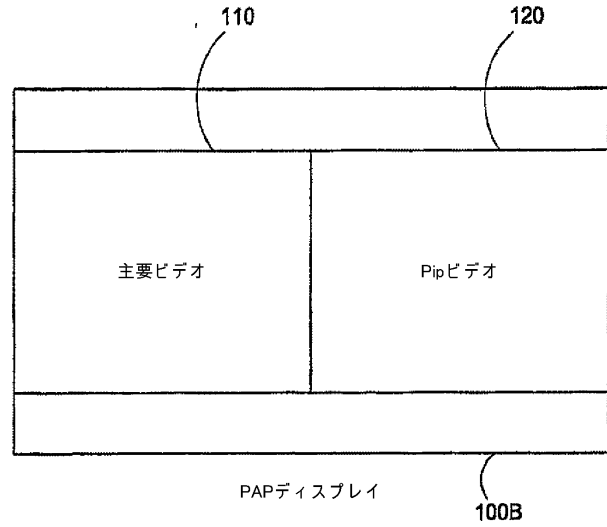
( 項目 5 1 )

上記第 1 のデコードされたビデオ信号を生成すべくデコードする手段は上記第 2 のクロック手段に応じて動作し、上記第 2 のデコードされたビデオ信号を生成すべくデコードする手段は上記第 3 のクロック手段に応じて動作する、項目 5 0 に記載の装置。

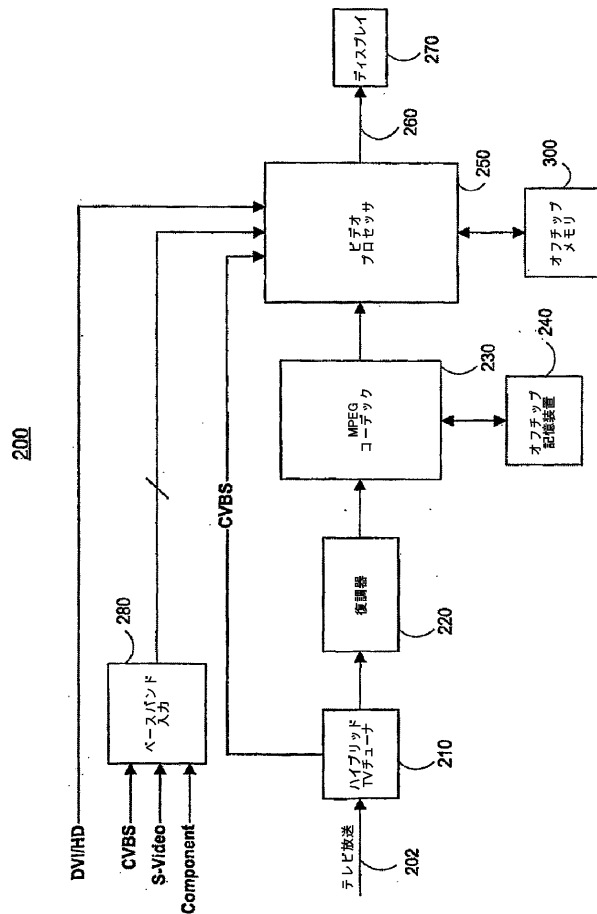
【図 1 A】



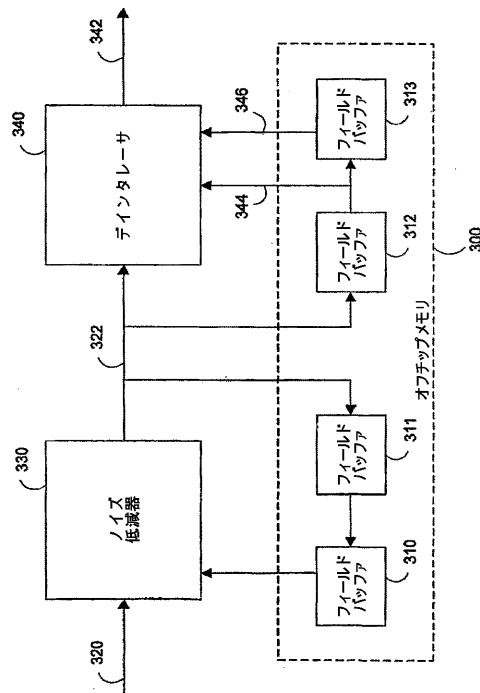
【図 1 B】



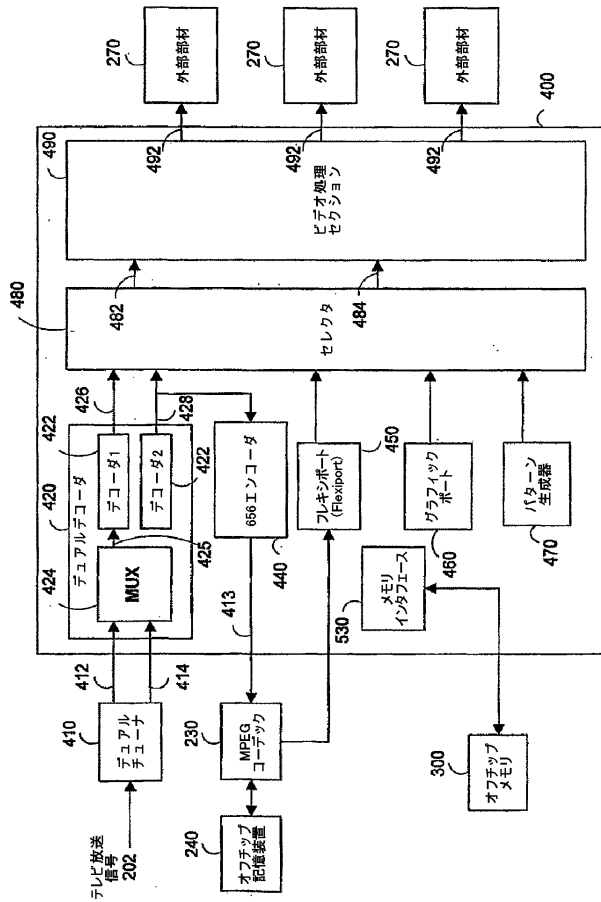
【図 2】



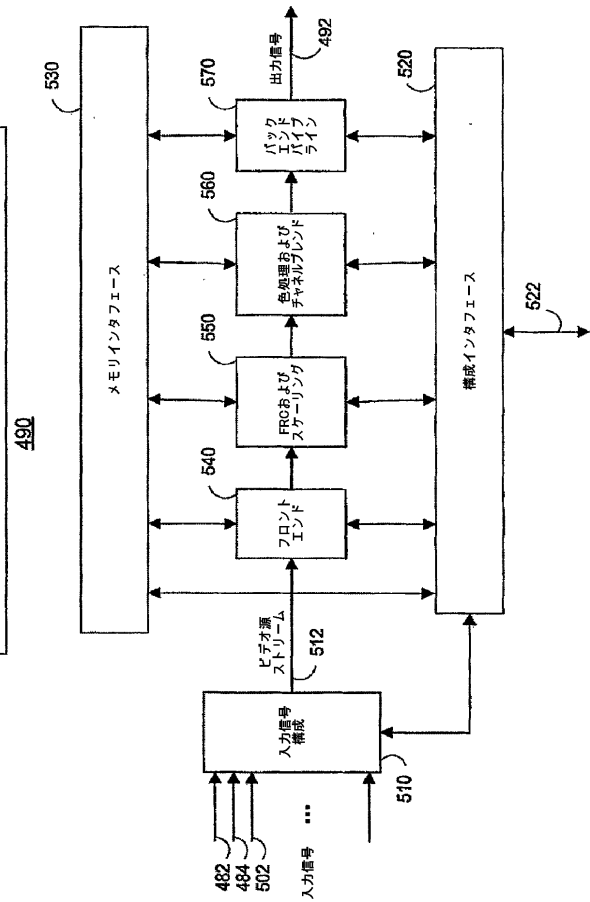
【図 3】



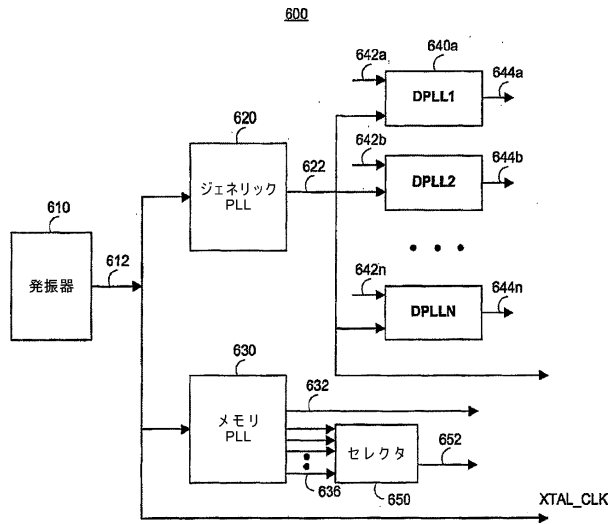
【 図 4 】



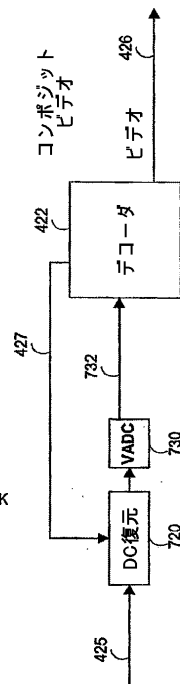
【 図 5 】



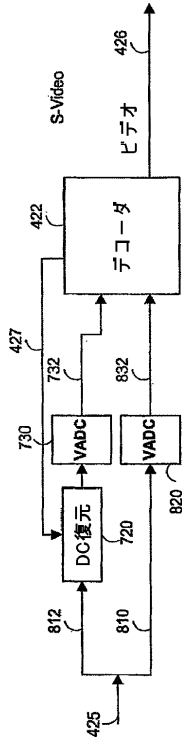
【 図 6 】



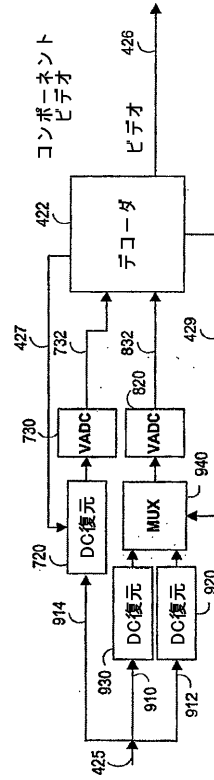
【 図 7 】



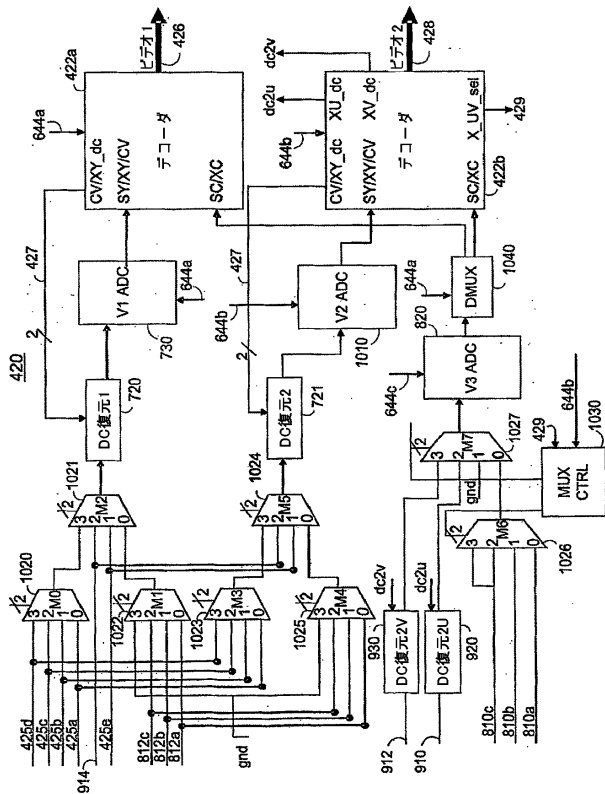
【図 8】



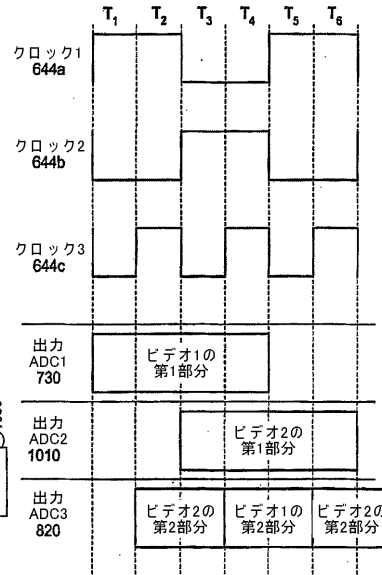
【図 9】



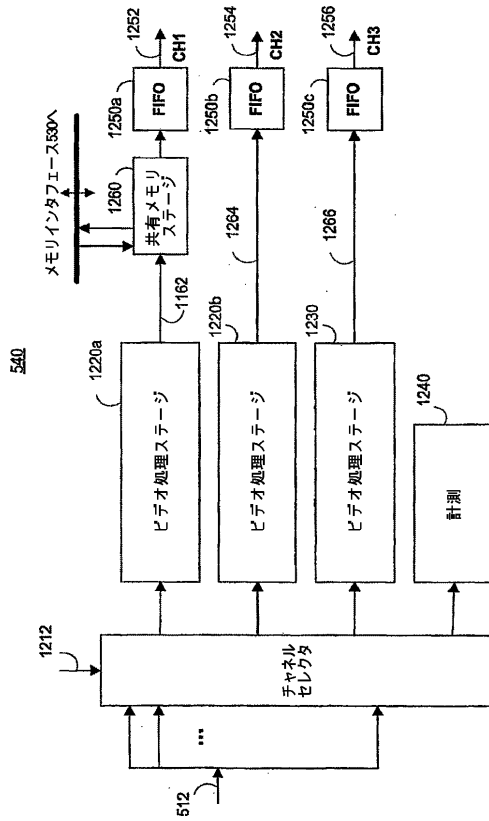
【図 10】



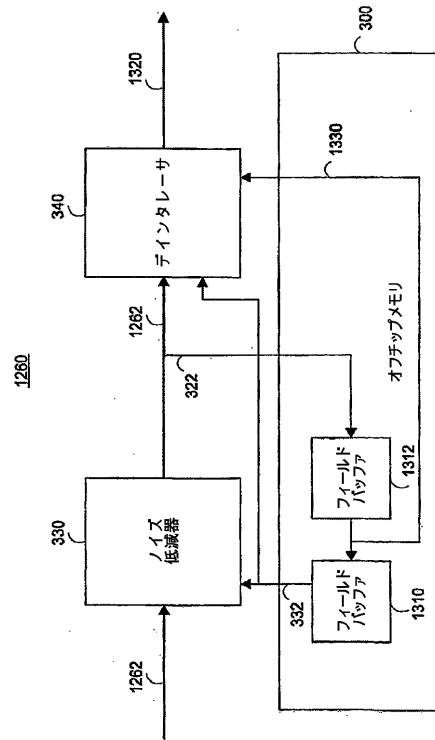
【図 11】



【図 12】



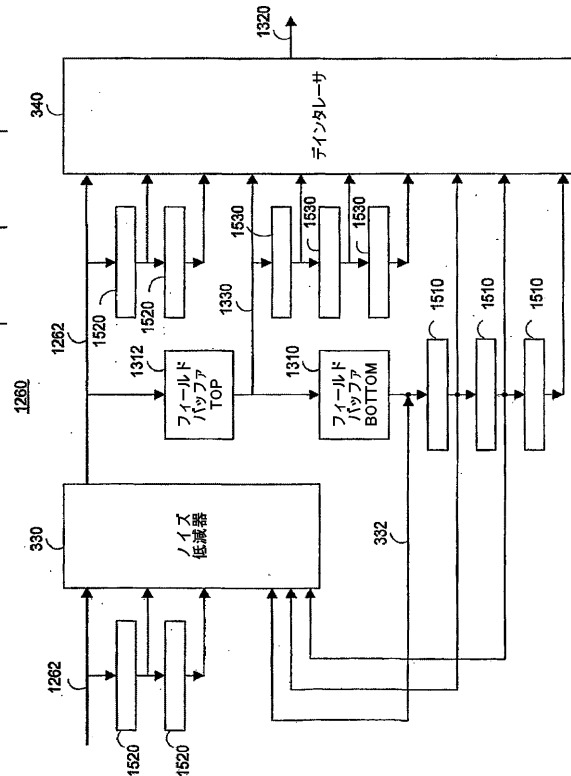
【図 13】



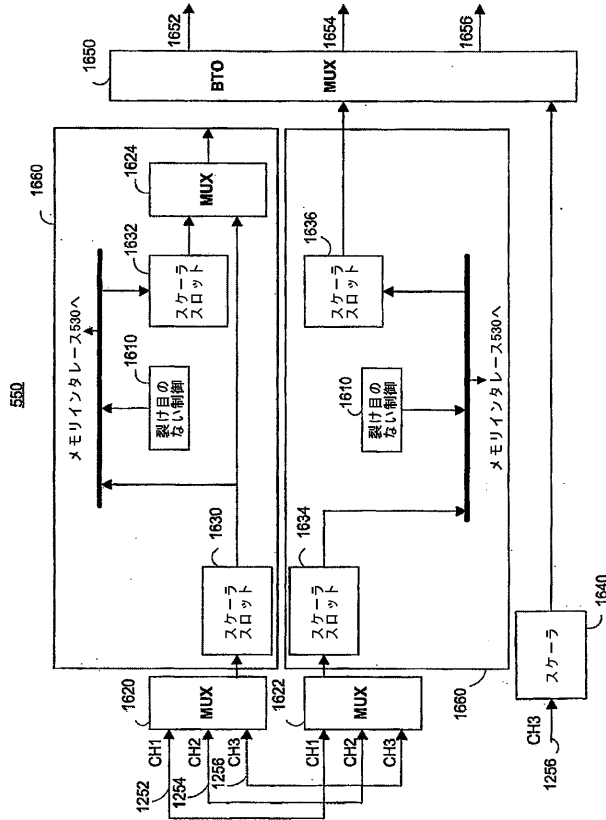
【図 14】

	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	...
処理された生存フィールド	フィールド 1	フィールド 2	フィールド 3	フィールド 4	...
フィールドバッファ 1310	XXX	XXX	フィールド 1	フィールド 2	...
フィールドバッファ 1312	XXX	フィールド 1	フィールド 2	フィールド 3	...

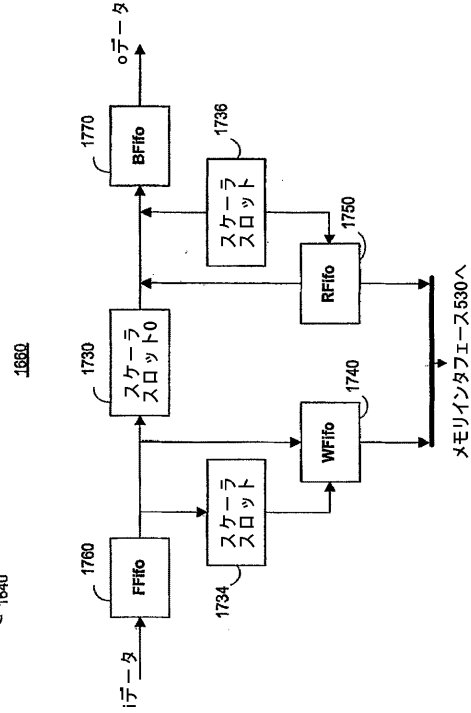
【図 15】



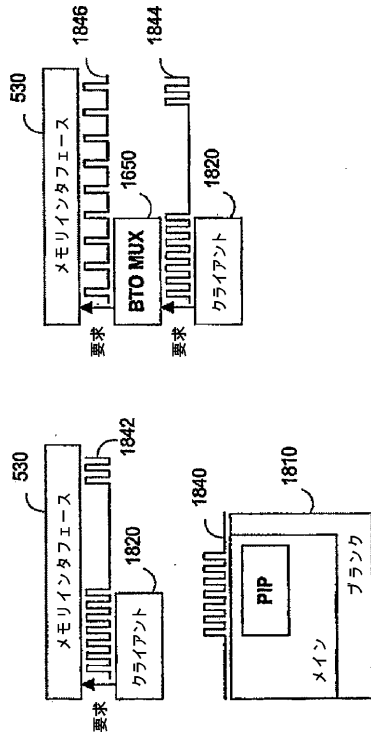
【図16】



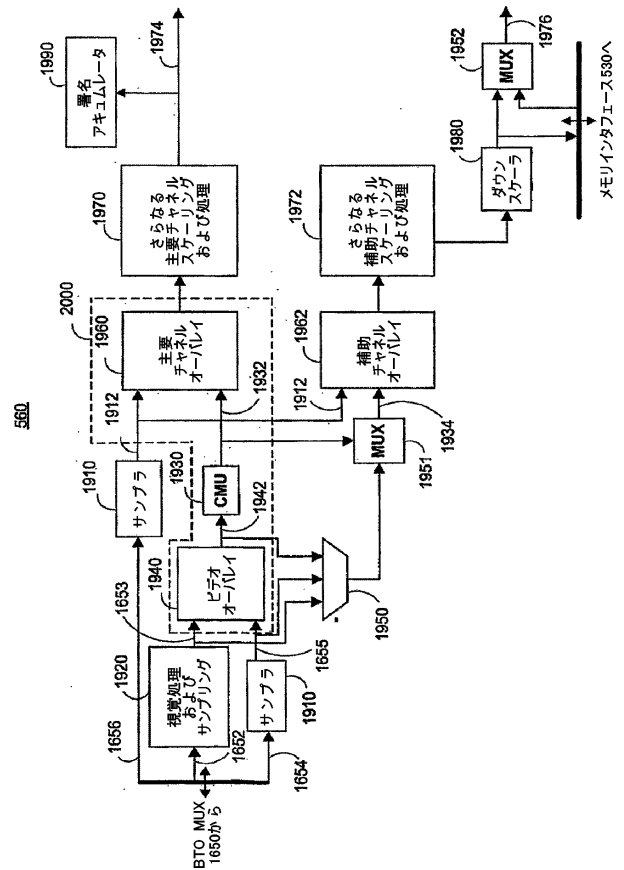
【図17】



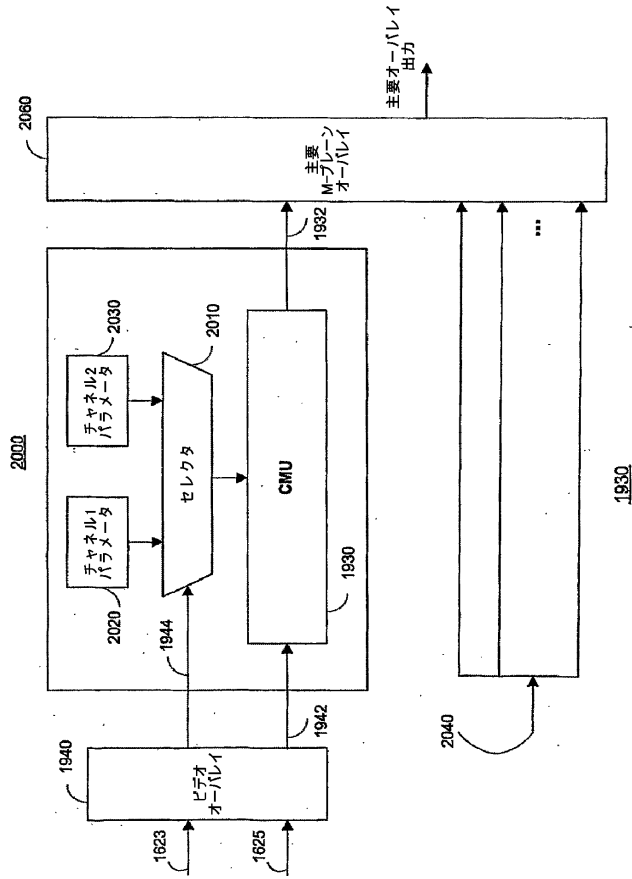
【図18】



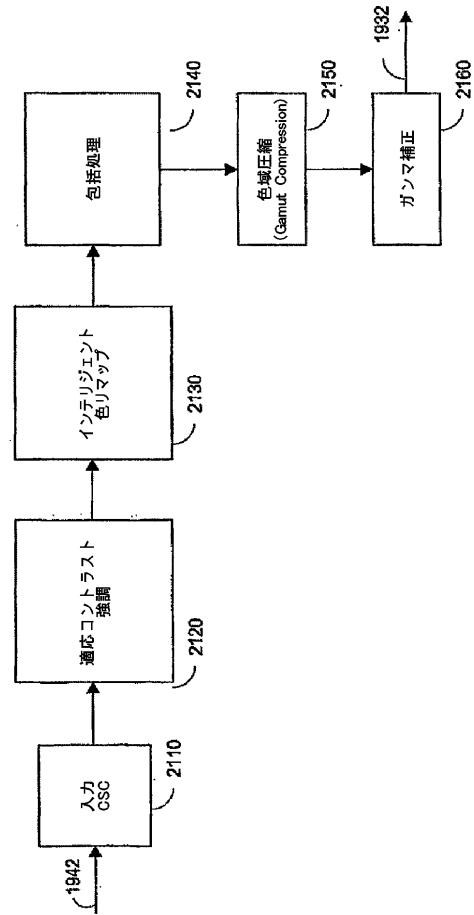
【図19】



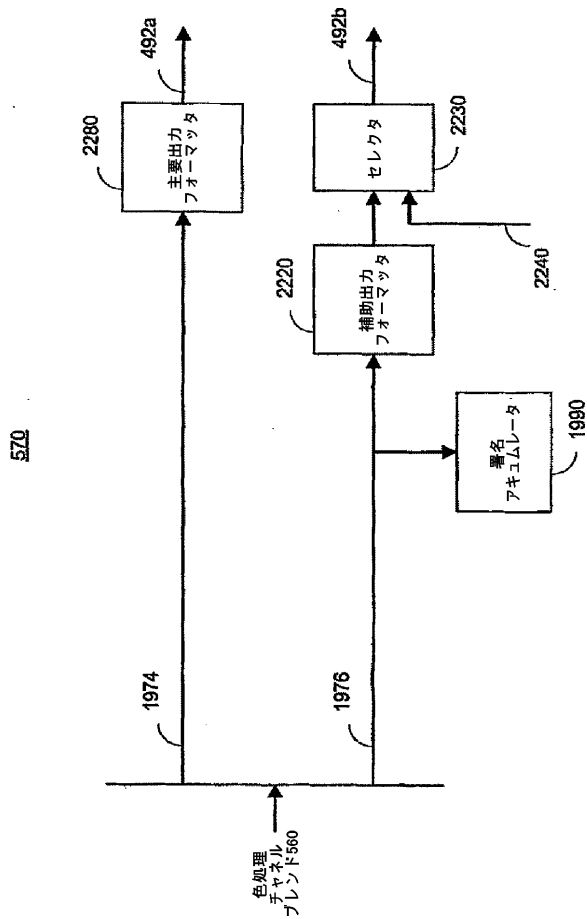
【図20】



【図21】



【図22】



## フロントページの続き

- (31)優先権主張番号 60/793,277  
 (32)優先日 平成18年4月18日(2006.4.18)  
 (33)優先権主張国 米国(US)
- (31)優先権主張番号 60/793,275  
 (32)優先日 平成18年4月18日(2006.4.18)  
 (33)優先権主張国 米国(US)
- (31)優先権主張番号 11/736,542  
 (32)優先日 平成19年4月17日(2007.4.17)  
 (33)優先権主張国 米国(US)
- (72)発明者 ゴーシュ、ビパーシャ  
 インド共和国、560093 バンガロール、カーナタカ、シー・ヴィ・ ラマン ナガル、ナガ  
 バラパルヤ、オールド マドラス ロード、アパートメント 6、セレスチアル グリーन्ズ、シ  
 ー - 305
- (72)発明者 バルラム、ニキル  
 アメリカ合衆国、94041 カリフォルニア州、マウンテン ビュー、フォックスバーロウ ド  
 ライブ 387
- (72)発明者 シュリーダー、カイク  
 インド共和国、560003 バンガロール、カーナタカ、ピャリカパル、13ティーエイチ ク  
 ロス、'ゲヘス クルーパ'、ナンバー 19
- (72)発明者 サフ、シルピ  
 インド共和国、560075 バンガロール、カーナタカ、14ティーエイチ メイン 8ティー  
 エイチ クロス コディハリー、2085
- (72)発明者 テイラ、リチャード  
 アメリカ合衆国、85048 アリゾナ州、フェニックス、イー・ クラブハウス ドライブ 2  
 015
- (72)発明者 エドワーズ、グウィン  
 アメリカ合衆国、94043 カリフォルニア州、マウンテン ビュー、ウォーカー ドライブ  
 ナンバー 22 248
- (72)発明者 トマシ、ローレン  
 アメリカ合衆国、85429 アリゾナ州、チャンドラー、イー・ ホースシュー ドライブ 3  
 110
- (72)発明者 ナンブーディリー、ピピン  
 インド共和国、560037 バンガロール、カーナタカ、デバラビーベラランドゥル ピー・オー  
 ・ アウター リング ロード、パスワニ メルローズ、54/1、ティーエイチ 16

審査官 加内 慎也

- (56)参考文献 CX253836/7 VIDEO RECORDER, [ONLINE], 2004年 9月, P.II-XII, 1-1 - 1-4, 2-1 - 2-8, 3-1 - 3-55, URL, <http://conexant.com/servlets/DownloadServlet/DSH-200685-001.pdf?docid=686&revid=1>

- (58)調査した分野(Int.Cl., DB名)

H04N5/38 - 5/46; 7/10; 7/14 - 7/173; 7/20 - 7/22