

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：**93141800**

※ 申請日期：

※IPC 分類：**H01L 27/115, 27/24/2006.01**

一、發明名稱：(中文/英文)

非揮發性半導體記憶裝置及其製造方法

A NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND A
METHOD OF MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

伊藤 達

ITO, SATORU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸內二丁目 4 番 1 號

4-1, MARUNOUCHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 金光 賢司

2. 森山 卓史

3. 細田 直宏

4. 原口 惠一

5. 足立 哲生

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

3. 日本 JAPAN

4. 日本 JAPAN

5. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004 年 01 月 23 日；特願 2004-015703

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性半導體記憶裝置及其製造技術，尤其是關於一種可有效地適用於提高非揮發性半導體記憶裝置之製造良率與可靠性的技術。

【先前技術】

作為具有優良便攜性之資料儲存用記憶體，非揮發性半導體記憶體即快閃記憶體正得以廣泛應用。

關於快閃記憶體之記憶體陣列方式，作為其代表方式具有串聯連接記憶體單元之NAND型與並聯連接記憶體單元之AND型，尤其後者因採用熱電子寫入方式，因而可高速寫入。除此以外，記憶體陣列構成為並聯連接，而並非如NAND型之串聯連接，故而具有不易受到其它記憶體單元之記憶資訊之影響的特徵。

關於AND型快閃記憶體，於日本專利特開2001-156275號公報(參照專利文獻1)中已有揭示。該公報中所揭示之記憶體單元於半導體基板上具有設有開關閘極之選擇電晶體部，於其兩側離散地形成具有含有捕集器之閘極絕緣膜與記憶體閘極電極之記憶體單元電晶體部，於其外側形成有連接於源極線/位元線之擴散層。

日本專利特開2001-28428號公報(參照專利文獻2)揭示有一種虛擬接地型AND型快閃記憶體，其藉由形成於半導體基板之p型井之n型半導體區域(源極、汲極)以及三個閘極構成記憶體單元。

【專利文獻1】日本專利特開2001-156275號公報

【專利文獻2】日本專利特開2001-28428號公報

[發明所欲解決之問題]

本發明者們正在開發之AND快閃記憶體係藉由形成於半導體基板之p型井的n型半導體區域(源極、汲極)與三個閘極構成記憶體單元。構成該記憶體單元之三個閘極係浮游閘極、控制閘極以及選擇閘極。選擇閘極介隔以第1閘極絕緣膜(通道氧化膜)形成於p型井上；浮游閘極形成於鄰接之兩個選擇閘極之間，經由第1閘極絕緣膜與p型井得以絕緣。浮游閘極與選擇閘極間介隔以選擇閘極之側壁之絕緣膜得以絕緣；浮游閘極與形成於其上部之控制閘極介隔以第2閘極絕緣膜得以絕緣。控制閘極延伸於列方向且構成字元線。選擇閘極於與字元線正交之行方向延伸。n型半導體區域(源極、汲極)形成於選擇閘極之一方之側壁下部的p型井，於與字元線正交之行方向延伸且構成局部位元線。

於向上述記憶體單元寫入資訊時，對所選擇之記憶體單元之字元線施加15 V(其它字元線為0 V)，對選擇閘極施加1.2 V(其它選擇閘極為0 V)，對n型半導體區域(源極)施加0 V，對連接於同一字元線之鄰接記憶體單元之n型半導體區域施加4.5 V，通過第1閘極絕緣膜(通道氧化膜)將自源極流向汲極之部分電子(熱電子)注入浮游閘極。

上述記憶體單元於已進行細微化之情形下，浮游閘極與n型半導體區域之距離會變為非常接近。故而存在容易產生所謂汲極干擾現象之問題，即注入至浮游閘極之電子脫離

於寫入時施加有4.5 V電壓之非選擇記憶體單元之n型半導體區域(源極)。

故而，本發明者們藉由於製造制程方面加以研究，得出以下對策：使n型半導體區域上之第1閘極絕緣膜局部性地膜厚化以緩和電場，從而防止電子自浮游閘極脫離n型半導體區域(汲極)。其係利用以下原理者：於使半導體基板熱氧化於其表面形成氧化膜時，以高濃度離子佈植有砷(As)之n型半導體區域之表面容易產生增速氧化，因此可促進氧化膜之成長。

如此，作為防止汲極干擾之對策，於n型半導體區域上之第1閘極絕緣膜已局部性地膜厚化之情形時，位於選擇閘極側壁附近之第1閘極絕緣膜之膜厚在選擇閘極之左右兩側互不相同。因而，於第1閘極絕緣膜一部分已實行膜厚化後之製造制程中，蝕刻半導體基板之表面時，會產生第1閘極絕緣膜之膜厚不均一，故而會有記憶體單元特性容易產生變動之問題。

本發明之目的在於提供一種提高非揮發性半導體記憶裝置之製造良率與可靠性之技術。

本發明之上述及其它目的與新穎之特徵，由本說明書之記述及附圖當可明白。

【發明內容】

就本申請書中揭示之發明中作為代表性者之概要，簡單說明如下。

本發明之非揮發性半導體裝置係複數個記憶體單元矩陣

體基板上之第2絕緣膜，於上述第1閘極之各側壁分別形成含有上述第2絕緣膜之側壁間隔物的步驟；

(e)於上述步驟(d)之後，藉由使形成於上述半導體基板上之第2導電膜圖案化，於上述第1閘極彼此之間形成含有上述第2導電膜之第2閘極之步驟。

[發明之效果]

就藉由本申請案所揭示之發明中之代表者而獲得之效果，簡單說明如下。

其可提高非揮發性半導體記憶裝置之製造良率與可靠性。

【實施方式】

以下，依據圖示詳細說明本發明之實施形態。另外，在用以說明實施形態之全圖中，在同一構件上原則上使用同一符號，省略其重複說明。

(實施形態1)

圖1係表示本實施形態之AND型快閃記憶體之電路圖。AND型快閃記憶體之記憶體單元矩陣配置於半導體基板之記憶體陣列部MM。如下所述，記憶體單元含有形成於半導體基板之p型井之n型半導體區域(源極、汲極)與三個閘極。構成記憶體單元之三個閘極係浮游閘極、控制閘極以及選擇閘極。控制閘極延伸於列方向且構成字元線WL(WL0、WL1...WLn)。選擇閘極延伸於正交於字元線WL之行方向。n型半導體區域(源極、汲極)延伸於與字元線WL正交之行方向且構成局部位元線BL。局部位元線BL之相互鄰接之兩條

連接於一條全局位元線 GBL，藉由選擇電晶體 ST 任選其中一條。為實現縮小列方向之間距，n 型半導體區域(源極、汲極)藉由鄰接之記憶體單元共用。

於向記憶體單元寫入資訊時，施加 15 V 於所選記憶體單元之字元線(其它字元線為 0 V)，施加 1.2 V 於選擇閘極(其它選擇閘極為 0 V)，施加 0 V 於 n 型半導體區域(源極)，施加 4.5 V 於連接於同一字元線之鄰接記憶體單元之 n 型半導體區域(汲極)，將自源極流入汲極之部分電子(熱電子)通過第 1 閘極絕緣膜(通道氧化膜)注入至浮游閘極。如此寫入方式被稱為 SSI(Source-Side-Injection，源側注入)寫入方式，因可高效率地產生熱電子，故而可以少量通道電流寫入記憶體單元。故而，可於不超出晶片內之電源電壓之電流供給能力的範圍，並列地寫入複數個記憶體單元，從而可提高寫入之處理量。此時，選擇記憶體單元與非選擇記憶體單元之元件分離係藉由與 n 型半導體區域(汲極)重疊之選擇閘極加以實行。即，施加例如 0 V 左右於非選擇記憶體單元之選擇閘極。又，通過施加例如 0 V 於其它選擇閘極電極，實行選擇、非選擇記憶體單元之間之分離。

於讀出時，施加 3.5 V 於選擇閘極，施加 1 V 於源極，施加 0 V 於汲極，判定記憶體單元之臨限值。選擇記憶體單元與非選擇記憶體單元之元件分離係與寫入時相同，藉由選擇閘極實行。

於刪除時，施加 18 V 於選擇字元線，施加 0 V 於源極，施加 0 V 於汲極，施加 0 V 於選擇閘極。藉此電子自浮游閘極

放出至p型井，降低閾值。

其次，使用圖2至圖16以步驟順序說明本實施形態之AND型快閃記憶體之製造方法。另外，圖式中附有X-X之剖面圖係沿字元線(WL)之延伸方向(列方向)之半導體基板的主要剖面圖，圖式中附有Y-Y之剖面圖係沿與字元線(WL)之延伸方向正交之方向(行方向)之半導體基板的主要剖面圖。

首先，如圖2所示，例如於含有p型單結晶矽之半導體基板(以下稱為基板)1上採用眾所週知之製造方法形成n型井2，接著於n型井2之上部形成p型井3，其後於p型井3表面形成含有氧化矽膜之第1閘極絕緣膜(通道氧化膜)4作為絕緣膜。

然後，如圖3所示，於第1閘極絕緣膜4之上部形成導電膜以及絕緣膜。導電膜以及絕緣膜係例如採用CVD法作為n型多晶矽膜5n和氧化矽膜6而堆積。其後，如圖4所示，藉由採用將光阻膜作為遮罩之眾所周知之乾式蝕刻技術使氧化矽膜6與n型多晶矽膜5n圖案化，從而形成含有n型多晶矽膜5n之導電體片狀之選擇閘極(第1閘極)5。此時，使選擇閘極5及其上部之氧化矽膜6圖案化，使其呈帶狀沿行方向(與圖面垂直之方向)延伸。另外，使氧化矽膜6圖案化時，藉由於其側壁設置錐形，可於後續步驟中於各選擇閘極5之間容易地堆積浮游閘極材料。該錐狀之氧化矽膜6之角度設置為，與半導體基板1成85度至75度之角度。於本實施形態中，將於此後步驟中設置之n型半導體區域7側之側壁之角度設為82度之角度，其相反側之側壁角度設為80度。即，

將設有n型半導體區域7側之側的側壁角度設為小於未設定n型半導體區域7側之側的側壁角度。又，氧化矽膜6於其後工程中作為用以保護選擇閘極5之保護膜以及罩膜發揮作用。

其次，如圖5所示，藉由採用傾斜離子佈植法將砷(As)作為用以表示n型導電型之雜質導入至選擇閘極5一方之側壁附近之p型井3，形成作為記憶體單元之局部位元線發揮功能之n型半導體區域(源極、汲極)7。

如下所述，本實施形態之快閃記憶體因係沿選擇閘極5之側壁配置浮游閘極，故而於結構上容易產生汲極干擾。因此，作為防止汲極干擾之對策，使位於選擇閘極5之側壁中之形成有n型半導體7之一方之側壁附近的第1閘極絕緣膜4之膜厚大於其它部分，將此後形成之浮游閘極與n型半導體區域7分隔。

於本實施形態中，採用ISSG(In-Situ Steam Generation)氧化法(將氫與氧直接導入熱處理腔室內，於已加熱之基板上實行游離基氧化反應之方法)作為加厚第1閘極絕緣膜4之氧化方法。該ISSG法，例如，藉由採用於900℃之環境下10%以上之H₂濃度，可於Si上形成膜厚為8 nm之氧化矽膜。又，藉由降低此時之溫度可抑制n型半導體區域7之橫向擴散。

圖6係表示採用上述ISSG氧化法使第1閘極絕緣膜4加厚後不久之基板1的剖面圖，圖7係圖6之要部擴大剖面圖。

ISSG氧化法與根據現有之RTP(Rapid Thermal Process，

快速加熱製程)方式形成之熱氧化相比時，具有可抑制氧向基板1中加速擴散之特徵。因而，採用ISSG氧化法氧化基板1之表面時，如圖7所示，位於導入有砷(As)之n型半導體區域7之上部之第1閘極絕緣膜4之膜厚(d)與未導入砷(As)之區域之膜厚(d')大致相等。即，第1閘極絕緣膜4之膜厚於包含選擇閘極5之兩側壁附近之各選擇閘極5之間大致相等。又，此時藉由根據ISSG法實行之氧化，於選擇閘極5之側面上亦形成有絕緣膜4。

接著，如圖8所示，於基板1上採用CVD法堆積氧化矽膜8作為絕緣膜。氧化矽膜8以未埋入各選擇閘極5之間之程度的膜厚堆積。接著，如圖9所示，藉由各向異性蝕刻氧化矽膜8，於選擇閘極5之兩側壁形成含有氧化矽膜8之側壁間隔物8s。側壁間隔物8s係用以確保其後形成之浮游閘極與選擇閘極5之間的耐壓而形成。

如圖9所示，進行上述之各向異性蝕刻時，亦會蝕刻各選擇閘極5之間之第1閘極絕緣膜4，露出基板1。如上所述，使用ISSG氧化法實行膜厚化之第1閘極絕緣膜4因膜厚之均一性較高，故而於實行各向異性蝕刻法時，幾乎不會產生膜厚之減少量局部性不均一之現象。另一方面，於採用PTP方式之熱氧化法使第1閘極絕緣膜4膜厚化之情形下，因於選擇閘極5之兩側壁附近之第1閘極絕緣膜4之膜厚存有差異，故而於實行上述各向異性蝕刻法時，膜厚之減少量會產生局部性不均一，記憶體單元之特性產生變動。又，當為避免膜厚之不均一而實行過度蝕刻時，會較多浸削基板1

之表面，因而元件之特性產生劣化。因此，根據使用ISSG氧化法使第1閘極絕緣膜均一膜厚化之本實施形態，可抑制汲極干擾，且可避免產生如上所述之問題。

其次，如圖10所示，藉由熱氧化基板1，於各選擇閘極5之間之基板1表面再生含有氧化矽膜之第1閘極絕緣膜4。該熱氧化法可以眾所周知之濕式氧化法實行，但藉由以上述ISSG氧化法實行，可再生厚度更為均一之第1閘極絕緣膜4。

然後，如圖11所示，採用CVD法於基板1上堆積n型多晶矽膜9n作為導電膜。n型多晶矽膜9n以未埋入各選擇閘極5之間之程度的膜厚堆積。接著，如圖12所示，於基板1上堆積反射防止膜(BARC：Bottom-Anti-Reflective Coating，抵抗反射層)10。反射防止膜10係於以下步驟中蝕刻選擇閘極5之上方之n型多晶矽膜9n時，保護選擇閘極5之側壁以及各個選擇閘極5之間之n型多晶矽膜9n不受蝕刻的膜，其以未埋入各選擇閘極5之間之程度的膜厚堆積。另外，埋入於各選擇閘極5之間之保護膜並非僅限於反射防止膜10，若為與n型多晶矽膜9n或氧化矽膜6之蝕刻選擇比不同者，亦可使用其它絕緣膜。

其次，如圖13所示，回蝕反射防止膜10及其下層之n型多晶矽膜9n。此時，藉由蝕刻選擇閘極5上方之反射防止膜10與n型多晶矽膜9n，於選擇閘極5之側壁以及各選擇閘極5之間形成含有n型多晶矽膜9n之導電體片狀之浮游閘極(第2閘極)9。此時，浮游閘極9以沿選擇閘極5之延伸方向(行方向)呈帶狀延伸之方式圖案化。

接著，藉由灰化除去殘留於各選擇閘極5之間之反射防止膜10，其後如圖14所示，於浮游閘極9之表面上形成第2閘極絕緣膜11，作為浮游閘極9與控制閘極12之間之絕緣膜。第2閘極絕緣膜11可含有例如採用CVD法堆積之氧化矽膜、氮化矽膜以及氧化矽膜之三層。

接著，如圖15所示，於第2閘極絕緣膜11之上部，形成成為記憶體單元之字元線(WL)之導電膜。該導電膜藉由將作為以CVD法堆積n型多結晶矽膜與W(鎢)膜之疊層膜的多晶金屬矽化物膜與氧化矽膜13堆積而形成。此後，藉由使用以光阻膜作為掩模之眾所周知之乾式蝕刻技術使氧化矽膜13和多晶金屬矽化物膜圖案化，形成含有多晶金屬矽化物膜之導電體片狀之控制閘極(第3閘極)12。此時，控制閘極12以沿列方向(圖之左右方向)呈帶狀延伸之方式圖案化且構成字元線(WL)。又，以乾式蝕刻法使控制閘極12圖案化時，第2閘極絕緣膜作為抗蝕層發揮作用。

然後，如圖16所示，藉由眾所周知之乾式蝕刻技術或濕式蝕刻技術除去暴露之第2閘極絕緣膜11，接著乾式蝕刻選擇閘極5而分離，從而製成記憶體單元。

實施例2

本實施形態係適用於具有MONOS(Metal Oxide Nitride Oxide Semiconductor，金屬氧化物氮化物半導體)電晶體之非揮發性記憶體者。

形成本實施形態之MONOS電晶體時，首先，如圖17所示，採用眾所周知之製造方法於基板1形成p型井21後，於

基板1上形成包含電荷蓄積膜之疊層的絕緣膜。包含該電荷蓄積膜之疊層之絕緣膜係藉由熱氧化基板1，於p型井21之表面形成氧化矽膜22。接著，於氧化矽膜22之上部使用CVD法形成含有氮化矽膜之電荷蓄積膜23，於電荷蓄積膜23之上部使用CVD法形成氧化矽膜24作為絕緣膜。該氧化矽膜24亦可根據ISSG氧化法形成。電荷蓄積膜23若為例如氮氧化矽膜或Si奈米點般於薄膜中具有捕集器位準者，亦可使用氮化矽膜以外者。

其次，如圖18所示，於氧化矽膜24之上部使用CVD法，堆積n型多晶矽膜作為導電性膜，且堆積氧化矽膜26作為絕緣膜後，藉由使用將光阻膜作為掩模之眾所周知之乾式蝕刻技術，使氧化矽膜26與n型多晶矽膜圖案化，從而形成含有n型多晶矽膜之記憶體閘極25以及氧化矽膜26。

再者，如圖19所示，藉由氧化記憶體閘極25之側壁形成氧化矽膜27。於本實施形態中，作為氧化記憶體閘極25之側壁之方法，藉由上述ISSG氧化法熱處理基板1。ISSG氧化法如實施形態1所述，其係將氫與氧直接導入已減壓之熱處理腔室內，於已加熱之基板上實行游離基氧化反應之方法，但此方法並非僅針對矽，對氧化矽亦具有強力氧化作用。因而，當採用該方法氧化記憶體閘極25之側壁時，則未藉由記憶體閘極25覆蓋之區域的含有氮化矽膜之電荷蓄積膜23亦得以氧化，形成具有均一膜厚之氧化矽膜27。

此時，於藉由眾所周知之熱氧化法形成氧化矽膜27之情形時，記憶體閘極25端部(記憶體閘極25與氧化矽膜24之介

面)得以氧化，產生所謂鳥嘴狀(未圖示)。發生該種鳥嘴狀之主要原因在於，由於記憶體閘極25端之電場產生變化，故而產生誤寫入或誤刪除等之問題。然而，於本實施形態中，藉由使用ISSG氧化法，可較眾所周知之熱氧化法更有效地抑制該種鳥嘴現象之發生。

其次，如圖20所示，藉由於基板1上各向異性蝕刻以CVD法堆積之絕緣膜，可於記憶體閘極25之側壁形成側壁間隔物28。作為形成側壁間隔物28之絕緣膜，可列舉氧化矽膜或氮化矽膜。

實行上述各向異性蝕刻時，藉由亦對未以記憶體閘極25覆蓋之區域之氧化矽膜27實行蝕刻，使基板1之表面暴露。如上所述，採用ISSG氧化法形成之氧化矽膜27，因膜厚之均一性較高，故而於實行蝕刻後，幾乎不產生膜厚之減少量局部性不均一之現象。藉此，可減少基板1之過度蝕刻量。又，由於記憶體閘極25側面上採用ISSG氧化法形成氧化矽膜27，故而通過與對氧化矽膜27採用既知之熱氧化方法之情形的比較可知，使用ISSG氧化法可使縱方向之膜厚均一地形成，且可抑制對記憶體閘極25端部即所謂鳥嘴形狀實行氧化。藉由該等形成方法與形狀效果，可防止MONOS電晶體特性之劣化。

然後，如圖21所示，藉由熱氧化基板1，於因上述蝕刻而暴露之基板1之表面上形成含有氧化矽之閘極絕緣膜29。該熱氧化可以眾所周知之濕式氧化法實行，但若以上述ISSG氧化法實行，則可形成膜厚更均一之閘極絕緣膜29。該閘

極絕緣膜29作為下述步驟中形成之控制閘極30之閘極絕緣膜而形成。

其次，如圖22所示，藉由於基板1上使以CVD法堆積之n型多結晶矽膜實行圖案化，從而形成覆蓋記憶體閘極25之側壁與上部之控制閘極30。其後，如圖23所示，藉由將雜質(磷或砷)離子佈植至p型井21形成n型半導體區域(源極、汲極)31，從而製成含有MONOS電晶體之記憶體單元。

以上，依據實施形態就本發明者之發明已加以具體說明，但本發明並非僅限於上述實施形態，可於未脫離其宗旨之範圍內加以多種變更。

例如，於本實施形態中，n型半導體區域(源極、汲極)7係於形成記憶體閘極25之後形成(圖5)，但亦可將其於形成浮游閘極9n(圖11)之後形成。

[產業上之可利用性]

本發明係可有效適用於非揮發性半導體記憶裝置之技術。

【圖式簡單說明】

圖1係表示本發明之一實施形態之AND型快閃記憶體之電路圖。

圖2係表示本發明之一實施形態之AND型快閃記憶體之製造方法之半導體基板之要部剖面圖。

圖3係表示續圖2之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖4係表示續圖3之AND型快閃記憶體之製造方法的半導

體基板之要部剖面圖。

圖5係表示續圖4之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖6係表示續圖5之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖7係表示圖6之要部擴大剖面圖。

圖8係表示續圖6之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖9係表示續圖8之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖10係表示續圖9之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖11係表示續圖10之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖12係表示續圖11之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖13係表示續圖12之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖14係表示續圖13之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖15係表示續圖14之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖16係表示續圖15之AND型快閃記憶體之製造方法的半導體基板之要部剖面圖。

圖 17 係表示本發明之其它實施形態之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 18 係表示續圖 17 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 19 係表示續圖 18 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 20 係表示續圖 19 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 21 係表示續圖 20 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 22 係表示續圖 21 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

圖 23 係表示續圖 22 之含有 MONOS 電晶體之非揮發性記憶體之製造方法的半導體基板之要部剖面圖。

【主要元件符號說明】

- | | |
|----|------------------|
| 1 | 半導體基板 |
| 2 | n 型井 |
| 3 | p 型井 |
| 4 | 第 1 閘極絕緣膜(通道氧化膜) |
| 5n | n 型多結晶矽膜 |
| 5 | 選擇閘極(第一閘極) |
| 6 | 氧化矽膜 |
| 7 | n 型半導體區域(源極、汲極) |

8	氧化矽膜
8s	側壁間隔物
9n	n型多晶矽膜
9	浮游閘極(第2閘極)
10	反射防止膜
11	第2閘極絕緣膜
12	控制閘極(第3閘極)
13	氧化矽膜
21	p型井
22	氧化矽膜
23	電荷蓄積膜
24	氧化矽膜
25	記憶體閘極
26、27	氧化矽膜
28	側壁間隔物
29	閘極絕緣膜
30	控制閘極
31	n型半導體區域(源極、汲極)
BL	局部位元線
GBL	全局位元線
MM	記憶體陣列部
Qs	記憶體單元
ST	選擇電晶體
WL	字元線

五、中文發明摘要：

本發明係提高非揮發性半導體記憶裝置之製造良率與可靠性。本發明於製造藉由形成於半導體基板之p型井上之n型半導體區域(源極、汲極)與三個閘極(浮游閘極、控制閘極以及選擇閘極5)構成記憶體單元之AND型快閃記憶體時，將砷(As)導入選擇閘極5之一方側壁附近之p型井3而形成n型半導體區域(源極、汲極)7之後，作為汲極干擾對策，使用ISSG(In-Situ Steam Generation, 原位蒸發法)氧化法熱處理基板1，從而加厚形成位於形成有n型半導體區域7一方之側壁附近的第1閘極絕緣膜4之膜厚。

六、英文發明摘要：

十一、圖式：

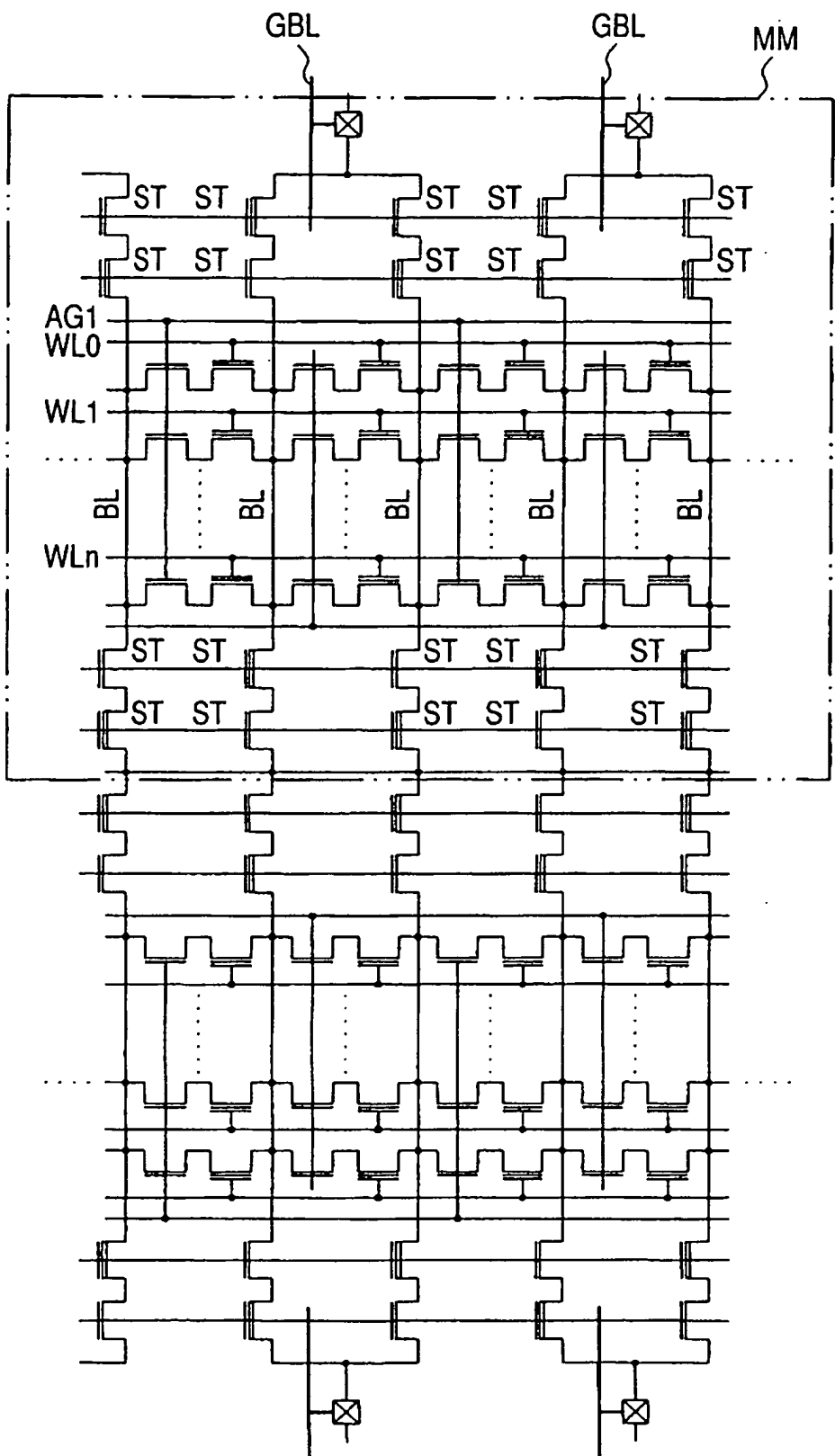


圖 1

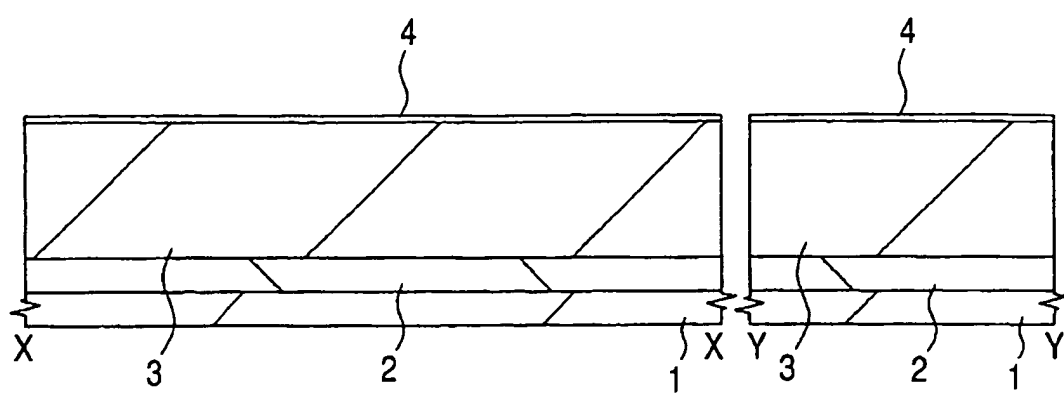


圖 2

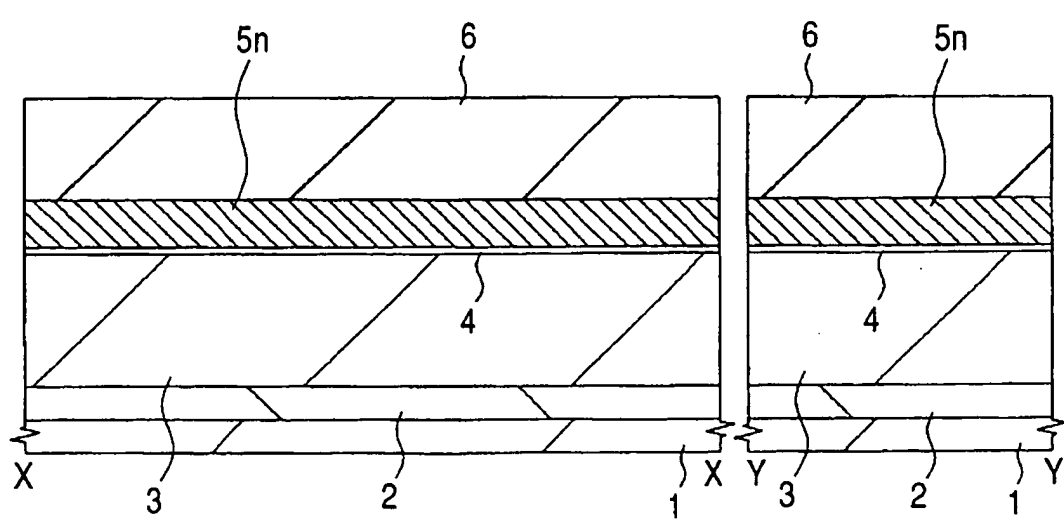


圖 3

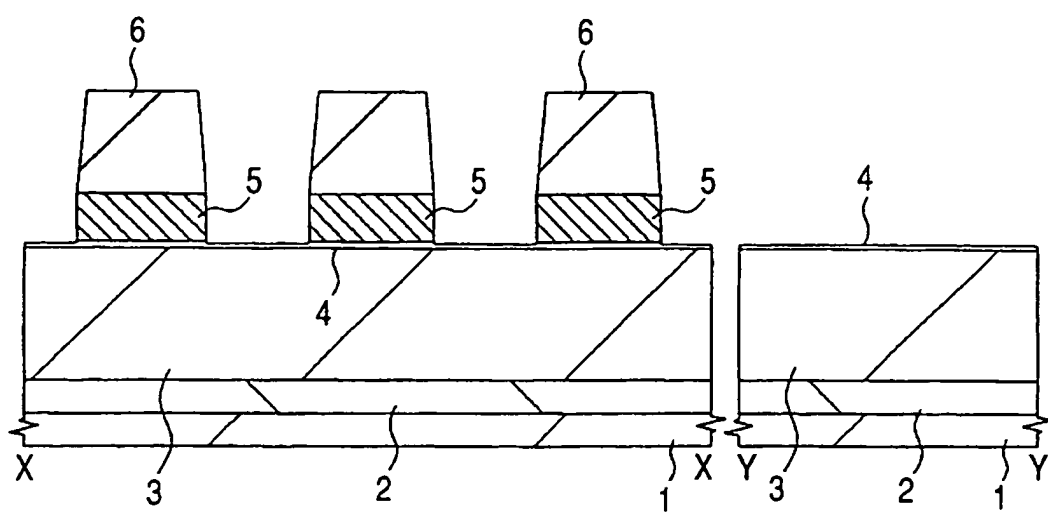


圖 4

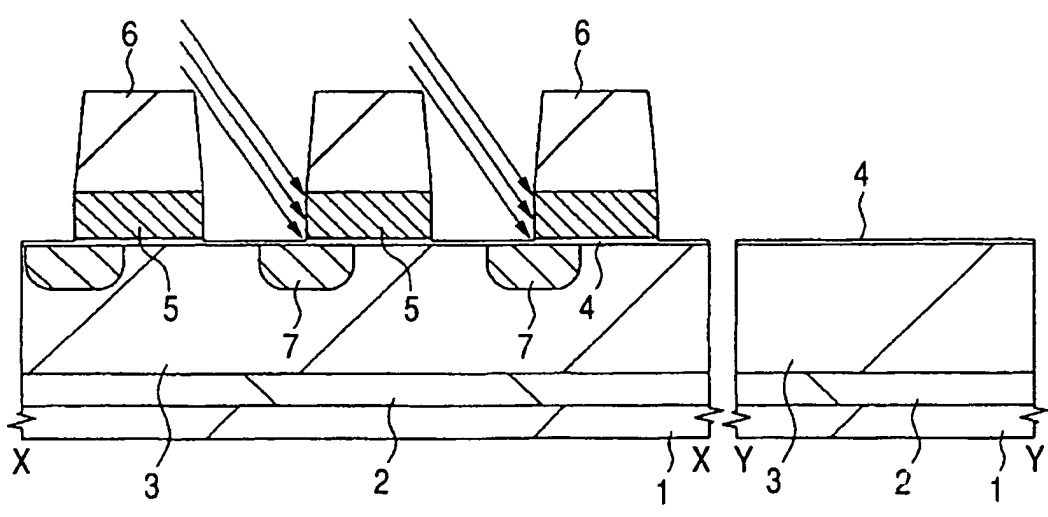


圖 5

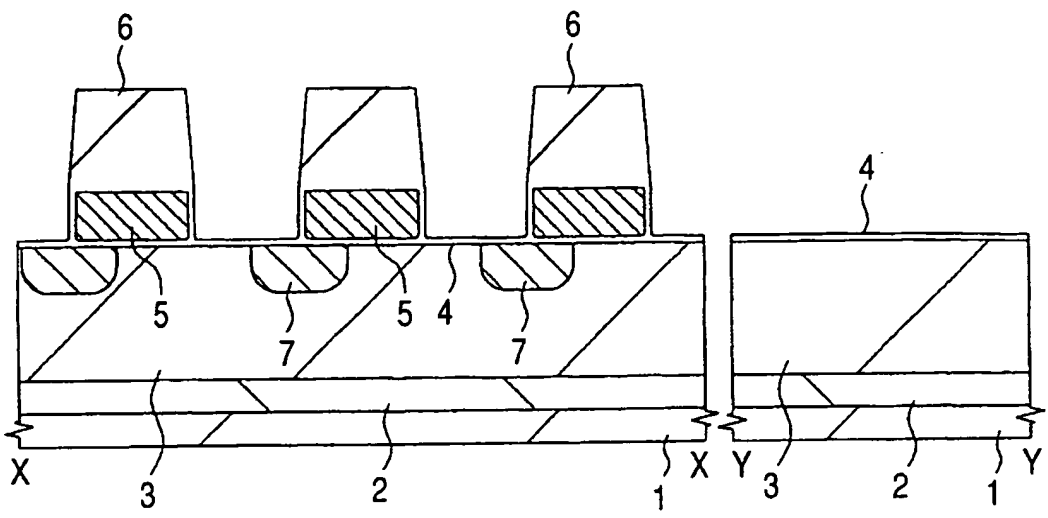


圖 6

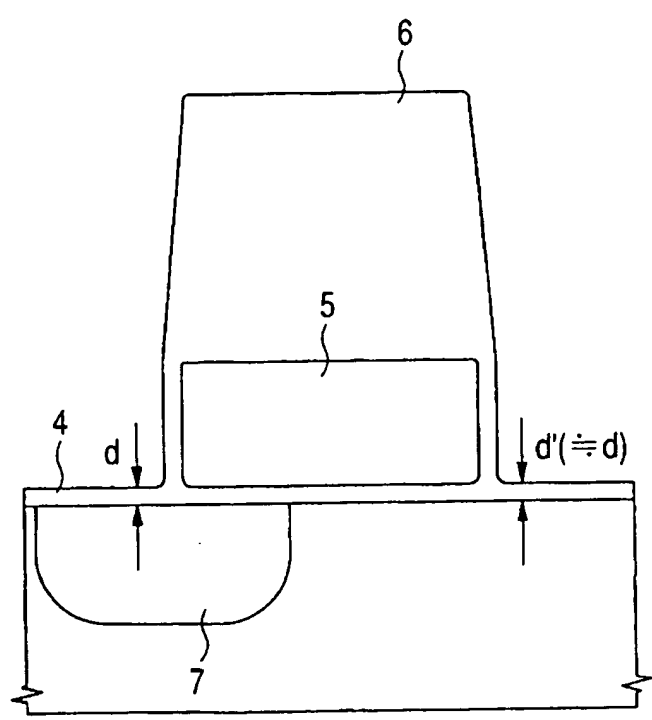


圖 7

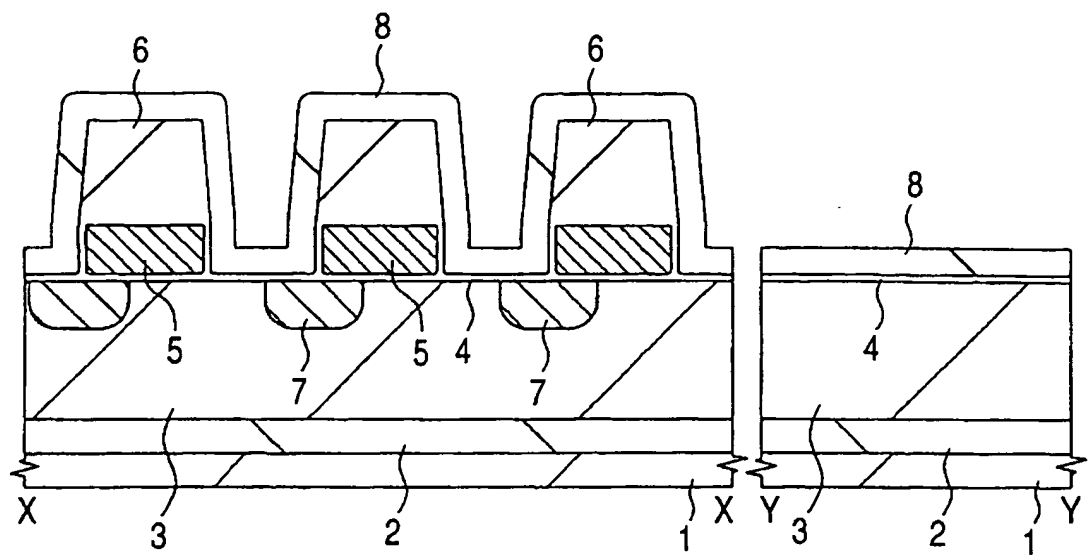


圖 8

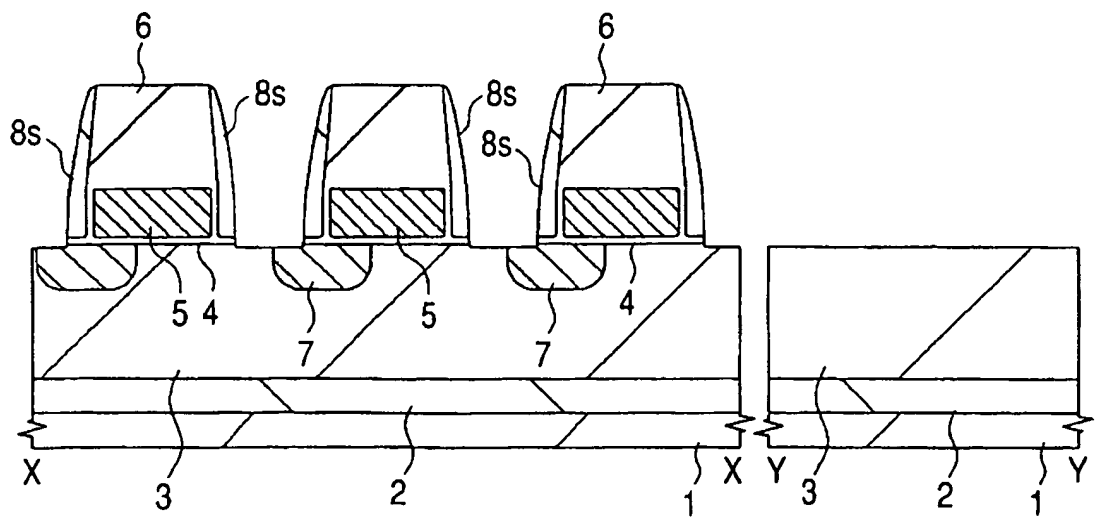


圖 9

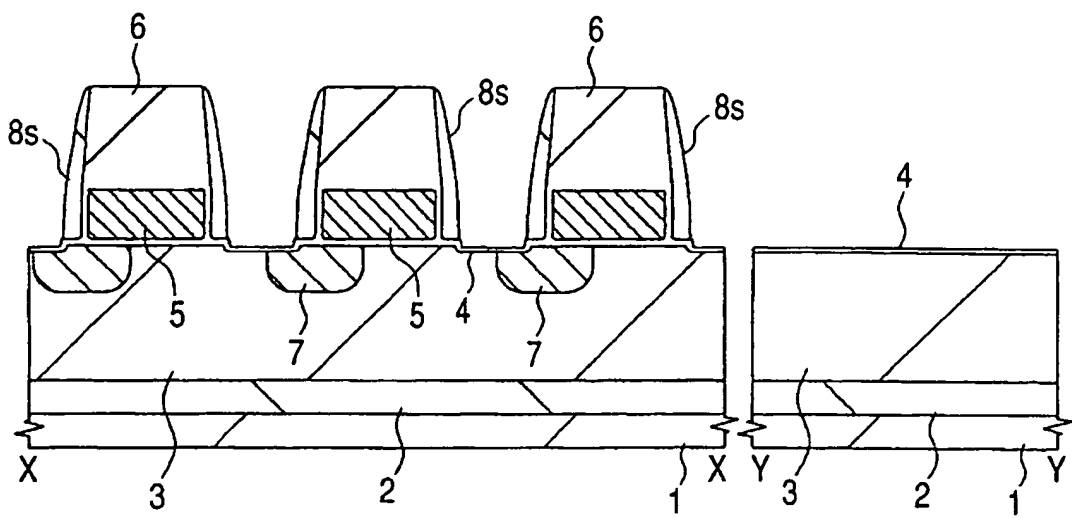


圖 10

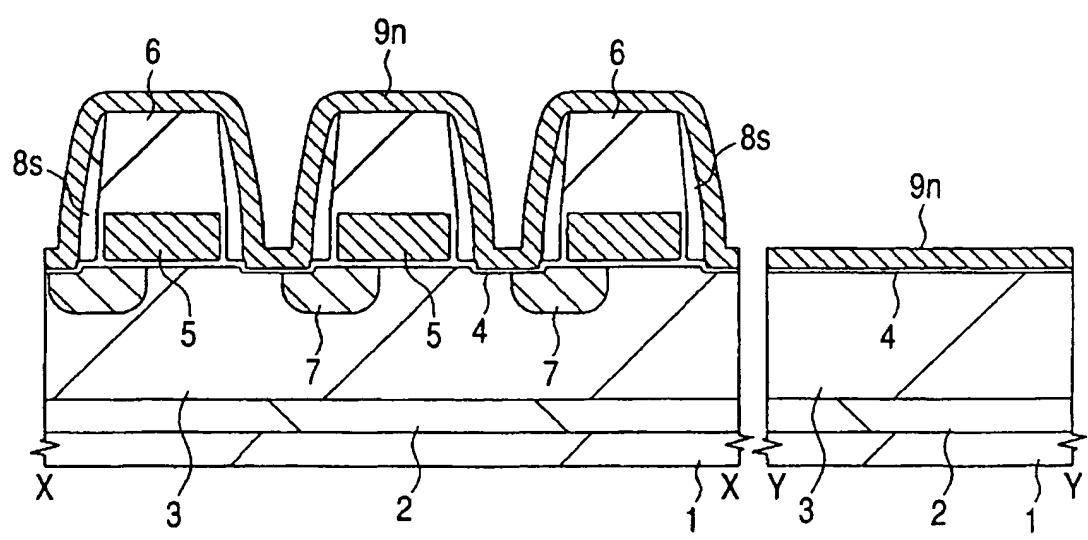


圖 11

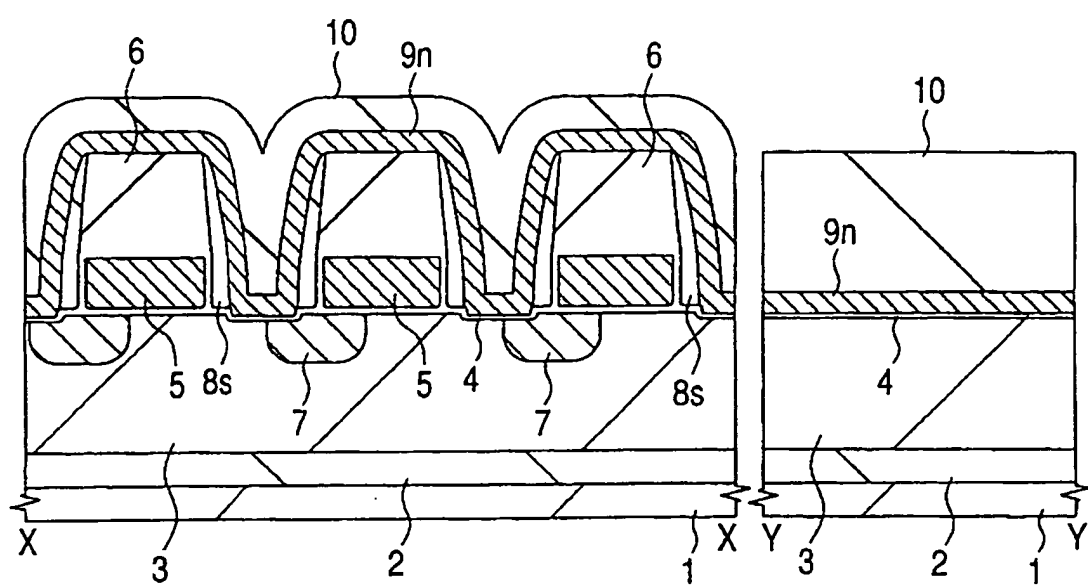


圖 12

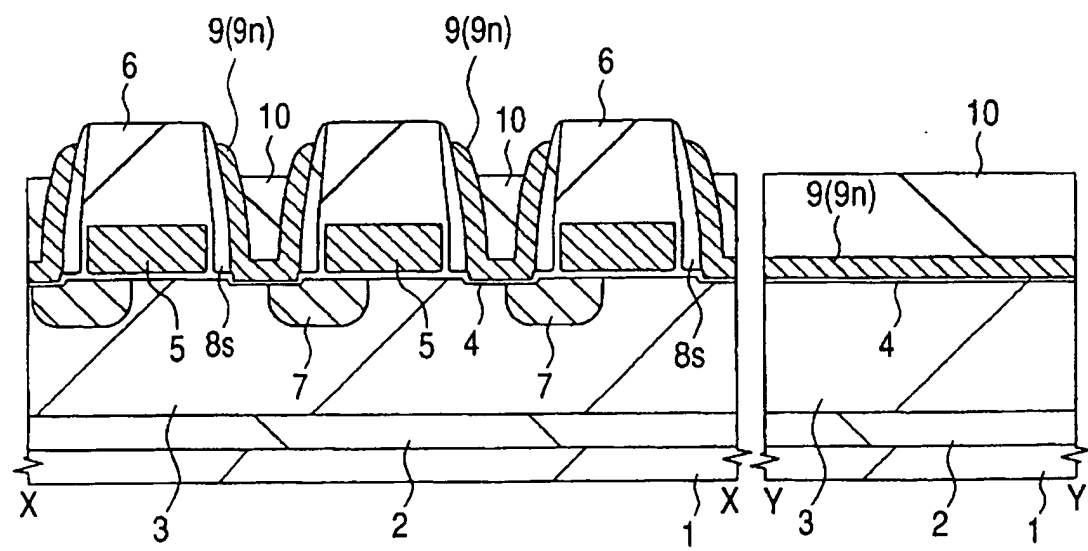


圖 13

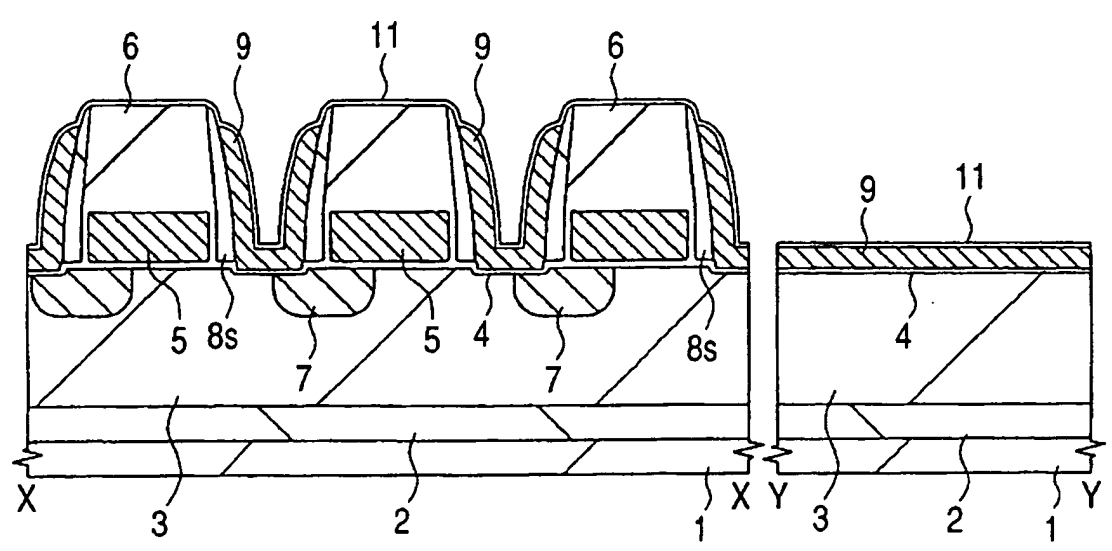


圖 14

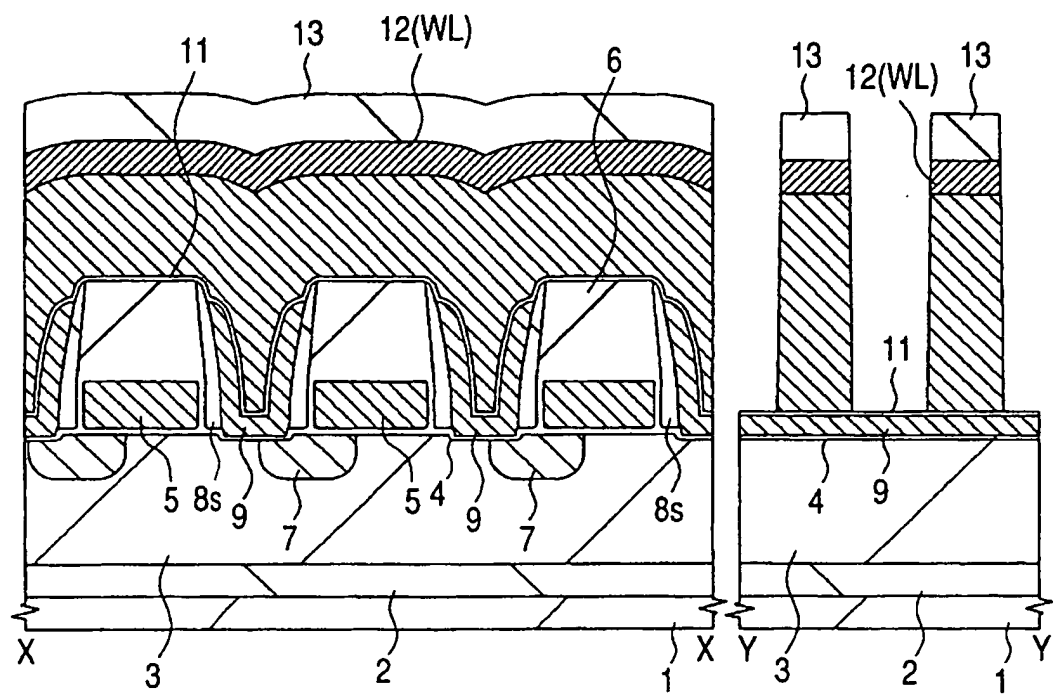


圖 15

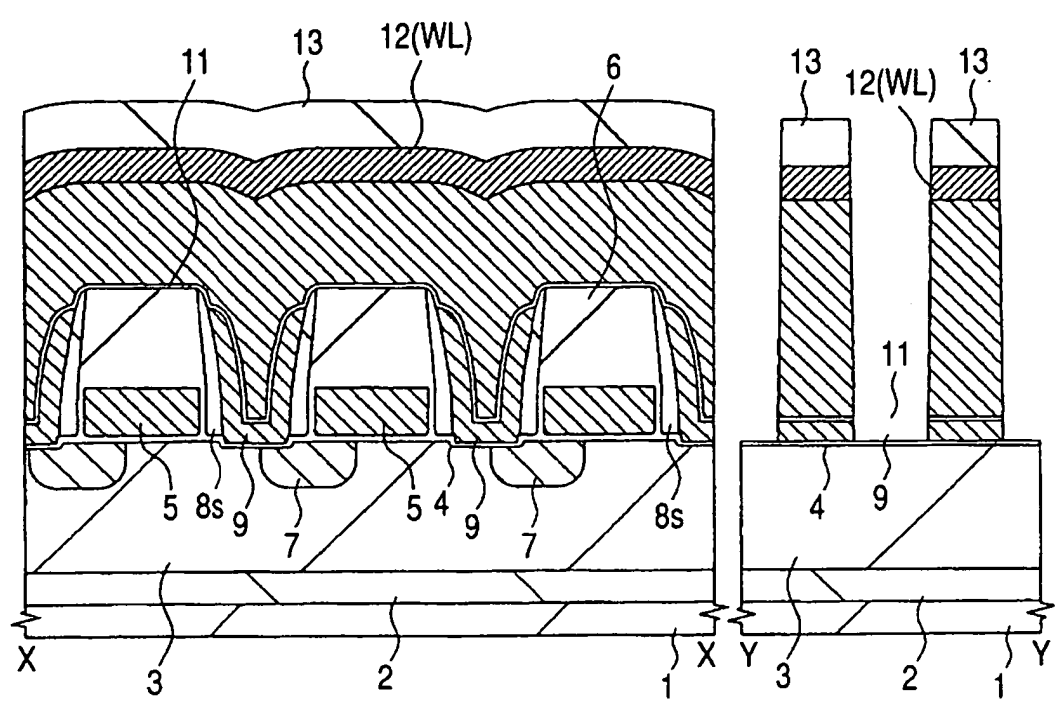


圖 16

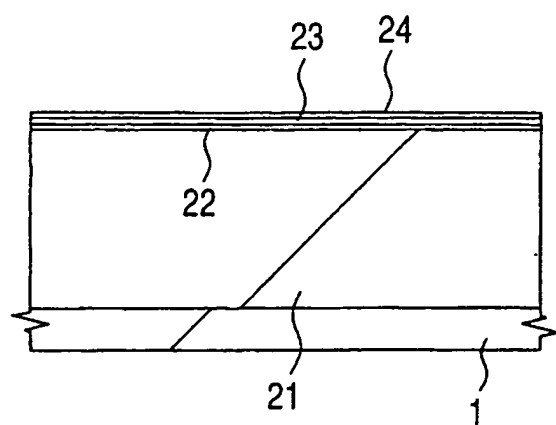


圖 17

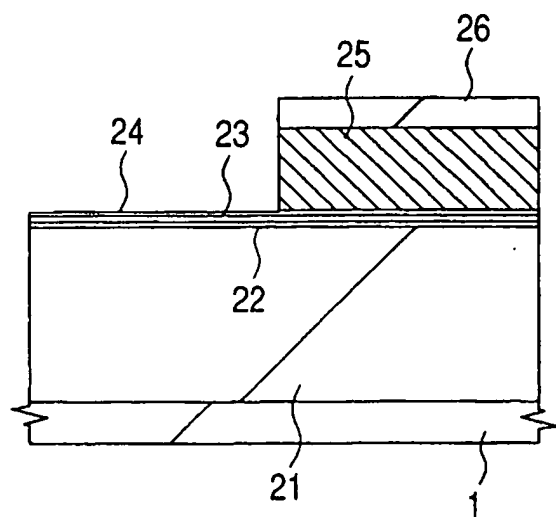


圖 18

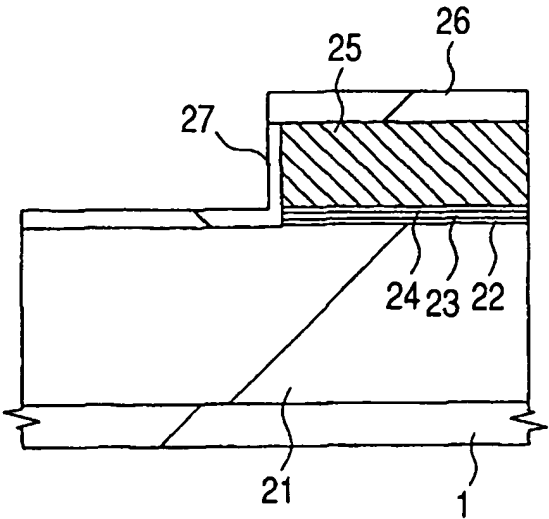


圖 19

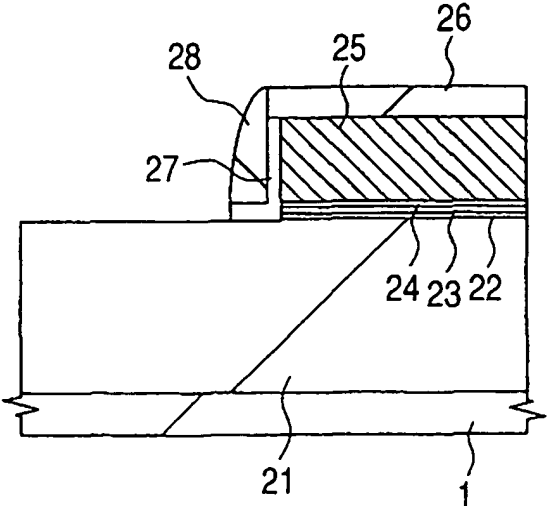


圖 20



10



Figure 22

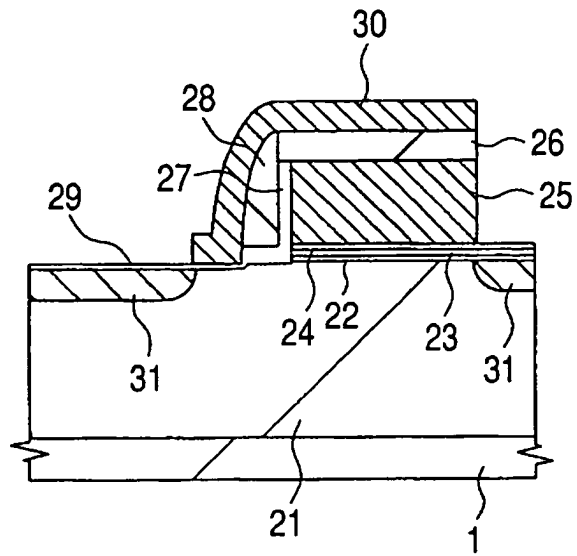


圖 23

七、指定代表圖：

(一)本案指定代表圖為：第 (6) 圖。

(二)本代表圖之元件符號簡單說明：

- 1 半導體基板
- 2 n型井
- 3 p型井
- 4 第1閘極絕緣膜
- 5 選擇閘極
- 6 氧化矽膜
- 7 n型半導體區域

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

配置於第1導電型半導體基板之主面上，該複數個記憶體單元包含：第1閘極，其於上述半導體基板之主面上介隔以以氧化矽作為主體之第1絕緣膜而形成；側壁間隔物，其含有形成於上述第1閘極之側壁的第2絕緣膜；源極、汲極，其含有形成於上述半導體基板之第2導電型半導體區域；第2閘極，其以覆蓋上述側壁間隔物之方式形成且其一部分介隔以上述第1絕緣膜與上述源極、汲極絕緣；及第3閘極，其形成於上述第2閘極上且介隔以第3絕緣膜與上述第2閘極絕緣；上述第3閘極延伸於上述半導體基板之主面之第1方向且構成字元線，上述源極、汲極延伸於與上述半導體基板之主面之上述第1方向交叉的第2方向且構成位元線。

本發明之非揮發性半導體記憶裝置之製造方法包含以下步驟：

(a)於第1導電型半導體基板之主面上形成以氧化矽作為主體之第1絕緣膜，其後藉由使形成於上述第1絕緣膜上之第1導電膜圖案化，形成延伸於上述半導體基板之主面之第1方向的複數個第1閘極之步驟；

(b)藉由採用傾斜離子佈植法將雜質導入於上述第1閘極之各一方側壁附近之上述半導體基板，形成含有第2導電型半導體區域之源極、汲極之步驟；

(c)於上述步驟(b)後，藉由使用ISSG氧化法熱處理上述半導體基板，使包含上述第1閘極之各側壁附近之上述第1閘極彼此之間之上述第1絕緣膜厚膜化之步驟；

(d)於上述步驟(c)後，藉由各向異性蝕刻形成於上述半導

十、申請專利範圍：

1. 一種非揮發性半導體記憶裝置，其係複數個記憶體單元矩陣配置於第1導電型半導體基板之主面者，該等複數個記憶體單元包含：

第1閘極，其於上述半導體基板之主面上介隔以由氧化矽作為主體之第1絕緣膜而形成；

側壁間隔物，其含有形成於上述第1閘極之側壁的第2絕緣膜；

源極、汲極，其含有形成於上述半導體基板之第2導電型半導體區域；

第2閘極，其以覆蓋上述側壁間隔物之方式形成，且其一部分藉由上述第1絕緣膜與上述源極、汲極絕緣；及

第3閘極，其形成於上述第2閘極上，且介隔以第3絕緣膜與上述第2閘極絕緣；並且

上述第3閘極延伸於上述半導體基板之主面之第1方向且構成字元線；

上述源極、汲極延伸於與上述半導體基板之主面之上述第1方向交叉的第2方向且構成位元線。

2. 如請求項1之非揮發性半導體記憶裝置，其中上述源極、汲極形成於上述第1閘極之一方側壁下部，由在上述字元線之延伸方向鄰接之兩個記憶體單元共有。
3. 如請求項1之非揮發性半導體記憶裝置，其中向上述記憶體單元寫入資訊，係藉由將於上述第1閘極之下部之通道區域產生之熱電子通過上述第1絕緣膜、注入上述第2閘極

極而實行。

4. 一種非揮發性半導體記憶裝置之製造方法，其含有以下步驟：

(a)於第1導電型半導體基板之主面上形成以氧化矽作為主體之第1絕緣膜，其後藉由使形成於上述第1絕緣膜上之第1導電膜圖案化，形成延伸於上述半導體基板之主面之第1方向之複數個第1閘極；

(b)藉由使用傾斜離子佈植法將砷導入於上述第1閘極之各一方之側壁附近之上述半導體基板，形成含有第2導電型半導體區域之源極、汲極；

(c)於上述步驟(b)之後，藉由使用ISSG氧化法熱處理上述半導體基板，使包含上述第1閘極之各側壁附近之上述第1閘極彼此之間之上述第1絕緣膜厚膜化；

(d)於上述步驟(c)之後，藉由各向異性蝕刻形成於上述半導體基板上之第2絕緣膜，於上述第1閘極之各側壁形成含有上述第2絕緣膜之側壁間隔物；

(e)於上述步驟(d)之後，藉由使形成於上述半導體基板上之第2導電膜圖案化，於上述第1閘極彼此之間形成含有上述第2導電膜之第2閘極。

5. 如請求項4之非揮發性半導體記憶裝置之製造方法，其進而包含以下步驟：於上述步驟(d)之後、上述步驟(e)之前，採用ISSG氧化法熱處理上述半導體基板，以再生因上述步驟(d)之各向異性蝕刻而削減之上述第1絕緣膜。
6. 如請求項4之非揮發性半導體記憶裝置之製造方法，其中

於上述步驟(e)之後進而包含以下步驟：

(f)於上述第2閘極上形成第3絕緣膜，於上述第3絕緣膜上形成第3導電膜後，藉由使上述第3導電膜圖案化，而形成延伸於與上述半導體基板主面之上述第1方向交叉的第2方向之複數個第3閘極。

7. 如請求項4之非揮發性半導體記憶裝置之製造方法，其中於上述步驟(b)中將砷導入上述半導體基板時，使用傾斜離子佈植法。
8. 如請求項6之非揮發性半導體記憶裝置之製造方法，其中藉由上述第1、第2以及第3閘極、上述源極、汲極及上述第1絕緣膜以及上述第3絕緣膜構成記憶體單元；

上述第3閘極延伸於上述半導體基板主面之第1方向、且構成字元線；

上述源極、汲極延伸於與上述半導體基板主面之上述第1方向交叉之第2方向、且構成位元線。

9. 如請求項8之非揮發性半導體記憶裝置之製造方法，其中上述源極、汲極形成於上述第1閘極之一方側壁下部，由在上述字元線之延伸方向鄰接之兩個記憶體單元共有。
10. 如請求項8之非揮發性半導體記憶裝置之製造方法，其中向上述記憶體單元寫入資訊，係藉由將於上述第1閘極之下部之通道區域產生之熱電子通過上述第1絕緣膜、注入上述第2閘極而實行。
11. 一種非揮發性半導體記憶裝置之製造方法，其包含以下步驟：

(a)於第1導電型半導體基板上，介隔以第1絕緣膜形成第1導電體片；

(b)藉由ISSG氧化法，於上述第1導電體片之側壁以及上述半導體基板上形成第2絕緣膜；

(c)於上述步驟(b)之後，以覆蓋上述第1導電體片之方式形成第3絕緣膜；

(d)藉由蝕刻上述第2以及第3絕緣膜，於上述第1導電體片之側壁形成側壁間隔物；

(e)於上述步驟(d)之後，藉由ISSG氧化法，於上述半導體基板上形成第4絕緣膜；

(f)於上述步驟(e)之後，於上述第4絕緣膜上以及介隔以上述側壁於上述第1導電體片之側壁上形成第2導電體片。

12. 如請求項11之非揮發性半導體記憶裝置之製造方法，其進而包含以下步驟：

(g)於上述步驟(f)之後，於上述第2導電體片上形成第5絕緣膜；

(h)於上述第5絕緣膜上形成第3導電體片。