

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006 年 4 月 6 日 (06.04.2006)

PCT

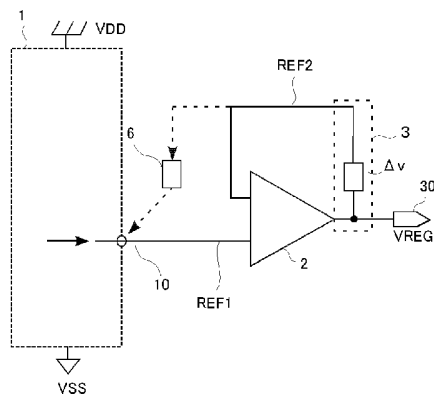
(10) 国際公開番号
WO 2006/035898 A1

- (51) 国際特許分類:
G05F 3/24 (2006.01) H03F 3/343 (2006.01)
- (21) 国際出願番号: PCT/JP2005/018014
- (22) 国際出願日: 2005 年 9 月 29 日 (29.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-285925 2004 年 9 月 30 日 (30.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): シチズン時計株式会社 (CITIZEN WATCH CO., LTD.) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目 1 番 1 2 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 人見 正彦 (HITOMI, Masahiko) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目 1 番 1 2 号 シチズン時計株式会社内 Tokyo (JP). 下鶴 雅士 (SHIMOZURU, Masashi) [JP/JP]; 〒1888511 東京都西東京市田無町六丁目 1 番 1 2 号 シチズン時計株式会社内 Tokyo (JP).
- (74) 代理人: 塩野入 章夫 (SHIONOIRI, Akio); 〒2510024 神奈川県藤沢市鵠沼橋 1 丁目 1 番 4 号 藤沢セントラルビル 6 階 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: CONSTANT VOLTAGE GENERATING CIRCUIT

(54) 発明の名称: 定電圧発生回路



(57) Abstract: A constant voltage generating circuit is provided with a reference voltage generating source (1), a differential amplifier (2) wherein an output voltage (REF1) of the reference voltage generating source (1) is inputted to one terminal and a potential (VREF2) obtained by adding a prescribed potential difference to a regulator voltage (VREG) is inputted to the other terminal, and a switch means (6) which is controlled to increase the current quantity of an output terminal (10) of the reference voltage generating source (1) for a certain period immediately after the power supply is turned on. The switch means (6) stabilizes the output voltage (REF1) of the reference voltage generating source (1) in a short time after the power supply is turned on by being turned on/off based on the potential (VREF2), and stabilizes the regulator voltage (VREG).

(57) 要約:

本発明の定電圧発生回路は、基準電圧発生源 1 と、基準電圧発生源 1 の出力電圧 (REF1) が一方の端子に、レギュレータ電圧 (VREG) に所定の電位差を加算した電位 (VREF2) が他方の端子に入力される差動アンプ 2 と、電源を投入した直後の一定期間、基準電圧発生源 1 の出力端子 10 の電流量を増やすように制御されるスイッチ手段 6 を備える。スイッチ手段 6 は、VREF2 に基づいてオン/オフされることにより、電源投入時から短時間で基準電圧発生源 1 の出力電圧 (REF1) を安定させ、そしてレギュレータ電圧 (VREG) を安定させる。



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

定電圧発生回路

技術分野

- [0001] 本発明は、定電圧発生回路に関し、特に、電源電圧に基づいて所定の基準電圧を発生し、その基準電圧に基づいてレギュレート電圧を出力する定電圧発生回路に関する。

背景技術

- [0002] 従来より、時計用ICのように、消費電流が少ない、すなわち低電力であるという特性が求められるシステムでは、内部回路用の電源として、定電圧発生回路(レギュレータ)が用いられている。定電圧発生回路は、外部より供給された電源電圧を降圧して、レギュレート電圧を発生する。時計用IC等の内部回路は、このレギュレート電圧により駆動される。また、このような定電圧発生回路は、アナログ的なバイアス電源として用いられることもある。
- [0003] 第8図は、典型的な定電圧発生回路の構成を示す回路図である。第8図に示すように、定電圧発生回路は、電源電圧に基づいて基準電圧発生源(バンドギャップリファレンス型)1で基準電圧を発生し、差動アンプ2で電流増幅を行い、出力段3で所望の出力電圧となるように微調とフィードバック制御とを行う。電源電圧は、正の電源電位VDDと負の電源電位VSSとの電位差で与えられる。正の電源ライン5には正の電源電位VDDの電位が与えられており、負の電源ライン4には負の電源電位VSSの電位が与えられている。一般に、時計用ICの場合には、正の電源電位VDDを接地電位とする負電源が用いられる。
- [0004] 基準電圧発生源1は、例えば、カレントミラー回路を構成する2個のPチャネルのMOSトランジスタ(以下、PMOSTランジスタとする)11, 12および2個のNチャネルのMOSTランジスタ(以下、NMOSTランジスタとする)13, 14と抵抗15とを有する構成とすることができる。
- [0005] 第1のPMOSTランジスタ11のソースは、抵抗15の一端に接続されている。抵抗15の他端は、正の電源ライン5に接続している。第1のPMOSTランジスタ11のゲート

は、第2のPMOSTランジスタ12のゲートおよびドレインと、第2のNMOSTランジスタ14のドレインとに接続されている。

[0006] 第1のPMOSTランジスタ11のドレインは、第1のNMOSTランジスタ13のドレインおよびゲートと、第2のNMOSTランジスタ14のゲートとに接続されている。第2のPMOSTランジスタ12のソースは、正の電源ライン5に接続している。第1のNMOSTランジスタ13のソースおよび第2のNMOSTランジスタ14のソースは、負の電源ライン4に接続している。第2のPMOSTランジスタ12のドレインと第2のNMOSTランジスタ14のドレインとの接続ノード16が、基準電圧発生源1の出力端子となり、ここから基準電圧として第1の電位REF1が出力される。

[0007] 基準電圧発生源1の出力端子となるノード16は、差動アンプ2の一方の入力端子と、出力段3とに接続されている。差動アンプ2の他方の入力端子および出力端子は、出力段3に接続されている。出力段3は、位相補償コンデンサ31、出力ドライブ用の第3のNMOSTランジスタ32、レギュレート電圧出力端子30の電位(レギュレート電圧VREG)に所定の電位差(ここでは、NMOSTランジスタの正のしきい値 V_{th})を加算するための第4のNMOSTランジスタ33、および定電流源となる第3のPMOSTランジスタ34を有する。

[0008] 差動アンプ2の出力端子は、位相補償コンデンサ31を介して、レギュレート電圧出力端子30と、第3のNMOSTランジスタ32のドレインと、第4のNMOSTランジスタ33のソースおよびバルクとに接続されている。また、差動アンプ2の出力端子は、第3のNMOSTランジスタ32のゲートに接続されている。第3のNMOSTランジスタ32のソースは、負の電源ライン4に接続されている。第4のNMOSTランジスタ33のドレインおよびゲートは、差動アンプ2の前記他方の入力端子と、第3のPMOSTランジスタ34のドレインとに接続されている。つまり、差動アンプ2の前記他方の入力端子には、第4のNMOSTランジスタ33のドレインから出力される第2の電位REF2が印加される。

[0009] 第3のPMOSTランジスタ34のゲートは、基準電圧発生源1の出力端子となるノード16に接続されている。つまり、第3のPMOSTランジスタ34のゲートには、第1の電位REF1が印加される。第3のPMOSTランジスタ34のソースは、正の電源ライン5に接

続されている。

- [0010] 以上のような構成により、差動アンプ2は、レギュレート電圧出力端子30の電位を、第1の電位REF1に第4のNMOSTランジスタ33の正のしきい値 V_{th} を加算した電位に保つように動作する。この動作がレギュレータ動作である。
- [0011] 第9図は、前記の第8図に示した定電圧発生回路の起動時の各部の電位変化を示している。第9図(a)に示すように、電源が投入されて負の電源ライン4の電位が負の電源電位VSSになると、第9(b)に示すように、第1の電位REF1は、正の電源電位VDDから徐々に負の電源電位VSS側へ変位し、電源投入時から期間T1が経過した後に、一定電位で安定する。また、第9(c)図に示すように、第2の電位REF2は、一旦、負の電源電位VSS側に引かれた後、第1の電位REF1の安定電位と同じ電位で安定する。第1の電位REF1と第2の電位REF2とが同じ電位で安定した状態になると、第9(d)図に示すように、レギュレート電圧VREGが安定した電位となる。
- [0012] 定電圧発生回路において、特に時計用ICを駆動する駆動電圧を発生する定電圧発生回路では、上記したように消費電流が少ないことが求められる他、電源を投入してから安定電位となるまでの起動性が良好であること、及び、電源電圧の変動に対する出力電位が安定していることが求められる。
- [0013] 上記した定電圧発生回路に求められる起動性について説明する。レギュレート電圧VREGの電位が安定するまでの過渡期の動作を詳細に説明すると、次のようになる。電源投入直後では、位相補償コンデンサ31と第3のNMOSTランジスタ32とのゲートバルク容量Cが無電荷状態である。そのため、レギュレート電圧VREGの電位には、ほぼ負の電源電位VSSが現れる(第9(d)図)。また、電源投入直後では、第3のPMOSTランジスタ34のゲートバイアス(第1の電位REF1)が浅い。そのため、第3のPMOSTランジスタ34の電流供給能力は僅かであり、位相補償コンデンサ31と第3のNMOSTランジスタ32とのゲートバルク容量Cを急速に充電することができない。
- [0014] 従って、レギュレート電圧VREGがほぼ電源電圧となる期間T1が存在する。基準電圧発生源1の出力電位(第1の電位REF1)が安定して、第3のPMOSTランジスタ34が所定の電流供給能力を得ると、位相補償コンデンサ31と第3のNMOSTランジ

スタ32とのゲートバルク容量Cが充電される。それによって、レギュレート電圧VREGの電位が所望の電位となる。

- [0015] 上述したように、第8図に示す構成の定電圧発生回路では、その起動性は、基準電圧発生源1の起動性に依存している。特に、低消費電流特性が要求される時計用ICの場合には、基準電圧発生源1が、高抵抗の抵抗15と、高インピーダンス化(チャネル長Lが大きい)されたMOSトランジスタ11, 12, 13, 14とにより構成されるため、動作電流が小さく、安定動作点に収束するまでの時間(期間T1)が長くなる。
- [0016] この期間T1は、MOSトランジスタ11, 12, 13, 14のしきい値 V_{th} 、環境温度および印加する負の電源電位VSSの値によっても変動するが、室温で数百ミリ秒程度であり、低温では数～数十秒になることもある。従って、第8図に示す構成の定電圧発生回路を内部回路用の電源として用いる場合には、レギュレート電圧VREGがほぼ電源電圧と等しくなっているから起動時の消費電流が増大するという問題点がある。また、この定電圧発生回路をアナログ的なバイアス電源として用いる場合には、少なくとも期間T1においては適切なバイアス電圧を供給することができないため、誤動作の原因となるという問題点がある。
- [0017] これらの起動性に係わる問題点は、電源投入直後に基準電圧発生源1に流れる電流を一時的に増加させ、安定動作点への収束を加速させることによって解決することができる。そこで、本出願人は、先に、基準電圧発生源1の起動性を改善するための考案を提案している(例えば、特許文献1参照。)。この考案では、第10図に示すように、基準電圧発生源1の出力端子となる出力ノード16と負の電源ライン4との間にコンデンサ17が接続されている。電源投入時には、コンデンサ17は、無電荷状態である。そのため、出力ノード16は、強制的に負の電源電位VSSに引かれる。それによって、基準電圧発生源1に一時的に多くの電流が流れ、短時間で安定動作点に収束する。
- [0018] しかしながら、その後、上記考案では、前記した定電圧発生回路に求められるもう一つの要求である電源電圧の変動に対する出力電位の安定性の点で問題があり、十分な安定性が得られない場合があることが判明した。
- [0019] 例えば、太陽電池システムにより駆動されるソーラー時計のように、発電素子によっ

て二次電池に蓄電された電源を用いてシステムを駆動する場合では、発電量によって電源電圧が変動する。このようなシステムに、上記したように、コンデンサによって安定動作点への収束を加速させる考案を適用した場合、起動性改善を目的として付加したコンデンサによって出力電位が電源変動に追従して変動することになる。

[0020] 例えば、第11図に示すように、負の電源電位VSSが変動すると、コンデンサ17の充電電圧は保持されているため、電源の電位変動分は出力電位にそのまま重畳され、基準電圧発生源1の出力ノード16の電位は電源変動に追従して変動することになる。そのため、電源変動に対する出力電位の安定性は低い。一方、コンデンサ17の容量を小さくすれば、電源変動の影響を緩和させることができるが、その場合には、起動性改善の効果が十分に得られない。

[0021] 一方、電源電圧の変動に対する出力電位の安定性を改善するものとして、特開昭62-296213号公報が提案されている。この文献に示される定電圧回路は、カレントミラー回路と第1の定電圧素子を備え、第1の定電圧素子の非基準電位側端子を出力端とする定電圧回路において、起動抵抗と第2の定電圧素子の直列回路と、第1、第2の定電圧素子の非基準電位側の端子間に接続するスイッチング素子とを設けるものである。

[0022] この構成では、スイッチング素子を起動初期の時点で導通することで起動電流を流して定電圧回路を起動させ、導通した後にスイッチング素子を遮断させる。このスイッチング素子は、第1のオン状態において、起動電流を第1の定電圧素子に供給してバイアスすることで定電圧回路を初期起動させ、第2のオフ状態において、その起動電流の供給を停止させることで電源の電圧変動の影響を受けないようにしている。

[0023] また、上記の構成の他に、定電圧発生回路が備えるカレントミラー回路を構成するトランジスタのゲート電位を制御して動作電流を増加させることによって、電源の電圧変動に依存しない出力電位を取得すると共に、電源を投入してから短時間で安定した電位を得る定電圧回路が提案されている。(例えば、特許文献2～5参照。)

[0024] 特許文献1:登録実用新案第2594470号公報

特許文献2:特開2002-132359号公報

特許文献3:特許第3149992号

特許文献4:特開平09-265329号公報

特許文献5:特開平05-204480号公報

- [0025] この定電圧発生回路は、例えば、電源電圧に基づいてレギュレート電圧を生成するための基準電圧を発生する基準電圧発生源と、電源投入直後の一定期間、基準電圧発生源に含まれるカレントミラー回路に流れる電流量が増えるように、カレントミラー回路を構成するトランジスタのゲート電位を制御するゲート制御手段とを備える。
- [0026] ゲート制御手段は、トランジスタのゲート電位を制御する。ゲートをオン状態とすることによってカレントミラー回路の動作電流を増加させ、電源を投入した後に短時間で安定した電位を得る。また、ゲートをオフ状態とすることによって、電源の電圧変動による出力電位の変動を防ぐ。
- [0027] 第12図は、カレントミラー回路のゲート電位を制御する定電圧発生回路の構成を示す回路図である。なお、第12図に示す回路は、前記した第8図の構成を基にした例を示している。この回路構成は、第8図に示した定電圧発生回路において、スイッチ手段71と、スイッチ手段71の開閉制御を行うスイッチ制御手段72とを設けて構成される。
- [0028] スwitch手段71は、基準電圧発生源1のカレントミラー回路を構成する第1および第2のPMOSTランジスタ11、12の各ゲート、すなわち基準電圧発生源1の出力端子となる出力ノード16と、負の電源ライン4との間に接続されている。
- [0029] スwitch制御手段72は、電源投入直後に瞬間的にスイッチ手段71を閉(オン)状態にする制御信号を出力する。それによって、スイッチ手段71は、電源投入直後の一定期間だけ閉状態となり、その後、開(オフ)状態となる。スイッチ手段71は、例えば、MOSTランジスタにより構成される。
- [0030] 電源投入直後の一定期間、第1のPMOSTランジスタ11のゲート電位および第2のPMOSTランジスタ12のゲート電位は、スイッチ手段71およびスイッチ制御手段72により制御される。従って、スイッチ手段71およびスイッチ制御手段72は、ゲート制御手段としての機能を有する。また、スイッチ手段71とスイッチ制御手段72とは、電源投入直後の一定期間、基準電圧発生源1の出力端子となる出力ノード16を負の電源ライン4に接続するので、基準電圧制御手段としての機能を有する。

- [0031] 第13図は、スイッチ制御手段72の回路図であり、抵抗73、コンデンサ74およびインバータ75により構成されている。抵抗73とコンデンサ74とは、正の電源電位VDDと負の電源電位VSSとの間に、直列に接続されている。インバータ75の入力端子は、抵抗73とコンデンサ74との接続ノード76に接続されている。インバータ75の出力端子77からは、スイッチ手段71の開閉を制御する制御信号が出力される。
- [0032] 第14図は、第13図に示すスイッチ制御手段72の起動時の電位変化を示す波形図である。第14(b)図に示すように、接続ノード76の電位は、電源が投入されて負の電源ライン4の電位が負の電源電位VSSになる(第14(a)図)と同時に、負の電源電位VSSとなる。その後、接続ノード76の電位は、コンデンサ74の蓄積により徐々に正の電源電位VDD側へ変位する。
- [0033] 第14(c)図に示すように、インバータ75の出力端子77の電位は、電源投入後、接続ノード76の電位が電源電圧の2分の1($VSS/2$)に達するまでは正の電源電位VDDであり、接続ノード76の電位が電源電圧の2分の1($VSS/2$)よりも正の電源電位VDD側になると、負の電源電位VSSになる。スイッチ手段71は、電源投入から、インバータ75の出力端子77の電位が正の電源電位VDDから負の電源電位VSSに反転するまでの期間T2の間、閉状態となる。
- [0034] しかしながら、上記した定電圧回路は、スイッチ制御手段72によってスイッチ手段71のオン、オフを制御する構成であるため、スイッチ制御手段72を別途用意して設けなければならないという問題がある。また、このスイッチ制御手段72は、電源投入直後の閉状態の期間は、コンデンサ74への充電時間に基づいて定まる。そのため、この期間T2を短縮するには、抵抗73を低抵抗としたり、コンデンサ74を小容量とすることで時定数を小さくすることができるが、このような構成では、スイッチ制御手段72に短時間に大きな電流が流れることになり、スイッチ制御手段72を構成する素子の耐電流特性やスイッチ電流手段で発生するノイズを考慮しなければならないという問題がある。

発明の開示

- [0035] この発明は、上述した従来技術による問題点を解消するものであり、定電圧発生回路において、電源変動の影響がなく、電源電圧の変動に対して出力電位が安定し、

かつ、電源投入から安定電位に至る起動性が良好で、電源を投入してから短時間で安定したレギュレート電圧を出力することを目的とする。

[0036] さらに、スイッチ制御手段のような付加回路を要することなく簡易な回路構成によって、上記した電源電圧の変動に対する出力電位の安定性、電源投入から安定電位に至る良好な起動性を実現することを目的とする。

[0037] また、ノイズや素子の耐電流特性を考慮することなく、電源を投入してから短時間で安定したレギュレート電圧を得ることができる回路構成を目的とする。

[0038] 本発明は、上述した課題を解決し、目的を達成するため、以下の態様を備える。図1は本発明の定電圧発生回路の概略構成を説明するための概略回路図である。

[0039] 図1において、定電圧発生回路は、電源電圧(VSS)を降圧して得られるレギュレータ電圧(VREG)を出力する。なお、ここでは、電源電圧の一方は接地電圧(VDD)としている。

[0040] 本発明の定電圧発生回路は、電源電圧(VSS)に基づいて、レギュレータ電圧(VREG)を生成するための基準電圧を発生する基準電圧発生源1と、一方の入力端子に基準電圧発生源1の出力電位(REF1)が入力され、他方の入力端子にレギュレータ電圧出力端子の電圧(VREG)に所定の電位差(Δv)を加算した電位(REF2)が入力され、レギュレータ電圧出力端子の電位を、前記した2つの入力端子に入力される電位(REF1, REF2)に基づいて一定に保つように動作する差動アンプ2とを備える。

[0041] さらに、電源を投入した直後の一定期間の間、基準電圧発生源1の出力端10の電流量を増やす方向に出力電位を制御するスイッチ手段6を備える。スイッチ手段6は、オン状態とオフ状態との切り替えが制御されるトランジスタを含み、このトランジスタは、差動アンプの他方の入力端子に入力される電位(REF2)に基づいてオン状態とオフ状態との切り替え制御が行われる。

[0042] スイッチ手段6がオン状態となることで、基準電圧発生源1の出力端10の電位を変化させ、基準電圧発生源1の出力端10から差動アンプ2側への電流量を増加させ、これによって電源投入時から短時間で基準電圧発生源の出力電圧を安定させ、レギュレータ電圧を安定させることができる。また、スイッチ手段6をオフ状態とすることに

よって、電源の電圧変動による出力電位の変動を防ぐことができる。

[0043] このスイッチ手段6は、差動アンプ2の他方の入力端子に入力される電位(REF2)に基づいて制御されるため、このスイッチ手段6を制御するためのスイッチ制御手段を別途用意して設ける必要はなく、簡易な構成で実現することができる。

本発明のスイッチ手段は、複数の形態によって基準電圧発生源の出力電位を制御することができる。

[0044] 本発明のスイッチ手段の第1の形態と第2の形態とは、電源投入直後の一定期間、基準電圧発生源の出力端子を差動アンプの他方の入力端子に接続する形態である。

[0045] 第1の形態及び第2の形態によれば、電源投入直後の一定期間、スイッチ手段がオン状態となることで、差動アンプの一方の入力端子に入力される電位(REF1)を他方の入力端子に入力される電位(REF2)に引き下げる。これによって基準電圧発生源に流れる電流量が増え、短時間で基準電圧発生源の出力電圧を安定させ、レギュレータ電圧を安定させる。

[0046] また、スイッチ手段6をオフ状態とすることによって、貫通電流を防ぎ、電源の電圧変動による出力電位の変動を防ぐ。

[0047] 本発明のスイッチ手段の第3の形態は、電源投入直後の一定期間、基準電圧発生源の出力端子を負の電源ラインに接続する形態である。

[0048] 第3の形態によれば、電源投入直後の一定期間、スイッチ手段がオン状態となることで、差動アンプの一方の入力端子に入力される電位(REF1)を負の電源電圧(VS)に引き下げる。これによって、基準電圧発生源に流れる電流量が増え、短時間で基準電圧発生源の出力電圧を安定させ、レギュレータ電圧を安定させる。

[0049] 本発明のスイッチ手段の第4の形態は、電源投入直後の一定期間、基準電圧発生源の出力端子をレギュレータ電圧出力端子に接続する形態である。

[0050] 第4の形態によれば、電源投入直後の一定期間、スイッチ手段がオン状態となることで、差動アンプの一方の入力端子に入力される電位(REF1)をレギュレータ電圧出力端子の電圧(VREG)に引き下げる。これによって、基準電圧発生源に流れる電流量が増え、短時間で基準電圧発生源の出力電圧を安定させ、レギュレータ電圧を

安定させる。

- [0051] レギュレータ電圧出力端子の電圧(VREG)は、負の電源電位VSSよりも正の電源電位VDD寄りの電圧であるから、スイッチ手段がオフ状態である安定状態におけるリーク電流を下げる可以降低。
- [0052] 本発明のスイッチ手段は、差動アンプの前記他方の入力端子に入力される電位に基づいてオン状態とオフ状態との切り替えが制御されるNチャンネル又はPチャンネルのトランジスタを含む構成とすることができる。
- [0053] また、基準電圧発生源は、例えば、カレントミラー回路を含む構成、抵抗とダイオードの直列回路を含む構成など、種々の構成とすることができる。
- [0054] カレントミラー回路を含む基準電圧発生源では、スイッチ手段によって電源投入直後の一定期間、カレントミラー回路を構成するトランジスタのゲート電位を制御してカレントミラー回路に流れる電流量を増やすことで、基準電圧発生源の出力電位を短時間で安定させる。
- [0055] また、電源電圧に接続される定電圧ダイオードと抵抗との直列回路を含む基準電圧発生源では、スイッチ手段によって、電源投入直後の一定期間、直列回路を構成する定電圧ダイオードと抵抗との接続点の電位を制御して直列回路に流れる電流量を増やすことで、基準電圧発生源の出力電位を短時間で安定させる。これは、本発明の第5の形態である。

図面の簡単な説明

- [0056] [図1]本発明の定電圧発生回路の概略構成を示す回路図である。
- [図2]本発明の定電圧発生回路の第1の形態を説明するための回路図である。
- [図3]第2図に示す定電圧発生回路の起動時の電位変化を示す波形図である。
- [図4]本発明の定電圧発生回路の第2の形態を説明するための回路図である。
- [図5]本発明の定電圧発生回路の第3の形態を説明するための回路図である。
- [図6]本発明の定電圧発生回路の第4の形態を説明するための回路図である。
- [図7]第5の形態として本発明の定電圧発生回路の第1の形態の別の回路例を説明するための回路図である。
- [図8]典型的な定電圧発生回路の構成を示す回路図である。

[図9]第8図に示す定電圧発生回路の起動時の電位変化を示す波形図である。

[図10]従来の起動性を改善した基準電圧発生源の構成を示す回路図である。

[図11]第10図に示す基準電圧発生源の出力ノードの電位変化を示す波形図である。

[図12]カレントミラー回路のゲート電位を制御する定電圧発生回路の構成を示す回路図である。

[図13]スイッチ制御手段の一例を示す回路図である。

[図14]第13図に示すスイッチ制御手段の起動時の電位変化を示す波形図である。

発明を実施するための最良の形態

- [0057] 以下、添付図面を参照して、この発明にかかる定電圧発生回路の好適な実施の形態を詳細に説明する。なお、ここでは、前記した第8図に示した典型的な定電圧発生回路に本発明を適用させた形態を示しているが、本発明の適用はこの定電圧発生回路に限られるものではなく、別の構成よりなる定電圧発生回路に適用することもできる。
- [0058] 従って、以下の各実施の形態において、前記した第8図に示す構成と同一の構成については、同一の符号を付して説明を省略する。
- [0059] なお、以下で示す本発明の各実施の形態は、前記第1図で示したように、差動アンプの他方の入力端子に入力される電位(REF2)に基づいてオン状態とオフ状態との切り替え制御を行うスイッチ手段を備える構成であり、このスイッチ手段の開閉動作によって、電源を投入した直後の一定期間の間、基準電圧発生源の出力端の電流量を増やす方向に出力電位を制御する。
- [0060] 以下に示す各実施の形態は、スイッチ手段の開閉動作によって、電源投入直後の一定期間、基準電圧発生源の出力端子を低電位の部位に接続することで、基準電圧発生源の出力端の電流量を増やす。電圧発生源の出力端子の低電位部位への接続は、第1、2の実施形態、及び第5の実施形態では差動アンプの他方の入力端子に接続することで行い、第3の実施形態では負の電源ラインに接続することで行い、第4の実施形態ではレギュレータ電圧出力端子に接続することで行う。また、このスイッチ手段の制御は、差動アンプの他方の入力端子に入力される電位によって行う。

- [0061] なお、以下の第1の実施形態～第4の実施形態では、基準電圧発生回路としてカレントミラー回路を含む例を用いて説明し、第5の実施形態では、基準電圧発生回路として抵抗と定電圧ダイオードの直列回路を含む例を用いて説明する。
- [0062] 第1の実施形態：
第2図は、第1の実施形態の定電圧発生回路の構成を示す回路図であり、電源投入直後の一定期間、電圧発生源の出力端子を差動アンプの他方の入力端子に接続する形態である。
- [0063] 第2図に示すように、第1の実施形態は、スイッチ手段6をNMOSTランジスタ61で構成し、このNMOSTランジスタ61のオン状態とオフ状態との切り替えを定電圧発生回路内の信号(差動アンプの他方の入力端子に入力される電位)により制御するようにしたものである。NMOSTランジスタ61の開閉状態の切り替えは、ランジスタに印加される電位によって制御されるため、第1の実施形態では従来構成のスイッチ制御手段72は不要である。
- [0064] NMOSTランジスタ61のゲートおよびドレインは、基準電圧発生源1の出力ノード16(出力端10)に接続される。一方、NMOSTランジスタ61のソースおよびバルクは、差動アンプ2の他方の入力端子に接続されている。つまり、NMOSTランジスタ61のゲートおよびドレインには、第1の電位REF1が印加され、そのソースおよびバルクには、第2の電位REF2が印加される。
- [0065] 第3図は、第2図に示す定電圧発生回路の起動時の各部の電位変化を示す波形図である。第3(a)図に示すように、電源が投入されて負の電源ライン4の電位が負の電源電位VSSになった時点では、第3(b)図および第3(c)図に示すように、第1の電位REF1と第2の電位REF2とは電位差が存在する。つまり、NMOSTランジスタ61のゲートはソースに対して正の電位が印加されている。この電位差がある間、NMOSTランジスタ61がオン状態となり、第1の電位REF1が第2の電位REF2に引き下げられる。これにより、カレントミラー回路に流れる電流量が増える。
- [0066] そして、差動アンプ2の動作によって第1の電位REF1と第2の電位REF2とが同じ電位で安定した状態になると、第3(d)図に示すように、レギュレート電圧VREGが安定した電位となる。この安定状態になるまでに要する時間T3は、従来の期間T1(第

9図参照)に比べて極めて短く、例えば、室温で1ミリ秒程度であり、低温で10ミリ秒程度である。

[0067] 安定状態になると、第1の電位REF1と第2の電位REF2とが同電位になるので、NMOSTランジスタ61はオフ状態となる。このオフ状態とすることで、貫通電流が流れたり、電源電圧の変動がレギュレート電圧VREGに影響を及ぼすなどといった不都合を避けることができる。

[0068] 第1の実施形態では、電源投入直後の一定期間、基準電圧発生源1に含まれるカレントミラー回路中の第1のPMOSTランジスタ11のゲート電位および第2のPMOSTランジスタ12のゲート電位は、NMOSTランジスタ61により制御される。従って、NMOSTランジスタ61は、カレントミラー回路のゲート制御手段としての機能を有する。

[0069] また、NMOSTランジスタ61は、電源投入直後の一定期間、基準電圧発生源1の出力端子となる出力ノード16(出力端子10)を、差動アンプ2において第2の電位REF2が入力される入力端子に接続する。したがって、NMOSTランジスタ61は、基準電圧制御手段としての機能を有する。なお、NMOSTランジスタ61に代えてダイオードを用いても良い。

[0070] 第2の実施形態:

第4図は、第2の実施形態の定電圧発生回路の構成を示す回路図であり、第1の実施形態と同様に、電源投入直後の一定期間、電圧発生源の出力端子を差動アンプの他方の入力端子に接続する形態である。

[0071] 第4図に示すように、第2の実施形態は、スイッチ手段6をPMOSTランジスタ62で構成し、このPMOSTランジスタ62のオン状態とオフ状態との切り替えを定電圧発生回路内の信号(差動アンプの他方の入力端子に入力される電位)により制御するようにしたものである。PMOSTランジスタ62の開閉状態の切り替えは、トランジスタに印加される電位によって制御されるため、第2の実施形態でも従来構成のスイッチ制御手段72は不要である。

[0072] PMOSTランジスタ62のソースは、基準電圧発生源1の出力ノード16(出力端子10)に接続されている。一方、PMOSTランジスタ62のゲートおよびドレインは、差動アンプ2の他方の入力端子に接続されている。なお、PMOSTランジスタ62のバルクは

、正の電源ライン5もしくは基準電圧発生源1の出力ノード16(出力端子10)のどちらかに接続する。つまり、PMOSTランジスタ62のソースには、第1の電位REF1が印加され、そのゲートおよびドレインには、第2の電位REF2が印加され、そのバルクには、正の電源電位VDDもしくは第1の電位REF1が印加される。

[0073] 電源が投入されて負の電源ライン4の電位が負の電源電位VSSになった時点では、第1の電位REF1と第2の電位REF2とは電位差が存在する。つまり、PMOSTランジスタ62のゲートはソースに対して負の電位が印加されている。この電位差がある間、PMOSTランジスタ62がオン状態となり、第1の電位REF1が第2の電位REF2に引き下げられる。これにより、カレントミラー回路に流れる電流量が増える。そして、差動アンプ2の動作によって第1の電位REF1と第2の電位REF2とが同じ電位で安定した状態になると、PMOSTランジスタ62はオフ状態となる。

[0074] バルクを正の電源ライン5に接続してVDDの電位にした場合、起動後は、PMOSTランジスタ62にバックゲートがかかるので、このランジスタはONしにくくなる。PMOSTランジスタ62は、電源投入直後の一定期間のみオンさせて速やかな起動を行わせることを目的としており、また、起動後において、基準電源の電圧変動が第1の電位REF1に伝達されにくいことが望ましいことを考慮すると、上記したように起動後においてランジスタがONしにくくなるのは都合がよい。

[0075] 後述する第3の実施の形態および第4の実施の形態におけるPMOSTランジスタ63、64においても同様である。第4図に示す定電圧発生回路の起動時の各部の電位変化は、前記した第1の形態と同じであり、その波形図は第3図に示す通りである。

[0076] 第2の実施の形態では、電源投入直後の一定期間、基準電圧発生源1が備えるカレントミラー回路中の第1のPMOSTランジスタ11のゲート電位および第2のPMOSTランジスタ12のゲート電位は、PMOSTランジスタ62により制御される。従って、PMOSTランジスタ62は、ゲート制御手段としての機能を有する。

[0077] また、PMOSTランジスタ62は、電源投入直後の一定期間、基準電圧発生源1の出力端子となる出力ノード16(出力端子10)を、差動アンプ2において第2の電位REF2が入力される入力端子に接続する。したがって、PMOSTランジスタ62は、基準電圧制御手段としての機能を有する。

[0078] 第3の実施形態:

第5図は、第3の実施形態の定電圧発生回路の構成を示す回路図であり、電源投入直後の一定期間、電圧発生源の出力端子を負の電源ラインに接続する形態である。

[0079] 第5図に示すように、第3の実施形態は、スイッチ手段6をPMOSTランジスタ63で構成し、このPMOSTランジスタ63のオン状態とオフ状態との切り替えを定電圧発生回路内の信号(差動アンプの他方の入力端子に入力される電位)により制御するようにしたものである。PMOSTランジスタ63の開閉状態の切り替えは、トランジスタに印加される電位によって制御されるため、第3の実施形態でも従来構成のスイッチ制御手段72は不要である。

[0080] PMOSTランジスタ63のソース、ゲートおよびドレインは、それぞれ、基準電圧発生源1の出力ノード16(出力端子10)、差動アンプ2の他方の入力端子、および負の電源ライン4に接続されている。なお、PMOSTランジスタ63のバルクは、正の電源ライン5もしくは基準電圧発生源1の出力ノード16(出力端子10)のどちらかに接続する。

[0081] つまり、PMOSTランジスタ86のソースには、第1の電位REF1が印加され、そのゲートには、第2の電位REF2が印加され、そのドレインには、負の電源電位VSSが印加され、そのバルクには、正の電源電位VDDもしくは第1の電位REF1が印加される。第5図に示す定電圧発生回路の起動時の各部の電位変化は、第1の実施形態と同じであり、その波形図は第3図に示す通りである。

[0082] 第3の実施形態では、電源投入直後の一定期間、第1のPMOSTランジスタ11のゲート電位および第2のPMOSTランジスタ12のゲート電位は、PMOSTランジスタ63により制御される。従って、PMOSTランジスタ63は、ゲート制御手段としての機能を有する。

[0083] また、PMOSTランジスタ63は、電源投入直後の一定期間、基準電圧発生源1の出力端子となる出力ノード16を負の電源ライン4に接続するので、基準電圧制御手段としての機能を有する。

[0084] 第3の実施形態には、従来構成のスイッチ手段71がNMOSTランジスタで構成されている場合に比べて、システムに接続される負荷への過電流などによって電源電

圧に変動があった場合でも、その変動が第1の電位REF1に伝達されにくいという利点がある。

[0085] 第4の実施形態:

第6図は、第4の実施形態の定電圧発生回路の構成を示す回路図であり、電源投入直後の一定期間、電圧発生源の出力端子をレギュレータ電圧出力端子に接続する形態である。

[0086] 第6図に示すように、第4の実施形態は、スイッチ手段6をPMOSTランジスタ64で構成し、このPMOSTランジスタ64のオン状態とオフ状態との切り替えを定電圧発生回路内の信号(差動アンプの他方の入力端子に入力される電位)により制御するようにしたものである。PMOSTランジスタ64の開閉状態の切り替えは、トランジスタに印加される電位によって制御されるため、第4の実施形態でも従来構成のスイッチ制御手段72は不要である

[0087] PMOSTランジスタ64のソース、ゲートおよびドレインは、それぞれ、基準電圧発生源1の出力ノード16(出力端子10)、差動アンプ2の他方の入力端子、およびレギュレート電圧出力端子35に接続されている。なお、PMOSTランジスタ64のバルクは、正の電源ライン5もしくは基準電圧発生源1の出力ノード16のどちらかに接続する。つまり、PMOSTランジスタ64のソースには、第1の電位REF1が印加され、そのゲートには、第2の電位REF2が印加され、そのドレインには、レギュレート電圧VREGの電位が印加され、そのバルクには、正の電源電位VDDもしくは第1の電位REF1が印加される。

[0088] 第6図に示す定電圧発生回路の起動時の各部の電位変化は、第1の実施形態と同じであり、その波形図は第3図に示す通りである。

[0089] 第4の実施形態では、電源投入直後の一定期間、第1のPMOSTランジスタ11のゲート電位および第2のPMOSTランジスタ12のゲート電位は、PMOSTランジスタ64により制御される。従って、PMOSTランジスタ64は、ゲート制御手段としての機能を有する。また、PMOSTランジスタ64は、電源投入直後の一定期間、基準電圧発生源1の出力端子となる出力ノード16をレギュレート電圧出力端子30に接続するので、基準電圧制御手段としての機能を有する。

- [0090] 第4の実施形態では、レギュレート電圧VREGが負の電源電位VSSよりも正の電源電位VDD寄りであるから、安定状態、すなわちPMOSTランジスタ64がオフ状態であるときのPMOSTランジスタ64のリーク電流が、第3の実施形態のPMOSTランジスタ63のリーク電流よりも少ないという利点がある。
- [0091] 第5の実施形態：
第7図は、第5の実施形態の定電圧発生回路の構成を示す回路図であり、前記した第1の実施形態と同様に、電源投入直後の一定期間、電圧発生源の出力端子を差動アンプの他方の入力端子に接続する形態であるが、基準電圧発生源として、カレントミラー回路に代えて、定電圧ダイオードと抵抗とを直列接続した定電圧回路を用いた構成例である。
- [0092] 第7図に示すように、第5の実施形態は、基準電圧発生源1の構成が相違する以外は、第2図の回路構成と同様である。
- [0093] 基準電圧発生源1は、定電圧ダイオード18と抵抗17との直列接続した定電圧回路で構成し、抵抗17と定電圧ダイオード18の接続点を出力端10に接続する。
- [0094] NMOSTランジスタ61のゲートおよびドレインは、基準電圧発生源1の出力端10に接続される。
- [0095] 第5の実施形態は、前記した第1の実施形態と同様に動作し、電源投入直後の一定期間、基準電圧発生源1に含まれる定電圧回路中の定電圧ダイオード18と抵抗17との接続点の電位は、NMOSTランジスタ61により制御される。
- [0096] また、NMOSTランジスタ61は、電源投入直後の一定期間、基準電圧発生源1の出力端子である出力端子10を、差動アンプ2において第2の電位REF2が入力される入力端子に接続する。したがって、NMOSTランジスタ61は、基準電圧制御手段としての機能を有する。
- [0097] 上記した例では、基準電圧発生源として、カレントミラー回路、あるいは、定電圧ダイオードと抵抗とを直列接続して構成される例を示したが、他の構成の定電圧回路であっても同様に適用することができる。例えば、定電圧ダイオード18と抵抗17との間にバイポーラトランジスタを設けても良い。その場合は、バイポーラトランジスタのエミッタを定電圧ダイオード18に接続し、コレクタを抵抗17に接続し、ベースを出力端子

10に接続する。

[0098] 以上説明したように、各実施の形態によれば、電源を投入した後、短時間で基準電圧発生源1の出力電位REF1が所望の電位で安定するので、直ちに所望の安定したレギュレート電圧VREGが出力されるという効果を奏する。また、基準電圧発生源1の出力端子となる出力ノード16と負の電源ライン4との間にコンデンサが接続されないで、基準電圧発生源1の出力が電源変動の影響を受けずに済む。従って、レギュレート電圧VREGが安定するという効果を奏する。

[0099] また、各実施の形態は、電源電圧が例えば3V程度であり、その半分程度のレギュレート電圧VREGで駆動される、低消費電力の小型電子機器の定電圧発生回路として有効であり、例えば時計に内蔵される定電圧発生回路に用いられる。

[0100] 以上において、本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、定電圧発生回路の基本的な構成は、第8図に示す構成に限らない。また、スイッチ手段6は、MOSTランジスタに限らない。

[0101] 以上のように、本発明にかかる定電圧発生回路は、電源電圧を降圧したレギュレート電圧で駆動される小型電子機器に有用であり、特に、例えばソーラー時計を含む時計全般に適している。

請求の範囲

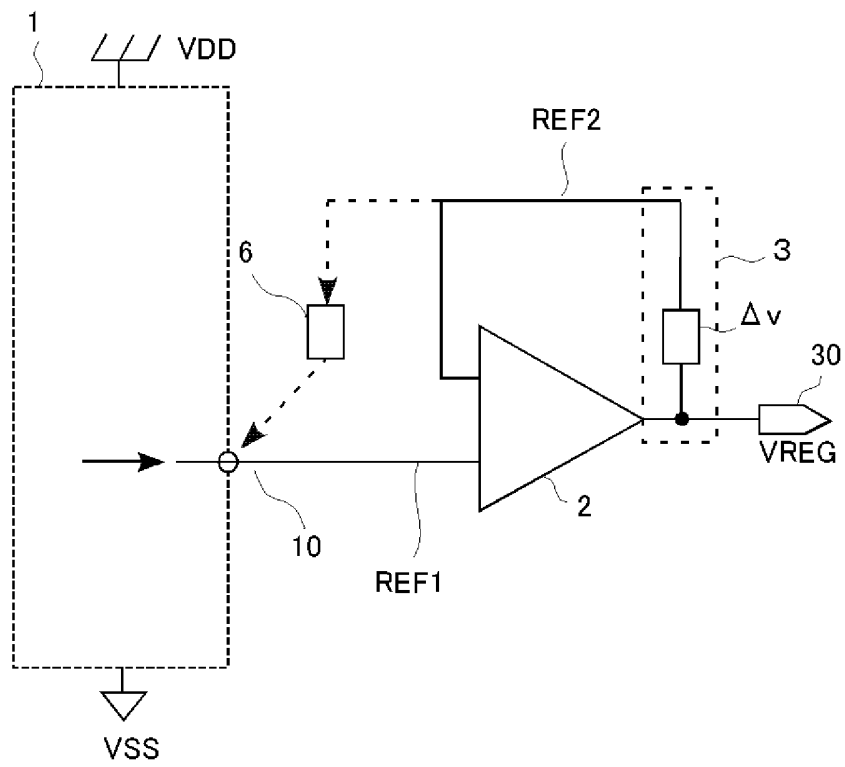
- [1] 電源電圧を降圧して得られるレギュレータ電圧を出力する定電圧発生回路であつて、
- 電源電圧に基づいて、レギュレータ電圧を生成するための基準電圧を発生する基準電圧発生源と、
- 一方の入力端子に前記基準電圧発生源の出力電位が入力され、他方の入力端子にレギュレータ電圧出力端子の電圧に所定の電位差を加算した電位が入力され、前記レギュレータ電圧出力端子の電位を、前記2つの入力端子に入力される電位に基づいて一定に保つように動作する差動アンプと、
- 電源投入直後の一定期間、前記基準電圧発生源の出力端の電流量を増やす方向に出力電位を制御するスイッチ手段と有し、
- 前記スイッチ手段は、前記差動アンプの前記他方の入力端子に入力される電位に基づいて制御することを特徴とする、定電圧発生回路。
- [2] 前記スイッチ手段は、電源投入直後の一定期間、前記基準電圧発生源の出力端子を前記差動アンプの前記他方の入力端子に接続することを特徴とする。特許請求の範囲の第1項に記載の定電圧発生回路。
- [3] 前記スイッチ手段は、電源投入直後の一定期間、前記基準電圧発生源の出力端子を負の電源ラインに接続に接続することを特徴とする。特許請求の範囲の第1項に記載の定電圧発生回路。
- [4] 前記スイッチ手段は、電源投入直後の一定期間、前記基準電圧発生源の出力端子を前記レギュレータ電圧出力端子に接続することを特徴とする。特許請求の範囲の第1項に記載の定電圧発生回路。
- [5] 前記スイッチ手段は、差動アンプの前記他方の入力端子に入力される電位に基づいてオン状態とオフ状態との切り替えが制御されるNチャンネル又はPチャンネルのトランジスタを含むことを特徴とする、特許請求の範囲の第1項乃至第4項の何れか一つに記載の定電圧発生回路。
- [6] 前記基準電圧発生源はカレントミラー回路を含み、
- 前記スイッチ手段は、電源投入直後の一定期間、前記カレントミラー回路を構成す

るトランジスタのゲート電位を制御して前記カレントミラー回路に流れる電流量を増やすことを特徴とする、特許請求の範囲の第1項乃至第5項の何れか一つに記載の定電圧発生回路。

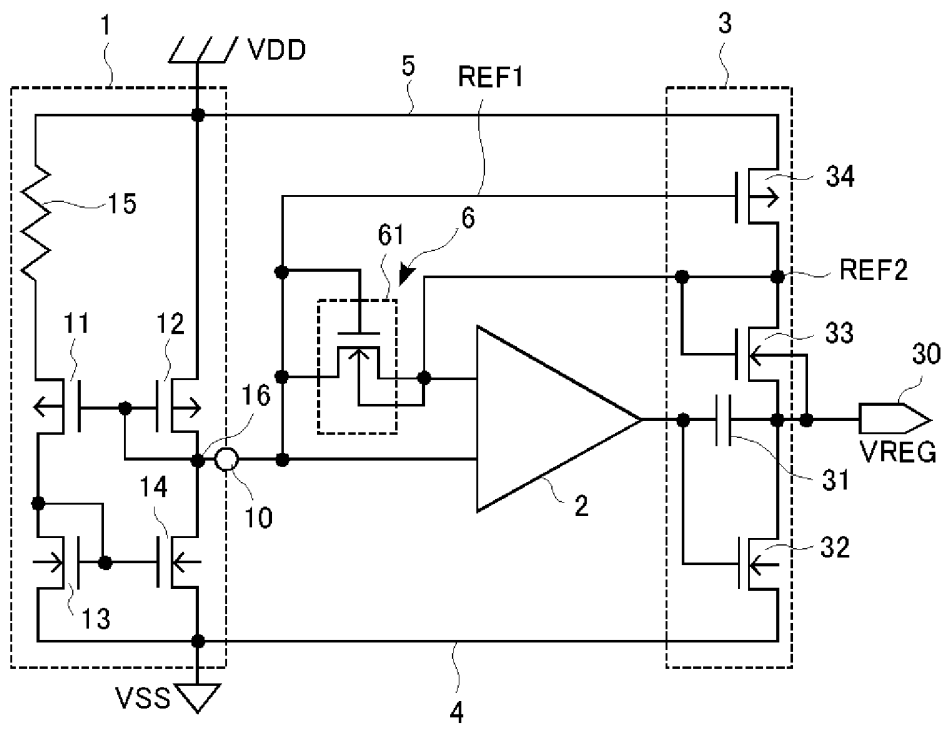
- [7] 前記基準電圧発生源は、電源電圧に接続される定電圧ダイオードと抵抗との直列回路を含み、

前記スイッチ手段は、電源投入直後の一定期間、前記直列回路を構成する定電圧ダイオードと抵抗との接続点の電位を制御して前記直列回路に流れる電流量を増やすことを特徴とする、特許請求の範囲の第1項乃至第5項の何れか一つに記載の定電圧発生回路。

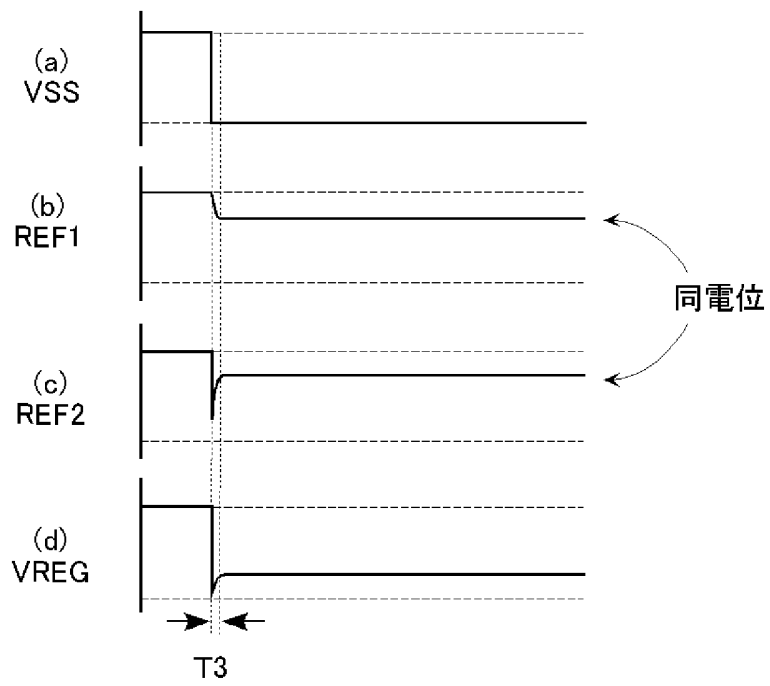
[図1]



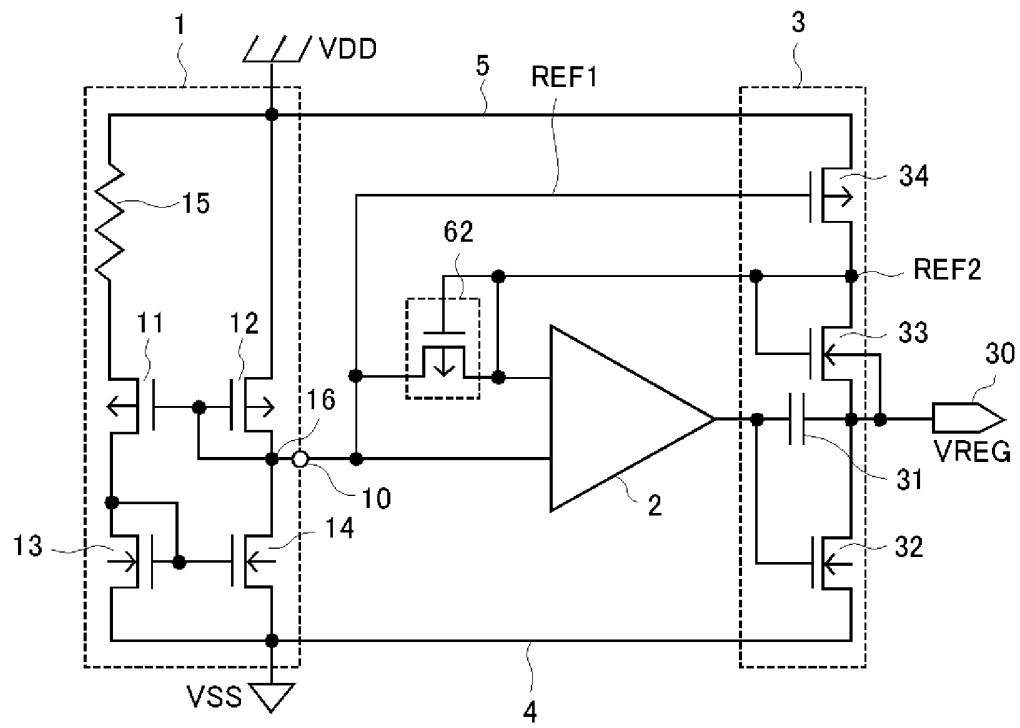
[図2]



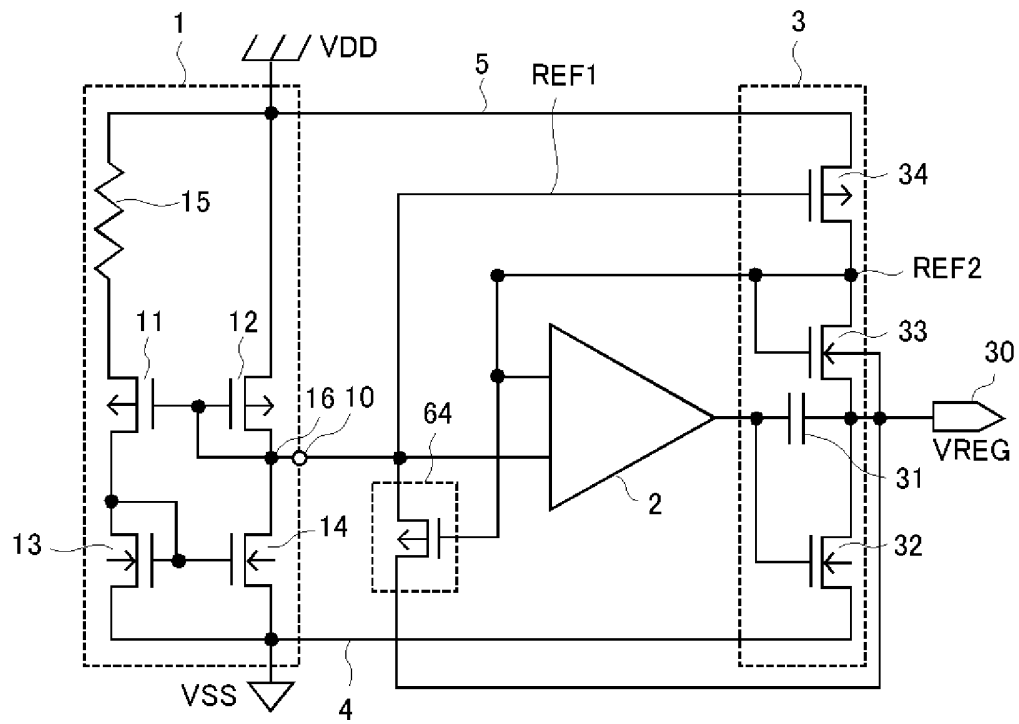
[図3]



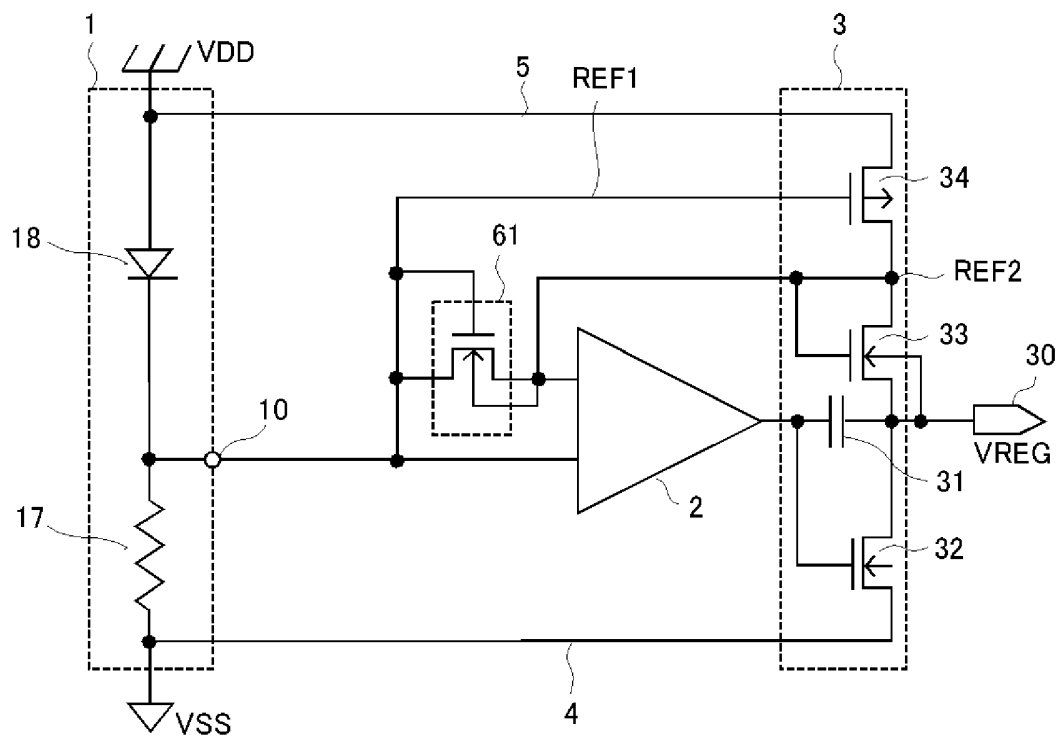
[図4]



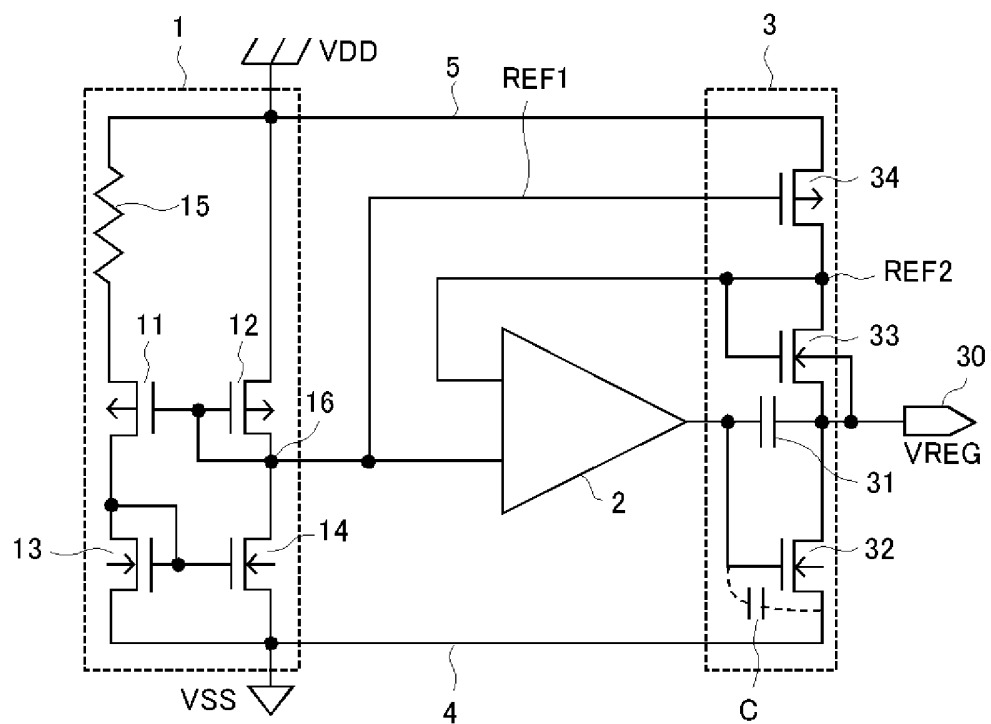
[図6]



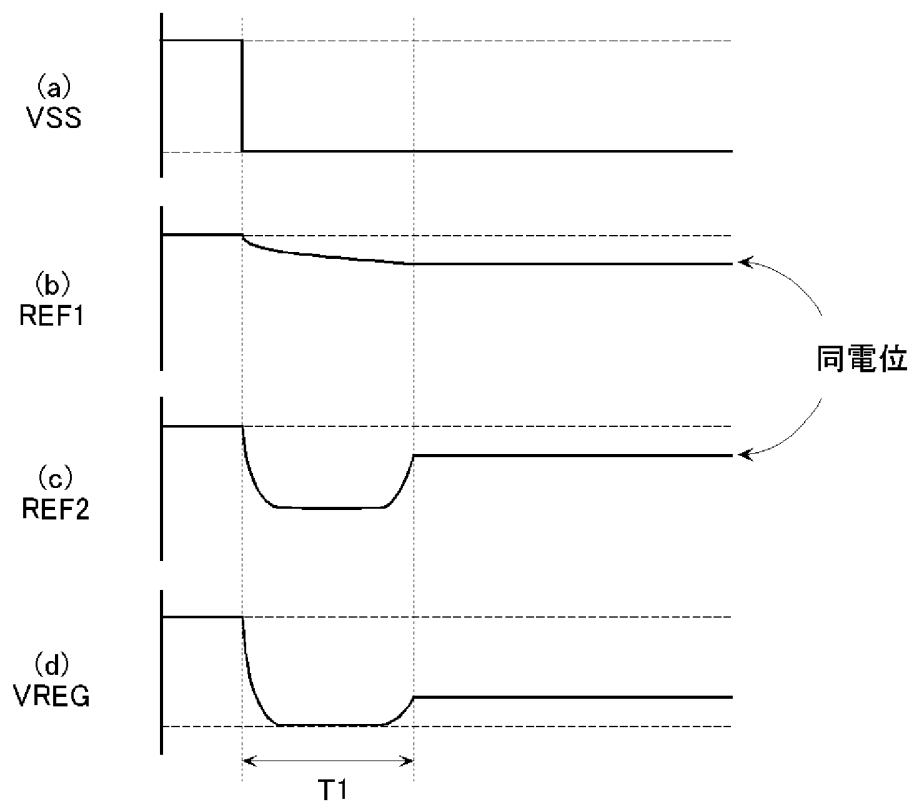
[図7]



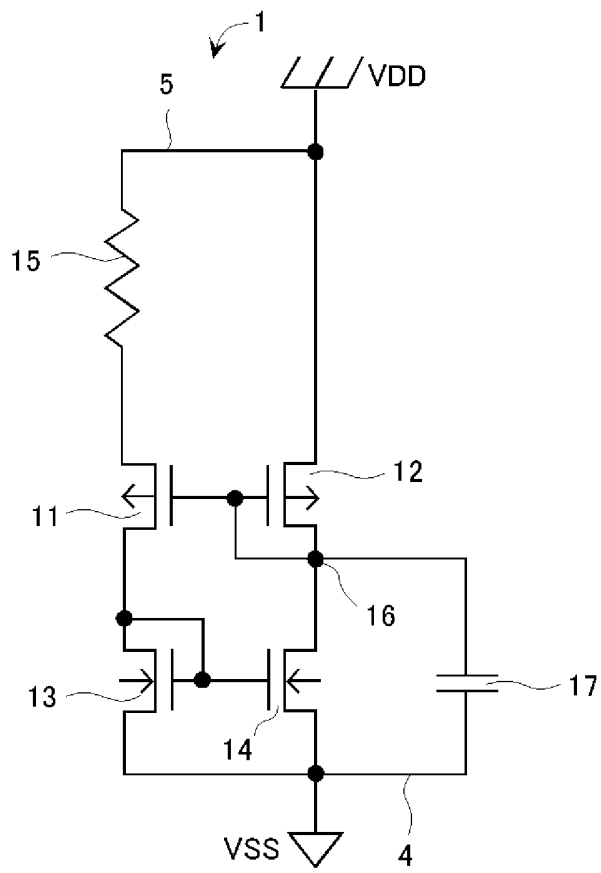
[図8]



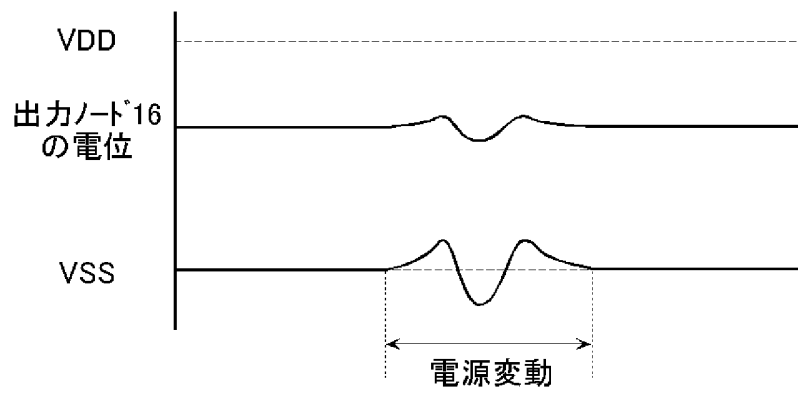
[図9]



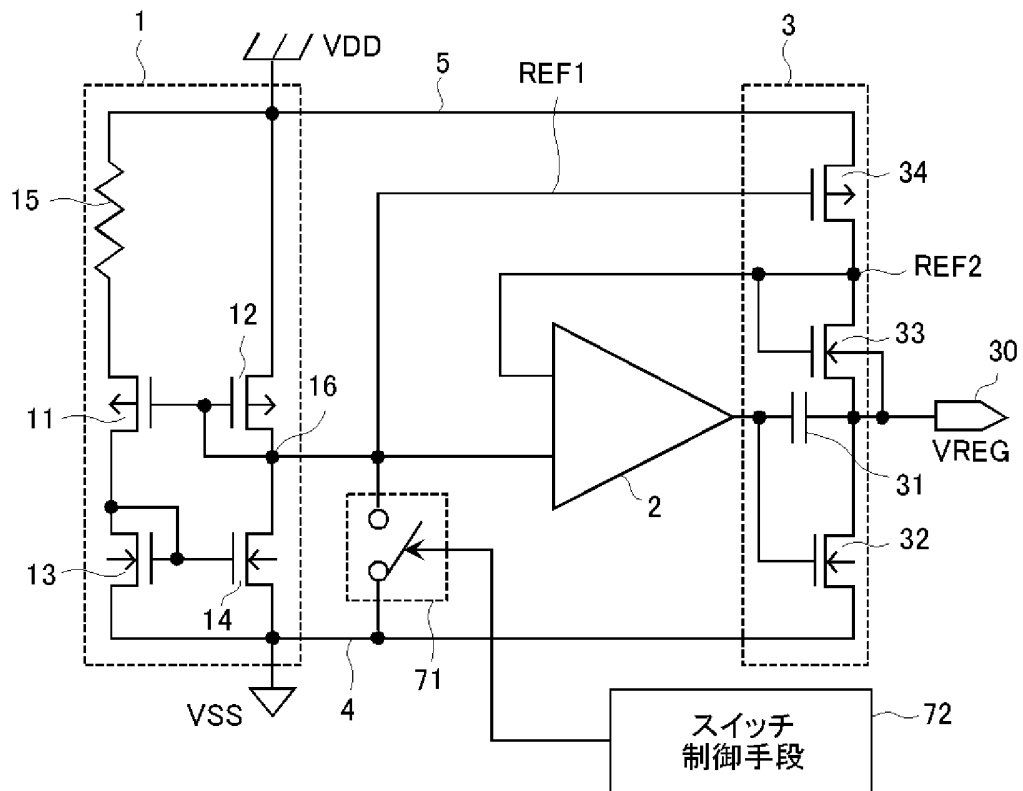
[図10]



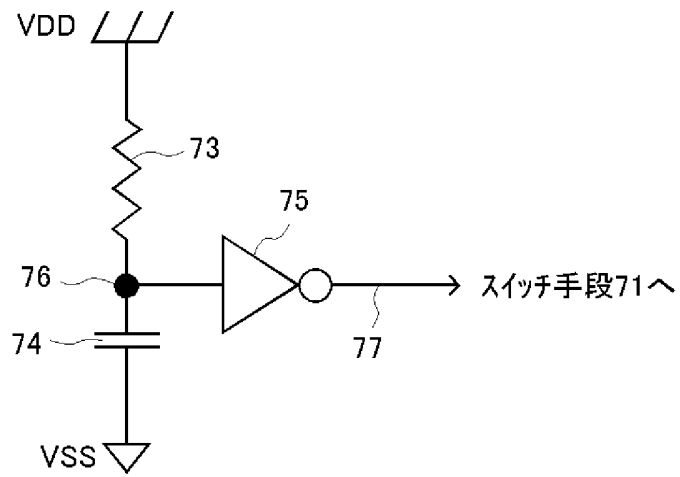
[図11]



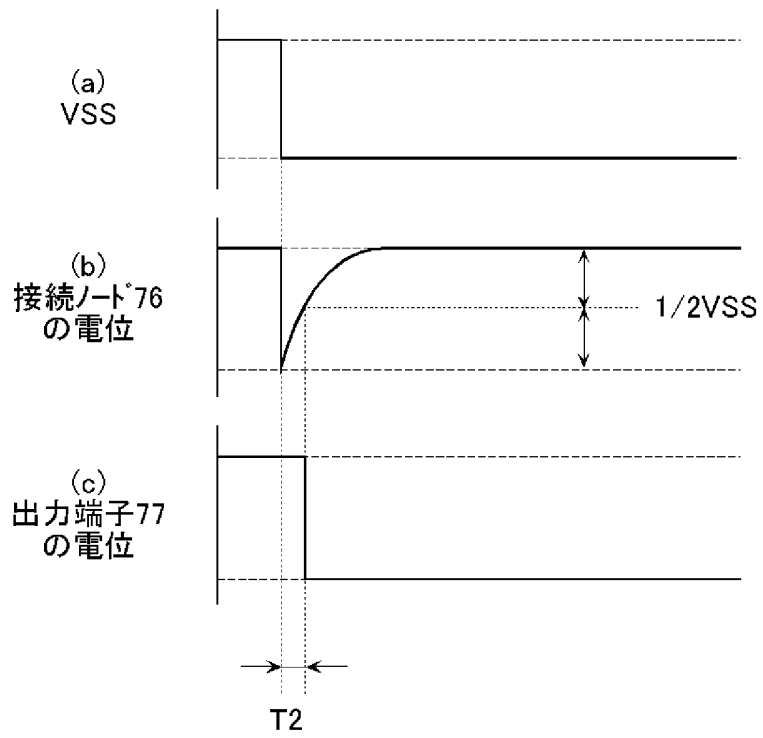
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/018014

A. CLASSIFICATION OF SUBJECT MATTER G05F3/24 (2006.01), H03F3/343 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G05F3/24 (2006.01), H03F3/343 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-250437 A (Canon Inc.), 26 September, 1995 (26.09.95), Par. No. [0014]; Fig. 1 (Family: none)	1-7
A	JP 2000-75947 A (Toshiba Corp.), 14 March, 2000 (14.03.00), Par. Nos. [0028], [0029]; Fig. 1 (Family: none)	1-7
A	JP 2594470 Y2 (Citizen Watch Co., Ltd.), 26 April, 1999 (26.04.99), Par. Nos. [0015], [0016]; Fig. 1 (Family: none)	1-7
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 October, 2005 (26.10.05)		Date of mailing of the international search report 08 November, 2005 (08.11.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ **G05F3/24** (2006.01), **H03F3/343** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ **G05F3/24** (2006.01), **H03F3/343** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 7-250437A (キヤノン株式会社) 26.09.1995、段落【0014】、第1図 (ファミリーなし)	1-7
A	J P 2000-75947A (株式会社東芝) 14.03.2000、段落【0028】、【0029】、第1図 (ファミリーなし)	1-7
A	J P 2594470Y2 (シチズン時計株式会社) 26.04.1999、段落【0015】、【0016】、第1図 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

26.10.2005

国際調査報告の発送日

08.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

川端 修

電話番号 03-3581-1101 内線 3358

3V

3736