

【特許請求の範囲】**【請求項 1】**

命令一式を自律的メモリデバイスにおいて受信することと、
前記命令一式を前記メモリデバイスにおいて実行することと、
前記命令一式を、前記命令一式に応答して前記メモリデバイスから取出した任意のデータと併せて、パケットを生成することと、
前記パケットを前記メモリデバイスから送信することと
を含む方法。

【請求項 2】

前記命令一式を前記メモリデバイスにおいて受信することは、前記命令一式を前記メモリデバイスと接続するネットワークから受信することを含み、前記パケットを前記メモリデバイスから送信することは、前記パケットを前記ネットワークへ送信することを含む、請求項 1 に記載の方法。 10

【請求項 3】

前記命令一式を受信することは、前記命令一式を含むパケットを受信することを含み、前記方法はさらに、
前記受信した命令一式に対応付けられた初期プログラムカウンタ値をプログラムカウンタにロードすることと、
前記命令一式を命令メモリにロードすることと、
前記命令一式に対応付けられた初期条件一式をレジスタファイルにロードすることと
を含む前記受信したパケットを構文解析することを含む請求項 1 に記載の方法。 20

【請求項 4】

前記命令一式を実行することは、
前記命令一式の第 1 命令を実行後、新たなプログラムカウンタ値を算出することと、
前記新たなプログラムカウンタ値を前記プログラムカウンタに記憶させることと
を含む、請求項 3 に記載の方法。

【請求項 5】

前記命令一式を実行することは、第 1 命令を第 1 実行ユニットにおいて、かつ第 2 命令を第 2 実行ユニットにおいて実行することを含み、前記第 1、第 2 命令の前記実行は実質的に並列である、請求項 1 に記載の方法。 30

【請求項 6】

前記メモリデバイスは複数のノードのうちの第 1 ノードであり、前記パケットを前記メモリデバイスから送信することは、前記パケットを前記複数のノードのうちの第 2 ノードへ送信することを含む、請求項 1 に記載の方法。

【請求項 7】

初期条件を前記複数のノードのうちの第 3 ノードから受信することと、
前記初期条件をファイルレジスタに記憶させることと
をさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記命令一式はフェンスフラグを含み、前記命令一式を記憶させることは、
1 つまたは複数の命令を前記フェンスフラグの前に命令メモリに、かつ 1 つまたは複数の命令を前記フェンスフラグに続いて前記命令メモリに記憶させること
を含む、請求項 1 に記載の方法。 40

【請求項 9】

前記 1 つまたは複数の命令を前記フェンスフラグの前に第 1 実行ユニットにおいて実行することと、
前記 1 つまたは複数の命令を前記フェンスフラグの後に第 2 実行ユニットにおいて実行することと
をさらに含む請求項 8 に記載の方法。

【請求項 10】

50

前記 1 つまたは複数の命令を前記フェンスフラグの前に実行することを、前記 1 つまたは複数の命令を前記フェンスフラグの後に実行することと実質的に同時に行う、請求項 9 に記載の方法。

【請求項 1 1】

前記命令一式を実行することは、
 複数のオペランドをプログラムカウンタ実行ユニットに提供することと、
 演算子を前記プログラムカウンタ実行ユニットに提供することと、
 前記複数のオペランドに対して前記演算子実行した結果に応答して更新プログラムカウンタ値を生成することと
 を含む、請求項 1 に記載の方法。

10

【請求項 1 2】

命令と開始位置とを含むパケットを受信するように構成されたパケットパーサと、
 前記パケットパーサに接続され、前記命令を受信するように構成された命令メモリと、
 前記命令メモリと前記パケットパーサに接続され、前記パケットパーサから前記開始位置を初めに受信し、前記命令メモリから前記開始位置における命令を取得するように構成されたプログラムカウンタと、
 前記命令を実行するために、前記命令メモリに接続された複数の実行ユニットと、
 前記複数の実行ユニットに接続され、ローカルメモリからのデータの読出しを制御するように構成されたパーサと、

前記パーサと前記命令メモリに接続され、前記パーサと前記パケットパーサからの前記データを記憶するように構成されたレジスタファイルと、
 前記命令メモリと前記レジスタファイルに接続され、前記命令一式と前記データとを含む送信用パケットを生成するように構成されたパケットジェネレータと
 を備える装置。

20

【請求項 1 3】

前記複数の実行ユニットはそれぞれ
 複数の演算論理装置 (ALU) と、
 前記複数の演算論理装置のうち少なくとも 2 つの出力の間に接続された多重化機能と
 を備える、請求項 1 2 に記載の装置。

【請求項 1 4】

前記複数の ALU は、前記命令の各命令に対応付けられた ALU を含む、請求項 1 3 に記載の装置。

30

【請求項 1 5】

前記複数の実行ユニットはそれぞれ if - then - else 文を実施する、請求項 1 3 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

優先出願

本出願は、2013年12月2日に提出された米国特許出願第 14 / 094 , 273 号
 に対する優先権の利益を主張し、その全体が本明細書に参考により組み込まれる。

40

【背景技術】

【0002】

一般にメモリデバイスは、コンピュータまたは他の電子デバイスにおける内部半導体集積回路として提供される。ランダムアクセスメモリ (RAM)、読出専用メモリ (ROM)、ダイナミックランダムアクセスメモリ (DRAM)、同期式ダイナミックランダムアクセスメモリ (SDRAM)、及び不揮発性メモリ (例えばフラッシュメモリ) を含む、数多くの異なる種類のメモリが存在する。

【0003】

いくつかの不揮発性メモリデバイスを組み合わせて、コンピュータシステムにおいて機

50

械的に作動するハードディスクドライブをエミュレートし得るソリッドステートドライブ（SSD）を作ることが可能である。ソリッドステートドライブは、可動部品がないので、機械的ハードドライブよりもより速く、より信頼性のあるアクセスを提供可能である。

【0004】

コンピュータシステムの高性能化に少なくとも一部起因して、メモリ及びソリッドステートドライブの製造業者には、コンピュータシステムの高性能化に遅れをとらないように自社製品のメモリを高性能化するという継続的な圧力がかかり得る。コンピュータシステムに対する任意の動作負荷を軽減するために、メモリに対する読出し及び書込みをより効率的にするという一般的ニーズがある。

【図面の簡単な説明】

10

【0005】

【図1】自律的メモリ処理装置の実施形態の機能的ブロック図を例示する。

【図2】図1の実施形態による、パケットパーサの実施形態のブロック図を例示する。

【図3】図1の実施形態による、プログラムカウンタの実施形態のブロック図を例示する。

【図4】図1の実施形態による、命令メモリの実施形態のブロック図を例示する。

【図5】図1の実施形態による、デコードロジックの実施形態のブロック図を例示する。

【図6】図1の実施形態による、レジスタファイルの実施形態のブロック図を例示する。

【図7】図7A及び7Bは、図1の実施形態による、実行ユニットの実施形態のブロック図を例示する。

20

【図8】図1の実施形態による、パーサの実施形態のブロック図を例示する。

【図9】図1の実施形態による、パケットジェネレータの実施形態のブロック図を例示する。

【図10】図1の実施形態による、命令実行フォーマットの実施形態の図解を例示する。

【図11】メモリシステムの実施形態のブロック図を例示する。

【図12】自律的メモリデバイスにおける自律的メモリ処理装置の作動の実施形態のフローチャートを例示する。

【発明を実施するための形態】

【0006】

以下の詳細説明において、本明細書の一部を形成し、例示のために特定の実施形態が示される添付図面を参照する。図面において同じ番号は、いくつかの図を通して実質的に同様の構成要素を説明する。他の実施形態が使用可能であり、そして本開示の範囲から逸脱することなく構造的、論理的、及び電気的変更を行うことが可能である。従って、以下の詳細説明は、限定的な意味で解釈されるべきではない。

30

【0007】

本開示は、いかなる1つの種類のメモリにも限定されない。自律的メモリ処理装置は、任意の種類メモリデバイス、メモリデバイス群、または半導体メモリ、光学メモリ、磁気メモリを含むメモリ技術に対応付けることが可能である。例えば、メモリは、不揮発性（例えばNANDフラッシュ、NORフラッシュ、相変化メモリ（PCM））、または揮発性（例えばDRAM、SRAM）を含み得る。

40

【0008】

本明細書で使用される場合、ノードは、受信パケットを構文解析するパケットパーサと、ノードからネットワークへ送信されるパケットを生成するパケットジェネレータと、任意のネットワークにノードをインターフェイス接続可能なネットワークポートとを備え得る。ノードはその上、ノードの作動を制御する処理要素と、並びにデータを記憶するメモリとを備え得る。別の実施形態において、ノードは、追加機能のための追加ハードウェア及び/またはソフトウェア/ファームウェアを備え得る。自律的処理装置を有する自律的メモリデバイスは、ノードとみなされ得る。

【0009】

図1は、自律的メモリ処理装置の実施形態の機能的ブロック図を例示する。このような

50

装置は、メモリ100に対応付けられ、中央処理装置(CPU)ベースのコンピューティングシステムにおけるボトルネックメモリ帯域幅の渋滞を軽減するのに使用され得る。自律的メモリ処理装置は、自律的メモリデバイス内に配置され得る。

【0010】

自律的メモリ処理装置は、パケットパーサ101と、プログラムカウンタ107と、命令メモリ105と、デコードロジック103と、レジスタファイル109と、パーサ115と、パケットジェネレータ111と、1つまたは複数の実行ユニット(EU)113と、ページバッファ117とを備え得る。図1の構成要素及び構成は、他の実施形態が他の構成要素及び他の構成を使用することができるので、例示のみを目的とする。

【0011】

図2は、パケットパーサ101のブロック図を例示する。パケットパーサ101はネットワークに接続され、ネットワークから(例えば外部ネットワークからメモリ100へ)のデータパケットを受け入れ得る。パケットパーサ101がネットワークからのパケットにおいて受信したプログラムカウンタ(例えば命令メモリ位置)をプログラムカウンタ107にロードできるように、パケットパーサ101はプログラムカウンタ107の入力にも接続され得る。プログラムカウンタ107が現在のプログラムカウンタ(例えば命令メモリ位置)をパケットパーサ101にロードできるように、パケットパーサ101はプログラムカウンタ107の出力にも接続され得る。パケットパーサ101はさらに、ネットワークからのパケットにおいて受信したデータ(例えば命令)を命令メモリ105及びレジスタファイル109へロードできるように、命令メモリ105及びレジスタファイル109の入力にも接続され得る。

【0012】

図3は、プログラムカウンタ107のブロック図を例示する。例示のため、プログラムカウンタ107は、32ビットカウンタとして示される。しかしながら、他の実施形態は、他のプログラムカウンタサイズを使用可能である。

【0013】

プログラムカウンタ107は、パケットパーサ101と、1つまたは複数の実行ユニット113から成る部であり得るプログラムカウンタ実行ユニット(PC EU)114とからの入力を有し得る。プログラムカウンタ107は、命令メモリ105に接続された出力を有し得る。

【0014】

プログラムカウンタ107は、プログラム(例えば実行可能命令)を含み得る命令メモリ105における特定の命令位置へアクセスするプログラムカウンタ値(例えば命令メモリ位置)を含み得る。プログラムカウンタ値は、パケットパーサ101により特定されたパケットパーサから受信された、受信パケット内の特定のデータフィールドにより、またはプログラムカウンタ実行ユニット114からの計算値により、設定され得る。そしてプログラムカウンタ107は、プログラムカウンタ値(例えば32ビットレジスタ)を命令メモリ105に出力し得る。

【0015】

図4は、命令メモリ105のブロック図を例示する。命令メモリ105は、プログラム(例えば実行可能命令)を記憶するいくつかのレジスタを備え得る。パケットパーサ101は、命令メモリ105の書込ポートに接続され得る。命令メモリ105はパケットパーサ101により書込可能であり、それによってパケットパーサ101により特定される受信パケット内の受信命令は、当該パケットから命令メモリ105へロードされ得る。

【0016】

命令メモリ105は、命令メモリ105内の特定位置にアクセスするためのアドレスを各自受入可能な2つのアドレスポートを備え得る。1つのアドレスは、プログラムカウンタ107から送られ得る。他方のアドレスは、パケットジェネレータ111から送られ得る。

【0017】

10

20

30

40

50

1つの動作中に、命令メモリ105は、プログラムカウンタ107のアドレスが示す位置から、命令（例えばデータポート）を出力し得る。行う演算に関して実行ユニット113に指示するために、この命令は実行ユニット113により解読及び実行され得る。この命令は、実行ユニット113にオペランドを与え、並びに処理のため何のデータを実行ユニット113に出力するかに関してレジスタファイル109に指示するために、レジスタファイル109にインデックスを与え得る。

【0018】

図5は、デコードロジック103のブロック図を例示する。デコードロジック103は、実行ユニットデコードロジック501と、パーサデコードロジック502と、多重分離機能503（例えばデマルチプレクサ）とを備え得る。

10

【0019】

多重分離機能503への入力は、命令メモリ105の出力からの命令ストリームに接続され得る。命令ストリーム内の1つまたは複数の制御ビットは、命令ストリーム内の特定命令の行先（例えばEUデコードロジック501、パーサデコードロジック502）を選択するのに使用され得る。

【0020】

命令がEUデコードロジック501へ送られた場合、EUデコードロジック501は、命令を実行ユニット113のうちの1つに送るため命令を処理し得る。命令は、何の種類の演算を行うのかに関して、並びに命令の実行中に使用するオペランドを実行ユニット113のうちの1つに与えるように、実行ユニット113のうちの1つに指示し得る。オペランドは、レジスタファイル109のレジスタに対し指標を付け、実行ユニット113のうちの1つがデータを処理できるように何のデータを出力するかに関してそのレジスタに指示し得る。

20

【0021】

多重分離機能503はまた、命令をパーサ115に接続されたパーサデコードロジック502へ送信し得る。命令はパーサデコードロジック502を制御し、今度はパーサデコードロジック502が、処理のためにページバッファ117の特定セグメントからのデータを実行ユニット113のうちの1つへ読み込むために、ページバッファ117のどのセグメントにアクセスするかパーサに指示する。

【0022】

図6は、レジスタファイル109のブロック図を例示する。レジスタファイル109は、パケットパーサ101、パケットジェネレータ111、実行ユニット113のうちの1つまたは複数、及びメモリ読出指示からの入力を備え得る。メモリ読出指示は、パーサ115により生成される、メモリ動作が完了したことを示す信号であり得る。レジスタファイル109は、パケットジェネレータ111、実行ユニット113、及びパーサ115への出力を備え得る。

30

【0023】

レジスタファイル109は、実行ユニット113による処理が起こっている間に変数を記憶するメモリ（例えば複数のレジスタ）を備え得る。これらの変数は、1つまたは複数の命令に回答してメモリから取得されたデータを含み得る。レジスタファイル109は、レジスタに初期条件を設定するためパケットパーサ101により書込まれ、パケットジェネレータ111により読出され得る。それぞれの実行ユニット113は、多重化機能を介してレジスタファイル109から引数を受信し得る。パケットジェネレータ111への出力は、レジスタファイル109のレジスタに記憶されているデータを、ネットワークへ送信するためのパケットにまとめるのに使用され得る。

40

【0024】

図7Aは、一般の実行ユニット113（例えば実行ユニット(0-N)）の実施形態のブロック図を例示する一方、図7Bは、特にプログラムカウンタ実行ユニット114の実施形態のブロック図を例示する。PCEU114は、実行ユニット113群の一部とみなされ得るが、他の実行ユニット113とは異なる構成を有し得る。

50

【 0 0 2 5 】

特定の自律的メモリ処理装置に、特定の数の実行ユニット 1 1 3 が含まれ得る必要はない。1つの装置は単一の実行ユニット 1 1 3 を有し得る一方、別の装置は複数（例えば 1 0 0 個）の実行ユニットを有し得る。

【 0 0 2 6 】

図 7 A は、実行ユニット 1 1 3 が 4 つの演算論理装置 (A L U) 7 0 1 ~ 7 0 4 を備え得ることを例示する。A L U 1 7 0 3 及び A L U 2 7 0 4 の出力は、多重化機能 7 0 6 に対する入力であり得る。A L U 7 0 3、7 0 4 の出力のうちどちらを選ぶかは、C o m p A L U 7 0 2 の出力により決定され得る。C o m p A L U 7 0 2 の出力は、多重化機能 7 0 6 に対する選択信号として使用され得る。4 番目の A L U である A L U O u t 7 0 1 は、実行ユニット 1 1 3 により行われた演算の結果を記憶する場所をレジスタファイル 1 0 9 に指示し得る、レジスタファイル 1 0 9 に対するレジスタアドレス R_d としての出力を有し得る。

10

【 0 0 2 7 】

下の 3 つの A L U 7 0 2 ~ 7 0 4 及び多重化機能 7 0 6 は、i f - t h e n - e l s e 演算を行い得る。多重化機能 7 0 6 は、C o m p A L U 7 0 2 により決定される条件の「ある条件の時」を提供し得る。従って、条件が真である場合、1 つの A L U (例 えば A L U 1 7 0 3) の出力が C o m p A L U 7 0 2 の出力により選択される、それ以外の場合、別の A L U (例 えば A L U 2 7 0 4) の出力が C o m p A L U 7 0 2 の出力により選択される。

20

【 0 0 2 8 】

例えば、A L U 1 7 0 3 がオペランド入力の O P E R A N D 1 (R_1) 及び O P E R A N D 2 (R_2) とコマンド入力の O P E R A T O R 1 を有し、A L U 2 7 0 4 がオペランド入力の O P E R A N D 3 (R_3) 及び O P E R A N D 4 (R_4) とコマンド入力の O P E R A T O R 2 を有すると仮定する場合、i f - t h e n - e l s e 文は以下のように表され得、

i f (条件)
t h e n

O p e r a n d 1 O P E R A T O R 1 O p e r a n d 2

e l s e

O p e r a n d 3 O P E R A T O R 2 O p e r a n d 4

30

ここで「O p e r a n d 1 O P E R A T O R 1 O p e r a n d 2」は A L U 1 7 0 3 により提供され、「O p e r a n d 3 O P E R A T O R 2 O p e r a n d 4」は A L U 2 7 0 4 により提供され、そして「i f (条件)」は C o m p A L U 7 0 2 及び多重化機能 7 0 6 より提供され得る。

【 0 0 2 9 】

図 1 0 の命令フォーマットに関連して後述されるように、オペランドと演算子は、命令により提供され得るか、命令がどのレジスタにオペランド値が配置されているかを示し得る。例えば、O P E R A N D 1 (R_1) はレジスタ R_1 に配置され、O P E R A N D (R_2) はレジスタ R_2 に配置され、O P E R A N D (R_3) はレジスタ R_3 に配置され、O P E R A N D (R_4) はレジスタ R_4 に配置され得る。

40

【 0 0 3 0 】

A L U 1 7 0 3 及び A L U 2 7 0 4 は、同一の演算または異なる演算を行い得る。言い換えると、O P E R A T O R 1 は O P E R A T O R 2 と同じであり得る、または O P E R A T O R 1 は O P E R A T O R 2 とは異なり得る。

【 0 0 3 1 】

A L U O u t 7 0 1 は、オペランド入力 R_5 、及び R_6 (例 えばレジスタ R_5 、 R_6) とコマンド入力 O P E R A T O R 3 を有し得る。A L U O u t 7 0 1 が R_5 と R_6 の値に対しコマンド O P E R A T O R 3 を行うことにより生成される結果 R_d は、実行ユニット 1 1 3 の結果がどこに記憶されるかを決定する。

50

【0032】

CompALU702は、オペランド入力R₇、R₈（例えばレジスタR₇、R₈）とコマンド入力OPERATOR4を有し得る。前述のように、R₇とR₈の値に対しコマンドOPERATOR4を行うことにより得られる結果が、多重化機能106の選択を決定する。

【0033】

前述のALU701～704におけるコマンド（例えばOPERATOR1、OPERATOR2、OPERATOR3、OPERATOR4）として使用され得る一般演算には、加算、減算、論理AND、論理OR、論理NOT、論理NOR、～と等しい、～以下、～未満、～以外、～以上、または～より大きいが含まれ得る。これらの演算は、他の実施形態が他の演算を使用可能であるので、例示のみを目的とする。

10

【0034】

図7Bは、プログラムカウンタ実行ユニット（PCEU）114の構成を例示する。この構成は、実行ユニット0～n113と同様であり得るが、ALUOut701を有さない。PCEU114はプログラムカウンタ107に対する新たなアドレスを特定することを専門とし、PCEU114の演算の結果を記憶する場所はプログラムカウンタ107であるため、ALUOut701は含まれない。

【0035】

PCEU114は、オペランド入力R₉、R₁₀とコマンド入力OPERATOR5を有するCompALU710を備え得る。ALU1711は、オペランド入力R₁₁、R₁₂とコマンド入力OPERATOR6を含み得る。ALU2712は、オペランド入力R₁₃、R₁₄とコマンド入力OPERATOR7を含み得る。

20

【0036】

ALU1711及びALU2712の出力は、多重化機能714に対する入力であり得る。CompALU710の出力は、多重化機能714に対する選択信号を提供し得る。従って、前述の実行ユニット113の場合と同様に、PCEU114は、CompALU710により決定される条件の「ある条件の時」を多重化機能714が提供する、if-then-else文を提供し得る。従って、条件が真である場合、1つのALU（例えばALU1711）の出力がCompALU710の出力により選択される、それ以外の場合、別のALU（例えばALU2712）の出力がCompALU710の出力により選択される。結果は、プログラムカウンタ107へロードされ得る。

30

【0037】

前述の実行ユニット113の場合と同様に、PCEU114において使用される演算子及びコマンドは、命令メモリの命令からロードされ得るか、命令がどのレジスタが値を含み得るかを示し得る。

【0038】

図8は、パーサ115のブロック図を例示する。パーサ115は、書込むアドレス並びにデータを含むメモリ書込ポートを備え得る。メモリ読出アドレスポートは、読出すアドレスをメモリに提供し、それによって読出されたデータは、メモリ読出データポートに読込まれ得る。パーサ115はまた、メモリ読出動作が完了すると、メモリ読出完了指示信号を出力し得る。パーサ115はさらに、実行ユニット113への出力と、レジスタファイル109からの入力と、及びパーサデコードロジック502からの設定入力とを備え得る。

40

【0039】

パーサ115は、メモリ100のページバッファ117からの直接読出し、またはページバッファ117への直接書込みができるように、メモリ100への直接アクセスを有し得る。パーサ115は、ページバッファ117の全長に対しアクセス権を有するので、処理をより管理しやすいように、ページバッファ117をより小さいセグメント（例えば規則正しく定義されたセグメント）に細分化し得る。例えば、パーサ115は、ページバッファの最初の100バイトに対し作動し、それから次の100バイトに対し作動し、そし

50

てページバッファ 117 全体の読出し/書込みが完了するまで、これを続け得る。これを達成するために、ページバッファ 117 のどのセグメントを読出すかを特定する、パケットパーサ 101 からのアドレスがパーサ 115 に与えられ得る。

【0040】

パーサ 115 は、ページバッファ 117 の内容をどのように構文解析するかパーサ 115 に指示し得る設定入力をレジスタファイル 109 から受信し得る。パーサ 115 は、新たな内容がレジスタファイル 109 において利用可能であることを実行プログラムに指示するメモリ読出完了指示信号を生成し得る。

【0041】

図 9 は、パケットジェネレータ 111 の実施形態のブロック図を例示する。パケットジェネレータは、命令メモリ 105 及びレジスタファイル 109 からの入力と、命令メモリ 105 及びレジスタファイル 109 への出力とを備え得る。パケットジェネレータ 111 はその上、任意の生成パケットを出力するために、ネットワークへの出力を有する。

10

【0042】

パケットジェネレータ 111 は、命令メモリ 105 及びレジスタファイル 109 からデータを読出すために、命令メモリ 105 に対するアドレスと、レジスタファイル 109 に対するアドレスを生成し得る。そしてパケットジェネレータ 111 は、レジスタファイル 109 から読出されたデータ（例えば命令メモリ 105 からの命令及びコンテキスト（例えばデータ、メモリ読出しの結果、行われた演算の結果））を使用して、このデータをまとめ、ネットワーク上に送信するパケットを生成する。

20

【0043】

図 10 は、図 1 の実施形態による、命令実行フォーマットの実施形態を例示する。各命令 1001 ~ 1003 は、実行ユニット 113 により実行されるために、命令メモリに記憶され得る。

【0044】

命令の例示された実施形態には、4 つの命令 1000 ~ 1003 が含まれる。各命令は、実行ユニット 113 の異なる ALU に対応付けられ得る。従って、実行ユニット 113 が異なる数の ALU を含む場合、実行フォーマットは異なる数の命令 1000 ~ 1003 を含み得る。以下の論述においては、図 10 と図 7A の ALU の両方を参照する。

【0045】

第 1 命令 1000（例えば命令 D）は、実行ユニット 113 のうちの 1 つによる演算の結果の行先レジスタ（例えば R_d ）を示し得る。前述のように、ALU Out 701 は、実行ユニット 113 の結果を記憶するための行先レジスタ R_d のアドレスを生成し得る。従って、ALU Out 701 は、レジスタ R_d を生成するために、第 1 命令 1000 に対応付けられ得る。

30

【0046】

第 2 命令 1001（例えば命令 C）は、実行ユニット 113 により実行される if - then - else 文の条件を示し得る。例示された実施形態において、条件は比較値 V_c により表される。前述のように、Comp ALU 702 は、多重化機能 706 に対する選択信号として使用される条件を生成し得る。従って、Comp ALU 702 は、 V_c が真か否かを比較するために、第 2 命令 1001 に対応付けられ得る。

40

【0047】

第 3 命令 1002（例えば命令 T）は、実行ユニット 113 により実行される if - then - else 文の「then」（真の場合）の結果を示し得る。例示された実施形態において、「then」の結果は V_t 、すなわち真の場合の値により表される。前述のように、ALU 1703 は、「then」の結果を生成し得る。従って、ALU 1703 は、 V_t である「then」の結果のための第 3 命令 1002 に対応付けられ得る。

【0048】

第 4 命令 1003（例えば命令 F）は、実行ユニット 113 により実行される if - then - else 文の「else」（偽の場合）の結果を示し得る。例示された実施形態

50

において、`else`の結果は V_f 、すなわち偽の場合の値により表される。前述のように、ALU2704は、「`else`」の結果を生成し得る。従って、ALU2704は、「`else`」の結果 V_f のため、第4命令1003に対応付けられ得る。

【0049】

条件の V_c 、`then`の結果の V_t 、`else`の結果の V_f 、及び結果レジスタの R_d を使用すると、`if-then-else`文は以下のように表され得る。

```
if (  $V_c$  == TRUE )
then
```

```
    Reg [  $R_d$  ] :=  $V_t$ 
```

```
else
```

```
    Reg [  $R_d$  ] :=  $V_f$ 
```

10

【0050】

図11は、図1の自律的メモリ処理装置130を組み込み得るメモリシステムの実施形態のブロック図を例示する。メモリシステムは、ネットワーク1120を介して1つまたは複数のメモリデバイス（例えばSSD）1101、1102と通信し得るコントローラ1100（例えばCPU）を備え得る。ネットワーク1120は、有線バス、または無線通信（例えばWiFi）であり得る。

【0051】

メモリデバイス1101は、メモリデバイス1101のストレージ部を構成するローカルメモリ100（例えばRAM、DRAM、SRAM、NANDフラッシュ、NORフラッシュ、相変化メモリ（PCM））と、並びに図1の自律的メモリ処理装置130とを備え得る。自律的メモリ処理装置130は、メモリ100に相対的に近い所（例えば同じダイ、同じダイスタック、同じメモリモジュール）に配置され得る。例えば、自律的メモリ処理装置130は、メモリ100のバンクレベルの回路に含まれ得る。各バンクが異なる自律的メモリ処理装置130を含み得、そのために1つのメモリチップは、ほぼ同時に作動する自律的メモリ処理装置130の複数のインスタンスを有し得る。本明細書において使用される場合、ローカルメモリ100は、ネットワークを介さずに自律的メモリ処理装置130に接続されるメモリであり得る。

20

【0052】

図11のシステムのそれぞれのデバイスは、ノードとみなされ得る。各ノードは他のノードとネットワーク1120を介して通信し得る。それぞれのノードは実質的に同様であり得る、またはノードのうちの1つまたは複数異なる構成を有し得る。例えば、第1メモリデバイス1101は、プログラムカウンタ実行ユニット114に加えて単一実行ユニット113のみを有し得る一方、第2メモリデバイス1102は、プログラムカウンタ実行ユニット114に加えて複数の実行ユニット113を有し得る。

30

【0053】

従って、後述のように、コントローラ1100（例えばソースノード）は、命令及びソースノードの現在の処理状態を含むメッセージ（例えばパケット）を、メモリデバイス1101（例えば目標ノード）へ送信し得る。別の実施形態において、第1メモリデバイス1101がソースノードであり得る一方、第2メモリデバイス1102が目標ノードであり得る。

40

【0054】

命令は、メモリデバイス1101に対するコマンド（例えば、検索、ソート、比較）を含み得る。メモリデバイス1101は、コントローラの介在なしに、コマンドにより指示されたタスクを行い得る。自律的メモリ処理装置130は、他のノード1100、1102へメッセージの送信、他のノード1100、1102からメッセージの受信、他のノード1100、1102へ処理命令及び処理状態の送信、他のノード1100、1102から処理命令及び処理状態の受信、プログラム状態の復元及び保存、処理命令の実行、ローカルメモリの読み出し及び書き込み、及び/または単一ノードにおける多重処理コンテキストの支援を行い得る。

50

【 0 0 5 5 】

自律的メモリ処理装置 1 3 0 の構成により、動的で滞りがなく柔軟性のある実行ユニット 1 1 3 (例えば A L U を含む) の追加及び削除が可能となり、従ってノードは必要に応じて追加の処理能力が与えられる。自律的メモリ処理装置 1 3 0 における実行ユニット 1 1 3 の動的な追加及び削除は、以下の作動実施例において例示され得る。

【 0 0 5 6 】

標準的な先行技術のプログラムは、以下のように生成され得る。

命令 1 (A D D レジスタ 1、レジスタ 2、レジスタ 3)

命令 2 (S U B レジスタ 2、レジスタ 3、レジスタ 4)

【 0 0 5 7 】

標準的な先行技術の C P U システムの場合のように、これらの命令には暗黙の従属性が含まれる。例えば、命令 1 が実行機会を有する前に、レジスタ 2 の値が書換えられ得るので、命令 2 は命令 1 の前に (または命令 1 と同じサイクルにおいて) 実行不可能であり得る。

【 0 0 5 8 】

プログラムを実行するのに必要なサイクル数を削減するために、自律的メモリ処理装置構成において、より複雑な実行ユニット (E U) 構成が使用され得る。各 E U は、それぞれが別個のタスクを行ういくつかの異なる A L U (例えば 4 つの A L U) を含み得る。従って、自律的メモリ処理装置のために書かれたプログラムは、以下のように生成され得る (1 つの E U に加え P C E U を有する構成と仮定した場合)。

[P C E U 命令 1] [E U 1 命令 1]

[P C E U 命令 2] [E U 1 命令 2]

【 0 0 5 9 】

各 [E U # 命令 #] は、図 1 0 に例示されるように、以下のように現れる。

[行先命令] [比較命令] [I f - t r u e 命令] [I f - f a l s e 命令]

【 0 0 6 0 】

また、自律的メモリ処理装置の構成の一部として、プロセッサはその内部に、異なる数の E U を組み込み得る。これにより 4 つの E U と 1 つの P C E U を有する構成は、例えば以下のことが可能になり得る。

[P C E U 命令 1] [E U 1 命令 1] [E U 2 命令 1] [E U 3 命令 1] [E U 4 命令 1]

[P C E U 命令 2] [E U 1 命令 2] [E U 2 命令 2] [E U 3 命令 2] [E U 4 命令 2]

【 0 0 6 1 】

当サイクルにおいて実行する追加作業は存在し得ないという事実に基づいて、これらの E U 命令のうちのいずれか 1 つは空であり得る。これは、プログラムの特定の段階において、並列処理がないことに起因し得る。

【 0 0 6 2 】

自律的メモリ処理装置の構成により、システムにおける異種の自律的メモリ処理装置エンジン (例えば 1 つの装置「 A 」は 1 つの E U に加え P C E U を有し得る一方、同じ相互接続システムにおける別の装置「 B 」は 4 つの E U に加え P C E U を有し得る) 一式内の対話が可能になり得る。当シナリオにおいて、装置 A が装置「 B 」に対しコンテキストを送る必要があると仮定した場合、プログラムは命令の連続ストリーム内に装入され、装置「 B 」へ送り出され得る。装置「 B 」は、そこで、それ自体のハードウェア上にそれら命令を以下同様にスケジューリングし得る。

[P C E U 命令 1] [E U 1 命令 1] [空] [空] [空]

[P C E U 命令 2] [E U 1 命令 2] [空] [空] [空]

...

【 0 0 6 3 】

全てのプログラムは最終的に、最も精密な自律的メモリ処理装置の並列処理に臨み得る

10

20

30

40

50

ため、これはシステムにおいて非効率性を生じる無駄な並列処理へと導き得る。

【 0 0 6 4 】

命令間に従属性が何もないことを確かめずに、命令を並列 E U へまとめて渡すことはあり得ない。標準的な先行技術のシステムにおいて、このような種類の比較は計算上コストが高くあり得るため、自律的メモリ処理装置は、「フェンス」フラグという命令の概念を使用し得る。「フェンス」フラグにより、アプリケーションの作者またはアプリケーションの作成者は、命令ストリームがそのストリームにおける前の命令に対する従属性をもう有さないということを示すことが可能になる。当情報により、命令ストリームは、重要処理のオーバーヘッドなしで、異種プロセッサ一式上で回され、スケジュールされることが可能になり得る。

10

【 0 0 6 5 】

例えば、以下の命令ストリーム [P C E U 命令] [E U 命令 1] [E U 命令 2] [E U 命令 3] [フェンスマーカー / 命令] [E U 命令 4] [E U 命令 5] [E U 命令 6] [E U 命令 7] [フェンスフラグ / 命令] は、自律的メモリ処理装置「 A 」上において [P C E U] [1] [P C E U] [2] [F] [P C E U] [3] [P C E U] [4] [P C E U] [5] [P C E U] [6] [F] [P C E U] [7] のようにスケジュールされ ([F] は「フェンス」マーカーを示す)、そして自律的メモリ処理装置「 B 」において [P C E U] [1] [2] [3] [X] [F] [P C E U] [4] [5] [6] [7] としてスケジュールされ得る。

20

【 0 0 6 6 】

「フェンス」命令は、所定の自律的メモリ処理装置 (例えば「 A 」または「 B 」) の命令メモリへロードされている間に、パケット内論理により処理され得る。「フェンス」フラグの存在は、命令メモリに記憶され得るが、スケジュールリングコンテキスト外では意味がない場合がある。しかしながら、これは命令メモリにおいてフラグとして記憶され、そのためパケット送信論理により元のストリームが再構成され得る。

【 0 0 6 7 】

自律的メモリ処理装置の作動実施例として (例えばメモリ検索)、パケットは、ネットワーク (例えばメモリネットワーク) からパケットパーサ 1 0 1 により受信され得る。パケットパーサ 1 0 1 は、パケットをセグメントに分解し得る。いくつかのセグメントは、パケットが前のノードから送られた時の前のノードの状態を表すレジスタ内容を含み得るため、コンテキストであり得る。

30

【 0 0 6 8 】

パケットは、プログラムが実行される、命令メモリ 1 0 5 における開始位置を含み得る。この開始点は、プログラムカウンタ 1 0 7 へロードされ得る。パケットはまた、命令メモリ 1 0 5 へロードされる命令一式と、レジスタファイル 1 0 9 へロードされ得る初期条件一式とを含み得る。初期条件は、前のノードからの命令により送られた変数であり得る。初期条件はまた、現行の実行プログラムにより使用される定数でもあり得る。

【 0 0 6 9 】

プログラムカウンタ 1 0 7 の値は、どの命令を実行のために命令メモリ 1 0 5 から読出すかを決定する。プログラムカウンタ 1 0 7 の次の値は、前の値より増加した値であり得る、またはプログラムカウンタ実行ユニット 1 1 4 により決定される計算値であり得る。

40

【 0 0 7 0 】

命令は、パーサ 1 1 5 の構成を設定し得る。パーサ 1 1 5 は、命令の実行を通して、変数をページバッファ 1 1 7 から取出し、最終的にメモリ読出動作を行うように構成され得る。

【 0 0 7 1 】

メモリ読出動作が起こると、変数はページバッファ 1 1 7 の内容からリアルタイムに取り出され、実行ユニット 1 1 3 に対し入力として提供され得る。プログラム命令により決定されるように、別の可能入力がレジスタファイルから読出され、処理のため実行ユニット 1 1 3 へ提供され得る。前述のように、「フェンス」により、いくつかの連続命令を並

50

行して実行することが可能になり得る。並列実行不可能な命令は、延期され、次のサイクル中に実行され得る。

【0072】

実行ユニット113は、これらの入力引数を、各セットが並列処理される複数の入力引数セットとして処理し得る。従って、複数の実行ユニット113が、レジスタファイルへ戻され得る、あるいは1つまたは複数のメモリ書込動作のためのデータとして最終的にページバッファ117へ書込まれるようにパーサ115へ移動され得る、出力変数を生成し得る。すなわち出力変数は、ある特定の活動を生み出すためにレジスタファイルへ入り得る。動作は、パケットジェネレータ111によりパケットを生成する、あるいは新たなメモリ読出動作またはメモリ書込動作を開始するためのものであり得る。

10

【0073】

ページバッファ117の内容（例えば検索コマンドの結果）は、ネットワークを介して要求ノードへ送信されるパケットに含まれるように、パケットジェネレータ111に提供され得る。パケットには、タスク（例えば検索）が完了したこと、及びその結果がパケットに含まれていることを示す要求ノードに対するメッセージが含まれ得る。

【0074】

作動に関するより広範な実施例として、ネットワークは、それぞれが少なくとも1つの自律的メモリ処理装置を備える複数の自律的メモリデバイスから成る機構を含み得る。データ群はメモリデバイス機構の至る所に記憶され得る。特定のデータリストについてデータ群全体の検索が望まれる時、検索プログラムが1つの自律的メモリデバイスにプッシュされ、当該デバイスにおいて特定のデータリストが検索され得る。その特定の自律的メモリデバイスに記憶されているデータが検索され、リストの全てのデータは存在しないことがプログラムにより判定されると、プログラムは1つまたは複数のパケットにまとめられ、別の自律的メモリデバイスに転送され、この別のデバイスの自律的メモリ処理装置が検索を継続し得る。このプログラムをまとめる動作は、自律的メモリデバイスの機構全体が検索されるまで、またはデータリストが完了するまで、続けられ得る。いくつかの実施形態において、特定の自律的メモリデバイスにおいて見つかったデータもまた、転送するプログラムと一緒にパケット（複数可）にまとめられ得る。

20

【0075】

そのような実施形態が、図12のフローチャートにおいて例示される。例示された方法は、図11のシステムにおいて、自律的メモリデバイス1101内の自律的メモリ処理装置130により実行され得る。

30

【0076】

メモリデバイス1101は、自律的メモリ処理装置130に提供されるパケットを受信し得る1201。装置130は、前述のように、命令、プログラムカウンタ、データを取り出すために、パケットを構文解析し得る1203。そしてメモリ100に記憶されているデータに対し所望のタスクを行うために、命令が実行され得る1205。そして命令と命令により生成された任意のデータが、ネットワーク上で送信するために1209、パケットにまとめられ得る1207。

【0077】

装置は回路、集積回路ダイ、メモリデバイス、メモリアレイ、またはシステムとして定義され得る。

40

【0078】

結論

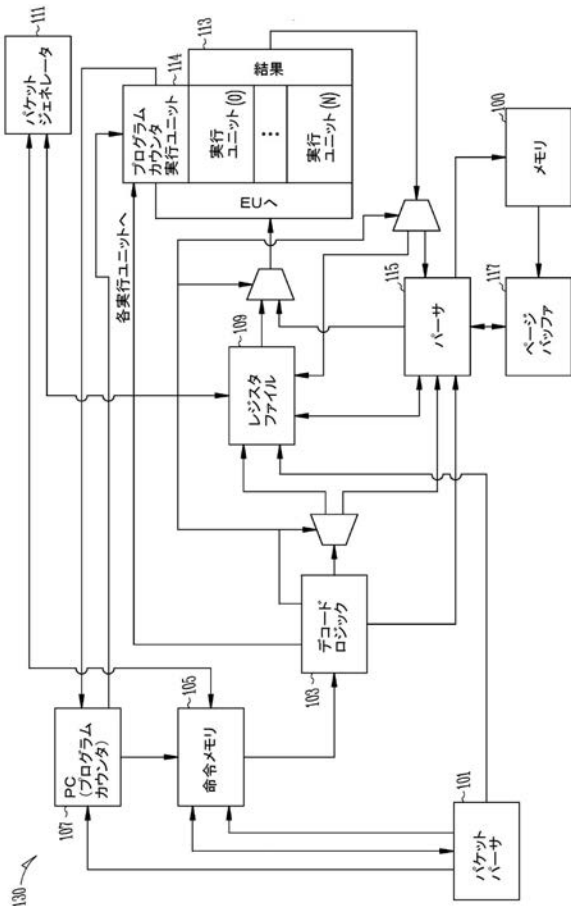
自律的メモリデバイス内の自律的メモリ処理装置の1つまたは複数の実施形態は、従来のCPUベースのコンピューティングシステムにおけるメモリ帯域幅のボトルネックを軽減するために、命令の処理を行い得る。命令（例えばプログラム）一式及び/またはデータを含むパケットはノード間で転送され得、そのためにこれらのノード内のメモリに記憶されたデータは、ソースノードまたはCPUによる制御とは独立した命令により処理され得る。

50

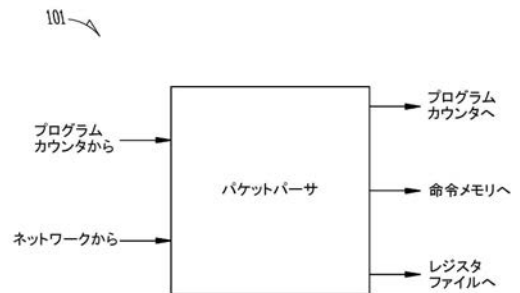
【 0 0 7 9 】

特定の実施形態が本明細書において例示され説明されたが、同じ目的を達成する意図の任意の配置が、示された特定の実施形態と置換えられ得ることを、当業者は理解するであろう。当業者にとって、数多くの適応形態が明らかであろう。従って、本出願は、任意の適応形態または変形を含めることが意図される。

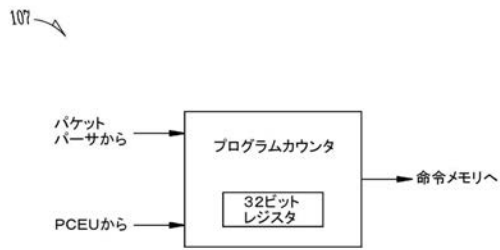
【 図 1 】



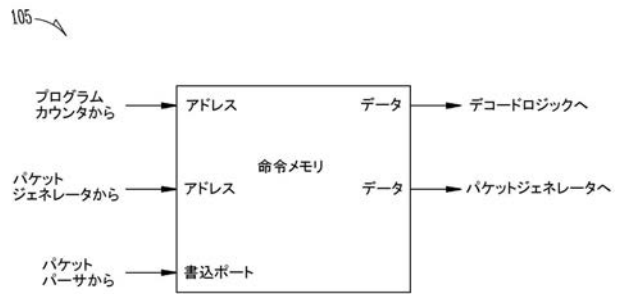
【 図 2 】



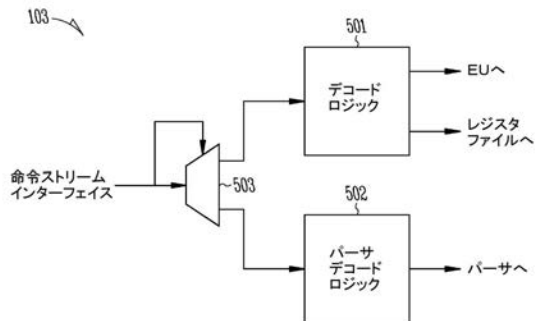
【 図 3 】



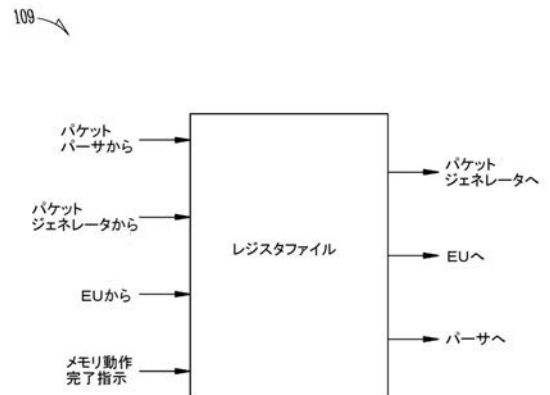
【 図 4 】



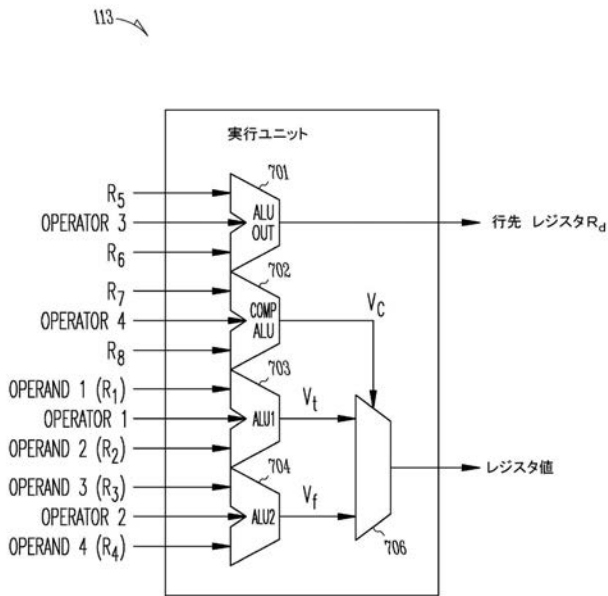
【 図 5 】



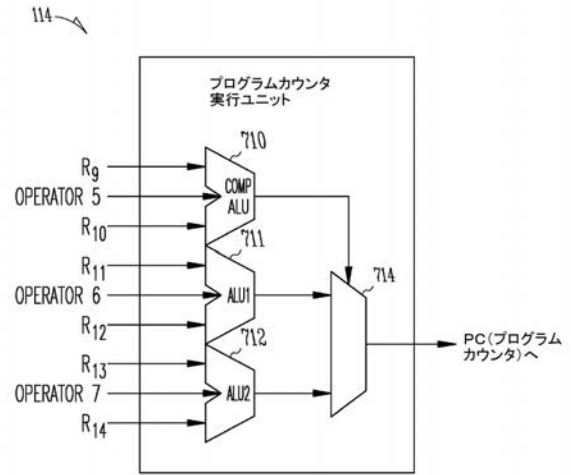
【 図 6 】



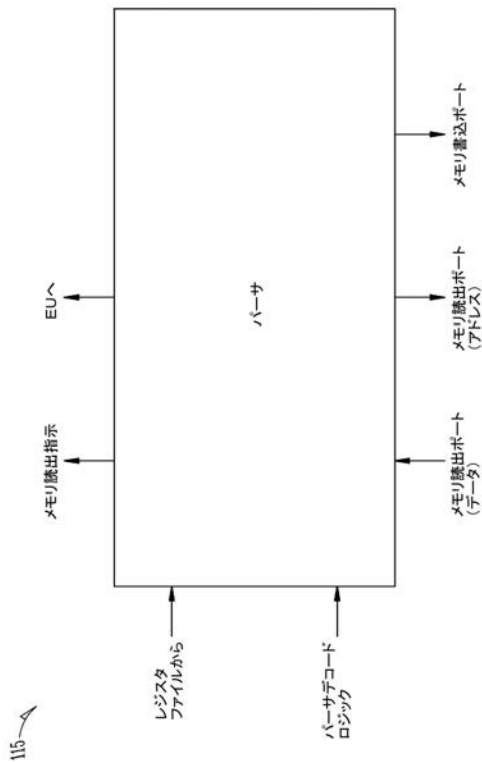
【 図 7 A 】



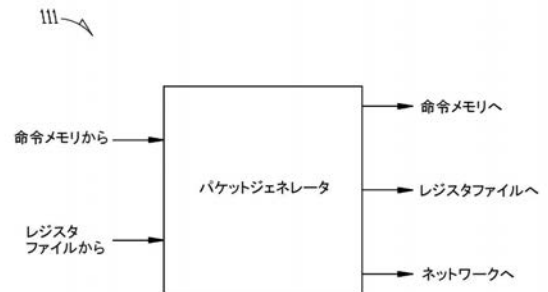
【 図 7 B 】



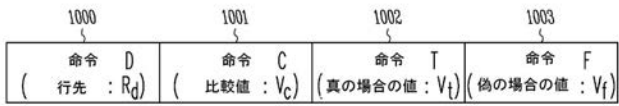
【 図 8 】



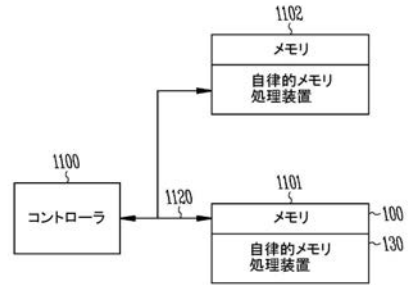
【 図 9 】



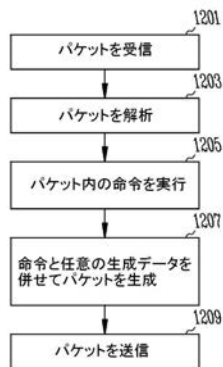
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【手続補正書】

【提出日】平成28年6月30日(2016.6.30)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

【図1】自律的メモリ処理装置の実施形態の機能的ブロック図を例示する。

【図2】図1の実施形態による、パケットパーサの実施形態のブロック図を例示する。

【図3】図1の実施形態による、プログラムカウンタの実施形態のブロック図を例示する

。

【図4】図1の実施形態による、命令メモリの実施形態のブロック図を例示する。

【図5】図1の実施形態による、デコードロジックの実施形態のブロック図を例示する。

【図6】図1の実施形態による、レジスタファイルの実施形態のブロック図を例示する。

【図7A】図7Aは、図1の実施形態による、実行ユニットの実施形態のブロック図を例示する。

【図7B】図7Bは、図1の実施形態による、実行ユニットの実施形態のブロック図を例示する。

【図8】図1の実施形態による、パーサの実施形態のブロック図を例示する。



【図9】図1の実施形態による、パケットジェネレータの実施形態のブロック図を例示する。

【図10】図1の実施形態による、命令実行フォーマットの実施形態の図解を例示する。

【図11】メモリシステムの実施形態のブロック図を例示する。

【図12】自律的メモリデバイスにおける自律的メモリ処理装置の作動の実施形態のフローチャートを例示する。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2014/067927
A. CLASSIFICATION OF SUBJECT MATTER G06F 12/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F 12/00; G06F 9/54; G06F 9/30; G06F 13/38; G06F 13/16; G06F 9/06; G06F 13/42; G06F 13/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: autonomous, memory, instruction, combine, starting location, and similar terms.		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 05671430 A (ANTON GUNZINGER) 23 September 1997 See column 3, line 39 - column 8, line 64; and figure 2.	1-2,5
A		3-4,6-15
A	US 2011-0067039 A1 (SEAN EILERT et al.) 17 March 2011 See paragraphs [0023]-[0026]; and claims 1, 11, 12.	1-15
A	KR 10-2013-0073991 A (MOSAID TECHNOLOGIES INC.) 03 July 2013 See paragraphs [0018]-[0024]; and claim 1.	1-15
A	US 2009-0164678 A1 (CHAO-YU HU) 25 June 2009 See paragraphs [0022]-[0025]; and figure 2.	1-15
A	KR 10-2013-0000083 A (ADVANCED DIGITAL CHIPS INC.) 02 January 2013 See paragraphs [0018]-[0031]; and claim 1.	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 25 March 2015 (25.03.2015)		Date of mailing of the international search report 25 March 2015 (25.03.2015)
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon Metropolitan City, 302-701, Republic of Korea Facsimile No. ++82 42 472 7140		Authorized officer BYUN, Sung Cheal Telephone No. +82-42-481-8262 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/067927

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 05671430 A	23/09/1997	AT 183836 T	15/09/1999
		DE 59408657 D1	30/09/1999
		EP 0657048 A1	14/06/1995
		EP 0657048 B1	25/08/1999
		JP 08-501403 A	13/02/1996
		WO 95-01604 A1	12/01/1995
US 2011-0067039 A1	17/03/2011	CN 102025766 A	20/04/2011
		DE 102010044531 A1	07/04/2011
		JP 05658509 B2	28/01/2015
		JP 2011-060279 A	24/03/2011
		KR 10-2011-0028211 A	17/03/2011
KR 10-2013-0073991 A	03/07/2013	AU 2005-322870 A1	13/07/2006
		AU 2005-325674 A1	03/08/2006
		CA 2583178 A1	12/01/2006
		CA 2584288 A1	12/01/2006
		CA 2591905 A1	13/07/2006
		CA 2594983 A1	03/08/2006
		CA 2623747 A1	05/04/2007
		CA 2627663 A1	05/04/2007
		CA 2644593 A1	04/10/2007
		CN 101133623 A0	27/02/2008
		CN 101133623 B	16/11/2011
		CN 101147379 A0	19/03/2008
		CN 101147379 B	25/05/2011
		CN 101164057 A0	16/04/2008
		CN 101164057 B	20/11/2013
		CN 101278352 A0	01/10/2008
		CN 101278352 B	30/05/2012
		CN 101278354 A0	01/10/2008
		CN 101410814 A	15/04/2009
		CN 101410814 B	17/07/2013
		CN 101416171 A	22/04/2009
		CN 101416171 B	22/08/2012
		CN 101611453 A	23/12/2009
		CN 101611453 B	10/07/2013
		CN 102104632 A	22/06/2011
		CN 102104632 B	22/08/2012
		CN 102123178 A	13/07/2011
		CN 102123178 B	09/04/2014
		CN 102281305 A	14/12/2011
		CN 102750975 A	24/10/2012
		CN 103366799 A	23/10/2013
		CN 103714841 A	09/04/2014
		EP 1774438 A2	18/04/2007
		EP 1774439 A2	18/04/2007
EP 1832088 A2	12/09/2007		
EP 1842354 A2	10/10/2007		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/067927

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		EP 1842354 B1	05/11/2014
		EP 1929480 A1	11/06/2008
		EP 1929480 A4	15/10/2008
		EP 1932157 A1	18/06/2008
		EP 1932157 B1	09/11/2011
		EP 1932158 A1	18/06/2008
		EP 1981030 A1	15/10/2008
		EP 1981030 B1	12/09/2012
		EP 1981031 A1	15/10/2008
		EP 1981032 A1	15/10/2008
		EP 1981032 B1	06/02/2013
		EP 1999601 A1	10/12/2008
		EP 2031516 A2	04/03/2009
		EP 2031516 A3	15/07/2009
		EP 2126918 A1	02/12/2009
		EP 2306460 A2	06/04/2011
		EP 2306460 A3	27/07/2011
		EP 2306461 A2	06/04/2011
		EP 2306461 A3	27/07/2011
		EP 2348510 A1	27/07/2011
		EP 2739014 A1	04/06/2014
		JP 05179450 B2	10/04/2013
		JP 05183214 B2	17/04/2013
		JP 05189072 B2	24/04/2013
		JP 05193045 B2	08/05/2013
		JP 05372083 B2	18/12/2013
		JP 05467573 B2	09/04/2014
		JP 05575856 B2	20/08/2014
		JP 05591284 B2	17/09/2014
		JP 2008-505545 A	21/02/2008
		JP 2008-505568 A	21/02/2008
		JP 2008-527507 A	24/07/2008
		JP 2008-529127 A	31/07/2008
		JP 2009-301586 A	24/12/2009
		JP 2009-510568 A	12/03/2009
		JP 2009-510656 A	12/03/2009
		JP 2009-510657 A	12/03/2009
		JP 2009-531746 A	03/09/2009
		JP 2010-514018 A	30/04/2010
		JP 2012-027925 A	09/02/2012
		JP 2012-178190 A	13/09/2012
		JP 2012-181916 A	20/09/2012
		JP 2012-238341 A	06/12/2012
		JP 2013-037712 A	21/02/2013
		JP 2013-251045 A	12/12/2013
		KR 10-1154148 B1	14/06/2012
		KR 10-1260632 B1	03/05/2013
		KR 10-1293365 B1	05/08/2013
		KR 10-1314893 B1	04/10/2013
		KR 10-1370691 B1	05/03/2014

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/067927

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		KR 10-1370711 B1	06/03/2014
		KR 10-1392593 B1	08/05/2014
		KR 10-1392605 B1	08/05/2014
		KR 10-1452564 B1	22/10/2014
		KR 10-2007-0074465 A	12/07/2007
		KR 10-2007-0083396 A	24/08/2007
		KR 10-2007-0092720 A	13/09/2007
		KR 10-2007-0104566 A	26/10/2007
		KR 10-2013-0097243 A	02/09/2013
		TW 200805074 A	16/01/2008
		TW 200822131 A	16/05/2008
		TW 200822145 A	16/05/2008
		TW 200842895 A	01/11/2008
		TW I445010 B	11/07/2014
		TW I448901 B	11/08/2014
		TW I453760 B	21/09/2014
		US 2006-0005240 A1	05/01/2006
		US 2006-0015570 A1	19/01/2006
		US 2006-0195660 A1	31/08/2006
		US 2006-0195840 A1	31/08/2006
		US 2007-0076479 A1	05/04/2007
		US 2007-0076502 A1	05/04/2007
		US 2007-0109833 A1	17/05/2007
		US 2007-0143677 A1	21/06/2007
		US 2007-0153576 A1	05/07/2007
		US 2007-0165457 A1	19/07/2007
		US 2007-0233903 A1	04/10/2007
		US 2008-0140938 A1	12/06/2008
		US 2008-0222363 A1	11/09/2008
		US 2008-0279003 A1	13/11/2008
		US 2009-0073768 A1	19/03/2009
		US 2010-0030951 A1	04/02/2010
		US 2010-0182838 A1	22/07/2010
		US 2010-0199057 A1	05/08/2010
		US 2010-0241846 A1	23/09/2010
		US 2010-0281217 A1	04/11/2010
		US 2010-0332594 A1	30/12/2010
		US 2011-0002171 A1	06/01/2011
		US 7515471 B2	07/04/2009
		US 7652922 B2	26/01/2010
		US 7719892 B2	18/05/2010
		US 7747833 B2	29/06/2010
		US 7757074 B2	13/07/2010
		US 7810089 B2	05/10/2010
		US 7826294 B2	02/11/2010
		US 7849269 B2	07/12/2010
		US 7849270 B2	07/12/2010
		US 7945755 B2	17/05/2011
		US 8000144 B2	16/08/2011
		US 8069328 B2	29/11/2011

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2014/067927

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 8108608 B2	31/01/2012
		US 8199598 B2	12/06/2012
		US 8250301 B2	21/08/2012
		US 8261057 B2	04/09/2012
		US 8739274 B2	27/05/2014
		US 8856777 B2	07/10/2014
		WO 2006-004725 A2	12/01/2006
		WO 2006-004725 A3	04/06/2009
		WO 2006-005078 A2	12/01/2006
		WO 2006-005078 A3	21/06/2007
		WO 2006-074072 A2	13/07/2006
		WO 2006-074072 A3	07/12/2006
		WO 2006-081032 A2	03/08/2006
		WO 2006-081032 A3	12/10/2006
		WO 2007-036047 A1	05/04/2007
		WO 2007-036048 A1	05/04/2007
		WO 2007-036050 A1	05/04/2007
		WO 2007-109886 A1	04/10/2007
		WO 2007-109887 A1	04/10/2007
		WO 2007-109888 A1	04/10/2007
		WO 2008-077244 A1	03/07/2008
US 2009-0164678 A1	25/06/2009	TW 200928743 A	01/07/2009
KR 10-2013-0000083 A	02/01/2013	KR 10-1306622 B1	11/09/2013

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 エイラート, ショーン エス.
アメリカ合衆国, カリフォルニア州 9 5 6 6 3, ペンリン, イングリッシュ コロニー ウェイ
1 7 2 1

(72)発明者 アケル, アミン ディー.
アメリカ合衆国, カリフォルニア州 9 5 7 4 2, ランチョ コルドヴァ, ボーダーランズ ドライブ
4 2 1 4

(72)発明者 ワン, ホンギョ
アメリカ合衆国, カリフォルニア州 9 5 6 3 0, フォルソム, メレディス ウェイ 1 2 2 5

Fターム(参考) 5B033 AA14 DB10

5B060 KA06 KA08 MM20

5M024 AA71 BB27 BB33 BB34 GG06 JJ06 JJ58 JJ59 PP01 QQ02