

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4825005号
(P4825005)

(45) 発行日 平成23年11月30日 (2011.11.30)

(24) 登録日 平成23年9月16日 (2011.9.16)

(51) Int.Cl. F I
HO 1 L 33/14 (2010.01) HO 1 L 33/00 I 5 O
HO 1 L 29/74 (2006.01) HO 1 L 29/74 E

請求項の数 5 (全 39 頁)

(21) 出願番号	特願2005-380391 (P2005-380391)	(73) 特許権者	000006633
(22) 出願日	平成17年12月28日 (2005.12.28)		京セラ株式会社
(65) 公開番号	特開2007-180460 (P2007-180460A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成19年7月12日 (2007.7.12)	(74) 代理人	100075557
審査請求日	平成20年6月16日 (2008.6.16)		弁理士 西教 圭一郎
		(72) 発明者	青野 重雄
			京都府相楽郡精華町光台3丁目5番地3号
			京セラ株式会社中央研究所内
		審査官	高 椋 健司

最終頁に続く

(54) 【発明の名称】 発光サイリスタ、発光サイリスタを用いた発光装置および画像形成装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、N型またはP型のいずれか一方の導電型の第1半導体層、第1半導体層と反対導電型の第2半導体層、第1半導体層と同じ導電型の第3半導体層、および第1半導体層と反対導電型の第4半導体層がこの順に積層されている発光サイリスタにおいて、

前記第3半導体層のバンドギャップは、前記第2半導体層のバンドギャップに対するバンドギャップの差が5%以内であり、かつ、前記第1および前記第4半導体層のバンドギャップより狭幅であり、

前記第3半導体層は、前記基板側の第1領域と前記基板と反対側の第2領域とからなり、かつ、前記第1領域の不純物濃度は前記第2領域の不純物濃度よりも低濃度であり、

前記第2半導体層の不純物濃度は、前記第3半導体層の第1領域の不純物濃度に対する不純物濃度の差が20%以内または前記第3半導体層の第1領域の不純物濃度より高濃度であり、前記第3半導体層の第2領域の不純物濃度よりも低濃度であり、かつ、前記第1半導体の不純物濃度より低濃度であり、

前記第4半導体層の不純物濃度は、前記第3半導体層の第2領域の不純物濃度に対する不純物濃度の差が20%以内または前記第3半導体層の第2領域の不純物濃度より高濃度であり、

前記第3半導体層の第2領域の膜厚は、前記第2半導体層の膜厚よりも大きいことを特徴とする発光サイリスタ。

【請求項2】

10

20

前記第4半導体層の前記基板と反対側に、前記第4半導体層と同じ導電型の第5半導体層が積層され、前記第5半導体層のバンドギャップは、前記第4半導体層のバンドギャップに対するバンドギャップの差が5%以内またはそれより広幅であり、前記第5半導体層の不純物濃度は、前記第4半導体層の不純物濃度に対する不純物濃度の差が20%以内または前記第4半導体層の不純物濃度より高濃度であることを特徴とする請求項1記載の発光サイリスタ。

【請求項3】

(a) 発光信号を送送する発光信号伝送路と、

(b) 前記発光信号伝送路に接続された複数の発光素子が相互に間隔をあけて配列された発光素子アレイであって、

(b1) 前記発光素子は、請求項1または2記載の発光サイリスタで構成され、

(b2) 前記発光素子を構成する発光サイリスタがゲート電極にトリガ信号を与えられることによってしきい電圧が低下した状態で、前記発光信号をアノード電極とカソード電極との間に与えることによって、その発光サイリスタを発光させる、発光素子アレイと

、

(c) 走査信号を送送する複数の走査信号伝送路と、

(d) 前記走査信号伝送路に接続された複数のスイッチ素子が相互に間隔をあけて1次元に配列されたスイッチ素子アレイであって、

(d1) 前記複数のスイッチ素子と前記走査信号伝送路との接続は、配列方向に隣接するスイッチ素子では前記走査信号が異なるタイミングで与えられるようになされ、

(d2) 前記スイッチ素子は、請求項1または2記載の発光サイリスタで構成され、

(d3) 前記スイッチ素子を構成する発光サイリスタは、配列方向に隣接する発光サイリスタの発光を受光するように配置され、

(d4) 前記スイッチ素子を構成する発光サイリスタが配列方向に隣接する発光サイリスタの発光を受光することによってしきい電圧が低下した状態で、前記走査信号をアノード電極とカソード電極との間に与えることによって、その発光サイリスタを発光させるとともにゲート電極にトリガ信号を発生させる、スイッチ素子アレイと、

(e) 前記スイッチ素子を構成する発光サイリスタのゲート電極と前記発光素子を構成する発光サイリスタのゲート電極とを電氣的に接続する接続手段とを含むことを特徴とする発光装置。

【請求項4】

前記発光素子の発する光が、前記スイッチ素子が発する光によって干渉されないように、前記スイッチ素子が発する光を遮光する遮光手段を含むことを特徴とする請求項3記載の発光装置。

【請求項5】

請求項3または4に記載の発光装置と、

画像情報に基づいて前記発光装置を駆動する駆動手段と、

感光体ドラムに前記発光装置の発光素子からの光を集光する集光手段と、

前記発光装置からの光が前記集光手段によって前記感光体ドラムに集光されて露光された感光体ドラムに現像剤を供給する現像剤供給手段と、

前記感光体ドラムに現像剤によって形成された画像を記録シートに転写する転写手段と

、

前記記録シートに転写された現像剤を定着させる定着手段とを含むことを特徴とする画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、N型半導体層とP型半導体層とを順次積層してなるサイリスタのうち、半導体層の内部での発光が外部に取り出されるとともに、その発光状態を外部から電氣的にあるいは光を照射することによって制御可能であって、発光強度及び受光感度を向上させた

10

20

30

40

50

発光サイリスタに関する。また本発明は、この発光サイリスタを光励起による転送スイッチ素子として集積した自己走査型の発光装置に関するものであり、さらにこの発光装置を用いた画像形成装置に関する。

【背景技術】

【0002】

発光サイリスタは、PNPN構造を有する通常のサイリスタの各層をガリウム砒素（GaAs）またはアルミニウムガリウム砒素（AlGaAs）などの直接遷移型の半導体を用いて形成したものであり、通常のサイリスタが有するスイッチング機能の他に、発光機能を有する。

【0003】

図16は、従来の発光サイリスタ114の基本構造を示す断面図である。図16で、基板101はガリウム砒素（GaAs）などのN型半導体基板であり、この上にGaAsまたはアルミニウムガリウム砒素（AlGaAs）などからなる各半導体層102、103、104、107がPNPNの導電型の順に積層される。図16において、第1半導体層102はN型、第2半導体層103はP型、第3半導体層104はN型、第4半導体層107はP型となる。基板を第1半導体層と同じ導電型にすることによって、基板の裏面に裏面電極111を設けることができ、この裏面電極111をカソード電極として用いる。アノード電極は表面電極110になる。さらに、第3半導体層104の表面（基板から離反する側）には、スイッチング信号を入力するためのゲート電極112が設けられている。

【0004】

基板101をP型半導体にした場合は、各半導体層102、103、104、107をPNPNの順に積層する。この場合、表面電極110がカソード電極になり、裏面電極111がアノード電極になる。いずれの導電型の順を用いてもサイリスタの動作は同じである。

【0005】

図17は、発光サイリスタ114の表面電極（アノード電極）110から裏面電極（カソード電極）111に順方向電流を印加した場合の電流電圧特性を示したものである。電流電圧特性は一般的なサイリスタと同様の負性抵抗特性を示す。図17に示したしきい電圧 V_{BO} は、ゲート電極112に印加する電圧もしくは電流によって、あるいは半導体層102、103、104、107に光照射を行うことによって、低下させることができる。光照射による変化は、図16において、第1半導体層（N型）102、第2半導体層（P型）103、第3半導体層（N型）104によるNPNN層が受光素子としてのホトトランジスタとして機能することによる。

【0006】

発光サイリスタのスイッチング機能は、このしきい電圧 V_{BO} の低下を利用したもので、電流電圧特性を表す特性曲線と負荷線72とが交わるオフ状態のb点と、特性曲線と負荷線72とが交わるオン状態のa点とを遷移させる。

【0007】

発光サイリスタの発光機能は、オン状態でPN接合から注入されるキャリアの再結合を利用する。図16において、発光サイリスタ114がオン状態のとき、第1半導体層（N型）102と第2半導体層（P型）103とからなるPN接合J1および第3半導体層（N型）104と第4半導体層（P型）107とからなるPN接合J3に順方向電流が流れる結果、接合J1およびJ3の近傍で発光する。

【0008】

発光サイリスタのスイッチング機能と発光機能を利用すると電子写真プリンタなどの光プリンタヘッドとして用いられる発光装置を実現できることが報告されている（たとえば、特許文献2、3参照）。従来、この種の発光装置としては、発光ダイオード（Light Emitted Diode：略称LED）を多数配列して形成されるLEDアレイが知られていたが、LEDと駆動回路とを個別に接続する必要があるので多数のボンディングパッドを必要

10

20

30

40

50

とし、高集積化が困難であるという問題点があった。発光サイリスタは、LEDアレイと比べて発光素子列をコンパクトに作製でき、基板への実装が簡便になることなどの利点がある。

【0009】

これまで提案された発光サイリスタを利用した発光装置は、大別すると、光励起によるしきい電圧の低下を利用して発光状態の転送を実現させるタイプと、ゲート電極に電圧または電流を印加して電氣的に発光状態の転送を実現させるタイプの2種類がある。図18に例示した第1の従来の技術の発光装置1は前者の光励起による方法を用いており、図19に例示した第2の従来の技術の発光装置2は後者の電気制御による方法を用いている（第1の従来の技術の発光装置1については、特許文献1および特許文献2の第8図とそれ

10

【0010】

図18に概略回路構成を示した第1の従来の技術の発光装置1では、オン状態の発光サイリスタから外部に放出された光が配列方向に隣接する他の発光サイリスタに入射するように、複数の発光サイリスタ T_0 , T_1 , $\dots$, T_n が配列されている。隣接した発光サイリスタからの光を受光することによって発光サイリスタのしきい電圧が低下するタイミングに合わせて、走査信号 ϕ_1 , ϕ_2 , ϕ_3 を与えることによって、発光状態を順に転送させる自己走査機能を実現される。感光体の露光を行うには、発光サイリスタが発光するタイミングに合わせて発光信号 ϕ_E をハイレベルにすることによって、発光サイリスタに印加される電流量を増やし発光強度を増加させる。そのため、露光時以外でもスイッチング信号を転送するために、オン状態にある発光サイリスタから、ある程度の発光（バイアス光）を生じる。

20

【0011】

一方、図19に概略回路構成を示した第2の従来の技術の発光装置2では、スイッチング信号の転送のためのスイッチ用サイリスタ T を分離してそれらを電氣的に制御する構成となっている。スイッチ用サイリスタ T でオン状態の転送を電氣的に実現するために、転送方向指定ダイオード D やゲート電極にかかる電圧を制御するための負荷抵抗 R_L などが必要となる。図19で、露光用の発光用サイリスタ L を発光させるには、スイッチ用サイリスタ T がオン状態になるタイミングに合わせて発光信号 ϕ_E をハイレベルにする。スイッチ用サイリスタ T と発光用サイリスタ L との対応するゲート電極同士が接続されていることから、発光サイリスタがオン状態に遷移して発光する。

30

【0012】

これらの発光装置への適用を目的として、発光サイリスタの各層のバンドギャップと不純物濃度とを最適化して発光サイリスタの性能を向上させる試みが提案されている（たとえば、特許文献4，5参照）。

【0013】

特許文献4では、N型GaAs基板上に、N型AlGaAs層、P型GaAs層、N型GaAs層およびP型AlGaAs層をこの順に積層した発光サイリスタの構造が提案されている。活性層であるP型GaAs層、N型GaAs層へキャリアを閉じ込めるために、バンド幅の大きいAlGaAs層で活性層を挟んだ構造にすることによって、発光効率の向上が期待されている（特許文献4の第3頁第6欄参照）。

40

【0014】

特許文献5では、不純物濃度とバンドギャップの両方を最適化する試みが提案されている。特許文献5によると、発光サイリスタのゲート層（図16の第2半導体層103と第3半導体層104に対応する）の不純物濃度に勾配を設けることによって、ゲート層内部に電界を発生させ、注入された少数キャリアを電界によって押し出して、その結果、ゲート層内部での少数キャリア滞在時間を短くし、スイッチング時間を短縮することが期待されている。上述の内部電界の形成は、ゲート層を構成する半導体層のバンドギャップに勾配を設けることでも可能である。また、特許文献5によると、発光サイリスタの外部への

50

光の取り出し効率を大きくするために、発光サイリスタのゲート層を、発光するゲート層とそれ以外のゲート層に分割し、発光するゲート層のバンドギャップに対し、それ以外のゲート層のバンドギャップを大きくとる構造にする。この結果、発光ゲート層の厚さを薄くすることができ、発光場所自身での吸収を小さくするとともに、発光しないゲート層ではバンドギャップが広いので光を吸収することがなく、外部への光の取り出し効率を大きくできることが期待されている（特許文献５の段落〔００４５〕〔００４７〕〔００４９〕の記載を参照）。

【００１５】

【特許文献１】特開昭４９－１２４９９２号公報

【特許文献２】特許第２５７７０３４号公報

【特許文献３】特許第３０２０１７７号公報

【特許文献４】特許第２５７７０８９号公報

【特許文献５】特開平８－１５３８９０号公報

【発明の開示】

【発明が解決しようとする課題】

【００１６】

発光サイリスタを光プリンタヘッドなどの発光装置へ応用する場合、要求される発光サイリスタの性能は、第１に露光用の発光用サイリスタとして発光効率が優れていることである。発光効率は内部量子効率と光の取り出し効率との積で表されるので、そのいずれも高める必要がある。第２に、スイッチ用サイリスタとして必要なスイッチング素子としての性能を向上させる必要がある。第１の従来技術の発光装置１のように光励起による方法の場合には、受光感度が優れていることが必要であり、第２の従来技術の発光装置２のように電気制御による方法の場合には、スイッチング速度が速いこと、特にゲートターンオン時間の短縮が必要となる。通常、発光装置の製造工程では、発光用サイリスタとスイッチ用サイリスタは基板上に同時に製膜されるので、両サイリスタは同じ半導体層構成によって形成される。したがって、要求される発光サイリスタの性能としては、発光効率の向上と受光感度の向上との両立、あるいは、発光効率の向上とスイッチング速度の向上との両立が必要となる。しかしながら、従来技術の発光サイリスタではこの要求を十分に満たしていなかった。

【００１７】

たとえば、特許文献５に記載された発光サイリスタでは、基板側のゲート層（図１６では第２半導体層１０３に対応する）のバンドギャップが小さいことから、この部位が主たる発光場所として想定されている（特許文献５の図９および図１１とそれに関連する記載を参照）。この場合、電子は基板側のカソードから注入されるので、正孔と電子の再結合による発光は、ゲート層の中でも基板に近い側の部位（図１６では第２半導体層１０３のうち接合Ｊ１近傍に対応する）が最も強い。そうすると、光が外部へ取り出されるまでには、Ｐ型のゲート層（図１６では第２半導体層１０３）大部分とＮ型のゲート層（図１６では第３半導体層１０４）の内でバンドギャップの小さい部位とを通過しなければならなくなり、それらの層での光の再吸収を考慮すると、外部への取り出し効率が大きいとは言えない。特許文献５においてバンドギャップをこのような構成にした理由は、特許文献５では、第２の従来技術の発光装置２への応用が目的とされているため、発光効率の向上よりも、スイッチ用サイリスタに必要なスイッチング速度の向上が優先されたためと考えられる。

【００１８】

したがって、本発明の目的は、発光装置の発光用サイリスタと光励起を利用したスイッチ用サイリスタとの両方に使用可能なように、受光感度を低下することなく外部への発光強度を高くすることができる発光サイリスタを提供することにある。

【００１９】

また、本発明の他の目的は、この発光サイリスタを用いることによって、全体構造を簡素化することが可能であり、かつ信頼性にも優れた発光装置を提供することにある。

10

20

30

40

50

【0020】

また、本発明のさらに他の目的は、本発明の発光装置を用いた、画像品質の良好な記録画像を得られる画像形成装置を提供することにある。

【課題を解決するための手段】

【0021】

本発明の発光サイリスタは、基板上に、N型またはP型のいずれか一方の導電型の第1半導体層、第1半導体層と反対導電型の第2半導体層、第1半導体層と同じ導電型の第3半導体層、および第1半導体層と反対導電型の第4半導体層がこの順に積層されている発光サイリスタにおいて、

前記第3半導体層のバンドギャップは、前記第2半導体層のバンドギャップに対するバンドギャップの差が5%以内であり、かつ、前記第1および前記第4半導体層のバンドギャップより狭幅であり、

前記第3半導体層は、前記基板側の第1領域と前記基板と反対側の第2領域とからなり、かつ、前記第1領域の不純物濃度は前記第2領域の不純物濃度よりも低濃度であり、

前記第2半導体層の不純物濃度は、前記第3半導体層の第1領域の不純物濃度に対する不純物濃度の差が20%以内または前記第3半導体層の第1領域の不純物濃度より高濃度であり、前記第3半導体層の第2領域の不純物濃度よりも低濃度であり、かつ、前記第1半導体の不純物濃度より低濃度であり、

前記第4半導体層の不純物濃度は、前記第3半導体層の第2領域の不純物濃度に対する不純物濃度の差が20%以内または前記第3半導体層の第2領域の不純物濃度より高濃度であり、

前記第3半導体層の第2領域の膜厚は、前記第2半導体層の膜厚よりも大きいことを特徴とする。

【0022】

また本発明の発光サイリスタによれば、前記第4半導体層の前記基板と反対側に、前記第4半導体層と同じ導電型の第5半導体層が積層され、前記第5半導体層のバンドギャップは、前記第4半導体層のバンドギャップに対するバンドギャップの差が5%以内またはそれより広幅であり、前記第5半導体層の不純物濃度は、前記第4半導体層の不純物濃度に対する不純物濃度の差が20%以内または前記第4半導体層の不純物濃度より高濃度であることを特徴とする。

【0023】

また本発明の発光装置によれば、

(a) 発光信号を伝送する発光信号伝送路と、

(b) 前記発光信号伝送路に接続された複数の発光素子が相互に間隔をあけて配列された発光素子アレイであって、

(b1) 前記発光素子は、前記発光サイリスタで構成され、

(b2) 前記発光素子を構成する発光サイリスタがゲート電極にトリガ信号を与えられることによってしきい電圧が低下した状態で、前記発光信号をアノード電極とカソード電極との間に与えることによって、その発光サイリスタを発光させる、発光素子アレイと、

(c) 走査信号を伝送する複数の走査信号伝送路と、

(d) 前記走査信号伝送路に接続された複数のスイッチ素子が相互に間隔をあけて1次元に配列されたスイッチ素子アレイであって、

(d1) 前記複数のスイッチ素子と前記走査信号伝送路との接続は、配列方向に隣接するスイッチ素子では前記走査信号が異なるタイミングで与えられるようになされ、

(d2) 前記スイッチ素子は、前記発光サイリスタで構成され、

(d3) 前記スイッチ素子を構成する発光サイリスタは、配列方向に隣接する発光サイリスタの発光を受光するように配置され、

(d4) 前記スイッチ素子を構成する発光サイリスタが配列方向に隣接する発光サイリスタの発光を受光することによってしきい電圧が低下した状態で、前記走査信号をアノ

10

20

30

40

50

ード電極とカソード電極との間に与えることによって、その発光サイリスタを発光させるとともにゲート電極にトリガ信号を発生させる、スイッチ素子アレイと、

(e) 前記スイッチ素子を構成する発光サイリスタのゲート電極と前記発光素子を構成する発光サイリスタのゲート電極とを電氣的に接続する接続手段とを含むことを特徴とする。

【0024】

また本発明の発光装置によれば、前記発光素子の発する光が、前記スイッチ素子が発する光によって干渉されないように、前記スイッチ素子が発する光を遮光する遮光手段を含むことを特徴とする。

【0025】

また本発明の画像形成装置によれば、前記発光装置と、
画像情報に基づいて前記発光装置を駆動する駆動手段と、
感光体ドラムに前記発光装置の発光素子からの光を集光する集光手段と、
前記発光装置からの光が前記集光手段によって前記感光体ドラムに集光されて露光された感光体ドラムに現像剤を供給する現像剤供給手段と、
前記感光体ドラムに現像剤によって形成された画像を記録シートに転写する転写手段と、

前記記録シートに転写された現像剤を定着させる定着手段とを含むことを特徴とする。

【発明の効果】

【0026】

本発明の発光サイリスタによれば、第4半導体層(P型)のバンドギャップが第3半導体層(N型)のバンドギャップよりも大きいことから、両半導体層の界面でポテンシャル障壁が形成され、第1半導体層から注入された電子を閉じ込め、第3半導体層(N型)での電子密度を増大させることができる。また、第3半導体層(N型)を第1領域と第2領域の2層に分けて、第4半導体層(P型)側の第2領域の不純物濃度を高めたことから、第2領域での熱平衡状態の電子密度が増大する。さらに、第4半導体層(P型)の不純物濃度を第2領域の不純物濃度と略同一かそれより高濃度にしたことによって、第4半導体層から第2領域に注入される正孔密度を高めることができる。以上の設定によって、第2領域で正孔と電子とを効率よく再結合させて発光させることができ、内部量子効率を高めることができる。

【0027】

また、光の取り出し方向である第4半導体層(P型)のバンドギャップは、主たる発光層である第2領域のバンドギャップよりも広幅であるので、発光した光の吸収層とはならない。主たる発光層が光の取り出し方向に近い第2領域であることから、主たる発光層自身での吸収も問題とならず、本発明によれば、光の取り出し効率にも優れた発光サイリスタを提供することができる。

【0028】

さらに、第1半導体層(N型)のバンドギャップを、第2半導体層(P型)のバンドギャップよりも広幅にし、第1半導体層(N型)の不純物濃度を、第2半導体層(P型)の不純物濃度よりも大きくすることによって、第1半導体層と第2半導体層と第3半導体層とで構成されるNPN型のホトランジスタのエミッタ注入効率を大きくすることができる。この結果、受光感度のよい発光サイリスタを提供することができる。

【0029】

また本発明の発光サイリスタによれば、高不純物濃度の第5半導体層(P型)を極薄膜のオーミックコンタクト層と第4半導体層(P型)との間に介することによって、アノード電極との間で良好なオーミック接触をとることができる。第5半導体層(P型)のバンドギャップは第4半導体層(P型)のバンドギャップと略同一またはそれより広幅なので、内部で発光した光の吸収層とならず、光の取り出し効率を低下させることはない。

【0030】

本発明の発光装置によれば、スイッチ素子アレイの複数のスイッチ素子のうち、1つの

10

20

30

40

50

スイッチ素子を構成する発光サイリスタが発光したときに、この発光したスイッチ素子の光は、配列方向に相互に間隔をあけて隣接するスイッチ素子に受光される。受光したスイッチ素子を構成する発光サイリスタは、走査信号の電圧よりも、しきい電圧が低下し、このしきい電圧が低下したスイッチ素子に接続された走査信号伝送路によって伝送される走査信号を与えられることによって発光する。複数の走査信号伝送路によって伝送される走査信号は、配列方向に隣接するスイッチ素子毎に、異なるタイミングで与えられるので、受光によってしきい電圧が低下したスイッチ素子に、走査信号を与えることができ、これによってスイッチ素子を配列方向に順番に発光させることができる。

【0031】

スイッチ素子が受光すると、このスイッチ素子を構成する発光サイリスタのゲート電極にトリガ信号が発生し、このトリガ信号は接続手段を介して対応する発光素子を構成する発光サイリスタのゲート電極に与えられる。発光素子を構成する発光サイリスタは、そのゲート電極にトリガ信号が与えられると、しきい電圧が低下する。発光素子を構成する発光サイリスタのしきい電圧が、発光信号の電圧よりも低下した状態で、発光信号伝送路によって伝送される発光信号を与えることによって、各発光素子を選択的に発光させることができる。

10

【0032】

各スイッチ素子を構成する発光サイリスタは、隣接するスイッチ素子から発する光を受光することによって光励起によりそのしきい電圧が低下するので、電気制御による方法と異なり、ゲート電極に転送方向指定のためのダイオードおよび電源との間に接続される負荷抵抗などを接続する必要がない。したがって装置の構造を複雑にすることなく、なるべく少ない信号伝送路によって、複数配列される発光素子のうち所定の発光素子のみを選択的に発光させることができる。また第2の従来の技術の発光装置と比較して、装置の構造が簡素化されるので、製造工程を少なくすることができ、装置の生産性を向上させることができる。

20

【0033】

また本発明の発光装置よれば、各スイッチ素子を構成するスイッチ用サイリスタが配列方向に順番に発光する光を、遮光手段によって遮光することによって、スイッチ素子の発する光で感光体が露光されることがないようにする。その結果、感光体は発光素子が発する光のみで露光され、光プリンタヘッドに適用する場合に、露光量が安定し画像品質の優れた発光装置が提供できる。

30

【0034】

本発明の画像形成装置によれば、画像情報に基づいて前記発光装置を駆動手段によって駆動して、発光装置からの光を集光手段によって、帯電した感光体ドラムに集光することによって、感光体ドラムは露光され、その表面に静電潜像が形成される。静電潜像が形成された感光体ドラムに、現像剤供給手段によって現像剤を供給すると、感光体ドラムに現像剤が付着して画像が形成される。転写手段によって、感光体ドラムに現像剤によって形成された画像を記録シートに転写して、定着手段によって記録シートに転写された現像剤を定着させることによって、記録シートに画像が形成される。

40

【0035】

またスイッチ素子は走査方向に沿って順番に発光するが、スイッチ素子と発光素子とが離間しており、発光素子の発光によって感光体ドラムが露光され、スイッチ素子の発光によって感光体ドラムを露光させることがないので、優れた品質の記録画像を得ることができる。

【0036】

また感光体ドラムへの露光を行うための発光素子と、信号転送のためのスイッチ素子とを一体的に集積化したものとするので、発光装置を実装するための回路基板を小型化することができ、この回路基板とのワイヤボンディングの数および回路基板に搭載すべき駆動ICの数を低減することができるので、小型化および低コスト化を実現することができる。

50

【発明を実施するための最良の形態】

【0037】

以下、図面を参照して本発明の発光サイリスタおよびそれを用いた本発明の発光装置および画像形成装置の実施の形態について説明する。

【0038】

図1は、本発明の第1の実施の形態の発光サイリスタ115の断面図と、発光サイリスタ115を構成する各層の不純物濃度およびバンドギャップを示したものである。なお、図1の不純物濃度とバンドギャップの値は望ましい一例を示したものであり、本発明の効果はこの値に限って生じるわけではない。

【0039】

最初に、図1に示した発光サイリスタ115の構造について説明する。

図1に示す発光サイリスタ115は、N型半導体基板101上に、N型の第1半導体層102、P型の第2半導体層103、N型の第3半導体層104およびP型の第4半導体層107がこの順に積層されることによって、NPNPのサイリスタの構造が形成されている。ここで、第3半導体層104は、基板側の第1領域105と基板反対側の第2領域106との2層で構成され、これら各層はいずれもN型半導体によって形成される。さらに、P型の第4半導体層107の基板反対側の表面（基板から離反する側）には、表面電極110と良好なオーミック接触をとるためのP型半導体のオーミックコンタクト層109が形成される。表面電極110はオーミックコンタクト層109の基板反対側の表面に形成される。裏面電極111は、基板101の裏面に形成される。この場合、表面電極110はアノード電極として用いられ、裏面電極111はカソード電極として用いられる。また、第3半導体層104のうちの第2領域106の基板反対側の表面にはゲート電極112が設けられている。

【0040】

本実施の形態では、基板101をN型半導体によって形成した場合について例示する。これとは逆に、基板101にP型半導体基板を用い、半導体層を第1半導体層102をP型、第2半導体層103をN型、第3半導体層を104をP型、第4半導体層をN型としてPNPNのサイリスタ構造を形成することも可能である。この場合は、オーミックコンタクト層にはN型の半導体を用い、裏面電極111がアノード電極になり、表面電極110がカソード電極になるが、基板をN型半導体によって形成する方が好ましい。これは、発光サイリスタを集積化したときに、基板裏面の裏面電極（カソード電極）111を共通の接地とし、表面電極（アノード電極）110に正電源を接続できるからである。なお、いずれの導電型の順を用いても本実施の形態の効果に変わりはない。基板をP型半導体基板とした場合は、以下の説明は、正孔と電子を入れ替えればそのまま成り立つ。

【0041】

また、基板101に絶縁性基板および半絶縁性基板などを用いることもできる。この場合は、第2半導体層103、第3半導体層104、第4半導体層107およびオーミックコンタクト層109の一部をエッチングして、第1半導体層102の表面（基板から離反する側）を露出させ、第1半導体層102の露出させた表面に裏面電極111に相当するカソード電極を形成する。

【0042】

各半導体層102、103、104、107およびオーミックコンタクト層109は、有機金属気層エピタキシャル成長法（MOVPE）および分子線エピタキシャル成長法（MBE）などのエピタキシャル成長法によって形成される。エピタキシャル成長が必要な理由は、格子欠陥などを多量に含んでいると発光素子および受光素子としてのホトトランジスタとして機能し得ないからである。したがって、格子整合の観点から、基板101、各半導体層102、103、104、107およびオーミックコンタクト層109の材料が選択される。

【0043】

基板101の材料としては、III/V族半導体およびII/V族半導体の薄膜がエピタ

10

20

30

40

50

キシャル成長可能なものとして、たとえば、ガリウム砒素 (GaAs)、インジウムリン (InP)、ガリウムリン (GaP)、シリコン (Si) およびゲルマニウム (Ge) などを用いることができる。基板101に絶縁性基板または半絶縁性基板を使用する場合には、たとえば、GaAs、窒化ガリウム (GaN) およびサファイアなどが用いられる。なお、各半導体層102, 103, 104, 107の結晶性を良好にするために、基板101と第1半導体層102との間に第1半導体層102と同じ導電型のバッファ層を設ける場合がある。

【0044】

各半導体層102, 103, 104, 107の材料には、ガリウム砒素 (GaAs)、アルミニウムガリウム砒素 (AlGaAs)、インジウムガリウムリン (InGaP) およびアルミニウムガリウムインジウムリン (AlGaInP) などが用いられる。なお、これらの材料で発光サイリスタを作製したときの発光波長は、600~800nmになる。

10

【0045】

オーミックコンタクト層109の材料にはGaAs、InGaPなどアルミニウムを含んでいない材料が用いられる。アルミニウムを含んでいる場合は表面が大気中で酸化されやすく、表面電極110との間で良好なオーミック接触をとることが困難になるからである。また、オーミックコンタクト層109の不純物濃度を $3 \times 10^{19} \text{ (cm}^{-3}\text{)}$ 以上にすることも良好なオーミック接触をとるために必要である。なお、オーミックコンタクト層109の厚さは0.01~0.02 μm となるべく薄くすることが好ましい。なぜなら、GaAs、InGaPのバンドギャップの値は、アルミニウムを含んでいる材料よりも小さいので、膜厚が大きいと内部で発生した光の再吸収層となるからである。

20

【0046】

各電極110, 111, 112の材料は、接触する半導体層または基板101との良好なオーミック接触を保つために適した材料が用いられる。表面電極110は、オーミックコンタクト層109と良好なオーミック接触をとるために、たとえば、金 (Au)、金とゲルマニウムとの合金 (AuGe)、および金と亜鉛との合金 (AuZn) などが用いられる。ゲート電極112は、第3半導体層104の第2領域106と良好なオーミック接触をとるために、たとえば、Au、AuGeおよびニッケル (Ni) などが用いられる。裏面電極112は、半導体基板101と、または基板101に非導電性の材料を用いた場合には第1半導体層102と良好なオーミック接触がとれるという観点から、たとえば、Au、AuGeおよびNiなどが用いられる。

30

【0047】

次に、本実施の形態の特徴である、発光サイリスタ115の各半導体層102, 103, 104, 107のバンドギャップおよび不純物濃度の最適化について説明する。受光感度を低下することなく外部への発光強度を向上させるという本発明の目的に照らして最適になるように、各半導体層での不純物濃度とバンドギャップを決める。

【0048】

なお、具体的なドーパントとして、本実施の形態においては、N型半導体にはシリコンおよびテルルなどを用いることができ、P型半導体のドーパントとしては、亜鉛、炭素およびマグネシウムなどを用いることができる。実際の素子の作製には、シリコンと亜鉛を用いている。

40

【0049】

バンドギャップの値を制御するには、各半導体層102, 103, 104, 107を構成する半導体材料の種類および組成を制御することによって行う。アルミニウムガリウム砒素 ($\text{Al}_x\text{Ga}_{1-x}\text{As}$) は、格子整合条件を保ったまま、バンドギャップをAlの組成比xによって変化させることができる。アルミニウムガリウムインジウムリン ($(\text{Al}_y\text{Ga}_{1-y})_{0.5}\text{In}_{0.5}\text{P}$) を用いた場合も、Alの組成比yを変えることによって、GaAsに格子整合した状態でバンドギャップを変化させることができる。

【0050】

50

また半導体層の不純物濃度が略同一とは、上述した材料を用いた場合には、不純物濃度の差が20%以内であることを意味する。またバンドギャップが略同一とは、上述した材料を用いた場合には、バンドギャップの差が5%以内であることを意味する。これは、設計値では同一であっても、実際に発光サイリスタを作製した場合には、装置の制御性および作製条件によって異なる場合があることを考慮したものである。特に不純物のドーピングについては、膜中で拡散が生じたり、ドーパントの再蒸発が基板温度に依存したりする場合があり、再現性が得られにくい。そこで、上述した材料を用いた場合には、不純物濃度については20%以内、バンドギャップについては5%以内であれば、実質的な違いはないものとして、この範囲にあれば略同一とする。

【0051】

本実施の形態の特徴は、図1に示されるように、バンドギャップについては、第2半導体層(P型)103と第3半導体層(N型)104のバンドギャップが略同一であり、それらの半導体層よりも広いバンドギャップを持つ第1半導体層(N型)102と第4半導体層(P型)107とに挟まれた構造にすることである。熱平衡状態の不純物濃度については、第3半導体層(N型)103を、基板側(第2半導体層102に接する側)の第1領域105と基板反対側(第4半導体層107に接する側)の第2領域106の2層に分けて、第2領域106の不純物濃度を第1領域105の不純物濃度よりも高濃度にする。さらに、第2半導体層(P型)103の不純物濃度は第1領域102の不純物濃度と略同一またはそれよりも高濃度にし、第1半導体層(N型)102は、第2半導体層(P型)103よりも高濃度にする。また、第4半導体層(P型)107の不純物濃度は、第3半導体層(N型)104の第2領域106の不純物濃度と略同一かそれよりも高濃度に設定したことに特徴がある。

【0052】

表1は、本実施の形態における各半導体層102, 103, 104(105, 106), 107およびオーミックコンタクト層109の不純物濃度、バンドギャップおよび膜厚の値を示す。なお、この値は好ましい値の例示であって、各半導体層のバンドギャップと不純物濃度について上述した関係を満たせば、本実施の形態と同様の効果を得ることができる。

【0053】

【表1】

半導体層	不純物濃度(cm^{-3})	バンドギャップ(eV)	膜厚(μm)
オーミック コンタクト層	3×10^{19} 以上	1.43	0.01~0.02
第4半導体層	1×10^{18} ~ 1×10^{19}	1.75~1.88	0.1~0.5
第3半導体層の 第2領域	5×10^{17} ~ 1×10^{18}	1.55~1.68	0.5~1.0
第3半導体層の 第1領域	1×10^{16} ~ 1×10^{17}	1.55~1.68	0.5~1.0
第2半導体層	1×10^{17} ~ 1×10^{18}	1.55~1.68	0.01~0.5
第1半導体層	1×10^{18} ~ 2×10^{18}	1.75~1.88	0.1~0.5

【0054】

各半導体層102, 103, 104, 107のバンドギャップおよび不純物濃度をこのような設定にした第1の理由は、主たる発光層を第3半導体層(N型)104の中の第2領域106にすることによって、内部量子効率と光の取り出し効率をいずれも向上させることができるためである。

【0055】

内部量子効率を高めるには、注入されたキャリアを有効に再結合させる必要がある。基板101にはN型半導体基板が用いられるので、発光サイリスタ101では、正孔は第4半導体層(P型)107側から接合J3を通して注入されることになる。この場合、注入された正孔を有効に電子と有効に再結合させるためには、接合J3の近傍の第2領域106における電子密度を高めることが効果的である。そこで、第2領域106において、熱平衡状態での電子密度および注入されて増加した電子密度のいずれも高めるような設定をした。

【0056】

接合からの注入による電子密度を高めるため、図1に示すように、第2半導体層(P型)103、第3半導体層(N型)104の内の第1領域105、および第3半導体層(N型)104の内の第2領域106の各層のバンドギャップを略同一して、それらのバンドギャップよりも第4半導体層107のバンドギャップを大きくする。第4半導体層(P型)107のバンドギャップが第2領域(N型)106のバンドギャップよりも大きいことから、両者のバンドギャップが等しい場合に比べて、バンドギャップの差の分だけ第4半導体層(P型)107における伝導帯の下端が上がり、電子に対するポテンシャル障壁を形成する。第1半導体層(N型)102から接合J1を通して注入された電子は、接合J3における、このポテンシャル障壁で跳ね返されることになるので、接合J3近傍の第2領域(N型)106での電子密度が高まる効果が得られる。

【0057】

熱平衡状態での電子密度を増やすためには、第3半導体層(N型)104を2層に分けて、基板側の第1領域105の不純物濃度を低く設定する一方で、接合J3に近い第2領域106の不純物濃度を増やした。第1領域105の不純物濃度を低く設定することは、ゲート電極112と裏面電極(カソード電極)111との間の耐圧を確保するために必要である。第1領域105の不純物濃度は全層で最も低い。

【0058】

第2領域106の熱平衡状態でのキャリア密度を増やすことが、発光強度の増加に効果的であることを実験で確認するために、第2領域106の不純物濃度を変えたサンプルを数個作製して、発光強度の比較を行った。

【0059】

図2は、第2領域106の不純物濃度を変えて作製した複数の発光サイリスタ115の発光強度を示すグラフである。発光強度の測定は、発光サイリスタ115のゲート電極112をローレベルにして発光サイリスタ115をオン状態に遷移させたあと、動作電圧を5Vにして行った。図2で、縦軸は測定した発光強度を任意単位で表示したもので、横軸は第2領域106の不純物濃度を示している。図2から明らかなように、第2領域106での不純物濃度(熱平衡状態でのキャリア密度)を1桁増やすことによって発光強度は約5倍の大きさになっており、発光強度に対する不純物濃度の効果が実証された。

【0060】

さらに内部発光効率を高める工夫として、第4半導体層(P型)107の不純物濃度を第2領域と略同一またはそれより高濃度にする。主たる発光層である第2領域106に注入される正孔密度を増加させるためである。

【0061】

一方、光の取り出し効率という点では、発光した光が再吸収されないように、光の取り出し方向の各半導体層のバンドギャップを大きくするとよい。通常、発光サイリスタを発光素子として用いる場合の光の取り出し方向は、基板が光の吸収層になるので、図1ではオーミックコンタクト層109の側(基板から離反する側)になる。したがって、第2領域106で発光した光は、第4半導体層(P型)107とオーミックコンタクト層109を通過して外部に取り出されることになるが、第4半導体層(P型)107のバンドギャップは、主たる発光層である第2領域106のバンドギャップよりも大きいので、第4半導体層(P型)107での光の吸収はない。また、オーミックコンタクト層109の厚みは、0.01 μ m~0.02 μ mに選ばれ、このように非常に薄いのでこの層での発光の

10

20

30

40

50

吸収は無視できる程度である。

【0062】

さらに、本実施の形態では、各半導体層102、103、104、107の不純物濃度およびバンドギャップを前述したように選ぶことによって、主たる発光層である第2領域の膜厚を0.5 μm ～1.0 μm と比較的厚く設定することができる。本実施の形態では、第4半導体層（P型）107側から接合J3を通して注入された正孔は、主として第2領域106で電子と再結合して発光する。第2領域106の中でも、注入された正孔密度が最も大きい接合J3の近傍で最も強い発光が生じると考えられるが、発光した光は接合J3の側から第4半導体層（P型）107側を通して取り出されるので、第2領域自身での吸収は問題とならない。したがって、主たる発光層の厚みを十分なものにして、発光場所の体積を増やしたほうが、全体としての発光強度を高めることができる。

10

【0063】

以上から明らかなように、第3半導体層104のうちで基板反対側の第2領域106が主たる発光層となるように、不純物濃度およびバンドギャップを設定することが内部量子効率の点からも光の取り出し効率の点からも最良である。なお、第2領域106の不純物濃度を高めることは、ゲート電極112との接触抵抗を低めるという副次的な効果もある。

【0064】

次に、各半導体層102、103、104、107の不純物濃度とバンドギャップについて本実施の形態で示した関係を満たせば、発光サイリスタの受光感度を高める点からも最適であることを述べる。

20

【0065】

発光サイリスタ115の光照射によるしきい電圧の変化は、図1において、第1半導体層（N型）102、第2半導体層（P型）103、第3半導体層（N型）104によるNPN層が、受光素子としてのホトトランジスタとして機能するものとして説明することができる。この場合、第1半導体層（N型）102がエミッタに相当し、第2半導体層（P型）103がベースに相当し、第3半導体層（N型）104がコレクタに相当する。したがって、発光サイリスタ115の受光感度を高めるには、NPNトランジスタのエミッタ注入効率を高めるように設定にすればよいことがわかる。

【0066】

エミッタ注入効率を高めるため、第1に、エミッタに相当する第1半導体層（N型）102のバンドギャップを、ベースに相当する第2半導体層（P型）103のバンドギャップよりも大きいヘテロ接合にしている。第2に、エミッタに相当する第1半導体層（N型）102の不純物濃度を、ベースに相当する第2半導体層（P型）103の不純物濃度よりも大きくしている。第3に、ベースに相当する第2半導体層（P型）103の膜厚を薄くしている。第2半導体層（P型）103の厚みは0.01 μm ～0.5 μm 程度が望ましい。このような受光感度を高めるために行った第1半導体層（N型）102および第2半導体層における不純物濃度およびバンドギャップの設定は、発光効率を向上させるために行った設定と矛盾無く両立している。

30

【0067】

以上のように、本発明の実施の形態の発光サイリスタによれば、発光効率および受光感度が共に優れた発光サイリスタを提供することができる。

40

【0068】

図3は、本発明の第2の実施の形態の発光サイリスタ116の断面図と、各層の不純物濃度およびバンドギャップを示したものである。なお、図3の不純物濃度とバンドギャップの値は望ましい一例を示したものであり、本発明の効果はこの値に限って生じるわけではない。なお、以下の説明は基板を一般的なN型半導体基板にした場合について行う。第1の実施の形態で説明したとおり、基板101、各半導体層102、103、104、107、108、およびオーミックコンタクト層109の導電型を反対にしても効果は同じである。

50

【0069】

図3に示した本実施の形態のサイリスタ116と、図1に示した第1の実施の形態の発光サイリスタ115との違いは、第4半導体層(P型)107とオーミックコンタクト層109の間に、第4半導体層(P型)107と同じ導電型の第5半導体層(P型)108を積層したことにある。図3において、サイリスタに特有のNPNP構造の部分は、第1半導体層(N型)102、第2半導体層(P型)103、第3半導体層(N型)104および第4半導体層(P型)107によって構成され、この部分は第1の実施の形態と共通している。第5半導体層(P型)108のバンドギャップは、第4半導体層(P型)107のバンドギャップと略同一またはそれよりも広幅に設定され、第5半導体層(P型)108の不純物濃度は、第4半導体層(P型)106の不純物濃度と略同一またはそれよりも高濃度に設定される。第5半導体層(P型)108以外の各半導体層102, 103, 104, 107およびオーミックコンタクト層109については、それらの層のバンドギャップ、不純物濃度および膜厚の値は、図1に示す第1の実施の形態と同様に設定される。以下の説明では、図3に示される第5半導体層(P型)108以外の部分は、図1に示される実施の形態と同様であるので、対応する部分には同一の参照符号を付し重複を避けて説明は省略する。

10

【0070】

本実施の形態において、第5半導体層(P型)108のバンドギャップの具体的な値は、第4半導体層(P型)107と略同一にして、 $1.75\text{ eV} \sim 1.88\text{ eV}$ 程度の値を用いた。第5半導体層(P型)108の不純物濃度の値は、第4半導体層(P型)より大きくして $1 \times 10^{19} \sim 3 \times 10^{19}$ とした。第5半導体層108の厚さは、 $0.1 \sim 0.5\text{ }\mu\text{m}$ に設定される。第5半導体層(P型)108の材料、形成方法、ドーパント材料については、第1の実施の形態で説明した他の半導体層102, 103, 104, 107と同様であるので説明は省略する。

20

【0071】

本実施の形態の特徴は、第5半導体層(P型)を設けることによって、表面電極(アノード電極)110との間でオーミック接触をとりやすくしたことにある。第1の実施の形態で述べたように、通常、オーミックコンタクト層は、アルミニウムを含まないGaAs、InGaPなど材料を用いて高濃度の不純物をドーピングして形成される。GaAs、InGaPはバンドギャップが小さいので、発光した光の吸収層とならないように、オーミックコンタクト層は $0.01\text{ }\mu\text{m} \sim 0.02\text{ }\mu\text{m}$ と極めて薄く形成する必要がある。しかし、オーミックコンタクト層を薄くすると、表面電極(アノード電極)110との間で良好なオーミック接触が得られなくなる場合があるので、第4半導体層(P型)107とオーミックコンタクト層109との間に比較的膜厚の大きい第5半導体層(P型)108を設けた。第5半導体層(P型)108の不純物濃度は、第4半導体層(P型)107の不純物濃度と略同一またはそれより高濃度にして良好なオーミック接触が得られるようにする。それとともに、第5半導体層(P型)108のバンドギャップは第4半導体層(P型)107のバンドギャップと略同一またはそれより広幅に設定して、第3半導体層(N型)のバンドギャップよりも大きくすることによって内部で発光した光の再吸収層とならないようにする。こうすることによって確実なオーミック接触を得ることができる。

30

40

【0072】

次に本発明の発光サイリスタを用いて構成される本発明の実施の一形態の発光装置10について説明する。

【0073】

図4は、発光装置10の基本的構成を示す平面図であり、発光素子アレイを構成する各発光素子の光の出射方向を紙面に垂直手前側として配置された発光装置10の平面を示している。同図では、図解を容易にするために、発光信号伝送路12、走査信号伝送路15、スタート信号伝送路16、発光素子のゲート電極19、スイッチ素子のゲート電極24、走査スタート用スイッチ素子のゲート電極26、接続手段14、発光素子遮光部23および表面電極25は、斜線を付して示されている。また、同図で、スイッチ素子アレイの

50

配列方向である紙面左右方向をX方向と定義し、右側をX1方向、左側をX2方向とする。基板垂直方向である紙面垂直方向をZ方向と定義し、手前側をZ1方向、奥側をZ2方向とする。X方向およびZ方向に垂直方向である紙面上下方向をY方向と定義し、上側をY1方向、下側をY2方向とする。また同図では、図解を容易にするために、絶縁層17を省略して示している。

【0074】

発光装置10は、発光素子アレイ11と、発光信号伝送路12と、スイッチ素子アレイ13と、接続手段14と、第1～第3走査信号伝送路15a, 15b, 15cと、走査スタート用スイッチ素子T0と、スタート信号伝送路16と、絶縁層17と、遮光層18と、発光素子遮光部23とを含んで構成され、これらは、1つの基板31に集積されて形成される。発光信号伝送路12と、第1～第3走査信号伝送路15a, 15b, 15cと、スタート信号伝送路16とは、信号を伝送するための配線である。発光装置10のうち、発光素子アレイ11を構成する各発光素子、スイッチ素子アレイ13を構成する各スイッチ素子および走査スタート用スイッチ素子T0に発光サイリスタが用いられる。本実施の形態の発光サイリスタには、第2の実施の形態で示した発光サイリスタ116を用いるが、第1の実施の形態で示した発光サイリスタ115を用いても同様の発光装置10を構成することができる。各発光素子、各スイッチ素子および走査スタート用スイッチ素子T0は製造工程では同一の基板31に同時に形成されるので、これらは同一の層構成を有している。

【0075】

発光素子アレイ11は、複数の発光素子L1, L2, ..., Li-1, Li（記号iは、2以上の正の整数）を含んで構成され、各発光素子L1, L2, ..., Li-1, Liが、相互に間隔W1をあけて配列される。以後、各発光素子L1, L2, ..., Li-1, Liを総称する場合、および発光素子L1, L2, ..., Li-1, Liのうち不特定のものを示す場合、単に発光素子Lと記載する場合がある。発光素子Lは、発光サイリスタ116を露光用の発光素子として用いたものである。なお、発光素子Lを構成する発光サイリスタのしきい電圧を、単に発光素子Lのしきい電圧と記載する場合がある。また、発光素子Lを構成する発光サイリスタがオン状態になって発光するとき、単に発光素子Lがオン状態になって発光すると記載する場合がある。本実施の形態では、各発光素子Lは、等間隔に配列され、かつ直線状に配列される。

【0076】

X方向の各発光素子Lの間隔W1と、発光素子LのX方向の長さW2とは、発光装置10が搭載される後述する画像形成装置87において形成すべき画像の解像度によって決定され、たとえば画像の解像度が600ドットパーインチ（dpi）の場合、前記間隔W1は、約24μm（マイクロメートル）に選ばれ、前記長さW2は、約18μmに選ばれる。また前記長さW2は、隣接する発光素子Lとの間に、発光素子遮光部23を形成可能に選ばれる。発光素子LのX方向の寸法は、発光素子LのY方向の寸法よりも小さく選ばれる。これによって、各発光素子LをX方向に近接させて、集積密度を高めたときに、発光素子Lの光量が不足してしまうことが防止される。

【0077】

発光信号伝送路12は、各発光素子Lに接続され、各発光素子Lに発光信号φEを伝送する。ここで、発光素子Lに発光信号φEを伝送するとは、発光素子を構成する発光サイリスタのアノード電極とカソード電極との間に発光信号φEを与えることを意味する。図3に示した発光サイリスタ116では、表面電極（アノード電極）110と裏面電極（カソード電極）111との間に発光信号φEの電圧が印加されることを意味する。なお、図3の表面電極（アノード電極）110は、図4の発光信号伝送路12のうちの素子接続部22に対応する。

【0078】

発光信号伝送路12は、金属材料および合金材料などの導電性を有する材料によって、発光素子Lが発する波長の光を反射するように形成される。具体的には発光信号伝送路1

10

20

30

40

50

2は、金（Au）、金とゲルマニウムとの合金（AuGe）、金と亜鉛との合金（AuZn）、ニッケル（Ni）およびアルミニウム（Al）などによって形成される。

【0079】

発光信号伝送路12は、各発光素子LのY方向に隣接して、発光素子アレイ11に沿って延びる信号路延在部21と、前記X方向に相互に間隔をあけて信号路延在部21からY1方向に突出して、各発光素子Lの厚み方向一端部に接続される素子接続部22を有する。

【0080】

スイッチ素子アレイ13は、複数のスイッチ素子T1, T2, ..., Tj-1, Tj（記号jは、2以上の正の整数）を含んで構成され、各スイッチ素子T1, T2, ..., Tj-1, Tjが、隣接するスイッチ素子T1, T2, ..., Tj-1, Tjからの光を受光するように相互に間隔W3をあけて配列される。以後、各スイッチ素子T1, T2, ..., Tj-1, Tjを総称する場合、およびスイッチ素子T1, T2, ..., Tj-1, Tjのうち不特定のものを示す場合、単にスイッチ素子Tと記載する場合がある。スイッチ素子Tは、発光サイリスタ116を光励起によるスイッチング素子として用いたものである。なお、スイッチ素子Tを構成する発光サイリスタのしきい電圧を、単にスイッチ素子Tのしきい電圧と記載する場合がある。また、スイッチ素子Tを構成する発光サイリスタがオン状態になって発光するとき、単にスイッチ素子Tがオン状態になって発光すると記載する場合がある。本実施の形態では、各スイッチ素子Tは、等間隔に配置される。各スイッチ素子Tは、発光素子アレイ11のY方向に隣接し、この発光素子アレイ11に沿って、複数の発光素子Lに対向した状態で直線状に配列される。したがって、各スイッチ素子の配列方向は、前記各発光素子LのX方向と同じである。スイッチ素子TのY方向の寸法は、スイッチ素子TのX方向の寸法よりも大きく選ばれる。これによって、各スイッチ素子TをX方向に近接させて集積密度を高めたときに、隣接するスイッチ素子用発光サイリスタを光励起によってオン状態に遷移させるのに必要な光量が不足してしまうことが防止される。

【0081】

本実施の形態では、発光素子Lとスイッチ素子Tとの数は等しく、すなわち前記iと記号jとは等しい数に選ばれる。

【0082】

X方向の各スイッチ素子Tの間隔W3は、製造工程における制限を受けるので、スイッチ素子Tの厚み方向Zの高さの2倍以上に形成されるが、20μm未満に選ばれ、好ましくは10μm以下に選ばれる。本実施の形態では、スイッチ素子Tの高さを約4μmとしており、この場合には間隔W3は8μm程度になる。前記間隔W3が20μm以上になると、光励起による発光状態の転送が困難になる。

【0083】

スイッチ素子TのX方向の長さW4は、前記X方向の各発光素子Lの間隔W1と、発光素子LのX方向の長さW2と、X方向の各スイッチ素子Tの間隔W3とによって決定される。すなわちX方向の各発光素子Lの間隔W1と、発光素子LのX方向の長さW2とを加算した長さと、X方向の各スイッチ素子Tの間隔W3とスイッチ素子TのX方向の長さW4とを加算した長さとが、等しく選ばれる。

【0084】

接続手段14は、各発光素子Lのゲート電極19と、各発光素子Lに対応する各スイッチ素子Tのゲート電極24とを、電氣的に接続する。本実施の形態においては、接続手段14は、発光素子L1のゲート電極19と、スイッチ素子T1のゲート電極24とを電氣的に接続し、発光素子L2のゲート電極19と、スイッチ素子T2のゲート電極24とを電氣的に接続し、以下同様に、発光素子Liのゲート電極19と、スイッチ素子Tjのゲート電極24とを電氣的に接続する（本実施の形態ではi=jである）。なお、発光素子Lのゲート電極19およびスイッチ素子Tのゲート電極24は、発光サイリスタ116の構成を示す図3の第3半導体層（N型）104に対応し、接続手段14がゲート電極11

2に対応する。

【0085】

接続手段14は、金属材料および合金材料などの導電性を有する材料によって形成される導回路によって実現される。具体的には接続手段14は、金(Au)、金とゲルマニウムとの合金(AuGe)、金と亜鉛との合金(AuZn)、ニッケル(Ni)およびアルミニウム(Al)などによって形成される。

【0086】

第1、第2および第3走査信号伝送路15a, 15b, 15cは、各スイッチ素子Tの表面電極25に接続され、X方向に隣接するスイッチ素子T毎に、異なるタイミングで与えられる前記第1～第3走査信号φ1～φ3を伝送する。ここで、スイッチ素子Tに走査信号を伝送するとは、スイッチ素子を構成する発光サイリスタのアノード電極とカソード電極との間に走査信号を与えることを意味する。図3に示した発光サイリスタ116では、表面電極(アノード電極)110と裏面電極(カソード電極)111との間に走査信号の電圧が印加されることを意味する。なお、各スイッチ素子Tの表面電極25は、発光サイリスタ116の構成を示す図3での表面電極(アノード電極)110に対応する。

【0087】

本実施の形態において、第1走査信号伝送路15aは、第1走査信号φ1を伝送し、第2走査信号伝送路15bは、第2走査信号φ2を伝送し、第3走査信号伝送路15cは、第3走査信号φ3を伝送する。第1、第2および第3走査信号伝送路15a, 15b, 15cを総称する場合、および第1、第2および第3走査信号伝送路15a, 15b, 15cのうち不特定のものを示す場合、単に走査信号伝送路15と記載し、第1～第3走査信号φ1, φ2, φ3を総称する場合、および第1～第3走査信号φ1, φ2, φ3のうち不特定のものを示す場合、単に走査信号φと記載する場合がある。走査信号伝送路15は、金(Au)、金とゲルマニウムとの合金(AuGe)、金と亜鉛との合金(AuZn)、ニッケル(Ni)およびアルミニウム(Al)などによって形成される。

【0088】

第1、第2および第3走査信号伝送路15a, 15b, 15cは、各スイッチ素子TのZ1方向で絶縁層17を介して各スイッチ素子Tに重なって形成され、X方向に沿って延びる。第1、第2および第3走査信号伝送路15a, 15b, 15cは、Y方向に間隔W5をあけて配置される。間隔W5は、第1、第2および第3走査信号伝送路15a, 15b, 15c間で短絡が発生しない距離に選ばれ、たとえば10μmに選ばれる。

【0089】

第1、第2および第3走査信号伝送路15a, 15b, 15cは、各スイッチ素子Tの表面電極25に順次1つずつ接続され、配列されるスイッチ素子Tに沿って、それぞれが3つおきにスイッチ素子Tに接続される。すなわち、第1走査信号伝送路15aは、スイッチ素子T1, T4, ..., Tj-2に接続され(記号jは、整数かつ3×mであり、記号mは自然数)、第2走査信号伝送路15bは、スイッチ素子T2, T5, ..., Tj-1に接続され、第3走査信号伝送路15cは、スイッチ素子T3, T6, ..., Tjに接続される。したがって、スイッチ素子Tのうち、X方向のn番目(記号nは、2以上j以下となる正の整数)に配置されるスイッチ素子Tnと、このスイッチ素子TnのX1方向側に隣接するスイッチ素子Tn-1と、スイッチ素子TnのX2方向側に隣接するスイッチ素子Tn+1とは、それぞれ異なる走査信号伝送路15に接続される。

【0090】

走査スタート用スイッチ素子T0は、発光サイリスタ116で構成され、スイッチ素子アレイ13のX方向の端部に配置されるスイッチ素子Tに、発光サイリスタのオン状態で発光した光を照射するように配置される。なお、走査スタート用スイッチ素子T0を構成する発光サイリスタのしきい電圧を、単に走査スタート用スイッチ素子T0のしきい電圧と記載する場合がある。また、走査スタート用スイッチ素子T0を構成する発光サイリスタがオン状態になって発光するとき、単に走査スタート用スイッチ素子T0がオン状態になって発光すると記載する場合がある。本実施の形態では、走査スタート用スイッチ素子

T 0 は、スイッチ素子 T 1 に光を照射するように配置される。したがって、走査スタート用スイッチ素子 T 0 が配置される X 方向の一方 X 1 が、光走査装置における光の走査方向の上流側となる。

【0091】

スタート信号伝送路 1 6 は、走査スタート用スイッチ素子 T 0 のゲート電極 2 6 に接続され、走査スタート用スイッチ素子 T 0 にトリガ信号となるスタート信号 ϕS を伝送する。走査スタート用スイッチ素子 T 0 のゲート電極 2 6 は、発光サイリスタ 1 1 6 の構成を示す図 3 の第 3 半導体層 (N 型) 1 0 4 に対応する。スタート信号伝送路 2 6 の一部が図 3 のゲート電極 1 1 2 に対応する。スタート信号伝送路 1 6 は、金属材料および合金材料などの導電性を有する材料によって形成される。具体的にはスタート信号伝送路 1 6 は、
10 金 (Au)、金とゲルマニウムとの合金 (AuGe)、金と亜鉛との合金 (AuZn)、ニッケル (Ni) およびアルミニウム (Al) などによって形成される。

【0092】

前述した発光素子 L、スイッチ素子 T および走査スタート用スイッチ素子 T 0 は、絶縁層 1 7 によって覆われる。

【0093】

遮光層 1 8 は、各スイッチ素子 T の厚み方向 Z の一方側、すなわち各スイッチ素子 T の図 1 の紙面に垂直手前側から、各スイッチ素子 T を覆い、発光素子 L が発する光に、スイッチ素子 T が発する光が干渉しないように、スイッチ素子 T が発する光を遮光する。

【0094】

発光素子遮光部 2 3 は、各発光素子 L の間と、発光素子アレイ 1 1 の X 方向の両端部の発光素子 L の X 方向の外方とに設けられ、発光素子 L から X 方向に向かう光を遮光する。発光素子遮光部 2 3 は、発光信号伝送路 1 2 から離間して設けられ、発光信号伝送路 1 2 とは、絶縁層 1 7 によって電氣的に絶縁される。
20

【0095】

以下、発光装置 1 0 の各構成について、さらに具体的に説明する。

図 5 は、図 4 の切断面線 A 1 - A 1 から見た発光装置 1 0 の基本的構成を示す一部の断面図である。本実施の形態では、基板 3 1 には N 型半導体基板を用いる。発光素子 L は、発光サイリスタ 1 1 6 で構成され、基板 3 1 の Z 1 方向の表面に第 1 半導体層 (N 型) 3 2、第 2 半導体層 (P 型) 3 3、第 3 半導体層 (N 型) 3 4 のうちの第 1 領域 3 4 a、第 2 領域 3 4 b、第 4 半導体層 (P 型) 3 5 および第 5 半導体層 (P 型) 3 6、オーミック
30 コンタクト層 3 7 がこの順に積層されて形成される。各半導体層 3 2、3 3、3 4 a、3 4 b、3 5、3 6、3 7 の材料、バンドギャップ、不純物濃度および膜厚は、第 2 の実施の形態で例示した発光サイリスタ 1 1 6 と同様である。なお、図 3 と図 5 とで参照符号は異なるが、対応する構成は同じ名称で記載する。たとえば、図 5 の基板 3 1 は前述した図 3 の基板 1 0 1 に対応し、図 5 の各第 1 ~ 第 5 半導体層 3 2、3 3、3 4、3 5、3 6 は、前述した図 3 の各第 1 ~ 第 5 半導体層 1 0 2、1 0 3、1 0 4、1 0 7、1 0 8 にそれぞれ対応する。

【0096】

基板 3 1 の Z 2 方向の表面には、裏面電極 9 9 が形成される。裏面電極 9 9 は、基板 3 1 の Z 2 方向の全面にわたって形成され、発光サイリスタ 1 1 6 の構成を示す図 3 の裏面電極 1 1 1 に対応する。裏面電極 9 9 は、金属材料および合金材料などの導電性を有する材料によって形成される。具体的には裏面電極 9 9 は、金 (Au)、金とゲルマニウムとの合金 (AuGe) および金と亜鉛との合金 (AuZn) などによって形成される。
40

【0097】

第 1 半導体層 (N 型) 3 2、第 2 半導体層 (P 型) 3 3、第 3 半導体層 (N 型) 3 4、第 4 半導体層 (P 型) 3 5、第 5 半導体層 (P 型) 3 6 およびオーミックコンタクト層 3 7 が積層された積層体は、略直方体形状を有する。これらの半導体層 3 2、3 3、3 4、3 5、3 6、3 7 は、絶縁層 1 7 によって覆われる。絶縁層 1 7 は、電気絶縁性および透光性ならびに平坦性を有する樹脂材料によって形成される。絶縁層 1 7 は、ポリイミド
50

よびベンゾシクロブテン（BCB）などによって形成される。

【0098】

絶縁層17のうち、隣接する発光素子Lの間の部分には、Y方向に垂直な仮想一平面において、V字形状となり、基板31のZ1方向の表面まで達する溝部38が形成され、この溝部38に前記発光素子遮光部23が形成される。発光素子遮光部23は、溝部38の表面に沿って形成され、基板31のZ1方向の表面からオーミックコンタクト層37のX方向の側方にわたって設けられる。発光素子遮光部23は、発光素子LのY方向の一端部および他端部にわたって形成され、発光素子LのY方向の端部よりも発光素子LのY1方向およびY2方向まで延びる。このような発光素子遮光部23を形成することによって、隣接する発光素子Lが発光したときにこの光を受光することが防止され、隣接する発光素子Lが発光しても、この発光に伴って発光素子Lのしきい電圧が変化してしまうことがないので、発光素子Lを選択的に安定して発光させることができる。

10

【0099】

オーミックコンタクト層37のZ1方向の表面には、発光信号伝送路12の素子接続部22が接続される。絶縁層17のうち、オーミックコンタクト層37のZ1方向の表面上に形成される部分には、貫通孔39が形成され、この貫通孔39に前記素子接続部22の一部が形成されて、素子接続部22がオーミックコンタクト層37に接触している。前記貫通孔39は、発光素子LのX方向の中央かつ発光素子LのY方向の中央に形成され、発光信号伝送路12からの電流を、発光素子Lの中央部に効率的に供給して、発光させる。

【0100】

20

発光信号伝送路12の素子接続部22のX方向の長さW6は、発光素子LのX方向の長さW2の $1/3$ 以下に形成される。素子接続部22は発光素子Lの光の出射方向の一部を覆うが、長さW6を前述したように選ぶことによって、素子接続部22が発光素子Lから発せられZ1方向に向かう光を遮ってしまうことをできるだけ防止する。また発光素子Lから発せられ、Z1方向に向かい、発光信号伝送路12によって反射された光の一部は、発光素子遮光部23および基板31などによって再反射されることによって、Z1方向へと向かう。

【0101】

図6は、図1の切断面線A2-A2から見た発光装置10の基本的構成を示す一部の断面図である。スイッチ素子Tは、発光サイリスタ116によって構成され、基板31のZ1方向の表面に第1半導体層（N型）42、第2半導体層（P型）43、第3半導体層（N型）44のうちの第1領域44a、第2領域44b、第4半導体層（P型）45、第5半導体層（P型）46、およびオーミックコンタクト層47がこの順に積層されて形成される。さらにオーミックコンタクト層のZ1方向の表面には表面電極25が形成される。各半導体層42、43、44a、44b、45、46、オーミックコンタクト層47および表面電極25の積層体は、略直方体形状を有する。各半導体層42、43、44a、44b、45、46、およびオーミックコンタクト層47の材料、バンドギャップ、不純物濃度および膜厚は、第2の実施の形態で例示した発光サイリスタ116と同様である。

30

【0102】

オーミックコンタクト層47のZ1方向の表面上には、表面電極25が形成される。表面電極25は、オーミックコンタクト層47のZ1方向の表面の周縁部を除き、走査方向の下流側寄り、言い換えればX2方向寄りに、表面積の約半分の領域に形成される。このように表面電極25を形成することによって、スイッチ素子Tの各半導体層への電界をなるべく不均一にならないようにして、スイッチ素子Tから放射される光の発光強度を増加させるとともに、X1方向に隣接するスイッチ素子Tから出射され、遮光層18によって反射されてZ1方向から到来する光を、各半導体層により多く入射させるようにする。その結果、スイッチ素子Tの走査方向の下流側であるX2方向では、表面電極25によって光を反射することによって、X2方向のスイッチ素子Tにより強い光を与えることができ、スイッチ素子Tの走査方向の上流側であるX1方向では、表面電極25が形成されていないので、走査信号伝送路15または遮光層18によって反射して、Z1方向から到来す

40

50

る光を効率よく受光することができる。表面電極 25 は、金属材料および合金材料などの導電性を有する材料によって形成される。具体的には表面電極 25 は、金 (Au)、金とゲルマニウムとの合金 (AuGe) および金と亜鉛との合金 (AuZn) などによって形成される。

【0103】

各半導体層 42, 43, 44a, 44b, 45, 46、オーミックコンタクト層 47 および表面電極 25 は、絶縁層 17 によって覆われ、隣接するスイッチ素子 T と電氣的に絶縁される。前述したように絶縁層 17 は、透光性を有するので、スイッチ素子 T が発光すると、この光は絶縁層 17 を透過して、X 方向に隣接するスイッチ素子 T に入射する。絶縁層 17 は、スイッチ素子 T が発する波長の光の 95% 以上を透過する樹脂材料によって形成される。

10

【0104】

図 6 の矢符で示すように、スイッチ素子 T は、第 3 半導体層 (N 型) 44 および第 4 半導体層 (P 型) 45 の界面付近で、第 3 半導体層 (N 型) 44 寄りの第 2 領域 44b から主に発光する。また第 1 半導体層 (N 型) 42 および第 2 半導体層 (P 型) 43 の界面付近でもわずかに発光する。スイッチ素子 T は、光を全方向に放射する。

【0105】

絶縁層 17 は、樹脂材料を塗付し、この樹脂材料を硬化させて形成される。絶縁層 17 を塗布したときに平坦性を有する樹脂材料によって形成することによって、絶縁層 17 を形成するときに、各スイッチ素子 T の間にも樹脂材料を充填して、絶縁層 17 を各スイッチ素子 T の間に確実に形成することができる。また、樹脂材料が硬化時に収縮することによって、各スイッチ素子 T の間に形成される絶縁層 17 の Z1 方向の表面部には、Y 方向に延びる凹所 48 が形成される。

20

【0106】

さらに、絶縁層 17 を、ポリイミドおよびベンゾシクロブテン (BCB) などによって形成することによって、各スイッチ素子 T の間隔 W3 を前述のように選んでも、この空隙に絶縁層 17 を確実に形成することができ、また各半導体層 42, 43, 44, 45, 46、オーミックコンタクト層 47、表面電極 25 および基板 31 に絶縁層 17 を密着して形成することができる。絶縁層 17 が、スイッチ素子 T の表面から剥離してしまうと、この剥離した部分の界面によって、光が反射されてしまい、隣接するスイッチ素子 T からの光の受光量が低下してしまうおそれがあるが、このような問題が発生しない。

30

【0107】

表面電極 25 の Z1 方向の表面には、第 1～第 3 走査信号伝送路 15a, 15b, 15c のうちの、いずれか 1 つが接続される。絶縁層 17 のうち、表面電極 25 の Z1 方向の表面上に形成される部分には、貫通孔 49 が形成され、この貫通孔 49 を介して第 1～第 3 走査信号伝送路 15a, 15b, 15c のうちの、いずれか 1 つが接続され、スイッチ素子 T と第 1～第 3 走査信号伝送路 15a, 15b, 15c のうちの他の 2 つの走査信号伝送路 15 とは、絶縁層 17 によって電氣的に絶縁される。スイッチ素子 T は絶縁層 17 によって覆われているので、スイッチ素子 T の Z1 方向側に、第 1～第 3 走査信号伝送路 15a, 15b, 15c を積層することができる。

40

【0108】

本実施の形態においては、N 型半導体基板を用いているので、発光信号伝送路 12 および走査信号伝送路 15 が、各素子のアノードに接続される構成となり、カソード電位を 0 ボルト (V) にすると、発光素子 L およびスイッチ素子 T に電圧または電流を印加する電源に、正電源を用いることができるので好ましい。本実施の形態では、発光素子 L においては発光信号伝送路 12 がアノード電極として機能し、裏面電極 99 がカソード電極として機能する。またスイッチ素子 T においては、表面電極 25 が走査信号伝送路 15 とともにアノード電極として機能し、裏面電極 99 がカソード電極として機能する。

【0109】

各スイッチ素子 T の Z1 方向側が、絶縁層 17 または走査信号伝送路 15 によって覆わ

50

れ、さらに絶縁層 17 および走査信号伝送路 15 は遮光層 18 によって覆われる。遮光層 18 の材料としては、電気絶縁性を有し、スイッチ素子 T から発せられる波長の光を、 $2\mu\text{m}\sim 3\mu\text{m}$ 程度の厚みでほぼ完全に吸収するようなものであれば種々ものが使用可能である。本実施の形態では遮光層 18 は、緑色のポリイミドによって形成される。遮光層 18 の厚みは、 $5\mu\text{m}\sim 10\mu\text{m}$ 程度に選ばれる。

【0110】

スイッチ素子 T から発せられ、Z1 方向へ向かう光は、絶縁層 17 と走査信号伝送路 15 と界面、走査信号伝送路 15、絶縁層 17 と遮光層 18 との界面などによって反射されるか、遮光層 18 によって吸収される。各走査信号伝送路 15 および絶縁層 17 によって反射手段が形成される。これによって、スイッチ素子 T からの光が、発光素子 L から Z1 方向に出射される光に干渉してしまうことが防止される。したがって発光装置 10 を、後述する画像形成装置 87 の露光装置として用いた場合に、スイッチ素子 T からの漏れ光によって、画像の劣化が発生せず、優れた品質の画像を形成することができる。

10

【0111】

図 7 は、図 1 の切断面線 A3-A3 から見た発光装置 10 の基本的構成を示す一部の断面図である。発光素子 L と、スイッチ素子 T とは、Y 方向に隣接して配置される。発光素子 L の第 1 半導体層 (N 型) 32 と、第 2 半導体層 (P 型) 33 と、第 3 半導体層 (N 型) 34 とのスイッチ素子 T 寄りの端部は、第 4 半導体層 (P 型) 35 と、第 5 半導体層 (P 型) 36 と、オーミックコンタクト層 37 とのスイッチ素子 T 寄りの端部よりも、スイッチ素子 T に向かって突出し、発光素子接続部 51 を構成する。発光素子接続部 51 の X 方向の長さは、前述した長さ W2 よりもわずかに小さい。

20

【0112】

またスイッチ素子 T の、第 1 半導体層 (N 型) 42 と、第 2 半導体層 (P 型) 43 と、第 3 半導体層 (N 型) 44 との発光素子 L 寄りの端部は、第 4 半導体層 (P 型) 45 と、第 5 半導体層 (P 型) と、オーミックコンタクト層 47 との発光素子 L 寄りの端部よりも、スイッチ素子 T に向かって突出し、スイッチ素子接続部 52 を構成する。スイッチ素子接続部 52 の X 方向の長さは、発光素子接続部 51 の配列方向の長さと等しく選ばれる。

【0113】

発光素子 L の第 3 半導体層 (N 型) 34 のうち、発光素子接続部 51 を構成する部分 340A は、第 4 半導体層 (P 型) 35 が積層される部分 340B よりも厚みが小さく形成される。また発光素子スイッチ T の第 3 半導体層 (N 型) 44 のうち、スイッチ素子接続部 52 を構成する部分 440A は、第 4 半導体層 (P 型) 45 が積層される部分 440B よりも厚みが小さく形成される。これは、発光素子接続部 51 およびスイッチ素子接続部 52 をエッチング工程で形成したときに、第 4 半導体層 (P 型) が残存しないようにオーバーエッチングしたためである。

30

【0114】

絶縁層 17 は、発光素子 L およびスイッチ素子 T の表面に沿って形成されており、発光素子 L とスイッチ素子 T と間にも形成され、発光素子 L とスイッチ素子 T とが絶縁層 17 によって電氣的に絶縁される。発光素子 L とスイッチ素子 T と間に設けられる絶縁層 17 の厚みは、基板 31 から発光素子接続部 51 およびスイッチ素子接続部 52 の厚みとほぼ等しい。絶縁層 17 のうち、発光素子 L とスイッチ素子 T と間に設けられる部分には、基板 31 側が底部となり、X 方向に沿って延びる凹部 53 が形成される。絶縁層 17 のうち、前記発光素子接続部 51 の第 3 半導体層 (N 型) 34 の Z1 方向の表面に積層されている部分には貫通孔 54 が形成され、前記スイッチ素子接続部 52 の第 3 半導体層 (N 型) 44 の Z1 方向の表面に積層される部分には貫通孔 55 がそれぞれ形成される。

40

【0115】

発光素子 L のゲート電極 19 と、この発光素子 L に対応するスイッチ素子 T のゲート電極 24 とを接続する接続手段 14 は、発光素子接続部 51 とスイッチ素子接続部 52 とにわたって、発光素子 L とスイッチ素子 T との間で、絶縁層 17 に積層して設けられる。接続手段 14 は、前記貫通孔 54、55 に接続手段 14 の一部が形成され、発光素子接続部

50

5 1 の第 3 半導体層 (N 型) 3 4 の Z 1 方向の表面と、前記スイッチ素子接続部 5 2 の第 3 半導体層 (N 型) 4 4 の Z 1 方向の表面とに接続される。接続手段 1 4 の抵抗値は、1 k Ω (オーム) 以下に選ばれる。抵抗値が高すぎると、スイッチ素子 T から発光素子 L へのトリガ信号が減衰されてしまう恐れがあるが、接続手段 1 4 の抵抗値を前記範囲に選ぶことによって、スイッチ素子 T から発光素子 L へトリガ信号が伝達される際に減衰することを抑制できる。

【0116】

発光素子 L の第 3 半導体層 (N 型) 3 4 は、発光素子 L のゲート電極 1 9 であり、スイッチ素子 T の第 3 半導体層 (N 型) 4 4 は、スイッチ素子 T のゲート電極 2 4 である。したがって、接続手段 1 4 は、発光素子 L とスイッチ素子 T のゲート電極同士を電氣的に接続している。

10

【0117】

発光素子 L の第 4 半導体層 (P 型) 3 5 およびオーミックコンタクト層 3 7 のスイッチ素子 T 寄りの端部は、絶縁層 1 7 を介して前述した発光信号伝送路 1 2 によって覆われる。これによって、発光素子 L から、スイッチ素子 T に向かう光を遮光することができる。発光信号伝送路 1 2 の信号路延在部 2 1 は、第 4 半導体層 (P 型) 3 5 およびオーミックコンタクト層 3 7 のスイッチ素子 T に対向する側部に臨んで設けられ、また発光素子接続部 5 1 の第 4 半導体層 (P 型) 3 5 寄りの端部を覆う。

【0118】

またスイッチ素子 T の第 4 半導体層 (P 型) 4 5 およびオーミックコンタクト層 4 7 の発光素子 L 寄りの端部は、絶縁層 1 7 に積層される遮光層 1 8 によって覆われる。これによって、スイッチ素子 T から、発光素子 L に向かう光を遮光することができる。またスイッチ素子 T の、発光素子 L とは反対側の端部は、絶縁層 1 7 を介して遮光層 1 8 によって覆われる。遮光層 1 8 は、スイッチ素子接続部 5 2 の Z 1 方向を覆い、前記発光素子 L とスイッチ素子 T との間に形成される凹所 5 3 付近まで延びる。

20

【0119】

図 8 は、図 1 の切断面線 A 4 - A 4 から見た発光装置 1 0 の基本的構成を示す一部の断面図である。走査スタート用スイッチ素子 T 0 と、スイッチ素子 T とは、同様な構成であるので、同様の部分には、同様の参照符号を付して、重複する説明を省略する場合がある。

30

【0120】

走査スタート用スイッチ素子 T 0 は、発光サイリスタ 1 1 6 で構成され、基板 3 1 の Z 1 方向の表面に第 1 半導体層 (N 型) 6 2、第 2 半導体層 (P 型) 6 3、第 3 半導体層 (N 型) 6 4 のうちの第 1 領域 6 4 a、第 2 領域 6 4 b、第 4 半導体層 (P 型) 6 5 および第 5 半導体層 (P 型) 6 6、オーミックコンタクト層 6 7 がこの順に積層されて形成される。さらにオーミックコンタクト層の Z 1 方向の表面には表面電極 2 5 が形成される。走査スタート用スイッチ素子 T 0 の表面電極 2 5 は、オーミックコンタクト層 6 1 の Z 1 方向の表面の周縁部を除く全領域に形成される。各半導体層 6 2、6 3、6 4 a、6 4 b、6 5、6 6、オーミックコンタクト層 6 7 および表面電極 2 5 の積層体は、略直方体形状を有する。各半導体層 6 2、6 3、6 4 a、6 4 b、6 5、6 6、オーミックコンタクト層 6 7 および材料、バンドギャップ、不純物濃度および膜厚は、第 2 の実施の形態で例示した発光サイリスタ 1 1 6 と同様である。図 3 と図 8 とで参照符号は異なるが、対応する層同士は同じ名称で記載する。たとえば、図 8 の基板 3 1 は前述した図 3 の基板 1 0 1 に対応し、図 8 の各第 1 ~ 第 5 半導体層 6 2、6 3、6 4、6 5、6 6 は、前述した図 3 の各第 1 ~ 第 5 半導体層 1 0 2、1 0 3、1 0 4、1 0 7、1 0 8 にそれぞれ対応する。

40

【0121】

また走査スタート用スイッチ素子 T 0 の、第 1 半導体層 (N 型) 6 2 と、第 2 半導体層 (P 型) 6 3 と、第 3 半導体層 (N 型) 6 4 との発光素子 L 寄りの端部は、第 4 半導体層 (P 型) 6 5 と、第 5 半導体層 (P 型) 6 6 と、オーミックコンタクト層 6 7 との発光素子 L 寄りの端部よりも、発光素子アレイ 1 1 側に向かって突出し、走査スタート用スイッ

50

チ素子接続部 68 を構成する。

【0122】

走査スタート用スイッチ素子 T0 は、絶縁層 17 および遮光層 18 に覆われる。走査スタート用スイッチ素子 T0 の Z1 方向に積層される絶縁層 17 に積層して走査信号伝送路 15 が形成され、絶縁層 17 のうち走査スタート用スイッチ素子 T0 の Z1 方向に積層される部分に形成される貫通孔 69 に第 3 走査信号伝送路 15c の一部が形成されて、貫通孔 69 を介して第 3 走査信号伝送路 15c が走査スタート用スイッチ素子 T0 の表面電極 25 に接続される。また絶縁層 17 のうち、走査スタート用スイッチ素子接続部 68 の積層される部分には、貫通孔 71 が形成され、この貫通孔 71 にスタート信号伝送路 16 の一部が形成され、貫通孔 71 を介して、絶縁層 17 に積層して形成されるスタート信号伝送路 16 が接続される。走査スタート用スイッチ素子 T0、走査信号伝送路 15 およびスタート信号伝送路 16 とは、遮光層 18 によって覆われる。走査スタート用スイッチ素子 T0 の第 3 半導体層 (N 型) 64 は、走査スタート用スイッチ素子 T0 のゲート電極 26 である。

10

【0123】

各発光素子 L、各スイッチ素子 T および走査スタート用スイッチ素子 T0 は、基板 31 の Z1 方向の表面に、第 1 半導体層 (N 型) 32、42、62、第 2 半導体層 (P 型) 33、43、63、第 3 半導体層 (N 型) 34、44、64、第 4 半導体層 (P 型) 35、45、65、オーミックコンタクト層 37、47、67 を、それぞれ形成するための半導体材料を、有機金属気層エピタキシャル成長法 (MOVPE) および分子線エピタキシャル成長法 (MBE) などのエピタキシャル成長法によって順次積層した後、フォトリソグラフィによるパターニングおよびエッチングを行うことによって形成される。したがって、一連の製造プロセスにおいて、発光素子 L、スイッチ素子 T および走査スタート用スイッチ素子 T0 を同時に形成することができるので、製造コストを低減することができる。各半導体層を形成した後、導電体層を蒸着法などによって形成し、フォトリソグラフィによるパターニングとエッチングとを行って、表面電極 25 を形成する。

20

【0124】

絶縁層 17 は、表面電極 25 を形成した後、前述したポリイミドなどの樹脂材料をスピンコーティングしてから、塗付した樹脂材料を硬化させる。その後、発光信号伝送路 12 と、接続手段 14 と、第 1～第 3 走査信号伝送路 15a、15b、15c と、スタート信号伝送路 16 と、発光素子 L、スイッチ素子 T または走査スタート用スイッチ素子 T0 との接続に必要な各貫通孔 39、49、54、55、69、71 をフォトリソグラフィによるパターニングとエッチング工程とによって形成する。

30

【0125】

発光信号伝送路 12 と、接続手段 14 と、第 1～第 3 走査信号伝送路 15a、15b、15c と、スタート信号伝送路 16 と、発光素子遮光部 23 とは、絶縁層 17 を形成した後、蒸着法などによって導電性材料を絶縁層 17 の表面に積層し、フォトリソグラフィによるパターニングおよびエッチングを行うことで同時に形成される。したがって、発光信号伝送路 12 と、接続手段 14 と、第 1～第 3 走査信号伝送路 15a、15b、15c と、スタート信号伝送路 16 と、発光素子遮光部 23 と厚みは、ほぼ等しく形成される。

40

【0126】

図 9 は、図 1 に示される発光装置 10 の基本的構成を示す一部の等価回路を示す回路図である。発光装置 10 は、駆動手段 73 によって駆動される。前記発光装置 10 は、駆動手段 73 を含んで構成されてもよい。駆動手段 73 は、第 1～第 3 走査信号伝送路 15a、15b、15c と、発光信号伝送路 12 と、スタート信号伝送路 16 とに接続され、第 1～第 3 走査信号伝送路 15a、15b、15c に走査信号 ϕ を与え、スタート信号伝送路 16 にスタート信号 ϕ_S を与え、発光信号伝送路 12 に発光信号 ϕ_E をそれぞれ与える。駆動手段 73 は、駆動用ドライバー IC (Integrated Circuit) によって実現される。

【0127】

駆動手段 73 は、外部から基準となるクロックパルス信号を入力して、このクロックパ

50

ルス信号に基づいて、第1～第3走査信号 $\phi 1 \sim \phi 3$ およびスタート信号 ϕS を同期して出力し、走査信号伝送路15およびスタート信号伝送路16にそれぞれ与える。前記クロックパルス信号は、後述する画像形成装置87の制御手段96から与えられる。クロックパルス信号のクロック周期は、後述する画像形成装置87の制御手段96における制御周期よりも長く選ばれる。また駆動手段73は、クロックパルス信号とともに与えられる画像情報に基づいて、発光信号 ϕE を出力して、発光信号伝送路12に与える。

【0128】

第1～第3走査信号伝送路15a, 15b, 15cには、各スイッチ素子Tと直列に接続される抵抗素子R ϕ がそれぞれ接続され、駆動手段73は、抵抗素子R ϕ を介して第1～第3走査信号伝送路15a, 15b, 15cに接続される。抵抗素子R ϕ は、駆動手段73から走査信号伝送路15に過電流が流れてしまうことを防止するとともに、各スイッチ素子Tに印加される電圧を分圧する分圧抵抗としての機能を有する。

10

【0129】

また発光信号伝送路12にも、各発光素子Lと直列に接続される抵抗素子R ϕ がそれぞれ接続され、駆動手段73は、抵抗素子R ϕ を介して発光信号伝送路12に接続される。抵抗素子R ϕ は、駆動手段73から発光信号伝送路12に過電流が流れてしまうことを防止するとともに、各発光素子Lに印加される電圧を分圧する分圧抵抗としての機能を有する。

【0130】

図10は、駆動手段73が、スタート信号伝送路16に与えるスタート信号 ϕS 、第1走査信号伝送路15aに与える第1走査信号 $\phi 1$ 、第2走査信号伝送路15bに与える第2走査信号 $\phi 2$ 、第3走査信号伝送路15cに与える第3走査信号 $\phi 3$ および発光信号伝送路12に与える発光信号 ϕE と、発光素子L1の発光強度と、走査スタート用スイッチ素子T0およびスイッチ素子T1～T4の発光強度とを示す波形図である。発光素子L1および走査スタート用スイッチ素子T0ならびにスイッチ素子T1～T4の発光強度は、ハイ(H)レベルのとき発光していることを表し、ロー(L)レベルのとき発光していないことを表す。図10において、横軸は時間であって、基準時刻からの経過時間を表す。

20

【0131】

またスタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE について、縦軸は、信号レベルを表す。信号レベルは、電圧または電流の大きさを表し、スタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE がハイ(H)レベルのとき、高電圧または高電流が信号伝送路に供給され、スタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE がロー(L)レベルのとき、低電圧または低電流が信号伝送路に供給される。スタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE がLレベルのとき、信号伝送路に低電圧または低電流が供給される結果、各素子に印加される電圧は、各素子のしきい電圧よりも小さくなる。電圧の場合、Hレベルは、たとえば3ボルト(V)～10ボルト(V)である。Lレベルは、たとえば0(零)ボルト(V)である。

30

【0132】

本実施の形態では、Hレベルのときのスタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE の電圧をたとえば5ボルト(V)とし、Lレベルのスタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE の電圧をたとえば0ボルト(V)とする。第1～第3走査信号 $\phi 1 \sim \phi 3$ の波形は同じであり、それぞれ位相が異なる。

40

【0133】

発光装置10では、発光させるべき発光素子Lのしきい電圧を低下させるために、スイッチ素子Tの発光状態を、X方向に沿って転送する。

【0134】

以後、駆動手段73の動作について説明する。まず時刻t0で、駆動手段73は、スタート信号 ϕS 、第1～第3走査信号 $\phi 1 \sim \phi 3$ および発光信号 ϕE をローレベルとする。スタート信号 ϕS をローレベルにしておくことによって、走査スタート用スイッチ素子T

50

0のしきい電圧は、第3走査信号 ϕ のハイレベルよりも小さくなる。駆動手段73は、発光信号 ϕ E、スタート信号 ϕ Sおよび走査信号 ϕ について、信号レベルをローレベルからハイレベルにすると、次に信号レベルをハイレベルからローレベルにするまで、信号レベルをハイレベルとなるように維持する。また駆動手段73は、発光信号 ϕ E、スタート信号 ϕ Sおよび走査信号 ϕ について、信号レベルをハイレベルからローレベルにすると、次に信号レベルをローレベルからハイレベルにするまで、信号レベルをローレベルとなるように維持する。

【0135】

時刻 t_1 で、駆動手段73は、第3走査信号 ϕ 3のみをローレベルからハイレベルに変化させる。時刻 t_1 において、スタート信号 ϕ S、第1、第2走査信号 ϕ 1、 ϕ 2および発光信号 ϕ Eは、ローレベルである。これによって、走査スタート用スイッチ素子T0が、オン状態になり、すなわちターンオンし、発光する。

10

【0136】

走査スタート用スイッチ素子T0の光は、隣接するスイッチ素子アレイ13のX方向の端部に配置されるスイッチ素子T1に最も強く入射する。スイッチ素子アレイ13の他のスイッチ素子Tでは、X方向に走査スタート用スイッチ素子T0から離間した位置に配置されるスイッチ素子Tほど、走査スタート用スイッチ素子T0から照射される光の強度が小さくなる。スイッチ素子Tを構成する発光サイリスタは受光する光強度が大きくなるほどしきい電圧の降下が大きい。

【0137】

20

次に走査スタート用スイッチ素子T0からスイッチ素子T1への発光状態の転送について説明する。走査スタート用スイッチ素子T0が発光すると、この光をスイッチ素子T1が受光し、スイッチ素子T1のしきい電圧が低下する。

【0138】

時刻 t_2 において、スイッチ素子T1のしきい電圧は $V_{TH}(T1)$ となっている。第1走査信号伝送路15aには、スイッチ素子T1、T4、 $\dots$ 、 T_{j-2} が接続されているが、スイッチ素子T4、 $\dots$ 、 T_{j-2} は、走査スタート用スイッチ素子T0から十分に離れているので、走査スタート用スイッチ素子T0からの光を受光しても、その光は微弱であるので、しきい電圧はほとんど変化しない。

【0139】

30

時刻 t_2 で、駆動手段73は、第1走査信号 ϕ 1をローレベルからハイレベルにする。時刻 t_2 において、スタート信号 ϕ S、第2走査信号 ϕ 2、発光信号 ϕ Eはローレベルであり、第3走査信号 ϕ 3は、ハイレベルである。第1走査信号 ϕ 1のハイレベルは、第1走査信号伝送路15aに接続されるスイッチ素子T1を除く他のスイッチ素子T4、 $\dots$ 、 T_{j-2} のしきい電圧うちの最低値よりも、高い電圧または高い電流に選ばれる。

【0140】

隣接するスイッチ素子Tからの光を受光することによってしきい電圧が低下したスイッチ素子Tが接続される前記走査信号伝送路15に、この走査信号伝送路15に接続される他のスイッチ素子Tのしきい電圧の最低値よりも高い電圧または電流の走査信号 ϕ を与えると、走査信号 ϕ は抵抗素子R ϕ を介して、走査信号伝送路15に与えられ、スイッチ素子Tには、抵抗素子R ϕ によって分圧された電圧が与えられる。各スイッチ素子Tには、抵抗素子R ϕ によって分圧された電圧が徐々に印加されることとなり、同じ走査信号伝送路15に接続される複数のスイッチ素子Tのうち、隣接しているスイッチ素子Tからの光を受光したスイッチ素子Tに与えられる電圧が、最も早くこのスイッチ素子Tのしきい電圧よりも大きくなる。これによって、しきい電圧が最も低いスイッチ素子Tのみが発光し、他のスイッチ素子Tは、発光しない。

40

【0141】

これによって、時刻 t_2 で、スイッチ素子T1がオン状態となり、すなわちターンオンし、発光する。

【0142】

50

スイッチ素子T 1がオン状態となった後、時刻t 3で、駆動手段7 3は、第3走査信号φ 3をローレベルにする。これによって、走査スタート用スイッチ素子T 0は、オフ状態、すなわちターンオフして、消灯する。

【0143】

このようにして、走査スタート用スイッチ素子T 0から、スイッチ素子T 1へと発光状態が遷移する。また時刻t 3において、駆動手段7 3は、スタート信号φ Sをローレベルからハイレベルにし、以後、ハイレベルを維持させることによって、時刻t 3以降に、第3走査信号φ 3をローレベルからハイレベルにしても、走査スタート用スイッチ素子T 0はオフ状態を維持する。

【0144】

時刻t 2と時刻t 3との間の時間は、第1走査信号φ 1がハイレベルとなる時間の1/10程度に選ばれる。このように、隣接するスイッチ素子Tにおいて与えられる走査信号φがハイレベルとなる時間が重なるように駆動手段7 3が走査信号φを与えることによって、隣接するスイッチ素子Tのしきい電圧が確実に低下している間に、走査信号φをハイレベルとすることができ、光走査を確実に行うことができる。

【0145】

本実施の形態では、第1～第3走査信号φ 1～φ 3がハイレベルとなる時間は、1 μ秒程度に選ばれる。したがって、時刻t 2と時刻t 3との間の時間は、0.1 μ秒程度に選ばれる。

【0146】

スイッチ素子T 1は、受光によってしきい電圧が低下した状態で、時刻t 2において走査信号φ 1がハイレベルになりオン状態となると、走査信号φ 1がローレベルになるまでは、オン状態を維持する。オン状態となると、スイッチ素子T 1のゲート電極2 4の電圧は、ほぼ0（零）ボルト（V）になる。ここで前記スイッチ素子T 1のゲート電極2 4の電圧とは、このゲート電極2 4と接地される裏面電極9 9との電位差である。スイッチ素子T 1のゲート電極2 4の電圧が0 Vになることは、ゲート電極2 4にトリガ信号が発生したことを意味する。スイッチ素子T 1のゲート電極2 4は、発光素子L 1のゲート電極1 9に接続されているので、スイッチ素子T 1のゲート電極2 4の電圧は、発光素子L 1のゲート電極1 9の電圧と等しくなる。このようにスイッチ素子T 1は、発光素子L 1のゲート電極1 9と裏面電極9 9とに印加される電圧を変化させることができ、このことは、スイッチ素子T 1のゲート電極2 4に発生したトリガ信号が、発光素子L 1のゲート電極1 9に与えられたことを意味する。

【0147】

発光素子L 1を発光させる場合、駆動手段7 3は、第3走査信号φ 3をハイレベルからローレベルにした時刻t 3が経過した後、時刻t 4で、発光信号φ Eをローレベルからハイレベルにする。

【0148】

発光素子L 1は、スイッチ素子T 1がオン状態であるので、前述したように発光素子L 1のゲート電極1 9は、ほぼ0（零）ボルト（V）となる。このときスイッチ素子T 2, ..., T j-1, T jは、オフ状態であり、時刻t 4における発光素子L 1のしきい電圧を $V_{TH}(L1)$ とし、時刻t 4における発光素子L 2, ..., L i-1, L iのしきい電圧をそれぞれ $V_{TH}(L2)$, ..., $V_{TH}(Li-1)$, $V_{TH}(Li)$ とすると、発光信号φ Eのハイレベル V_H を、発光素子L 1のしきい電圧以上であって、発光素子L 2, ..., L i-1, L iのしきい電圧のうち、最低値のものよりも小さな値に選ぶことによって、発光素子L 1のみを選択的にオン状態として、発光させることができる。

【0149】

時刻t 5において、駆動手段7 3が発光信号φ Eをローレベルにすると、発光素子L 1は、オフ状態となり、消灯する。後述する感光体ドラム9 0への露光量は、発光素子Lの発光強度は一定として、発光素子Lの発光する時間によって調整される。すなわち、発光信号φ Eがハイレベルとなる時刻t 4から時刻t 5までの間の時間を決定することによ

10

20

30

40

50

て、露光量が決定される。発光素子Lの発光強度によって露光量を変更する場合、発光素子L1に与える電圧または電流を細かく制御する必要があるので困難であるが、発光時間によって露光量を変更することによって、発光信号φEがハイレベルとなる時間を調整するだけでよいので、露光量の制御がしやすく、また定電圧または定電流が発光素子Lに与えられるので、発光素子L1を安定して発光させることができる。発光素子Lが発光する時間、言い換えれば発光信号φEがハイレベルとなる時間は、走査信号φがハイレベルとなる時間の80%以下に選ばれる。

【0150】

時刻t5が経過した後、駆動手段73は、時刻t6で第2走査信号φ2をハイレベルにすると、スイッチ素子T2が発光し、時刻t6が経過した後、時刻t7で、第1走査信号φ1をローレベルにすると、スイッチ素子T1が消灯する。これによって、スイッチ素子T1からスイッチ素子T2へと発光状態が移る。

10

【0151】

時刻t7が経過した後、駆動手段73は、時刻t8で第3走査信号φ3をハイレベルにすると、スイッチ素子T3が発光し、時刻t8が経過した後、時刻t9で、第2走査信号φ2をローレベルにすると、スイッチ素子T2が消灯する。これによって、スイッチ素子T2からスイッチ素子T3へと発光状態が移る。

【0152】

時刻t9が経過した後、駆動手段73は、時刻t10で再び第1走査信号φ1をハイレベルにすると、スイッチ素子T4が発光する。

20

【0153】

時刻t6と時刻t7との間の時間は、第2走査信号φ2がハイレベルとなる時間の1/10程度に選ばれ、時刻t8と時刻t9との間の時間は、第3走査信号φ3がハイレベルとなる時間の1/10程度に選ばれる。

【0154】

このように駆動手段73が、第1～第3走査信号φ1～φ3を繰り返して与えることによって、スイッチ素子T4, …, Tj-1, Tjにおいても、オン状態がX方向に沿って順次転送される。スイッチ素子Tが発光しているとき、発光信号伝送路12の発光信号φEをローレベルからハイレベルにすることによって、この発光しているスイッチ素子Tに対応する、すなわち発光しているスイッチ素子Tに接続されている発光素子Lのみを選択的に発光させることができる。

30

【0155】

発光しているスイッチ素子TのX方向の両側に位置するスイッチ素子Tは、いずれも励起状態となってしまうが、第1～第3走査信号伝送路15a, 15b, 15cによって、前述したように第1～第3走査信号φ1～φ3を伝送させて、各スイッチ素子Tに第1～第3走査信号φ1～φ3を与えることによって、X方向のX1方向からX2方向へと、スイッチ素子Tの発光状態の転送を行うことができ、言い換えれば光走査することができる。

【0156】

図11は、第1走査信号伝送路15aに接続されるスイッチ素子T1, T4, T7のしきい電圧の変化を表す波形図である。図11において、横軸は時間であって、基準時刻からの経過時間を表す。なお同図には、スタート信号φSおよび第1～第3走査信号φ1～φ3も示している。同図に示す時刻t1, t2, t7, t8, t10は、前述した図10に示す時刻t1, t2, t7, t8, t10にそれぞれ対応する。各スイッチ素子T1, T4, T7の初期のしきい電圧をV_{BO}とし、隣接するスイッチ素子Tまたは走査スタート用スイッチ素子T0からの受光することによって低下したしきい電圧をV₁とする。

40

【0157】

時刻t1で走査スタート用スイッチ素子T0が発光するので、走査スタート用スイッチ素子T0の光を受光することによって、スイッチ素子T1のしきい電圧が徐々に低下し、時刻taでスイッチ素子T1のしきい電圧は、V₁になる。走査スタート用スイッチ素子

50

T 0 の発光状態が維持される時刻 t_3 まで、スイッチ素子 T 1 のしきい電圧は V_1 に維持される。

【0158】

時刻 t_2 で、第 1 走査信号 ϕ_1 がローレベルからハイレベルになることによって、スイッチ素子 T 1 が発光し、スイッチ素子 T 1 のしきい電圧は、さらに低下して時刻 t_b で、 V_2 となる。時刻 t_b において、スイッチ素子 T 4、T 7 のしきい電圧は、 V_{BO} である。

【0159】

時刻 t_7 で、第 1 走査信号 ϕ_1 がハイレベルからローレベルになると、スイッチ素子 T 1 のしきい電圧は、時間の経過にともなって、 V_2 から徐々に上昇する。

10

【0160】

時刻 t_8 でスイッチ素子 T 3 が発光するので、スイッチ素子 T 3 の光を受光することによって、スイッチ素子 T 4 のしきい電圧が徐々に低下し、時刻 t_c でスイッチ素子 T 4 のしきい電圧は、 V_1 になる。

【0161】

時刻 t_{10} では、スイッチ素子 T 4 のしきい電圧は、 V_1 であり、スイッチ素子 T 1 のしきい電圧は、 V_1 よりも高く V_{BO} よりも低い V_3 であり、スイッチ素子 T 7 のしきい電圧は、 V_{BO} である。

【0162】

時刻 t_{10} で、第 1 走査信号 ϕ_1 をローレベルからハイレベルにするが、このハイレベルの電圧を、第 1 走査信号伝送路 15 a に接続されているスイッチ素子 T のうち、隣接するスイッチ素子 T からの光を受光していないスイッチ素子 T のうちで、最もしきい電圧の低いスイッチ素子 T 1 のしきい電圧 V_3 よりも高くすることによって、スイッチ素子 T 4 のみを発光させることができる。スイッチ素子 T 4 は、発光するとしきい電圧がさらに低下して時刻 t_d で、 V_2 となる。

20

【0163】

時刻 t_{11} で、第 1 走査信号 ϕ_1 がハイレベルからローレベルになると、スイッチ素子 T 4 のしきい電圧は、時間の経過にともなって、 V_2 から徐々に上昇する。

【0164】

図 12 は、スイッチ素子 T を構成する発光サイリスタの順方向電流－電圧特性と、各走査信号伝送路 15 に供給される第 1～第 3 走査信号 $\phi_1 \sim \phi_3$ のハイレベルの電圧 V_H の範囲とを示すグラフである。なお、図 12 では、横軸をアノード電圧とし、縦軸をアノード電流として示されている。

30

【0165】

スイッチ素子 T の初期のしきい電圧を V_{BO} とし、スイッチ素子 T に光を照射することによって最もしきい電圧が低下した状態のしきい電圧を V_1 とし、同じ走査信号伝送路 15 に接続されているスイッチ素子 T のうち、2 番目にしきい電圧が低いスイッチ素子 T のしきい電圧を V_3 とする。この V_3 は、光を受光することによって、わずかにしきい電圧が低下した状態のスイッチ素子 T、またはターンオフ時、すなわちいったんオン状態となった後、初期状態に回復しつつあるスイッチ素子 T のしきい電圧である。

40

【0166】

スイッチ素子 T に接続される各走査信号伝送路 15 に供給される第 1～第 3 走査信号 $\phi_1 \sim \phi_3$ のハイレベルの電圧 V_H は、同じ走査信号伝送路 15 に接続されているスイッチ素子 T のうち、隣接するスイッチ素子 T の発光を受光することによってしきい電圧が最も低下したスイッチ素子 T のしきい電圧 V_1 と、2 番目に低いしきい電圧 V_3 を有するスイッチ素子 T のしきい電圧との間の電圧、すなわち図 12 の符号 P 2 で示される範囲の電圧を選ぶ。このように走査信号 ϕ のハイレベルの電圧を選ぶことによって、受光によって最もしきい電圧が低下しているスイッチ素子 T のみを、選択的に発光させることができる。

【0167】

以上のように発光装置 10 によれば、各スイッチ素子 T は、隣接するスイッチ素子 T か

50

ら発する光を受光することによって、そのしきい電圧を低下させることができ、各スイッチ素子Tのゲート電極24に、第2の従来の技術の発光装置2のような転送方向指定のためのダイオードおよび電源との間に接続される負荷抵抗などを接続する必要がない。したがって発光装置10の構造を複雑にすることなく、できるだけ少ない信号伝送路を用いて、複数配列される発光素子Lのうち所定の発光素子Lのみを選択的に発光させることができる。

【0168】

また走査スタート用スイッチ素子T0は、走査信号伝送路15に接続され、走査信号伝送路15を介して走査信号φが与えられることによって発光するので、スイッチ素子Tの発光に必要な電力を供給する伝送路と、走査スタート用スイッチ素子T0が発光するために必要な電力を供給する伝送路を共通化することができ、走査スタート用スイッチ素子T0に必要な電力を供給する伝送路を特別に設ける必要がない。

10

【0169】

走査スタート用スイッチ素子T0は、スイッチ素子Tに接続される走査信号伝送路15からの走査信号φに基づいて発光するので、駆動手段73は、スイッチ素子アレイ13のスイッチ素子Tと発光のタイミングを同期させやすい。また走査スタート用スイッチ素子T0は、ゲート電極26にトリガ信号を与え、さらに走査信号φを与えなければ発光しないので、不所望にトリガ信号が与えられたとしても、発光してしまうことが防止される。

【0170】

また発光サイリスタ116を用いて、スイッチ素子Tおよび発光素子Lならびにスタート用スイッチ素子T0を実現することによって、発光装置10の作製が容易である。スイッチ素子Tと発光素子Lとスタート用スイッチ素子T0とを基板31上に同一の製造プロセスによって形成することができ、発光装置10の製造工程をできるだけ少なくすることができる。さらに、同一の基板31上にスイッチ素子Tおよび発光素子Lならびにスタート用スイッチ素子T0が集積されて構成されるので、各素子を高密度に形成することができ、スイッチ素子アレイ13ではX方向に隣接するスイッチ素子T同士を密接させることができる。これによって各スイッチ素子Tは、隣接するスイッチ素子Tからの光を効率的に受光することができ、隣接するスイッチ素子Tの発光強度が小さい場合であっても、発光したスイッチ素子Tに隣接するスイッチ素子Tのしきい電圧を低下させることができる。したがって、スイッチ素子Tを発光させるために必要な電力を小さくすることができ、より消費電力の小さな発光装置10を実現することができる。また発光素子Lにおいても、配列方向に隣接する発光素子L同士を密接させることができるので、画像形成装置87に用いて画像の解像度を向上させることができる。

20

30

【0171】

また各スイッチ素子Tは、X方向に沿って順番に発光するので、この光を遮光層18によって遮光し、発光素子Lが発する光に干渉しないようにすることによって、発光素子Lが発光しているときには、発光素子Lの光量が小さくなったり大きくなったりしてしまうことが防止され、安定した光量を得ることができる。また遮光層18によって、バイアス光が漏れることが防止されるので、画像形成装置87では、画像の品位を低下させることなく、良好な品質の画像を形成することができる。

40

【0172】

また絶縁層17は、各発光素子Lおよび各スイッチ素子Tと各走査信号伝送路15および発光信号伝送路12との間に設けられ、各発光素子Lおよび各スイッチ素子Tと各走査信号伝送路15および発光信号伝送路12が短絡してしまうことが防止される。

【0173】

各走査信号伝送路15および絶縁層17によって反射手段が形成されるので、反射手段を作製するために特別に反射層などを形成する必要がなく、既存の構成を利用して形成することができる。したがって、発光装置10の作製工程が増加することなく、反射手段を形成することができる。

【0174】

50

図13は、本発明の他の実施の形態の発光装置120の基本的構成を示す一部の平面図である。なお、同図は、各発光素子Lの光の出射方向を紙面に垂直手前側として配置された発光装置120の平面を示し、発光信号伝送路12、スタート信号伝送路16、走査信号伝送路15、発光素子Lのゲート電極19、スイッチ素子Tのゲート電極24、接続手段14、発光素子遮光部23、および表面電極25は図解を容易にするため、斜線を付して示されている。また、同図で、スイッチ素子アレイの配列方向である紙面左右方向をX方向と定義し、右側をX1方向、左側をX2方向とする。基板垂直方向である紙面垂直方向をZ方向と定義し、手前側をZ1方向、奥側をZ2方向とする。X方向およびZ方向に垂直方向である紙面上下方向をY方向と定義し、上側をY1方向、下側をY2方向とする。

10

【0175】

図14は、図13の切断面線A5-A5から見た発光装置120の基本的構成を示す一部の断面図である。また同図では、図解を容易にするために、絶縁層17を省略して示している。

【0176】

本実施の形態の発光装置120と前述の図4に示される実施の形態の発光装置10とは、発光素子アレイ11の各発光素子Lとスイッチ素子アレイ13と各スイッチ素子Tとを接続する接続手段14の構成が異なるのみであって、その他の構成は、同様であるので同様の構成には、同様の参照符号を付して、その説明を省略する場合とする。

【0177】

20

本実施の形態において接続手段14は、前述した発光素子Lの第3半導体層(N型)34のうち発光素子接続部51を構成する部分と、前述したスイッチ素子Tの第3半導体層(N型)44のうちスイッチ素子接続部52を構成する部分とを含んで構成される。発光素子接続部51とスイッチ素子接続部52とは一体的に形成される。すなわち、発光素子Lの第1半導体層(N型)32と、スイッチ素子Tの第1半導体層(N型)42とが一体形成されており、発光素子Lの第2半導体層(P型)33と、スイッチ素子Tの第2半導体層(P型)43とが一体形成されており、発光素子Lの第3半導体層(N型)34と、スイッチ素子Tの第3半導体層(N型)44とが一体形成されている。

【0178】

発光信号伝送路12の信号路延在部21は、Y方向において、発光素子Lの第3半導体層(N型)34およびスイッチ素子Tの第3半導体層(N型)44の表面に沿って、発光素子Lの第4半導体層(P型)35と、スイッチ素子Tの第4半導体層(P型)45との間の中央付近まで延びる。遮光層18は、絶縁層17の表面に沿って、発光素子L側に延び、前記信号路延在部21のスイッチ素子T側の端部を覆う。

30

【0179】

このように接続手段14を構成することによって、発光素子Lのゲート電極19とスイッチ素子Tのゲート電極24とを接続するために、前述の実施の形態の発光装置10のように金属層を形成する必要がないので、製造工程をより少なくすることができ、また発光素子Lとスイッチ素子TとをY方向により近接させることができるので、発光装置120を構成する発光体チップをより小さく形成して、小型化することができる。

40

【0180】

次に、本発明の発光装置を用いて構成される本発明の実施の一形態の画像形成装置87について説明する。

【0181】

図15は、図4に示した発光装置10を有する画像形成装置87の基本的構成を示す側面図である。画像形成装置87は、電子写真方式の画像形成装置であり、発光装置10を、感光体ドラム90への露光装置に使用している。本実施の形態では、複数の発光装置10および駆動手段73が、回路基板に実装される。回路基板に実装される複数の発光装置10を、単に発光装置10と記載する。

【0182】

50

画像形成装置 87 は、Y（イエロ）、M（マゼンタ）、C（シアン）、K（ブラック）の 4 色のカラー画像を形成するタンデム方式を採用した装置であり、大略的に、4 つの発光装置 10 Y、10 M、10 C、10 K、集光手段であるレンズアレイ 88 Y、88 M、88 C、88 k、前記発光装置 10 および駆動手段 73 が実装された回路基板 31 およびレンズアレイ 88 を保持する第 1 ホルダ 89 Y、89 M、89 C、89 K、4 つの感光体ドラム 90 Y、90 M、90 C、90 K、4 つの現像剤供給手段 91 Y、91 M、91 C、91 K、転写手段である転写ベルト 92、4 つのクリーナ 93 Y、93 M、93 C、93 K、4 つの帯電器 94 Y、94 M、94 C、94 K、定着手段 95 および制御手段 96 を含んで構成される。

【0183】

10

各発光装置 10 は、駆動手段 73 によって各色のカラー画像情報に基づいて駆動される。4 つ発光装置 10 の X 方向の長さ W11 は、たとえば 200 mm ~ 400 mm に選ばれる。

【0184】

各発光装置 10 の発光素子 L からの光は、レンズアレイ 88 を介して各感光体ドラム 90 C、90 M、90 Y、90 K に集光して照射される。レンズアレイ 88 は、たとえば発光素子 L の光軸上にそれぞれ配置される複数のレンズを含み、これらのレンズを一体的に形成して構成される。

【0185】

発光装置 10 が実装される回路基板およびレンズアレイ 88 は、第 1 ホルダ 89 によって保持される。ホルダ 89 によって、発光素子 L の光照射方向と、レンズアレイ 88 のレンズの光軸方向とがほぼ一致するようにして位置合わせされる。

20

【0186】

各感光体ドラム 90 Y、90 M、90 C、90 K は、たとえば円筒状の基体表面に感光体層を被着して成り、その外周面には各発光装置 10 Y、10 M、10 C、10 K からの光を受けて静電潜像が形成される静電潜像形成位置が設定される。

【0187】

各感光体ドラム 90 Y、90 M、90 C、90 K の周辺部には、各静電潜像形成位置を基準として回転方向下流側に向かって順番に、露光された感光体ドラム 90 Y、90 M、90 C、90 K に現像剤を供給する現像剤供給手段 91 Y、91 M、91 C、91 K、転写ベルト 92、クリーナ 93 C、93 M、93 Y、93 K、および帯電器 94 Y、94 M、94 C、94 K がそれぞれ配置される。感光体ドラム 90 に現像剤によって形成された画像を記録シートに転写する転写ベルト 92 は、4 つの感光体ドラム 90 Y、90 M、90 C、90 K に対して共通に設けられる。

30

【0188】

前記感光体ドラム 90 Y、90 M、90 C、90 K は、第 2 ホルダによって保持され、この第 2 ホルダと第 1 ホルダ 89 とは、相対的に固定される。各感光体ドラム 90 Y、90 M、90 C、90 K の回転軸方向と、各発光体チップ組立体 86 の前記 X 方向とがほぼ一致するようにして位置合わせされる。

【0189】

40

転写ベルト 92 によって、記録シートを搬送し、現像剤によって画像が形成された記録シートは、定着手段 95 に搬送される。定着手段 95 は、記録シートに転写された現像剤を定着させる。感光体ドラム 90 Y、90 M、90 C、90 K は、回転駆動手段によって回転される。

【0190】

制御手段 96 は、前述した駆動手段 73 にクロック信号および画像情報を与えるとともに、感光体ドラム 90 Y、90 M、90 C、90 K を回転駆動する回転駆動手段、現像剤供給手段 91 Y、91 M、91 C、91 K、転写手段 92、帯電手段 94 Y、94 M、94 C、94 K および定着手段 95 の各部を制御する。

【0191】

50

このような構成の画像形成装置 87 では、露光装置として使用される発光装置 10 からバイアス光および漏れ光が発生しないので、高画質の画像を形成することができる。また発光サイリスタによるスイッチ素子 T および発光素子 L を集積化した発光装置 10 を露光装置に用いているので、このような露光装置は、安価に製造することができ、これによって画像形成装置 87 の製造コストを低減することができる。また本実施の形態の画像形成装置 87 の発光装置 10 を発光装置 120 に代えても、同様の効果を達成することができる。

【0192】

なお、本発明は上述の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更、改良などが可能である。

10

【図面の簡単な説明】

【0193】

【図1】本発明の第1の実施の形態の発光サイリスタ 115 の基本的構成を示す断面図と各層の不純物濃度とバンドギャップを示す図である。

【図2】本発明の第1の実施の形態の発光サイリスタ 115 において、第2領域 106 の不純物濃度を变化させたときの、発光サイリスタ 115 の発光強度を示す図である。

【図3】本発明の第2の実施の形態の発光サイリスタ 116 の基本的構成を示す断面図と各層の不純物濃度とバンドギャップを示す図である。

【図4】本発明の実施の一形態の発光装置 10 の基本的構成を示す平面図である。

【図5】図4の切断面線 A1-A1 から見た発光装置 10 の基本的構成を示す一部の断面図である。

20

【図6】図4の切断面線 A2-A2 から見た発光装置 10 の基本的構成を示す一部の断面図である。

【図7】図4の切断面線 A3-A3 から見た発光装置 10 の基本的構成を示す一部の断面図である。

【図8】図4の切断面線 A4-A4 から見た発光装置 10 の基本的構成を示す一部の断面図である。

【図9】図4に示される発光装置 10 の基本的構成を示す一部の等価回路を示す回路図である。

【図10】駆動手段 73 が、スタート信号伝送路 16 に与えるスタート信号 ϕS 、第1走査信号伝送路 15a に与える第1走査信号 $\phi 1$ 、第2走査信号伝送路 15b に与える第2走査信号 $\phi 2$ 、第3走査信号伝送路 15 に与える第3走査信号 $\phi 3$ および発光信号伝送路 12 に与える発光信号 ϕE と、発光素子 L1 の発光強度と、走査スタート用スイッチ素子 T0 およびスイッチ素子 T1~T4 の発光強度とを示す波形図である。

30

【図11】第1走査信号伝送路 15a に接続されるスイッチ素子 T1, T4, T7 のしきい電圧の変化を表す波形図である。

【図12】発光装置 10 におけるスイッチ素子 T の順方向電流-電圧特性と、各スイッチ素子 T に与えられる第1~第3走査信号 $\phi 1 \sim \phi 3$ のハイレベルの電圧 V_H の範囲を示す図である。

【図13】本発明の他の実施の形態の発光装置 120 の基本的構成を示す一部の平面図である。

40

【図14】図13の切断面線 A5-A5 から見た発光装置 120 の基本的構成を示す一部の断面図である。

【図15】発光装置 10 を有する画像形成装置 87 の基本的構成を示す側面図である。

【図16】従来の発光サイリスタ 114 の基本的構成を示す断面図である。

【図17】発光サイリスタ 114 の表面電極（アノード電極）110 から裏面電極（カソード電極）111 に順方向電流を印加した場合の電流-電圧特性を示すグラフである。

【図18】自己走査機能を有する第1の従来の技術の発光装置 1 の基本構造の概略的な回路構成を示す回路図である。

【図19】自己走査機能を有する第2の従来の技術の発光装置 2 の基本構造の概略的な回

50

路構成を示す回路図である。

【符号の説明】

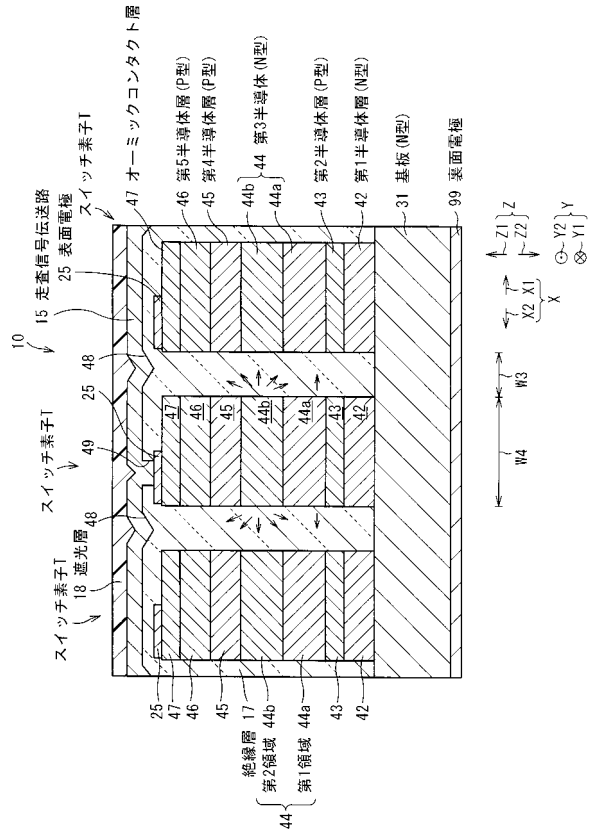
【0194】

- 115, 116 発光サイリスタ
- 10, 120 発光装置
- 101 基板 (N型)
- 102 第1半導体層 (N型)
- 103 第2半導体層 (P型)
- 104 第3半導体層 (N型)
- 105 第1領域
- 106 第2領域
- 107 第4半導体層 (P型)
- 108 第5半導体層 (P型)
- 110 表面電極 (アノード電極)
- 111 裏面電極 (カソード電極)
- 112 ゲート電極
- 11 発光素子アレイ
- 12 発光信号伝送路
- 13 スイッチ素子アレイ
- 14 接続手段
- 15 走査信号伝送路
- T0 走査スタート用スイッチ素子
- 16 スタート信号伝送路
- 17 絶縁層
- 18 遮光層
- L 発光素子
- T スイッチ素子

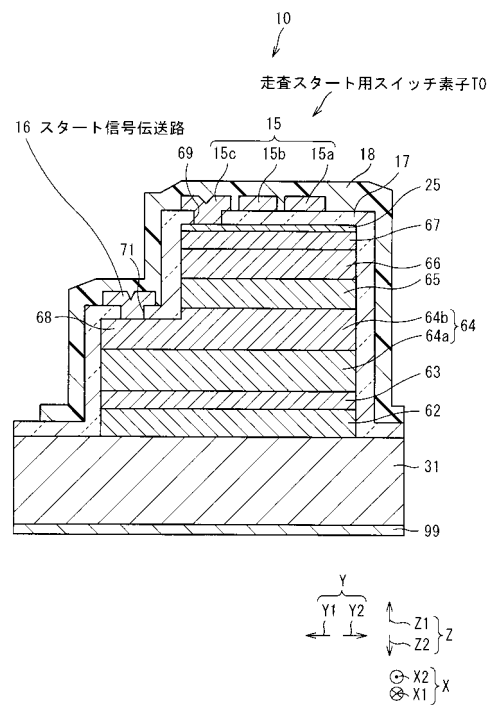
10

20

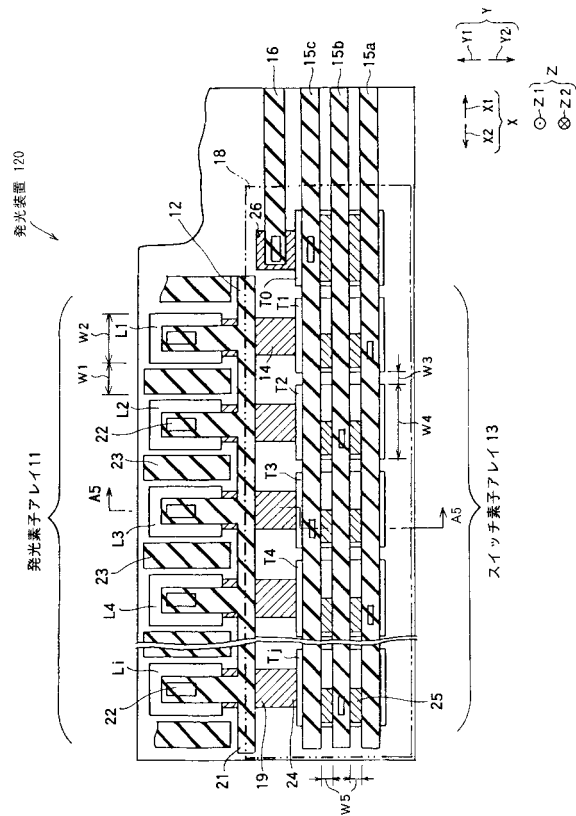
【図 6】



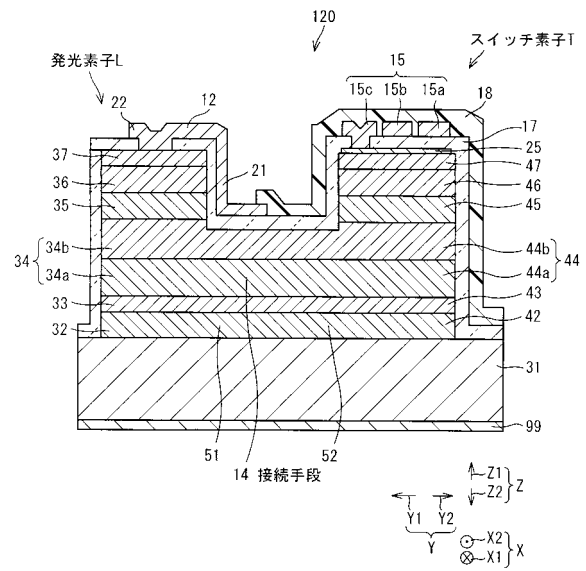
【图 8】



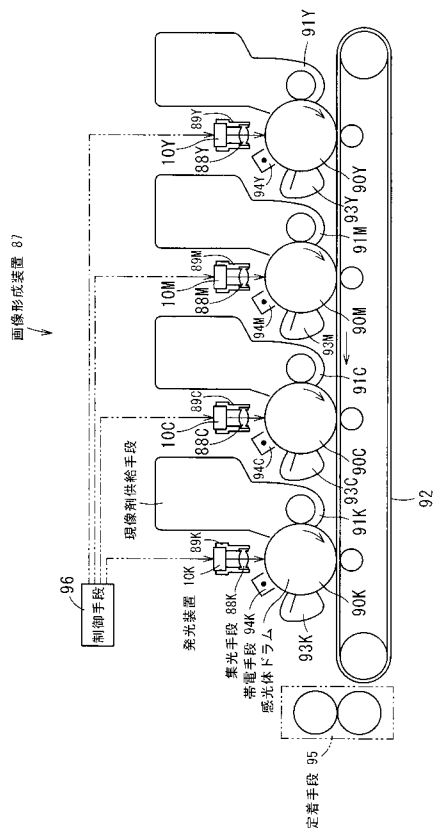
【図 13】



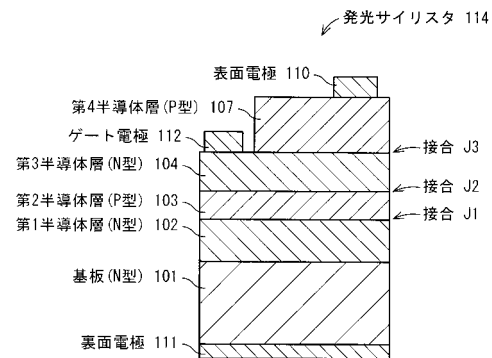
【図 14】



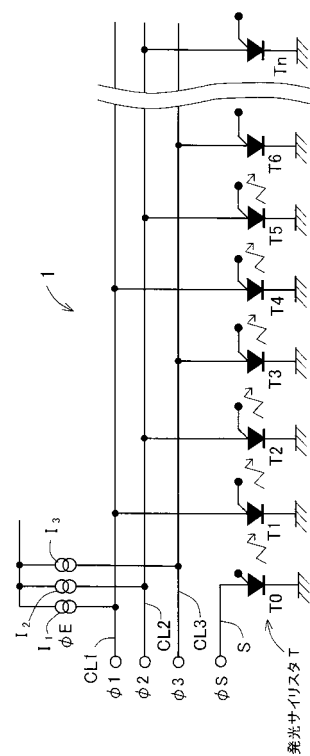
【図 15】



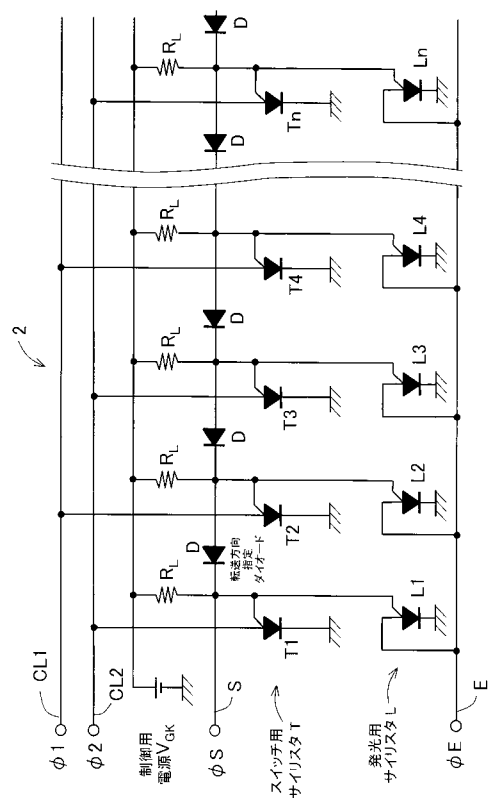
【図 16】



【図 18】



【図 19】



フロントページの続き

- (56)参考文献 特開平02-212170 (JP, A)
特開平08-153890 (JP, A)
特開2005-340471 (JP, A)
特開2005-059356 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00-33/64
H01L 21/332, 29/74-29/744,
29/747-29/749
B41J 2/385-2/42, 2/43, 2/44-2/445,
2/45-2/465