

関 3 丁 目 8 番 1 号 虎 の 門 三 井 ビ ル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

source line that supplies a first potential to the light-emitting element, or is electrically connected to a resistor signal line.

(57) 要約：表示装置は、基板と、基板に設けられた複数の画素と、複数の画素の各々に設けられる発光素子と、基板に設けられ、発光素子と電気的に接続される第1電極と、基板に設けられ、発光素子に駆動信号を供給する画素回路と、画素回路に設けられた発熱抵抗体と、を有する。発熱抵抗体の一端側は第1電極又は第2電極に電気的に接続される。発熱抵抗体の他端側は、発光素子に第1電位を供給する第1電源線又は抵抗体信号線に電気的に接続される。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 近年、表示素子として微小サイズの発光ダイオード（マイクロＬＥＤ（micro LED））を用いたディスプレイが注目されている（例えば、特許文献１参照）。複数の発光ダイオードは、アレイ基板（特許文献１ではドライババックプレーン）に接続され、アレイ基板は、発光ダイオードを駆動するための画素回路（特許文献１では電子制御回路）を備える。

先行技術文献

特許文献

[0003] 特許文献１：特表２０１７－５２９５５７号公報

発明の概要

発明が解決しようとする課題

[0004] 発光ダイオードは、温度上昇に伴い発光効率が低下する。このため、発光ダイオードを利用した表示装置では、温度上昇に伴い輝度が低下し、表示特性が低下する可能性がある。

[0005] 本発明は、表示特性の低下を抑制することができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、基板と、前記基板に設けられた複数の画素と、複数の前記画素の各々に設けられる発光素子と、前記基板に設けられ、前記発光素子と電氣的に接続される第１電極と、前記基板に設けられ、前記発光素子に駆動信号を供給する画素回路と、前記画素回路に設けられた発熱抵抗体と、を有する。

図面の簡単な説明

- [0007] 図1は、第1実施形態に係る表示装置を模式的に示す平面図である。
- 図2は、複数の副画素を示す平面図である。
- 図3は、画素回路を示す回路図である。
- 図4は、表示装置の動作例を示すタイミングチャートである。
- 図5は、表示装置の起動時の動作例を示すタイミングチャートである。
- 図6は、比較例における発光素子の輝度及び温度と、時間との関係を模式的に示すグラフである。
- 図7は、図2のV1-V1'断面図である。
- 図8は、図1のV1-V1'断面図である。
- 図9は、第1実施形態に係る表示装置の、1つの副画素を拡大して示す平面図である。
- 図10は、図9のX-X'断面図である。
- 図11は、第1副画素が有する第1発熱抵抗体、第2副画素が有する第2発熱抵抗体及び第3副画素が有する第3発熱抵抗体を比較して説明するための説明図である。
- 図12は、第2実施形態に係る画素回路を示す回路図である。
- 図13は、第3実施形態に係る画素回路を示す回路図である。
- 図14は、第4実施形態に係る、温度センサを有する画素を示す平面図である。
- 図15は、温度センサの一例を説明するための説明図である。

発明を実施するための形態

- [0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得る

ものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] 本明細書及び特許請求の範囲において、ある構造体の上に他の構造体を配置する態様を表現するにあたり、単に「上に」と表記する場合、特に断りの無い限りは、ある構造体に接するように、直上に他の構造体を配置する場合と、ある構造体の上方に、さらに別の構造体を介して他の構造体を配置する場合との両方を含むものとする。

[0010] (第1実施形態)

図1は、第1実施形態に係る表示装置を模式的に示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、画素 P_{ix} と、駆動回路12と、駆動IC (Integrated Circuit) 210と、カソード配線60と、を含む。アレイ基板2は、各画素 P_{ix} を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリックス基板とも呼ばれる。アレイ基板2は、基板21、複数のトランジスタ、複数の容量及び各種配線等を有する。

[0011] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 P_{ix} と重なって配置され、画像を表示する領域である。周辺領域GAは、複数の画素 P_{ix} と重ならない領域であり、表示領域AAの外側に配置される。

[0012] 複数の画素 P_{ix} は、基板21の表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。なお、第1方向 D_x 及び第2方向 D_y は、基板21の表面に対して平行な方向である。第1方向 D_x は、第2方向 D_y と直交する。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差してもよい。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向で

ある。第3方向 D_z は、例えば、基板21の法線方向に対応する。なお、以下、平面視とは、第3方向 D_z から見た場合の位置関係を示す。

[0013] 駆動回路12は、駆動IC210からの各種制御信号に基づいて複数のゲート線（例えば、発光制御走査線BG、リセット制御走査線RG、初期化制御走査線IG、書込制御走査線SG及び発熱制御走査線HG（図3参照））を駆動する回路である。駆動回路12は、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号を供給する。これにより、駆動回路12は、ゲート線に接続された複数の画素 P_{ix} を選択する。

[0014] 駆動IC210は、表示装置1の表示を制御する回路である。駆動IC210は、基板21の周辺領域GAにCOG（Chip On Glass）として実装される。これに限定されず、駆動IC210は、基板21の周辺領域GAに接続されたフレキシブルプリント基板やリジット基板の上にCOF（Chip On Film）として実装されてもよい。

[0015] カソード配線60は、基板21の周辺領域GAに設けられる。カソード配線60は、表示領域AAの複数の画素 P_{ix} 及び周辺領域GAの駆動回路12を囲んで設けられる。複数の発光素子3のカソードは、共通のカソード配線60に電氣的に接続され、固定電位（例えば、グランド電位）が供給される。より具体的には、発光素子3のカソード端子32（図7参照）は、カソード電極22（第2電極）を介して、カソード配線60に接続される。

[0016] 図2は、複数の副画素を示す平面図である。図2に示すように、1つの画素 P_{ix} は、複数の副画素49を含む。例えば、画素 P_{ix} は、第1副画素49Rと、第2副画素49Gと、第3副画素49Bとを有する。第1副画素49Rは、第1色としての原色の赤色を表示する。第2副画素49Gは、第2色としての原色の緑色を表示する。第3副画素49Bは、第3色としての原色の青色を表示する。図2に示すように、1つの画素 P_{ix} において、第1副画素49Rと第3副画素49Bは第1方向 D_x で並ぶ。また、第2副画素49Gと第3副画素49Bは第2方向 D_y で並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を

選択することができる。以下において、第1副画素49Rと、第2副画素49Gと、第3副画素49Bとをそれぞれ区別する必要がない場合、副画素49という。

[0017] 副画素49は、それぞれ発光素子3と、アノード電極23（第1電極）と、を有する。表示装置1は、第1副画素49R、第2副画素49G及び第3副画素49Bにおいて、発光素子3R、3G、3Bごとに異なる光（例えば、赤色、緑色、青色の光）を出射することで画像を表示する。発光素子3は、複数の副画素49の各々に設けられる。発光素子3は、平面視で、 $3\mu\text{m}$ 以上、 $300\mu\text{m}$ 以下程度の大きさを有する発光ダイオード（LED: Light Emitting Diode）チップであり、マイクロLED（micro LED）と呼ばれる。各画素にマイクロLEDを備える表示装置1は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、発光素子3の大きさを限定するものではない。

[0018] なお、複数の発光素子3は、4色以上の異なる光を出射してもよい。また、複数の副画素49の配置は、図2に示す構成に限定されない。例えば、第1副画素49Rは第2副画素49Gと第1方向Dxに隣り合ってもよい。また、第1副画素49R、第2副画素49G及び第3副画素49Bが、この順で第1方向Dxに繰り返し配列されてもよい。

[0019] 図3は、画素回路を示す回路図である。図3に示す画素回路PICAは、第1副画素49R、第2副画素49G及び第3副画素49Bのそれぞれに設けられる。画素回路PICAは、基板21に設けられ、駆動信号（電流）を発光素子3に供給する回路である。なお、図3において、画素回路PICAについての説明は、第1副画素49R、第2副画素49G及び第3副画素49Bのそれぞれが有する画素回路PICAに適用できる。

[0020] 図3に示すように、画素回路PICAは、発光素子3と、6つのトランジスタと、2つの容量と、発熱抵抗体28と、を含む。具体的には、画素回路PICAは、発光制御トランジスタBC T、初期化トランジスタI S T、書込トランジスタS S T、リセットトランジスタR S T、駆動トランジスタD

R T 及び発熱制御トランジスタ H S T を含む。一部のトランジスタは、隣接する複数の副画素 4 9 で共有されていてもよい。例えば、発光制御トランジスタ B C T は、共通配線を介して、3つの副画素 4 9 で共有されていてもよい。また、リセットトランジスタ R S T は、周辺領域 G A に設けられ、例えば副画素 4 9 の各行に1つ設けられていてもよい。この場合、リセットトランジスタ R S T は、共通配線を介して複数の駆動トランジスタ D R T のソースに接続される。

[0021] 画素回路 P I C A が有する複数のトランジスタは、それぞれ n 型 T F T (Thin Film Transistor) で構成される。ただし、これに限定されず、各トランジスタは、それぞれ p 型 T F T で構成されてもよい。p 型 T F T を用いる場合は、適宜電源電位や保持容量 C s 1 及び容量 C s 2 の接続を適合させてもよい。

[0022] 発光制御走査線 B G は、発光制御トランジスタ B C T のゲートに接続される。初期化制御走査線 I G は、初期化トランジスタ I S T のゲートに接続される。書込制御走査線 S G は、書込トランジスタ S S T のゲートに接続される。リセット制御走査線 R G は、リセットトランジスタ R S T のゲートに接続される。発熱制御走査線 H G は、発熱制御トランジスタ H S T のゲートに接続される。

[0023] 発光制御走査線 B G、初期化制御走査線 I G、書込制御走査線 S G、リセット制御走査線 R G 及び発熱制御走査線 H G は、それぞれ、周辺領域 G A に設けられた駆動回路 1 2 (図 1 参照) に接続される。駆動回路 1 2 は、発光制御走査線 B G、初期化制御走査線 I G、書込制御走査線 S G、リセット制御走査線 R G 及び発熱制御走査線 H G に、それぞれ、発光制御信号 V b g、初期化制御信号 V i g、書込制御信号 V s g、リセット制御信号 V r g 及び発熱制御信号 V h g を供給する。

[0024] 駆動 I C 2 1 0 (図 1 参照) は、第 1 副画素 4 9 R、第 2 副画素 4 9 G 及び第 3 副画素 4 9 B のそれぞれの画素回路 P I C A に、時分割で映像信号 V s i g を供給する。第 1 副画素 4 9 R、第 2 副画素 4 9 G 及び第 3 副画素 4

9Bの各列と、駆動IC210との間には、マルチプレクサ等のスイッチ回路が設けられる。映像信号Vsigは、映像信号線L2を介して書込トランジスタSSTに供給される。また、駆動IC210は、リセット信号線L3を介して、リセット電源電位VrstをリセットトランジスタRSTに供給する。駆動IC210は、初期化信号線L4を介して、初期化電位Viniを初期化トランジスタISTに供給する。

[0025] 発光制御トランジスタBCT、初期化トランジスタIST、書込トランジスタSST、リセットトランジスタRST及び発熱制御トランジスタHSTは、2ノード間の導通と非導通とを選択するスイッチング素子として機能する。駆動トランジスタDRTは、ゲートとドレインとの間の電圧に応じて、発光素子3に流れる電流を制御する電流制御素子として機能する。

[0026] 発光素子3のカソード（カソード端子32）は、カソード電源線L10（第2電源線）に接続される。また、発光素子3のアノード（アノード端子33）は、駆動トランジスタDRT及び発光制御トランジスタBCTを介してアノード電源線L1（第1電源線）に接続される。アノード電源線L1には、アノード電源電位PVDD（第1電位）が供給される。カソード電源線L10には、カソード電源電位PVSS（第2電位）が供給される。アノード電源電位PVDDは、カソード電源電位PVSSよりも高い電位である。カソード電源線L10は、カソード配線60を含む。なお、発光素子3の発光動作については後述する。

[0027] 発熱抵抗体28の一端側28e1は、アノード電極23に接続される。発熱抵抗体28の他端側28e2は、発熱制御トランジスタHSTを介してアノード電源線L1に電氣的に接続される。

[0028] また、画素回路PICAは、保持容量Cs1及び容量Cs2を含む。保持容量Cs1は、駆動トランジスタDRTのゲートとソースとの間に形成される容量である。容量Cs2は、駆動トランジスタDRTのソース及び発光素子3のアノードと、カソード電源線L10との間に形成される付加容量である。

[0029] 図4は、表示装置の動作例を示すタイミングチャートである。図4に示す期間G1から期間G4のそれぞれが1水平期間である。なお、図4では、1行目の副画素49から4行目の副画素49を駆動する動作を示しているが、5行目以降、最終行の副画素49まで継続して駆動される。また、以下の説明では、1行目の副画素49から最終行の副画素49までの駆動を行う期間をフレーム期間1Fと表す。

[0030] 図4に示す期間t0から期間t5までの動作例について、以下詳細に説明する。期間t0は、前フレーム発光期間である。つまり、あるフレーム期間1Fでの処理が開始されるまでの期間t0では、副画素49は、前フレームの発光状態を継続している。

[0031] 次に、期間t1は、駆動トランジスタDRTのソース初期化期間である。具体的には、期間t1では、駆動回路12から供給される各制御信号により、発光制御走査線BG1の電位がL（ロウ）レベルとなり、リセット制御走査線RG1の電位がHレベルとなる。これにより、発光制御トランジスタBCTがオフ（非導通状態）となり、リセットトランジスタRSTがオン（導通状態）となる。

[0032] なお、発光制御走査線BG1は、1行目の副画素49に接続された発光制御走査線BGを示し、発光制御走査線BG2は、2行目の副画素49に接続された発光制御走査線BGを示す。発光制御走査線BG3は、3行目の副画素49に接続された発光制御走査線BGを示し、発光制御走査線BG4は、4行目の副画素49に接続された発光制御走査線BGを示す。リセット制御走査線RG1、RG2、RG3、RG4等の各走査線も同様である。

[0033] 期間t1では、1行目に属する副画素49において、アノード電源線L1からの電流が発光制御トランジスタBCTにより遮断される。発光素子3の発光が停止するとともに、副画素49内に残留していた電荷が、リセットトランジスタRSTを通じて外部に流れる。これにより、駆動トランジスタDRTのソースがリセット電源電位Vrstに固定される。リセット電源電位Vrstは、カソード電源電位PVSSに対して所定の電位差を有して設定

される。この場合、リセット電源電位 V_{rst} とカソード電源電位 P_{VSS} との電位差は、発光素子 3 が発光を開始する電位差よりも小さい。

[0034] 次に、期間 t_2 は、駆動トランジスタ DRT のゲート初期化期間である。具体的には、期間 t_2 では、駆動回路 12 から供給される各制御信号により、初期化制御走査線 $IG1$ の電位が H レベルとなる。初期化トランジスタ IST は、オンとなる。1 行目に属する副画素 49 において、初期化トランジスタ IST を介して駆動トランジスタ DRT のゲートが初期化電位 V_{ini} に固定される。初期化電位 V_{ini} は、リセット電源電位 V_{rst} に対して、駆動トランジスタ DRT のしきい値よりも大きい電位を有している。このため、駆動トランジスタ DRT はオンとなる。ただし、期間 t_2 では、発光制御トランジスタ $BC T$ がオフの状態を維持しているので、駆動トランジスタ DRT には電流が流れない。

[0035] 次に、期間 t_3 は、オフセットキャンセル動作期間である。具体的には、期間 t_3 では、駆動回路 12 から供給される各制御信号により、発光制御走査線 $BG1$ の電位が H レベルとなり、リセット制御走査線 $RG1$ の電位が L レベルとなる。これにより、発光制御トランジスタ $BC T$ がオンとなり、リセットトランジスタ RST がオフとなる。

[0036] 駆動トランジスタ DRT は、期間 t_2 の動作によりオン状態となっている。このため、アノード電源線 $L1$ (アノード電源電位 P_{VDD}) から、発光制御トランジスタ $BC T$ を介して駆動トランジスタ DRT に電流が供給される。

[0037] この段階では、発光素子 3 のアノードとカソードとの間の電圧は、発光開始電圧よりも小さいので、電流が流れない。したがって、アノード電源電位 P_{VDD} によって駆動トランジスタ DRT のソースが充電され、ソースの電位が上昇する。駆動トランジスタ DRT のゲート電位は、初期化電位 V_{ini} となっている。このため、駆動トランジスタ DRT のソース電位が $(V_{ini} - V_{th})$ となった段階で駆動トランジスタ DRT がオフになり、電位の上昇が停止する。ここで、 V_{th} は、駆動トランジスタ DRT のしきい値

電圧 V_{th} である。

[0038] しきい値電圧 V_{th} は、副画素 49 ごとにばらつきがある。このため、電位の上昇が停止したときの駆動トランジスタ DRT のソースの電位は、副画素 49 ごとに異なる。つまり、期間 t_3 の動作によって、各副画素 49 で、駆動トランジスタ DRT のしきい値電圧 V_{th} に相当する電圧が取得される。このとき、発光素子 3 には、 $((V_{ini} - V_{th}) - PVSS)$ の電圧が印加される。この電圧は、発光素子 3 の発光開始電圧よりも小さいので、発光素子 3 には電流が流れない。

[0039] 次に、期間 t_4 は、映像信号書込動作期間である。具体的には、期間 t_4 では、駆動回路 12 から供給される各制御信号により、発光制御走査線 BG1 の電位が L レベルとなり、初期化制御走査線 IG1 の電位が L レベルとなり、書込制御走査線 SG1 が H レベルとなる。

[0040] これにより、発光制御トランジスタ BCT がオフになり、初期化トランジスタ IST がオフになり、書込トランジスタ SST がオンになる。期間 t_4 では、1 行目に属する副画素 49 において、映像信号 V_{sig} が駆動トランジスタ DRT のゲートに入力される。駆動トランジスタ DRT のゲート電位は、初期化電位 V_{ini} から映像信号 V_{sig} の電位に変化する。一方、駆動トランジスタ DRT のソースの電位は、 $(V_{ini} - V_{th})$ を維持している。この結果、駆動トランジスタ DRT のゲートとソースとの間の電圧は、 $(V_{sig} - (V_{ini} - V_{th}))$ となり、副画素 49 間のしきい値電圧 V_{th} のばらつきが反映されたものとなる。

[0041] 映像信号線 L2 は、第 2 方向 Dy (図 1 参照) に延在し、同列に属する複数行の副画素 49 に接続される。このため、映像書込動作を行う期間 t_4 は、1 行ごとに実施される。

[0042] 次に、期間 t_5 は、発光動作期間である。具体的には、期間 t_5 では、駆動回路 12 から供給される各制御信号により、発光制御走査線 BG1 の電位が H レベルとなり、書込制御走査線 SG1 が L レベルとなる。これにより、発光制御トランジスタ BCT がオンになり、書込トランジスタ SST がオフ

になる。アノード電源線L1（アノード電源電位P_{VDD}）から、発光制御トランジスタBCTを介して駆動トランジスタDRTに電流が供給される。

[0043] 駆動トランジスタDRTは、期間t₄までに設定されたゲートソース間の電圧に応じた電流を、発光素子3に供給する。発光素子3は、この電流に応じた輝度で発光する。このとき、発光素子3のアノードとカソードとの間の電圧は、駆動トランジスタDRTを通して供給された電流値に応じた電圧となる。これにより、発光素子3のアノードの電位が上昇する。ここで、駆動トランジスタDRTのゲートとソースとの間の電圧は、保持容量C_{s1}によって保持される。このため、保持容量C_{s1}のカップリングにより、発光素子3のアノードの電位上昇に伴って、駆動トランジスタDRTのゲート電位も上昇する。

[0044] 実際には、駆動トランジスタDRTのゲートには、保持容量C_{s1}に加えて容量C_{s2}等の付加容量が存在するので、アノードの電位上昇よりも、駆動トランジスタDRTのゲート電位の上昇はわずかに小さくなる。ただし、この値は既知であるため、最終的な駆動トランジスタDRTのゲートとソースとの間の電圧において、所望の電流値となるように、映像信号V_{sig}の電位を決定すればよい。

[0045] 以上の動作を1行目から最終行まで完了すると、1フレーム分の画像の表示が行われる。例えば、2行目に属する副画素49のリセット動作は、期間t₂及び期間t₃と重なる期間に実行される。2行目に属する副画素49のオフセットキャンセル動作は、期間t₃及び期間t₄と重なる期間に実行される。2行目に属する副画素49の映像信号書込動作は、期間t₅と重なる期間に行われる。以後、このような動作を繰り返して映像の表示が行われる。

[0046] なお、図4に示す動作例では、期間t₁から期間t₅において、1行分の副画素49の駆動が実施されているが、これに限定されない。駆動回路12は、2行の副画素49を同時に駆動してもよいし、3行分以上の副画素49を同時に駆動してもよい。

- [0047] なお、上述した図3に示す画素回路PICAの構成及び図4に示す動作例はあくまで一例であり、適宜変更することができる。例えば1つの副画素49での配線の数及びトランジスタの数は異なってもよい。また、画素回路PICAはカレントミラー回路等の構成を採用することもできる。
- [0048] 図5は、表示装置の起動時の動作例を示すタイミングチャートである。図5に示すように、表示装置1は、非表示期間NDPとフレーム期間1Fとの間にプレヒート期間PHを有する。非表示期間NDPは、表示装置1が画像の表示を停止した状態の期間である。非表示期間NDPは、例えば、表示装置1の電源が停止している期間や、所定の期間入力操作がない場合に、表示を停止するスリープモードの期間を含む。
- [0049] 時刻 t_{on} において、表示装置1の電源が投入され又はスリープモードからの復帰の操作が行われた場合に、駆動IC210は、プレヒート期間PHを実行する。具体的には、駆動回路12から供給される各制御信号により、各行に属するリセット制御走査線RGの電位がHレベルとなり、発熱制御走査線HGの電位がHレベルとなり、発光制御走査線BG、初期化制御走査線IG及び書込制御走査線SGの電位がLレベルとなる。
- [0050] これにより、発熱制御トランジスタHST及びリセットトランジスタRSTがオンになり、その他のトランジスタがオフになる。これにより、アノード電源線L1、発熱制御トランジスタHST、発熱抵抗体28、リセットトランジスタRST及びリセット信号線L3が導通して電流経路が形成される。このため、アノード電源線L1（アノード電源電位PVDD）から、発熱制御トランジスタHSTを介して発熱抵抗体28に電流が供給される。
- [0051] これにより、発熱抵抗体28の温度が上昇する。発熱抵抗体28は、画素回路PICAに設けられているので、発熱抵抗体28で発生する熱が発光素子3に伝えられ、発光素子3の温度が上昇する。なお、プレヒート期間PHにおいて、アノード電源線L1から供給される電位は、フレーム期間1Fに供給されるアノード電源電位PVDDと異なる電位であってもよい。これにより、表示装置1は、発熱抵抗体28に流れる電流を適切に調整して、発熱

抵抗体 28 の発熱を制御することができる。

[0052] 所定の期間、発熱抵抗体 28 に電流を供給した後、各行に属するリセット制御走査線 R G 及び発熱制御走査線 H G の電位が L レベルとなり、発光制御走査線 B G の電位が H レベルとなる。これにより、発熱抵抗体 28 への電流の供給が停止する。その後、表示装置 1 は、上述したフレーム期間 1 F の表示を実行する。

[0053] 図 5 に示す動作例では、プレヒート期間 P H において、4 行分の副画素 49 に属する発熱抵抗体 28 が同時に駆動されているが、これに限定されない。駆動回路 12 は、3 行以下、又は 5 行以上の副画素 49 に属する発熱抵抗体 28 を同時に駆動してもよいし、1 行目から最終行の副画素 49 に属する全ての発熱抵抗体 28 を同時に駆動してもよい。

[0054] 図 6 は、比較例における発光素子の輝度及び温度と、時間との関係を模式的に示すグラフである。図 6 に示すグラフの横軸は、発光素子 3 へ電流が供給された時間であり、時間 $t = 0$ は、発光素子 3 への電流の供給が開始された時間を示す。図 6 に示すグラフの縦軸は、発光素子 3 の輝度及び温度を示す。

[0055] 図 6 に示すように、比較例に係る発光素子 3 は、温度の上昇に伴って発光効率が低下する温度特性を有する。具体的には、比較例に係る発光素子 3 に電流が流れ始める時間 $t = 0$ から時間 t_{ph} までの期間において、発光素子 3 の温度が上昇すると、輝度（発光効率）が低下し、発光動作が不安定になる傾向を有する。時間 t_{ph} 以降では、発光素子 3 は一定の温度 T_s となり、輝度も安定する。

[0056] 本実施形態では、プレヒート期間 P H において、発熱抵抗体 28 によりあらかじめ発光素子 3 が加熱され、この期間には発光素子 3 には電流が流れない。例えば、図 6 に示す温度 T_s まで発光素子 3 の温度が上昇した後に、フレーム期間 1 F が開始される。これにより、表示装置 1 は、期間 t_5 （発光動作期間）において発光素子 3 に電流が流れた場合の、発光素子 3 の温度上昇を抑制することができる。つまり、発光素子 3 は、図 6 に示す時間 t_{ph}

以降の発光動作が安定になった領域で電流の供給が開始され駆動される。これにより、表示装置 1 は、発光素子 3 の温度上昇に伴う輝度（発光効率）の低下を抑制することができる。この結果、表示装置 1 は、表示特性の低下を抑制することができる。

[0057] 次に、表示装置 1 の断面構成について説明する。図 7 は、図 2 の V I I - V I I ' 断面図である。図 8 は、図 1 の V I I I - V I I I ' 断面図である。図 7 に示すように、発光素子 3 は、アレイ基板 2 の上に設けられる。アレイ基板 2 は、基板 2 1、アノード電極 2 3、対向電極 2 5、接続電極 2 6 a、発熱抵抗体 2 8（図 10 参照）、各種トランジスタ、各種配線及び各種絶縁膜を有する。

[0058] 基板 2 1 は絶縁基板であり、例えば、石英、無アルカリガラス等のガラス基板、又はポリイミド等の樹脂基板が用いられる。基板 2 1 として、可撓性を有する樹脂基板を用いた場合には、シートディスプレイとして表示装置 1 を構成することができる。また、基板 2 1 は、ポリイミドに限らず、他の樹脂材料を用いても良い。

[0059] なお、本明細書において、基板 2 1 の表面に垂直な方向において、基板 2 1 から発光素子 3 に向かう方向を「上側」又は単に「上」とする。また、発光素子 3 から基板 2 1 に向かう方向を「下側」又は単に「下」とする。

[0060] 基板 2 1 の上にアンダーコート膜 9 1 が設けられる。アンダーコート膜 9 1 は、例えば、絶縁膜 9 1 a、9 1 b、9 1 c を有する 3 層積層構造である。絶縁膜 9 1 a はシリコン酸化膜であり、絶縁膜 9 1 b はシリコン窒化膜であり、絶縁膜 9 1 c はシリコン酸化膜である。下層の絶縁膜 9 1 a は、基板 2 1 とアンダーコート膜 9 1 との密着性向上のために設けられる。中層の絶縁膜 9 1 b は、外部からの水分及び不純物のブロック膜として設けられる。上層の絶縁膜 9 1 c は、絶縁膜 9 1 b のシリコン窒化膜中に含有する水素原子が半導体層 6 1 側に拡散しないようにするブロック膜として設けられる。

[0061] アンダーコート膜 9 1 の構成は、図 7 に示すものに限定されない。例えば、アンダーコート膜 9 1 は、単層膜あるいは 2 層積層膜であってもよく、4

層以上積層されていてもよい。また、基板 2 1 がガラス基板である場合、シリコン窒化膜は比較的密着性が良いため、基板 2 1 上に直接シリコン窒化膜を形成してもよい。

[0062] 遮光膜 6 5 は、絶縁膜 9 1 a の上に設けられる。遮光膜 6 5 は、半導体層 6 1 と基板 2 1 との間に設けられる。遮光膜 6 5 により、半導体層 6 1 のチャネル領域 6 1 a への基板 2 1 側からの光の侵入を抑制することができる。あるいは、遮光膜 6 5 を導電性材料で形成して、所定の電位を与えることで、駆動トランジスタ D R T へのバックゲート効果を与えることができる。なお、遮光膜 6 5 は、基板 2 1 上に設けられ、遮光膜 6 5 を覆って絶縁膜 9 1 a が設けられていてもよい。

[0063] 駆動トランジスタ D R T は、アンダーコート膜 9 1 の上に設けられる。なお、図 7 では、複数のトランジスタのうち、駆動トランジスタ D R T を示しているが、画素回路 P I C A に含まれる発光制御トランジスタ B C T、初期化トランジスタ I S T、書込トランジスタ S S T、リセットトランジスタ R S T 及び発熱制御トランジスタ H S T も、駆動トランジスタ D R T と同様の積層構造を有する。

[0064] 駆動トランジスタ D R T は、半導体層 6 1、ソース電極 6 2、ドレイン電極 6 3 及びゲート電極 6 4 を有する。半導体層 6 1 は、アンダーコート膜 9 1 の上に設けられる。半導体層 6 1 は、例えば、ポリシリコンが用いられる。ただし、半導体層 6 1 は、これに限定されず、微結晶酸化物半導体、アモルファス酸化物半導体、低温ポリシリコン等であってもよい。駆動トランジスタ D R T として、n 型 T F T のみ示しているが、p 型 T F T を同時に形成しても良い。n 型 T F T では、半導体層 6 1 は、チャネル領域 6 1 a、ソース領域 6 1 b、ドレイン領域 6 1 c 及び低濃度不純物領域 6 1 d を有する。低濃度不純物領域 6 1 d は、チャネル領域 6 1 a とソース領域 6 1 b との間に設けられ、また、チャネル領域 6 1 a とドレイン領域 6 1 c との間に設けられる。

[0065] ゲート絶縁膜 9 2 は、半導体層 6 1 を覆ってアンダーコート膜 9 1 の上に

設けられる。ゲート絶縁膜 92 は、例えばシリコン酸化膜である。ゲート電極 64 は、ゲート絶縁膜 92 の上に設けられる。また、ゲート電極 64 と同層に第 1 配線 66 が設けられる。ゲート電極 64 及び第 1 配線 66 は、例えば、モリブデンタングステン (MoW) が用いられる。図 7 に示す例では、駆動トランジスタ DRT は、ゲート電極 64 が半導体層 61 の上側に設けられたトップゲート構造である。ただし、これに限定されず、駆動トランジスタ DRT は、半導体層 61 の下側にゲート電極 64 が設けられたボトムゲート構造でもよく、半導体層 61 の上側及び下側の両方にゲート電極 64 が設けられたデュアルゲート構造でもよい。

[0066] 層間絶縁膜 93 は、ゲート電極 64 を覆ってゲート絶縁膜 92 の上に設けられる。層間絶縁膜 93 は、例えば、シリコン窒化膜とシリコン酸化膜との積層構造を有する。ソース電極 62 及びドレイン電極 63 は、層間絶縁膜 93 の上に設けられる。ソース電極 62 は、ゲート絶縁膜 92 及び層間絶縁膜 93 に設けられたコンタクトホールを介して、ソース領域 61b に接続される。ドレイン電極 63 は、ゲート絶縁膜 92 及び層間絶縁膜 93 に設けられたコンタクトホールを介して、ドレイン領域 61c に接続される。ソース電極 62 には、引き回し配線となる第 2 配線 67 が接続される。ソース電極 62、ドレイン電極 63 及び第 2 配線 67 は、例えば、チタン (Ti)、アルミニウム (Al)、チタン (Ti) の 3 層積層構造を採用することができる。

[0067] 第 2 配線 67 の一部は、第 1 配線 66 と重なる領域に形成される。層間絶縁膜 93 を介して対向する第 1 配線 66 と第 2 配線 67 とで、保持容量 C_s1 が形成される。また、第 1 配線 66 は、半導体層 61 の一部と重なる領域に形成される。保持容量 C_s1 は、ゲート絶縁膜 92 を介して対向する半導体層 61 と第 1 配線 66 とで形成される容量も含む。

[0068] 平坦化膜 94 は、駆動トランジスタ DRT 及び第 2 配線 67 を覆って層間絶縁膜 93 の上に設けられる。平坦化膜 94 としては感光性アクリル等の有機材料が用いられる。感光性アクリル等の有機材料は、CVD 等により形成

される無機絶縁材料に比べ、配線段差のカバレッジ性や、表面の平坦性に優れる。

[0069] 平坦化膜 94 の上に、対向電極 25、容量絶縁膜 95、アノード電極 23、アノード電極絶縁膜 96 の順に積層される。対向電極 25 は、例えば ITO (Indium Tin Oxide) 等の透光性を有する導電性材料で構成される。対向電極 25 と同層に接続電極 26a が設けられる。接続電極 26a は、平坦化膜 94 に設けられたコンタクトホール H1 の内部を覆って設けられ、コンタクトホール H1 の底部で第 2 配線 67 と接続される。

[0070] 容量絶縁膜 95 は、対向電極 25 及び接続電極 26a を覆って設けられ、コンタクトホール H1 と重なる領域に開口を有する。容量絶縁膜 95 は、例えば、シリコン窒化膜である。アノード電極 23 は、容量絶縁膜 95 を介して対向電極 25 と対向する。アノード電極 23 は、コンタクトホール H1 を介して接続電極 26a 及び第 2 配線 67 と電氣的に接続される。これにより、アノード電極 23 は、駆動トランジスタ DRT と電氣的に接続される。アノード電極 23 は、モリブデン (Mo)、アルミニウム (Al) の積層構造としている。ただし、これに限定されず、アノード電極 23 は、モリブデン、チタンの金属のいずれか 1 つ以上を含む材料であってもよい。又は、アノード電極 23 は、モリブデン、チタンのいずれか 1 つ以上を含む合金、又は透光性導電材料であってもよい。

[0071] 容量絶縁膜 95 を介して対向するアノード電極 23 と対向電極 25 との間に容量 Cs2 が形成される。また、ITO で形成される対向電極 25 は、アノード電極 23 を形成する工程において、第 2 配線 67 等の各種配線を保護するためのバリア膜としての機能も有する。ところで、アノード電極 23 のパターニング時、一部において対向電極 25 がエッチング環境にさらされるが、対向電極 25 の形成からアノード電極 23 の形成までの間に行われるアニール処理によって、対向電極 25 はアノード電極 23 のエッチングに対し十分な耐性を有する。

[0072] アノード電極絶縁膜 96 は、アノード電極 23 を覆って設けられる。アノ

ード電極絶縁膜 96 は、例えばシリコン窒化膜である。アノード電極絶縁膜 96 は、アノード電極 23 の周縁部を覆っており、隣り合う副画素 49 のアノード電極 23 を絶縁する。

[0073] アノード電極絶縁膜 96 は、アノード電極 23 と重なる位置に、発光素子 3 を実装するための開口 OP を有する。開口 OP の大きさは、発光素子 3 の実装工程における実装ズレ量等を考慮し、発光素子 3 よりも大きい面積の開口とする。すなわち、基板 21 に垂直な方向からの平面視で、アノード電極 23 の面積は、発光素子 3 の面積よりも大きい。さらに、発光素子 3 は、少なくとも 2 つの端子（アノード端子 33 及びカソード端子 32）を有し、基板 21 に垂直な方向からの平面視で、アノード電極 23 の面積は、少なくとも 2 つの端子（アノード端子 33 及びカソード端子 32）の一方の面積よりも大きい。例えば発光素子 3 が平面視で、 $10\mu\text{m} \times 10\mu\text{m}$ 程度の実装面積である場合、開口 OP の面積として、 $20\mu\text{m} \times 20\mu\text{m}$ 程度は確保されることが好ましい。

[0074] 発光素子 3R、3G、3B は、それぞれに対応するアノード電極 23 に実装される。各発光素子 3 は、アノード端子 33 がアノード電極 23 に接するように実装される。発光素子 3 は、半導体層 31、カソード端子 32 及びアノード端子 33 を有する。半導体層 31 は、n 型クラッド層、活性層及び p 型クラッド層が積層された構成を採用することができる。

[0075] 半導体層 31 は、例えば、窒化ガリウム（GaN）、アルミニウムインジウム燐（AlInP）等の化合物半導体が用いられる。半導体層 31 は、発光素子 3R、3G、3B ごとに異なる材料が用いられてもよい。また、活性層として、高効率化のために数原子層からなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造（MQW 構造）が採用されてもよい。また、発光素子 3 として、半導体基板上に半導体層 31 が形成された構成でもよい。あるいは、発光素子 3 単体がアレイ基板 2 に実装される構成に限定されず、発光素子 3 を含む LED チップがアレイ基板 2 に実装される構成であってもよい。LED チップは、例えば、発光素子基板と、発光素子基板に設けられ

た発光素子 3 と、発光素子基板に設けられ、発光素子 3 を駆動する回路素子群とを有し、発光素子基板、発光素子 3 及び回路素子群が 1 チップに集積された構成が挙げられる。

[0076] 複数の発光素子 3 の間に素子絶縁膜 9 7 が設けられる。素子絶縁膜 9 7 は樹脂材料で形成される。素子絶縁膜 9 7 は、発光素子 3 の側面を覆っており、発光素子 3 のカソード端子 3 2 は、素子絶縁膜 9 7 から露出する。素子絶縁膜 9 7 の上面と、カソード端子 3 2 の上面とが同一面を形成するように、素子絶縁膜 9 7 は平坦に形成される。ただし、素子絶縁膜 9 7 の上面の位置は、カソード端子 3 2 の上面の位置と異なってもよい。

[0077] カソード電極 2 2 は、複数の発光素子 3 及び素子絶縁膜 9 7 を覆って、複数の発光素子 3 に電氣的に接続される。より具体的には、カソード電極 2 2 は、素子絶縁膜 9 7 の上面と、カソード端子 3 2 の上面とに亘って設けられる。カソード電極 2 2 は、例えば ITO 等の透光性を有する導電性材料が用いられる。これにより、発光素子 3 からの出射光を効率よく外部に取り出すことができる。カソード電極 2 2 は、表示領域 A A に実装された複数の発光素子 3 のカソード端子 3 2 と電氣的に接続される。

[0078] 図 8 に示すように、カソード電極 2 2 は、表示領域 A A の外側に設けられた陰極コンタクト部（コンタクトホール H 2）で、アレイ基板 2 側に設けられたカソード配線 6 0 と接続される。なお、図 8 では、周辺領域 G A の断面構成と、表示領域 A A の断面構成との対応関係を分かりやすくするために、周辺領域 G A と表示領域 A A とを併せて示している。

[0079] 図 8 に示すように、表示装置 1 は、周辺領域 G A において、端子部 2 7、折曲領域 F A 及び陰極コンタクト部（コンタクトホール H 2）を有する。端子部 2 7 は、駆動 IC 2 1 0 又はフレキシブルプリント基板等の配線基板と接続される端子である。折曲領域 F A は、アレイ基板 2 のうち、端子部 2 7 側の周辺領域 G A を折り曲げるため領域である。なお、折曲領域 F A が設けられる場合には、基板 2 1 として可撓性を有する樹脂材料が用いられる。

[0080] 具体的には、アンダーコート膜 9 1、ゲート絶縁膜 9 2 及び層間絶縁膜 9

3は、表示領域A Aから周辺領域G Aに亘って、基板2 1の端部まで設けられている。アンダーコート膜9 1、ゲート絶縁膜9 2及び層間絶縁膜9 3は、折曲領域F Aで除去される。アンダーコート膜9 1、ゲート絶縁膜9 2及び層間絶縁膜9 3は、折曲領域F Aにおいて、エッチングにより除去される。この場合、ポリイミド等の樹脂材料で構成される基板2 1の表面が一部エッチングにより浸食されて凹部が形成される場合がある。

[0081] カソード配線6 0は、層間絶縁膜9 3の上に設けられる。つまり、カソード配線6 0は、ソース電極6 2、ドレイン電極6 3及び第2配線6 7と同層に設けられ、同じ材料で形成される。カソード配線6 0は、折曲領域F Aに跨がって設けられ、アンダーコート膜9 1、ゲート絶縁膜9 2及び層間絶縁膜9 3と、基板2 1とで形成される段差に沿って設けられる。また、カソード配線6 0は、折曲領域F Aにおいて基板2 1の上に設けられ、折曲領域F Aと基板2 1の端部との間において、層間絶縁膜9 3の上に設けられる。

[0082] 平坦化膜9 4は、周辺領域G Aの、折曲領域F A及び折曲領域F Aと基板2 1の端部との間の領域で除去される。平坦化膜9 4には、折曲領域F Aと表示領域A Aとの間の領域にコンタクトホールH 2が設けられる。カソード配線6 0はコンタクトホールH 2の底面に露出する、また、素子絶縁膜9 7の厚さは、表示領域A Aの周縁部から周辺領域G Aに向かって、薄くなるように設けられる。カソード電極2 2は、コンタクトホールH 2の内部に設けられた接続電極2 6 bを介して、カソード配線6 0と電氣的に接続される。接続電極2 6 bは、対向電極2 5及び接続電極2 6 aと同層に設けられ、対向電極2 5及び接続電極2 6 aと同じ材料で形成される。

[0083] また、端子部2 7は、折曲領域F Aと基板2 1の端部との間の領域で、カソード配線6 0の上に設けられる。容量絶縁膜9 5は、端子部2 7を覆って設けられ、端子部2 7と重なる領域に開口を有する。

[0084] 以上のように、表示素子として発光素子3を用いた表示装置1が構成される。なお、表示装置1は、必要に応じて、カソード電極2 2の上側に、カバーガラスやタッチパネル等を設けてもよい。また、この場合、表示装置1と

カバーガラス等の部材との間に、樹脂などを用いた充填材が設けられていてもよい。また、表示装置 1 において、発光素子 3 の上部でカソード電極 2 2 に接続されるフェースアップ構造に限定されず、発光素子 3 の下部が、アノード電極 2 3 及びカソード電極 2 2 に接続される、いわゆるフェースダウン構造であってもよい。

[0085] 次に、副画素 4 9 及び発熱抵抗体 2 8 の詳細な構成について説明する。図 9 は、第 1 実施形態に係る表示装置の、1 つの副画素を拡大して示す平面図である。図 10 は、図 9 の X-X' 断面図である。なお、図 9 では、図面を見やすくするために、発光素子 3 を省略して示す。また、図 9 では、アノード電極 2 3 を二点鎖線で示し、アノード電源線 L 1、映像信号線 L 2、リセット信号線 L 3、初期化信号線 L 4、接続配線 L 5、L 6 及び発熱抵抗体 2 8 に斜線を付けて示している。また、各トランジスタが有する半導体層 6 1、7 1、7 6、7 7、7 8、7 9 を点線で示している。

[0086] 図 9 に示すように、アノード電源線 L 1、映像信号線 L 2 及び初期化信号線 L 4 は、第 2 方向 D y に延在する。リセット信号線 L 3 はアノード電源線 L 1 と映像信号線 L 2 との間に設けられる。なお、リセット信号線 L 3 は、図面を見やすくするために簡略化して示しているが、アノード電源線 L 1 等と同様に第 2 方向 D y に延在して設けられる。

[0087] リセット制御走査線 R G、発光制御走査線 B G、書込制御走査線 S G、初期化制御走査線 I G 及び発熱制御走査線 H G は、それぞれ、第 1 方向 D x に延在し、平面視で、アノード電源線 L 1 及び映像信号線 L 2 とそれぞれ交差する。接続配線 L 5 は、駆動トランジスタ D R T、初期化トランジスタ I S T 及び書込トランジスタ S S T を接続する。接続配線 L 6 は、発熱抵抗体 2 8 と、発熱制御トランジスタ H S T とを接続する。

[0088] 駆動トランジスタ D R T を構成する半導体層 6 1、ソース電極 6 2（第 2 配線 6 7）、ゲート電極 6 4（第 1 配線 6 6）は、アノード電源線 L 1、映像信号線 L 2、発光制御走査線 B G 及び書込制御走査線 S G で囲まれた領域に設けられる。半導体層 6 1 は、ゲート電極 6 4（第 1 配線 6 6）と重なら

ない部分で、コンタクトホールH3を介してソース電極62（第2配線67）と接続される。アノード電極23及び対向電極25は、駆動トランジスタDRTと重なる領域に設けられる。対向電極25は、カソード電源線L10に接続され、カソード電源電位PVSSが供給される。これにより、対向電極25は、アレイ基板2の各トランジスタ及び各種配線と、アノード電極23及び発光素子3との間をシールドすることができる。

[0089] アノード電極23は、駆動トランジスタDRTと重ならない領域まで延在し、アノード電極23の一部が発熱抵抗体28の一端側28e1と重なる。発熱抵抗体28は、平面視でミアンダ状の配線パターンを有し、全体として、アノード電源線L1に沿って第2方向Dyに延在する。発熱抵抗体28の一端側28e1は、コンタクトホールH4を介してアノード電極23と接続される。また、発熱抵抗体28の他端側28e2は、コンタクトホールH5を介して接続配線L6と接続される。

[0090] 発熱制御トランジスタHSTは、半導体層71、ソース電極72、ドレイン電極73及びゲート電極74を有する。半導体層71は、第2方向Dyに延在し、発熱制御走査線HGと平面視で交差する。半導体層71のうち、発熱制御走査線HGと重なる領域にチャネル領域が形成される。発熱制御走査線HGのうち半導体層71と重なる部分が、発熱制御トランジスタHSTのゲート電極74として機能する。半導体層71の一端側は、アノード電源線接続部L1bと接続される。半導体層71の他端側は、接続配線L6と接続される。アノード電源線接続部L1bは、アノード電源線L1から第1方向Dxに分岐された部分である。アノード電源線接続部L1b及び接続配線L6の一部が、それぞれソース電極72及びドレイン電極73として機能する。

[0091] このような構成により、発熱抵抗体28の一端側28e1がアノード電極23に電氣的に接続され、発熱抵抗体28の他端側28e2が発熱制御トランジスタHSTを介してアノード電源線L1に電氣的に接続される。

[0092] 発光制御トランジスタBCTは、半導体層76を有する。半導体層76は

駆動トランジスタDRTの半導体層61と接続されており、発光制御走査線BGと平面視で交差する。半導体層76の一端側は、アノード電源線接続部L1aと電氣的に接続される。アノード電源線接続部L1aは、アノード電源線L1から第1方向Dxに分岐された部分である。これにより、駆動トランジスタDRT及び発光制御トランジスタBCTには、アノード電源線L1に電氣的に接続される。

[0093] リセットトランジスタRSTは、半導体層77を有する。半導体層77の一端側は、リセット信号線L3と接続され、半導体層77の他端側は、駆動トランジスタDRTの半導体層61と接続される。半導体層77は、第2方向Dyに延在し、平面視で発光制御走査線BG及びリセット制御走査線RGと交差する。半導体層77の、リセット制御走査線RGと重なる部分にチャネル領域が形成される。

[0094] 半導体層77及び半導体層76は、半導体層61と接続されているので、図3の回路図に示す、駆動トランジスタDRT、発光制御トランジスタBCT及びリセットトランジスタRSTの接続構成が実現される。

[0095] 書込トランジスタSSTは半導体層78を有する。半導体層78の一端側は、映像信号線接続部L2aと接続される。映像信号線接続部L2aは、映像信号線L2から第1方向Dxに分岐された部分である。半導体層78の他端側は、接続配線L5と接続される。半導体層78は、第1方向Dxに延在し、平面視で分岐部SGaと交差する。分岐部SGaは、書込制御走査線SGから第2方向Dyに分岐された部分である。

[0096] 初期化トランジスタISTは半導体層79を有する。半導体層79の一端側は、初期化信号線L4と接続される。半導体層79の他端側は、接続配線L5と接続される。半導体層79は、第2方向Dyに延在し、平面視で初期化制御走査線IGと交差する。

[0097] 図10に示すように、発熱抵抗体28は、平坦化膜94の上に設けられる。発熱抵抗体28は、対向電極25と同層に設けられ、基板21に垂直な方向において、映像信号線L2、発熱抵抗体28、アノード電極23の順に積

層される。発熱抵抗体 28 は、対向電極 25 と同じ材料、すなわち ITO 等の透光性を有する導電性材料で構成される。発熱抵抗体 28 は、アノード電極 23 よりも高いシート抵抗値を有し、発熱抵抗体 28 に電流が流れた場合に、電気エネルギーが良好に熱に変換される。なお、発熱抵抗体 28 は、ITO に限定されず、 In_2O_3 に Ge、Mo、F、Ti、Zr、Hf、Nb、Ta、W、あるいは Te をドープした透光性導電膜、ZnO に Al、Ga、B、In、Y、Sc、F、V、Si、Ge、Ti、Zr、あるいは Hf をドープした透光性導電膜、 SnO_2 に Sb、F、As、Nb、あるいは Ta をドープした透光性導電膜であってもよい。又は、発熱抵抗体 28 は、モリブデン (Mo) 若しくは Mo 合金、タングステン (W) 若しくは W 合金、又はチタン (Ti) 若しくは Ti 合金等の高融点材料で形成されてもよい。

[0098] また、発熱抵抗体 28 は、容量絶縁膜 95 を介してアノード電極 23 と異なる層に設けられ、容量絶縁膜 95 に設けられたコンタクトホール H4 を介してアノード電極 23 と接続される。これにより、発熱抵抗体 28 で発生した熱が、コンタクトホール H4 及びアノード電極 23 を経由して発光素子 3 に良好に伝わる。また、アノード電極 23 は、発熱抵抗体 28 よりも、平面視での面積が大きく、熱伝導率が高い。このため、コンタクトホール H4 の周囲の、アノード電極 23 と発熱抵抗体 28 との重畳部分でも、発熱抵抗体 28 で発生した熱がアノード電極 23 に伝わる。

[0099] 発熱制御トランジスタ HST の積層構造は、図 7 に示した駆動トランジスタ DRT と同様であり、詳細な説明は省略する。ソース電極 72 (アノード電源線接続部 L1b) 及びドレイン電極 73 (接続配線 L6)、アノード電源線 L1 及び映像信号線 L2 は、駆動トランジスタ DRT のソース電極 62 (第 2 配線 67) 及びドレイン電極 63 と同層に設けられる。なお、図 10 では図示されないが、リセット信号線 L3、初期化信号線 L4 及び接続配線 L5 もアノード電源線 L1 等と同層に設けられる。

[0100] 発熱制御走査線 HG、初期化制御走査線 IG 及び書込制御走査線 SG は、ゲート電極 64 (第 1 配線 66) と同層に設けられる。なお、図 10 では図

示されないが、発光制御走査線BG及びリセット制御走査線RGも発熱制御走査線HG等と同層に設けられる。

[0101] 発熱制御トランジスタHSTの半導体層71及び各トランジスタが有する半導体層76、77、78、79は、駆動トランジスタDRTの半導体層61と同層に設けられる。ただし、発熱制御トランジスタHSTの半導体層71、ソース電極72（アノード電源線接続部L1b）及びドレイン電極73及びゲート電極74は、それぞれ駆動トランジスタDRTと異なる層に設けられていてもよい。

[0102] 図11は、第1副画素が有する第1発熱抵抗体、第2副画素が有する第2発熱抵抗体及び第3副画素が有する第3発熱抵抗体を比較して説明するための説明図である。図11に示すように、第1副画素49Rは第1発熱抵抗体28Rを有する。第2副画素49Gは第2発熱抵抗体28Gを有する。第3副画素49Bは第3発熱抵抗体28Bを有する。図11では、第1発熱抵抗体28R、第2発熱抵抗体28G及び第3発熱抵抗体28Bを模式的に並べて示している。

[0103] 第1発熱抵抗体28R、第2発熱抵抗体28G及び第3発熱抵抗体28Bは、それぞれ、複数の第1部分28aと、複数の第2部分28bとを有する。複数の第1部分28aは、それぞれ第1方向Dxに延在し、第2方向Dyに配列される。第2部分28bは、第2方向Dyに隣り合う2つの第1部分28aの同じ側の端部を接続する。複数の第1部分28aと複数の第2部分28bとが接続されてミアンダ状の配線パターンが形成される。

[0104] 第1発熱抵抗体28R、第2発熱抵抗体28G及び第3発熱抵抗体28Bは、配線パターンの配線長が異なる。第1発熱抵抗体28R、第2発熱抵抗体28G、第3発熱抵抗体28Bの順に配線長が長い。ここで、各発熱抵抗体28の配線長は、配線パターンに沿った合計の長さである。つまり、各発熱抵抗体28の配線長は、複数の第1部分28aの配線長W1と、複数の第2部分28bの配線長W2との合計の長さである。

[0105] これにより、第1発熱抵抗体28R、第2発熱抵抗体28G及び第3発熱

抵抗体 28 B は、異なる抵抗値を有する。具体的には、第 1 発熱抵抗体 28 R の抵抗値は、第 2 発熱抵抗体 28 G の抵抗値及び第 3 発熱抵抗体 28 B の抵抗値よりも小さい。また、第 2 発熱抵抗体 28 G の抵抗値は、第 3 発熱抵抗体 28 B の抵抗値よりも小さい。

[0106] これにより、第 1 発熱抵抗体 28 R に流れる電流が、第 2 発熱抵抗体 28 G 及び第 3 発熱抵抗体 28 B よりも大きくなり、第 1 発熱抵抗体 28 R の発熱量が大きくなる。これにより、各副画素 49 が有する発光素子 3 R の発光効率が、発光素子 3 G、発光素子 3 B よりも小さい場合であっても、第 1 発熱抵抗体 28 R により発光素子 3 R を良好に加熱することで、発光素子 3 R を安定して発光させることができる。

[0107] なお、図 11 では、第 1 発熱抵抗体 28 R、第 2 発熱抵抗体 28 G 及び第 3 発熱抵抗体 28 B の第 2 方向 D_y の長さを異ならせる例を示したが、他の構成で抵抗値を異ならせてもよい。例えば、第 2 方向 D_y の長さ、つまり第 1 部分 28 a 及び第 2 部分 28 b の配線長 W₁、W₂ を異ならせてもよく、第 1 部分 28 a 及び第 2 部分 28 b のそれぞれの配線幅を異ならせてもよい。あるいは、第 1 発熱抵抗体 28 R、第 2 発熱抵抗体 28 G 及び第 3 発熱抵抗体 28 B としてそれぞれ異なる材料を用いてもよい。

[0108] なお、図 11 に示した各発熱抵抗体 28 の配線パターンはあくまで一例であり、異なる配線パターンであってもよい。第 1 発熱抵抗体 28 R、第 2 発熱抵抗体 28 G 及び第 3 発熱抵抗体 28 B は、同じ配線パターンで形成され、同じ抵抗値を有していてもよい。また、第 1 副画素 49 R、第 2 副画素 49 G 及び第 3 副画素 49 B の全てが、発熱抵抗体 28 を有する構成に限定されない。少なくとも第 1 副画素 49 R が第 1 発熱抵抗体 28 R を有し、第 2 副画素 49 G 及び第 3 副画素 49 B の少なくとも一方が発熱抵抗体 28 を有さない構成を採用することもできる。

[0109] (第 2 実施形態)

図 12 は、第 2 実施形態に係る画素回路を示す回路図である。なお、以下の説明においては、上述した実施形態で説明したものと同一構成要素には同

一の符号を付して重複する説明は省略する。

[0110] 図12に示すように、第2実施形態に係る画素回路PICAは、第1実施形態に比べて、抵抗体信号線L7を有する構成が異なる。抵抗体信号線L7には、駆動IC210から、抵抗体駆動信号Vprehtが供給される。発熱抵抗体28の他端側28e2は、発熱制御トランジスタHSTを介して抵抗体信号線L7に接続される。発熱抵抗体28の一端側28e1は、第1実施形態と同様にアノード電極23に接続される。

[0111] 各トランジスタの動作は、図5に示すプレヒート期間PHと同様であり、発熱制御トランジスタHST及びリセットトランジスタRSTがオンになり、その他のトランジスタがオフになる。これにより、抵抗体信号線L7、発熱制御トランジスタHST、発熱抵抗体28、リセットトランジスタRST及びリセット信号線L3が導通して電流経路が形成される。発熱抵抗体28には、抵抗体信号線L7から供給される抵抗体駆動信号Vprehtに応じて電流が流れる。

[0112] 本実施形態では、発熱抵抗体28に供給される電位が、アノード電源線L1（アノード電源電位PVDD）から独立して制御される。このため、表示装置1の表示期間に、発熱抵抗体28の発熱を制御することも可能である。

[0113] （第3実施形態）

図13は、第3実施形態に係る画素回路を示す回路図である。図13に示すように、第3実施形態に係る画素回路PICAは、第1実施形態に比べて、発熱抵抗体28の一端側28e1が、カソード電極22に電氣的に接続される構成が異なる。発熱抵抗体28の他端側28e2は、第1実施形態と同様に、発熱制御トランジスタHSTを介してアノード電源線L1に電氣的に接続される。

[0114] 第3実施形態では、図5に示すプレヒート期間PHにおいて、発熱制御トランジスタHSTがオンになり、その他のトランジスタがオフになる。これにより、アノード電源線L1、発熱制御トランジスタHST、発熱抵抗体28及びカソード電源線L10が導通して電流経路が形成される。発熱抵抗体

28には、アノード電源線L1（アノード電源電位PVDD）から電流が流れる。

[0115] 第3実施形態では、プレヒート期間PHにおいて、発熱制御トランジスタHSTのオン、オフの切り換えのみで発熱抵抗体28の発熱が制御できるので、プレヒート期間PHでの画素回路PICAの駆動を簡易にできる。なお、第3実施形態では、発熱抵抗体28の一端側28e1がアノード電極23に接続されていない。この場合であっても、図9及び図10と同様に、アノード電極23の一部が発熱抵抗体28と重なって設けられる構成とすることで、発熱抵抗体28で発生した熱を、アノード電極23に効率よく伝えることができる。

[0116] なお、本実施形態の構成は第2実施形態にも適用できる。すなわち、図12に示す画素回路PICAにおいて、抵抗体信号線L7、発熱制御トランジスタHST、発熱抵抗体28及びカソード電源線L10が導通して電流経路が形成される構成も採用できる。

[0117] （第4実施形態）

図14は、第4実施形態に係る、温度センサを有する画素を示す平面図である。図15は、温度センサの一例を説明するための説明図である。図14に示すように、表示装置1Aは、画素Pixに温度センサ8及び温度センサ回路81を有する。温度センサ8は、例えばpn接合ダイオードを用いることができる。温度センサ回路81は、温度センサ8を駆動するための回路である。温度センサ回路81は、複数のトランジスタ等の回路素子を備え、温度センサ8への駆動信号の供給を制御する。

[0118] 図15に示すように、温度センサ8は、センサアノード電源線SL1及びセンサカソード電源線SL10に接続され、センサアノード電源線SL1及びセンサカソード電源線SL10から順バイアス電圧信号が印加される。温度センサ回路81は、温度センサ8に一定の順方向電流Ifが流れるように制御する。

[0119] 検出回路211は、温度センサ8から、出力信号としてアノードとカソー

ドとの間の出力電圧 V_f を受け取る。検出回路211は、駆動IC210に設けられていてもよいし、駆動IC210とは別のICとして設けられていてもよい。検出回路211は、pn接合ダイオードの出力電圧 V_f の温度依存性に基づいて画素 P_{ix} の温度を検出することができる。駆動IC210は、画素 P_{ix} の温度の情報に基づいて、プレヒート期間PHにおいて、発熱抵抗体28に流れる電流値又は発熱制御トランジスタHSTのオン時間を適切に制御することができる。

[0120] なお、温度センサ回路81は、温度センサ8に一定の逆バイアス電圧信号を印加してもよい。検出回路211は、温度センサ8の出力信号として逆バイアス電流値を受け取って、逆バイアス電流値の温度依存性に基づいて温度を検出してもよい。また、温度センサ8は、各画素 P_{ix} に設けられていてもよいし、複数の画素 P_{ix} に対して1つの温度センサ8が設けられていてもよい。また、温度センサ8は各副画素49の画素回路PICAに設けられていてもよい。この場合、温度センサ8は、画素回路PICAに設けられたトランジスタの一部をセンサとして共用してもよい。又は、温度センサ8は、発光素子3を逆バイアス駆動することでセンサとして共用してもよい。

[0121] これまでの説明において、アノード端子33、カソード端子32として表記してきた部分においては、発光素子3の接続方向、及び電圧の印加方向によっては明細書中の記載に限定するものではなく、逆転していても良い。また、図7、図8においては、発光素子3の一方の電極が下側に、他方の電極が上側にある構成を示しているが、その両方が下側、つまりアレイ基板2に対面する側に有る構成であっても良い。

[0122] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つ

を行うことができる。

符号の説明

- [0123] 1、1 A 表示装置
- 2 アレイ基板
- 3、3 R、3 G、3 B 発光素子
- 8 温度センサ
- 1 2 駆動回路
- 2 1 基板
- 2 2 カソード電極
- 2 3 アノード電極
- 2 7 端子部
- 2 8 発熱抵抗体
- 2 8 R 第1発熱抵抗体
- 2 8 G 第2発熱抵抗体
- 2 8 B 第3発熱抵抗体
- 2 8 e 1 一端側
- 2 8 e 2 他端側
- 3 1 半導体層
- 3 2 カソード端子
- 3 3 アノード端子
- 4 9 副画素
- 6 0 カソード配線
- 2 1 0 駆動IC
- D R T 駆動トランジスタ
- B C T 発光制御トランジスタ
- I S T 初期化トランジスタ
- S S T 書込トランジスタ
- R S T リセットトランジスタ

H S T 発熱制御トランジスタ

B G 発光制御走査線

H G 発熱制御走査線

I G 初期化制御走査線

R G リセット制御走査線

S G 書込制御走査線

L 1 アノード電源線

L 1 0 カソード電源線

P i x 画素

P I C A 画素回路

請求の範囲

- [請求項1] 基板と、
前記基板に設けられた複数の画素と、
複数の前記画素の各々に設けられる発光素子と、
前記基板に設けられ、前記発光素子と電氣的に接続される第1電極と、
前記基板に設けられ、前記発光素子に駆動信号を供給する画素回路と、
前記画素回路に設けられた発熱抵抗体と、を有する表示装置。
- [請求項2] 前記発熱抵抗体の一端側は前記第1電極に電氣的に接続される請求項1に記載の表示装置。
- [請求項3] 前記基板に設けられ、前記発光素子と電氣的に接続される第2電極と、
前記第2電極を介して、第2電位を前記発光素子に供給する第2電源線と、を有し、
前記発熱抵抗体の一端側は前記第2電極に電氣的に接続される請求項1に記載の表示装置。
- [請求項4] 前記画素回路は、前記第1電極を介して、前記発光素子に第1電位を供給する第1電源線を有し、
前記発熱抵抗体の他端側は前記第1電源線に電氣的に接続される請求項2又は請求項3に記載の表示装置。
- [請求項5] 前記画素回路は、前記発熱抵抗体に抵抗体駆動信号を供給する抵抗体信号線を有し、
前記発熱抵抗体の他端側は前記抵抗体信号線に電氣的に接続される請求項2又は請求項3に記載の表示装置。
- [請求項6] 前記第1電極の少なくとも一部は、前記基板に垂直な方向からの平面視で、前記発熱抵抗体と重なって設けられる

請求項 1 から請求項 5 のいずれか 1 項に記載の表示装置。

- [請求項7] 複数の前記発光素子の間に設けられ、複数の前記発光素子の少なくとも側面の一部を覆う素子絶縁膜を有し、
前記第 2 電極は、複数の前記発光素子及び前記素子絶縁膜を覆って、複数の前記発光素子に電氣的に接続される
請求項 3 に記載の表示装置。

- [請求項8] 前記発熱抵抗体は、絶縁膜を介して前記第 1 電極と異なる層に設けられ、前記絶縁膜に設けられたコンタクトホールを介して前記第 1 電極と接続される

請求項 1 から請求項 7 のいずれか 1 項に記載の表示装置。

- [請求項9] 前記第 1 電極と電氣的に接続されるトランジスタと、
前記トランジスタに映像信号を供給する信号線と、を有し、
前記基板に垂直な方向において、前記信号線、前記発熱抵抗体、前記第 1 電極の順に積層される

請求項 1 から請求項 8 のいずれか 1 項に記載の表示装置。

- [請求項10] 前記画素は、赤色を表示する第 1 副画素と、緑色を表示する第 2 副画素と、青色を表示する第 3 副画素とを含み、

前記第 1 副画素が有する第 1 発熱抵抗体の抵抗値は、前記第 2 副画素が有する第 2 発熱抵抗体の抵抗値及び前記第 3 副画素が有する第 3 発熱抵抗体の抵抗値よりも小さい

請求項 1 から請求項 9 のいずれか 1 項に記載の表示装置。

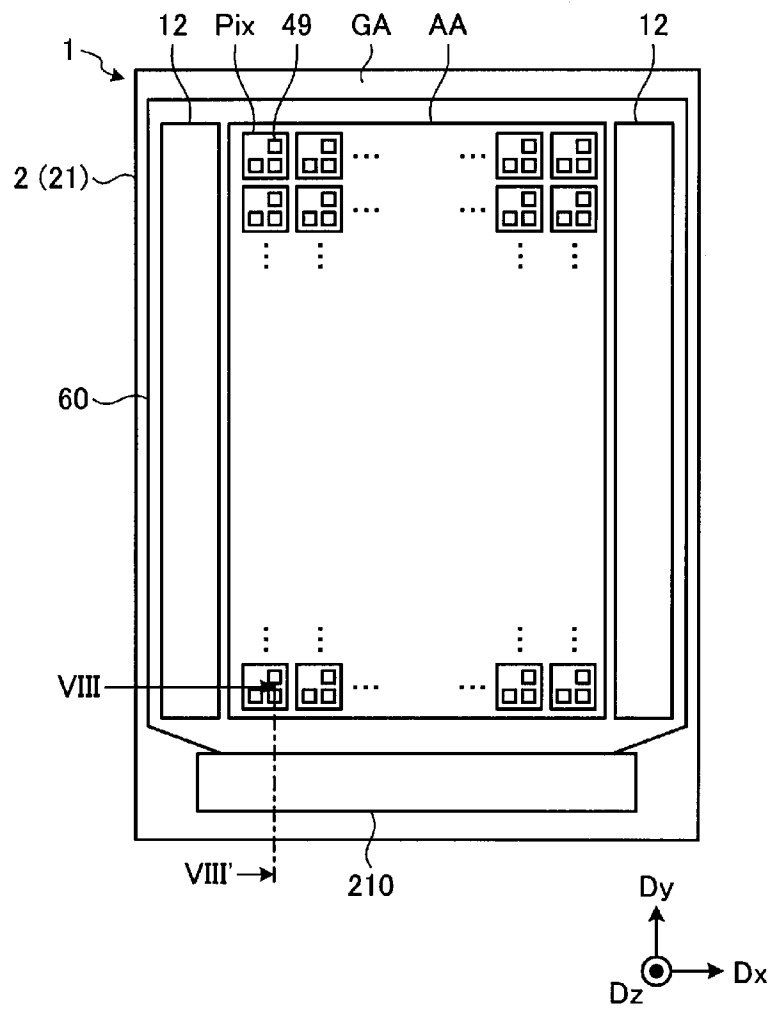
- [請求項11] 前記画素に設けられた温度センサと、
前記温度センサからの出力信号を受け取って、前記出力信号の温度依存性に基づいて温度を検出する検出回路と、を有する

請求項 1 から請求項 10 のいずれか 1 項に記載の表示装置。

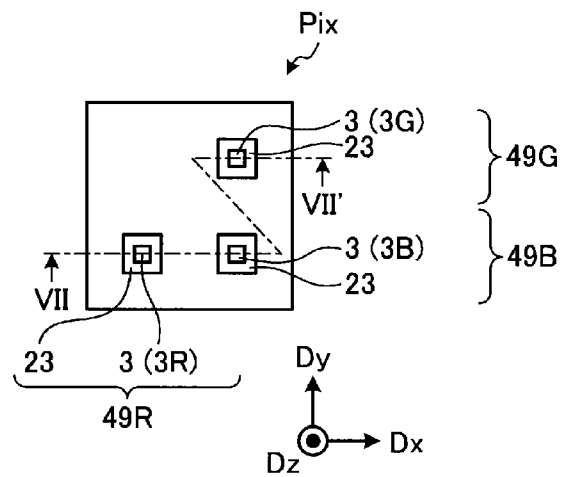
- [請求項12] 前記発熱抵抗体は、前記第 1 電極よりも高いシート抵抗値を有し、
前記基板に垂直な方向からの平面視で、前記発熱抵抗体はミアンダ状の配線パターンを有する

請求項 1 から請求項 1 1 のいずれか 1 項に記載の表示装置。

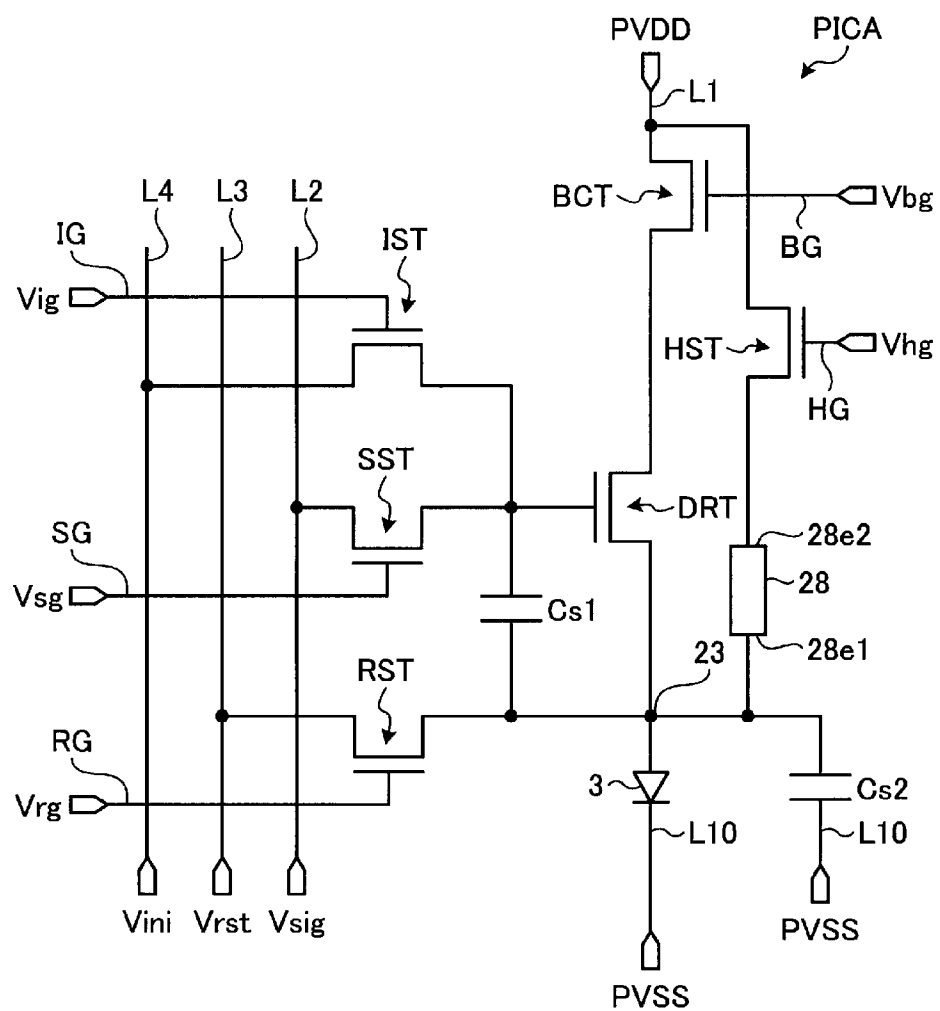
[図1]



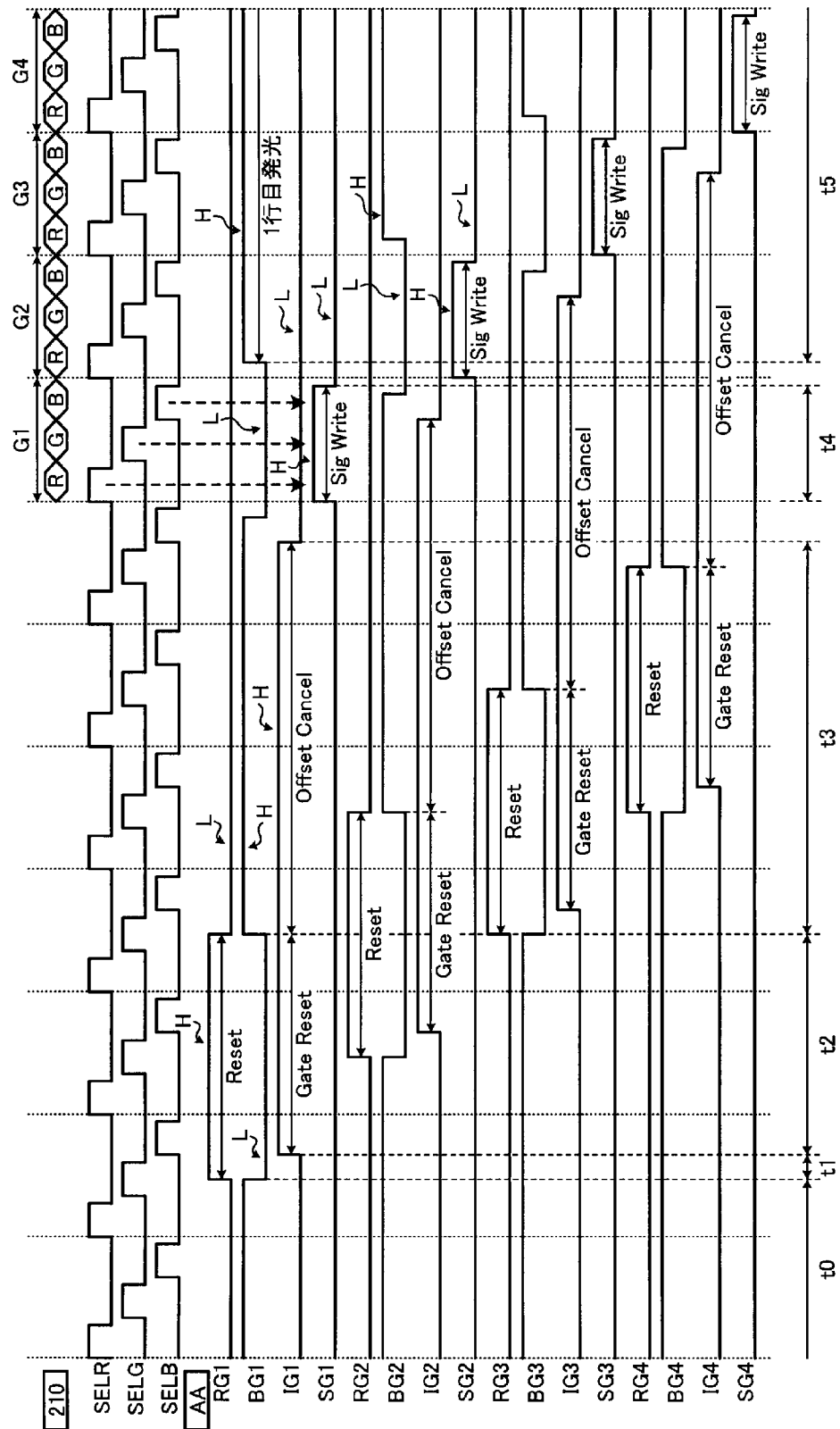
[図2]



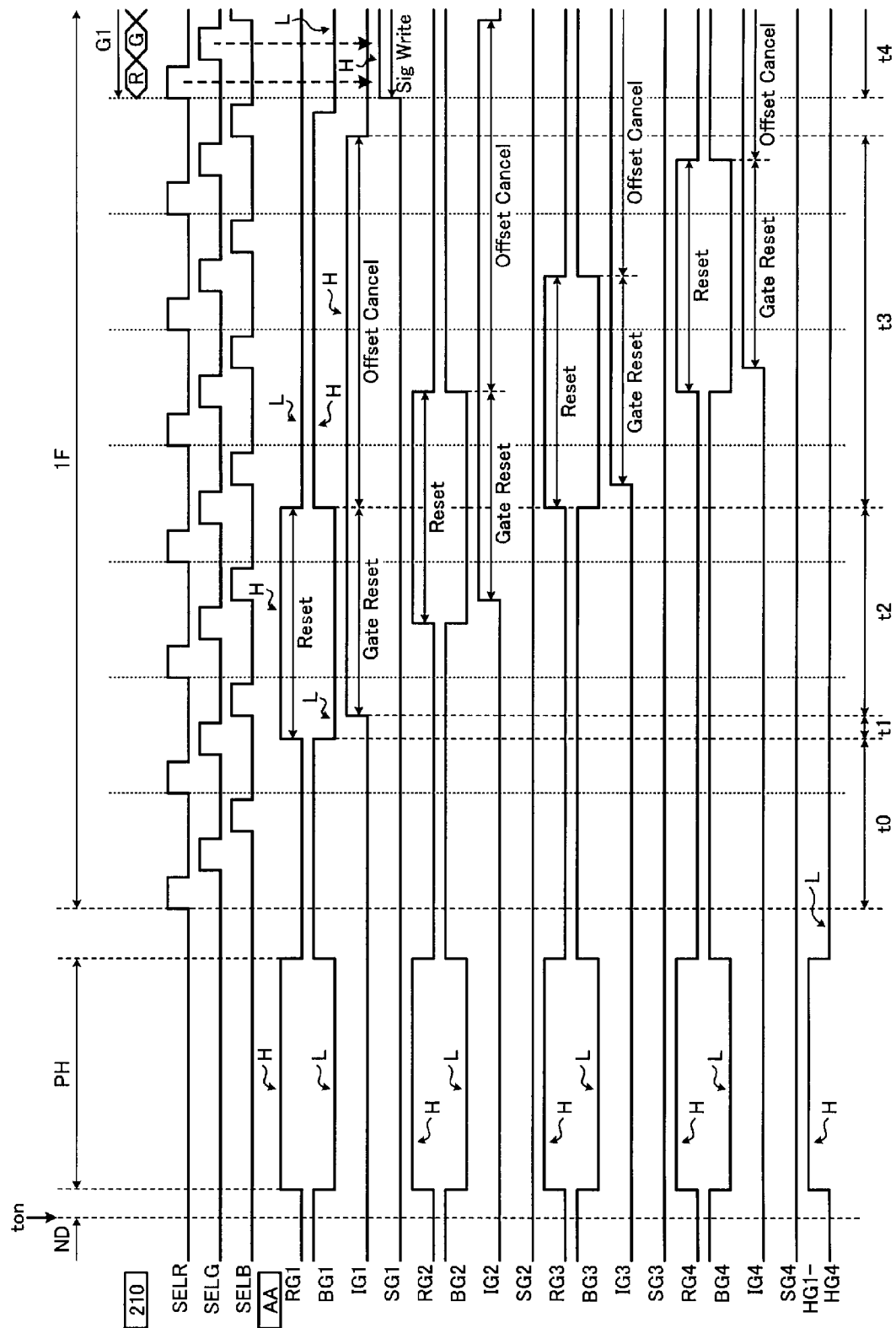
[図3]



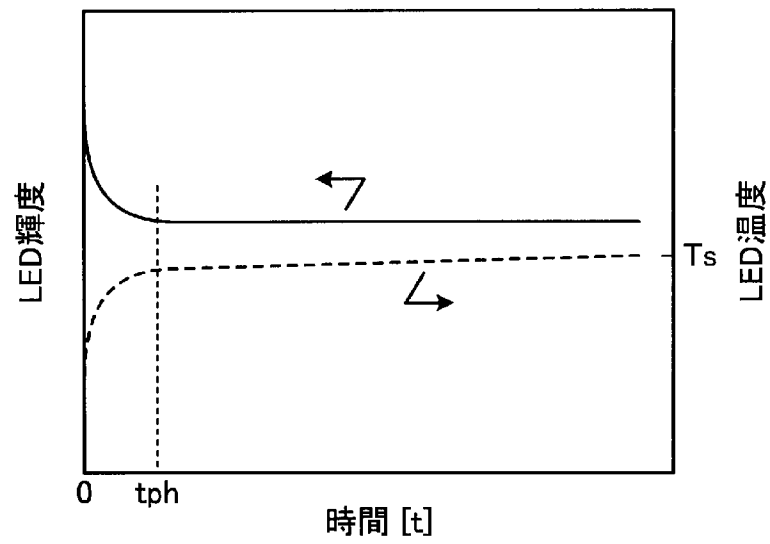
[図4]



[図5]

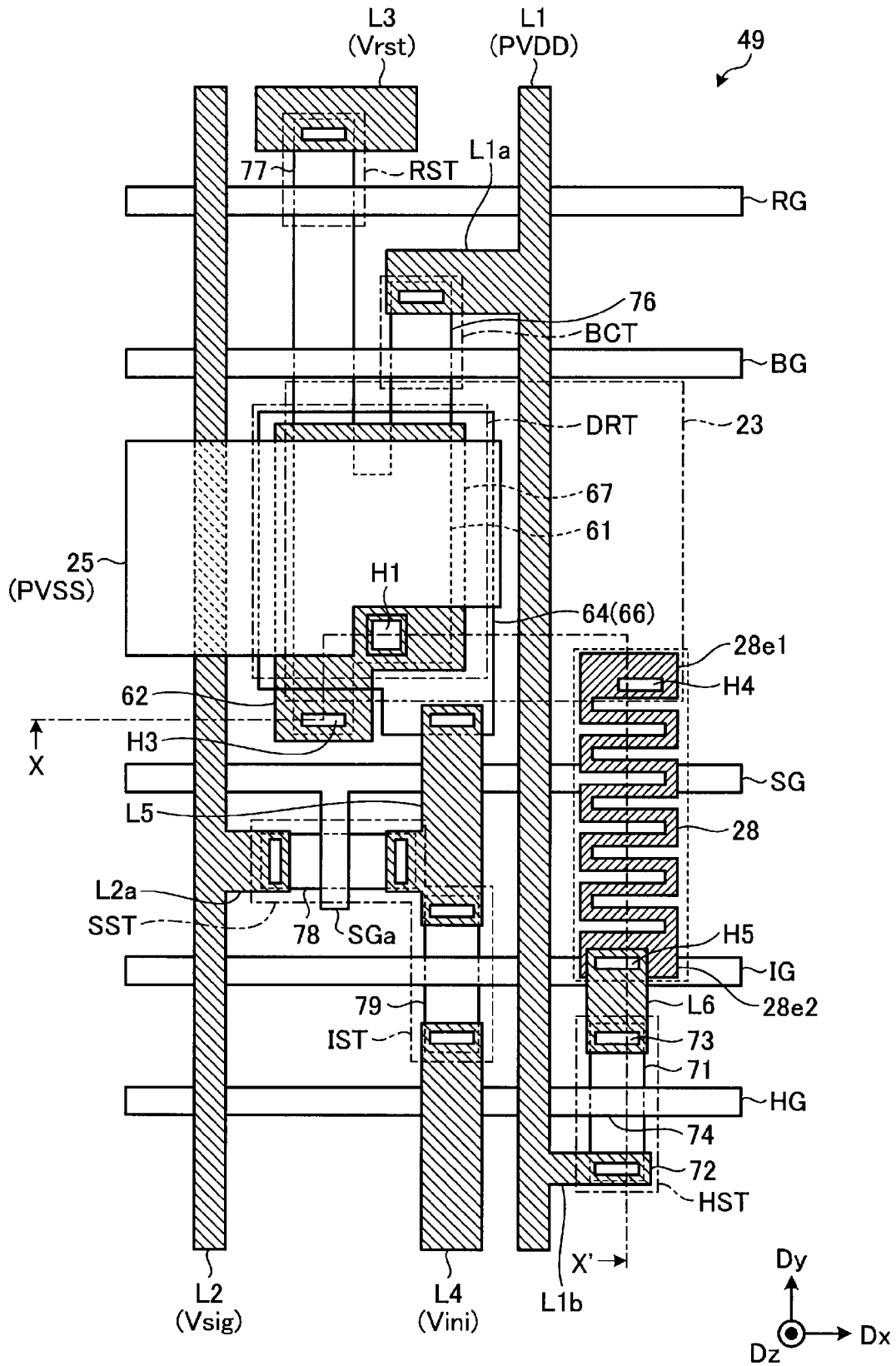


[図6]

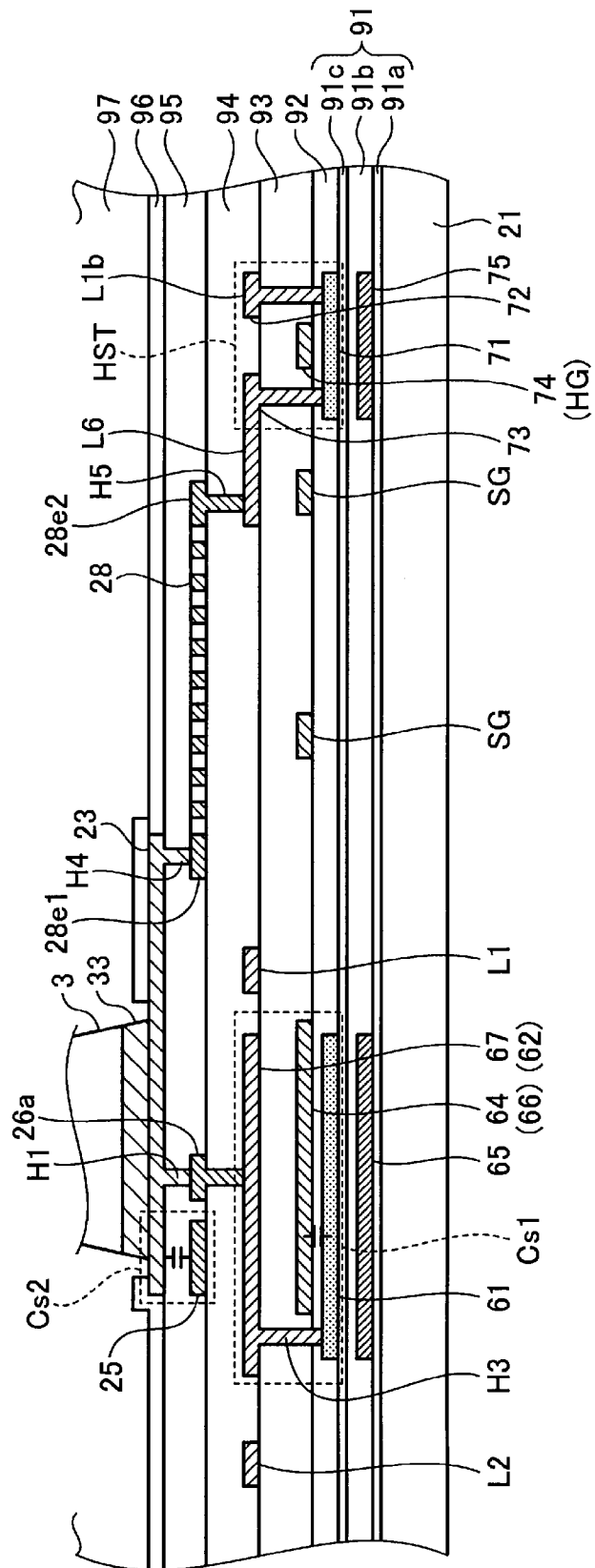


This cross-sectional view, taken along line AA-GB, shows the internal structure of the device. On the left, a substrate 21 is covered by a thin layer 27. A series of stacked layers 91 (91a, 91b, 91c) are positioned above the substrate. A central region 60 contains a complex stack of layers including 95, 96, 94, 22, and 26b. A vertical channel 23 is formed within this central region, with a top layer 26a. To the right of the central region, another set of layers 92, 93, and 95 is shown. The entire structure is capped by a top layer 97. A dashed line indicates the position of line AA-GB.

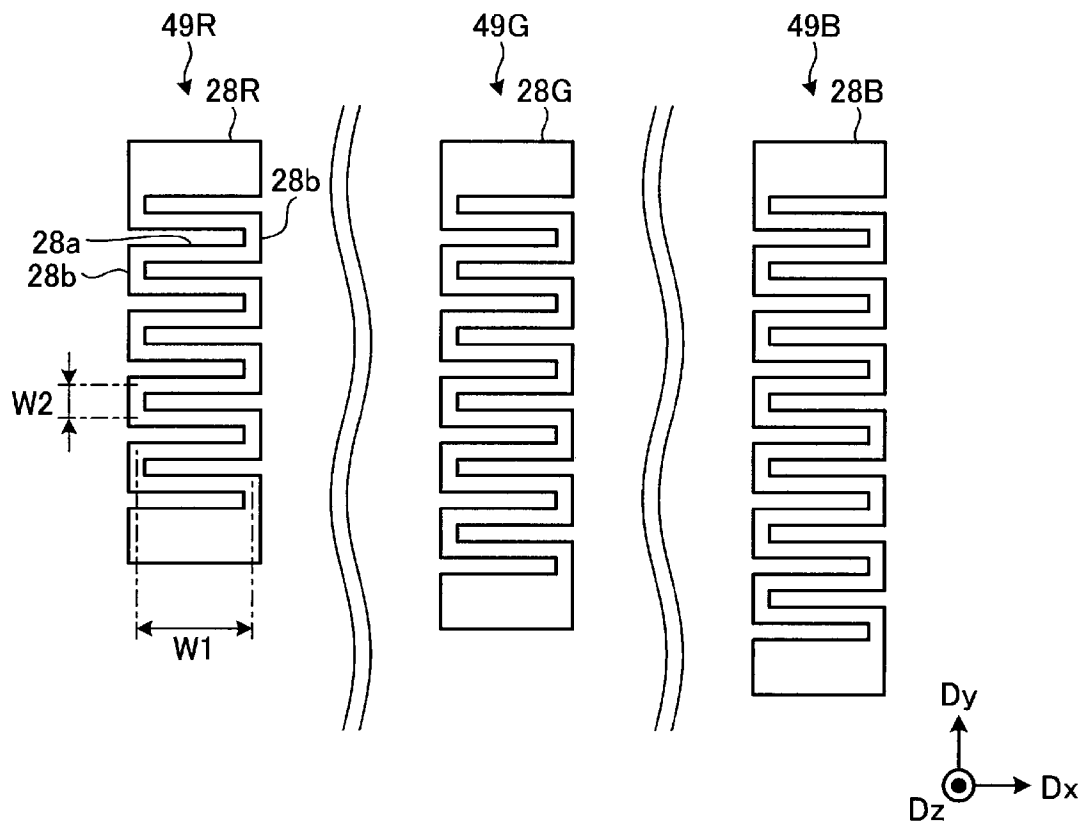
[図9]



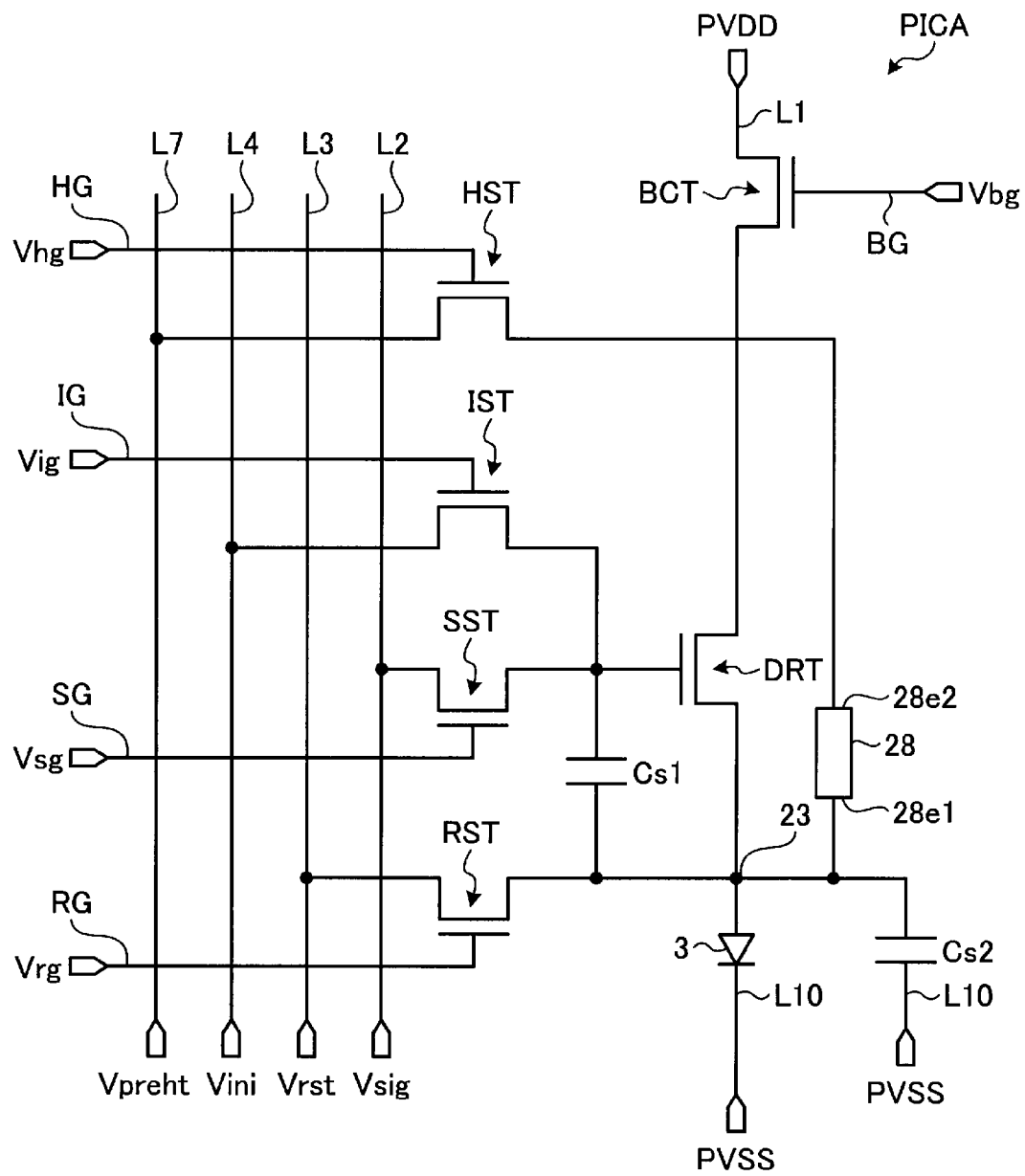
[図10]



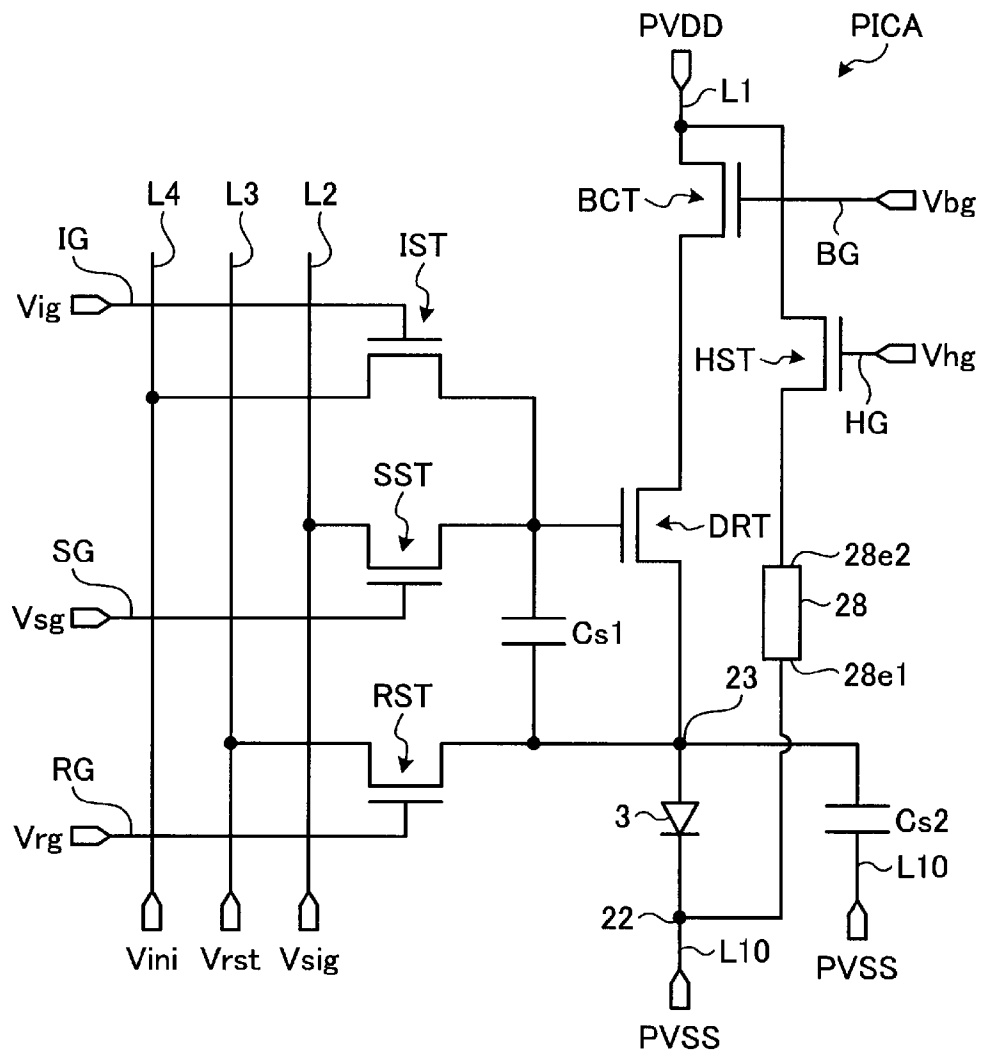
[図11]



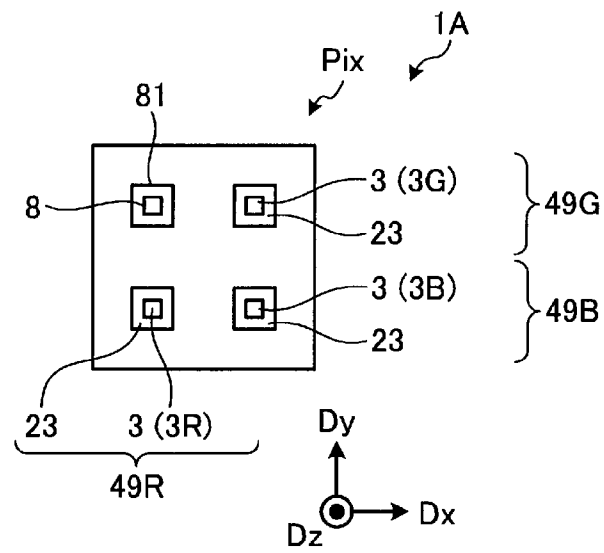
[図12]



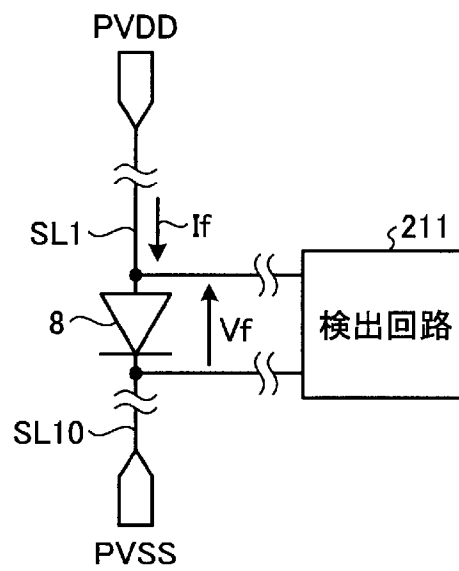
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/050422

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i

FI: G09F9/30 348A; G09G3/32 A; G09G3/20 624B; G09F9/33; G09F9/30 338; G09F9/30 330

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38; G09F9/00-9/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-81094 A (SEIKO EPSON CORP.) 29.03.2007	1-11
Y	(2007-03-29) paragraphs [0046]-[0108]	12
Y	JP 2005-309731 A (TOPPAN PRINTING CO., LTD.) 04.11.2005 (2005-11-04) paragraphs [0027]-[0048]	12
Y	JP 2002-307734 A (HUALING ELECTRONICS CO., LTD.) 23.10.2002 (2002-10-23) paragraphs [0035]-[0073]	12
A	JP 2005-321684 A (SONY CORP.) 17.11.2005 (2005-11-17) paragraph [0016]	1-12
A	JP 2014-82383 A (KYOCERA CORP.) 08.05.2014 (2014-05-08) entire text	1-12
A	JS 2005/0258446 A1 (RAOS, Robert Bogdan) 24.11.2005 (2005-11-24) entire text	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 March 2020 (16.03.2020)

Date of mailing of the international search report
24 March 2020 (24.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/050422

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2007-81094 A	29 Mar. 2007	(Family: none)	
JP 2005-309731 A	04 Nov. 2005	(Family: none)	
JP 2002-307734 A	23 Oct. 2002	CN 1377782 A	
JP 2005-321684 A	17 Nov. 2005	(Family: none)	
JP 2014-82383 A	08 May 2014	(Family: none)	
US 2005/0258446 A1	24 Nov. 2005	WO 2005/119633 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: G09F9/30 348A; G09G3/32 A; G09G3/20 624B; G09F9/33; G09F9/30 338; G09F9/30 330										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） G09G3/00-3/38; G09F9/00-9/46										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2020年									
日本国実用新案登録公報	1996-2020年									
日本国登録実用新案公報	1994-2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2007-81094 A（セイコーエプソン株式会社）29.03.2007（2007-03-29） 段落0046-0108	1-11								
Y		12								
Y	JP 2005-309731 A（凸版印刷株式会社）04.11.2005（2005-11-04） 段落0027-0048	12								
Y	JP 2002-307734 A（山東華菱電子有限公司）23.10.2002（2002-10-23） 段落0035-0073	12								
A	JP 2005-321684 A（ソニー株式会社）17.11.2005（2005-11-17） 段落0016	1-12								
A	JP 2014-82383 A（京セラ株式会社）08.05.2014（2014-05-08） 全文	1-12								
A	US 2005/0258446 A1（RAOS, Robert Bogdan）24.11.2005（2005-11-24） 全文	1-12								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 16.03.2020		国際調査報告の発送日 24.03.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 中村 直行 21 9214 電話番号 03-3581-1101 内線 3272								

国際出願番号
PCT/JP2019/050422

引用文献			公表日	パテントファミリー文献	公表日
JP	2007-81094	A	29.03.2007	(ファミリーなし)	
JP	2005-309731	A	04.11.2005	(ファミリーなし)	
JP	2002-307734	A	23.10.2002	CN	1377782 A
JP	2005-321684	A	17.11.2005	(ファミリーなし)	
JP	2014-82383	A	08.05.2014	(ファミリーなし)	
US	2005/0258446	A1	24.11.2005	WO	2005/119633 A1