



República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial

(21) PI 0718893-5 A2



(22) Data de Depósito: 19/11/2007
(43) Data da Publicação: 10/12/2013
(RPI 2240)

(51) *Int.Cl.:*
H01L 21/8239
H01L 27/02
H01L 27/105
G11C 15/04
H01L 27/06
H01L 21/822

(54) **Título:** MEMÓRIA ENDEREÇÁVEL DE
CONTEÚDO

(57) **Resumo:**

(30) **Prioridade Unionista:** 09/08/2007 US 11/836,405,
17/11/2006 US 60/866,240

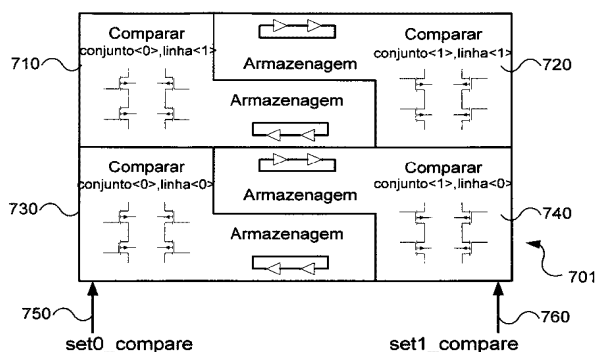
(73) **Titular(es):** Qualcomm Incorporated

(72) **Inventor(es):** Chiaming Chai, David Paul Hoff, Jason Philip
Martzloff, Manju Rathna Varma, Michael Thaitanh Phan

(74) **Procurador(es):** Montauray Pimenta, Machado &
Lioce

(86) **Pedido Internacional:** PCT US2007085129 de
19/11/2007

(87) **Publicação Internacional:** WO 2008/064172de
29/05/2008



"MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO"

Referência Relacionada ao Pedido

Este pedido reivindica o benefício do pedido de Patente Provisional U.S. No. de série 60/866.240 intitulado
5 "METHOD AND APPARATUS OF CONTENT ADDRESSABLE MEMORY (CAM) STRUCTURE WITH INTERLEAVED SET SCHEME" que foi depositado em 17 de novembro de 2006. A totalidade do pedido acima mencionado é expressamente incorporada aqui como referência.

Campo da Invenção

10 A presente revelação se refere, em geral, a arquitetura de memória, e mais especificamente, a método e sistemas para memória endereçável de conteúdo (CAM).

Descrição da Técnica Anterior

15 CAMs podem incluir memória de semicondutor convencional (por exemplo, memória de acesso aleatório estática (SRAM)) e conjunto de circuitos de comparação que habilita uma operação de busca a ser rapidamente completada (por exemplo, em um único ciclo de relógio). Esta
20 habilidade permite implementação de hardware de algoritmos de busca, que fornecem maior velocidade do que buscas implementadas por software. Em um projeto físico de uma estrutura de arranjo CAM, é desejável ter um formato regular, tal como um retângulo, de modo a reduzir o tamanho da estrutura de arranjo CAM e fazer uso eficiente do
25 espaço. Velocidade e consumo de energia são questões em projetos de alto desempenho que são endereçáveis ao evitar capacitância parasita desnecessária. Um leiaute físico que reduz a área crítica e roteamento reduz capacitância parasita. Entretanto, certos aspectos de projetos CAM fazem
30 obter eficiência máxima em seus desafios de projeto físico.

A Fig. 1 é um diagrama de blocos de cache de nível máximo conceitual 100 de arranjos CAM 110 e RAM 130

possuindo linhas $\langle 0 \rangle, \langle 1 \rangle, \dots, \langle n \rangle$. A CAM 110 e RAM 130 são separadas pelo circuito de controle 120. Como mostrado na Fig. 1, o arranjo CAM 110 e o arranjo RAM 130 cada um possui o mesmo número de linhas. Para produzir um projeto
5 eficiente, é desejável casar a altura de linha de arranjo CAM 110 e a altura de linha de arranjo RAM 130, como mostrado na Fig. 1, de modo que o formato geral do arranjo CAM possui um formato retangular, quando visto no plano x e y (isto é, a área coberta do arranjo RAM), dessa forma
10 fazendo uso eficiente da área usada. Para propósitos desta discussão, a "altura de linha" se refere à distância na direção y, como mostrado, por exemplo, na Fig.1

Em um projeto de memória de acesso aleatório estática (SRAM), uma célula de armazenamento 6-T
15 freqüentemente define a altura de linha mínima possível da estrutura de arranjo. Esta célula RAM é dada onduladores de regra de procedimento especiais a partir de uma fundição (foundry) de modo que as tecnologias de processo possam ser empurradas ao limite para produzir uma célula de área
20 mínima. A Fig. 2A é um esquema de uma célula de arranjo RAM convencional 200 que é composta de uma célula de armazenamento 6-T. A Fig. 2B mostra um leiaute de célula de arranjo RAM. Em geral, a célula RAM 201 é fornecida pela fundição. Esforço de projeto significativo é aplicado para
25 reduzir o tamanho físico da célula RAM e dessa forma fazer uso eficiente da área usada por célula, como mostrado nas Figs. 1 e 2B. Adicionalmente, quando projetando o arranjo CAM 110, a área no lado de CAM (isto é, arranjo CAM 110 na Fig. 1) deveria ser reduzida porque é desejável obter uma
30 correspondência um-para-um entre a altura do lado de arranjo CAM 110 e o lado de arranjo RAM 130.

Com referência de novo a Fig. 1, um arranjo memória endereçável de conteúdo (CAM) 110 inclui

típicamente uma célula de armazenamento, tal como a célula RAM 6-T 201, e conjunto de circuitos de comparação para cada bit no arranjo. Para produzir um projeto eficiente, é desejável pelo menos casar substancialmente a altura de
5 linha de arranjo CAM 110 com a altura de linha de arranjo RAM 130 tal que existe geralmente uma correspondência um-para-um do arranjo CAM 110 e o arranjo RAM 130.

Por exemplo, um modo de casar a altura de linha de arranjo CAM 110 com a altura de linha de arranjo RAM 130
10 é limitar a altura das células de CAM com a altura da célula RAM 201 que está incluída nas mesmas. Conseqüentemente, existe uma correspondência na altura entre a altura de cada linha do arranjo CAM 110 e cada linha do arranjo RAM 130.

15 A Fig. 3 mostra uma maneira convencional de implementar um projeto de cache de altura de linha casada. Particularmente, a Fig. 3 mostra um leiaute de célula de arranjo CAM de conjunto não intercalado 300 no qual a altura das pilhas de comparação 310 e 320 casa com a altura
20 da célula de armazenamento (isto é, célula de arranjo RAM 301). Nos projetos convencionais, para manter a altura comum, os nós 315 e 316, que podem ser acoplados a uma linha de casamento, são divididos em um ou outro lado da célula, que resulta em capacitância adicional.

25 Na Fig. 3, a célula de armazenamento, isto é, célula de arranjo RAM 301, é feito leiaute tal que duas pilhas de comparação 310 (falsa/complemento) e 320 (verdadeira), estão em cada lado da célula de arranjo RAM 301. A altura de linha de cada uma das pilhas de comparação
30 310 e 320 é projetada para ser não maior que a altura de linha da célula de arranjo RAM 301. Os nós 315 e 316 podem ser conectados por uma rede. Para propósitos desta discussão, uma rede é um fio conectando dois ou mais nós

(dois ou mais pontos). Quando linhas são empilhadas seqüencialmente, como na Fig. 3, e linhas de comparação são alinhadas verticalmente, capacitância significativa é adicionada aos nós 315, 316. As redes de linha de casamento
 5 são conectadas através de cada bit dentro de uma linha, mas podem ser exclusivas linha a linha, como ilustrado na Fig. 4.

A Fig. 4 é uma ilustração de um projeto de CAM convencional 400 em que linhas dentro de um arranjo são colocadas consecutivamente. Cada célula de arranjo CAM é
 10 identificada por linhas tracejadas. Na Fig. 4, as linhas de comparação são alinhadas verticalmente. Entretanto, na Fig. 4, as pilhas de transistores de comparação cada uma tem sua própria linha de casamento, que resulta em capacitância aumentada. Isto é, na Fig. 4, as linhas de casamento não
 15 compartilham difusão.

Como descrito acima, os projetos de arranjo CAM convencional, por exemplo, como mostrado nas Figs. 3 e 4, resultam em capacitância aumentada que degrada o desempenho
 20 do arranjo de memória. Dessa forma, existe uma necessidade para um projeto de arranjo CAM que faz uso eficiente do espaço, reduz área e roteamento críticos, e reduz capacitância parasita.

Resumo da Invenção

25 Modalidades exemplares da invenção são direcionadas a sistemas e métodos para Memória Endereçável de Conteúdo (CAM).

Por exemplo, uma modalidade exemplar é direcionada a Memória Endereçável de Conteúdo (CAM)
 30 incluindo uma primeira célula CAM possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação, e uma segunda célula CAM possuindo um segundo circuito de armazenamento e um segundo circuito de

comparação. A primeira célula CAM e a segunda célula CAM são posicionadas em uma área substancialmente retangular. Os primeiro e segundo circuitos de armazenamento são empilhados verticalmente. Os primeiro e segundo circuitos de comparação são cada um posicionado em respectivas bordas externas do retângulo.

Uma outra modalidade exemplar é direcionada a um processador possuindo um arranjo Memória Endereçável de Conteúdo (CAM) incluindo uma pluralidade de unidades de célula CAM. Cada unidade de célula CAM inclui uma primeira célula CAM possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação, e uma segunda célula CAM possuindo um segundo circuito de armazenamento e um segundo circuito de comparação. Cada célula CAM é configurada em um formato-L, e as primeira e segunda células CAM são dispostas em uma configuração de intertravamento para formar um formato substancialmente retangular.

Uma outra modalidade exemplar é direcionada a um método para produzir uma Memória Endereçável de Conteúdo (CAM), incluindo formar uma primeira célula CAM de formato-L possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação, formar uma segunda célula CAM de formato-L possuindo um segundo circuito de armazenamento e um segundo circuito de comparação, e dispor as primeira e segunda células CAM em uma configuração de intertravamento para formar um formato substancialmente retangular.

Breve Descrição das Figuras

Os desenhos em acompanhamento são apresentados para ajudar na descrição das modalidades da invenção e são fornecidos tão somente para ilustração das modalidades e não limitação das mesmas.

A Fig. 1 é um diagrama de blocos de cache de nível máximo conceitual ilustrando um arranjo CAM e de RAM.

A Fig. 2A é um esquema ilustrando uma célula de arranjo RAM, e a Fig. 2B é um leiaute de célula de arranjo RAM.

A Fig. 3 é uma ilustração de um leiaute de célula de arranjo CAM de conjunto não intercalado.

A Fig. 4 é uma ilustração de um projeto de CAM de esquema de conjunto não intercalado.

A Fig. 5A é um esquema ilustrando uma célula de arranjo CAM, e a Fig. 5B é um leiaute de célula de arranjo CAM.

A Fig. 6 é um diagrama de blocos ilustrando um arranjo CAM de esquema de conjunto não intercalado.

A Fig. 7A é um diagrama de blocos ilustrando uma estrutura de CAM intercalada, e a Fig. 7B é um leiaute de uma estrutura de CAM de conjunto <0>, conjunto <1> intercalado.

A Fig. 8 é uma ilustração de um diagrama de blocos ilustrando um banco de arranjo CAM associativo de conjunto de 4 modos.

A Fig. 9 é uma ilustração de um diagrama ilustrando um decodificador mapeado direto.

A Fig. 10 é uma ilustração de um diagrama ilustrando um decodificador mapeado direto para uma cache de conjunto intercalado.

Descrição Detalhada da Invenção

Aspectos da invenção são descritos na seguinte descrição e os desenhos relacionados direcionados a modalidades específicas da invenção. Modalidades alternativas podem ser imaginadas sem se afastar do escopo da invenção. Adicionalmente, elementos bem conhecidos da invenção não serão descritos em detalhes ou serão omitidos

de forma a não obscurecer os detalhes relevantes da invenção.

A palavra "exemplar" é usada aqui para significar "servindo como um exemplo, ocorrência ou ilustração".
5 Qualquer modalidade descrita aqui como "exemplar" não é necessariamente para ser interpretada como preferida ou vantajosa sobre outras modalidades. Da mesma forma, o termo "modalidades da invenção" não exige que todas as modalidades da invenção incluam a característica, vantagem
10 ou modo de operação discutidos.

Modalidade da invenção se refere em geral a estruturas de memória endereçáveis de conteúdo (CAM), e mais especificamente, a métodos e sistemas para fornecer memória endereçável de conteúdo (CAM) possuindo uma
15 pluralidade de células CAM (por exemplo, primeira e segunda células CAM) dispostas para reduzir a área usada e a complexidade de roteamento, dessa forma reduzindo capacitância parasita.

Em uma modalidade, alturas de linha de CAM e RAM
20 casadas são criadas girando linhas de CAM substitutas de 180° em relação a linhas CAM vizinhas, como mostrado, por exemplo, nas Figs. 5 e 6, que serão descritas abaixo em grande detalhe. É desejável evitar adicionar exigências de roteamento complicadas e capacitância significativa que
25 degrada desempenho de projeto. Dessa forma, uma outra modalidade exemplar será descrita que aplica um esquema de conjunto intercalado para fornecer uma colocação física compactada com alturas de linha de CAM e RAM casadas. De acordo com um aspecto desta modalidade, a capacitância de
30 rede é reduzida através de compartilhamento de difusão enquanto mantém roteamento de sinal mínimo regular. As modalidades exemplares reduzem área, consumo de energia, e aumentam a velocidade de operação máxima do projeto de CAM.

Um outro aspecto desta modalidade é que ela não exige um novo esquema de decodificação. Um decodificador mapeado direto é usado ao comutar a ordem de barramento de endereço de entrada. Aspectos exemplares desta modalidade serão descritos abaixo com referência, por exemplo, a Figs. 7 a 10.

Em uma modalidade, o arranjo CAM inclui uma célula de armazenamento 6-T 502, que é similar à célula de armazenamento 6T ilustrada na Fig. 2, e conjunto de circuitos de comparação 505 para cada bit no arranjo, como mostrado na Fig. 5A, é um nó que determina o desempenho de busca CAM. Portanto, é desejável reduzir a capacitância no nó de linha de casamento 510. Conseqüentemente em pelo menos uma modalidade, a região de difusão do transistor associado com complemento/falso de comparação (compare_c) é compartilhada com a região de difusão do transistor associada com verdadeiro de comparação (compare_t) tal que a capacitância no nó de linha de casamento é reduzida. Conseqüentemente, ao compartilhar difusão e reduzir a capacitância da linha de casamento, modalidades podem reduzir a potência e aumentar o desempenho da célula de arranjo CAM 500.

A Fig. 5B é uma ilustração de um leiaute de célula de arranjo CAM 501, de acordo com pelo menos uma modalidade da invenção. Referências correspondentes, tais como o nó de linha de casamento 510, T verdadeiro, C complemento, verdadeiro de comparação (compare_t), complemento/falso de comparação (compare_c), e Vss (vss_core), são fornecidas para correlação ao diagrama esquemático da Fig. 5A. Como ilustrado na Fig. 5B, o leiaute da célula de arranjo CAM 501 fornece maior compartilhamento de difusão ao fornecer conjunto de comparação adjacente 505 para reduzir capacitância de linha

de casamento ao compartilhar um nó de linha de casamento comum 510 e regiões de difusão dos transistores adjacentes, como discutido em relação a Fig. 5A. Ainda, modalidades fornecem uma célula em forma de 'L' (como indicado pelas 5 linhas tracejadas) que tem uma dimensão y maior do que uma célula de arranjo RAM convencional. Isto é, a altura na direção y da pilha de comparação 5050, como ilustrado na Fig. 5B, é maior que a altura na direção y de uma célula de arranjo RAM convencional (ver, por exemplo, Fig. 2B) ou 10 célula CAM (ver, por exemplo, Fig. 3).

Com referência a Fig. 6, uma modalidade da invenção pode incluir um arranjo CAM esquema de conjunto intercalado disposta em um formato 'L' de intertravamento para permitir uma área mínima enquanto fornecendo a 15 capacitância de linha de casamento reduzida da modalidade da Fig. 5B. A Fig. 6 mostra um arranjo CAM 600 possuindo células de arranjo CAM 610, 620, 630 e 640 cada uma incluindo um circuito de comparação e circuito de armazenamento (isto é, uma célula RAM). Como mencionado 20 acima, o leiaute da célula de arranjo CAM é disposta para fornecer uma célula em formato 'L' que é mais alta do que as células RAM convencionais, mas ainda permite uma área reduzida do arranjo de memória 600. Conseqüentemente, cada célula de arranjo CAM adjacente é girada em 180° em relação 25 a sua vizinha para formar o formato em 'L' de intertravamento ilustrado na Fig. 6.

Por exemplo, a célula de arranjo CAM 620 é girada 180° em relação à célula de arranjo CAM 610, e a célula de arranjo CAM 640 é girada de 180° em relação à célula de 30 arranjo CAM 630. Cada grupo em 'L' de intertravamento fornece duas células de armazenamento e dois circuitos de comparação. A modalidade exemplar da Fig. 6 fornece um projeto compacto em que cada unidade de células de arranjo

CAM adjacentes (por exemplo, 610 e 620, 630 e 640, etc.)
forma um formato retangular tendo uma altura que
substancialmente igual a duas vezes a altura de uma célula
de arranjo RAM convencional. Dessa forma, a configuração da
5 Fig. 6 fornece um projeto que tem uma correspondência um-
para-um total da célula RAM com a célula de comparação,
enquanto fornece capacitância de linha de casamento
reduzida.

Para propósitos desta discussão, empilhar linhas
10 giradas seqüencialmente dentro de um conjunto significa que
as entradas de comparação de cada outra linha estarão em
uma coluna vertical separada. A coluna extra de entradas
resulta em duas trilhas de roteamento por sinal de
comparação (por exemplo, sinal set_compare), como mostrado
15 na Fig. 6. Isto é, se linhas giradas são colocadas em ordem
seqüencial dentro de um conjunto, existirá duas trilhas de
roteamento para cada entrada de comparação de conjunto (por
exemplo, entrada set0_compare 650 e 651, e entrada
set1_compare 660 e 661); uma para cada coluna vertical. A
20 coluna extra de entradas (por exemplo, 651 e 661) resulta
em exigências de roteamento adicionais.

Para reduzir as exigências de roteamento e
capacitância parasita associada com as linhas extras, um
esquema de conjunto intercalado pode ser usado de acordo
25 com modalidades da invenção. Por exemplo, como ilustrado na
Fig. 7A, um projeto intercalado também tem uma
correspondência um-para-um geral entre alturas de linha CAM
e RAM, enquanto reduzindo roteamento e capacitância
parasita. Capacitância de rede é reduzida através de
30 compartilhamento de difusão enquanto limitando ou mantendo
roteamento de sinal (por exemplo, roteamento de sinal
mínimo regular). As modalidades exemplares reduzem área,
consumo de energia, e aumentam velocidade de operação

máxima do arranjo CAM. Também, pelo menos uma modalidade exemplar é implementada sem exigir um novo esquema de decodificação. Em uma modalidade, um decodificador mapeado direto pode ser utilizado ao redistribuir a ordem de barramento de endereço de entrada.

Uma CAM de conjunto intercalado, em uma modalidade, usa um projeto de arranjo associativo de conjunto. Em vez de colocar verticalmente linhas seqüenciais dentro de um conjunto, como ilustrado na Fig. 6, as linhas a partir de dois conjuntos adjacentes verticalmente são fisicamente intercaladas e as células de arranjo CAM são giradas em 180° em relação a suas vizinhas. Os pares intercalados de conjuntos são empilhados verticalmente para preencher cada banco de CAM. Em pelo menos uma modalidade, sinais de controle específicos de conjunto dentro do banco de CAM estão em alinhamento vertical, tal como exemplarmente ilustrado nas Fig. 7A e 7B.

A Fig. 7A é uma ilustração de um diagrama de blocos de um arranjo CAM intercalado 701. O arranjo CAM 701 tem células CAM 710, 720, 730, e 740, cada uma incluindo um circuito de comparação e um circuito de armazenamento (por exemplo, uma célula SRAM). Cada célula de arranjo CAM é disposta para fornecer uma célula em formato-L que maior na dimensão y do que uma célula RAM convencional. De modo a reduzir a área usada pelo projeto, cada célula de arranjo CAM adjacente é girada em 180° em relação àquela célula CAM vizinha da célula CAM. Com referência a Fig. 7A, a célula CAM 720 é girada em 180° em relação à célula CAM 710, e disposta em uma configuração 'L' de intertravamento. A célula de arranjo CAM 740 é do mesmo modo girada 180° em relação à célula de arranjo CAM 730 em uma configuração 'L' de intertravamento, dessa forma fornecendo um projeto

compacto no qual cada unidade de células CAM adjacentes (por exemplo, 710 e 720, 730 e 740, etc.) forma um formato retangular possuindo uma altura que é igual a aproximadamente duas vezes a altura da célula de armazenamento (por exemplo, uma célula SRAM). A configuração de intertravamento das células CAM em formato-L (por exemplo, 710 e 720) pode ser considerada uma unidade de célula CAM 705 e unidades de célula CAM podem ser empilhadas para formar um arranjo CAM tal como ilustrado na Fig. 8.

A Fig. 7B é um leiaute de uma estrutura CAM intercalada 702. Os conjuntos intercalados, de acordo com modalidades da invenção, produzem células CAM com sinais de comparação de conjunto alinhados verticalmente, reduzem a capacitância parasita, e abaixam o consumo de energia do projeto. Ao intercalar conjuntos, os sinais de comparação específicos de conjunto (por exemplo, set0_compare 750 e set1_compare 760) são alinhados verticalmente. Ademais, uma vez que uma linha é usada por componente de comparação (por exemplo, compare_true), o roteamento usado para as linhas de comparação é reduzido. As duas células em formato-L compartilham uma região de difusão de linha de casamento como discutido acima em relação às Figs. 5A e 5B. A área física resultante do arranjo e capacitância no projeto é reduzida. Consequentemente, modalidades da invenção, tais como ilustradas nas Figs. 7A e 7B, reduzem tanto a capacitância parasita de linha de casamento quanto a de linha de comparação.

Uma outra modalidade será descrita com referência a Fig. 8. A Fig. 8 é um banco de arranjo CAM associativo de conjunto de 4 modos. Na Fig. 8, existem quatro linhas em cada conjunto (4 modos) e cada linha mede quatro bits de largura (por exemplo, quatro colunas). Pares de conjunto

adjacentes são intercalados (conjunto 0/conjunto 1, conjunto 2/conjunto 3). Cada célula CAM possui um conjunto e linha associados e como discutido anteriormente, cada unidade de célula CAM possui duas células CAM.

5 Conseqüentemente, o arranjo CAM 800 pode ser formado a partir de uma pluralidade de unidades de célula CAM dispostas para corresponder a um número desejado de bits, conjuntos e linhas. No projeto intercalado, de acordo com modalidades da invenção, cada unidade de célula CAM tem os

10 mesmos números de linha mas tem números de conjunto seqüenciais. Por exemplo, uma unidade de célula CAM pode ter uma primeira célula CAM com conjunto<0>, linha<0> e uma segunda célula CAM com conjunto<1>, linha<0>. Quando disposto como ilustrado na Fig. 8, um sinal de comparação

15 exclusivo pode ser fornecido para cada bit de cada conjunto. Ademais, as linhas em um conjunto e bit dados (por exemplo, bit 0, conjunto 0, linhas 1-4) recebem os mesmos sinais de comparação de nível de bit. Dessa forma, as entradas de comparação de cada linha dentro de um

20 conjunto são alinhadas verticalmente e acopladas com uma trilha de roteamento por bit.

Outras modalidades são direcionadas a conjuntos intercalados que são conjuntos não adjacentes. É observado que quaisquer dois conjuntos podem ser intercalados. Em uma

25 outra modalidade, dois conjuntos adjacentes fisicamente, que não são logicamente adjacentes, são intercalados. Entretanto, modalidades da invenção não são limitadas a arranjos CAM associativos de conjunto de 4 modos. Outras modalidades podem ser aplicadas a outra memória

30 associativa, tal como memórias associativas de 2 modos, 16 modos, etc. Modalidades da invenção podem ter vantagem do leiaute físico das células CAM para reduzir a capacitância

e melhorar o desempenho em tais arranjos de memória associativos.

Como discutido anteriormente, um esquema de conjunto intercalado pode ser aplicado a um arranjo CAM para fornecer um arranjo físico compacto com uma correspondência total de altura de linha de CAM e de RAM (por exemplo, por duas células), enquanto reduz ou minimiza roteamento e capacitância parasita. Capacitância de rede é reduzida através de compartilhamento de difusão enquanto mantém roteamento de sinal mínimo (ou reduzido) regular. Conseqüentemente, modalidades da invenção reduzem área, consumo de energia, e permitem velocidade de operação aumentada de um projeto de CAM. Também, pelo menos uma modalidade é implementada com um decodificador mapeado direto.

A Fig. 9 é uma ilustração de um decodificador mapeado direto 900. O decodificador mapeado direto 900 toma um endereço de 6 bits e decodifica em 64 saídas. Cada saída é acoplada a uma das 64 linhas em um arranjo de memória ou cache. Por exemplo, se bits de endereço lógico $A\langle 5:0 \rangle$ são acoplados a entradas de decodificador a_5-a_0 como mostrado, o mapeamento correlaciona a uma colocação física onde conjuntos e linhas são colocados seqüencialmente. A cache tem quatro conjuntos que são mapeados por bits de endereço lógico $A\langle 5 \rangle$ e $A\langle 4 \rangle$. Cada um dos quatro conjuntos tem dezesseis linhas (isto é, linhas 0-15, 16-31, 32-47, e 48-63) mapeados pelos bits de endereço lógico $A\langle 3:0 \rangle$. O decodificador mapeado direto 900 é projetado para endereços de linha seqüenciais. Entretanto, aplicar o mapeamento direto do decodificador 900 ao arranjo CAM intercalado resultaria em roteamento complexo das saídas de decodificador.

A Fig. 10 é uma ilustração de um diagrama de blocos de um decodificador mapeado direto 1000 que pode ser usado com um arranjo CAM de conjunto intercalado de acordo com pelo menos uma modalidade da invenção. Por exemplo, os bits de endereço lógico $A\langle 5:0 \rangle$ podem ser reordenados para corresponder ao arranjo CAM de conjunto intercalado. Os bits de endereço lógico $A\langle 5:0 \rangle$ podem ser reordenados e conectados nas entradas de decodificador a_5 - a_0 , como ilustrado na Fig. 10. O mapeamento correlaciona a uma colocação física onde conjuntos e linhas são colocados seqüencialmente com base no esquema de conjunto intercalado. A cache tem quatro conjuntos que são mapeados pelos bits de endereço lógico $A\langle 5 \rangle$ e $A\langle 4 \rangle$. Cada um dos quatro conjuntos tem dezesseis linhas (isto é, linhas 0-15, 16-31, 32-47, e 48-63) mapeadas pelos bits de endereço lógico $A\langle 3:0 \rangle$. O bit de endereço lógico $A\langle 4 \rangle$ acoplado na entrada a_0 . Os bits de endereço lógico $A\langle 3:0 \rangle$ são cada um deslocados a esquerda em uma posição para corresponder a entradas a_4 - a_1 , respectivamente. O bit de endereço lógico $A\langle 5 \rangle$ é acoplado a entrada a_5 . Por exemplo, se bits de endereço lógico $A\langle 5:0 \rangle$ são acoplados a entradas de decodificador a_5 - a_0 como mostrado, o mapeamento correlaciona a uma colocação física possuindo conjuntos alternativos, onde linhas ficam as mesmas para cada grupo (por exemplo, unidade de célula) de conjuntos alternativos (por exemplo, conjunto $\langle 0 \rangle$, linha $\langle 0 \rangle$; conjunto $\langle 1 \rangle$, linha $\langle 0 \rangle$; conjunto $\langle 0 \rangle$, linha $\langle 1 \rangle$; conjunto $\langle 1 \rangle$, linha $\langle 1 \rangle$; etc.). Portanto, o decodificador intercalado 1000 da Fig. 10 pode mapear diretamente em um arranjo CAM de conjunto intercalado e não resultar em roteamento complexo das saídas de decodificador 1000. Dessa forma, uma modalidade exemplar intercala as linhas de conjuntos adjacentes e muda a ordem das conexões de barramento de endereço ao

decodificador 1000 de modo a fornecer o mapeamento correto nas linhas de arranjo CAM.

Em outras modalidades, um processador inclui um arranjo CAM de acordo com as modalidades descritas acima.

5 Como usado aqui, um processador pode incluir um ou mais circuitos de processamento, por exemplo, microprocessadores, processadores de sinal digital (DSPs), microcontroladores, Circuitos Integrados de Aplicação Específica (ASICs) e combinações dos mesmos.

10 Conseqüentemente, uma modalidade pode incluir um processador compreendendo um arranjo CAM possuindo uma pluralidade de unidades de célula CAM em que cada unidade de célula CAM inclui uma primeira célula CAM possuindo um primeiro circuito de armazenamento e um primeiro circuito

15 de comparação, e uma segunda célula CAM possuindo um segundo circuito de armazenamento e um segundo circuito de comparação. Cada célula CAM pode ser configurada em um formato-L tal que as primeira e segunda células CAM são dispostas em uma configuração de intertavamento para formar

20 um formato substancialmente retangular, dessa forma minimizando área física do arranjo e/ou a capacitância no projeto. Conseqüentemente, as modalidades descritas acima podem reduzir tanto a capacitância parasita de linha de casamento quanto de linha de comparação em arranjo CAM

25 integrado dentro de um processador.

Outra modalidade é direcionada a um método de formar um arranjo CAM, ou um processador incluindo um arranjo CAM possuindo uma pluralidade de células CAM (por exemplo, primeira e segunda células CAM) de acordo com as

30 modalidades descritas acima, dispostas para reduzir a área usada, complexidade de roteamento, e capacitância parasita.

Por exemplo, uma modalidade é direcionada a um método possuindo as etapas de formar uma primeira célula

CAM de formato-L possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação, e formar uma segunda célula CAM de formato-L possuindo um segundo circuito de armazenamento e um segundo circuito de
5 comparação. O método inclui dispor as primeira e segunda células CAM em uma configuração de intertravamento para formar um formato substancialmente retangular, em que os primeiro e segundo circuitos de armazenamento são empilhados verticalmente, os primeiro e segundo circuitos
10 de comparação são cada um posicionados em bordas respectivas externas do retângulo. O método ainda inclui associar cada célula CAM com um conjunto e linha.

Por exemplo, em uma modalidade, a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma segunda
15 linha do primeiro conjunto. A modalidade inclui configurar um decodificador para ter saídas seqüenciais mapeadas na primeira linha do primeiro conjunto e na segunda linha do primeiro conjunto.

20 Em uma outra modalidade, a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma primeira linha de um segundo conjunto. A modalidade inclui configurar um decodificador para ter saídas seqüenciais mapeadas na
25 primeira linha do primeiro conjunto e na primeira linha do segundo conjunto. Conseqüentemente, os métodos exemplares podem fornecer um arranjo CAM, ou processador possuindo um arranjo CAM, em que a área física do arranjo e/ou a capacitância podem ser reduzidas. As modalidades descritas
30 acima podem reduzir tanto a capacitância parasita de linha de casamento quanto de linha de comparação.

Deve ser apreciado que informações e sinais podem ser representados usando qualquer uma de uma variedade de

diferentes tecnologias e técnicas. Por exemplo, dados, instruções, comandos, informações, sinais, bits, símbolos e chips que podem ser referenciados por toda a descrição podem ser representados por tensões, correntes, ondas eletromagnéticas, campos ou partículas magnéticas, campos ou partículas óticas, ou qualquer combinação desses.

Ademais, deve ser apreciado que os vários blocos, módulos, circuitos, e etapas lógicos ilustrativos do algoritmo descritos em relação às modalidades descritas aqui podem ser implementados como hardware eletrônico, software de computador, ou combinações de ambos. Para ilustrar claramente esta permutabilidade de hardware e de software, os vários componentes ilustrativos, blocos, módulos, circuitos, e as etapas foram descritos acima em geral nos termos de sua funcionalidade. Se tal funcionalidade é implementada como hardware ou software depende da aplicação particular e de restrições de projeto impostas no sistema como um todo. Os versados na técnica podem implementar a funcionalidade descrita em várias maneiras para cada aplicação particular, mas tais decisões de implementação não devem ser interpretadas como causa de um afastamento do escopo de modalidades da invenção atual.

Enquanto a descrição anterior mostra modalidades ilustrativas da invenção, deve ser notado que várias alterações e modificações podem ser feitas aqui sem se afastar do escopo da invenção como definido nas reivindicações anexas. As funções, etapas e/ou ações do método reivindica de acordo com as modalidades da invenção descritas aqui não necessitam ser realizadas em qualquer ordem particular. Ademais, embora elementos da invenção possam ser descritos ou reivindicados no singular, o plural é contemplado a menos que limitação para o singular seja explicitamente afirmado.

REIVINDICAÇÕES

1. Uma Memória Endereçável de Conteúdo (CAM) compreendendo:

5 uma primeira célula CAM possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação, e

 uma segunda célula CAM possuindo um segundo circuito de armazenamento e um segundo circuito de comparação,

10 em que a primeira célula CAM e a segunda célula CAM são posicionadas em uma área substancialmente retangular, em que os primeiro e segundo circuitos de armazenamento são posicionados, cada um, em respectivas bordas externas da área retangular.

15 2. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que linhas dos primeiro e segundo circuitos são dispostas seqüencialmente.

 3. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma segunda linha do primeiro conjunto.

20 4. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que conjuntos adjacentes dos primeiro e segundo circuitos são dispostos seqüencialmente.

25 5. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma primeira linha de um segundo conjunto.

30 6. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, compreendendo adicionalmente:

uma pluralidade de primeira e segunda células CAM como descritas na reivindicação 1, em que cada célula CAM possui um conjunto e linha associados e em que entradas de comparação de cada linha dentro de um conjunto são
5 alinhadas verticalmente.

7. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 6, em que cada entrada de comparação de cada linha dentro de um conjunto é conectada com uma trilha de roteamento.

10 8. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que uma altura do primeiro circuito de comparação é maior que uma altura do primeiro circuito de armazenamento.

9. A Memória Endereçável de Conteúdo, de acordo com a reivindicação 1, em que uma altura da área retangular é aproximadamente igual a uma altura dos circuitos de armazenamento empilhadas verticalmente.

10. Um processador possuindo um arranjo Memória Endereçável de Conteúdo (CAM), compreendendo:

20 uma pluralidade de unidades de célula CAM, cada unidade de célula CAM incluindo:

uma primeira célula CAM possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação; e

25 uma segunda célula CAM possuindo um segundo circuito de armazenamento e um segundo circuito de comparação,

em que cada célula CAM é configurada em um formato-L, e

30 em que a primeira célula CAM e a segunda célula CAM são dispostas em uma configuração de intertravamento para formar uma área substancialmente retangular.

11. O processador, de acordo com a reivindicação 10, em que cada célula CAM possui um conjunto e linha associados.

12. O processador, de acordo com a reivindicação 5 11, em que linhas dos primeiro e segundo circuitos são dispostas seqüencialmente.

13. O processador, de acordo com a reivindicação 11, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula 10 CAM é associada com uma segunda linha do primeiro conjunto.

14. O processador, de acordo com a reivindicação 13, compreendendo adicionalmente:

um decodificador configurado para mapear diretamente em linhas das primeira e segunda células CAM.

15 15. O processador, de acordo com a reivindicação 14, em que o decodificador é configurado para ter saídas seqüenciais mapeadas na primeira linha do primeiro conjunto e na segunda linha do primeiro conjunto.

16. O processador, de acordo com a reivindicação 20 11, em que conjuntos adjacentes dos primeiro e segundo circuitos são dispostos seqüencialmente.

17. O processador, de acordo com a reivindicação 11, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula 25 CAM é associada com uma primeira linha de um segundo conjunto.

18. O processador, de acordo com a reivindicação 17, compreendendo adicionalmente:

um decodificador configurado para mapear 30 diretamente em linhas das primeira e segunda células CAM.

19. O processador, de acordo com a reivindicação 18, em que o decodificador é configurado para ter saídas

seqüenciais mapeadas na primeira linha do primeiro conjunto e na primeira linha do segundo conjunto.

20. O processador, de acordo com a reivindicação 10, em que pelo menos duas unidades de célula CAM são empilhadas verticalmente e em que entradas de cada linha dentro de um conjunto dão alinhadas verticalmente.

21. O processador, de acordo com a reivindicação 10, compreendendo:

uma primeira unidade de célula CAM e uma segunda unidade de célula CAM a partir da pluralidade de unidades de célula CAM dispostas verticalmente, em que as primeira e segunda células das primeira e segunda unidades de célula CAM estão em alinhamento vertical.

22. Um método para produzir uma Memória Endereçável de Conteúdo (CAM), o método compreendendo:

formar uma primeira célula CAM de formato-L possuindo um primeiro circuito de armazenamento e um primeiro circuito de comparação;

formar uma segunda célula CAM de formato-L possuindo um segundo circuito de armazenamento e um segundo circuito de comparação; e

dispor as primeira e segunda células CAM em uma configuração de intertravamento para formar uma área substancialmente retangular.

23. O método, de acordo com a reivindicação 22, compreendendo adicionalmente:

empilhar os primeiro e segundo circuitos de armazenamento verticalmente; e

posicionar os primeiro e segundo circuitos de comparação em respectivas bordas externas do formato retangular.

24. O método, de acordo com a reivindicação 22, compreendendo adicionalmente:

associar cada célula AM com um conjunto e linha.

25. O método, de acordo com a reivindicação 24, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma segunda linha do primeiro conjunto.

26. O método, de acordo com a reivindicação 25, compreendendo adicionalmente:

configurar um decodificador para mapear diretamente em linhas das primeira e segunda células CAM, em que o decodificador é configurado para ter saídas seqüenciais mapeadas na primeira linha do primeiro conjunto e na segunda linha do primeiro conjunto.

27. O método, de acordo com a reivindicação 24, em que a primeira célula CAM é associada com uma primeira linha de um primeiro conjunto e a segunda célula CAM é associada com uma primeira linha de um segundo conjunto.

28. O método, de acordo com a reivindicação 27, compreendendo adicionalmente:

configurar um decodificador para ter saídas seqüenciais mapeadas na primeira linha do primeiro conjunto e na primeira linha do segundo conjunto.

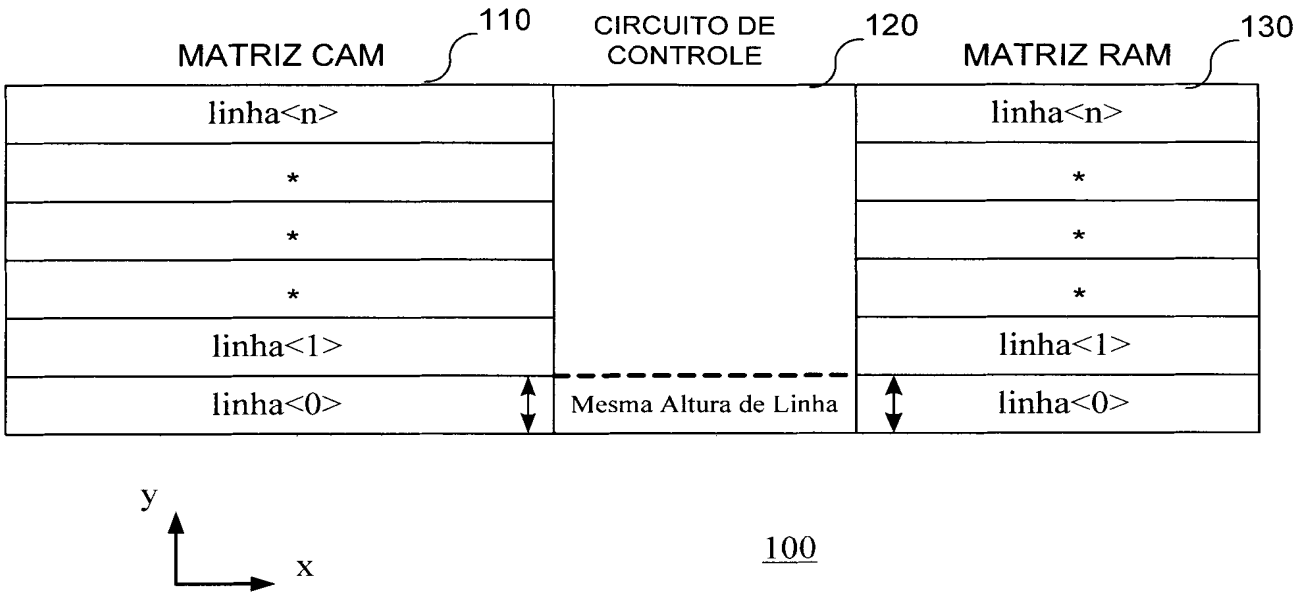


FIG. 1

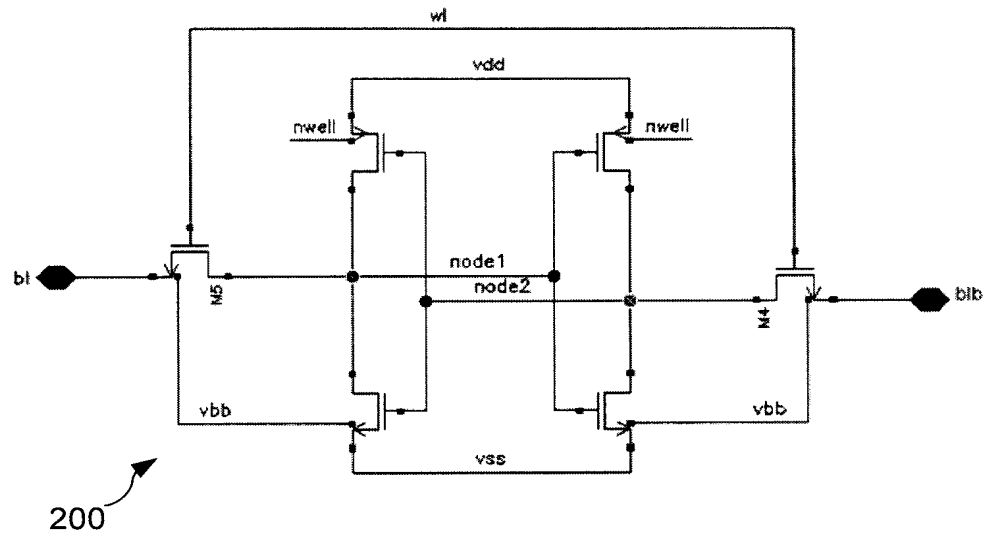


FIG. 2A

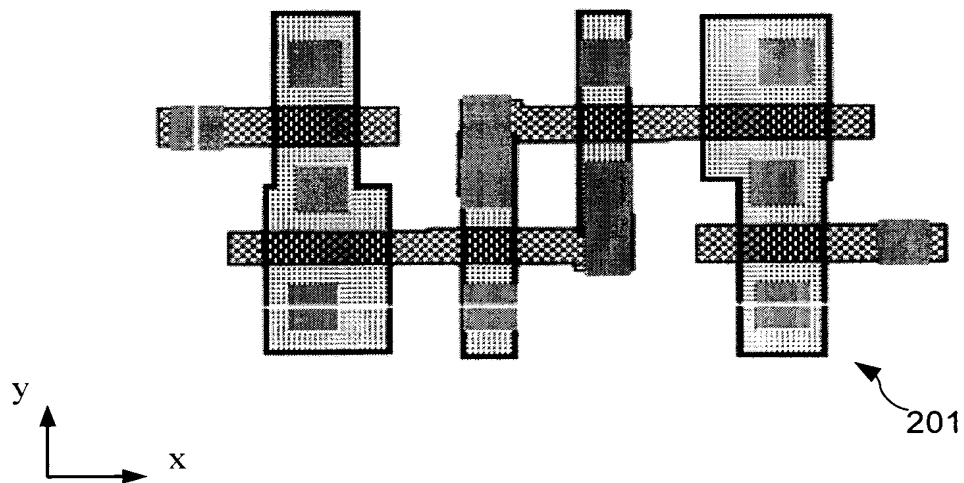


FIG. 2B

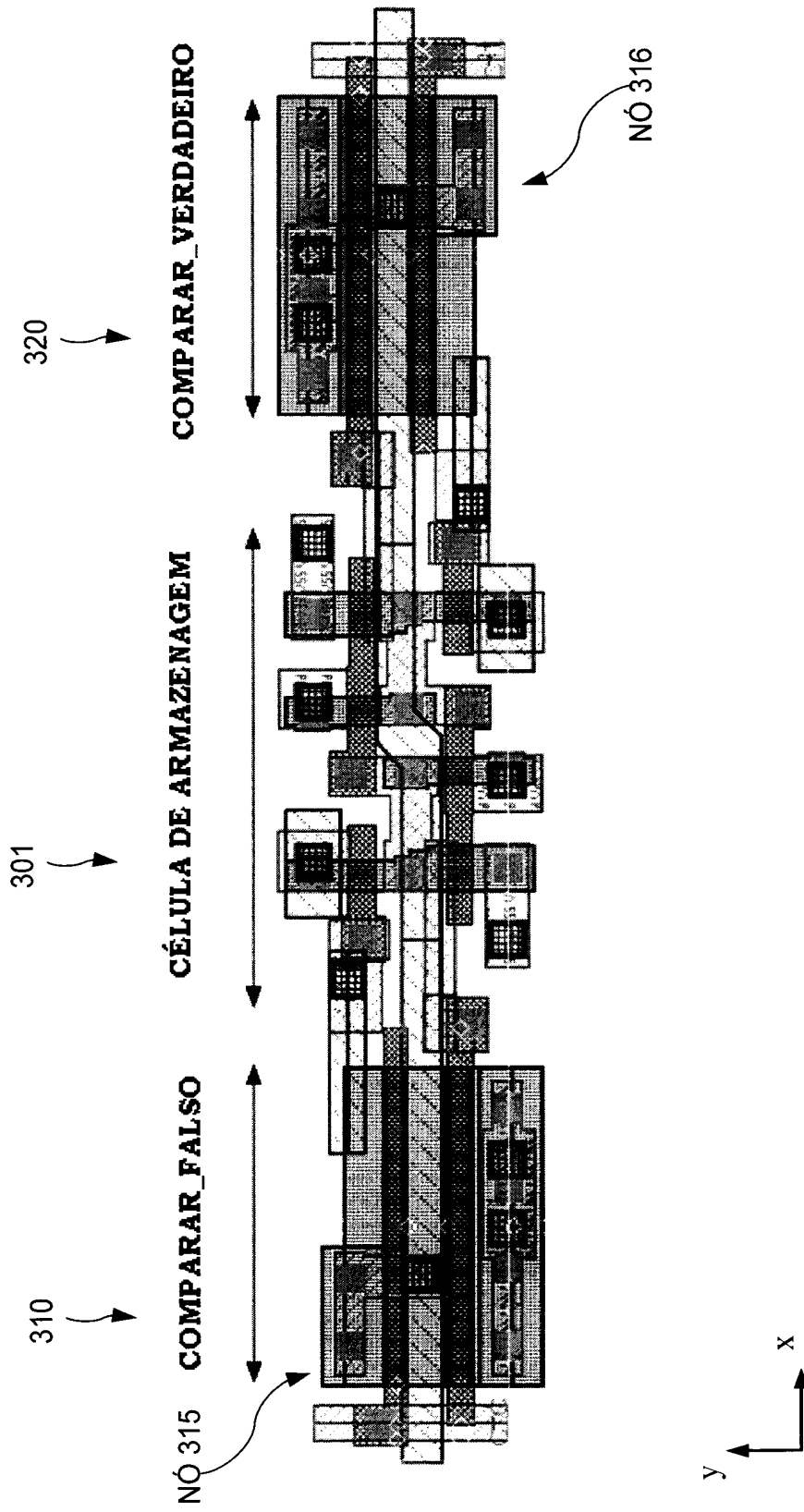


FIG. 3

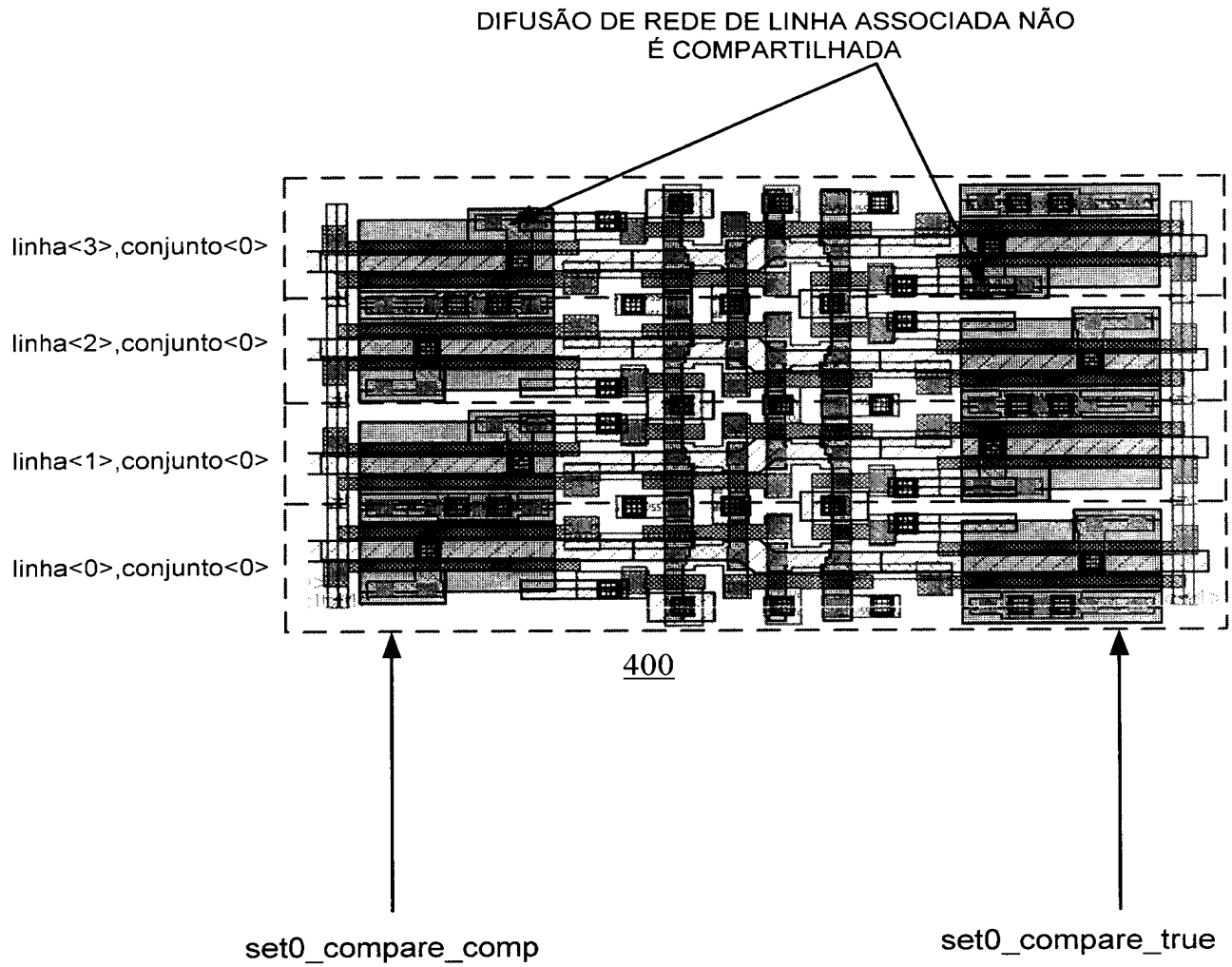


FIG. 4

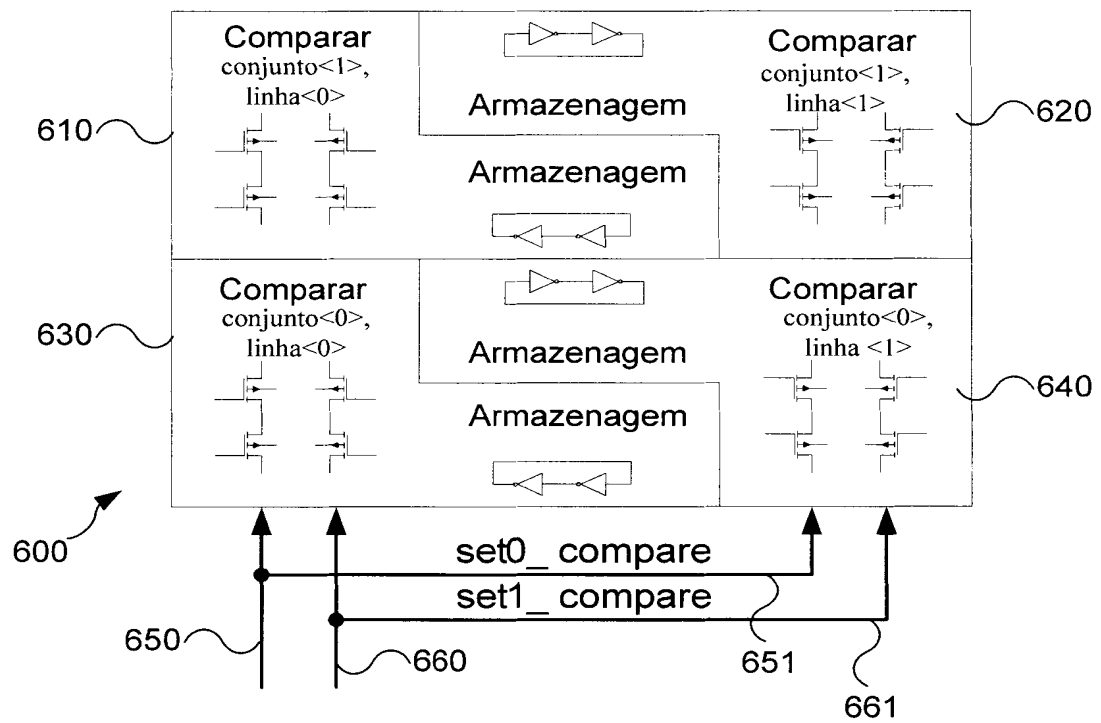


FIG. 6

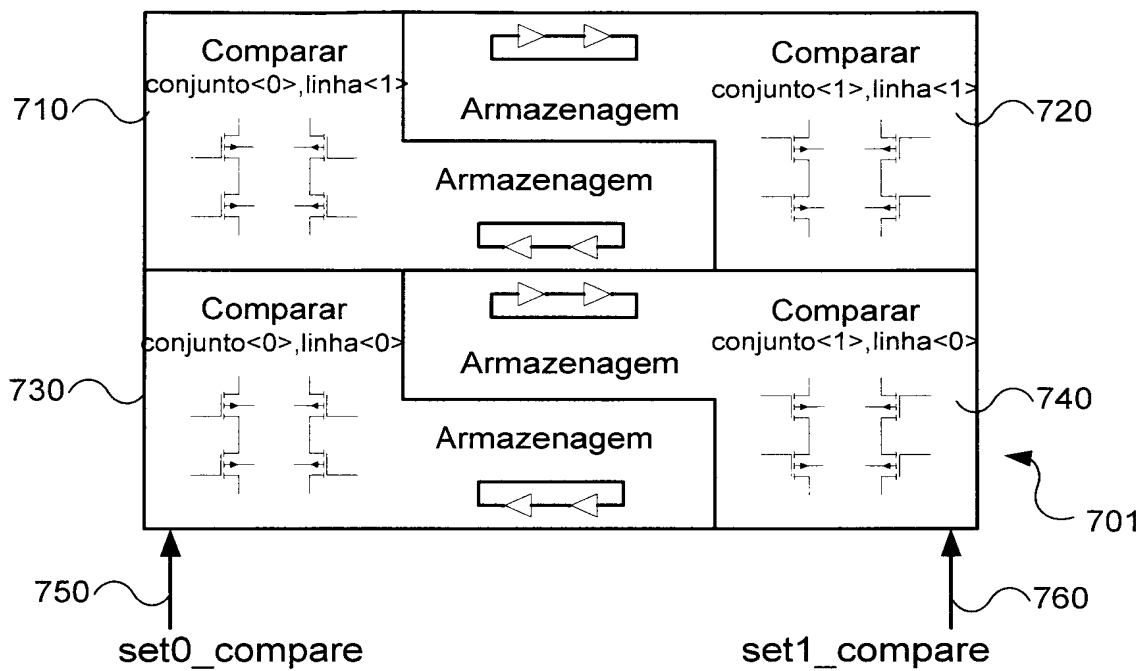


FIG. 7A

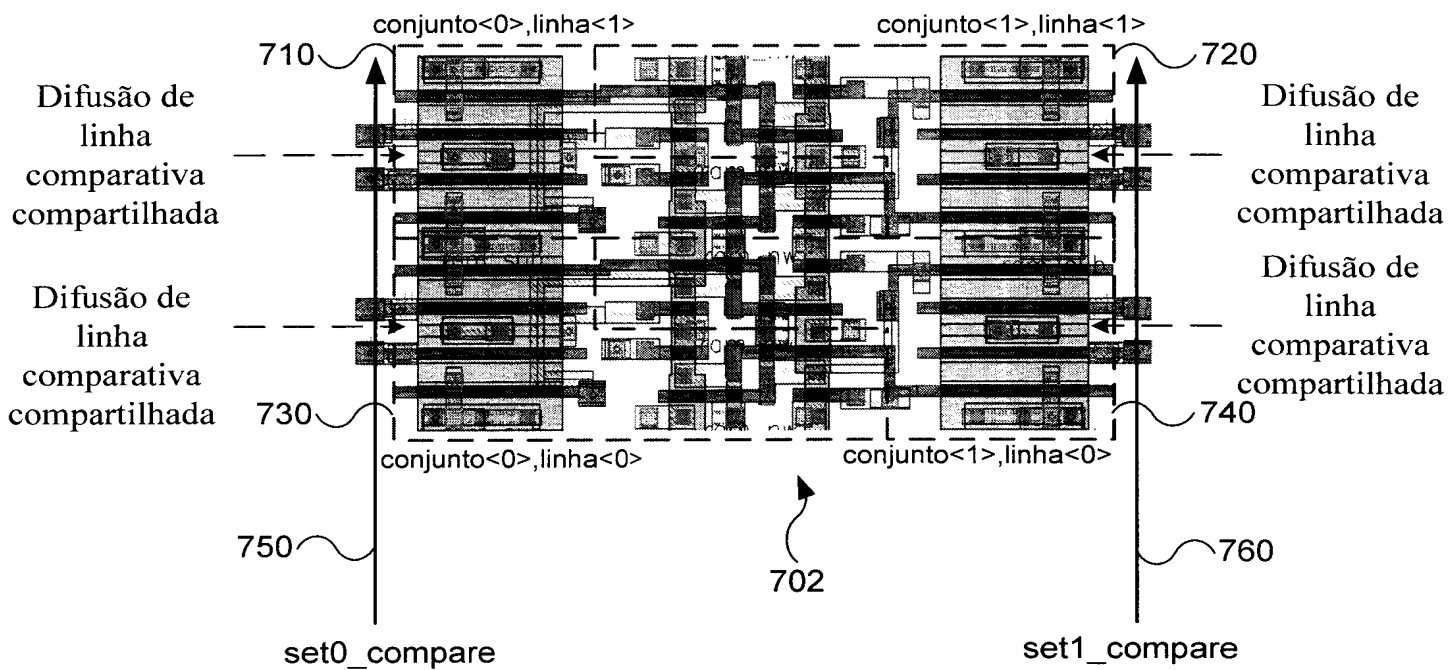


FIG. 7B

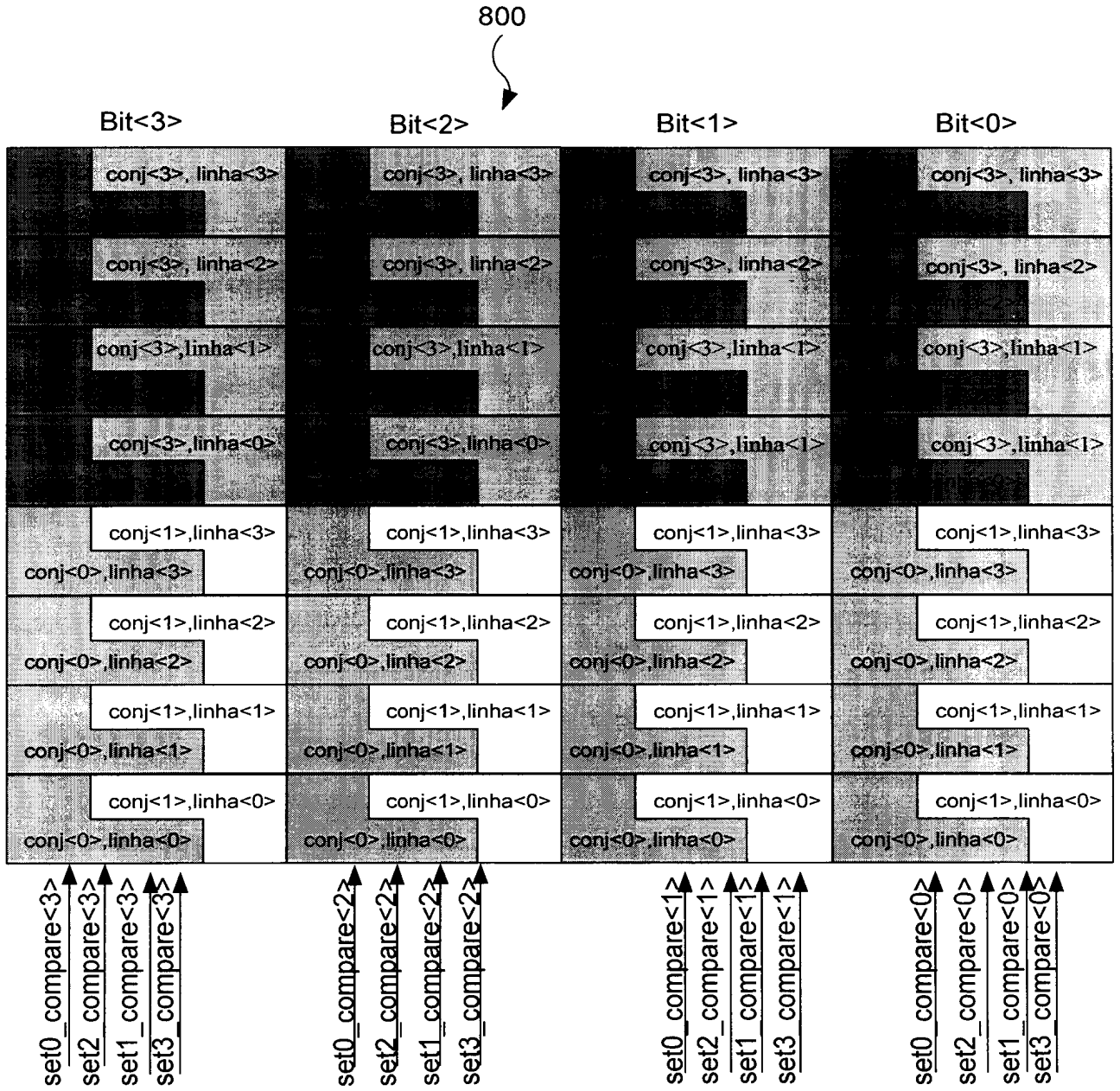


FIG. 8

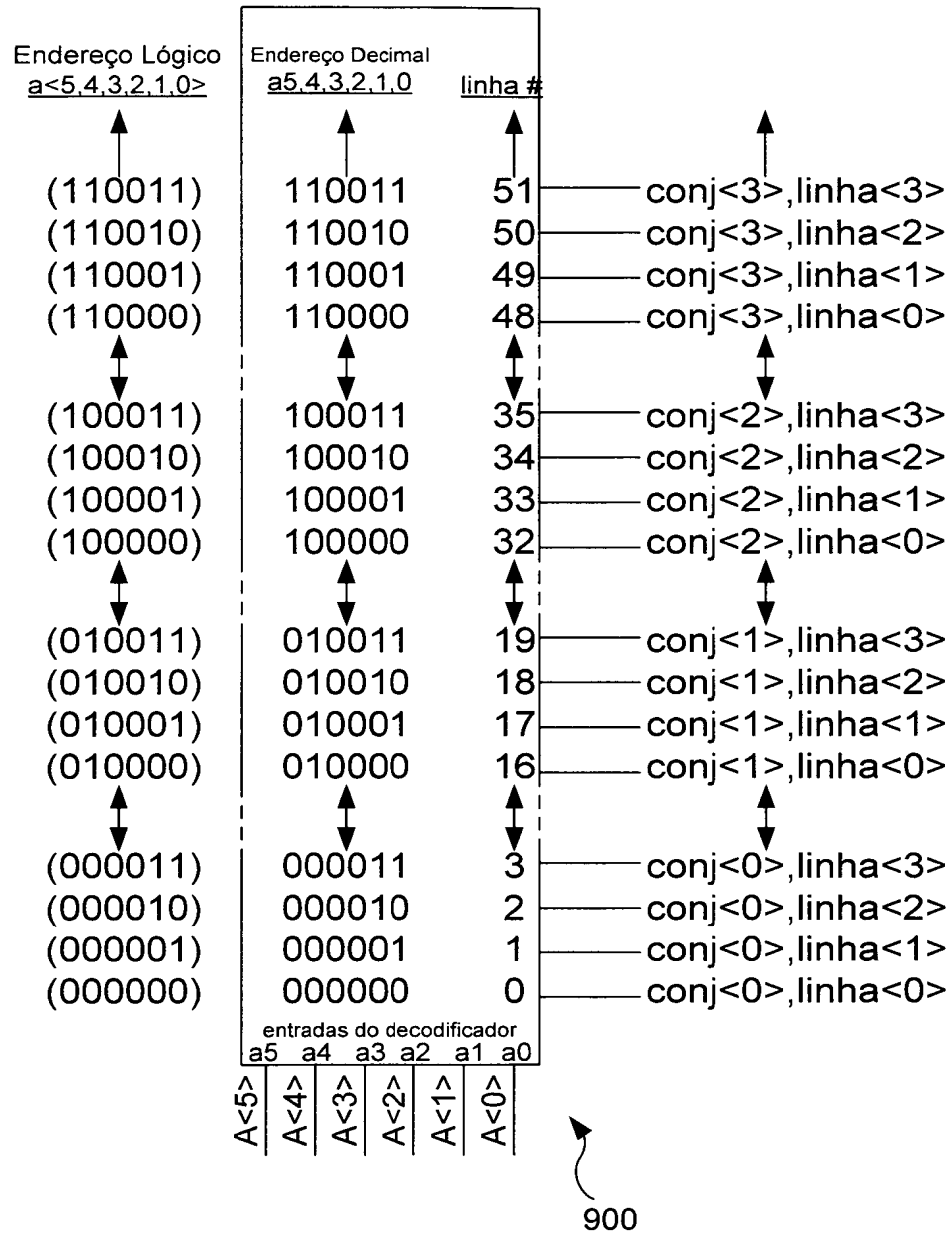


FIG. 9

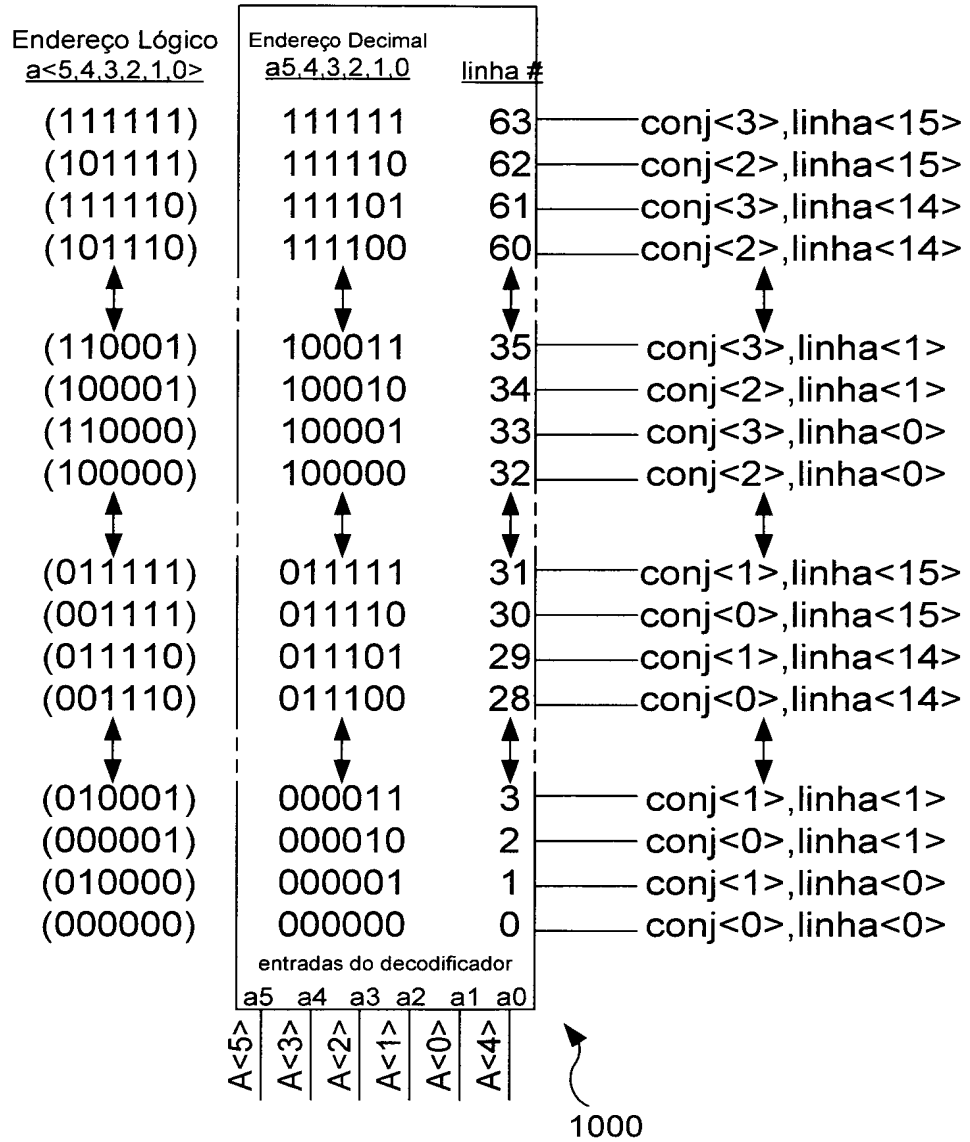


FIG. 10

RESUMO

"MEMÓRIA ENDEREÇÁVEL DE CONTEÚDO".

Uma memória endereçável de conteúdo (CAM) é descrita. A CAM possui primeira e segunda células CAM (710, 5 720, 730, 740) em que cada célula CAM adjacente é girada em 180 com relação a sua vizinha, que fornece um arranjo físico compacto possuindo todas as alturas de linha de célula de arranjo RAM e célula de arranjo CAM casadas. Adicionalmente, um esquema de conjunto intercalado pode ser 10 aplicado às células CAM para fornecer roteamento reduzido de sinais de comparação e capacitância parasita reduzida. As primeira e segunda células CAM podem ser empilhadas verticalmente.