(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月4日(04.07.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/141887 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 27/06* (2006.01)
G02F 1/1368 (2006.01) *H01L 27/088* (2006.01)
G09F 9/30 (2006.01) *H10B 12/00* (2023.01)
H01L 21/8234 (2006.01) *H10K 59/12* (2023.01)

(21) 国際出願番号： PCT/IB2023/063066

(22) 国際出願日： 2023年12月21日(21.12.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-211400 2022年12月28日(28.12.2022) JP
特願 2023-007422 2023年1月20日(20.01.2023) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

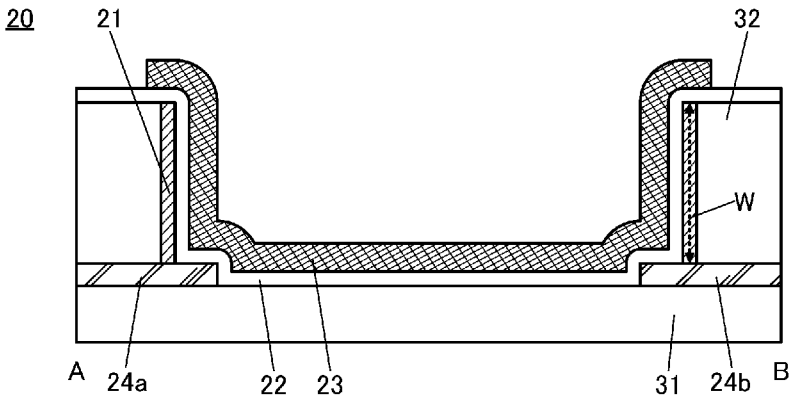
(72) 発明者: 神長正美 (**JINTYOU, Masami**). 島行徳 (**SHIMA, Yukinori**). 中田昌孝 (**NAKADA, Masataka**). 肥塚純一 (**KOEZUKA, Junichi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡崎健一 (**OKAZAKI, Kenichi**); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図1B



(57) **Abstract:** Provided is a semiconductor device that occupies a small area. A semiconductor device according to the present invention comprises a first insulation layer, a second insulation layer, and a transistor, wherein: the transistor has a semiconductor layer, a gate insulation layer, a gate electrode, a source electrode, and a drain electrode; the source electrode and the drain electrode are provided on the first insulation layer; the second insulation layer has an opening that reaches the first insulation layer and overlaps a part of the source electrode and a part of the drain electrode; the semiconductor

WO 2024/141887 A1

[続葉有]

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

layer is provided so as to be in contact with a side surface of the second insulation layer in the opening, an upper surface of the first insulation layer in the opening, an upper surface of the source electrode, and an upper surface of the drain electrode; the gate insulation layer is located on the semiconductor layer, the source electrode, and the drain electrode; and the gate electrode overlaps the opening and is located on the gate insulation layer.

(57) 要約:占有面積の小さい半導体装置を提供する。第１の絶縁層と、第２の絶縁層と、トランジスタと、を有し、トランジスタは、半導体層、ゲート絶縁層、ゲート電極、ソース電極、及びドレイン電極を有し、ソース電極及びドレイン電極は、第１の絶縁層上に設けられ、第２の絶縁層は、第１の絶縁層に達し、且つソース電極の一部、及びドレイン電極の一部と重なる開口を有し、半導体層は、第２の絶縁層の開口における側面、第１の絶縁層の開口における上面、並びにソース電極の上面、及びドレイン電極の上面に接して設けられ、ゲート絶縁層は、半導体層、ソース電極、及びドレイン電極上に位置し、ゲート電極は、開口と重畳し、且つゲート絶縁層上に位置する。

明細書

発明の名称

半導体装置

技術分野

［０００１］

本発明の一態様は、半導体装置、及びその作製方法に関する。本発明の一態様は、トランジスタ、及びその作製方法に関する。本発明の一態様は、半導体装置を有する表示装置に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野として、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

［０００４］

トランジスタを有する半導体装置は、電子機器に広く適用されている。また、近年、表示装置の用途が多様化しており、例えば、携帯情報端末、テレビジョン装置（テレビジョン受信機ともいう）、デジタルサイネージ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｇｅ：電子看板）、及びＰＩＤ（Ｐｕｂｌｉｃ　Ｉｎｆｏｒｍａｔｉｏｎ　Ｄｉｓｐｌａｙ）などに表示装置が用いられている。表示装置として、例えば、有機ＥＬ（Ｅｌｅｃｔｒｏ　Ｌｕｍｉｎｅｓｃｅｎｃｅ）素子、または発光ダイオード（ＬＥＤ：Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を有する表示装置、液晶素子を有する表示装置、電気泳動方式により表示を行う電子ペーパーが挙げられる。

［０００５］

表示装置において、トランジスタの占有面積を小さくすることで、画素サイズを縮小でき、精細度を高めることができる。また、トランジスタの占有面積を小さくすることで、開口率を高めることができる。そのため、微細なトランジスタが求められている。

［０００６］

高精細な表示装置が要求される機器として、例えば、仮想現実（ＶＲ：Ｖｉｒｔｕａｌ　Ｒｅａｌｉｔｙ）、拡張現実（ＡＲ：Ａｕｇｍｅｎｔｅｄ　Ｒｅａｌｉｔｙ）、代替現実（ＳＲ：Ｓｕｂｓｔｉｔｕｔｉｏｎａｌ　Ｒｅａｌｉｔｙ）、及び、複合現実（ＭＲ：Ｍｉｘｅｄ　Ｒｅａｌｉｔｙ）向けの機器が、盛んに開発されている。

［０００７］

特許文献１には、有機ＥＬ素子を用いた、高精細な表示装置が開示されている。

［先行技術文献］

［特許文献］

［０００８］

［特許文献１］国際公開第２０１６／０３８５０８号

発明の概要

発明が解決しようとする課題

［０００９］

本発明の一態様は、微細なサイズのトランジスタを提供することを課題の一とする。または、チャネル長が長いトランジスタを提供することを課題の一とする。または、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供することを課題の一とする。または、電気特性が良好なトランジスタを提供することを課題の一とする。または、占有面積が小さい半導体装置を提供することを課題の一とする。または、配線抵抗が低い半導体装置を提供することを課題の一とする。または、消費電力が低い半導体装置または表示装置を提供することを課題の一とする。または、信頼性が高いトランジスタ、半導体装置、または表示装置を提供することを課題の一とする。または、高精細の表示装置を提供することを課題の一とする。または、生産性が高い半導体装置または表示装置の作製方法を提供することを課題の一とする。または、新規なトランジスタ、半導体装置、表示装置、またはこれらの作製方法を提供することを課題の一とする。

［００１０］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１１］

本発明の一態様は、第１の絶縁層と、第２の絶縁層と、トランジスタと、を有し、トランジスタは、半導体層、ゲート絶縁層、第１のゲート電極、ソース電極、及びドレイン電極を有し、ソース電極及びドレイン電極は、第１の絶縁層上に設けられ、第２の絶縁層は、第１の絶縁層に達し、且つソース電極の一部、及びドレイン電極の一部と重なる開口を有し、半導体層は、第２の絶縁層の開口における側面、第１の絶縁層の開口における上面、ソース電極の上面、及びドレイン電極の上面に接して設けられ、ゲート絶縁層は、半導体層、ソース電極、及びドレイン電極上に位置し、第１のゲート電極は、開口と重畳し、且つゲート絶縁層上に位置する、半導体装置である。

［００１２］

上記において、半導体層は、開口において、ソース電極、及びドレイン電極の一方または双方を覆う、ことが好ましい。

［００１３］

また、上記において、第１の絶縁層と、ゲート絶縁層とは、開口の底部にて接する部分を有する、ことが好ましい。

［００１４］

また、上記において、半導体層の上面、及び第２の絶縁層の上面は、ゲート絶縁層に接する、ことが好ましい。

［００１５］

また、上記において、第２のゲート電極を有し、第２のゲート電極は、第２の絶縁層に覆われ、第

２の絶縁層の一部は、第２のゲート電極の側面と、半導体層の間に位置する、ことが好ましい。また、上記において、ソース電極及びドレイン電極と、第２のゲート電極の間に、第３の絶縁層を有する、ことが好ましい。

［００１６］

また、上記において、開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、ことが好ましい。

［００１７］

また、上記において、開口は、複数の延伸部と、少なくとも一以上の屈曲部と、を有し、延伸部は、上面視において一方向に延伸された形状を有し、延伸部の一と、延伸部の他の一とは、屈曲部を介して接続される、ことが好ましい。

［００１８］

また、本発明の他の一態様は、第１の絶縁層と、第２の絶縁層と、第１のトランジスタと、第２のトランジスタと、を有し、第１のトランジスタは、第１の半導体層、第１のゲート絶縁層、第１のゲート電極、第１のソース電極、及び第１のドレイン電極を有し、第１のソース電極及び第１のドレイン電極は、第１の絶縁層上に設けられ、第２の絶縁層は、第１の絶縁層に達し、且つ第１のソース電極の一部、及び第１のドレイン電極の一部と重なる第１の開口を有し、第１の半導体層は、第２の絶縁層の第１の開口における側面、第１の絶縁層の第１の開口における上面、並びに第１のソース電極の上面、及び第１のドレイン電極の上面に接して設けられ、第１のゲート絶縁層は、第１の半導体層、第１のソース電極、及び第１のドレイン電極上に位置し、第１のゲート電極は、第１の開口と重畳し、且つ第１のゲート絶縁層上に位置し、第２のトランジスタは、第２の半導体層、第１のゲート絶縁層、第２のゲート電極、第２のソース電極、及び第２のドレイン電極を有し、第２のソース電極と、第２のドレイン電極と、は異なる高さに位置し、第２の絶縁層は、第２のソース電極及び第２のドレイン電極の一方に達する第２の開口を有し、第２のソース電極及び第２のドレイン電極の他方は、第２の絶縁層上に設けられ、第２の半導体層は、第２の絶縁層の第２の開口における側面、第２のソース電極及び第２のドレイン電極の一方の上面、並びに第２のソース電極及び第２のドレイン電極の他方の側面に接して設けられ、第１のゲート絶縁層は、第２の半導体層、第２のソース電極、及び第２のドレイン電極上に位置し、第２のゲート電極は、第２の開口と重畳し、且つ第１のゲート絶縁層上に位置する、半導体装置である。

［００１９］

上記において、第１の半導体層は、第１の開口において、第１のソース電極を覆い、且つ第１のドレイン電極を覆う、ことが好ましい。

［００２０］

また、上記において、第１の絶縁層と、第１のゲート絶縁層とは、第１の開口の底部にて接する部分を有する、ことが好ましい。

［００２１］

また、上記において、第１の半導体層の上面、及び第２の絶縁層の上面は、第１のゲート絶縁層に接する、ことが好ましい。

［００２２］

また、上記において、第１の開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多

角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、ことが好ましい。

［００２３］

また、上記において、第１の開口は、複数の延伸部と、少なくとも一以上の屈曲部と、を有し、延伸部は、上面視において一方向に延伸された形状を有し、延伸部の一と、延伸部の他の一とは、屈曲部を介して接続される、ことが好ましい。

発明の効果

［００２４］

本発明の一態様により、微細なサイズのトランジスタを提供できる。または、チャネル長が長いトランジスタを提供できる。または、チャネル長が長いトランジスタ及びチャネル長が短いトランジスタを提供できる。または、電気特性が良好なトランジスタを提供できる。または、占有面積が小さい半導体装置を提供できる。または、配線抵抗の低い半導体装置を提供できる。または、消費電力が低い半導体装置または表示装置を提供できる。または、信頼性が高いトランジスタ、半導体装置、または表示装置を提供できる。または、高精細の表示装置を提供できる。または、生産性の高い半導体装置または表示装置の作製方法を提供できる。または、新規なトランジスタ、半導体装置、表示装置、またはこれらの作製方法を提供できる。

［００２５］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２６］

図１Ａは、トランジスタの斜視概略図である。図１Ｂは、トランジスタの断面概略図である。

図２Ａは、トランジスタの斜視概略図である。図２Ｂは、トランジスタの断面概略図である。

図３Ａ及び図３Ｂは、トランジスタの斜視概略図である。

図４Ａ及び図４Ｂは、トランジスタの斜視概略図である。

図５Ａ及び図５Ｂは、トランジスタの斜視概略図である。

図６Ａは、トランジスタの上面概略図である。図６Ｂは、トランジスタの断面概略図である。

図７Ａは、トランジスタの斜視概略図である。図７Ｂは、トランジスタの上面概略図である。

図８Ａ乃至図８Ｅは、トランジスタの上面概略図である。

図９Ａは、半導体装置の一例を示す上面図である。図９Ｂは、半導体装置の一例を示す断面図である。

図１０Ａは、半導体装置の一例を示す上面図である。図１０Ｂは、半導体装置の一例を示す断面図である。

図１１Ａは、半導体装置の一例を示す上面図である。図１１Ｂは、半導体装置の一例を示す断面図である。

図１２Ａ乃至図１２Ｃは、半導体装置の一例を示す断面図である。

図１３Ａは、半導体装置の一例を示す上面図である。図１３Ｂは、半導体装置の一例を示す断面図である。

図１４Ａは、半導体装置の一例を示す上面図である。図１４Ｂは、半導体装置の一例を示す断面図である。

図１５Ａは、半導体装置の一例を示す上面図である。図１５Ｂは、半導体装置の一例を示す断面図である。

図１６Ａ及び図１６Ｂは、半導体装置の一例を示す断面図である。

図１７Ａ乃至図１７Ｅは、半導体装置の作製方法の一例を示す断面図である。

図１８Ａ乃至図１８Ｄは、半導体装置の作製方法の一例を示す断面図である。

図１９Ａ乃至図１９Ｄは、半導体装置の作製方法の一例を示す断面図である。

図２０Ａ及び図２０Ｂは、半導体装置の作製方法の一例を示す断面図である。

図２１Ａ及び図２１Ｂは、半導体装置の作製方法の一例を示す上面図である。

図２２Ａ及び図２２Ｂは、半導体装置の作製方法の一例を示す上面図である。

図２３Ａは、表示装置の一例を示す斜視図である。図２３Ｂは、表示装置の一例を示すブロック図である。

図２４Ａは、ラッチ回路の回路図である。図２４Ｂは、インバータ回路の回路図である。

図２５Ａ及び図２５Ｂは、画素回路の回路図である。図２５Ｃは、画素回路の一例を示す断面図である。

図２６は、画素回路の一例を示す断面図である。

図２７は、表示装置の構成例を示す断面模式図である。

図２８Ａおよび図２８Ｂは、電子装置の構成例を説明する図である。

図２９Ａおよび図２９Ｂは、電子装置の構成例を説明する図である。

図３０Ａおよび図３０Ｂは、表示装置の構成例を説明する図である。

図３１は、表示装置の構成例を説明する図である。

図３２Ａ乃至図３２Ｃは、表示モジュールの斜視図である。

図３３Ａおよび図３３Ｂは、表示装置の構成例を説明する図である。

図３４Ａ乃至図３４Ｄは、表示装置の構成例を説明する図である。

図３５Ａ乃至図３５Ｄは、表示装置の構成例を説明する図である。

図３６Ａおよび図３６Ｂは、表示装置の構成例を説明する図である。

図３７Ａ乃至図３７Ｄは、表示装置の構成例を説明する図である。

図３８Ａ乃至図３８Ｃは、表示装置の構成例を説明する図である。

図３９Ａ乃至図３９Ｆは、電子機器の一例を示す図である。

図４０Ａ乃至図４０Ｇは、電子機器の一例を示す図である。

図４１Ａは、副表示部を説明する図である。図４１Ｂ１乃至図４１Ｂ７は、画素の構成例を説明する図である。

図４２Ａ乃至図４２Ｇは、画素の構成例を説明する図である。

図４３Ａ乃至図４３Ｄは、発光デバイスの構成例を説明する図である。

発明を実施するための形態

［００２７］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００２８］

なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００２９］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記して記載する場合がある。また、図面等において、符号に“＿１”、“［ｎ］”、“［ｍ，ｎ］”等の識別用の符号を付記している場合、本明細書等において区別する必要が無いときには、識別用の符号を記載しない場合がある。

［００３０］

図面において示す各構成の、位置、大きさ、及び、範囲などは、理解の簡単のため、実際の位置、大きさ、及び、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲などに限定されない。

［００３１］

本明細書等において、「第１」、「第２」という序数詞は、便宜上用いるものであり、構成要素の数、または、構成要素の順序（例えば、工程順、または積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、または特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

［００３２］

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

［００３３］

トランジスタは半導体素子の一種であり、電流または電圧を増幅する機能、及び、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書等におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）及び薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）を含む。

［００３４］

「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、または回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのソース及びドレインの呼称については、ソース端子及びドレイン端子、またはソース電極及びドレイン電極等、状況に応じて適切に言い換えることができる。

［００３５］

「ゲート」と「バックゲート」は入れ替えることができる。このため、本明細書等においては、「ゲート」と「バックゲート」の用語は、入れ替えて用いることができるものとする。なお、トランジスタのゲート及びバックゲートの呼称については、ゲート電極及びバックゲート電極等、状況に応じて適切に言い換えることができる。

［００３６］

本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極または配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、その他の各種機能を有する素子などが含まれる。

［００３７］

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのソースードレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００３８］

本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置すること、または上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という場合がある。また、上面形状が一致または概略一致している場合、端部が揃っている、または概略揃っているということもできる。

［００３９］

本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面または被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面または被形成面とがなす角（テーパ角ともいう）が９０度未満である領域を有すると好ましい。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微小な曲率を有する略平面状、または微細な凹凸を有する略平面状であってもよい。

［００４０］

本明細書等において、メタルマスク、またはＦＭＭ（ファインメタルマスク、高精細なメタルマスク）を用いて作製されるデバイスをMM（メタルマスク）構造のデバイスと呼称する場合がある。また、本明細書等において、メタルマスク、またはＦＭＭを用いずに作製されるデバイスをＭＭＬ（メタルマスクレス）構造のデバイスと呼称する場合がある。なお、ＭＭＬ構造のデバイスは、メタルマスクを用いることなく製造することができるため、メタルマスクの合わせ精度に起因する精細度の上限を超えることができる。また、ＭＭＬ構造のデバイスは、メタルマスクの製造に係る設備およびメタルマスクの洗浄工程を不要にすることができる。また、ＭＭＬ構造のデバイスは、製造コストを低く抑えることが可能となるため、大量生産に適している。

［００４１］

本明細書等では、発光波長が異なる発光デバイス（発光素子ともいう）で発光層を作り分ける構造をＳＢＳ（Ｓｉｄｅ　Ｂｙ　Ｓｉｄｅ）構造と呼ぶ場合がある。ＳＢＳ構造は、発光デバイスごとに材料及び構成を最適化することができるため、材料及び構成の選択の自由度が高まり、輝度の向上及び信頼性の向上を図ることが容易となる。

［００４２］

本明細書等において、正孔または電子を、「キャリア」といって示す場合がある。具体的には、正孔注入層または電子注入層を「キャリア注入層」といい、正孔輸送層または電子輸送層を「キャリア

輸送層」といい、正孔ブロック層または電子ブロック層を「キャリアブロック層」という場合がある。なお、上述のキャリア注入層、キャリア輸送層、及びキャリアブロック層は、それぞれ、断面形状、または特性などによって明確に区別できない場合がある。また、１つの層が、キャリア注入層、キャリア輸送層、及びキャリアブロック層のうち２つまたは３つの機能を兼ねる場合がある。

［００４３］

本明細書等において、発光デバイスは、一対の電極間にＥＬ層を有する。ＥＬ層は、少なくとも発光層を有する。ここで、ＥＬ層が有する層（機能層ともいう）として、発光層、キャリア注入層（正孔注入層及び電子注入層）、キャリア輸送層（正孔輸送層及び電子輸送層）、及び、キャリアブロック層（正孔ブロック層及び電子ブロック層）などが挙げられる。本明細書等において、受光素子（受光デバイスともいう）は、一対の電極間に少なくとも光電変換層として機能する活性層を有する。本明細書等では、一対の電極の一方を画素電極と記し、他方を共通電極と記すことがある。

［００４４］

本明細書等において、犠牲層（マスク層と呼称してもよい）とは、少なくとも発光層（より具体的には、ＥＬ層を構成する層のうち、島状に加工される層）の上方に位置し、製造工程中において、当該発光層を保護する機能を有する。

［００４５］

本明細書等において、段切れとは、層、膜、または電極が、被形成面の形状（例えば段差など）に起因して分断されてしまう現象を示す。

［００４６］

（実施の形態１）

本実施の形態では、本発明の一態様の半導体装置の構成例について説明する。ここでは特に、トランジスタを有する構成について説明する。

［００４７］

＜構成例１＞

図１Ａはトランジスタ２０の斜視概略図を示す。図１Ａ中に示す一点鎖線Ａ－Ｂにおける切断面の断面概略図を、図１Ｂに示す。トランジスタ２０の上面概略図（平面概略図ともいう）を、図８Ａに示す。なお、図１Ａ及び図８Ａでは、一部の構成要素（ゲート電極２３、ゲート絶縁層２２など）を省略している。また、図１Ａでは、絶縁層３２を透過させて、ソース電極２４ａ及びドレイン電極２４ｂを表示している。

［００４８］

トランジスタ２０は、絶縁層３１上に設けられ、半導体層２１、ゲート絶縁層２２、ゲート電極２３、ソース電極２４ａ、及びドレイン電極２４ｂを有する。

［００４９］

絶縁層３１上には、ソース電極２４ａ及びドレイン電極２４ｂがそれぞれ設けられる。さらに、絶縁層３１上に絶縁層３２が設けられ、絶縁層３２は絶縁層３１に達する開口３０を有する。ここで、開口３０は、ソース電極２４ａの一部、及びドレイン電極２４ｂの一部と重なるように設けられる。言い換えると、ソース電極２４ａの一部、及びドレイン電極２４ｂの一部が、開口３０の側壁（開口３０の側面、または開口３０における絶縁層３２の側面を指す場合もある）から突出するように設けられている。また、半導体層２１は、絶縁層３２の開口３０における側面に接して設けられている。ゲート絶縁層２２は、半導体層２１、絶縁層３１、ソース電極２４ａ、ドレイン電極２４ｂ等を覆っ

て設けられる。ゲート電極２３は、開口３０と重畳し、ゲート絶縁層２２上に位置する。半導体層２１は、ソース電極２４ａとドレイン電極２４ｂのそれぞれに接して設けられる。

［００５０］

図１Ａ、及び図１Ｂに示すように、半導体層２１は開口３０の側面に沿って、サイドウォール状に設けられている。例えば、半導体層２１となる半導体膜を加工する際、異方性のエッチング法を用いて形成することで、半導体層２１をサイドウォール状に形成することができる。半導体層２１をサイドウォール状に形成する場合、半導体層２１がソース電極２４ａの上面の一部、及びドレイン電極２４ｂの上面の一部に接する。また、図１Ａに示すように、半導体層２１の下面で、ソース電極２４ａ及びドレイン電極２４ｂと接していない部分は、絶縁層３１の上面に接している。また、図１Ｂに示すように、半導体層２１の上面、及び絶縁層３２の上面が、ゲート絶縁層２２に接する場合がある。また、開口３０の底部に半導体層２１が設けられていないので、ゲート絶縁層２２は、開口３０の底部において、絶縁層３１と接する。

［００５１］

ここで、トランジスタ２０におけるチャネル長Ｌは、開口３０の側壁に設けられた半導体層２１の周長方向における、ソース電極２４ａとドレイン電極２４ｂとの距離に相当する。一方、トランジスタ２０におけるチャネル幅Wは、開口３０の深さ方向に沿った半導体層２１の幅となる。そのため、チャネル幅Wは、絶縁層３２の厚さ及び開口３０の深さによって制御できるため、極めてチャネル幅の短いトランジスタを実現することができる。例えば、量産用の露光装置では実現できなかった、極めて小さいチャネル幅のトランジスタを実現することができる。また、最先端のＬＳＩ技術で用いられる極めて高額な露光装置を用いることなく、チャネル幅が１０ｎｍ未満のトランジスタを実現することもできる。

［００５２］

開口３０の輪郭形状（上面形状、平面形状ともいう）が複雑であるほど、チャネル長Ｌを大きくできる。ここでは開口３０の輪郭形状を角の丸い長方形形状としたが、これに限られず様々な形状とすることができる。例えば、円形、楕円形、角の丸い四角形などとすることができる。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形としてもよい。また、星形多角形などの、少なくとも一つの内角が１８０度を超える多角形である、凹多角形とすると、チャネル長Ｌを大きくできる。そのほか、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などとすることができる。

［００５３］

このような構成とすることで、トランジスタのチャネル幅Wを、絶縁層３２の厚さによって精密に制御することができるため、チャネル幅Wのばらつきを極めて小さくすることができる。さらに、チャネル幅Wが極めて小さいトランジスタを実現することができる。

［００５４］

ここで、トランジスタの特性を示す指標として、チャネル長Ｌに対するチャネル幅Wの比（Ｗ／Ｌ比）を用いる場合がある。従来のトランジスタでは、チャネル長及びチャネル幅の最小値は露光装置の露光限界に依存するため、Ｗ／Ｌ比を小さくしたい場合には、Ｌを大きくする必要があり、トランジスタの占有面積が増大する問題があった。しかしながら本発明の一態様のトランジスタは、チャネル幅Wを露光装置の露光限界よりも小さくできるため、トランジスタの占有面積を増大させることなく、Ｗ／Ｌ比の極めて小さいトランジスタを実現することができる。

［００５５］

図２Ａ及び図２Ｂは、半導体層２１が、開口３０の側壁だけでなく、絶縁層３２の上面、及び絶縁層３１の開口３０内に位置する上面にも設けられている例を示している。ここで、図２Ｂは図２Ａ中の切断面Ａ－Ｂにおける断面概略図である。図２Ａに示す構成では、トランジスタのチャネル幅Wは、半導体層２１の開口３０の側壁に位置する部分の幅と、絶縁層３２上に位置する部分の幅と、絶縁層３１の上面に位置する部分の幅と、を足した長さとなる。

［００５６］

ここで、半導体層２１は、ソース電極２４ａ及びドレイン電極２４ｂの開口３０に突出した部分を覆う。これにより、半導体層２１とソース電極２４ａの接触面積、及び半導体層２１とドレイン電極２４ｂの接触面積を大きくすることができる。これにより、トランジスタ２０のオン電流、及び電界効果移動度の向上を図ることができる。またこのとき、半導体層２１の一部が絶縁層３２の上面に接し、半導体層２１の他の一部が開口３０の底部において絶縁層３１の上面に接する。

［００５７］

なお、図２Ａ及び図２Ｂでは、半導体層２１がソース電極２４ａ、及びドレイン電極２４ｂ、それぞれを覆う構成について示したが、本発明はこれに限られるものではない。例えば、半導体層２１が、ソース電極２４ａまたはドレイン電極２４ｂのいずれか一方の開口３０に突出した部分を覆う構成にしてもよい。また、例えば、半導体層２１が、ソース電極２４ａ及びドレイン電極２４ｂの一方または双方の側端部を覆わずに、ソース電極２４ａ及びドレイン電極２４ｂの一方または双方の上面に接する構成にしてもよい。

［００５８］

図３Ａは、ソース電極２４ａとドレイン電極２４ｂとが隣り合って設けられる例を示している。上面概略図を、図８Ｂに示す。このような構成とすることで、開口３０の側壁の大部分に半導体層２１を設けることができる。よって、トランジスタのチャネル長Ｌを開口３０の周長に近づけることができ、チャネル長Ｌの長いトランジスタを実現できる。例えば、開口３０の周長のうち、７０％以上、好ましくは８０％以上、より好ましくは９０％以上をチャネル長Ｌとすることが好ましい。

［００５９］

図３Ｂは、一つの開口３０に、２つのトランジスタを配置した場合の例である。ここでは、開口３０の側壁に沿って、半導体層２１ａと半導体層２１ｂが互いに接することなく設けられている。これにより、半導体層２１ａを有するトランジスタ２０ａと、半導体層２１ｂを有するトランジスタ２０ｂとが、一つの開口３０を共有するように設けられている。トランジスタ２０ａとトランジスタ２０ｂとは、チャネル幅Wが等しいトランジスタとなる。なお、トランジスタ２０ａとトランジスタ２０ｂとは、チャネル長Ｌは異なっていてもよい。なお、ここでは一つの開口３０に２つのトランジスタを設けた例を示したが、３つ以上のトランジスタを設けてもよい。

［００６０］

図４Ａ、図４Ｂには、上記とは開口３０の形状を異ならせた場合の例を示している。

［００６１］

図４Ａは、開口３０の輪郭の一部を波状にした場合の例である。これにより、開口３０の占有面積を大きくすることなく、チャネル長Ｌを大きくすることができる。

［００６２］

図４Ｂは、開口３０の側壁全体にわたって、環状の半導体層２１が設けられている場合の例である。

環状の半導体層２１の一部に接してソース電極２４ａが設けられ、他の一部に接してドレイン電極２４ｂが設けられている。このとき、図４Ｂに示すように、半導体層２１におけるソース電極２４ａとドレイン電極２４ｂとをつなぐ経路が２つ存在し、そのうち一方の長さをチャネル長Ｌ１、他方の長さをチャネル長Ｌ２とすることができる。特に、チャネル長Ｌ１とチャネル長Ｌ２とが等しくなるように、ソース電極２４ａとドレイン電極２４ｂを開口３０に対して対称に配置することが好ましい。図４Ｂに示すように、開口３０を略円形状とし、その両端にソース電極２４ａ及びドレイン電極２４ｂを設けることで、チャネル長Ｌ１とチャネル長Ｌ２を比較的容易に等しくすることができる。

［００６３］

また、図４Ｂでは、開口３０の輪郭形状を略円形としているため、トランジスタの占有面積を小さくすることができる。また、開口３０の形状が単純であることから、その形状ばらつきを小さくできるため、トランジスタの電気特性のばらつきを抑制できる。

［００６４］

また、図４Ｂでは、開口３０の輪郭形状を略円形としているが、これに限られることなく、上述した様々な形状にすることができる。例えば、図８Ｃに示すように、輪郭形状を角の丸い四角形にすることもできる。

［００６５］

＜構成例２＞

構成例１とは異なる構成例を、図５Ａ、図５Ｂ、図６Ａ及び図６Ｂに示す。図５Ａ及び図５Ｂはトランジスタ２０Ｂの斜視概略図であり、図６Ａはトランジスタ２０Ｂの上面概略図である。図６Ｂは、図５Ａ、図５Ｂ及び図６Ａに示す一点鎖線Ａ－Ｂにおける切断面の断面概略図である。なお、図５Ａ、図５Ｂ及び図６Ａでは、一部の構成要素（ゲート電極２３、ゲート絶縁層２２など）を省略している。また、図５Ｂでは、絶縁層３２を透過させて、半導体層２１、ソース電極２４ａ、及びドレイン電極２４ｂを表示している。また、図５Ｂでは、絶縁層３２の輪郭を破線で示している。

［００６６］

図５Ａ、図５Ｂ及び図６Ａに示すように、トランジスタ２０Ｂは、開口３０が延伸部と屈曲部を有する輪郭形状である点で、構成例１に示すトランジスタ２０と主に相違している。ここで、延伸部と屈曲部を組み合わせて形成された開口３０の輪郭形状を、蛇行形状、迂曲形状、曲折形状、またはミアンダ形状と呼ぶことができる。

［００６７］

図６Ａに示すように、開口３０は、延伸部２６ａ、延伸部２６ｂ、延伸部２６ｃ、屈曲部２８ａ、及び屈曲部２８ｂを有する。開口３０の輪郭形状は、延伸部２６ａと延伸部２６ｂは、屈曲部２８ａを介して接続され、延伸部２６ｂと延伸部２６ｃは、屈曲部２８ｂを介して接続された形状とみなすことができる。

［００６８］

図６Ｂに示すように、半導体層２１は、開口３０における絶縁層３２の側面に沿って設けられている。さらに、半導体層２１は、ソース電極２４ａと接する領域、及びドレイン電極２４ｂと接する領域を有する。また、開口３０内で半導体層２１は、ゲート絶縁層２２を介してゲート電極２３と対向して設けられている。

［００６９］

図６Ａ等では、半導体層２１が延伸部２６ａにおいてソース電極２４ａに接し、延伸部２６ｃにお

いてドレイン電極２４ｂに接する例を示している。なお、半導体層２１が屈曲部においてソース電極２４ａまたはドレイン電極２４ｂと接する構成としてもよい。例えば、半導体層２１が屈曲部２８ａにおいてソース電極２４ａに接し、屈曲部２８ｂにおいてドレイン電極２４ｂに接する構成としてもよい。

［００７０］

２個の延伸部を１個の屈曲部で接続することで、開口３０に折り返し構造を形成することができる。このような折り返し形状を１個または複数個形成することにより、開口３０の長さを、ソース電極２４ａとドレイン電極２４ｂの距離より、顕著に大きくすることができる。よって、トランジスタの占有面積を増大させることなく、チャネル長Ｌが大きくすることができる。チャネル長Ｌを大きくすることにより、飽和性の高いトランジスタとすることができる。また、チャネル長Ｌに対するチャネル幅Ｗの比（Ｗ／Ｌ比）の極めて小さいトランジスタを実現することができる。

［００７１］

なお、本明細書等において、トランジスタのＩｄ－Ｖｄ特性における、飽和領域の電流の変化が小さいことを、「飽和性が高い」と表現する場合がある。

［００７２］

図６Ａ等では、開口３０が、延伸部２６ａ、延伸部２６ｂ、延伸部２６ｃ、屈曲部２８ａ、及び屈曲部２８ｂを有する構成について示したが、本発明はこれに限られるものではない。開口３０は、複数の延伸部と、少なくとも一以上の屈曲部を有していればよい。ここで、屈曲部の個数は、延伸部より１個少ないことが好ましい。例えば、図８Ｄに示すように、開口３０が、２個の延伸部と、１個の屈曲部を有する構成にしてもよい。また、例えば、開口３０が、４個以上の延伸部と、３個以上の屈曲部を有する構成にしてもよい。なお、図８Ｅに示すように、開口３０の輪郭形状をロール状としてもよい。

［００７３］

なお、図６Ａ等では、開口３０の屈曲部の角が丸まった形状で示したが、本発明の一態様はこれに限られるものではなく、屈曲部の角が角張った形状にしてもよい。この場合、開口３０の輪郭形状をジグザグ形状と呼ぶこともできる。

［００７４］

なお、ここで示した開口３０の構成は、他の構成例にも適用できる。

［００７５］

開口３０の側壁の一部に半導体層２１が設けられない構成例を、図７Ａ及び図７Ｂに示す。図７Ａはトランジスタ２０Ｂの斜視概略図であり、図７Ｂは上面概略図である。

［００７６］

図７Ａ及び図７Ｂは、ソース電極２４ａとドレイン電極２４ｂが隣り合って設けられ、さらに、ソース電極２４ａとドレイン電極２４ｂの間において、開口３０の側壁に半導体層２１が設けられない構成例を示している。このような構成とすることで、トランジスタのチャネル長Ｌを開口３０の周長に近づけることができ、チャネル長Ｌを長くすることができる。

［００７７］

図７Ａ等では、半導体層２１が延伸部２６ａにおいてソース電極２４ａ及びドレイン電極２４ｂに接する例を示しているが、本発明の一態様はこれに限られない。半導体層２１が屈曲部においてソース電極２４ａ及びドレイン電極２４ｂと接する構成としてもよい。または、半導体層２１が屈曲部

においてソース電極２４ａ及びドレイン電極２４ｂの一方と接し、延伸部において他方に接する構成としてもよい。

［００７８］

なお、ここで示した半導体層２１の構成は、他の構成例にも適用できる。

［００７９］

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

［００８０］

（実施の形態２）

本実施の形態では、本発明の一態様の半導体装置について、図９Ａ乃至図１６Ｂを用いて説明する。

［００８１］

＜構成例１＞

半導体装置１０の上面図（平面図ともいう）を、図９Ａに示す。図９Ａに示す一点鎖線Ａ１－Ａ２における切断面の断面図を図９Ｂに示す。なお、図９Ａにおいて、半導体装置１０の構成要素の一部（絶縁層等）を省略している。半導体装置の上面図については、以降の図面においても図９Ａと同様に、構成要素の一部を省略する。

［００８２］

半導体装置１０は、トランジスタ１００と、トランジスタ２００と、絶縁層１１０と、を有する。トランジスタ１００、トランジスタ２００、及び絶縁層１１０は、基板１０２上に設けられる。なお、基板１０２の上部に下地膜となる絶縁層を設けてもよい。その場合、トランジスタ１００、トランジスタ２００、及び絶縁層１１０は、下地膜となる絶縁層の上に形成される。よって、以下において、基板１０２の上面という場合には、基板１０２の上部の下地膜となる絶縁層の上面も含む。

［００８３］

トランジスタ１００とトランジスタ２００は異なる構造を有する。また、トランジスタ１００及びトランジスタ２００は、一部の工程を共通にして形成することができる。なお、半導体装置１０を表示装置に適用する場合、画素の選択トランジスタにトランジスタ１００を用い、駆動トランジスタにトランジスタ２００を用いると好適である。より具体的には、駆動トランジスタは飽和性が高いことが好ましいため、チャネル長が長いトランジスタ２００を好適に用いることができる。このように、本発明の一態様の半導体装置においては、同一基板上で、チャネル長の異なるトランジスタを、絶縁層の厚さ、及びパターン形成により、自由に設計できるといった優れた効果を奏する。

［００８４］

なお、本明細書等において、トランジスタのＩｄ－Ｖｄ特性における、飽和領域の電流の変化が小さいことを、「飽和性が高い」と表現する場合がある。

［００８５］

トランジスタ２００の構成について、説明する。ここでは、トランジスタ２００に、前述のトランジスタ２０の構成を適用した例を示している。

［００８６］

トランジスタ２００は、導電層２０４と、導電層２１２ａと、導電層２１２ｂと、絶縁層１０６と、半導体層２０８と、を有する。トランジスタ２００において、導電層２０４はゲート電極として機能し、絶縁層１０６の一部はゲート絶縁層として機能する。導電層２１２ａはソース電極及びドレイン

電極の一方として機能し、導電層２１２ｂは他方として機能する。トランジスタ２００を構成する各層は、単層構造であってもよく、積層構造であってもよい。導電層２０４、導電層２１２ａ、導電層２１２ｂ、絶縁層１０６及び半導体層２０８は、前述のゲート電極２３、ソース電極２４ａ、ドレイン電極２４ｂ、ゲート絶縁層２２及び半導体層２１に係る記載を参照できる。

［００８７］

絶縁層１１０は、開口１４５を有する。絶縁層１１０の下に、導電層２１２ａ及び導電層２１２ｂが設けられる。開口１４５は、導電層２１２ａの一部、及び導電層２１２ｂの一部と重なるように形成される。導電層２１２ａの側端部近傍、及び導電層２１２ｂの側端部近傍が、開口１４５の側壁（開口１４５の側面、または開口１４５における絶縁層１１０の側面を指す場合もある）から突出している、ということもできる。導電層２１２ａと導電層２１２ｂは、同じ材料を用いることができる。また、導電層２１２ａと導電層２１２ｂは同じ工程で形成することができる。例えば、導電層２１２ａ及び導電層２１２ｂとなる膜を形成し、当該膜を加工することにより、導電層２１２ａ及び導電層２１２ｂを形成できる。なお、絶縁層１１０及び開口１４５は、前述の絶縁層３２及び開口３０に係る記載を参照できる。

［００８８］

半導体層２０８は、開口１４５の側面に接して、サイドウォール状に設けられる。半導体層２０８は、導電層２１２ａの上面の一部、及び導電層２１２ｂの上面の一部に接して設けられる。また、図９Ａに示すように、半導体層２０８の下面で、導電層２１２ａ及び導電層２１２ｂに接していない部分は、基板１０２の上面に接する。なお、半導体層２０８は、開口１４５の底部において、基板１０２を覆うようには形成されない。つまり、開口１４５の底部において、少なくとも一部は、半導体層２０８が形成されない領域が設けられており、当該領域において、基板１０２の上面と絶縁層１０６が接する。

［００８９］

半導体層２０８の導電層２１２ａと接する領域はソース領域及びドレイン領域の一方として機能し、導電層２１２ｂと接する領域はソース領域及びドレイン領域の他方として機能する。半導体層２０８において、ソース領域とドレイン領域の間にチャネル形成領域が設けられる。

［００９０］

絶縁層１０６は、開口１４５を覆うように設けられる。絶縁層１０６は、基板１０２、半導体層２０８、導電層２１２ａ、導電層２１２ｂ及び絶縁層１１０上に設けられる。絶縁層１０６は、半導体層２０８の上面及び側面、導電層２１２ａの側端部近傍の上面及び側面、導電層２１２ｂの側端部近傍の上面及び側面、絶縁層１１０の側面、並びに基板１０２の上面と接する領域を有する。絶縁層１０６は、半導体層２０８の上面及び側面、導電層２１２ａの側端部近傍の上面及び側面、導電層２１２ｂの側端部近傍の上面及び側面、絶縁層１１０の側面、並びに基板１０２の上面の形状に沿った形状を有する。

［００９１］

導電層２０４は、開口１４５に重畳して絶縁層１０６上に設けられ、絶縁層１０６の上面と接する領域を有する。導電層２０４は、絶縁層１０６を介して、半導体層２０８と対向する領域を有する。導電層２０４は、絶縁層１０６の上面及び側面の形状に沿った形状を有する。

［００９２］

なお、図９Ｂなどでは、半導体層２０８が開口１４５の側面にサイドウォール状に設けられる構成

について示したが、本発明はこれに限られるものではない。例えば、図１２Ａに示すように、半導体層２０８の一部が絶縁層１１０ｃの上面に接し、且つ半導体層２０８の他の一部が導電層２１２ａ（導電層２１２ｂ）の開口１４５と重なる部分を覆う構成にしてもよい。このとき、半導体層２０８は、導電層２１２ａ（導電層２１２ｂ）の側端部近傍の上面及び側面に接し、基板１０２の上面の一部に接する。このような構成にすることで、トランジスタ２００における、半導体層２０８と導電層２１２ａ（導電層２１２ｂ）の接触面積を大きくすることができる。これにより、トランジスタ２００のオン電流、及び電界効果移動度の向上を図ることができる。

［００９３］

次に、トランジスタ１００の構成について、説明する。

［００９４］

トランジスタ１００は、導電層１０４と、絶縁層１０６と、半導体層１０８と、導電層１１２ａと、導電層１１２ｂと、を有する。トランジスタ１００において、導電層１０４はゲート電極として機能し、絶縁層１０６の一部はゲート絶縁層として機能する。導電層１１２ａはソース電極及びドレイン電極の一方として機能し、導電層１１２ｂは他方として機能する。トランジスタ１００を構成する各層は、単層構造であってもよく、積層構造であってもよい。

［００９５］

基板１０２上に導電層１１２ａが設けられ、導電層１１２ａ上に絶縁層１１０が設けられる。絶縁層１１０は、導電層１１２ａの上面及び側面を覆うように設けられる。絶縁層１１０は、導電層１１２ａと重なる領域に、導電層１１２ａに達する開口１４１を有する。開口１４１において、導電層１１２ａが露出するともいえる。導電層１１２ａは、導電層２１２ａ及び導電層２１２ｂと同じ材料を用いることができる。また、導電層１１２ａは、導電層２１２ａ及び導電層２１２ｂと同じ工程で形成することができる。例えば、導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂとなる膜を形成し、当該膜を加工することにより、導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂを形成できる。この場合、導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂ、それぞれの側端部のテーパ形状が類似する場合がある。

［００９６］

絶縁層１１０上に、導電層１１２ｂが設けられる。導電層１１２ｂは、絶縁層１１０を介して導電層１１２ａと重なる領域を有する。導電層１１２ｂは、導電層１１２ａと重なる領域に開口１４３を有する。開口１４３は、開口１４１と重なる領域に設けられる。

［００９７］

半導体層１０８は、開口１４１及び開口１４３を覆うように設けられる。半導体層１０８は、半導体層２０８と同じ材料を用いることができる。また、半導体層１０８は、半導体層２０８と同じ工程で形成することができる。例えば、半導体層１０８及び半導体層２０８となる膜を形成し、当該膜を加工することにより、半導体層１０８及び半導体層２０８を形成できる。

［００９８］

半導体層１０８は、導電層１１２ｂの上面及び側面、絶縁層１１０の側面、並びに導電層１１２ａの上面と接する領域を有する。半導体層１０８は、開口１４１及び開口１４３を介して、導電層１１２ａと電気的に接続される。半導体層１０８は、導電層１１２ｂの上面及び側面、絶縁層１１０の側面、並びに導電層１１２ａの上面の形状に沿った形状を有する。半導体層１０８は、絶縁層１１０を介して導電層１１２ａと重なる領域を有する。絶縁層１１０は、導電層１１２ａと半導体層１０８に

挟持される領域を有するともいえる。

［００９９］

半導体層１０８の導電層１１２ａと接する領域はソース領域及びドレイン領域の一方として機能し、導電層１１２ｂと接する領域はソース領域及びドレイン領域の他方として機能する。半導体層１０８において、ソース領域とドレイン領域の間にチャネル形成領域が設けられる。

［０１００］

絶縁層１０６は、開口１４１及び開口１４３を覆うように設けられる。絶縁層１０６は、半導体層１０８、導電層１１２ｂ及び絶縁層１１０上に設けられる。絶縁層１０６は、半導体層１０８の上面及び側面、導電層１１２ｂの上面及び側面、並びに絶縁層１１０の上面と接する領域を有する。絶縁層１０６は、半導体層１０８の上面及び側面、導電層１１２ｂの上面及び側面、並びに絶縁層１１０の上面の形状に沿った形状を有する。

［０１０１］

導電層１０４は、絶縁層１０６上に設けられ、絶縁層１０６の上面と接する領域を有する。導電層１０４は、絶縁層１０６を介して、半導体層１０８と重なる領域を有する。導電層１０４は、絶縁層１０６の上面及び側面の形状に沿った形状を有する。導電層１０４は、導電層２０４と同じ材料を用いることができる。また、導電層１０４は、導電層２０４と同じ工程で形成することができる。例えば、導電層１０４及び導電層２０４となる膜を形成し、当該膜を加工することにより、導電層１０４及び導電層２０４を形成できる。

［０１０２］

トランジスタ１００は、半導体層１０８よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層１０８の下面がソース電極及びドレイン電極として機能する導電層１１２ａ及び導電層１１２ｂと接することから、ＴＧＢＣ（Ｔｏｐ　Ｇａｔｅ　Ｂｏｔｔｏｍ　Ｃｏｎｔａｃｔ）型のトランジスタということができる。また、トランジスタ１００は、被形成面である基板１０２の表面に対してソース電極とドレイン電極とが異なる高さに位置し、基板１０２の表面に対して垂直方向、または概略垂直方向にドレイン電流が流れる。トランジスタ１００において、縦方向、または概略縦方向にドレイン電流が流れるということもできる。そのため、本発明の一態様であるトランジスタは、縦チャネル型トランジスタ、またはＶＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）ということができる。また、トランジスタ２００は、縦方向と、横方向との双方に電流が流れる構成であるため、ＶＬＦＥＴ（Ｖｅｒｔｉｃａｌ　Ｌａｔｅｒａｌ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）ということができる。

［０１０３］

トランジスタ１００は、導電層１１２ａと導電層１１２ｂの間に設けられる絶縁層１１０（具体的には、絶縁層１１０ｂ）の厚さでチャネル長を制御することができる。したがって、トランジスタの作製に用いる露光装置の限界解像度よりも短いチャネル長を有するトランジスタを精度高く作製できる。また、複数のトランジスタ１００間の特性ばらつきも低減される。よって、トランジスタ１００を含む半導体装置の動作が安定し、信頼性を高めることができる。また、特性ばらつきが減ると、回路設計の自由度が高くなり、半導体装置の動作電圧を低くすることができる。よって、半導体装置の消費電力を低くすることができる。

［０１０４］

トランジスタ１００は、ソース電極、チャネル形成領域を有する層、及びドレイン電極を、重ねて

設けることができるため、チャネル形成領域を有する層を平面状に配置した、いわゆるプレーナ型トランジスタと比較して、占有面積を大幅に縮小できる。

［０１０５］

導電層１１２ａ、導電層１１２ｂ、及び導電層１０４はそれぞれ、配線として機能することができ、トランジスタ１００はこれらの配線が重なる領域に設けることができる。つまり、トランジスタ１００及び配線を有する回路において、トランジスタ１００及び配線の占有面積を縮小することができる。したがって、回路の占有面積を縮小することができ、小型の半導体装置とすることができる。

［０１０６］

チャネル長の短いトランジスタ１００と、チャネル長の長いトランジスタ２００を、一部の工程を共通にして同じ基板上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ１００を適用し、高い飽和性を求められるトランジスタにトランジスタ２００を適用することにより、高い性能の半導体装置とすることができる。

［０１０７］

トランジスタ１００のソース電極及びドレイン電極として機能する導電層１１２ａ及び導電層１１２ｂは異なる面上に設けられる。具体的には、導電層１１２ａは基板１０２上に設けられ、導電層１１２ｂは絶縁層１１０上に設けられ、絶縁層１１０は導電層１１２ａと導電層１１２ｂに挟持される。一方、トランジスタ２００のソース電極及びドレイン電極として機能する導電層２１２ａ及び導電層２１２ｂは同じ面上に設けられる。具体的には、導電層２１２ａ及び導電層２１２ｂは基板１０２上に設けられる。トランジスタ１００のソース電極及びドレイン電極の一方は、トランジスタ２００のソース電極及びドレイン電極と異なる面上に設けられ、他方は、トランジスタ２００のソース電極及びドレイン電極と同じ面上に設けられるともいえる。

［０１０８］

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。

［０１０９］

トランジスタ１００及びトランジスタ２００を覆うように、絶縁層１９５が設けられる。絶縁層１９５は、トランジスタ１００及びトランジスタ２００の保護層として機能する。

［０１１０］

次に、トランジスタ１００及びトランジスタ２００の詳細な構成について、説明する。

［０１１１］

半導体層１０８及び半導体層２０８に用いる半導体材料は、特に限定されない。例えば、単体元素よりなる半導体、または化合物半導体を用いることができる。単体元素よりなる半導体として、例えば、シリコン、及びゲルマニウムが挙げられる。化合物半導体として、例えば、ヒ化ガリウム、及びシリコンゲルマニウムが挙げられる。その他、化合物半導体として、例えば、有機半導体、窒化物半導体、及び、酸化物半導体（ＯＳ：Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）が挙げられる。なお、これらの半導体材料に、ドーパントとして不純物が含まれてもよい。

［０１１２］

半導体層１０８及び半導体層２０８に用いる半導体材料の結晶性は特に限定されず、非晶質半導

体、単結晶性半導体、または単結晶以外の結晶性を有する半導体（微結晶半導体、多結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。単結晶半導体または結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。

［０１１３］

半導体層１０８及び半導体層２０８はそれぞれ、シリコンを用いることができる。シリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）が挙げられる。チャネル形成領域に非晶質シリコンを用いたトランジスタは、大型のガラス基板上に形成でき、低コストで作製することができる。チャネル形成領域に多結晶シリコンを用いたトランジスタは、電界効果移動度が高く、高速動作が可能である。また、チャネル形成領域に微結晶シリコンを用いたトランジスタは、非晶質シリコンを用いたトランジスタより電界効果移動度が高く、高速動作が可能である。

［０１１４］

半導体層１０８及び半導体層２０８はそれぞれ、半導体特性を示す金属酸化物（酸化物半導体ともいう）を有することが好ましい。

［０１１５］

半導体層１０８及び半導体層２０８に用いる金属酸化物のバンドギャップはそれぞれ、２．０ｅＶ以上が好ましく、２．５ｅＶ以上がより好ましい。

［０１１６］

酸化物半導体を用いたトランジスタ（以下、ＯＳトランジスタと記す）は、非晶質シリコンを用いたトランジスタと比較して電界効果移動度が極めて高い。また、ＯＳトランジスタは、オフ電流が著しく小さく、当該トランジスタと直列に接続された容量に蓄積した電荷を長期間に亘って保持することが可能である。また、ＯＳトランジスタを適用することで、半導体装置の消費電力を低減することができる。

［０１１７］

絶縁層１１０は、１層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。酸化物として、例えば、酸化シリコン、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、酸化セリウム、ガリウム亜鉛酸化物、及び、ハフニウムアルミネートが挙げられる。窒化物として、例えば、窒化シリコン、及び窒化アルミニウムが挙げられる。酸化窒化物として、例えば、酸化窒化シリコン、酸化窒化アルミニウム、酸化窒化ガリウム、酸化窒化イットリウム、及び、酸化窒化ハフニウムが挙げられる。窒化酸化物として、例えば、窒化酸化シリコン、及び窒化酸化アルミニウムが挙げられる。

［０１１８］

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１１９］

トランジスタ２００において、半導体層２０８の絶縁層１１０と接する領域は、チャネル形成領域として機能する。トランジスタ１００において、半導体層１０８の絶縁層１１０と接する領域は、チャネル形成領域として機能する。半導体層１０８及び半導体層２０８に金属酸化物を用いる場合、半導体層１０８と絶縁層１１０、及び半導体層２０８と絶縁層１１０との界面特性を向上させるため、絶縁層１１０の半導体層１０８と接する領域の少なくとも一部、及び半導体層２０８と接する領域の少なくとも一部は酸素を有することが好ましい。具体的には、絶縁層１１０における半導体層１０８のチャネル形成領域と接する領域、及び半導体層２０８のチャネル形成領域と接する領域は、酸素を有することが好ましい。絶縁層１１０における半導体層１０８のチャネル形成領域と接する領域、及び半導体層２０８のチャネル形成領域と接する領域に、酸化物及び酸化窒化物の一以上を好適に用いることができる。

［０１２０］

絶縁層１１０は、積層構造を有することが好ましい。図９Ｂ等では、絶縁層１１０が、絶縁層１１０ａと、絶縁層１１０ａ上の絶縁層１１０ｂと、絶縁層１１０ｂ上の絶縁層１１０ｃと、を有する例を示している。

［０１２１］

図９Ａ及び図９Ｂに示すトランジスタ２００の拡大図を、図１０Ａ及び図１０Ｂに示す。トランジスタ１００の拡大図を、図１１Ａ及び図１１Ｂに示す。

［０１２２］

絶縁層１１０ｂは酸素を有することが好ましく、前述の酸化物及び酸化窒化物のいずれか一つまたは複数を用いることが好ましい。具体的には、絶縁層１１０ｂには、酸化シリコン及び酸化窒化シリコンの一方または双方を好適に用いることができる。これより、少なくとも半導体層２０８の絶縁層１１０ｂと接する領域、及び半導体層１０８の絶縁層１１０ｂと接する領域はそれぞれ、チャネル形成領域として機能することができる。

［０１２３］

絶縁層１１０ｂには、加熱により酸素を放出する膜を用いるとより好ましい。トランジスタ１００の作製工程中に加わる熱により、絶縁層１１０ｂが酸素を放出することで、半導体層１０８に酸素を供給することができる。絶縁層１１０ｂから半導体層１０８、特にチャネル形成領域に酸素を供給することで、酸素欠損（V_O）が修復され、酸素欠損（V_O）を低減することができる。さらに、酸素欠損（V_O）に水素が入った欠陥（以下、V_OHとも記す）を、酸素の供給により、低減することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０１２４］

例えば、酸素を含む雰囲気における加熱処理、または、酸素を含む雰囲気におけるプラズマ処理を行うことで、絶縁層１１０ｂに酸素を供給することができる。また、絶縁層１１０ｂの上面に、スパッタリング法により、酸素を含む雰囲気で酸化物膜を形成することで酸素を供給してもよい。その後、当該酸化物膜を除去してもよい。なお、後述する実施の形態３では、金属酸化物層１３７を形成することで、絶縁層１１０ｂに酸素を供給する例を示す。

［０１２５］

絶縁層１１０ｂは、スパッタリング法、またはプラズマ化学気相堆積（ＰＥＣＶＤ：Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法などの成膜方法で形成することが好ましい。特に、スパッタリング法を用い、成膜ガスに水素を含むガスを用いない方

法で形成することで、水素の含有量の極めて少ない膜とすることができる。そのため、チャネル形成領域に水素が供給されることを抑制し、トランジスタ１００の電気特性の安定化を図ることができる。

［０１２６］

絶縁層１１０ｂにおいて、物質（例えば、原子、分子及びイオン）が拡散しやすいことが好ましい。絶縁層１１０ｂにおける物質の拡散係数が大きいことが好ましいともいえる。特に、絶縁層１１０ｂは、酸素が拡散しやすいことが好ましい。つまり、絶縁層１１０ｂにおける酸素の拡散係数が大きいことが好ましい。絶縁層１１０ｂに含まれる酸素は、絶縁層１１０ｂ中を拡散し、絶縁層１１０ｂと半導体層１０８の界面を介して半導体層１０８に供給されるとともに、絶縁層１１０ｂと半導体層２０８の界面を介して半導体層２０８に供給される。

［０１２７］

ここで、半導体層１０８及び半導体層２０８に導電率の高い材料を用いることで、オン電流の大きいトランジスタとすることができる。しかしながら、導電率の高い材料を用いると酸素欠損（V_O）が形成されやすく、チャネル形成領域の酸素欠損（V_O）の増加によってV_OHが増加することにより、トランジスタのしきい値電圧がシフトし、ゲート電圧が０Ｖ時に流れるドレイン電流（以下、カットオフ電流とも記す）が大きくなってしまう場合がある。例えば、ｎチャネル型トランジスタでは、しきい値電圧がマイナス側にシフトすることで、カットオフ電流が大きくなってしまう場合がある。絶縁層１１０ｂを設けることにより、少なくとも半導体層１０８の絶縁層１１０ｂと接する領域及び半導体層２０８の絶縁層１１０ｂと接する領域、つまりトランジスタ１００及びトランジスタ２００のチャネル形成領域に酸素が供給され、チャネル形成領域の酸素欠損（V_O）及びV_OHを低減することができる。これにより、しきい値電圧がシフトすることが抑制され、小さいカットオフ電流と、大きいオン電流が両立したトランジスタとすることができる。したがって、低い消費電力と高い性能が両立した半導体装置とすることができる。

［０１２８］

半導体層１０８の導電層１１２ａと接する領域は、トランジスタ１００のソース領域及びドレイン領域の一方として機能し、導電層１１２ｂと接する領域は他方として機能する。ソース領域及びドレイン領域は、チャネル形成領域と比較して電気抵抗が低い領域である。ソース領域及びドレイン領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。

［０１２９］

絶縁層１１０ａは、絶縁層１１０ｂと導電層１１２ａとの間に設けられる。絶縁層１１０ｃは、絶縁層１１０ｂと導電層１１２ｂの間に設けられる。絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ、自身から放出される不純物（例えば、水素及び水）の量が少なく、かつ不純物が透過しにくいことが好ましい。これにより、絶縁層１１０ａ及び絶縁層１１０ｃに含まれる不純物が、チャネル形成領域に拡散することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０１３０］

絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ、酸素が透過しにくい膜を用いることが好ましい。これにより、絶縁層１１０ｂに含まれる酸素が、絶縁層１１０ａを介して導電層１１２ａに拡散することを抑制できる。同様に、絶縁層１１０ｂに含まれる酸素が、絶縁層１１０ｃを介して導電層１１２ｂに拡散することを抑制できる。これにより、導電層１１２ａ及び導電層１１２ｂが酸化され、こ

れらの電気抵抗が高くなることを抑制できる。それとともに、絶縁層１１０ｂに含まれる酸素が絶縁層１１０ａ側、及び絶縁層１１０ｃ側に拡散することが抑制されるため、絶縁層１１０ｂからチャネル形成領域へ供給される酸素の量が増え、チャネル形成領域の酸素欠損（V_O）及びV_OHを低減することができる。

［０１３１］

絶縁層１１０ａ及び絶縁層１１０ｃのそれぞれに酸素が拡散しにくい膜を用いることより、絶縁層１１０ｂから、チャネル形成領域に効果的に酸素を供給することができる。なお、絶縁層１１０ａ及び絶縁層１１０ｃの一方または双方を設けない構成としてもよい。

［０１３２］

絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ窒素を有することが好ましく、前述の窒化物及び窒化酸化物のいずれか一つまたは複数を用いることが好ましい。絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ、例えば、窒化シリコンまたは窒化酸化シリコンを好適に用いることができる。または、絶縁層１１０ａ及び絶縁層１１０ｃの一方また双方に酸化物及び酸化窒化物のいずれか一つまたは複数を用いてもよい。絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ、例えば、酸化アルミニウムを好適に用いることができる。なお、絶縁層１１０ａは絶縁層１１０ｃと同じ材料を用いてもよく、異なる材料を用いてもよい。

［０１３３］

なお、本明細書等において、異なる材料とは、構成元素の一部または全てが異なる材料、または構成元素が同じで組成が異なる材料をいう。

［０１３４］

絶縁層１１０ａの厚さＴ１１０ａは、例えば、３ｎｍ以上、５ｎｍ以上、１０ｎｍ以上、２０ｎｍ以上、５０ｎｍ以上、または７０ｎｍ以上であって、１μｍ未満、５００ｎｍ以下、４００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１５０ｎｍ以下、または１２０ｎｍ以下とすることができる。厚さＴ１１０ａは、図１１Ｂに示すように、断面視における絶縁層１１０ａの被形成面（ここでは、導電層１１２ａの上面）と絶縁層１１０ｂの下面の最短距離とすることができる。

［０１３５］

絶縁層１１０ａの厚さＴ１１０ａが厚いと、絶縁層１１０ａから放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さＴ１１０ａが薄いと、絶縁層１１０ｂに含まれる酸素が絶縁層１１０ａを介して、導電層１１２ａ側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さＴ１１０ａを前述の範囲とすることにより、チャネル形成領域の酸素欠損（V_O）及びV_OHを低減できる。また、絶縁層１１０ｂに含まれる酸素によって導電層１１２ａが酸化され、導電層１１２ａの電気抵抗が高くなることを抑制できる。

［０１３６］

絶縁層１１０ｃの厚さＴ１１０ｃは、例えば、３ｎｍ以上、５ｎｍ以上、１０ｎｍ以上、１５ｎｍ以上、または２０ｎｍ以上であって、１μｍ以下、５００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１５０ｎｍ以下、１２０ｎｍ以下、または１００ｎｍ以下とすることができる。厚さＴ１１０ｃは、図１１Ｂに示すように、断面視における絶縁層１１０ｃの被形成面（ここでは、絶縁層１１０ｂの上面）と導電層１１２ｂの下面の最短距離とすることができる。

［０１３７］

絶縁層１１０ｃの厚さＴ１１０ｃが厚いと、絶縁層１１０ｃから放出される不純物の量が多くなり、チャネル形成領域に拡散する不純物の量が多くなってしまう場合がある。一方、厚さＴ１１０ｃが薄いと、絶縁層１１０ｂに含まれる酸素が絶縁層１１０ｃを介して、導電層１１２ｂ側に拡散し、チャネル形成領域に供給される酸素の量が減ってしまう場合がある。厚さＴ１１０ｃを前述の範囲とすることにより、チャネル形成領域の酸素欠損（V_O）及びV_OHを低減できる。また、絶縁層１１０ｂに含まれる酸素によって導電層１１２ｂが酸化され、導電層１１２ｂの電気抵抗が高くなることを抑制できる。

［０１３８］

半導体層１０８の絶縁層１１０ａと接する領域、及び、絶縁層１１０ｃと接する領域の少なくとも一つは、チャネル形成領域と比較して電気抵抗が低い領域（以下、低抵抗領域とも記す）であってもよい。当該領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。絶縁層１１０ａに不純物（例えば、水及び水素）を放出する材料を用いることで、半導体層１０８の絶縁層１１０ａと接する領域を低抵抗領域とすることができる。半導体層１０８は、導電層１１２ａと接する領域（ソース領域及びドレイン領域の一方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。同様に、絶縁層１１０ｃに不純物を放出する材料を用いることで、半導体層１０８の絶縁層１１０ｃと接する領域を低抵抗領域とすることができる。半導体層１０８は、導電層１１２ｂと接する領域（ソース領域及びドレイン領域の他方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能することができる。なお、これらの低抵抗領域が、ソース領域またはドレイン領域として機能してもよい。

［０１３９］

ドレイン領域とチャネル形成領域との間に低抵抗領域を設けることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。例えば、導電層１１２ａがドレイン電極として機能し、導電層１１２ｂがソース電極として機能する場合、半導体層１０８の絶縁層１１０ａと接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。導電層１１２ａがソース電極として機能し、導電層１１２ｂがドレイン電極として機能する場合、半導体層１０８の絶縁層１１０ｃと接する領域を低抵抗領域とすることにより、ドレイン領域近傍に高い電界が生じにくくなり、ホットキャリアの発生を抑制し、トランジスタの劣化を抑制することができる。

［０１４０］

また半導体層１０８と同様に、半導体層２０８の絶縁層１１０ａと接する領域は、チャネル形成領域と比較して低抵抗領域であってもよい。当該領域は、チャネル形成領域と比較してキャリア濃度が高い領域、酸素欠陥密度が高い領域ともいえる。絶縁層１１０ａに不純物（例えば、水または水素）を放出する材料を用いることで、絶縁層１１０ａと接する領域を低抵抗領域とすることができる。半導体層２０８は、導電層２１２ａと接する領域（ソース領域及びドレイン領域の一方）とチャネル形成領域との間に、低抵抗領域を有する構成とすることができる。低抵抗領域は、ドレイン電界を緩和するためのバッファ領域として機能することができる。なお、低抵抗領域が、ソース領域またはドレイン領域として機能してもよい。

［０１４１］

前述したように、絶縁層１１０ａ及び絶縁層１１０ｃから放出される不純物の量が多すぎると、チャネル形成領域に不純物が拡散してしまう恐れがある。絶縁層１１０ａ及び絶縁層１１０ｃに不純物を放出する材料を用いる場合であっても、放出される不純物の量は少ないことが好ましい。

［０１４２］

なお、絶縁層１１０は、少なくとも絶縁層１１０ｂを有することが好ましい。例えば、絶縁層１１０ａ及び絶縁層１１０ｃの一方または双方を有さない構成としてもよい。また、絶縁層１１０を２層、または４層以上の積層構造としてもよく、単層構造としてもよい。

［０１４３］

開口１４５、開口１４１及び開口１４３の上面形状に限定はなく、例えば、円形、楕円形、三角形、四角形（長方形、菱形、正方形を含む）、五角形などの多角形、またはこれら多角形の角が丸い形状とすることができる。なお、多角形は、凹多角形（少なくとも一つの内角が１８０度を超える多角形）及び凸多角形（全ての内角が１８０度以下である多角形）のどちらであってもよい。図９Ａ等に示すように、開口１４１及び開口１４３の上面形状はそれぞれ、円形であることが好ましい。開口の上面形状を円形とすることにより、開口を形成する際の加工精度を高めることができ、微細なサイズの開口を形成することができる。なお、本明細書等において、円形とは真円に限定されない。

［０１４４］

また、図９Ａ等では、開口１４５の上面形状を、長方形の角が丸い形状としているが、本発明はこれに限られるものではなく、上述の通り様々な形状をとることができる。例えば、図４Ｂで示した通り、開口１４５の上面形状を円形にすることもできる。

［０１４５］

本明細書等において、開口１４５の上面形状とは、絶縁層１１０の開口１４５側の上面端部の形状を指す。開口１４１の上面形状とは、絶縁層１１０の開口１４１側の上面端部の形状を指す。また、開口１４３の上面形状とは、導電層１１２ｂの開口１４３側の下面端部の形状を指す。

［０１４６］

図９Ａ等に示すように、開口１４１の上面形状と開口１４３の上面形状とは互いに一致、または概略一致させることができる。このとき、図９Ｂ等に示すように、導電層１１２ｂの開口１４３側の下面端部は、絶縁層１１０の開口１４１側の上面端部と一致、または概略一致することが好ましい。導電層１１２ｂの下面とは、絶縁層１１０側の面を指す。絶縁層１１０の上面とは、導電層１１２ｂ側の面を指す。

［０１４７］

なお、開口１４１の上面形状と開口１４３の上面形状とは互いに一致しなくてもよい。また、開口１４１と開口１４３の上面形状が円形であるとき、開口１４１と開口１４３は同心円状であってもよく、同心円状でなくてもよい。

［０１４８］

トランジスタ１００のチャネル長及びチャネル幅について、図１１Ａ及び図１１Ｂを用いて説明する。

［０１４９］

図１１Ｂでは、トランジスタ１００のチャネル長Ｌ１００を破線の両矢印で示している。トランジスタ１００のチャネル長Ｌ１００は、断面視における絶縁層１１０ｂの開口１４１側の側面の長さに相当する。つまり、チャネル長Ｌ１００は、絶縁層１１０ｂの厚さＴ１１０ｂ、及び絶縁層１１０

ｂの開口１４１側の側面と絶縁層１１０ｂの被形成面（ここでは、絶縁層１１０ａの上面）とのなす角の角度θ１１０で決まる。したがって、チャネル長Ｌ１００を露光装置の限界解像度よりも小さな値とすることができ、微細なサイズのトランジスタを実現することができる。具体的には、従来のフラットパネルディスプレイの量産用の露光装置（例えば、最小線幅２μｍまたは１．５μｍ程度）では実現できなかった、極めて小さいチャネル長のトランジスタを実現することができる。また、最先端のＬＳＩ技術で用いられる極めて高額な露光装置を用いることなく、チャネル長が１０ｎｍ未満のトランジスタを実現することもできる。

［０１５０］

チャネル長Ｌ１００は、例えば、５ｎｍ以上、７ｎｍ以上、または１０ｎｍ以上であって、３μｍ未満、２．５μｍ以下、２μｍ以下、１．５μｍ以下、１．２μｍ以下、１μｍ以下、５００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、または２０ｎｍ以下とすることができる。例えば、チャネル長Ｌ１００を、１００ｎｍ以上１μｍ以下とすることもできる。

［０１５１］

チャネル長Ｌ１００を小さくすることにより、トランジスタ１００のオン電流を大きくすることができる。トランジスタ１００を用いることにより、高速動作が可能な回路を作製することができる。さらには回路の占有面積を縮小することが可能となる。したがって、小型の半導体装置とすることができる。例えば、本発明の一態様の半導体装置を大型の表示装置、または高精細な表示装置に適用する際、配線数が増加した場合においても、各配線における信号遅延を低減することができ、表示ムラを抑制することができる。また、回路の占有面積を縮小できるため、表示装置の額縁を狭くすることができる。

［０１５２］

絶縁層１１０ｂの厚さＴ１１０ｂ及び角度θ１１０を調整することにより、チャネル長Ｌ１００を制御することができる。なお、図１１Ｂでは、絶縁層１１０ｂの厚さＴ１１０ｂを一点鎖線の両矢印で示している。

［０１５３］

絶縁層１１０ｂの厚さＴ１１０ｂは、例えば、５ｎｍ以上、７ｎｍ以上、または１０ｎｍ以上であって、３μｍ未満、２．５μｍ以下、２μｍ以下、１．５μｍ以下、１．２μｍ以下、１μｍ以下、５００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、または２０ｎｍ以下とすることができる。

［０１５４］

なお、図１１Ｂなどでは、絶縁層１１０の開口１４１側の側面が垂直形状である例を示しているが、図１２Ｃに示すように、絶縁層１１０の開口１４１側の側面をテーパ形状にすることもできる。絶縁層１１０の開口１４１側の側面をテーパ形状にする場合、角度θ１１０は、９０度以下であることが好ましい。角度θ１１０を小さくすることにより、絶縁層１１０上に形成される層（例えば、半導体層１０８）の被覆性を高めることができる。また、角度θ１１０が小さいほど、チャネル長Ｌ１００を大きくすることができ、角度θ１１０が大きいほど、チャネル長Ｌ１００を小さくすることができる。

［０１５５］

角度θ１１０は、例えば、３０度以上、３５度以上、４０度以上、４５度以上、５０度以上、５５

度以上、６０度以上、６５度以上、または７０度以上であって、９０度以下、８５度以下、または８０度以下とすることができる。角度θ１１０は、７５度以下、７０度以下、６５度以下、または６０度以下としてもよい。

［０１５６］

なお、図１１Ｂ等では、断面視において、絶縁層１１０の開口１４１側の側面の形状が直線である構成を示しているが、本発明の一態様はこれに限られない。断面視において、絶縁層１１０の開口１４１側の側面の形状は曲線であってもよく、また側面の形状が直線である領域と曲線である領域の双方を有してもよい。

［０１５７］

ここで、導電層１１２ｂは、開口１４１の内部に設けないことが好ましい。具体的には、導電層１１２ｂは、絶縁層１１０の開口１４１側の側面と接する領域を有さないことが好ましい。導電層１１２ｂを開口１４１の内側にも設ける場合、トランジスタ１００のチャネル長Ｌ１００が絶縁層１１０ｂの側面の長さより短くなり、チャネル長Ｌ１００の制御が困難になってしまう場合がある。したがって、開口１４３の上面形状が開口１４１の上面形状と一致、または、上面視（平面視ともいう）において開口１４３が開口１４１を包含することが好ましい。

［０１５８］

図１１Ａ及び図１１Ｂでは、開口１４１の幅Ｄ１４１を二点鎖線の両矢印で示している。図１１Ａでは、開口１４１の上面形状が円形である例を示す。このとき、幅Ｄ１４１は当該円の直径に相当し、トランジスタ１００のチャネル幅Ｗ１００は当該円の円周の長さとなる。すなわち、チャネル幅Ｗ１００は、π×Ｄ１４１となる。このように、開口１４１の上面形状が円形であると、他の形状に比べて、チャネル幅Ｗ１００の小さいトランジスタを実現できる。

［０１５９］

開口１４１の幅Ｄ１４１は、深さ方向で変化する場合がある。開口１４１の幅Ｄ１４１として、例えば、断面視における絶縁層１１０ｂ（または絶縁層１１０）の最も高い位置の径、最も低い位置の径、及びこれらの中間点の位置の径の３つの平均値を用いることができる。または、開口１４１の径として、例えば、断面視における絶縁層１１０ｂ（または絶縁層１１０）の最も高い位置の径、最も低い位置の径、またはこれらの中間点の位置の径の、いずれかの径を用いてもよい。

［０１６０］

フォトリソグラフィ法を用いて開口１４１を形成する場合、開口１４１の幅Ｄ１４１は露光装置の限界解像度以上となる。幅Ｄ１４１は、例えば、２００ｎｍ以上、３００ｎｍ以上、４００ｎｍ以上、または、５００ｎｍ以上であって、５μｍ未満、４．５μｍ以下、４μｍ以下、３．５μｍ以下、３μｍ以下、２．５μｍ以下、２μｍ以下、１．５μｍ以下、または１μｍ以下とすることができる。

［０１６１］

なお、トランジスタ１００のチャネル長Ｌ１００を小さくする場合、絶縁層１１０ａ及び絶縁層１１０ｃはそれぞれ、自身から放出される水素の量がより少ない材料を用いることが好ましい。絶縁層１１０ａ及び絶縁層１１０ｃに少量でも水素を放出する材料を用いる場合は、これらの厚さが薄いことが好ましい。例えば、チャネル長Ｌ１００を１００ｎｍ以下とする場合、絶縁層１１０ａの厚さＴ１１０ａ及び絶縁層１１０ｃの厚さＴ１１０ｃはそれぞれ、１ｎｍ以上、３ｎｍ以上、または５ｎｍ以上であって、５０ｎｍ以下、４０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、１５ｎｍ以下、または１０ｎｍ以下が好ましい。これにより、チャネル形成領域に拡散する不純物の量を少なくすること

ができ、チャネル長Ｌ１００が短い場合においても良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０１６２］

なお、ここでは半導体層１０８の絶縁層１１０ｂと接する領域がチャネル形成領域として機能する構成を例に挙げて説明したが、本発明の一態様はこれに限られない。半導体層１０８の絶縁層１１０ａと接する領域もチャネル形成領域として機能してもよい。同様に、絶縁層１１０ｃと接する領域もチャネル形成領域として機能してもよい。

［０１６３］

図９Ｂ等では、トランジスタ１００において、半導体層１０８、絶縁層１０６及び導電層１０４が開口１４１及び開口１４３を覆う例を示しているが、本発明の一態様はこれに限られない。絶縁層１１０と、導電層１１２ａとによって段差が形成され、当該段差に沿って半導体層１０８、絶縁層１０６及び導電層１０４が設けられる構成としてもよい。

［０１６４］

次に、トランジスタ２００のチャネル長及びチャネル幅について、図１０Ａ及び図１０Ｂを用いて説明する。

［０１６５］

図１０Ａでは、トランジスタ２００のチャネル長Ｌ２００を実線の両矢印で示している。チャネル長Ｌ２００は、開口１４５の側壁に設けられた半導体層２０８の周長方向に沿った、導電層２１２ａと導電層２１２ｂの距離に相当する。つまり、トランジスタ２００のチャネル長Ｌ２００は、開口１４５の上面形状、及び大きさによって制御することができる。よって、チャネル長Ｌ２００は、チャネル長Ｌ１００より大きくすることができる。

［０１６６］

また、図１０Ｂでは、トランジスタ２００のチャネル幅Ｗ２００を破線の両矢印で示している。チャネル幅Ｗ２００は、開口１４５の深さ方向に沿った半導体層２０８の幅となる。つまり、トランジスタ２００のチャネル幅Ｗ２００は、絶縁層１１０の厚さ（特に絶縁層１１０ｂの厚さ）によって制御することができる。ここで、トランジスタ２００とトランジスタ１００で、絶縁層１１０は共通であるため、トランジスタ２００のチャネル幅Ｗ２００をフォトリソグラフィの露光限界以下の非常に微細な構造にすることができる。チャネル幅Ｗ２００は、例えば、５ｎｍ以上、７ｎｍ以上、または１０ｎｍ以上であって、３μｍ未満、２．５μｍ以下、２μｍ以下、１．５μｍ以下、１．２μｍ以下、１μｍ以下、５００ｎｍ以下、３００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、または２０ｎｍ以下とすることができる。

［０１６７］

以上のように、トランジスタ２００では、チャネル長Ｌ２００を大きくし、チャネル幅Ｗ２００を小さくすることができる。これにより、トランジスタ２００を、飽和性の高いトランジスタにすることができる。

［０１６８］

前述したように、トランジスタ１００のチャネル長Ｌ１００は露光装置の限界解像度よりも小さな値とすることができる。一方、絶縁層１１０ｂの膜厚によって、チャネル長Ｌ１００が規定されるため、同一面上に同一工程で複数のトランジスタ１００を形成する場合、全てのトランジスタ１００のチャネル長が同じになる。これに対して、トランジスタ２００は、チャネル長Ｌ２００を開口１４

５の上面形状、及び大きさによって制御することができる。さらに、トランジスタ２００は、トランジスタ１００と一部の工程を共通にして形成することができる。よって、チャネル長が短いトランジスタ１００と、よりチャネル長が長いトランジスタ２００を、生産性良く、同一面上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ１００を適用し、高い飽和性が求められるトランジスタにトランジスタ２００を適用することにより、それぞれのトランジスタの利点を活かした高い性能の半導体装置１０とすることができる。例えば、表示装置に半導体装置１０を用いる場合、トランジスタ１００を、スイッチとして機能するトランジスタに適用し、トランジスタ２００を、発光素子に流れる電流を制御するための駆動トランジスタに適用することができる。

［０１６９］

トランジスタ１００とトランジスタ２００を一部の工程を共通にして形成することができる。具体的には、半導体層１０８及び半導体層２０８は、同じ工程で形成することができる。絶縁層１０６の一部はトランジスタ１００のゲート絶縁層として機能し、絶縁層１０６の他の一部はトランジスタ２００のゲート絶縁層として機能する。導電層１０４及び導電層２０４は、同じ工程で形成することができる。導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂは、同じ工程で形成することができる。したがって、半導体装置１０の生産性を高め、製造コストを低くすることができる。

［０１７０］

また、トランジスタ２００をトランジスタ１００と並行して形成する場合、絶縁層１１０ｂの開口１４５側の側面と絶縁層１１０ｂの被形成面（ここでは、絶縁層１１０ａの上面）とのなす角も、トランジスタ１００と同様に角度θ１１０に一致、または概略一致する場合がある。なお、図１０Ｂなどでは、絶縁層１１０の開口１４５側の側面が垂直形状である例を示しているが、図１２Ｂに示すように、絶縁層１１０の開口１４５側の側面をテーパ形状にすることもできる。

［０１７１］

［半導体層１０８、半導体層２０８］

半導体層１０８及び半導体層２０８に用いることができる金属酸化物について、具体的に説明する。金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモンなどが挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウム及びスズの一種または複数種がさらに好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［０１７２］

半導体層１０８及び半導体層２０８はそれぞれ、例えば、インジウム酸化物（Ｉｎ酸化物）、イン

ジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物、ＩＴＯとも記す）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムタングステン酸化物（Ｉｎ－Ｗ酸化物、ＩＷＯとも記す）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ酸化物）、インジウムガリウムスズ酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物）、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す）、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す）、インジウムアルミニウム亜鉛酸化物（Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す）、インジウムスズ亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物、ＩＴＺＯ（登録商標）とも記す）、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物）、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す）、インジウムガリウムスズ亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯ、ＩＧＺＡＯ、またはＩＡＧＺＯとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物（ＩＴＳＯとも記す）、ガリウムスズ酸化物（Ｇａ－Ｓｎ酸化物）、アルミニウムスズ酸化物（Ａｌ－Ｓｎ酸化物）などを用いることができる。なお、インジウム酸化物などに代表されるＺｎを含まない材料は、Ｓｉプロセスとの親和性が高いため好適である。一方で、Ｚｎを含む材料は、結晶性を高めることができるため好適である。

［０１７３］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。また、オン電流が大きいトランジスタを実現できる。

［０１７４］

なお、金属酸化物は、インジウムに代えて、または、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期番号が大きい金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。周期番号が大きい金属元素として、第５周期に属する金属元素、及び第６周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

［０１７５］

金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、キャリア濃度の増加、または、バンドギャップの縮小などが生じ、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素などが挙げられる。

［０１７６］

金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１７７］

金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Ｍの原子数の割合を高くするこ

とにより、金属酸化物に酸素欠損（V_O）が形成されることを抑制できる。したがって、酸素欠損（V_O）に起因するキャリア生成が抑制され、オフ電流が小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０１７８］

半導体層１０８及び半導体層２０８に適用する金属酸化物の組成により、トランジスタの電気特性、及び信頼性が異なる。したがって、トランジスタに求められる電気特性、及び信頼性に応じて金属酸化物の組成を異ならせることにより、優れた電気特性と高い信頼性を両立した半導体装置とすることができる。

［０１７９］

金属酸化物がＩｎ－Ｍ－Ｚｎ酸化物の場合、当該Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は元素Ｍの原子数比以上であることが好ましい。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝２：１：３、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：３、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８、Ｉｎ：Ｍ：Ｚｎ＝６：１：６、Ｉｎ：Ｍ：Ｚｎ＝１０：１：１、Ｉｎ：Ｍ：Ｚｎ＝１０：１：３、Ｉｎ：Ｍ：Ｚｎ＝１０：１：４、Ｉｎ：Ｍ：Ｚｎ＝１０：１：６、Ｉｎ：Ｍ：Ｚｎ＝１０：１：７、Ｉｎ：Ｍ：Ｚｎ＝１０：１：８、Ｉｎ：Ｍ：Ｚｎ＝５：２：５、Ｉｎ：Ｍ：Ｚｎ＝１０：１：１０、Ｉｎ：Ｍ：Ｚｎ＝２０：１：１０、Ｉｎ：Ｍ：Ｚｎ＝４０：１：１０、及び、これらの近傍の組成が挙げられる。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。金属酸化物中のインジウムの原子数比を大きくすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

［０１８０］

Ｉｎ－Ｍ－Ｚｎ酸化物におけるＩｎの原子数比は元素Ｍの原子数比未満であってもよい。このようなＩｎ－Ｍ－Ｚｎ酸化物の金属元素の原子数比として、例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：２、Ｉｎ：Ｍ：Ｚｎ＝１：３：３、Ｉｎ：Ｍ：Ｚｎ＝１：３：４、及びこれらの近傍の組成が挙げられる。金属酸化物中のＭの原子数の割合を大きくすることで、酸素欠損（V_O）の生成を抑制することができる。

［０１８１］

なお、元素Ｍとして複数の金属元素を有する場合は、当該金属元素の原子数の割合の合計を、元素Ｍの原子数の割合とすることができる。

［０１８２］

本明細書等において、含有される全ての金属元素の原子数の和に対するインジウムの原子数の割合を、インジウムの含有率と記す場合がある。他の金属元素においても同様である。

［０１８３］

半導体層１０８及び半導体層２０８にインジウムの含有率が高い材料を用いることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。さらに、元素Ｍを有することで、酸素欠損（V_O）の生成を抑制することができる。元素Ｍの含有率（含有される全ての金属元素の原子数の和に対する元素Ｍの原子数の割合）は、０．１％以上３％以下が好ましく、さらには０．１％以上２％以下が好ましい。これにより、電気特性が良好なトランジスタとすることができる。例えば、Ｉｎ：Ｍ：Ｚｎ＝４０：１：１０、及びその近傍の金属酸化物を用いることが好ましい。元素Ｍは、

上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種または複数種であることがより好ましい。具体的には、Ｉｎ：Ｓｎ：Ｚｎ＝４０：１：１０、及びその近傍の金属酸化物を好適に用いることができる。または、Ｉｎ：Ａｌ：Ｚｎ＝４０：１：１０、及びその近傍の金属酸化物を好適に用いることができる。

［０１８４］

ここで、半導体層１０８及び半導体層２０８に多結晶構造の金属酸化物を用いると、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。多結晶構造になりやすい組成の金属酸化物を用いる場合、結晶化を阻害する元素を含むことが好ましい。例えば、インジウムスズ酸化物（ＩＴＯ）と比較して、シリコンを含むインジウムスズ酸化物（ＩＴＳＯ）は多結晶構造になりづらいため、半導体層１０８及び半導体層２０８に好適に用いることができる。ＩＴＳＯを用いる場合、シリコンの含有率（含有される全ての金属元素の原子数の和に対するシリコンの原子数の割合）は、１％以上２０％以下が好ましく、さらには３％以上２０％以下が好ましく、さらには３％以上１５％以下が好ましく、さらには５％以上１５％以下が好ましい。具体的には、Ｉｎ：Ｓｎ：Ｓｉ＝４５：５：４、Ｉｎ：Ｓｎ：Ｓｉ＝９５：５：８、及びこれらの近傍の金属酸化物を好適に用いることができる。

［０１８５］

半導体層１０８及び半導体層２０８の組成の分析には、例えば、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、誘導結合プラズマ質量分析法（ＩＣＰ－ＭＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、または誘導結合高周波プラズマ発光分光法（ＩＣＰ－ＡＥＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ａｔｏｍｉｃ　Ｅｍｉｓｓｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。または、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Ｍの含有率が低い場合、分析によって得られた元素Ｍの含有率が、実際の含有率より低くなる場合がある。

［０１８６］

金属酸化物の形成には、スパッタリング法、または原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して５０％程度にまで減少する場合がある。

［０１８７］

半導体層１０８及び半導体層２０８はそれぞれ、２以上の金属酸化物層を有する積層構造としてもよい。半導体層１０８及び半導体層２０８のそれぞれが有する２以上の金属酸化物層は、組成が互いに同じ、または概略同じであってもよい。組成が同じ金属酸化物層の積層構造とすることで、例えば、同じスパッタリングターゲットを用いて形成できるため、製造コストを削減できる。

［０１８８］

半導体層１０８及び半導体層２０８のそれぞれが有する２以上の金属酸化物層は、組成が互いに異なってもよい。例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成の第１

の金属酸化物層と、当該第１の金属酸化物層上に設けられるＩｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成の第２の金属酸化物層と、の積層構造を好適に用いることができる。また、元素Ｍとして、ガリウム、アルミニウム、またはスズを用いることが特に好ましい。第１の金属酸化物層と第２の金属酸化物層における元素Ｍは、同じであってもよく、互いに異なっていてもよい。例えば、第１の金属酸化物層と第２の金属酸化物層は、互いに組成が異なるＩＧＺＯ層であってもよい。

［０１８９］

例えば、Ｉｎ：Ｚｎ＝４：１［原子数比］もしくはその近傍の組成の第１の金属酸化物層と、当該第１の金属酸化物層上に設けられるＩｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成の第２の金属酸化物層と、の積層構造を好適に用いることができる。

［０１９０］

例えば、インジウム酸化物、インジウムガリウム酸化物、及びＩＧＺＯの中から選ばれるいずれか一と、ＩＡＺＯ、ＩＡＧＺＯ、及びＩＴＺＯ（登録商標）の中から選ばれるいずれか一と、の積層構造を用いてもよい。

［０１９１］

なお、第１の金属酸化物を有する第１の金属酸化物層と、第２の金属酸化物を有する第２の金属酸化物層の積層構造とし、第１の金属酸化物の組成と第２の金属酸化物の組成が同じ、または概略同じである場合、第１の金属酸化物層と第２の金属酸化物層の境界（界面）を明確に確認できない場合がある。

［０１９２］

半導体層１０８及び半導体層２０８は、結晶性を有する金属酸化物を用いることが好ましい。結晶性を有する金属酸化物の構造として、例えば、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造、多結晶構造、及び、微結晶（ｎｃ：ｎａｎｏ－ｃｒｙｓｔａｌ）構造が挙げられる。結晶性を有する金属酸化物を用いることにより、半導体層１０８中及び半導体層２０８中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

［０１９３］

半導体層１０８及び半導体層２０８はそれぞれ、ＣＡＡＣ－ＯＳまたはｎｃ－ＯＳを用いることが好ましい。

［０１９４］

ＣＡＡＣ－ＯＳは、複数の層状結晶を有する。当該結晶のｃ軸は、被形成面の法線方向に配向している。半導体層１０８及び半導体層２０８はそれぞれ、被形成面に対して平行または概略平行な層状結晶を有することが好ましい。例えば、半導体層１０８は、導電層１１２ｂの上面と接する領域においては当該上面に対して平行または概略平行な層状結晶を有し、導電層１１２ｂの側面と接する領域においては当該側面に対して平行または概略平行な層状結晶を有することが好ましい。特に、半導体層１０８は、開口１４１において、被形成面である絶縁層１１０の側面に対して平行または概略平行な層状結晶を有することが好ましい。このような構成とすることにより、トランジスタ１００のチャネル長方向に対して、半導体層１０８の層状結晶が概略平行に形成されるため、オン電流の大きいトランジスタとすることができる。同様に、半導体層２０８は、被形成面（ここでは、絶縁層１１０の側面、導電層２１２ａの側面、及び導電層２１２ｂの側面）に対して平行または概略平行な層状結晶を有することが好ましい。特に、半導体層２０８は、導電層２０４と重なる領域において、被形成面である絶縁層１１０の側面に対して平行または概略平行な層状結晶を有することが好ましい。

［０１９５］

チャネル形成領域に結晶性が高い金属酸化物を用いることで、チャネル形成領域中の欠陥準位密度を低減できる。一方、結晶性の低い金属酸化物を用いることで、大きな電流を流すことができるトランジスタを実現することができる。

［０１９６］

金属酸化物をスパッタリング法により形成する場合、形成時の基板温度が高いほど、結晶性の高い金属酸化物を形成することができる。形成時の基板温度は、例えば、形成時に基板が置かれるステージの温度により調整できる。また、形成に用いる成膜ガス全体に対する酸素ガスの流量の割合（以下、酸素流量比ともいう）、または処理室内の酸素分圧が高いほど、結晶性の高い金属酸化物を形成することができる。

［０１９７］

半導体層１０８及び半導体層２０８の結晶性は、例えば、Ｘ線回折（ＸＲＤ：ＸＲａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）、または電子線回折（ＥＤ：Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）により解析できる。または、これらの手法を複数組み合わせて分析を行ってもよい。

［０１９８］

半導体層１０８及び半導体層２０８に金属酸化物を用いる場合、チャネル形成領域のV_OHをできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された金属酸化物を得るには、金属酸化物中の水、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損（V_O）を修復することが重要である。V_OHなどの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。なお、金属酸化物に酸素を供給して酸素欠損（V_O）を修復することを、加酸素化処理と記す場合がある。

［０１９９］

半導体層１０８及び半導体層２０８に金属酸化物を用いる場合、チャネル形成領域のキャリア濃度は、$1\times10^{18}cm^{-3}$以下であることが好ましく、$1\times10^{17}cm^{-3}$未満であることがより好ましく、$1\times10^{16}cm^{-3}$未満であることがさらに好ましく、$1\times10^{13}cm^{-3}$未満であることがさらに好ましく、$1\times10^{12}cm^{-3}$未満であることがさらに好ましい。なお、チャネル形成領域のキャリア濃度の下限値について限定は無いが、例えば、$1\times10^{-9}cm^{-3}$とすることができる。

［０２００］

ＯＳトランジスタは、放射線照射による電気特性の変動が小さい、つまり放射線に対する耐性が高いため、放射線が入射しうる環境においても好適に用いることができる。ＯＳトランジスタは、放射線に対する信頼性が高いともいえる。例えば、Ｘ線のフラットパネルディテクタの画素回路に、ＯＳトランジスタを好適に用いることができる。また、ＯＳトランジスタは、宇宙空間で使用する半導体装置に好適に用いることができる。放射線として、電磁放射線（例えば、Ｘ線、及びガンマ線）、及び粒子放射線（例えば、アルファ線、ベータ線、陽子線、及び中性子線）が挙げられる。

［０２０１］

半導体層１０８及び半導体層２０８はそれぞれ、半導体として機能する層状物質を有してもよい。層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス結合のような、共有結合またはイオン結合よ

りも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流が大きいトランジスタを提供することができる。

［０２０２］

上記層状物質として、例えば、グラフェン、シリセン、カルコゲン化物などが挙げられる。カルコゲン化物は、カルコゲン（第１６族に属する元素）を含む化合物である。また、カルコゲン化物として、遷移金属カルコゲナイド、１３族カルコゲナイドなどが挙げられる。トランジスタのチャネル形成領域として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはMoS_2）、セレン化モリブデン（代表的には$MoSe_2$）、モリブデンテルル（代表的には$MoTe_2$）、硫化タングステン（代表的にはWS_2）、セレン化タングステン（代表的にはWSe_2）、タングステンテルル（代表的にはWTe_2）、硫化ハフニウム（代表的にはHfS_2）、セレン化ハフニウム（代表的には$HfSe_2$）、硫化ジルコニウム（代表的にはZrS_2）、セレン化ジルコニウム（代表的には$ZrSe_2$）などが挙げられる。

［０２０３］

［導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ、導電層２１２ｂ］

導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂはそれぞれ、単層構造でもよく、２層以上の積層構造であってもよい。導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂに用いることができる材料として、それぞれ、例えば、クロム、銅、アルミニウム、金、銀、亜鉛、タンタル、チタン、タングステン、マンガン、ニッケル、鉄、コバルト、モリブデン、及びニオブの一または複数、並びに前述した金属の一または複数を成分とする合金が挙げられる。導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂにはそれぞれ、銅、銀、金、及びアルミニウムのうち一または複数を含む、低抵抗な導電材料を好適に用いることができる。特に、銅またはアルミニウムは量産性に優れるため好ましい。

［０２０４］

導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂにはそれぞれ、導電性を有する金属酸化物（酸化物導電体）を用いることができる。酸化物導電体（ＯＣ：Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）として、例えば、酸化インジウム、酸化亜鉛、Ｉｎ－Ｓｎ酸化物（ＩＴＯ）、Ｉｎ－Ｚｎ酸化物、Ｉｎ－Ｗ酸化物、Ｉｎ－Ｗ－Ｚｎ酸化物、Ｉｎ－Ｔｉ酸化物、Ｉｎ－Ｔｉ－Ｓｎ酸化物、Ｉｎ－Ｓｎ－Ｓｉ酸化物（シリコンを含むＩＴＯ、ＩＴＳＯともいう）、ガリウムを添加した酸化亜鉛、及びＩｎ－Ｇａ－Ｚｎ酸化物が挙げられる。特にインジウムを含む酸化物導電体は、導電性が高いため好ましい。

［０２０５］

半導体特性を有する金属酸化物に酸素欠損を形成し、該酸素欠損に水素を添加すると、伝導帯近傍にドナー準位が形成される。この結果、金属酸化物は、導電性が高くなり導電体化する。導電体化された金属酸化物を、酸化物導電体ということができる。

［０２０６］

導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂはそれぞれ、前述の酸化物導電体（金属酸化物）を含む導電膜と、金属または合金を含む導電膜

と、の積層構造としてもよい。金属または合金を含む導電膜を用いることで、配線抵抗を低くすることができる。

［０２０７］

導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂはそれぞれ、Ｃｕ－Ｘ合金膜（Ｘは、Ｍｎ、Ｎｉ、Ｃｒ、Ｆｅ、Ｃｏ、Ｍｏ、Ｔａ、またはＴｉ）を適用してもよい。Ｃｕ－Ｘ合金膜を用いることで、ウェットエッチング法により加工できるため、製造コストを削減できる。

［０２０８］

なお、導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２０４、導電層２１２ａ及び導電層２１２ｂは互いに同じ材料を用いてもよく、異なる材料を用いてもよい。例えば、同一の工程で形成することができる、導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂは、互いに同じ材料を用いることが好ましい。また、同一の工程で形成することができる、導電層１０４及び導電層２０４は、互いに同じ材料を用いることが好ましい。

［０２０９］

導電層１１２ａ及び導電層１１２ｂは、半導体層１０８と接する領域を有する。導電層２１２ａ及び導電層２１２ｂは、半導体層２０８と接する領域を有する。半導体層１０８として金属酸化物を用いる場合、導電層１１２ａ及び導電層１１２ｂに酸化されやすい金属（例えば、アルミニウム）を用いると、導電層１１２ａと半導体層１０８との間、及び導電層１１２ｂと半導体層１０８との間に絶縁性の酸化物（例えば、酸化アルミニウム）が形成され、これらの導通を妨げる恐れがある。同様に、半導体層２０８として金属酸化物を用いる場合、導電層２１２ａ及び導電層２１２ｂに酸化されやすい金属を用いると、導電層２１２ａと半導体層２０８との間、及び導電層２１２ｂと半導体層２０８との間に絶縁性の酸化物が形成され、これらの導通を妨げる恐れがある。そのため、導電層１１２ａ、導電層１１２ｂ、導電層２１２ａ及び導電層２１２ｂには、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましい。

［０２１０］

導電層１１２ａ、導電層１１２ｂ、導電層１１２ａ及び導電層１１２ｂにはそれぞれ、例えば、チタン、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、ルテニウム、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物を用いることが好ましい。これらは、酸化されにくい導電材料、または、酸化されても電気抵抗が低く保たれる材料であるため、好ましい。

［０２１１］

導電層１１２ａ、導電層１１２ｂ、導電層２１２ａ及び導電層２１２ｂにはそれぞれ、前述の酸化物導電体を用いることができる。具体的には、酸化インジウム、酸化亜鉛、ＩＴＯ、Ｉｎ－Ｚｎ酸化物、Ｉｎ－Ｗ酸化物、Ｉｎ－Ｗ－Ｚｎ酸化物、Ｉｎ－Ｔｉ酸化物、Ｉｎ－Ｔｉ－Ｓｎ酸化物、シリコンを含むＩｎ－Ｓｎ酸化物、ガリウムを添加した酸化亜鉛などの酸化物導電体を用いることができる。

［０２１２］

導電層１１２ａ、導電層１１２ｂ、導電層２１２ａ及び導電層２１２ｂにはそれぞれ、窒化物導電体を用いてもよい。窒化物導電体として、例えば、窒化タンタル、及び窒化チタンが挙げられる。

［０２１３］

導電層１１２ａ、導電層１１２ｂ、導電層１０４、導電層２１２ａ、導電層２１２ｂ及び導電層２０４はそれぞれ、積層構造を有してもよい。このとき、少なくとも半導体層１０８または半導体層２０８と接する領域には、酸化されにくい導電材料、酸化されても電気抵抗が低く保たれる導電材料、または酸化物導電体を用いることが好ましい。また、半導体層１０８または半導体層２０８と接しない領域には、電気抵抗率の低い材料を用いることが好ましい。これにより、導電層の電気抵抗を低くすることができる。例えば、半導体層１０８または半導体層２０８と接する領域にＩｎ－Ｓｎ－Ｓｉ酸化物（ＩＴＳＯ）を、半導体層１０８または半導体層２０８と接しない領域に銅またはタングステンを好適に用いることができる。特に、半導体層１０８または半導体層２０８と接し、且つ基板１０２上の平坦部に形成される、導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂは、銅の層の上にＩＴＳＯ層を設けた積層構造にすることが好ましい。導電層１１２ａ、導電層２１２ａ及び導電層２１２ｂは、基板１０２上の平坦部に形成されるため、比較的容易に引き回すことができる。また、上記の積層構造にすることで、低抵抗な銅の層が酸化されることを低減し、電気抵抗の低い良好な配線として機能させることができる。

［０２１４］

［絶縁層１０６］

絶縁層１０６は、単層構造でもよく、２層以上の積層構造であってもよい。絶縁層１０６は、１層以上の無機絶縁膜を有することが好ましい。無機絶縁膜に用いることができる材料として、例えば、酸化物、窒化物、酸化窒化物、及び窒化酸化物が挙げられる。絶縁層１０６は、絶縁層１１０に用いることができる材料を用いることができる。

［０２１５］

絶縁層１０６は、半導体層１０８及び半導体層２０８と接する領域を有する。半導体層１０８及び半導体層２０８に金属酸化物を用いる場合、絶縁層１０６を構成する膜のうち、少なくとも半導体層１０８及び半導体層２０８と接する膜には、前述の酸化物及び酸化窒化物のいずれかを用いることが好ましい。また、絶縁層１０６には、加熱により酸素を放出する膜を用いるとより好ましい。

［０２１６］

具体的には、絶縁層１０６が単層構造の場合、絶縁層１０６には、酸化物または酸化窒化物を用いることが好ましい。具体的には、絶縁層１０６は、酸化シリコンまたは酸化窒化シリコンを好適に用いることができる。

［０２１７］

絶縁層１０６を積層構造とする場合、半導体層１０８及び半導体層２０８と接する側の絶縁膜は酸化物または酸化窒化物を有し、導電層１０４及び導電層２０４と接する側の絶縁膜は窒化物または窒化酸化物を有することが好ましい。当該酸化物または酸化窒化物として、例えば、酸化シリコンまたは酸化窒化シリコンを好適に用いることができる。当該窒化物または窒化酸化物として、窒化シリコンまたは窒化酸化シリコンを好適に用いることができる。

［０２１８］

窒化シリコン、及び、窒化酸化シリコンは自身から放出される不純物（例えば、水及び水素）の量が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層１０６として好適に用いることができる。不純物が絶縁層１０６から半導体層１０８及び半導体層２０８に拡散することが抑制されることで、トランジスタの電気特性を良好とし、かつ信頼性を高めることができる。このように、絶縁層１０６は、酸素、水、及び水素の少なくとも一に対するバリア膜として機能することが好ましい。

［０２１９］

なお、本明細書等において、バリア膜とは、バリア性を有する膜のことを示す。例えば、バリア性を有する絶縁層を、バリア絶縁層ということができる。本明細書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）、及び、対応する物質を、捕獲、または固着する（ゲッタリングともいう）機能の一方または双方を指すものとする。

［０２２０］

なお、微細なトランジスタにおいて、ゲート絶縁層の厚さが薄くなると、リーク電流が大きくなってしまう場合がある。ゲート絶縁層に、比誘電率の高い材料（ｈｉｇｈ－ｋ材料ともいう）を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。絶縁層１０６に用いることができるｈｉｇｈ－ｋ材料として、例えば、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物が挙げられる。

［０２２１］

［絶縁層１９５］

トランジスタ１００及びトランジスタ２００の保護層として機能する絶縁層１９５は、不純物が拡散しにくい材料を用いることが好ましい。絶縁層１９５を設けることにより、トランジスタに外部から不純物が拡散することを効果的に抑制でき、半導体装置の信頼性を高めることができる。不純物として、例えば、水及び水素が挙げられる。

［０２２２］

絶縁層１９５は、無機材料を有する絶縁層、または有機材料を有する絶縁層とすることができる。絶縁層１９５は、例えば、酸化物、酸化窒化物、窒化酸化物または窒化物の無機材料を好適に用いることができる。より具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化アルミニウム、酸化ハフニウム、及びハフニウムアルミネートの一または複数を用いることができる。有機材料として、例えば、アクリル樹脂、及びポリイミド樹脂の一または複数を用いることができる。有機材料は感光性の材料を用いてもよい。また、上述の絶縁膜を２以上積層して用いてもよい。絶縁層１９５は、無機材料を有する絶縁層と、有機材料を有する絶縁層との積層構造としてもよい。

［０２２３］

［基板１０２］

基板１０２の材質に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、シリコン、または炭化シリコンを材料とした単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、ＳＯＩ基板、ガラス基板、石英基板、サファイア基板、セラミック基板、または有機樹脂基板を、基板１０２として用いてもよい。また、基板１０２には、半導体素子が設けられていてもよい。なお、半導体基板、及び絶縁性基板の形状は円形であってもよく、角形であってもよい。

［０２２４］

基板１０２として、可撓性基板を用い、可撓性基板上に直接、トランジスタ１００等を形成してもよい。または、基板１０２とトランジスタ１００等の間に剥離層を設けてもよい。剥離層を設けることにより、その上に半導体装置を一部あるいは全部完成させた後、基板１０２より分離し、他の基板

に転載することができる。その際、トランジスタ１００等を耐熱性の劣る基板、または可撓性基板にも転載できる。

［０２２５］

基板１０２として、前述の基板上に下地膜として絶縁層を積層させて用いてもよい。

［０２２６］

以下では、前述の構成例１と一部の構成が異なる半導体装置の構成例について、説明する。なお、以下では、前述の構成例１と重複する部分は説明を省略する場合がある。また、以下で示す図面において、前述の構成例１と同様の機能を有する部分についてはハッチングパターンを同じくし、符号を付さない場合もある。

［０２２７］

＜構成例２＞

本発明の一態様である半導体装置１０Ａの上面図を、図１３Ａに示す。図１３Ａに示す一点鎖線Ａ１－Ａ２における切断面の断面図を図１３Ｂに示す。

［０２２８］

半導体装置１０Ａは、トランジスタ１００Ａと、トランジスタ２００Ａと、絶縁層１１０と、を有する。トランジスタ１００Ａは、絶縁層１４７及び絶縁層１４９を有する点、並びに半導体層１０８が導電層１１２ｂの側面と接しない点で、図９Ａ等に示すトランジスタ１００と主に異なる。トランジスタ２００Ａは、絶縁層２４７及び絶縁層２４９を有する点で、図９Ａ等に示すトランジスタ２００と主に異なる。

［０２２９］

トランジスタ２００Ａにおいて、絶縁層２４７及び絶縁層２４９は、絶縁層１１０と半導体層２０８との間に設けられる。

［０２３０］

絶縁層２４７は、絶縁層１１０の側面、導電層２１２ａの上面及び側面、導電層２１２ｂの上面及び側面、基板１０２の上面、半導体層２０８の側面、絶縁層２４９の側面及び下面、並びに絶縁層１０６の下面に接する。図１３Ｂに示すように、断面視において、絶縁層２４７の、導電層２１２ａの上面または導電層２１２ｂの上面に接する部分に、突出部が形成される。突出部の端部において、絶縁層２４７は、半導体層２０８と接する。絶縁層２４７の突出部は、他の部分よりも、開口１４５の中央に向かって突出した形状になる。

［０２３１］

絶縁層２４７は、水素に対するバリア性を有することが好ましく、特に水素の拡散を抑制する能力が高いことが好ましい。絶縁層２４７として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン及び窒化酸化シリコンの一または複数を用いることができる。絶縁層２４７として、例えば、窒化シリコンを好適に用いることができる。絶縁層２４７を設けることで、トランジスタ２００Ａの外部から、絶縁層２４７を介して半導体層２０８に水素が拡散するのを抑制することができる。

［０２３２］

絶縁層２４９は、絶縁層２４７の側面及び突出部の上面、並びに半導体層２０８の側面及び下面に接する。図１３Ｂに示すように、断面視において、絶縁層２４９の側面は、絶縁層２４７の突出部の側端部と面一になる場合がある。

［０２３３］

絶縁層２４９は、水素に対するバリア性を有することが好ましく、特に水素を捕獲、または固着する（ゲッタリングともいう）能力が高いことが好ましい。絶縁層２４９として、例えば、マグネシウムを含む酸化物、またはアルミニウム及びハフニウムの一方または両方を含む酸化物の一または複数を用いることができる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲するまたは固着する性質を有する場合がある。なお、これらの金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されていてもよい。絶縁層２４９として、例えば、酸化ハフニウムを好適に用いることができる。絶縁層２４９を設けることで、例えば、半導体層２０８または絶縁層１０６に含まれる水素を、絶縁層２４９で捕獲または固着することができる。図１３Ａ及び図１３Ｂに示すように、トランジスタ２００Ａは、絶縁層２４７、及び絶縁層２４９を有する構成であるため、半導体層２０８に酸化物半導体を適用した場合、当該酸化物半導体中に混入しうる、水素、水などを取り除くことが可能となるため、信頼性の高い半導体装置を実現することができる。

［０２３４］

トランジスタ１００Ａにおいて、絶縁層１４７及び絶縁層１４９は、絶縁層１１０と半導体層１０８との間、及び導電層１１２ｂと半導体層１０８との間に設けられる。

［０２３５］

絶縁層１４７は、絶縁層１１０の側面、導電層１１２ｂの側面、導電層１１２ａの上面、半導体層１０８の側面及び下面、並びに絶縁層１４９の側面及び下面に接する。図１３Ｂに示すように、断面視において、絶縁層１４７の、導電層１１２ａの上面に接する部分に、突出部が形成される。突出部の端部において、絶縁層１４７は、半導体層１０８と接する。絶縁層１４７の突出部は、他の部分よりも、開口１４１の中央に向かって突出した形状になる。

［０２３６］

絶縁層１４７は、絶縁層２４７に用いることができる材料を用いることができる。絶縁層１４７は、絶縁層２４７と同じ工程で形成することができる。例えば、絶縁層２４７及び絶縁層１４７となる膜を形成し、これを加工することにより絶縁層２４７及び絶縁層１４７を形成することができる。

［０２３７］

絶縁層１４９は、絶縁層１４７の側面及び突出部の上面、並びに半導体層１０８の側面及び下面に接する。図１３Ｂに示すように、断面視において、絶縁層１４９の側面は、絶縁層１４７の突出部の側端部と面一になる場合がある。

［０２３８］

絶縁層１４９は、絶縁層２４９に用いることができる材料を用いることができる。絶縁層１４９は、絶縁層２４９と同じ工程で形成することができる。例えば、絶縁層２４９及び絶縁層１４９となる膜を形成し、これを加工することにより絶縁層２４９及び絶縁層１４９を形成することができる。

［０２３９］

なお、ここで示した絶縁層１４７、絶縁層１４９、絶縁層２４７、絶縁層２４９、半導体層１０８、及び半導体層２０８の構成は、他の構成例にも適用できる。

［０２４０］

＜構成例３＞

本発明の一態様であるトランジスタ２００Ｂの上面図を、図１４Ａに示す。図１４Ａに示す一点鎖線Ａ１－Ａ２における切断面の断面図を図１４Ｂに示す。

［０２４１］

開口１４５が、延伸部と屈曲部を有する形状である点において、図９Ａ等に示すトランジスタ２００と主に異なる。ここで、延伸部と屈曲部を組み合わせて形成された開口１４５の上面形状を、蛇行形状、迂曲形状、曲折形状、またはミアンダ形状と呼ぶことができる。

［０２４２］

図１４Ａに示すように、開口１４５は、延伸部１４６ａ、延伸部１４６ｂ、延伸部１４６ｃ、屈曲部１４８ａ、及び屈曲部１４８ｂを有する。開口１４５の上面形状は、延伸部１４６ａと延伸部１４６ｂは、屈曲部１４８ａを介して接続され、延伸部１４６ｂと延伸部１４６ｃは、屈曲部１４８ｂを介して接続された形状とみなすことができる。開口１４５の側壁に接して半導体層２０８が設けられている。開口１４５内で半導体層２０８は、絶縁層１０６を介して導電層２０４と対向して設けられている。ここで、半導体層２０８は、延伸部１４６ａにおいて導電層２１２ａに接し、延伸部１４６ｂにおいて導電層２１２ｂに接する。

［０２４３］

延伸部１４６ａ、延伸部１４６ｂ、及び延伸部１４６ｃは、上面視において一方向（図１４Ａでは、一点鎖線Ａ１－Ａ２に垂直な方向）に延伸された形状を有する。これに対して、屈曲部１４８ａ及び屈曲部１４８ｂは、上面視において、一方の端部が他方の端部に対して曲がって設けられる。

［０２４４］

２個の延伸部を１個の屈曲部で接続することで、開口１４５に折り返し構造を形成することができる。このような折り返し形状を１個または複数個形成することにより、開口１４５の長さを、導電層２１２ａと導電層２１２ｂの距離より、顕著に大きくすることができる。よって、トランジスタ２００Ｂのチャネル長を顕著に大きくし、トランジスタ２００Ｂの飽和性をより高くすることができる。

［０２４５］

なお、上記においては、ソース電極またはドレイン電極として機能する導電層が、延伸部において、半導体層に接する例について示したが、本発明はこれに限られるものではない。ソース電極またはドレイン電極として機能する導電層が、屈曲部において半導体層と接する構成としてもよい。例えば、半導体層２０８が屈曲部１４８ａにおいて導電層２１２ａに接し、屈曲部１４８ｂにおいて導電層２１２ｂに接する構成としてもよい。

［０２４６］

図１４Ａでは、開口１４５が、延伸部１４６ａ、延伸部１４６ｂ、延伸部１４６ｃ、屈曲部１４８ａ、及び屈曲部１４８ｂを有する構成について示したが、本発明はこれに限られるものではない。開口１４５は、複数の延伸部と、少なくとも一以上の屈曲部を有していればよい。ここで、屈曲部の個数は、延伸部より１個少ないことが好ましい。例えば、開口１４５が、２個の延伸部と、１個の屈曲部を有する構成にしてもよい。また、例えば、開口１４５が、４個以上の延伸部と、３個以上の屈曲部を有する構成にしてもよい。

［０２４７］

また、図１４Ａでは、開口１４５の上面形状を角が丸まった形状で示したが、本発明はこれに限られるものではなく、延伸部及び屈曲部の角が角張った形状にしてもよい。この場合、開口１４５の上

面形状をジグザグ形状と呼ぶこともできる。

［０２４８］

なお、図１４Ａでは、導電層２０４が開口１４５全体を覆う構造について示したが、本発明はこれに限られるものではない。例えば、図１５Ａ及び図１５Ｂに示すように、導電層２０４が開口１４５の一部と重なる構造にしてもよい。

［０２４９］

ここで、図１５Ａに示すように、導電層２１２ａと導電層２１２ｂを接続する半導体層２０８は、一点鎖線Ｃ１－Ｃ２で表す経路と、一点鎖線Ｄ１－Ｄ２で表す経路の２種類がある。図１５Ａのトランジスタでは、一点鎖線Ｃ１－Ｃ２で表す経路は導電層２０４で覆われているが、一点鎖線Ｄ１－Ｄ２で表す経路は導電層２０４から露出している。導電層２０４が形成されない領域では、絶縁層１０６の上面に絶縁層１９５が接する。このような構成にすることで、導電層２０４のレイアウト面積を低減し、トランジスタ２００Ｂを高密度に配置することができる。

［０２５０］

また、図１５Ａに示すトランジスタ２００Ｂは、一点鎖線Ｃ１－Ｃ２で表す経路の半導体層２０８だけがチャネル形成領域として機能する。このため、図１４Ａに示すトランジスタ２００Ｂと比較して、実質的なチャネル幅が約半分になっているとみなすことができる。よって、図１５Ａに示すトランジスタ２００Ｂは、チャネル幅がより小さくなるため、飽和性をより高くすることができる。

［０２５１］

＜構成例４＞

本発明の一態様であるトランジスタ２００Ｃの断面図を、図１６Ａに示す。また、本発明の一態様であるトランジスタ１００Ｃの断面図を、図１６Ｂに示す。

［０２５２］

トランジスタ２００Ｃは、導電層２１２ａ及び導電層２１２ｂ上に導電層２１６を有する点、及び、絶縁層１１０が６層構造である点で、トランジスタ２００と主に異なる。

［０２５３］

絶縁層１１０は、導電層２１２ａ及び導電層２１２ｂ上の絶縁層１１０ａと、絶縁層１１０ａ上の絶縁層１１０ｂ１と、絶縁層１１０ｂ１上の絶縁層１１０ｄ１と、絶縁層１１０ｄ１及び導電層２１６上の絶縁層１１０ｄ２と、絶縁層１１０ｄ２上の絶縁層１１０ｂ２と、絶縁層１１０ｂ２上の絶縁層１１０ｃと、を有する。

［０２５４］

導電層２１６は、トランジスタ２００Ｃのバックゲート電極（第２のゲート電極ということもできる。）として機能する。導電層２１６は、絶縁層１１０ｄ１上に位置することが好ましい。導電層２１２ａ、２１２ｂと導電層２１６とは、絶縁層１１０ａ、１１０ｂ１、１１０ｄ１によって互いに電気的に絶縁されている。導電層２１６は開口が設けられていることが好ましく、当該開口の内側に、開口１４５が設けられることが好ましい。

［０２５５］

なお、導電層２１６は、導電層２１２ａまたは導電層２１２ｂと電気的に接続されていてもよい。例えば、絶縁層１１０ａ、１１０ｂ１、１１０ｄ１に設けられた開口を介して、導電層２１２ａと導電層２１６とが接していてもよい。

［０２５６］

導電層２１６は、単層構造でもよく、２層以上の積層構造であってもよい。導電層２１６には、導電層２１２ａ、導電層２１２ｂ、及び導電層２０４に用いることができる材料を適用することができる。

［０２５７］

なお、図１６Ａにおいて、導電層２１６の断面形状はテーパ形状を有する構成を例示したが、これに限定されない。例えば、導電層２１６の断面形状を垂直となるように配置してもよい。当該配置とすることで、導電層２１６の側面と、絶縁層１１０と接する半導体層２０８の面と、が平行になる。このような配置とすることで、導電層２１６に与えられる電位を、効率的に半導体層２０８に付与することができるため、好適である。

［０２５８］

絶縁層１１０ｄ２は、導電層２１６の上面及び側面を覆う。絶縁層１１０ｄ２は、導電層２１６の開口の一部を覆うように設けられる。絶縁層１１０ｄ２は、当該開口を介して、絶縁層１１０ｄ１と接することが好ましい。

［０２５９］

絶縁層１１０ｄ１及び絶縁層１１０ｄ２には、絶縁層１１０ａ、１１０ｃと同様の構成を適用することが好ましい。具体的には、絶縁層１１０ｄ１及び絶縁層１１０ｄ２には、酸素が拡散しにくい膜を用いることが好ましい。また、絶縁層１１０ｄ１及び絶縁層１１０ｄ２には、水素が拡散しにくい膜を用いることが好ましい。このような絶縁層１１０ｄ１及び絶縁層１１０ｄ２を設けることで、導電層２１６が酸化するのを抑制することができる。また、導電層２１６中に含まれる水素が、半導体層２０８に拡散することを抑制できる。

［０２６０］

なお、図１６Ａでは、絶縁層１１０ｄ１の厚さが場所によらず均一である例を示したが、本発明はこれに限られるものではない。例えば、絶縁層１１０ｄ１は、導電層２１６と重なる領域と、重ならない領域とで、厚さが異なる場合がある。例えば、導電層２１６となる膜の加工時に、絶縁層１１０ｄ１の導電層２１６と重ならない領域は、一部が除去され、厚さが薄くなることがある。

［０２６１］

絶縁層１１０ｂ２は、絶縁層１１０ｄ２を介して、導電層２１６の上面及び側面を覆うことが好ましい。絶縁層１１０ｂ２は、絶縁層１１０ｄ２を介して、導電層２１６の開口の一部を覆うように設けられることが好ましい。

［０２６２］

絶縁層１１０ｂ１及び絶縁層１１０ｂ２には、それぞれ、絶縁層１１０ｂに適用可能な構成と同様の構成を適用できる。具体的には、絶縁層１１０ｂ１及び絶縁層１１０ｂ２には、それぞれ、酸素を含む層を用いることが好ましく、絶縁層１１０ａ、１１０ｃ、１１０ｄ１、１１０ｄ２の少なくとも一つと比べて酸素の含有量が多い領域を有することが好ましい。

［０２６３］

このような構成とすることで、絶縁層１１０の構成を、導電層２１６の上下で対称にすることができる。また、半導体層２０８に対して、絶縁層１１０ｂ１、１１０ｂ２の２つから酸素を供給することができるため、トランジスタの特性向上を図ることができる。

［０２６４］

ただし、本発明は上記に限られるものではなく、例えば絶縁層１１０ｂ１を設けない構成にするこ

ともできる。また、絶縁層１１０ｄ１及び絶縁層１１０ｄ２を設けない構成にすることもできる。

［０２６５］

トランジスタ２００Ｃにおいて、半導体層２０８には、絶縁層１０６を介して導電層２０４と重なり、かつ、絶縁層１１０の一部（特に、絶縁層１１０ｂ２、及び絶縁層１１０ｄ２）を介して導電層２１６と重なる領域が存在する。言い換えると、半導体層２０８の少なくとも一部は、導電層２０４の側面と導電層２１６の側面に挟まれており、半導体層２０８の少なくとも一部と導電層２０４の側面の間には絶縁層１１０の一部（特に、絶縁層１１０ｂ２、及び絶縁層１１０ｄ２）が設けられ、半導体層２０８の少なくとも一部と導電層２１６の側面の間には絶縁層１０６が設けられている。ここで、絶縁層１１０の一部は、トランジスタ２００Ｃのバックゲート絶縁層（第２のゲート絶縁層ということもできる。）として機能する。

［０２６６］

トランジスタ２００Ｃはバックゲート電極を有するため、半導体層２０８のバックゲート側（バックチャネルともいう）の電位を固定することができる。したがって、トランジスタ２００ＣのＩｄ－Ｖｄ特性における飽和性をより高めることができる。

［０２６７］

また、トランジスタ２００Ｃは、バックゲート電極を有するため、半導体層２０８のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、ノーマリーオフ特性（つまり、しきい値電圧がプラスの値）のトランジスタを実現できる。

［０２６８］

トランジスタ２００Ｃは、導電層２１６、絶縁層１１０、半導体層２０８、絶縁層１０６、及び導電層２０４が、間に他の層を含まず、一方向にこの順で重なっている領域を有する。当該領域を広くすることで、半導体層２０８のバックチャネルの電界をより確実に制御することができる。

［０２６９］

なお、断面視において、絶縁層１１０の開口の左右で、導電層２１６と半導体層２０８との最短距離が異なる場合がある。

［０２７０］

またトランジスタ２００Ｃと同様に、トランジスタ１００にバックゲートを設ける構成にすることもできる。図１６Ｂに示すトランジスタ１００Ｃは、導電層１１２ａ上に導電層１１６を有する点、及び、絶縁層１１０が６層構造である点で、トランジスタ１００と主に異なる。

［０２７１］

ここで、導電層１１６は、上記導電層２１６と対応しており、導電層２１６の記載を参照することができる。つまり、導電層１１６は、トランジスタ１００Ｃのバックゲート電極として機能する。また、絶縁層１１０は、図１６Ａに示す絶縁層１１０と同様の構成である。つまり、絶縁層１１０の一部は、トランジスタ１００Ｃのバックゲート絶縁層として機能する。

［０２７２］

よって、トランジスタ１００Ｃにおいても、半導体層１０８には、絶縁層１０６を介して導電層１０４と重なり、かつ、絶縁層１１０の一部（特に、絶縁層１１０ｂ２、及び絶縁層１１０ｄ２）を介して導電層１１６と重なる領域が存在する。言い換えると、半導体層１０８の少なくとも一部は、導電層１０４の側面と導電層１１６の側面に挟まれており、半導体層１０８の少なくとも一部と導電層１０４の側面の間には絶縁層１１０の一部（特に、絶縁層１１０ｂ２、及び絶縁層１１０ｄ２）が

設けられ、半導体層１０８の少なくとも一部と導電層１１６の側面の間には絶縁層１０６が設けられている。

［０２７３］

トランジスタ１００Ｃはバックゲート電極を有するため、半導体層１０８のバックゲート側（バックチャネルともいう）の電位を固定することができる。したがって、トランジスタ２００ＣのＩｄ－Ｖｄ特性における飽和性をより高めることができる。

［０２７４］

また、トランジスタ１００Ｃは、バックゲート電極を有するため、半導体層１０８のバックチャネルの電位を固定でき、しきい値電圧がマイナスシフトすることを抑制できる。これにより、ノーマリーオフ特性（つまり、しきい値電圧がプラスの値）のトランジスタを実現できる。

［０２７５］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０２７６］

（実施の形態３）

本実施の形態では、本発明の一態様の半導体装置の作製方法について、図１７Ａ乃至図２２Ｂを用いて説明する。なお、各要素の材料及び形成方法について、先に実施の形態２で説明した部分と同様の部分については説明を省略することがある。

［０２７７］

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スパッタリング法、化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、真空蒸着法、パルスレーザー堆積（ＰＬＤ：Ｐｕｌｓｅｄ　Ｌａｓｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、ＡＬＤ法、分子線エピタキシー（ＭＢＥ：Ｍｏｌｅｃｕｌａｒ　Ｂｅａｍ　Ｅｐｉｔａｘｙ）法等を用いて形成することができる。ＣＶＤ法には、ＰＥＣＶＤ法、及び、熱ＣＶＤ法などがある。また、熱ＣＶＤ法のひとつに、有機金属化学気相堆積（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　ＣＶＤ）法がある。

［０２７８］

半導体装置を構成する薄膜（絶縁膜、半導体膜、及び、導電膜等）は、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、またはナイフコート等の湿式の成膜方法により形成することができる。

［０２７９］

半導体装置を構成する薄膜を加工する際には、フォトリソグラフィ法等を用いることができる。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより薄膜を加工してもよい。また、メタルマスクなどの遮蔽マスクを用いた成膜方法により、島状の薄膜を直接形成してもよい。

［０２８０］

フォトリソグラフィ法として、代表的には以下の２つの方法がある。１つは、加工したい薄膜上にレジストマスクを形成して、エッチング等により当該薄膜を加工し、レジストマスクを除去する方法である。もう１つは、感光性を有する薄膜を成膜した後に、露光、現像を行って、当該薄膜を所望の形状に加工する方法である。

［０２８１］

フォトリソグラフィ法において、露光に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用いることができる。そのほか、紫外線、ＫｒＦレーザ光、またはＡｒＦレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外（ＥＵＶ：Ｅｘｔｒｅｍｅ　Ｕｌｔｒａ－ｖｉｏｌｅｔ）光、またはＸ線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

［０２８２］

薄膜のエッチングには、ドライエッチング法、ウェットエッチング法、及びサンドブラスト法の一または複数を用いることができる。

［０２８３］

＜作製方法例＞

ここでは、図９Ａ及び図９Ｂに示す半導体装置１０の作製方法の一例を、図１７Ａ乃至図２２Ｂを用いて説明する。図１７Ａ乃至図２０Ｂには、図９Ａに示す一点鎖線Ａ１－Ａ２間の断面図を示す。図２１Ａ乃至図２２Ｂには、上面図を示す。

［０２８４］

まず、基板１０２上に、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂとなる膜を形成し、当該膜を加工して導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂを形成する。当該膜の形成は、スパッタリング法を好適に用いることができる。また、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂの形成は、例えば、ウェットエッチング法を好適に用いることができる。なお、当該膜の成膜前に、基板１０２上に下地膜となる絶縁層を積層させてもよい。

［０２８５］

例えば、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂに、銅などの導電性の高い導電膜を用いることができる。好ましくは、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂに、銅の層と、銅の層上のＩＴＳＯの層を有する積層膜を用いることができる。本実施の形態に示す半導体装置では、基板１０２上の平坦部に導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂが配置されるので、銅などの導電性の高い導電膜を用いても、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂを比較的容易に引き回すことができる。よって、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂを電気抵抗の低い配線として機能させることができる。

［０２８６］

続いて、基板１０２、導電層１１２ａ、導電層２１２ａ、及び導電層２１２ｂ上に、絶縁層１１０ａとなる絶縁膜１１０ａｆ、及び絶縁層１１０ｂとなる絶縁膜１１０ｂｆを形成する（図１７Ａ）。トランジスタ１００のチャネル長Ｌ１００及びトランジスタ２００のチャネル幅Ｗ２００は、絶縁膜１１０ｂｆの膜厚に依存する。よって、トランジスタ１００及びトランジスタ２００に求める電気特性に合わせて、絶縁膜１１０ｂｆの膜厚を設定すればよい。

［０２８７］

絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆの形成は、スパッタリング法またはＰＥＣＶＤ法を好適に用いることができる。絶縁膜１１０ａｆを形成した後、絶縁膜１１０ａｆの表面を大気に曝すこと

なく、真空中で連続して絶縁膜１１０ｂｆを形成することが好ましい。絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆを連続して形成することで、絶縁膜１１０ａｆの表面に大気由来の不純物が付着することを抑制できる。当該不純物として、例えば、水、及び有機物が挙げられる。

［０２８８］

絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆの形成時の基板温度はそれぞれ、１８０℃以上４５０℃以下が好ましく、さらには２００℃以上４５０℃以下が好ましく、さらには２５０℃以上４５０℃以下が好ましく、さらには３００℃以上４５０℃以下が好ましく、さらには３００℃以上４００℃以下が好ましく、さらには３５０℃以上４００℃以下が好ましい。絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆの形成時の基板温度を前述の範囲とすることで、自身からの不純物（例えば、水及び水素）の放出を少なくすることができ、不純物が半導体層１０８に拡散することを抑制することができる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０２８９］

なお、絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆは、半導体層１０８及び半導体層２０８より先に形成されるため、絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆの形成時に加わる熱によって半導体層１０８及び半導体層２０８から酸素が脱離することを懸念する必要はない。

［０２９０］

絶縁膜１１０ｂｆを形成した後、絶縁膜１１０ｂｆに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、またはプラズマ処理を用いることができる。プラズマ処理として、酸素ガスを高周波電力によってプラズマ化させる装置を好適に用いることができる。ガスを高周波電力によってプラズマ化させる装置として、例えば、ＰＥＣＶＤ装置、プラズマエッチング装置及びプラズマアッシング装置が挙げられる。プラズマ処理は、酸素を含む雰囲気で行うことが好ましい。例えば、酸素、一酸化二窒素（N_2O）、二酸化窒素（NO_2）、一酸化炭素、及び二酸化炭素の一以上を含む雰囲気で、プラズマ処理を行うことが好ましい。

［０２９１］

なお、絶縁膜１１０ｂｆの表面を大気に曝すことなく、真空中で連続して当該プラズマ処理を行ってもよい。例えば、絶縁膜１１０ｂｆの形成にＰＥＣＶＤ装置を用いる場合、当該ＰＥＣＶＤ装置で当該プラズマ処理を行うことが好ましい。これにより、生産性を高めることができる。具体的には、ＰＥＣＶＤ装置で絶縁膜１１０ｂｆを形成した後に、真空中で連続してN_2Oプラズマ処理を行うことができる。

［０２９２］

また、絶縁膜１１０ｂｆ上に、金属酸化物層１３７を形成することが好ましい（図１７Ｂ）。金属酸化物層１３７を形成することで、絶縁膜１１０ｂｆに酸素を供給することができる。

［０２９３］

金属酸化物層１３７の導電性は問わない。金属酸化物層１３７として、絶縁膜、半導体膜、及び導電膜の少なくとも一種を用いることができる。金属酸化物層１３７として、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、インジウム酸化物、インジウムスズ酸化物（ＩＴＯ）、またはシリコンを含有したインジウムスズ酸化物（ＩＴＳＯ）を用いることができる。

［０２９４］

金属酸化物層１３７として、半導体層１０８及び半導体層２０８と同一の元素を一以上含む酸化

物材料を用いることが好ましい。特に、半導体層１０８及び半導体層２０８に適用可能な金属酸化物材料を用いることが好ましい。

［０２９５］

金属酸化物層１３７の形成時に、成膜装置の処理室内に導入する成膜ガスの酸素流量比、または処理室内の酸素分圧が高いほど、絶縁膜１１０ｂｆ中に供給される酸素の量を増やすことができる。酸素流量比または酸素分圧は、例えば５０％以上１００％以下、好ましくは６５％以上１００％以下、より好ましくは８０％以上１００％以下、さらに好ましくは９０％以上１００％以下とする。特に、酸素流量比を１００％とし、酸素分圧を１００％にできるだけ近づけることが好ましい。

［０２９６］

このように、酸素を含む雰囲気でスパッタリング法により金属酸化物層１３７を形成することにより、金属酸化物層１３７の形成時に、絶縁膜１１０ｂｆへ酸素を供給するとともに、絶縁膜１１０ｂｆから酸素が脱離することを防ぐことができる。その結果、絶縁膜１１０ｂｆに多くの酸素を閉じ込めることができる。そして、後の加熱処理によって、半導体層１０８に多くの酸素を供給することができる。その結果、半導体層１０８中の酸素欠損及びV_OHを低減することができ、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０２９７］

金属酸化物層１３７を形成した後、加熱処理を行ってもよい。金属酸化物層１３７を形成した後に加熱処理を行うことで、金属酸化物層１３７から絶縁膜１１０ｂｆに効果的に酸素を供給することができる。

［０２９８］

加熱処理の温度は、１５０℃以上、２００℃以上、２３０℃以上、または２５０℃以上であって、基板の歪み点未満、４５０℃以下、４００℃以下、３５０℃以下、または３００℃以下が好ましい。加熱処理は、貴ガス、窒素または酸素の一以上を含む雰囲気で行うことができる。窒素を含む雰囲気、または酸素を含む雰囲気として、乾燥空気（ＣＤＡ：Ｃｌｅａｎ　Ｄｒｙ　Ａｉｒ）を用いてもよい。なお、当該雰囲気における水素、水などの含有量が極力少ないことが好ましい。当該雰囲気として、露点が－６０℃以下、好ましくは－１００℃以下の高純度ガスを用いることが好ましい。水素、水などの含有量が極力少ない雰囲気を用いることで、絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆに水素、水などが取り込まれることを可能な限り防ぐことができる。加熱処理は、オーブン、急速加熱（ＲＴＡ：Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌｉｎｇ）装置等を用いることができる。ＲＴＡ装置を用いることで、加熱処理時間を短縮できる。

［０２９９］

金属酸化物層１３７を形成した後、または前述の加熱処理の後に、さらに、金属酸化物層１３７を介して絶縁膜１１０ｂｆに酸素を供給してもよい。酸素の供給方法として、例えば、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、またはプラズマ処理を用いることができる。プラズマ処理については、前述の記載を参照できるため、詳細な説明は省略する。

［０３００］

続いて、金属酸化物層１３７を除去する。金属酸化物層１３７の除去方法に特に限定は無いが、ウェットエッチング法を好適に用いることができる。ウェットエッチング法を用いることで、金属酸化物層１３７の除去の際に、絶縁膜１１０ｂｆがエッチングされることを抑制できる。これにより、絶縁膜１１０ｂｆの厚さが薄くなることを抑制でき、絶縁層１１０ｂの厚さを均一にすることができ

る。

［０３０１］

金属酸化物層１３７を除去した後に、さらに絶縁膜１１０ｂｆに酸素を供給してもよい。酸素の供給方法については、前述の記載を参照できる。例えば、図１７Ｃに示すように、絶縁膜１１０ｂｆ上に膜１３９を形成し、膜１３９を介して絶縁膜１１０ｂｆに酸素を供給してもよい。当該処理として、酸素を含む雰囲気におけるプラズマ処理を用いることができる。図１７Ｃは、絶縁膜１１０ｂｆへ酸素が供給される様子を矢印で模式的に示している。

［０３０２］

膜１３９は、導電膜または半導体膜を用いることが好ましい。膜１３９は、金属酸化物膜、金属膜または合金膜を用いることができる。膜１３９として金属酸化物を用い、酸素を含む雰囲気下でスパッタリング法等により形成すると、膜１３９の形成時においても絶縁膜１１０ｂｆに酸素を供給できるため好ましい。

［０３０３］

膜１３９の厚さは薄いことが好ましい。具体的には、膜１３９の厚さは、１ｎｍ以上、２ｎｍ以上、または３ｎｍ以上であって、２０ｎｍ以下、１５ｎｍ以下、または１０ｎｍ以下が好ましい。代表的には５ｎｍ程度とすることができる。

［０３０４］

膜１３９の形成時の基板温度は、３５０℃以下が好ましく、さらには３４０℃以下が好ましく、さらには３３０℃以下が好ましく、さらには３００℃以下が好ましい。これにより、絶縁膜１１０ｂｆに供給される酸素の量を多くすることができる。

［０３０５］

膜１３９を設けることにより、酸素を供給する際に一対の電極間にバイアス電圧が印加されると、イオン化した酸素をひきつけやすくなる。したがって、絶縁膜１１０ｂｆに供給される酸素の量を多くすることができる。

［０３０６］

酸素を供給する処理装置として、ドライエッチング装置、アッシング装置、またはＰＥＣＶＤ装置を好適に用いることができる。特に、アッシング装置を用いることが好ましい。処理装置が有する一対の電極間にバイアス電圧を印加する場合、そのバイアス電圧を例えば１０Ｖ以上１ｋＶ以下とすればよい。または、バイアスの電力密度を例えば１Ｗ／ｃｍ^{2}以上５Ｗ／ｃｍ^{2}以下とすればよい。

［０３０７］

続いて、膜１３９を除去する。膜１３９の除去は、ウェットエッチング法を好適に用いることができる。

［０３０８］

絶縁膜１１０ｂｆに対して酸素を供給する処理は、前述の方法に限定されない。例えば、絶縁膜１１０ｂｆに対してイオンドーピング法、イオン注入法、またはプラズマ処理により、酸素ラジカル、酸素原子、酸素原子イオン、または酸素分子イオンを供給する。また、絶縁膜１１０ｂｆ上に酸素の脱離を抑制する膜を形成した後、該膜を介して絶縁膜１１０ｂｆに酸素を供給してもよい。該膜は、酸素を供給した後に除去することが好ましい。上述の酸素の脱離を抑制する膜として、インジウム、亜鉛、ガリウム、錫、アルミニウム、クロム、タンタル、チタン、モリブデン、ニッケル、鉄、コバルト、及びタングステンの１以上を有する導電膜あるいは半導体膜を用いることができる。

［０３０９］

続いて、絶縁膜１１０ｂｆ上に、絶縁層１１０ｃとなる絶縁膜１１０ｃｆを形成する（図１７Ｄ）。絶縁膜１１０ｃｆの形成は、絶縁膜１１０ａｆ及び絶縁膜１１０ｂｆの形成に係る記載を参照できるため、詳細な説明は省略する。

［０３１０］

続いて、絶縁膜１１０ｃｆ上に、導電層１１２ｂとなる導電膜１１２ｂｆを形成する（図１７Ｅ）。導電膜１１２ｂｆの形成は、例えば、スパッタリング法を好適に用いることができる。

［０３１１］

続いて、導電膜１１２ｂｆを加工し、導電層１１２ｂを形成する（図１８Ａ）。このとき、導電層１１２ｂの開口１４３も同時に形成することができる。開口１４３が、導電層１１２ａの少なくとも一部と重畳するように、導電層１１２ｂを形成する。導電層１１２ｂの形成は、例えば、ウェットエッチング法を好適に用いることができる。

［０３１２］

続いて、絶縁膜１１０ａｆ、絶縁膜１１０ｂｆ、及び絶縁膜１１０ｃｆの一部を除去し、開口１４１及び開口１４５を有する絶縁層１１０を形成する（図１８Ｂ）。開口１４１は、開口１４３と重なる領域に設けられる。よって、開口１４１の形成により導電層１１２ａが露出する。また、開口１４５は、導電層２１２ａの少なくとも一部、及び導電層２１２ｂの少なくとも一部と重なる領域に設けられる。よって、開口１４５の形成により、導電層２１２ａ、導電層２１２ｂ、及び基板１０２（または基板１０２の表面に形成された絶縁層）が露出する。絶縁層１１０の形成は、例えば、ドライエッチング法を好適に用いることができる。

［０３１３］

トランジスタ１００のチャネル幅Ｗ１００は、開口１４１の形状及び大きさに依存する。よって、トランジスタ１００に求める電気特性に合わせて、開口１４１の形状及び大きさを設定すればよい。トランジスタ２００のチャネル長Ｌ２００は、開口１４５の形状及び大きさに依存する。よって、トランジスタ２００に求める電気特性に合わせて、開口１４５の形状及び大きさを設定すればよい。

［０３１４］

なお、開口１４１を形成する際、または開口１４１を形成した後に、開口１４１と重なる領域の導電層１１２ａの一部を除去してもよい。導電層１１２ａの半導体層１０８の下面と接する領域の厚さが、半導体層１０８と接しない領域の厚さより薄くなることにより、導電層１１２ａ近傍のチャネル形成領域にかかるゲート電極の電界を強くすることができ、トランジスタのオン電流を大きくすることができる。なお、上記においては、開口１４３と重なるように、開口１４１を形成する例について説明したが、本発明はこれに限られるものではない。例えば、図１８Ａに係る工程で、開口１４３を形成せずに、図１８Ｂに係る工程で、開口１４３と開口１４１を一括で形成してもよい。

［０３１５］

また、開口１４５を形成する際、または開口１４５を形成した後に、開口１４５と重なる領域の導電層２１２ａの一部、導電層２１２ｂの一部が除去される場合がある。つまり、導電層２１２ａ及び導電層２１２ｂの開口１４５と重なる領域の厚さが、開口１４５と重ならない領域の厚さより薄くなる場合がある。

［０３１６］

ここで、開口１４１、開口１４３、及び開口１４５を覆うように、絶縁層１４７及び絶縁層２４７

となる絶縁膜を成膜し、当該絶縁膜上に絶縁層１４９及び絶縁層２４９となる絶縁膜を形成し、これらの絶縁膜を異方性のエッチングで加工してもよい。このような工程を行うことで、図１３Ａ及び図１３Ｂに示すように、開口１４１及び開口１４３の側壁に絶縁層１４７及び絶縁層１４９を形成し、開口１４５の側壁に絶縁層２４７及び絶縁層２４９を形成することができる。

［０３１７］

続いて、開口１４１、開口１４３及び開口１４５を覆うように、半導体層１０８及び半導体層２０８となる金属酸化物膜１０８ｆを形成する（図１８Ｃ）。金属酸化物膜１０８ｆは、導電層１１２ｂの上面及び側面、絶縁層１１０の上面及び側面、導電層１１２ａの上面、導電層２１２ａの一部の上面及び側面、導電層２１２ｂの一部の上面及び側面、並びに基板１０２の上面に接して設けられる。

［０３１８］

金属酸化物膜１０８ｆは、金属酸化物ターゲットを用いたスパッタリング法により形成することが好ましい。または、金属酸化物膜１０８ｆは、ＡＬＤ法により形成することが好ましい。ＡＬＤ法は被覆性が高いため、開口１４１、開口１４３及び開口１４５を覆って設けられる金属酸化物膜１０８ｆの形成に、好適に用いることができる。ＡＬＤ法を用いることにより、絶縁層１１０の側面にも被覆性高く金属酸化物膜を形成することができる。また、ＡＬＤ法は成膜速度を制御しやすいため、厚さが薄い膜を歩留り良く形成できる。

［０３１９］

金属酸化物膜１０８ｆは、可能な限り欠陥の少ない緻密な膜とすることが好ましい。また、金属酸化物膜１０８ｆは、可能な限り水素元素を含む不純物が低減され、高純度の膜であることが好ましい。特に、金属酸化物膜１０８ｆとして、結晶性を有する金属酸化物膜を用いることが好ましい。

［０３２０］

金属酸化物膜１０８ｆを形成する際に、酸素ガスを用いることが好ましい。酸素ガスを用いることで、絶縁層１１０中に好適に酸素を供給することができる。例えば、絶縁層１１０ｂに酸化物または酸化窒化物を用いる場合、絶縁層１１０ｂ中に好適に酸素を供給することができる。

［０３２１］

絶縁層１１０ｂに酸素を供給することにより、後の工程で半導体層１０８及び半導体層２０８のチャネル形成領域に酸素が供給され、これらのチャネル形成領域中の酸素欠損及びV_OHを低減できる。

［０３２２］

金属酸化物膜１０８ｆを形成する際に、酸素ガスと、不活性ガス（例えば、ヘリウムガス、アルゴンガス、キセノンガスなど）と、を混合させてもよい。なお、金属酸化物膜を形成する際の成膜ガス全体に占める酸素ガスの割合（酸素流量比）、または処理室内の酸素分圧が高いほど、金属酸化物膜の結晶性を高めることができ、信頼性の高いトランジスタを実現できる。一方、酸素流量比または酸素分圧が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができ、オン電流が大きいトランジスタとすることができる。

［０３２３］

ここで、酸素流量比または酸素分圧が高いと金属酸化物膜が多結晶構造となる場合がある。多結晶構造の金属酸化物膜の場合、結晶粒界が再結合中心となり、キャリアが捕獲されることにより、トランジスタのオン電流が小さくなってしまう場合がある。したがって、金属酸化物膜１０８ｆが多結晶構造とならないよう、酸素流量比または酸素分圧を調整することが好ましい。金属酸化物膜の組成に

よって多結晶構造へのなりやすさが異なるため、金属酸化物膜１０８ｆの組成に応じて酸素流量比または酸素分圧を調整すればよい。

［０３２４］

金属酸化物膜を形成する際の基板温度が高いほど、結晶性が高く、緻密な金属酸化物膜とすることができる。一方、基板温度が低いほど、結晶性が低く、電気伝導性の高い金属酸化物膜とすることができる。

［０３２５］

金属酸化物膜１０８ｆの形成時の基板温度は、室温以上２５０℃以下が好ましく、室温以上２００℃以下がより好ましく、室温以上１４０℃以下がさらに好ましい。例えば、基板温度を、室温以上１４０℃以下とすると、生産性が高くなり好ましい。また、基板温度を室温とする、または基板を加熱しない状態で、金属酸化物膜１０８ｆを形成することにより、結晶性を低くすることができる。

［０３２６］

基板温度が高いと金属酸化物膜が多結晶構造となる場合がある。金属酸化物膜１０８ｆが多結晶構造とならないよう、基板温度を調整することが好ましい。金属酸化物膜１０８ｆに適用する組成に応じて基板温度を調整すればよい。

［０３２７］

ＡＬＤ法を用いる場合、熱ＡＬＤ法、またはＰＥＡＬＤ（Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）等の成膜方法を用いることが好ましい。熱ＡＬＤ法は、極めて高い被覆性を示すため好ましい。ＰＥＡＬＤ法は、高い被覆性を示すことに加え、低温成膜が可能であるため好ましい。

［０３２８］

金属酸化物膜は、例えば、構成する金属元素を含むプリカーサと、酸化剤と、を用いてＡＬＤ法により形成することができる。

［０３２９］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物を形成する場合には、インジウムを含むプリカーサ、ガリウムを含むプリカーサ、及び亜鉛を含むプリカーサの、３つのプリカーサを用いることができる。または、インジウムを含むプリカーサと、ガリウム及び亜鉛を含むプリカーサの２つのプリカーサを用いてもよい。

［０３３０］

インジウムを含むプリカーサとして、例えば、トリエチルインジウム、トリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）インジウム、シクロペンタジエニルインジウム、塩化インジウム（ＩＩＩ）、及び、（３－（ジメチルアミノ）プロピル）ジメチルインジウムが挙げられる。

［０３３１］

ガリウムを含むプリカーサとして、例えば、トリメチルガリウム、トリエチルガリウム、トリス（ジメチルアミド）ガリウム（ＩＩＩ）、ガリウム（ＩＩＩ）アセチルアセトナート、トリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）ガリウム、ジメチルクロロガリウム、ジエチルクロロガリウム、及び、塩化ガリウム（ＩＩＩ）が挙げられる。

［０３３２］

亜鉛を含むプリカーサとして、例えば、ジメチル亜鉛、ジエチル亜鉛、ビス（２，２，６，６－テトラメチル－３，５－ヘプタンジオン酸）亜鉛、及び、塩化亜鉛が挙げられる。

［０３３３］

酸化剤として、例えば、オゾン、酸素、及び、水が挙げられる。

［０３３４］

得られる膜の組成を制御する方法として、原料ガスの種類、原料ガスの流量比、原料ガスを流す時間、及び原料ガスを流す順番の一または複数を調整することが挙げられる。これらを調整することにより、金属酸化物膜１０８ｆの組成を制御することができる。また、これらを調整することで、組成が連続して変化する膜を形成することもできる。金属酸化物膜１０８ｆの組成が連続して変化する構成としてもよい。

［０３３５］

金属酸化物膜１０８ｆを成膜する前に、絶縁層１１０の表面に吸着した水、水素、及び有機物等を脱離させるための処理、及び絶縁層１１０中に酸素を供給する処理のうち、少なくとも一方を行うことが好ましい。例えば、減圧雰囲気にて７０℃以上２００℃以下の温度で加熱処理を行うことができる。または、酸素を含む雰囲気におけるプラズマ処理を行ってもよい。または、一酸化二窒素（N_2O）などの酸化性気体を含む雰囲気におけるプラズマ処理により、絶縁層１１０に酸素を供給してもよい。一酸化二窒素ガスを含むプラズマ処理を行うと、絶縁層１１０の表面の有機物を好適に除去しつつ、酸素を供給することができる。このような処理の後、絶縁層１１０の表面を大気に暴露することなく、連続して金属酸化物膜１０８ｆを成膜することが好ましい。

［０３３６］

なお、半導体層１０８及び半導体層２０８を積層構造とする場合には、先に形成する金属酸化物膜を成膜した後に、その表面を大気に曝すことなく連続して、次の金属酸化物膜を成膜することが好ましい。

［０３３７］

半導体層１０８及び半導体層２０８を積層構造とする場合には、半導体層１０８及び半導体層２０８を構成する全ての層を同じ成膜方法（例えば、スパッタリング法またはＡＬＤ法）で形成してもよく、層によって異なる成膜方法を用いてもよい。例えば、第１の金属酸化物層をスパッタリング法で成膜し、第２の金属酸化物層をＡＬＤ法で成膜してもよい。

［０３３８］

続いて、金属酸化物膜１０８ｆ上にレジストマスク１５９を形成する（図１８Ｄ及び図２１Ａ）。レジストマスク１５９は、半導体層１０８が形成される領域に設けられ、少なくとも開口１４１及び開口１４３を覆うように設けられる。なお、図２１Ａにおいて、金属酸化物膜１０８ｆ及びレジストマスク１５９にハッチングを付している。また、金属酸化物膜１０８ｆの下側の構成を分かりやすくするため、金属酸化物膜１０８ｆのハッチングを透過して示している。

［０３３９］

続いて、金属酸化物膜１０８ｆを加工し、島状の半導体層１０８、及び半導体層２０８となる半導体層２０８Ａを形成する（図１９Ａ及び図２１Ｂ）。半導体層１０８及び半導体層２０８Ａの形成は、ドライエッチング法を好適に用いることができる。半導体層１０８及び半導体層２０８Ａの形成は、特に異方性のドライエッチング法を好適に用いることができる。金属酸化物膜１０８ｆのレジストマスク１５９に覆われている領域に半導体層１０８が形成されるとともに、開口１４５の側壁と接する領域に半導体層２０８Ａが形成される。なお、図２１Ｂにおいて、半導体層１０８及び半導体層２０８Ａにハッチングを付している。

［０３４０］

異方性のドライエッチング法を用いることで、レジストマスク１５９に覆われていない、開口１４５の側壁近傍にも、サイドウォール状の半導体層２０８Ａが形成される。このとき、半導体層２０８Ａの下面の少なくとも一部は、導電層２１２ａの上面、及び導電層２１２ｂの上面に接して形成される。また、半導体層２０８Ａの上端部の高さが、絶縁層１１０ｃの上面の高さと同等になる場合がある。なお、異方性のドライエッチングの条件、及び開口１４５に露出する導電層２１２ａ（導電層２１２ｂ）の側端部のテーパ形状によっては、導電層２１２ａ（導電層２１２ｂ）の側端部に金属酸化物膜１０８ｆの一部が残存する場合がある。

［０３４１］

続いて、レジストマスク１５９を除去する（図１９Ｂ）。

［０３４２］

続いて、半導体層１０８、半導体層２０８Ａ、導電層１１２ｂ、導電層２１２ａ、導電層２１２ｂ、絶縁層１１０及び基板１０２上にレジストマスク１５７を形成する（図１９Ｃ及び図２２Ａ）。レジストマスク１５７は、少なくとも半導体層１０８、及び半導体層２０８となる領域の半導体層２０８Ａを覆うように設けられる。このとき、図２２Ａに示すように、半導体層２０８を設けない領域の半導体層２０８Ａは、レジストマスク１５７に覆われず露出している。なお、図２２Ａにおいて、半導体層１０８、半導体層２０８Ａ及びレジストマスク１５７にハッチングを付している。また、レジストマスク１５７の下側の構成を分かりやすくするため、レジストマスク１５７のハッチングを透過して示している。

［０３４３］

続いて、レジストマスク１５７に覆われていない領域の半導体層２０８Ａを除去し、半導体層２０８を形成する。半導体層２０８の形成はウェットエッチング法及びドライエッチング法の一方または双方を用いることができる。特に、ドライエッチング法を好適に用いることができる。

［０３４４］

続いて、レジストマスク１５７を除去する（図１９Ｄ及び図２２Ｂ）。なお、図２２Ｂにおいて、半導体層１０８及び半導体層２０８にハッチングを付している。

［０３４５］

上記のように、導電層２１２ａと導電層２１２ｂの周長方向の距離が短くなる領域の、半導体層２０８Ａを除去することで、導電層２１２ａと導電層２１２ｂの周長方向の距離が長くなる領域の、半導体層２０８Ａをチャネル形成領域として機能させることができる。なお、図４Ｂに示すように、チャネル長Ｌ１とチャネル長Ｌ２の距離が等しい構造にする場合は、図１９Ｃ、図１９Ｄ、及び図２２Ａ、図２２Ｂに係る工程を省略することができる。

［０３４６］

金属酸化物膜１０８ｆの成膜後、または金属酸化物膜１０８ｆを半導体層１０８及び半導体層２０８に加工した後に、加熱処理を行うことが好ましい。加熱処理により、金属酸化物膜１０８ｆまたは半導体層１０８及び半導体層２０８中に含まれる、または表面に吸着した水素及び水を除去することができる。また、加熱処理により、金属酸化物膜１０８ｆまたは半導体層１０８及び半導体層２０８の膜質が向上する（例えば、欠陥が低減する、または結晶性が向上する）場合がある。

［０３４７］

加熱処理により、絶縁層１１０ｂから金属酸化物膜１０８ｆ、または半導体層１０８に酸素を供給することもできる。これにより、チャネル形成領域の酸素欠損（V_O）及びV_OHを低減できる。この

とき、金属酸化物膜１０８ｆを半導体層１０８及び半導体層２０８に加工する前に、加熱処理を行うことがより好ましい。加熱処理については、前述の記載を参照できるため、詳細な説明は省略する。なお、当該加熱処理に限定されず、金属酸化物膜１０８ｆの形成以降の熱が加わる工程（例えば、絶縁層１０６の形成工程）においても、チャネル形成領域への酸素の供給が行われてもよい。

［０３４８］

なお、当該加熱処理は不要であれば行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程）が、当該加熱処理を兼ねられる場合もある。

［０３４９］

続いて、半導体層１０８、半導体層２０８、導電層１１２ｂ、導電層２１２ａ、導電層２１２ｂ、絶縁層１１０及び基板１０２を覆って、絶縁層１０６を形成する（図２０Ａ）。絶縁層１０６の形成は、例えば、ＰＥＣＶＤ法またはＡＬＤ法を好適に用いることができる。

［０３５０］

半導体層１０８及び半導体層２０８に金属酸化物を用いる場合、絶縁層１０６は、酸素が拡散することを抑制するバリア膜として機能することが好ましい。絶縁層１０６が酸素の拡散を抑制する機能を有することにより、半導体層１０８及び半導体層２０８に含まれる酸素が絶縁層１０６より上側に拡散することが抑制され、半導体層１０８及び半導体層２０８に酸素欠損（V_O）が増加することを抑制できる。その結果、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０３５１］

ゲート絶縁層として機能する絶縁層１０６の形成時の温度を高くすることにより、欠陥の少ない絶縁層とすることができる。しかしながら、絶縁層１０６の形成時の温度が高いと半導体層１０８及び半導体層２０８から酸素が脱離し、半導体層１０８及び半導体層２０８中の酸素欠損（V_O）及びV_OHが増加してしまう場合がある。絶縁層１０６の形成時の基板温度は、１８０℃以上４５０℃以下が好ましく、さらには２００℃以上４５０℃以下が好ましく、さらには２５０℃以上４５０℃以下が好ましく、さらには３００℃以上４５０℃以下が好ましく、さらには３００℃以上４００℃以下が好ましい。絶縁層１０６の形成時の基板温度を前述の範囲とすることで、絶縁層１０６の欠陥を少なくするとともに、半導体層１０８及び半導体層２０８から酸素が脱離することを抑制できる。したがって、良好な電気特性を示し、かつ信頼性の高いトランジスタとすることができる。

［０３５２］

絶縁層１０６を形成する前に、半導体層１０８及び半導体層２０８の表面に対してプラズマ処理を行ってもよい。当該プラズマ処理により、半導体層１０８及び半導体層２０８の表面に吸着する水などの不純物を低減することができる。そのため、半導体層１０８と絶縁層１０６との界面、及び半導体層２０８と絶縁層１０６との界面における不純物を低減でき、信頼性の高いトランジスタを実現できる。特に、半導体層１０８及び半導体層２０８の形成から、絶縁層１０６の形成までの間に半導体層１０８及び半導体層２０８の表面が大気に曝される場合に好適である。プラズマ処理は、例えば、酸素、オゾン、窒素、一酸化二窒素、アルゴンなどの雰囲気で行うことができる。また、プラズマ処理と絶縁層１０６の成膜とは、大気に曝すことなく連続して行われることが好ましい。

［０３５３］

続いて、絶縁層１０６上に、導電層１０４及び導電層２０４となる膜を形成し、当該膜を加工する

ことにより導電層１０４及び導電層２０４を形成する（図２０Ｂ）。ここで、導電層１０４の少なくとも一部は、開口１４１及び開口１４３において、半導体層１０８と対向するように形成され、導電層２０４の少なくとも一部は、開口１４５において、半導体層２０８と対向するように形成される。当該膜の形成は、例えば、スパッタリング法、熱ＣＶＤ法（ＭＯＣＶＤ法を含む）、またはＡＬＤ法を好適に用いることができる。

［０３５４］

続いて、導電層１０４、導電層２０４及び絶縁層１０６を覆って、絶縁層１９５を形成する（図９Ｂ）。絶縁層１９５の形成は、ＰＥＣＶＤ法を好適に用いることができる。

［０３５５］

絶縁層１９５の形成後、加熱処理を行ってもよい。なお、当該加熱処理は行わなくてもよい。また、ここでは加熱処理は行わず、後の工程で行われる加熱処理と兼ねてもよい。また、後の工程での高温下の処理（例えば成膜工程など）がある場合には、当該加熱処理と兼ねることができる場合もある。

［０３５６］

以上の工程により、本発明の一態様の半導体装置を作製することができる。上記の方法を用いることで、チャネル長が短いトランジスタ１００と、よりチャネル長が長いトランジスタ２００を、生産性良く、同一面上に形成することができる。例えば、大きいオン電流が求められるトランジスタにトランジスタ１００を適用し、高い飽和性が求められるトランジスタにトランジスタ２００を適用することにより、それぞれのトランジスタの利点を活かした高い性能の半導体装置１０とすることができる。

［０３５７］

本実施の形態で例示した構成例、およびそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

［０３５８］

（実施の形態４）

本実施の形態では、本発明の一態様の表示装置について、図２３乃至図２７を用いて説明する。

［０３５９］

本実施の形態の表示装置は、解像度の高い表示装置または大型の表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、テレビジョン装置、デスクトップ型もしくはノート型のコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、及び、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、及び、音響再生装置の表示部に用いることができる。

［０３６０］

本実施の形態の表示装置は、高精細な表示装置とすることができる。したがって、本実施の形態の表示装置は、例えば、腕時計型、及び、ブレスレット型などの情報端末機（ウェアラブル機器）の表示部、並びに、ヘッドマウントディスプレイ（ＨＭＤ）などのＶＲ向け機器、及び、メガネ型のＡＲ向け機器などの頭部に装着可能なウェアラブル機器の表示部に用いることができる。

［０３６１］

本発明の一態様の半導体装置は、表示装置、または、当該表示装置を有するモジュールに用いることができる。当該表示装置を有するモジュールとして、当該表示装置にフレキシブルプリント回路基

板（Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ　ｃｉｒｃｕｉｔ、以下、ＦＰＣと記す）もしくはＴＣＰ（Ｔａｐｅ　Ｃａｒｒｉｅｒ　Ｐａｃｋａｇｅ）等のコネクタが取り付けられたモジュール、ＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）方式もしくはＣＯＦ（Ｃｈｉｐ　Ｏｎ　Ｆｉｌｍ）方式等により集積回路（ＩＣ）が実装されたモジュール等が挙げられる。

［０３６２］

本実施の形態の表示装置はタッチパネルとしての機能を有していてもよい。例えば、表示装置には、指などの被検知体の近接または接触を検知できる様々な検知素子（センサ素子ともいえる）を適用することができる。

［０３６３］

センサの方式として、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、及び、感圧方式が挙げられる。

［０３６４］

静電容量方式として、例えば、表面型静電容量方式、投影型静電容量方式がある。また、投影型静電容量方式として、例えば、自己容量方式、相互容量方式がある。相互容量方式を用いると、同時多点検出が可能となるため好ましい。

［０３６５］

タッチパネルとして、例えば、アウトセル型、オンセル型、及び、インセル型が挙げられる。なお、インセル型のタッチパネルは、表示素子（表示デバイスともいう）を支持する基板と対向基板のうち一方または双方に、検知素子を構成する電極が設けられた構成をいう。

［０３６６］

＜構成例１＞

図２３Ａに、表示装置５０Ａの斜視図を示す。

［０３６７］

表示装置５０Ａは、基板１５２と基板１５１とが貼り合わされた構成を有する。図２３Ａでは、基板１５２を破線で示している。

［０３６８］

表示装置５０Ａは、表示部１６２、接続部１４０、回路部１６４、導電層１６５等を有する。図２３Ａでは、表示装置５０ＡにＩＣ１７３及びＦＰＣ１７２が実装されている例を示している。そのため、図２３Ａに示す構成は、表示装置５０Ａと、ＩＣと、ＦＰＣと、を有する表示モジュールということもできる。

［０３６９］

接続部１４０は、表示部１６２の外側に設けられる。接続部１４０は、表示部１６２の一辺または複数の辺に沿って設けることができる。接続部１４０は、単数であっても複数であってもよい。図２３Ａでは、表示部の四辺を囲むように接続部１４０が設けられている例を示す。接続部１４０では、表示素子の共通電極と、導電層とが電気的に接続されており、共通電極に電位を供給することができる。

［０３７０］

回路部１６４は、例えば走査線駆動回路（ゲートドライバともいう）を有する。また、回路部１６４は、走査線駆動回路及び信号線駆動回路（ソースドライバともいう）の双方を有していてもよい。

［０３７１］

導電層１６５は、表示部１６２及び回路部１６４に信号及び電力を供給する機能を有する。当該信号及び電力は、ＦＰＣ１７２を介して外部から導電層１６５に入力される、またはＩＣ１７３から導電層１６５に入力される。

［０３７２］

図２３Ａでは、ＣＯＧ方式またはＣＯＦ方式等により、基板１５１にＩＣ１７３が設けられている例を示す。ＩＣ１７３には、例えば、走査線駆動回路及び信号線駆動回路のうち一方または双方を有するＩＣを適用できる。なお、表示装置５０Ａ及び表示モジュールは、ＩＣを設けない構成としてもよい。また、ＩＣを、ＣＯＦ方式等により、ＦＰＣに実装してもよい。

［０３７３］

本発明の一態様の半導体装置は、例えば、表示装置５０Ａの表示部１６２及び回路部１６４の一方または双方に適用することができる。

［０３７４］

例えば、本発明の一態様の半導体装置を表示装置の画素回路に適用する場合、画素回路の占有面積を縮小することができ、高精細の表示装置とすることができる。また、例えば、本発明の一態様の半導体装置を表示装置の駆動回路（例えば、ゲート線駆動回路及びソース線駆動回路の一方または双方）に適用する場合、駆動回路の占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、本発明の一態様の半導体装置は、電気特性が良好であるため、表示装置に用いることで表示装置の信頼性を高めることができる。

［０３７５］

表示部１６２は、表示装置５０Ａにおける画像を表示する領域であり、周期的に配列された複数の画素２１０を有する。図２３Ａには、１つの画素２１０の拡大図を示している。

［０３７６］

本実施の形態の表示装置における画素の配列に特に限定はなく、様々な方法を適用することができる。画素の配列として、例えば、ストライプ配列、Ｓストライプ配列、マトリクス配列、デルタ配列、ベイヤー配列、及びペンタイル配列が挙げられる。

［０３７７］

図２３Ａに示す画素２１０は、赤色の光を呈する画素２３０Ｒ、緑色の光を呈する画素２３０Ｇ、及び、青色の光を呈する画素２３０Ｂを有する。画素２３０Ｒ、画素２３０Ｇ、および画素２３０Ｂで１つの画素２１０を構成することで、フルカラー表示を実現できる。画素２３０Ｒ、画素２３０Ｇ、及び画素２３０Ｂはそれぞれ副画素として機能する。また、図２３Ａに示す表示装置５０Ａでは、副画素として機能する画素２３０をストライプ配列で配置する例を示している。１つの画素２１０を構成する副画素の数は３つに限られず、４つ以上としてもよい。例えば、Ｒ、Ｇ、Ｂ、白色（Ｗ）の光を呈する４つの副画素を有してもよい。または、Ｒ、Ｇ、Ｂ、Ｙの４色の光を呈する４つの副画素を有してもよい。

［０３７８］

画素２３０Ｒ、画素２３０Ｇ、及び画素２３０Ｂはそれぞれ、表示素子と、当該表示素子の駆動を制御する回路と、を有する。

［０３７９］

表示素子として、様々な素子を用いることができ、例えば、液晶素子（液晶デバイスともいう）及び発光デバイスが挙げられる。その他、シャッター方式または光干渉方式のＭＥＭＳ（Ｍｉｃｒｏ

Ｅｌｅｃｔｒｏ Ｍｅｃｈａｎｉｃａｌ Ｓｙｓｔｅｍｓ）素子、マイクロカプセル方式、電気泳動方式、エレクトロウェッティング方式、または電子粉流体（登録商標）方式等を適用した表示素子などを用いることもできる。また、光源と、量子ドット材料による色変換技術と、を用いたＱＬＥＤ（Ｑｕａｎｔｕｍ－ｄｏｔ ＬＥＤ）を用いてもよい。

［０３８０］

液晶素子を用いた表示装置として、例えば、透過型の液晶表示装置、反射型の液晶表示装置、及び、半透過型の液晶表示装置が挙げられる。

［０３８１］

液晶素子を用いた表示装置に用いることができるモードとして、例えば、垂直配向（ＶＡ：Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＦＦＳ（Ｆｒｉｎｇｅ Ｆｉｅｌｄ Ｓｗｉｔｃｈｉｎｇ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＴＮ（Ｔｗｉｓｔｅｄ Ｎｅｍａｔｉｃ）モード、ＡＳＭ（Ａｘｉａｌｌｙ Ｓｙｍｍｅｔｒｉｃ ａｌｉｇｎｅｄ Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ Ｃｏｍｐｅｎｓａｔｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ Ｃｏｎｔｒｏｌｌｅｄ Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、及び、ゲストホストモードが挙げられる。ＶＡモードとして、例えば、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ Ｖｅｒｔｉｃａｌ Ａｌｉｇｎｍｅｎｔ）モード、及び、ＡＳＶ（Ａｄｖａｎｃｅｄ Ｓｕｐｅｒ Ｖｉｅｗ）モードが挙げられる。

［０３８２］

液晶素子に用いることができる液晶材料として、例えば、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ：Ｐｏｌｙｍｅｒ Ｄｉｓｐｅｒｓｅｄ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、高分子ネットワーク型液晶（ＰＮＬＣ：Ｐｏｌｙｍｅｒ Ｎｅｔｗｏｒｋ Ｌｉｑｕｉｄ Ｃｒｙｓｔａｌ）、強誘電性液晶、及び、反強誘電性液晶が挙げられる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相、ブルー相などを示す。また、液晶材料として、ポジ型の液晶及びネガ型の液晶のどちらを用いてもよく、適用するモードまたは設計に応じて選択できる。

［０３８３］

発光デバイスとして、例えば、ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）、ＯＬＥＤ（Ｏｒｇａｎｉｃ ＬＥＤ）、半導体レーザなどの、自発光型の発光デバイスが挙げられる。ＬＥＤとして、例えば、ミニＬＥＤ、マイクロＬＥＤなどを用いることができる。

［０３８４］

発光デバイスが有する発光物質として、例えば、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Ｔｈｅｒｍａｌｌｙ ａｃｔｉｖａｔｅｄ ｄｅｌａｙｅｄ ｆｌｕｏｒｅｓｃｅｎｃｅ：ＴＡＤＦ）材料）、及び、無機化合物（量子ドット材料等）が挙げられる。

［０３８５］

発光デバイスの発光色は、赤外、赤、緑、青、シアン、マゼンタ、黄、または白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度を高めることが

できる。

［０３８６］

発光デバイスが有する一対の電極のうち、一方の電極は陽極として機能し、他方の電極は陰極として機能する。

［０３８７］

なお、本発明の一態様の表示装置は、発光デバイスが形成されている基板とは反対方向に光を射出する上面射出型（トップエミッション型）、発光デバイスが形成されている基板側に光を射出する下面射出型（ボトムエミッション型）、両面に光を射出する両面射出型（デュアルエミッション型）のいずれであってもよい。

［０３８８］

本実施の形態では、主に、表示素子として発光デバイスを用いる場合を例に挙げて説明する。

［０３８９］

図２３Ｂは、表示装置５０Ａを説明するブロック図である。表示装置５０Ａは、表示部１６２、及び回路部１６４を有する。表示部１６２は、周期的に配列された複数の画素２３０（画素２３０［１，１］乃至画素２３０［ｍ，ｎ］、ｍ及びｎはそれぞれ独立に２以上の整数）を有する。回路部１６４は、第１駆動回路部２３１、および第２駆動回路部２３２を有する。

［０３９０］

第１駆動回路部２３１に含まれる回路は、例えば、走査線駆動回路として機能する。第２駆動回路部２３２に含まれる回路は、例えば信号線駆動回路として機能する。なお、表示部１６２を挟んで第１駆動回路部２３１と向き合う位置に、何らかの回路を設けてもよい。表示部１６２を挟んで第２駆動回路部２３２と向き合う位置に、何らかの回路を設けてもよい。

［０３９１］

回路部１６４には、シフトレジスタ回路、レベルシフタ回路、インバータ回路、ラッチ回路、アナログスイッチ回路、デマルチプレクサ回路、及び論理回路等の様々な回路を用いることができる。回路部１６４には、トランジスタおよび容量素子等を用いることができる。回路部１６４が有するトランジスタを、画素２３０に含まれるトランジスタと同じ工程で形成してもよい。

［０３９２］

表示装置５０Ａは、各々が略平行に配設され、且つ、第１駆動回路部２３１に含まれる回路によって電位が制御される配線２３６と、各々が略平行に配設され、且つ、第２駆動回路部２３２に含まれる回路によって電位が制御される配線２３８と、を有する。なお、図２３Ｂでは、画素２３０に配線２３６と配線２３８が接続している例を示している。ただし、配線２３６と配線２３８は一例であり、画素２３０と接続する配線は、配線２３６と配線２３８に限らない。

［０３９３］

本発明の一態様である半導体装置は、サブミクロンサイズのチャネル長を有し、オン電流が大きいＶＦＥＴと、チャネル長が長く、飽和性が高いＶＬＦＥＴと、を一部の工程を共通にして形成することができる。これらのトランジスタのチャネル形成領域には酸化物半導体（ＯＳ）を好適に用いることができ、オフ電流が小さいトランジスタとすることができる。本発明の一態様である半導体装置は、表示部１６２及び回路部１６４の一方または双方に好適に用いることができる。また、本発明の一態様である半導体装置を表示部１６２及び回路部１６４の双方に用いる、つまり表示装置が有するトランジスタの全てをＯＳトランジスタとすることもできる。このように表示装置が有するトランジ

スタの全てをＯＳトランジスタとすることで、製造コストを低く抑えることができるといった効果を奏する。

［０３９４］

＜構成例２＞

回路部１６４に用いることができる回路として、ラッチ回路を例に挙げて構成例を説明する。

［０３９５］

図２４Ａは、ラッチ回路ＬＡＴの構成例を示す回路図である。図２４Ａに示すラッチ回路ＬＡＴは、トランジスタＴｒ３１と、トランジスタＴｒ３３と、トランジスタＴｒ３５と、トランジスタＴｒ３６と、容量素子Ｃ３１と、インバータ回路ＩＮＶと、を有する。図２４Ａにおいて、トランジスタＴｒ３３のソース及びドレインの一方と、トランジスタＴｒ３５のゲートと、容量素子Ｃ３１の一方の電極と、が電気的に接続されるノードをノードＮとする。なお、容量素子Ｃ３１の他方の電極には、ＶＳＳが供給される。

［０３９６］

図２４Ａに示すラッチ回路ＬＡＴにおいて、端子ＳＭＰに高電位の信号を入力すると、トランジスタＴｒ３３がオン状態となる。これにより、ノードＮの電位が、端子ＲＯＵＴの電位に対応する電位となり、端子ＲＯＵＴからラッチ回路ＬＡＴに入力される信号に対応するデータが、ラッチ回路ＬＡＴに書き込まれる。ラッチ回路ＬＡＴにデータを書き込んだ後、端子ＳＭＰの電位を低電位とすると、トランジスタＴｒ３３がオフ状態となる。これにより、ノードＮの電位が保持され、ラッチ回路ＬＡＴに書き込まれたデータが保持される。具体的には、例えばノードＮの電位が低電位である場合は、ラッチ回路ＬＡＴに値が“０”のデータが保持されているとし、ノードＮの電位が高電位である場合は、ラッチ回路ＬＡＴに値が“１”のデータが保持されているとすることができる。

［０３９７］

トランジスタＴｒ３３は、オフ電流が小さいトランジスタを用いることが好ましい。トランジスタＴｒ３３は、ＯＳトランジスタを好適に用いることができる。これにより、ラッチ回路ＬＡＴはデータを長期間保持することができる。よって、ラッチ回路ＬＡＴへのデータの再書き込みの頻度を低くすることができる。

［０３９８］

本明細書等において、端子ＳＰ２から入力される信号が端子ＬＩＮに出力されるようなデータをラッチ回路ＬＡＴに書き込むことを、単に「ラッチ回路ＬＡＴにデータを書き込む。」という場合がある。つまり、例えば値が“１”のデータをラッチ回路ＬＡＴに書き込むことを、単に「ラッチ回路ＬＡＴにデータを書き込む。」という場合がある。

［０３９９］

ラッチ回路ＬＡＴに、本発明の一態様に係る半導体装置を好適に用いることができる。例えば、トランジスタＴｒ３１、トランジスタＴｒ３３、トランジスタＴｒ３５及びトランジスタＴｒ３６の一または複数に、図９Ｂ等に示すトランジスタ１００またはトランジスタ２００を適用することができる。

［０４００］

インバータ回路ＩＮＶの構成例を、図２４Ｂに示す。インバータ回路ＩＮＶは、トランジスタＴｒ４１と、トランジスタＴｒ４３と、トランジスタＴｒ４５と、トランジスタＴｒ４７と、容量素子Ｃ４１と、を有する。また、トランジスタＴｒ４３のソース及びドレインの一方、ならびにトランジス

タＴｒ４７のソース及びドレインの一方にはＶＤＤが供給される。また、トランジスタＴｒ４１のソース及びドレインの一方、ならびにトランジスタＴｒ４５のソース及びドレインの一方にはＶＳＳが供給される。

［０４０１］

ラッチ回路ＬＡＴを図２４Ａに示す構成とし、インバータ回路ＩＮＶを図２４Ｂに示す構成とすることにより、ラッチ回路ＬＡＴが有するトランジスタを、全て同一の極性のトランジスタとすることができ、例えば、ｎチャネル型トランジスタとすることができる。これにより、例えばトランジスタＴｒ３３の他、トランジスタＴｒ３１、トランジスタＴｒ３５、トランジスタＴｒ３６、トランジスタＴｒ４１、トランジスタＴｒ４３、トランジスタＴｒ４５、及びトランジスタＴｒ４７を、ＯＳトランジスタとすることができる。よって、ラッチ回路ＬＡＴが有するトランジスタを全て同じ工程で作製することができる。

［０４０２］

インバータ回路ＩＮＶに、本発明の一態様に係る半導体装置を好適に用いることができる。例えば、トランジスタＴｒ４１、トランジスタＴｒ４３、トランジスタＴｒ４５、及びトランジスタＴｒ４７の一または複数に、図９Ｂ等に示すトランジスタ１００またはトランジスタ２００を適用することができる。

［０４０３］

高い飽和性を求められるトランジスタにトランジスタ２０、トランジスタ２００及びトランジスタ２００Ａの一種または複数種を好適に用いることができる。さらに、トランジスタ１００を用いることにより、占有面積を縮小することができ、狭額縁の表示装置とすることができる。また、大きいオン電流が求められるトランジスタにトランジスタ１００を好適に用いることができる。これにより、高い性能の表示装置とすることができる。

［０４０４］

＜構成例３＞

画素２３０の構成例を、図２５Ａに示す。画素２３０は、画素回路５１および発光デバイス６１を有する。

［０４０５］

図２５Ａに示す画素回路５１は、トランジスタ５２Ａ、トランジスタ５２Ｂ、および容量素子５３を有する２Ｔｒ１Ｃ型の画素回路である。なお、本発明の一態様の表示装置に適用できる画素回路は、特に限定されない。

［０４０６］

発光デバイス６１のアノードは、トランジスタ５２Ｂのソース及びドレインの一方、及び容量素子５３の一方の電極と電気的に接続される。トランジスタ５２Ｂのソース及びドレインの他方は、配線ＡＮＯと電気的に接続される。トランジスタ５２Ｂのゲートは、トランジスタ５２Ａのソース及びドレインの一方、及び容量素子５３の他方の電極と電気的に接続される。トランジスタ５２Ａのソース及びドレインの他方は、配線ＧＬと電気的に接続される。トランジスタ５２Ａのゲートは、配線ＧＬと電気的に接続される。発光デバイス６１のカソードは、配線ＶＣＯＭと電気的に接続される。

［０４０７］

配線ＧＬは図２３Ｂに示す配線２３６に相当し、配線ＳＬは図２３Ｂに示す配線２３８に相当する。配線ＶＣＯＭは、発光デバイス６１に電流を供給するための電位を与える配線である。トランジ

スタ５２Ａは、配線ＧＬの電位に基づいて、配線ＳＬとトランジスタ５２Ｂのゲート間の導通状態または非導通状態を制御する機能を有する。例えば、配線ＡＮＯにはＶＤＤが供給され、配線ＶＣＯＭにはＶＳＳが供給される。

［０４０８］

トランジスタ５２Ｂは発光デバイス６１に流れる電流量を制御する機能を有する。容量素子５３は、トランジスタ５２Ｂのゲート電位を保持する機能を有する。発光デバイス６１が射出する光の強度は、トランジスタ５２Ｂのゲートに供給される画像信号に応じて制御される。

［０４０９］

画素回路５１に含まれるトランジスタの一部または全部にバックゲートを設けてもよい。図２５Ａに示す画素回路５１は、トランジスタ５２Ｂがバックゲートを有し、当該バックゲートがトランジスタ５２Ｂのソース及びドレインの一方と電気的に接続される構成を示している。なお、トランジスタ５２Ｂのバックゲートが、トランジスタ５２Ｂのゲートと電気的に接続される構成としてもよい。

［０４１０］

画素回路５１に、前述の半導体装置を好適に用いることができる。画素２３０の選択状態を制御するための選択トランジスタとして機能するトランジスタ５２Ａと比較して、発光デバイス６１に流れる電流を制御する駆動トランジスタとして機能するトランジスタ５２Ｂは、飽和性が高いことが好ましい。トランジスタ５２Ｂにチャネル長の長いトランジスタ２０、トランジスタ２００及びトランジスタ２００Ａの一種を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ５２Ａにトランジスタ１００を適用することで、画素回路５１Ａの占有面積を縮小することができ、高精細の表示装置とすることができる。

［０４１１］

なお、トランジスタ５２Ｂにもトランジスタ１００を適用してもよい。トランジスタ５２Ｂにチャネル長の短いトランジスタを適用することにより、輝度の高い表示装置とすることができる。また、画素回路５１の占有面積を縮小することができ、高精細の表示装置とすることができる。

［０４１２］

図２５Ａに示す画素２３０と異なる構成例を、図２５Ｂに示す。画素２３０は、画素回路５１Ａ及び発光デバイス６１を有する。

［０４１３］

図２５Ｂに示す画素回路５１Ａは、トランジスタ５２Ｃを有する点で、図２５Ａに示す画素回路５１と主に異なる。画素回路５１Ａは、トランジスタ５２Ａ、トランジスタ５２Ｂ、トランジスタ５２Ｃ、及び容量素子５３を有する３Ｔｒ１Ｃ型の画素回路である。

［０４１４］

トランジスタ５２Ｃのソース及びドレインの一方は、トランジスタ５２Ｂのソース及びドレインの一方と電気的に接続される。トランジスタ５２Ｃのソース及びドレインの他方は、配線Ｖ０と電気的に接続される。例えば、配線Ｖ０には基準電位が供給される。トランジスタ５２Ｃのゲートは、配線ＧＬと電気的に接続される。

［０４１５］

トランジスタ５２Ｃは、配線ＧＬの電位に基づいて、トランジスタ５２Ｂのソース電極及びドレイン電極の一方と配線Ｖ０間の導通状態または非導通状態を制御する機能を有する。トランジスタ５２Ｃを介して与えられる配線Ｖ０の基準電位によって、トランジスタ５２Ｂのゲートーソース間電

位のばらつきを抑制できる。

［０４１６］

配線Ｖ０を用いて、画素パラメータの設定に用いることのできる電流値を取得できる。具体的には、配線Ｖ０は、トランジスタ５２Ｂに流れる電流、または発光デバイス６１に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線Ｖ０に出力された電流は、ソースフォロア回路により電圧に変換され、外部に出力することができる。または、ＡＤコンバータによりデジタル信号に変換され、外部に出力することができる。

［０４１７］

画素回路５１Ａに、前述の半導体装置を好適に用いることができる。トランジスタ５２Ｂにチャネル長の長いトランジスタ２０、トランジスタ２００及びトランジスタ２００Ａの一種を適用することで、信頼性の高い表示装置とすることができる。また、トランジスタ５２Ａ及びトランジスタ５２Ｃにトランジスタ１００を適用することで、画素回路５１Ａの占有面積を縮小することができ、高精細の表示装置とすることができる。なお、トランジスタ５２Ｂにもトランジスタ１００を適用してもよい。

［０４１８］

画素回路５１の構成例を、図２５Ｃに示す。図２５Ｃは、画素回路５１の断面図である。図２５Ｃは、トランジスタ５２Ａ、トランジスタ５２Ｂ及び発光デバイス６１が有する画素電極を抜粋して示している。なお、トランジスタ５２Ａとトランジスタ５２Ｂの電気的な接続を省略している。

［０４１９］

トランジスタ５２Ａは、導電層１０４と、絶縁層１０６と、半導体層１０８と、導電層１１２ａと、導電層１１２ｂと、を有する。トランジスタ５２Ｂは、絶縁層１０６と、半導体層２０８と、導電層２０４と、導電層２１２ａと、導電層２１２ｂと、を有する。トランジスタ５２Ａ及びトランジスタ５２Ｂについては、前述の記載を参照できるため、詳細な説明は省略する。

［０４２０］

トランジスタ５２Ａ及びトランジスタ５２Ｂは、基板１０２上に設けられる。図２５Ｃでは、トランジスタ５２Ａ及びトランジスタ５２Ｂと、基板１０２の間に絶縁層１２１及び絶縁層１２３が設けられる構成を示している。

［０４２１］

絶縁層１２１は、水素に対するバリア性を有することが好ましく、特に水素を捕獲、または固着する（ゲッタリング）能力が高いことが好ましい。絶縁層１２１は、例えば、図１３Ａ及び図１３Ｂに示す絶縁層１４９及び絶縁層２４９に用いることができる材料を好適に用いることができる。絶縁層１２１は、例えば、酸化ハフニウムを好適に用いることができる。絶縁層１２１上に設けられる絶縁層１２３は、例えば、絶縁層１１０に用いることができる材料を好適に用いることができる。絶縁層１２３は、例えば、酸化シリコンを好適に用いることができる。

［０４２２］

トランジスタ５２Ａ、トランジスタ５２Ｂ、及び容量素子５３を覆うように絶縁層１９５が設けられ、絶縁層１９５を覆うように絶縁層２３３が設けられ、絶縁層２３３を覆うように絶縁層２３５が設けられる。絶縁層２３５上に発光デバイス６１を設けることができる。図２５Ｃは、発光デバイス６１の一方の電極として機能する画素電極１１１を示している。絶縁層１９５、絶縁層２３３、絶縁層１１０ａ、絶縁層１１０ｂ、及び絶縁層１１０ｃは、導電層２１２ｂに達する第１の開口を有し、

第１の開口を覆うように導電層２３４が設けられる。導電層２３４は、第１の開口を介して導電層２１２ｂと電気的に接続される。絶縁層２３５は、導電層２３４に達する第２の開口を有し、第２の開口を覆うように画素電極１１１が設けられる。画素電極１１１は、第２の開口を介して導電層２３４と電気的に接続される。絶縁層１９５は、前述の記載を参照できるため、詳細な説明は省略する。絶縁層２３３及び絶縁層２３５は、トランジスタ５２Ａ、トランジスタ５２Ｂ、及びトランジスタ５２Ｃに起因する凹凸を小さくし、発光デバイス６１の被形成面をより平坦にする機能を有する。なお、本明細書等において、絶縁層２３３及び絶縁層２３５をそれぞれ、平坦化層と記す場合がある。

［０４２３］

絶縁層２３３及び絶縁層２３５はそれぞれ、有機絶縁膜が好適である。有機絶縁膜に用いることができる材料として、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、及びこれら樹脂の前駆体等が挙げられる。絶縁層２３５を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。絶縁層２３５を、有機絶縁膜と、当該有機絶縁膜上の無機絶縁膜との積層構造にすることが好ましい。これにより、無機絶縁膜は、発光デバイス６１を形成する際のエッチング保護層として機能することができる。具体的には、画素電極１１１の形成時に絶縁層２３５の一部がエッチングされ、絶縁層２３５に凹部が形成されることを抑制することができる。または、絶縁層２３５には、画素電極１１１の形成時に、凹部が設けられてもよい。同様に、絶縁層２３３を、有機絶縁膜と、無機絶縁膜との積層構造にしてもよい。

［０４２４］

図２５Ｃでは、トランジスタ５２Ｂに、図９Ｂ等に示すトランジスタ２００を適用する構成を示しているが、本発明の一態様はこれに限られない。図２６に示すように、トランジスタ５２Ｂに、図１３Ｂ等に示すトランジスタ２００Ａを適用してもよい。

［０４２５］

＜構成例４＞

前述と異なる構成例を、図２７に示す。表示装置５０Ｂは、基板３１０上に画素回路、駆動回路などが設けられた構成となっている。表示装置５０Ｂは、素子層７１、素子層７３、素子層７５及び配線層７７を有する。配線層７７は、配線が設けられる層である。

［０４２６］

素子層７１は、基板３１０を有し、基板３１０上には、トランジスタ３００が形成されている。また、トランジスタ３００の上方には、配線層７７が設けられており、配線層７７には、トランジスタ３００、トランジスタＭＴＣＫ、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂを電気的に接続する配線が設けられている。また、配線層７７の上方には、素子層７３、および素子層７５が設けられており、素子層７３は、トランジスタＭＴＣＫなどを有する。素子層７５は、発光デバイス１３０（図２７では、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂ）などを有する。

［０４２７］

トランジスタ３００は、素子層７１に含まれているトランジスタとすることができる。また、トランジスタＭＴＣＫは、素子層７３に含まれるトランジスタとすることができる。また、発光デバイス１３０は、素子層７５に含まれる発光デバイスとすることができる。

［０４２８］

基板３１０には、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板３１０には、半導体基板以外として、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムを用いることができる。なお、本実施の形態では、基板３１０は、シリコンを材料として有する半導体基板として説明する。そのため、素子層７１に含まれるトランジスタは、シリコンを有するトランジスタ（Ｓｉトランジスタともいう）とすることができる。

［０４２９］

トランジスタ３００は、素子分離層３１２と、導電層３１６と、絶縁層３１５と、絶縁層３１７と、基板３１０の一部からなる半導体領域３１３と、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、を有する。このため、トランジスタ３００は、Ｓｉトランジスタとなっている。なお、図２７では、トランジスタ３００のソース及びドレインの一方が、後述する導電層３２８を介して、後述する導電層３３０、導電層３５６、及び導電層５１４に電気的に接続されている構成を示しているが、本発明の一態様の表示装置の電気的な接続構成は、これに限定されない。本発明の一態様の表示装置は、例えば、トランジスタ３００のゲートが、導電層３２８を介して、導電層５１４に電気的に接続されている構成としてもよい。

［０４３０］

トランジスタ３００は、例えば、半導体領域３１３の上面及びチャネル幅方向の側面が、ゲート絶縁層として機能する絶縁層３１５を介して導電層３１６に覆う構成にすることによって、Ｆｉｎ型にすることができる。トランジスタ３００をＦｉｎ型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ３００のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ３００のオフ特性を向上させることができる。また、トランジスタ３００は、Ｆｉｎ型でなくプレーナ型としてもよい。

［０４３１］

なお、トランジスタ３００は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。またはトランジスタ３００を複数設け、ｐチャネル型、及びｎチャネル型の双方を用いてもよい。

［０４３２］

半導体領域３１３のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域３１４ａ及び低抵抗領域３１４ｂと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ３００は、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０４３３］

ゲート電極として機能する導電層３１６には、ヒ素、又はリンといったｎ型の導電性を付与する元素、もしくはホウ素又はアルミニウムといったｐ型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電層３１６には、例えば、金属材料、合金材料、又は金

属酸化物材料といった導電性材料を用いることができる。

［０４３４］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タンタルの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０４３５］

素子分離層３１２は、基板３１０上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、ＬＯＣＯＳ（Ｌｏｃａｌ　Ｏｘｉｄａｔｉｏｎ　ｏｆ　Ｓｉｌｉｃｏｎ）法、ＳＴＩ（Ｓｈａｌｌｏｗ　Ｔｒｅｎｃｈ　Ｉｓｏｌａｔｉｏｎ）法、又はメサ分離法を用いて形成することができる。

［０４３６］

図２７に示すトランジスタ３００上には、絶縁層３２０及び絶縁層３２２が、基板３１０側から順に積層して設けられている。

［０４３７］

絶縁層３２０及び絶縁層３２２として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いればよい。

［０４３８］

絶縁層３２２は、絶縁層３２０及び絶縁層３２２に覆われているトランジスタ３００などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁層３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法を用いた平坦化処理により平坦化されていてもよい。

［０４３９］

絶縁層３２０及び絶縁層３２２には、絶縁層３２２より上方に設けられているトランジスタＭＴＣＫなどと接続する導電層３２８が埋め込まれている。なお、導電層３２８は、プラグ又は配線としての機能を有する。このため、導電層３２８には、導電層ＭＰＧに適用できる材料を用いることができる。

［０４４０］

表示装置５０Ｂでは、トランジスタ３００上に配線層７７が設けられている。配線層７７は、例えば、絶縁層３２４と、絶縁層３２６と、導電層３３０と、絶縁層３５０と、絶縁層３５２と、絶縁層３５４と、導電層３５６と、を有する。

［０４４１］

絶縁層３２２上及び導電層３２８上には、絶縁層３２４と絶縁層３２６とが順に積層して設けられている。また、導電層３２８に重なる領域において、絶縁層３２４と絶縁層３２６とには、開口が形成されている。また、当該開口には導電層３３０が埋め込まれている。

［０４４２］

絶縁層３２６上、及び導電層３３０上には、絶縁層３５０と絶縁層３５２と絶縁層３５４とが順に積層して設けられている。また、導電層３３０に重なる領域において、絶縁層３５０と絶縁層３５２

と絶縁層３５４とには、開口が形成されている。また、当該開口には導電層３５６が埋め込まれている。

［０４４３］

導電層３３０及び導電層３５６は、トランジスタ３００と接続するプラグ又は配線としての機能を有する。なお、導電層３３０及び導電層３５６は、前述した導電層３２８又は導電層５９６と同様の材料を用いて設けることができる。

［０４４４］

なお、例えば、絶縁層３２４及び絶縁層３５０は、絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層３２６、絶縁層３５２、及び絶縁層３５４には、絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層３２６、絶縁層３５２、及び絶縁層３５４は、層間絶縁膜及び平坦化膜としての機能を有する。また、導電層３３０及び導電層３５６は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する導電体を含むことが好ましい。

［０４４５］

なお、水素に対するバリア性を有する導電体として、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ３００からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁層３５０と接する構造であることが好ましい。

［０４４６］

絶縁層３５４及び導電層３５６の上方には、絶縁層５１２が設けられている。また、絶縁層５１２上には、絶縁層ＩＳ１が設けられている。また、絶縁層ＩＳ１及び絶縁層５１２には、プラグ又は配線として機能する導電層５１４が埋め込まれている。これにより、トランジスタＭＴＣＫのソース及びドレインの一方とトランジスタ３００のソース及びドレインの一方とが電気的に接続される。なお、導電層５１４には、例えば、導電層ＭＰＧに適用できる材料を用いることができる。

［０４４７］

絶縁層ＩＳ１上及び導電層５１４上には、トランジスタＭＴＣＫが設けられている。トランジスタＭＴＣＫの上方には、絶縁層ＩＳ３が形成されている。また、絶縁層ＩＳ３の下に絶縁層ＩＳ２が形成されている。また、絶縁層ＩＳ３上には、絶縁層５７４及び絶縁層５８１がこの順に積層して設けられている。また、絶縁層ＧＩ１、絶縁層ＩＳ２、絶縁層ＩＳ３、絶縁層５７４、及び絶縁層５８１には、プラグ又は配線として機能する導電層ＭＰＧが埋め込まれている。なお、トランジスタＭＴＣＫの周辺の絶縁層、導電層、及び半導体層については、実施の形態２を参照する。

［０４４８］

絶縁層５７４は、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁層５７４は、当該不純物がトランジスタＭＴＣＫに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁層５７４は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層５７４は、絶縁層ＩＳ２及び絶縁層ＩＳ３より酸素透過性が低いことが好ましい。

［０４４９］

そのため、絶縁層５７４は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁層５７４は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

［０４５０］

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルから選ばれた一以上を含む絶縁物を、単層で、または積層で用いればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁物として、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

［０４５１］

特に、絶縁層５７４には、酸化アルミニウム、又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁層５７４の上方からトランジスタＭＴＣＫに拡散することを抑制できる。または、絶縁層ＩＳ３等に含まれる酸素が、絶縁層５７４の上方に、拡散することを抑制できる。

［０４５２］

絶縁層５８１は、層間膜として機能する膜であって、絶縁層５７４よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁層５８１の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５８１の比誘電率は、絶縁層５７４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。層間膜として機能する絶縁層５８１を誘電率が低い材料とすることで、配線間に生じる寄生容量を低減することができる。

［０４５３］

絶縁層５８１は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁層５８１には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、又は窒化シリコンを用いることができる。また、絶縁層５８１には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁層５８１に

は、樹脂を用いることができる。また、絶縁層５８１に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

［０４５４］

絶縁層５７４上及び絶縁層５８１上には、絶縁層５９２、及び絶縁層５９４がこの順に積層して設けられている。

［０４５５］

絶縁層５９２には、基板３１０、トランジスタＭＴＣＫから、絶縁層５９２より上方の領域（例えば、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂなどが設けられている領域）に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜（バリア性絶縁膜と呼称する）を用いることが好ましい。したがって、絶縁層５９２は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。また、状況によっては、絶縁層５９２は、窒素原子、窒素分子、酸化窒素分子（例えば、N_2O、ＮＯ、及びNO_2）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。

［０４５６］

水素に対するバリア性を有する膜として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。

［０４５７］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ：Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いて分析することができる。例えば、絶縁層３２４の水素の脱離量は、ＴＤＳにおいて、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁層３２４の面積当たりに換算して、１０×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは５×１０^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０４５８］

絶縁層５９４は、絶縁層５８１と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁層５９４には、絶縁層５８１に適用できる材料を用いることができる。

［０４５９］

なお、絶縁層５９４は、絶縁層５９２よりも誘電率が低いことが好ましい。例えば、絶縁層５９４の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁層５９４の比誘電率は、絶縁層５９２の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。絶縁層５９４を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

［０４６０］

絶縁層ＧＩ１、絶縁層ＩＳ２、絶縁層ＩＳ３、絶縁層５７４、及び絶縁層５８１には、プラグ又は配線として機能する導電層ＭＰＧが埋め込まれ、絶縁層５９２及び絶縁層５９４には、プラグ又は配線として機能する導電層５９６が埋め込まれている。特に、導電層ＭＰＧ及び導電層５９６は、絶縁層５９４より上方に設けられている発光デバイスなどと電気的に接続されている。また、プラグ又は配線としての機能を有する導電層は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電層の一部が配線として機能する場合、及び導電層の一部がプラグとして機能する場合もある。

［０４６１］

各プラグ、及び配線（例えば、導電層ＭＰＧ及び導電層５９６）の材料として、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、又は銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

［０４６２］

絶縁層５９４上及び導電層５９６上には、絶縁層５９８及び絶縁層５９９が順に形成されている。

［０４６３］

絶縁層５９８は、絶縁層５９２と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁物を用いることが好ましい。また、絶縁層５９９には、絶縁層５９４と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁物を用いることが好ましい。また、絶縁層５９９は、層間絶縁膜及び平坦化膜としての機能を有する。

［０４６４］

絶縁層５９９上には、発光デバイス１３０及び接続部１４０が形成されている。

［０４６５］

接続部１４０は、カソードコンタクト部と呼ばれる場合があり、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂのそれぞれのカソード電極に電気的に接続されている。図２７では、接続部１４０は、後述する導電層１８２ａ乃至導電層１８２ｃから選ばれた一以上の導電層と、後述する導電層１２６ａ乃至導電層１２６ｃの少なくとも一の導電層と、後述する導電層１２９ａ乃至導電層１２９ｃから選ばれた一以上の導電層と、後述する共通層１１４と、後述する共通電極１１５と、を有する。

［０４６６］

なお、接続部１４０は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス１３０同士の間）に設けられてもよい（図示しない）。

［０４６７］

発光デバイス１３０Ｒは、導電層１８２ａと、導電層１８２ａ上の導電層１２６ａと、導電層１２６ａ上の導電層１２９ａと、を有する。導電層１８２ａ、導電層１２６ａ、及び導電層１２９ａの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス１３０Ｇは、導電層１８２ｂと、導電層１８２ｂ上の導電層１２６ｂと、導電層１２６ｂ上の導電層１２９ｂと、を有する。発光デバイス１３０Ｒと同様に、導電層１８２ｂ、導電層１２６ｂ、及び導電層１２９ｂの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス１３０Ｂは、導電層１８２ｃと、導電層１８２ｃ上の導電層１２６ｃと、導電層１２６ｃ上の導電層１２９ｃと、を有する。発光デバイス１３０Ｒ、及び発光デバイス１３０Ｇと同様に、導電層１８２ｃ、導電層１２６ｃ、及び導電層１２９ｃの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

［０４６８］

導電層１８２ａ乃至導電層１８２ｃ、及び導電層１２６ａ乃至導電層１２６ｃには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対

して反射率の高い導電層として、例えば、銀、アルミニウム、銀（Ａｇ）とパラジウム（Ｐｄ）と銅（Ｃｕ）の合金膜（Ａｇ－Ｐｄ－Ｃｕ（ＡＰＣ）膜）を適用することができる。また、導電層１８２ａ乃至導電層１８２ｃ、及び導電層１２６ａ乃至導電層１２６ｃには、一対のチタンで挟まれたアルミニウムの積層膜（Ｔｉ、Ａｌ、Ｔｉの順の積層膜）、又は一対のインジウム錫酸化物で挟まれた銀の積層膜（ＩＴＯ、Ａｇ、ＩＴＯの順の積層膜）を用いることができる。

［０４６９］

例えば、導電層１８２ａ乃至導電層１８２ｃに反射電極として機能する導電層を用いて、導電層１２６ａ乃至導電層１２６ｃに、透光性が高い材料を用いてもよい。透光性が高い材料として、例えば、銀とマグネシウムの合金、及びインジウム錫酸化物（ＩＴＯと呼ばれる場合がある）、が挙げられる。

［０４７０］

導電層１２９ａ乃至導電層１２９ｃには、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層は、例えば、上述した透光性が高い導電層とすることができる。

［０４７１］

後に詳述する発光デバイス１３０に、マイクロキャビティ構造（微小共振器構造）を設けてもよい。マイクロキャビティ構造とは、発光層の下面と下部電極の上面との距離を、当該発光層が発光する光の色の波長に応じた厚さにする構造を指す。この場合、上部電極（共通電極）である導電層１２９ａ乃至導電層１２９ｃに透光性及び光反射性を有する導電材料を用い、下部電極（画素電極）である導電層１８２ａ乃至導電層１８２ｃ、及び導電層１２６ａ乃至導電層１２６ｃとして光反射性を有する導電材料を用いること好ましい。

［０４７２］

マイクロキャビティ構造とは、下部電極と発光層の光学的距離を（２ｎ－１）λ／４（ただし、ｎは１以上の整数、λ は増幅したい発光の波長）に調節した構造を指す。これにより、下部電極によって反射されて戻ってきた光（反射光）は、発光層から上部電極に直接入射する光（入射光）と大きな干渉を起こす。そのため、波長 λ のそれぞれの反射光と入射光との位相を合わせ発光層からの発光をより増幅させることができる。一方で、反射光と入射光とが波長 λ 以外である場合、位相が合わなくなるため、共振せずに減衰する。

［０４７３］

導電層１８２ａは、絶縁層５９９に設けられた開口を介して、絶縁層５９４に埋め込まれている導電層５９６と接続されている。また、導電層１８２ａの端部よりも外側に導電層１２６ａの端部が位置している。導電層１２６ａの端部と導電層１２９ａの端部は、揃っている、または概略揃っている。

［０４７４］

発光デバイス１３０Ｇにおける導電層１８２ｂ、導電層１２６ｂ、導電層１２９ｂ、及び、発光デバイス１３０Ｂにおける導電層１８２ｃ、導電層１２６ｃ、導電層１２９ｃについては、発光デバイス１３０Ｒにおける導電層１８２ａ、導電層１２６ａ、導電層１２９ａと同様であるため詳細な説明は省略する。

［０４７５］

導電層１８２ａ、導電層１８２ｂ、及び導電層１８２ｃには、絶縁層５９９に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層１２８が埋め込まれている。

［０４７６］

層１２８は、導電層１８２ａ乃至導電層１８２ｃの凹部を平坦化する機能を有する。導電層１８２ａ上乃至導電層１８２ｃ上、及び層１２８上には、導電層１８２ａ乃至導電層１８２ｃと電気的に接続される導電層１２６ａ乃至導電層１２６ｃが設けられている。したがって、導電層１８２ａ乃至導電層１８２ｃの凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

［０４７７］

層１２８は、絶縁層であってもよく、導電層であってもよい。層１２８には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層１２８は、絶縁材料を用いて形成されることが好ましい。

［０４７８］

層１２８には、有機材料を有する絶縁層を好適に用いることができる。例えば、層１２８には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層１２８として、感光性の樹脂を用いることができる。感光性の樹脂として、ポジ型の材料、またはネガ型の材料が挙げられる。

［０４７９］

感光性の樹脂を用いることにより、露光及び現像の工程のみで層１２８を作製することができ、ドライエッチング、あるいはウェットエッチングによる導電層１８２ａ、導電層１８２ｂ、導電層１８２ｃの表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層１２８を形成することにより、絶縁層５９９の開口の形成に用いるフォトマスク（露光マスク）と同一のフォトマスクを用いて、層１２８を形成できる場合がある。

［０４８０］

発光デバイス１３０Ｒは、第１の層１１３ａと、第１の層１１３ａ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。また、発光デバイス１３０Ｇは、第２の層１１３ｂと、第２の層１１３ｂ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。また、発光デバイス１３０Ｂは、第３の層１１３ｃと、第３の層１１３ｃ上の共通層１１４と、共通層１１４上の共通電極１１５と、を有する。

［０４８１］

なお、第１の層１１３ａは、導電層１２６ａの上面及び側面と導電層１２９ａの上面及び側面を覆うように形成されている。同様に、第２の層１１３ｂは、導電層１２６ｂの上面及び側面と導電層１２９ｂの上面及び側面を覆うように形成されている。また、同様に、第３の層１１３ｃは、導電層１２６ｃの上面及び側面と導電層１２９ｃの上面及び側面を覆うように形成されている。したがって、導電層１２６ａ、導電層１２６ｂ、及び導電層１２６ｃが設けられている領域全体を、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂの発光領域として用いることができるため、画素の開口率を高めることができる。

［０４８２］

発光デバイス１３０Ｒにおいて、第１の層１１３ａと共通層１１４をまとめてＥＬ層と呼ぶことができる。また、同様に、発光デバイス１３０Ｇにおいて、第２の層１１３ｂと共通層１１４をまとめてＥＬ層と呼ぶこともできる。また、同様に、発光デバイス１３０Ｂにおいて、第３の層１１３ｃと共通層１１４をまとめてＥＬ層と呼ぶことができる。

［０４８３］

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

［０４８４］

第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃは、フォトリソグラフィ法により島状に加工されている。そのため、第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃは、それぞれその端部において、上面と側面との成す角が９０度に近い形状となる。一方、例えば、ＦＭＭ（Ｆｉｎｅ　Ｍｅｔａｌ　Ｍａｓｋ）を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば１μｍ以上１０μｍ以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

［０４８５］

第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃは、上面と側面の区別が明瞭となる。これにより、隣接する第１の層１１３ａと第２の層１１３ｂにおいて、第１の層１１３ａの側面の一と、第２の層１１３ｂの側面の一は、互いに対向して配置される。これは、第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃのうちいずれの組み合わせにおいても同様である。

［０４８６］

第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃは、少なくとも発光層を有する。例えば、第１の層１１３ａが、赤色の光を発する発光層を有し、第２の層１１３ｂが緑色の光を発する発光層を有し、第３の層１１３ｃが、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色として、シアン、マゼンタ、黄、又は白を適用することができる。

［０４８７］

第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃは、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第１の層１１３ａ、第２の層１１３ｂ、及び第３の層１１３ｃの表面は、表示装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

［０４８８］

共通層１１４は、例えば電子注入層、または正孔注入層を有する。または、共通層１１４は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層１１４は、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂで共有されている。

［０４８９］

共通電極１１５は、発光デバイス１３０Ｒ、発光デバイス１３０Ｇ、及び発光デバイス１３０Ｂで共有されている。また、図２７に示すように、複数の発光デバイスが共通して有する共通電極１１５は、接続部１４０に含まれている導電層に電気的に接続される。

［０４９０］

絶縁層１２５は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが好ましい。また、絶縁層１２５は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁層１２５は、水及び酸素の一方又は双方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁層１２５が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸

素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

［０４９１］

絶縁層１２５は、不純物濃度が低いことが好ましい。これにより、絶縁層１２５からＥＬ層に不純物が混入し、ＥＬ層が劣化することを抑制することができる。また、絶縁層１２５において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁層１２５は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

［０４９２］

絶縁層１２７として、有機材料を有する絶縁層を好適に用いることができる。有機材料として、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁層１２７の材料の粘度は、１ｃＰ以上１５００ｃＰ以下とすればよく、１ｃＰ以上１２ｃＰ以下とすることが好ましい。絶縁層１２７の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁層１２７を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

［０４９３］

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が９０°未満である領域を有すると好ましい。

［０４９４］

なお、絶縁層１２７は、後述するように側面にテーパ形状を有していればよく、絶縁層１２７に用いることができる有機材料は上記に限られるものではない。例えば、絶縁層１２７には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁層１２７として、ポリビニルアルコール（ＰＶＡ）、ポリビニルブチラール（ＰＶＢ）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁層１２７には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂として、ポジ型の材料、またはネガ型の材料が挙げられる。

［０４９５］

絶縁層１２７には可視光を吸収する材料を用いてもよい。絶縁層１２７が発光デバイスからの発光を吸収することで、発光デバイスから絶縁層１２７を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽量化及び薄型化を図ることができる。

［０４９６］

可視光を吸収する材料として、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、２色、または３色以上のカラーフィルタ材料を積層または混合した

樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に３色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

［０４９７］

絶縁層１２７は、例えば、スピンコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピンコートにより、絶縁層１２７となる有機絶縁膜を形成することが好ましい。

［０４９８］

絶縁層１２７は、ＥＬ層の耐熱温度よりも低い温度で形成する。絶縁層１２７を形成する際の基板温度は、代表的には、２００℃以下、好ましくは１８０℃以下、より好ましくは１６０℃以下、より好ましくは１５０℃以下、より好ましくは１４０℃以下である。

［０４９９］

以下では、発光デバイス１３０Ｒと発光デバイス１３０Ｇの間の絶縁層１２７の構造を例に挙げて、絶縁層１２７などの構造について説明を行う。なお、発光デバイス１３０Ｇと発光デバイス１３０Ｂの間の絶縁層１２７、及び発光デバイス１３０Ｂと発光デバイス１３０Ｒの間の絶縁層１２７などについても同様のことが言える。また、以下では、第２の層１１３ｂ上の絶縁層１２７の端部を例に挙げて説明する場合があるが、第１の層１１３ａ上の絶縁層１２７の端部、及び第３の層１１３ｃ上の絶縁層１２７の端部についても同様のことが言える。

［０５００］

絶縁層１２７は、表示装置の断面視において、側面にテーパ角　θ１のテーパ形状を有することが好ましい。テーパ角　θ１は、絶縁層１２７の側面と基板面のなす角である。ただし、基板面に限らず、絶縁層１２５の平坦部の上面、又は第２の層１１３ｂの平坦部の上面と、絶縁層１２７の側面がなす角としてもよい。また、絶縁層１２７の側面をテーパ形状にすることにより、絶縁層１２５の側面、及びマスク層１１８ａの側面もテーパ形状となる場合がある。

［０５０１］

絶縁層１２７のテーパ角　θ１は、９０°未満であり、６０°以下が好ましく、４５°以下がより好ましい。絶縁層１２７の側面端部をこのような順テーパ形状にすることで、絶縁層１２７の側面端部上に設けられる、共通層１１４及び共通電極１１５に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層１１４及び共通電極１１５の面内均一性を向上させることができるため、表示装置の表示品位を向上させることができる。

［０５０２］

表示装置の断面視において、絶縁層１２７の上面は凸曲面形状を有することが好ましい。絶縁層１２７の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好ましい。また、絶縁層１２７上面の中心部の突曲面部が、側面端部のテーパ部に連続的に接続される形状であることが好ましい。絶縁層１２７をこのような形状にすることで、絶縁層１２７上全体で、共通層１１４及び共通電極１１５を被覆性良く成膜することができる。

［０５０３］

絶縁層１２７は、二つのＥＬ層の間の領域（例えば、第１の層１１３ａと第２の層１１３ｂとの間の領域）に形成される。このとき、絶縁層１２７の一部が、一方のＥＬ層（例えば、第１の層１１３ａ）の側面端部と、もう一方のＥＬ層（例えば、第２の層１１３ｂ）の側面端部に挟まれる位置に配

置されることになる。

［０５０４］

絶縁層１２７の一方の端部が画素電極として機能する導電層１２６ａと重なり、絶縁層１２７の他方の端部が画素電極として機能する導電層１２６ｂと重なることが好ましい。このような構造にすることで、絶縁層１２７の端部を第１の層１１３ａ（第２の層１１３ｂ）の概略平坦な領域の上に形成することができる。よって、絶縁層１２７のテーパ形状を、上記の通り加工することが比較的容易になる。

［０５０５］

以上のように、絶縁層１２７などを設けることにより、第１の層１１３ａの概略平坦な領域から第２の層１１３ｂの概略平坦な領域まで、共通層１１４及び共通電極１１５に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層１１４及び共通電極１１５に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

［０５０６］

本実施の形態の表示装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、ＥＬ層間の距離、または画素電極間の距離を、１０μｍ未満、８μｍ以下、５μｍ以下、３μｍ以下、２μｍ以下、１μｍ以下、５００ｎｍ以下、２００ｎｍ以下、１００ｎｍ以下、９０ｎｍ以下、７０ｎｍ以下、５０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、１５ｎｍ以下、または１０ｎｍ以下とすることができる。別言すると、本実施の形態の表示装置は、隣接する２つの島状のＥＬ層の間隔が１μｍ以下の領域を有し、好ましくは０．５μｍ（５００ｎｍ）以下の領域を有し、さらに好ましくは１００ｎｍ以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する表示装置を提供することができる。

［０５０７］

発光デバイス１３０上には、保護層１３１が設けられている。保護層１３１は、発光デバイス１３０を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層１３１を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス１３０の信頼性を高めることができる。保護層１３１には、例えば、酸化アルミニウム、窒化シリコン、又は窒化酸化シリコンを用いることができる。

［０５０８］

保護層１３１と、基板１１９と、は接着層１０７を介して接着されている。発光デバイスの封止には、固体封止構造または中空封止構造などが適用できる。図２７では、基板３１０と基板１１９との間の空間が、接着層１０７で充填されており、固体封止構造が適用されている。または、当該空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層１０７は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層１０７とは異なる樹脂で充填してもよい。

［０５０９］

接着層１０７には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤として、例えば、エポキシ樹脂、アクリル樹脂、シリコーン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、ＰＶＣ（ポリビニルクロライド）樹脂、ＰＶＢ（ポリビニルブチラール）樹脂、ＥＶＡ（エチレンビニルアセテ

ート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

［０５１０］

表示装置５０Ｂは、トップエミッション型である。発光デバイスが発する光は、基板１１９側に射出される。そのため、基板１１９には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板１１９には、基板３１０に適用できる基板のうち、可視光に対する透過性が高い基板を選択すればよい。画素電極は可視光を反射する材料を含み、対向電極（共通電極１１５）は可視光を透過する材料を含む。

［０５１１］

なお、本発明の一態様の表示装置は、トップエミッション型ではなく、発光デバイスが発する光が基板３１０側に射出されるボトムエミッション型としてもよい。なお、この場合、基板３１０には、可視光に対する透過性が高い基板を選択すればよい。

［０５１２］

上記で説明した各々の構成例の一を表示装置に適用することによって、高い解像度、かつ高い精細度を有する表示装置を実現することができる場合がある。具体的には、例えば、ＨＤ（画素数１２８０×７２０）、ＦＨＤ（画素数１９２０×１０８０）、ＷＱＨＤ（画素数２５６０×１４４０）、ＷＱＸＧＡ（画素数２５６０×１６００）、４Ｋ（画素数３８４０×２１６０）、８Ｋ（画素数７６８０×４３２０）の解像度の表示装置を実現できる場合がある。また、具体的には、例えば、１００ｐｐｉ以上、３００ｐｐｉ以上、５００ｐｐｉ以上、１０００ｐｐｉ以上、２０００ｐｐｉ以上、３０００ｐｐｉ以上、５０００ｐｐｉ以上、又は６０００ｐｐｉ以上の精細度の表示装置を実現することができる場合がある。

［０５１３］

なお、本実施の形態に示す構成、構造、方法などは、その本実施の形態で示す構成、構造、方法などと適宜組み合わせて用いることができる。また、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０５１４］

本実施の形態で例示した構成例、およびそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

［０５１５］

（実施の形態５）

本実施の形態では、本発明の一態様に係る電子装置および表示装置などについて説明する。本発明の一態様は、例えば、ＶＲまたはＡＲ用途の装着型の電子装置に好適に用いることができる。

［０５１６］

＜電子装置の構成例＞

図２８Ａに、装着型の電子装置の一例としてメガネ型の電子装置１５０の斜視図を示す。図２８Ａに示す電子装置１５０では、一対の表示装置９０（表示装置９０＿Ｌおよび表示装置９０＿Ｒ）、動き検出部１０１、視線検出部８４、演算部１０３、および通信部８５を筐体１０５内に備える様子を示している。

［０５１７］

図２８Ｂは、図２８Ａの電子装置１５０のブロック図である。電子装置１５０は、図２８Ａと同様

に表示装置９０＿Ｌ、表示装置９０＿Ｒ、動き検出部１０１、視線検出部８４、演算部１０３、および通信部８５を有し、バス配線ＢＷを介して相互に各種信号を送受信する。表示装置９０＿Ｌ、表示装置９０＿Ｒはそれぞれ、複数の画素２３０、駆動回路６５および機能回路４０を有する。１つの画素２３０は、１つの発光デバイス６１と１つの画素回路５１を含む。よって、表示装置９０＿Ｌ、表示装置９０＿Ｒはそれぞれ、複数の発光デバイス６１および複数の画素回路５１を含む。

［０５１８］

動き検出部１０１は、筐体１０５の動き、すなわち電子装置１５０を装着したユーザの頭部の動きを検出する機能を有する。動き検出部１０１は、例えばＭＥＭＳ技術を用いたモーションセンサを用いることができる。モーションセンサとして、３軸モーションセンサ、あるいは６軸モーションセンサなど用いることができる。動き検出部１０１で検出される筐体１０５の動きに関する情報は、第１情報、あるいは動き情報などという場合がある。

［０５１９］

視線検出部８４は、ユーザの視線に関する情報を取得する機能を有する。具体的には、ユーザの視線を検出する機能を有する。ユーザの視線は、例えば、瞳孔角膜反射（Ｐｕｐｉｌ　Ｃｅｎｔｅｒ　Ｃｏｒｎｅａｌ　Ｒｅｆｌｅｃｔｉｏｎ）法、または明／暗瞳孔（Ｂｒｉｇｈｔ／Ｄａｒｋ　Ｐｕｐｉｌ　Ｅｆｆｅｃｔ）法などの視線計測（アイトラッキング）法で取得すればよい。または、レーザまたは超音波などを用いた視線計測方法で取得してもよい。

［０５２０］

演算部１０３は、視線検出部８４における視線の検出結果を用いて、ユーザの注視点を算出する機能を有する。すなわち、ユーザが表示装置９０＿Ｌおよび表示装置９０＿Ｒに表示される画像のどのオブジェクトを注視しているかを知ることがきる。また、ユーザが画面以外の部位を注視しているか否かを知ることができる。なお、視線検出部８４が得たユーザの視線に関する情報（視線の検出結果）を、第２情報、あるいは視線情報などという場合がある。

［０５２１］

演算部１０３は、筐体１０５の動きに応じた描画処理（画像データの演算処理）を行う機能を有する。演算部１０３において筐体１０５の動きに応じた描画処理は、第１情報、および通信部８５を介して外部より入力される画像データを用いて行われる。該画像データとして、例えば、３６０度全方位の画像データを用いることができる。３６０度全方位の画像データは、例えば全天球カメラ（全方位カメラ、３６０°カメラ）で撮影した画像データであってもよく、あるいはコンピュータグラフィックスなどによって生成される画像データであってもよい。演算部１０３は、第１情報に応じて３６０度全方位の画像データを、表示装置９０＿Ｌおよび表示装置９０＿Ｒに表示可能な画像データに変換する機能を有する。

［０５２２］

演算部１０３は、第２情報を用いて、表示装置９０＿Ｌおよび表示装置９０＿Ｒそれぞれの表示部に設定する複数の領域の大きさおよび形状を決定する機能を有する。具体的には、演算部１０３は、第２情報に応じて表示部上の注視点を算出し、当該注視点を基準にして、表示部に後述する第１領域Ｓ１乃至第３領域Ｓ３等を設定する。

［０５２３］

演算部１０３として、中央演算処理装置（ＣＰＵ：Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）のほか、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）、ＧＰＵ（Ｇｒａｐ

ｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などの他のマイクロプロセッサを単独で、または組み合わせて用いることができる。またこれらマイクロプロセッサをＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）またはＦＰＡＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ａｎａｌｏｇ　Ａｒｒａｙ）といったＰＬＤ（Ｐｒｏｇｒａｍｍａｂｌｅ　Ｌｏｇｉｃ　Ｄｅｖｉｃｅ）によって実現した構成としてもよい。

［０５２４］

演算部１０３は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理およびプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、別途設けられる記憶部に格納されていてもよい。記憶部として、例えば、フラッシュメモリ、ＭＲＡＭ（Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＰＲＡＭ（Ｐｈａｓｅ　ｃｈａｎｇｅ　ＲＡＭ）、ＲｅＲＡＭ（Ｒｅｓｉｓｔｉｖｅ　ＲＡＭ）、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　ＲＡＭ）などの不揮発性の記憶素子が適用された記憶装置、またはＤＲＡＭ（Ｄｙｎａｍｉｃ　ＲＡＭ）およびＳＲＡＭ（Ｓｔａｔｉｃ　ＲＡＭ）などの揮発性の記憶素子が適用された記憶装置等を用いてもよい。

［０５２５］

通信部８５は、画像データ等の各種データを取得するために無線または有線によって外部機器と通信を行う機能を有する。通信部８５は、例えば高周波回路（ＲＦ回路）を設け、ＲＦ信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。無線通信を行う場合、通信プロトコルまたは通信技術として、ＬＴＥ（Ｌｏｎｇ　Ｔｅｒｍ　Ｅｖｏｌｕｔｉｏｎ）、ＧＳＭ（Ｇｌｏｂａｌ　Ｓｙｓｔｅｍ　ｆｏｒ　Ｍｏｂｉｌｅ　Ｃｏｍｍｕｎｉｃａｔｉｏｎ：登録商標）、ＥＤＧＥ（Ｅｎｈａｎｃｅｄ　Ｄａｔａ　Ｒａｔｅｓ　ｆｏｒ　ＧＳＭ　Ｅｖｏｌｕｔｉｏｎ）、ＣＤＭＡ２０００（Ｃｏｄｅ　Ｄｉｖｉｓｉｏｎ　Ｍｕｌｔｉｐｌｅ　Ａｃｃｅｓｓ　２０００）、ＷＣＤＭＡ（Ｗｉｄｅｂａｎｄ　Ｃｏｄｅ　Ｄｉｖｉｓｉｏｎ　Ｍｕｌｔｉｐｌｅ　Ａｃｃｅｓｓ：登録商標）などの通信規格、またはＷｉ－Ｆｉ（登録商標）、Ｂｌｕｅｔｏｏｔｈ（登録商標）、ＺｉｇＢｅｅ（登録商標）等のＩＥＥＥにより通信規格化された仕様を用いることができる。また、国際電気通信連合（ＩＴＵ）が定める第３世代移動通信システム（３Ｇ）、第４世代移動通信システム（４Ｇ）、または第５世代移動通信システム（５Ｇ）などを用いることもできる。

［０５２６］

通信部８５において、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）接続用端子、デジタル放送の受信用端子、ＡＣアダプタを接続する端子等の外部ポートを有していてもよい。

［０５２７］

表示装置９０＿Ｌ、表示装置９０＿Ｒはそれぞれ、複数の発光デバイス６１、複数の画素回路５１、駆動回路６５、および機能回路４０を有する。画素回路５１は、発光デバイス６１の発光を制御する機能を有する。駆動回路６５は、画素回路５１を制御する機能を有する。

［０５２８］

演算部１０３で決定された表示装置の表示部における複数の領域の情報は、領域ごとに解像度を異ならせる駆動などに用いられる。機能回路４０は、注視点に近い領域で、解像度の高い表示を行うよう駆動回路６５の制御を行い、注視点より遠い領域で解像度の低い表示を行うように駆動回路６５の制御を行う機能を有する。

［０５２９］

例えば、画像データの書き換えを１画素おき、または複数画素おきに行うことで、解像度の低い表示を実現できる。画像データの書き換えを行なう画素を減らすことで、表示装置の消費電力を低減できる。

［０５３０］

電子装置１５０にセンサ９７を設けてもよい。センサ９７は、ユーザの視覚、聴覚、触覚、味覚、および嗅覚、のいずれか一または複数の情報を取得する機能を有すればよい。より具体的には、センサ９７は、力、変位、位置、速度、加速度、角速度、回転数、距離、光、磁気、温度、音声、時間、電場、電流、電圧、電力、放射線、湿度、傾度、振動、におい、および赤外線、のいずれか一または複数の情報を検知する機能、または測定する機能を有すればよい。電子装置１５０は、１または複数のセンサ９７を備えてもよい。

［０５３１］

センサ９７を用いて、周囲の温度、湿度、照度、臭気などを計測してもよい。また、センサ９７を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状（静脈形状、動脈形状を含む）、または顔などを用いた個人認証のための情報を取得してもよい。また、センサ９７を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、または血液中の酸素飽和度などを計測し、ユーザの疲労度および健康状態などを検出してもよい。電子装置１５０は、ユーザの疲労度および健康状態などを検知して、表示装置９０に警告などを表示してもよい。

［０５３２］

ユーザの視線および瞼の動きを検出して、電子装置１５０の動作を制御してもよい。ユーザは、電子装置１５０に触れて操作する必要がないため、両手に何も持たない状態（両手がフリーの状態）で、入力操作などを実現できる。

［０５３３］

図２９Ａは、電子装置１５０を示す斜視図である。図２９Ａにおいて電子装置１５０の筐体１０５は、一対の表示装置９０＿Ｌ、表示装置９０＿Ｒおよび演算部１０３の他、一例として、装着部８６、緩衝部材８７、一対のレンズ８８等を有する。一対の表示装置９０＿Ｌ、表示装置９０＿Ｒは、筐体１０５の内部の、レンズ８８を通して視認できる位置にそれぞれ設けられている。

［０５３４］

図２９Ａに示す筐体１０５には、入力端子１０９と、出力端子８９とが設けられている。入力端子１０９には映像出力機器等からの画像信号（画像データ）、または筐体１０５内に設けられるバッテリ（図示せず）を充電するための電力等を供給するケーブルを接続することができる。出力端子８９は、例えば音声出力端子として機能し、イヤフォン、ヘッドフォン等を接続することができる。

［０５３５］

筐体１０５は、レンズ８８および表示装置９０＿Ｌ、表示装置９０＿Ｒが、ユーザの目の位置に応じて最適な位置となるように、これらの左右の位置を調整可能な機構を有していることが好ましい。また、レンズ８８と表示装置９０＿Ｌ、表示装置９０＿Ｒとの距離を変えることで、ピントを調整する機構を有していることが好ましい。

［０５３６］

緩衝部材８７は、ユーザの顔（額、頬など）に接触する部分である。緩衝部材８７がユーザの顔と密着することにより、外光の侵入（光漏れ）を防ぐことができ、より没入感を高めることができる。

緩衝部材８７は、ユーザが電子装置１５０を装着した際にユーザの顔に密着するよう、緩衝部材８７には柔らかい素材を用いることが好ましい。このような素材を用いると、肌触りが良いことに加え、寒い季節などに装着した際に、ユーザに冷たさを感じさせないため好ましい。緩衝部材８７または装着部８６などの、ユーザの肌に触れる部材は、取り外し可能な構成とすると、クリーニングまたは交換が容易となるため好ましい。

［０５３７］

本発明の一態様の電子装置は、さらに、イヤフォン９９Ａを有していてもよい。イヤフォン９９Ａは、通信部（図示しない）を有し、無線通信機能を有する。イヤフォン９９Ａは、無線通信機能により、音声データを出力することができる。なおイヤフォン９９Ａは、骨伝導イヤフォンとして機能する振動機構を有していてもよい。

［０５３８］

イヤフォン９９Ａは、図２９Ｂに示すイヤフォン９９Ｂのように、装着部８６に直接接続、または有線接続されている構成とすることができる。また、イヤフォン９９Ｂおよび装着部８６はマグネットを有していてもよい。これにより、イヤフォン９９Ｂを装着部８６に磁力によって固定することができ、収納が容易となり好ましい。

［０５３９］

＜表示装置の構成例＞

図２８Ａ、図２８Ｂに示す表示装置９０＿Ｌ、表示装置９０＿Ｒに適用可能な表示装置９０Ａの構成について図３０Ａ、図３０Ｂおよび図３１を参照して説明する。

［０５４０］

図３０Ａは、図２８Ａ、図２８Ｂに示す表示装置９０＿Ｌ、表示装置９０＿Ｒに適用可能な表示装置９０Ａの斜視図である。

［０５４１］

表示装置９０Ａは、基板９１、基板９２を有する。表示装置９０Ａは、基板９１と基板９２との間に設けられる表示部９３を有する。表示部９３は、複数の画素２３０を有する。画素２３０は、画素回路５１および発光デバイス６１を有する。表示部９３は、表示装置９０Ａにおける画像を表示する領域である。

［０５４２］

画素２３０を１９２０×１０８０画素のマトリクス状に配置すると、いわゆるフルハイビジョン（「２Ｋ解像度」、「２Ｋ１Ｋ」、または「２Ｋ」などとも言われる。）の解像度で表示可能な表示部９３を実現できる。また、例えば、画素２３０を３８４０×２１６０画素のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「４Ｋ解像度」、「４Ｋ２Ｋ」、または「４Ｋ」などとも言われる。）の解像度で表示可能な表示部９３を実現できる。また、例えば、画素２３０を７６８０×４３２０画素のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「８Ｋ解像度」、「８Ｋ４Ｋ」、または「８Ｋ」などとも言われる。）の解像度で表示可能な表示部９３を実現できる。画素２３０を増やすことで、１６Ｋさらには３２Ｋの解像度で表示可能な表示部９３を実現することも可能である。

［０５４３］

表示部９３の画素密度（精細度）は、１０００ｐｐｉ以上１００００ｐｐｉ以下が好ましい。例えば、２０００ｐｐｉ以上６０００ｐｐｉ以下であってもよいし、３０００ｐｐｉ以上５０００ｐｐｉ以下であってもよい。

［０５４４］

なお、表示部９３の画面比率（アスペクト比）については、特に限定はない。表示部９３は、例えば、１：１（正方形）、４：３、１６：９、１６：１０など様々な画面比率に対応することができる。

［０５４５］

なお、本明細書等において、素子という用語を「デバイス」と言い換えることができる場合がある。例えば、表示素子、発光デバイス、および液晶素子は、例えば表示デバイス、発光デバイス、および液晶デバイスと言い換えることができる。

［０５４６］

表示装置９０Ａは、端子部９４を介して外部より各種信号および電源電位が入力され、表示部９３に設けられた表示素子を用いて画像表示を行うことができる。表示素子として様々な素子を用いることができる。代表的には、有機ＥＬ素子およびＬＥＤ素子などの光を射出する機能を有する発光デバイス、液晶素子、またはＭＥＭＳ素子などを適用できる。

［０５４７］

基板９１と基板９２との間には、複数の層が設けられ、各層には回路動作を行うためのトランジスタ、または光を射出する表示素子が設けられる。複数の層においては、表示素子の動作を制御する機能を有する画素回路、画素回路を制御する機能を有する駆動回路、駆動回路を制御する機能を有する機能回路等が設けられる。

［０５４８］

図３０Ｂに、基板９１と基板９２との間に設けられる各層の構成を模式的に示した斜視図を示している。

［０５４９］

基板９１上には、層６２が設けられる。層６２は、駆動回路６５、機能回路４０、および入出力回路８０を有する。層６２は、チャネル形成領域６４にシリコンを有するトランジスタ６３（Ｓｉトランジスタともいう）を有する。基板９１は、例えば、シリコン基板を用いることができる。シリコン基板は、ガラス基板と比較して熱伝導性が高いため好ましい。駆動回路６５、機能回路４０、および入出力回路８０を同じ層に設けることで、駆動回路６５、機能回路４０、および入出力回路８０を電気的に接続する配線を短くすることができる。よって、機能回路４０が駆動回路６５を制御するための制御信号の充放電時間が短くなり、消費電力を低減できる。また、入出力回路８０が、機能回路４０および駆動回路６５に信号を供給する時のための充放電時間が短くなり、消費電力を低減できる。

［０５５０］

トランジスタ６３は、例えばチャネル形成領域に単結晶シリコンを有するトランジスタ（「ｃ－Ｓｉトランジスタ」ともいう。）とすることができる。特に、層６２に設けられるトランジスタとして、チャネル形成領域に単結晶シリコンを有するトランジスタを用いると、当該トランジスタのオン電流を大きくすることができる。よって、層６２が有する回路を高速に駆動させることができるため、好ましい。またＳｉトランジスタは、チャネル長が３ｎｍ以上１０ｎｍ以下といった微細加工で形成することができるため、ＣＰＵ、ＧＰＵなどのアクセラレータ、アプリケーションプロセッサなどが表示部と一体に設けられた表示装置９０Ａとすることができる。

［０５５１］

層６２に、チャネル形成領域に多結晶シリコンを有するトランジスタ（「Ｐｏｌｙ－Ｓｉトランジスタ」ともいう。）を設けてもよい。多結晶シリコンとして、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ

Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）を用いてもよい。なお、チャネル形成領域にＬＴＰＳを有するトランジスタを「ＬＴＰＳトランジスタ」ともいう。また、必要に応じて層６２にＯＳトランジスタを設けてもよい。

［０５５２］

駆動回路６５として、シフトレジスタ、レベルシフタ、インバータ、ラッチ、アナログスイッチ、および論理回路等の様々な回路を用いることができる。駆動回路６５は、例えば、ゲートドライバ回路、ソースドライバ回路等を有する。この他に、演算回路、メモリ回路、および電源回路等を有していてもよい。ゲートドライバ回路、ソースドライバ回路、およびその他の回路を、表示部９３に重ねて配置することが可能となるため、これら回路と、表示部９３とを並べて配置する場合と比較して、表示装置９０Ａの表示部９３の外周に存在する非表示領域（額縁ともいう）の幅を極めて狭くすることができ、表示装置９０Ａの小型化が実現できる。

［０５５３］

機能回路４０は、例えば、表示装置９０Ａにおける各回路の制御、および各回路を制御するための信号を生成するためのアプリケーションプロセッサの機能を有する。また機能回路４０は、ＣＰＵ、ＧＰＵなどのアクセラレータなどの画像データを補正するための回路を有していてもよい。また機能回路４０は、画像データ等を表示装置９０Ａの外部から受信するためのインターフェースとしての機能を有するＬＶＤＳ（Ｌｏｗ　Ｖｏｌｔａｇｅ　Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｓｉｇｎａｌｉｎｇ）回路、ＭＩＰＩ（Ｍｏｂｉｌｅ　Ｉｎｄｕｓｔｒｙ　Ｐｒｏｃｅｓｓｏｒ　Ｉｎｔｅｒｆａｃｅ）回路、およびD／Ａ（Ｄｉｇｉｔａｌ　ｔｏ　Ａｎａｌｏｇ）変換回路等を有していてもよい。また機能回路４０は、画像データを圧縮・伸長するための回路、および電源回路等を有していてもよい。

［０５５４］

層６２上には、層８３が設けられる。層８３は、複数の画素回路５１を含む画素回路群５５を有する。層８３にＯＳトランジスタを設けてもよい。画素回路５１はＯＳトランジスタを含んで構成してもよい。なお層８３は、層６２上に積層して設けることができる。

［０５５５］

層８３にＳｉトランジスタを設けてもよい。例えば、画素回路５１をチャネル形成領域に単結晶シリコンまたは多結晶シリコンを有するトランジスタを含んで構成してもよい。多結晶シリコンとして、ＬＴＰＳを用いてもよい。例えば、別の基板に層８３を形成し、層６２と貼り合わせることも可能である。

［０５５６］

例えば、画素回路５１を異なる半導体材料を用いた複数種類のトランジスタで構成してもよい。画素回路５１が、異なる半導体材料を用いた複数種類のトランジスタで構成される場合、トランジスタの種類毎に異なる層にトランジスタを設けてもよい。例えば、画素回路５１が、Ｓｉトランジスタと、ＯＳトランジスタで構成される場合、ＳｉトランジスタとＯＳトランジスタを重ねて設けてもよい。トランジスタを重ねて設けることで、画素回路５１の占有面積が低減される。よって、表示装置９０Ａの精細度を高めることができる。なお、ＬＴＰＳトランジスタとＯＳトランジスタを、組み合わせる構成をＬＴＰＯと呼称する場合がある。

［０５５７］

ＯＳトランジスタであるトランジスタ５２として、チャネル形成領域５４にインジウム、元素M

（元素Mは、アルミニウム、ガリウム、イットリウム、またはスズ）、亜鉛の少なくとも一を含む酸化物を有するトランジスタを用いることが好ましい。このようなＯＳトランジスタは、オフ電流が非常に低いという特性を有する。よって、特に画素回路に設けられるトランジスタとしてＯＳトランジスタを用いると、画素回路に書き込まれたアナログデータを長期間保持することができるため好ましい。

［０５５８］

層８３上には、層８１が設けられる。層８１上には、基板９２が設けられる。基板９２は、透光性を有する基板あるいは透光性を有する材料でなる層であることが好ましい。層８１は、複数の発光デバイス６１が設けられる。なお層８１は、層８３上に積層して設ける構成とすることができる。発光デバイス６１として、例えば有機エレクトロルミネセンス素子（有機ＥＬ素子ともいう）などを用いることができる。ただし、発光デバイス６１は、これに限定されず、例えば無機材料からなる無機ＥＬ素子を用いても良い。なお、「有機ＥＬ素子」と「無機ＥＬ素子」をまとめて「ＥＬ素子」と呼ぶ場合がある。発光デバイス６１は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

［０５５９］

図３０Ｂに示すように本発明の一態様の表示装置９０Ａは、発光デバイス６１と、画素回路５１と、駆動回路６５および機能回路４０と、を積層した構成とすることができるため、画素の開口率（有効表示面積比）を極めて高くすることができる。例えば画素の開口率は、４０％以上１００％未満、好ましくは５０％以上９５％以下、より好ましくは６０％以上９５％以下とすることができる。また、画素回路５１を極めて高密度に配置することが可能で、画素の精細度を極めて高くすることができる。例えば、表示装置９０Ａの表示部９３（画素回路５１および発光デバイス６１が積層されて設けられる領域）では、２０００ｐｐｉ以上、好ましくは３０００ｐｐｉ以上、より好ましくは５０００ｐｐｉ以上、さらに好ましくは６０００ｐｐｉ以上であって、２００００ｐｐｉ以下、または３００００ｐｐｉ以下の精細度で、画素を配置することが可能となる。

［０５６０］

このような表示装置９０Ａは、極めて高精細であることから、ヘッドマウントディスプレイなどのＶＲ向け機器、またはメガネ型のＡＲ向け機器に好適に用いることができる。例えば、レンズ等の光学部材を通して表示装置９０Ａの表示部を視認する構成の場合であっても、表示装置９０Ａは極めて高精細な表示部を有するためにレンズで表示部を拡大しても画素が視認されず、没入感の高い表示を行うことができる。

［０５６１］

なお、表示装置９０Ａを装着型のＶＲまたはＡＲ用の表示装置として用いる場合、表示部９３の対角サイズは、０．１インチ以上５．０インチ以下、好ましくは０．５インチ以上２．０インチ以下、さらに好ましくは、１インチ以上１．７インチ以下とすることができる。例えば、表示部９３の対角サイズを１．５インチ、または１．５インチ近傍にしてもよい。表示部９３の対角サイズを２．０インチ以下とすることで、露光装置（代表的にはスキャナー装置）の１回の露光処理で処理することが可能となるため、製造プロセスの生産性を向上させることができる。

［０５６２］

本発明の一態様に係る表示装置９０Ａは、装着型の電子装置以外にも適用できる。この場合、表示部９３の対角サイズは２．０インチを越えてもかまわない。表示部９３の対角サイズに応じて、画素

回路５１に用いるトランジスタの構成を適宜選択してもよい。例えば、画素回路５１に単結晶Ｓｉトランジスタを用いる場合、表示部９３の対角のサイズは０．１インチ以上３インチ以下が好ましい。また、画素回路５１にＬＴＰＳトランジスタを用いる場合、表示部９３の対角のサイズは０．１インチ以上３０インチ以下が好ましく、１インチ以上３０インチ以下がより好ましい。また、画素回路５１にＬＴＰＯ（ＬＴＰＳトランジスタと、ＯＳトランジスタとを、組み合わせる構成）を用いる場合、表示部９３の対角のサイズは０．１インチ以上５０インチ以下が好ましく１インチ以上５０インチ以下がより好ましい。また、画素回路５１にＯＳトランジスタを用いる場合、表示部９３の対角のサイズは０．１インチ以上２００インチ以下が好ましく、５０インチ以上１００インチ以下がより好ましい。

［０５６３］

画素回路５１などに単結晶Ｓｉトランジスタを用いた表示装置は、単結晶Ｓｉ基板の大きさより、大型化が非常に困難である。また、画素回路５１などにＬＴＰＳトランジスタを用いた表示装置は、製造工程にてレーザ結晶化装置を用いるため、大型化（代表的には、対角のサイズにて３０インチを超える画面サイズ）への対応が難しい。一方でＯＳトランジスタは、製造工程にてレーザ結晶化装置などを用いる制約がない、または比較的低温のプロセス温度（代表的には４５０℃以下）で製造することが可能なため、比較的大面積（代表的には、対角のサイズにて５０インチ以上１００インチ以下）の表示装置まで対応することが可能である。また、ＬＴＰＯについては、ＬＴＰＳトランジスタを用いる場合と、ＯＳトランジスタを用いる場合との間の領域の表示部の対角サイズ（代表的には、１インチ以上５０インチ以下）に適用することが可能となる。

［０５６４］

駆動回路６５および機能回路４０の具体的な構成例について、図３１を参照して説明する。図３１は表示装置９０Ａの構成を示すブロック図であり、画素回路５１、駆動回路６５および機能回路４０を接続する複数の配線、および表示装置９０Ａ内のバス配線等を示している。

［０５６５］

図３１に示す表示装置９０Ａにおいて、層８３は、複数の画素回路５１がマトリクス状に配置されている。

［０５６６］

図３１に示す表示装置９０Ａにおいて、層６２は、駆動回路６５、機能回路４０、および入出力回路８０が配置されている。駆動回路６５は、一例として、ソースドライバ回路６６、デジタルアナログ変換回路（ＤＡＣ：Ｄｉｇｉｔａｌ　Ａｎａｌｏｇ　Ｃｏｎｖｅｒｔｅｒ）６７、ゲートドライバ回路３３、レベルシフタ３４、増幅回路３５、検査回路３６、映像生成回路３７、および映像分配回路３８を有する。機能回路４０は、一例として、記憶装置４１、ＧＰＵ４２、ＥＬ補正回路４３、タイミングコントローラ４４、ＣＰＵ４５、センサコントローラ４６、電源回路４７、温度センサ４８、および輝度補正回路４９を有する。機能回路４０は、アプリケーションプロセッサの機能を有する。なお、人工知能の演算を行うＧＰＵを、ＡＩアクセラレータという場合がある。

［０５６７］

入出力回路８０は、ＬＶＤＳ（Ｌｏｗ　Ｖｏｌｔａｇｅ　Ｄｉｆｆｅｒｅｎｔｉａｌ　Ｓｉｇｎａｌｉｎｇ）などの伝送方式に対応し、入出力回路８０は端子部９４を介して入力される制御信号および画像データなどを、駆動回路６５および機能回路４０に振り分ける機能を有する。また、入出力回路８０は、表示装置９０Ａの情報を、端子部９４を介して外部に出力する機能を有する。

［０５６８］

図３１の表示装置９０Ａでは、駆動回路６５に含まれる回路、機能回路４０に含まれる回路、および入出力回路８０のそれぞれが、バス配線ＢＳＬと電気的に接続する構成を例示している。

［０５６９］

ソースドライバ回路６６は、一例として、画素２３０が有する画素回路５１に対して、画像データを送信する機能を有する。そのため、ソースドライバ回路６６は、配線ＳＬを介して、画素回路５１に電気的に接続されている。なおソースドライバ回路６６は、複数設けてもよい。

［０５７０］

デジタルアナログ変換回路６７は、一例として、後述するＧＰＵ、補正回路などによってデジタル処理された画像データをアナログデータに変換する機能を有する。アナログデータに変換された画像データはオペアンプなどの増幅回路３５により増幅され、ソースドライバ回路６６を介して、画素回路５１に送信される。なお、ソースドライバ回路６６、デジタルアナログ変換回路６７、画素回路５１の順に画像データが送信される構成としてもよい。また、デジタルアナログ変換回路６７および増幅回路３５は、ソースドライバ回路６６に含まれていてもよい。

［０５７１］

ゲートドライバ回路３３は、一例として、画素回路５１において、画像データの送信先となる画素回路を選択する機能を有する。そのため、ゲートドライバ回路３３は、配線ＧＬを介して、画素回路５１に電気的に接続されている。なおゲートドライバ回路３３は、ソースドライバ回路６６と対応して、複数設けてもよい。

［０５７２］

レベルシフタ３４は、一例として、ソースドライバ回路６６、デジタルアナログ変換回路６７、ゲートドライバ回路３３などに対して入力される信号を適切なレベルに変換する機能を有する。

［０５７３］

記憶装置４１は、一例として、画素回路５１に表示させる画像データを保存する機能を有する。なお、記憶装置４１は、画像データをデジタルデータまたはアナログデータとして保存する構成とすることができる。

［０５７４］

記憶装置４１に画像データを保存する場合、記憶装置４１は不揮発性メモリとすることが好ましい。この場合、記憶装置４１には、例えば、ＮＡＮＤ型メモリなどを適用することができる。

［０５７５］

記憶装置４１にＧＰＵ４２、ＥＬ補正回路４３、ＣＰＵ４５などで生じる一時データを保存する場合、記憶装置４１は揮発性メモリとすることが好ましい。この場合、記憶装置４１には、例えば、ＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）などを適用することができる。

［０５７６］

ＧＰＵ４２は、一例として、記憶装置４１から読み出された画像データを、画素回路５１に出力するための処理を行う機能を有する。特に、ＧＰＵ４２は、並列にパイプライン処理を行う構成となっているため、画素回路５１に出力する画像データを高速に処理することができる。また、ＧＰＵ４２は、エンコードされた画像を復元するためのデコーダとしての機能も有することができる。

［０５７７］

機能回路４０には、表示装置９０Ａの表示品位を高めることができる回路が複数含まれていてもよい。当該回路として、例えば、表示される画像の色ムラを検出して、当該色ムラを補正して最適な画像にする補正回路（調色、調光）を設けてもよい。例えば、表示素子に有機ＥＬが用いられた発光デバイスが適用されている場合、機能回路４０に、該発光デバイスの特性に応じて画像データを補正するＥＬ補正回路を設けてもよい。機能回路４０には、一例として、ＥＬ補正回路４３を含めている。

［０５７８］

上記で説明した画像補正には、人工知能を用いてもよい。例えば、画素回路に流れる電流（または画素回路に印加される電圧）をモニタリングして取得し、表示された画像をイメージセンサなどで取得し、電流（または電圧）と画像を人工知能の演算（例えば、人工ニューラルネットワークなど）の入力データとして扱い、その出力結果で当該画像の補正の有無を判断させてもよい。

［０５７９］

人工知能の演算は、画像補正だけでなく、画像データの解像度を高めるアップコンバート処理にも適用できる。一例として、図３１のＧＰＵ４２は、各種補正の演算（色ムラ補正４２ａ、アップコンバート４２ｂなど）を行うためのブロックを図示している。

［０５８０］

画像データのアップコンバート処理を行なうためのアルゴリズムとして、Ｎｅａｒｅｓｔ ｎｅｉｇｈｂｏｒ法、Ｂｉｌｉｎｅａｒ法、Ｂｉｃｕｂｉｃ法、ＲＡＩＳＲ（Ｒａｐｉｄ ａｎｄ Ａｃｃｕｒａｔｅ Ｉｍａｇｅ Ｓｕｐｅｒ－Ｒｅｓｏｌｕｔｉｏｎ）法、ＡＮＲ（Ａｎｃｈｏｒｅｄ Ｎｅｉｇｈｂｏｒｈｏｏｄ Ｒｅｇｒｅｓｓｉｏｎ）法、Ａ＋法、ＳＲＣＮＮ（Ｓｕｐｅｒ－Ｒｅｓｏｌｕｔｉｏｎ Ｃｏｎｖｏｌｕｔｉｏｎａｌ Ｎｅｕｒａｌ Ｎｅｔｗｏｒｋ）法などから選択して行うことができる。

［０５８１］

アップコンバート処理は、注視点に応じて決定される領域ごとに、アップコンバート処理に用いるアルゴリズムを変える構成としてもよい。例えば、注視点および注視点近傍の領域のアップコンバート処理を、処理速度が遅いが高精度なアルゴリズムで行ない、当該領域以外の領域のアップコンバート処理を、処理速度は速いが低精度なアルゴリズムで行なえばよい。当該構成とすることで、アップコンバート処理に必要な時間を短縮できる。また、アップコンバート処理に必要な消費電力を低減できる。

［０５８２］

アップコンバート処理に限らず、画像データの解像度を下げるダウンコンバート処理を行なってもよい。画像データの解像度が表示部９３の解像度よりも大きい場合、画像データの一部が表示部９３に表示されない場合がある。このような場合、ダウンコンバート処理を行なうことで、当該画像データ全体を表示部９３に表示できる。

［０５８３］

タイミングコントローラ４４は、一例として、画像を表示させる駆動周波数（フレーム周波数、フレームレート、またはリフレッシュレートなど）を制御する機能を有する。例えば、表示装置９０Ａで静止画を表示させる場合、タイミングコントローラ４４によって駆動周波数を下げることで、表示装置９０Ａの消費電力を低減できる。

［０５８４］

ＣＰＵ４５は、一例として、オペレーティングシステムの実行、データの制御、各種演算、および

プログラムの実行など、汎用の処理を行う機能を有する。ＣＰＵ４５は、例えば、記憶装置４１における画像データの書き込み動作または読み出し動作、画像データの補正動作、後述するセンサへの動作、などの命令を行う役割を有する。また、例えば、ＣＰＵ４５は、機能回路４０に含まれる回路の少なくとも一に制御信号を送信する機能を有してもよい。

［０５８５］

センサコントローラ４６は、一例として、センサを制御する機能を有する。また、図３１では、当該センサに電気的に接続するための配線として、配線ＳＮＣＬを図示している。

［０５８６］

当該センサは、例えば、表示部に備えることができるタッチセンサとすることができる。または、当該センサは、例えば、照度センサとすることができる。

［０５８７］

電源回路４７は、一例として、画素回路５１、駆動回路６５および機能回路４０に含まれている回路などに対して供給する電圧を生成する機能を有する。なお、電源回路４７は、電圧を供給する回路を選択する機能を有してもよい。例えば、電源回路４７は、静止画を表示させている期間では、ＣＰＵ４５、ＧＰＵ４２などに対しての電圧供給を停止することによって、表示装置９０Ａ全体の消費電力を低減することができる。

［０５８８］

以上説明したように本発明の一態様に係る表示装置は、表示素子と、画素回路と、駆動回路および機能回路４０と、を積層した構成とすることができる。周辺回路である駆動回路および機能回路を画素回路と重ねて配置することができ、額縁の幅を極めて狭くすることができるため、小型化が図られた表示装置とすることができる。また本発明の一態様の表示装置は、各回路を積層した構成とすることにより、各回路間を接続する配線を短くすることができるため、軽量化が図られた表示装置とすることができる。また本発明の一態様に係る表示装置は、画素の精細度が高められた表示部とすることができるため、表示品位に優れた表示装置とすることができる。

［０５８９］

＜表示モジュールの構成例＞

続いて、表示装置９０Ａを含む表示モジュールの構成例について説明する。

［０５９０］

図３２Ａ乃至図３２Ｃは、表示モジュール５００の斜視図である。表示モジュール５００は、表示装置９０Ａの端子部９４にＦＰＣ５０４（ＦＰＣ：Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ　ｃｉｒｃｕｉｔｓ）を備えた構造を有する。ＦＰＣ５０４は絶縁物でできたフィルムに配線を備えた構造を有する。また、ＦＰＣ５０４は、可撓性を有する。ＦＰＣ５０４は、外部から表示装置９０Ａにビデオ信号、制御信号、および電源電位などを供給するための配線として機能する。また、ＦＰＣ５０４上にＩＣが実装されていてもよい。

［０５９１］

図３２Ｂに示す表示モジュール５００は、プリント配線板５０１上に表示装置９０Ａを備える構成を有する。プリント配線板５０１は、絶縁物でできた基板の内部または表面、もしくは、内部と表面に配線を備えた構造を有する。

［０５９２］

図３２Ｂに示す表示モジュール５００では、表示装置９０Ａの端子部９４と、プリント配線板５０

１の端子部５０２がワイヤ５０３を介して電気的に接続している。ワイヤ５０３はワイヤボンディングで形成できる。また、ワイヤボンディングとして、ボールボンディングまたはウェッジボンディングを用いることができる。

［０５９３］

ワイヤ５０３の形成後、樹脂材料などでワイヤ５０３を覆ってもよい。なお、表示装置９０Ａとプリント配線板５０１の電気的な接続は、ワイヤボンディング以外の方法で行なってもよい。例えば、表示装置９０Ａとプリント配線板５０１の電気的な接続を、異方性導電接着剤またはバンプなどで実現してもよい。

［０５９４］

図３２Ｂに示す表示モジュール５００は、プリント配線板５０１の端子部５０２がＦＰＣ５０４と電気的に接続している。例えば、表示装置９０Ａの端子部９４が備える電極のピッチと、ＦＰＣ５０４が備える電極のピッチが異なる場合は、プリント配線板５０１を介して、端子部９４とＦＰＣ５０４を電気的に接続してもよい。具体的には、プリント配線板５０１に形成された配線を用いて、端子部９４が備える複数の電極の間隔（ピッチ）を、端子部５０２が備える複数の電極の間隔に変換できる。すなわち、端子部９４が備える電極のピッチとＦＰＣ５０４が備える電極のピッチが異なる場合においても、両者の電極の電気的な接続を実現できる。

［０５９５］

プリント配線板５０１には、抵抗素子、容量素子、半導体素子などの様々な素子を設けることができる。

［０５９６］

図３２Ｃに示す表示モジュール５００のように、端子部５０２をプリント配線板５０１の下面（表示装置９０Ａが設けられていない側の面）に設けられた接続部５０５と電気的に接続してもよい。例えば、接続部５０５をソケット形式の接続部にすることで、表示モジュール５００と他の機器との脱着を容易に行える。

［０５９７］

＜画素回路の構成例＞

図３３Ａおよび図３３Ｂでは、画素回路５１の構成例、および画素回路５１に接続される発光デバイス６１について示す。図３３Ａは各素子の接続を示す図、図３３Ｂは、駆動回路を備える層６２、画素回路が有する複数のトランジスタを備える層８３、発光デバイスを備える層８１の上下関係を模式的に示す図である。

［０５９８］

図３３Ａおよび図３３Ｂに一例として示す画素回路５１は、トランジスタ５２Ａ、トランジスタ５２Ｂ、トランジスタ５２Ｃ、および容量素子５３を備える。トランジスタ５２Ａ、トランジスタ５２Ｂ、トランジスタ５２Ｃは、ＯＳトランジスタで構成することができる。トランジスタ５２Ａ、トランジスタ５２Ｂ、トランジスタ５２Ｃの各ＯＳトランジスタは、バックゲート電極を備えていることが好ましく、この場合、バックゲート電極にゲート電極と同じ信号を与える構成、バックゲート電極にゲート電極と異なる信号を与える構成とすることができる。

［０５９９］

トランジスタ５２Ｂは、トランジスタ５２Ａと電気的に接続されるゲート電極と、発光デバイス６１と電気的に接続される第１の電極と、配線ＡＮＯと電気的に接続される第２の電極と、を備える。

配線ＡＮＯは、発光デバイス６１に電流を供給するための電位を与えるための配線である。

［０６００］

トランジスタ５２Ａは、トランジスタ５２Ｂのゲート電極と電気的に接続される第１の電極と、ソース線として機能する配線ＳＬと電気的に接続される第２の電極と、ゲート線として機能する配線ＧＬ１の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、備える。

［０６０１］

トランジスタ５２Ｃは、配線Ｖ０と電気的に接続される第１の電極と、発光デバイス６１と電気的に接続される第２の電極と、ゲート線として機能する配線ＧＬ２の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、を備える。配線Ｖ０は、基準電位を与えるための配線、および画素回路５１を流れる電流を駆動回路６５または機能回路４０に出力するための配線である。

［０６０２］

容量素子５３は、トランジスタ５２Ｂのゲート電極と電気的に接続される導電膜と、トランジスタ５２Ｃの第２の電極と電気的に接続される導電膜を備える。

［０６０３］

発光デバイス６１は、トランジスタ５２Ｂの第１の電極に電気的に接続される第１の電極と、配線ＶＣＯＭに電気的に接続される第２の電極と、を備える。配線ＶＣＯＭは、発光デバイス６１に電流を供給するための電位を与えるための配線である。

［０６０４］

これにより、トランジスタ５２Ｂのゲート電極に与えられる画像信号に応じて発光デバイス６１が射出する光の強度を制御することができる。またトランジスタ５２Ｃを介して与えられる配線Ｖ０の基準電位によって、トランジスタ５２Ｂのゲートーソース間電圧のばらつきを抑制することができる。

［０６０５］

配線Ｖ０から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線Ｖ０は、トランジスタ５２Ｂに流れる電流、または発光デバイス６１に流れる電流を、外部に出力するためのモニタ線として機能させることができる。配線Ｖ０に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力される。または、Ａ－Ｄコンバータなどによりデジタル信号に変換され、機能回路４０等に出力することができる。

［０６０６］

本発明の一態様で説明する発光デバイスは、有機ＥＬ素子（ＯＬＥＤ（Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）ともいう）などの自発光型の表示素子をいう。なお画素回路に電気的に接続される発光デバイスは、ＬＥＤ（Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）、マイクロＬＥＤ、ＱＬＥＤ（Ｑｕａｎｔｕｍ－ｄｏｔ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）、半導体レーザ等の、自発光型の発光デバイスとすることが可能である。

［０６０７］

図３３Ｂに一例として示す構成では、画素回路５１と、駆動回路６５と、を電気的に接続する配線を短くすることができるため、当該配線の配線抵抗を低くすることができる。よって、データの書き込みを高速に行うことができるため、表示装置９０Ａを高速に駆動させることができる。これにより、表示装置９０Ａが有する画素回路５１を多くしても十分なフレーム期間を確保することができるた

め、表示装置９０Ａの画素密度を高めることができる。また、表示装置９０Ａの画素密度を高めることにより、表示装置９０Ａにより表示される画像の精細度を高めることができる。例えば、表示装置９０Ａの画素密度を、１０００ｐｐｉ以上とすることができ、または５０００ｐｐｉ以上とすることができ、または７０００ｐｐｉ以上とすることができる。よって、表示装置９０Ａは、例えばＡＲ、またはＶＲ用の表示装置とすることができ、ＨＭＤ等、表示部とユーザの距離が近い電子装置に好適に適用することができる。

［０６０８］

なお、図３３Ａおよび図３３Ｂでは、計３つのトランジスタを有する画素回路５１を一例として示したが本発明の一態様はこれに限らない。以下では、画素回路５１に適用可能な画素回路の構成例、および駆動方法例について説明する。

［０６０９］

図３４Ａに示す画素回路５１Ａは、トランジスタ５２Ａ、トランジスタ５２Ｂ、および容量素子５３を図示している。また図３４Ａでは、画素回路５１Ａに接続される発光デバイス６１を図示している。また、画素回路５１Ａには、配線ＳＬ、配線ＧＬ、配線ＡＮＯ、および配線ＶＣＯＭが電気的に接続されている。画素回路５１Ａは、図３３Ａに示す画素回路５１からトランジスタ５２Ｃを除き、かつ、配線ＧＬ１および配線ＧＬ２を配線ＧＬに置き換えた構成を有している。

［０６１０］

トランジスタ５２Ａは、ゲートが配線ＧＬと、ソースおよびドレインの一方が配線ＳＬと、他方がトランジスタ５２Ｂのゲート、および容量素子５３の一方の電極と、それぞれ電気的に接続されている。トランジスタ５２Ｂは、ソースおよびドレインの一方が配線ＡＮＯと、他方が発光デバイス６１のアノードと、それぞれ電気的に接続されている。容量素子５３は、他方の電極が発光デバイス６１のアノードと電気的に接続されている。発光デバイス６１は、カソードが配線ＶＣＯＭと電気的に接続されている。

［０６１１］

図３４Ｂに示す画素回路５１Ｂは、画素回路５１Ａに、トランジスタ５２Ｃを追加した構成である。また画素回路５１Ｂには、配線Ｖ０が電気的に接続されている。

［０６１２］

図３４Ｃに示す画素回路５１Ｃは、上記画素回路５１Ａのトランジスタ５２Ａおよびトランジスタ５２Ｂに、一対のゲートが電気的に接続されたトランジスタを適用した場合の例である。また、図３４Ｄに示す画素回路５１Ｄは、画素回路５１Ｂに当該トランジスタを適用した場合の例である。これにより、トランジスタが流すことのできる電流を増大させることができる。なお、ここでは全てのトランジスタに、一対のゲートが電気的に接続されたトランジスタを適用したが、これに限られない。また、一対のゲートを有し、且つこれらが異なる配線と電気的に接続されるトランジスタを適用してもよい。例えば、ゲートの一方とソースとが電気的に接続されたトランジスタを用いることで、信頼性を高めることができる。

［０６１３］

図３５Ａに示す画素回路５１Ｅは、上記の画素回路５１Ｂに、トランジスタ５２Ｄを追加した構成である。また、画素回路５１Ｅには、ゲート線として機能する配線ＧＬ１、配線ＧＬ２、および配線ＧＬ３が電気的に接続されている。なお、本実施の形態などにおいて、配線ＧＬ１、配線ＧＬ２、および配線ＧＬ３をまとめて配線ＧＬと呼ぶ場合がある。よって、配線ＧＬは１本に限らず、複数本の

場合がある。

［０６１４］

トランジスタ５２Ｄは、ゲートが配線ＧＬ３と、ソースおよびドレインの一方がトランジスタ５２Ｂのゲートと、他方が配線Ｖ０と、それぞれ電気的に接続されている。また、トランジスタ５２Ａのゲートが配線ＧＬ１と、トランジスタ５２Ｃのゲートが配線ＧＬ２と、それぞれ電気的に接続されている。

［０６１５］

トランジスタ５２Ｃとトランジスタ５２Ｄを同時に導通状態とさせることで、トランジスタ５２Ｂのソースとゲートが同電位となり、トランジスタ５２Ｂを非導通状態とすることができる。これにより、発光デバイス６１に流れる電流を強制的に遮断することができる。このような画素回路は、表示期間と消灯期間を交互に設ける表示方法を用いる場合に適している。

［０６１６］

図３５Ｂに示す画素回路５１Ｆは、上記画素回路５１Ｅに容量素子５３Ａを追加した場合の例である。容量素子５３Ａは保持容量として機能する。

［０６１７］

図３５Ｃに示す画素回路５１Ｇ、および図３５Ｄに示す画素回路５１Ｈは、それぞれ上記画素回路５１Ｅまたは画素回路５１Ｆに、一対のゲートを有するトランジスタを適用した場合の例である。トランジスタ５２Ａ、トランジスタ５２Ｃ、トランジスタ５２Ｄには、一対のゲートが電気的に接続されたトランジスタが適用され、トランジスタ５２Ｂには、一方のゲートがソースと電気的に接続されたトランジスタが適用されている。

［０６１８］

＜変形例１＞

図３６Ａおよび図３６Ｂに表示装置９０Ａの変形例である表示装置９０Ｂの斜視図を示す。図３６Ｂは表示装置９０Ｂが有する各層の構成を説明するための斜視図である。説明の繰り返しを減らすため、主に表示装置９０Ａと異なる点について説明する。

［０６１９］

表示装置９０Ｂは、複数の画素回路５１を含む画素回路群５５と駆動回路６５が重ねて設けられている。表示装置９０Ｂにおいて、画素回路群５５は複数の区画５９に分けられ、駆動回路６５は複数の区画３９に分けられる。複数の区画３９はそれぞれがソースドライバ回路６６とゲートドライバ回路３３を有する。

［０６２０］

図３７Ａに、表示装置９０Ｂが有する画素回路群５５の構成例を示す。図３７Ｂに、表示装置９０Ｂが有する駆動回路６５の構成例を示す。区画５９および区画３９は、それぞれm行ｎ列（mおよびｎは、それぞれ１以上の整数。）のマトリクス状に配置されている。本明細書等において、１行１列目の区画５９を区画５９［１，１］と示し、m行ｎ列目の区画５９を区画５９［m，ｎ］と示す。同様に、１行１列目の区画３９を区画３９［１，１］と示し、m行ｎ列目の区画３９を区画３９［m，ｎ］と示す。図３７Ａおよび図３７Ｂは、mが４で、ｎが８の場合を示している。すなわち、画素回路群５５と駆動回路６５が、それぞれ３２分割されている。

［０６２１］

複数の区画５９のそれぞれは、複数の画素回路５１、複数の配線ＳＬ、および複数の配線ＧＬを有

する。複数の区画５９のそれぞれにおいて、複数の画素回路５１の一は、複数の配線ＳＬの少なくとも一、および複数の配線ＧＬの少なくとも一と、電気的に接続される。

［０６２２］

区画５９の一と区画３９の一は重ねて設けられる（図３７Ｃ参照。）。例えば、区画５９［ｉ，ｊ］（ｉは１以上ｍ以下の整数。ｊは１以上ｎ以下の整数。）と区画３９［ｉ，ｊ］は重ねて設けられる。区画３９［ｉ，ｊ］が有するソースドライバ回路６６［ｉ，ｊ］は、区画５９［ｉ，ｊ］が有する配線ＳＬと電気的に接続する。区画３９［ｉ，ｊ］が有するゲートドライバ回路３３［ｉ，ｊ］は、区画５９［ｉ，ｊ］が有する配線ＧＬと電気的に接続する。ソースドライバ回路６６［ｉ，ｊ］およびゲートドライバ回路３３［ｉ，ｊ］は、区画５９［ｉ，ｊ］が有する複数の画素回路５１を制御する機能を有する。

［０６２３］

区画５９［ｉ，ｊ］と区画３９［ｉ，ｊ］を重ねて設けることで、区画５９［ｉ，ｊ］が有する画素回路５１と、区画３９［ｉ，ｊ］が有するソースドライバ回路６６およびゲートドライバ回路３３との接続距離（配線長）を極めて短くできる。その結果、配線抵抗および寄生容量が減るため、充放電にかかる時間が少なくなり、高速駆動が実現できる。また、消費電力を低減できる。また、小型化および軽量化が実現できる。

［０６２４］

表示装置９０Ｂは、区画３９毎にソースドライバ回路６６およびゲートドライバ回路３３を有する構成である。よって、区画３９に対応する区画５９毎に表示部９３を分割し、画像の書き換えを行うことができる。例えば、表示部９３のうち、画像に変化が生じた区画のみ画像データを書き換え、変化のない区画は画像データを保持することが可能となり、消費電力の低減が実現できる。

［０６２５］

本実施の形態などでは、区画５９毎に分割された表示部９３の１つを副表示部９５と呼ぶ。よって、副表示部９５は区画３９毎に分割された表示部９３の１つでもある。表示部９３は複数の副表示部９５を有する。また、表示部９３は複数の副表示部９５で構成されているとも言える。図３６および図３７を用いて説明した表示装置９０Ｂでは、表示部９３が３２個の副表示部９５に分割される場合を示している（図３６Ａ参照）。副表示部９５は図３３等に示した画素２３０を複数含む。具体的には、１つの副表示部９５は、複数の画素回路５１を含む区画５９の１つと、複数の発光デバイス６１と、を含む。また、１つの区画３９は、１つの副表示部９５に含まれる複数の画素２３０を制御する機能を有する。

［０６２６］

表示装置９０Ｂは、機能回路４０が有するタイミングコントローラ４４によって、画像表示時の駆動周波数を副表示部９５毎に任意に設定できる。機能回路４０は、複数の区画３９および複数の区画５９それぞれの動作を制御する機能を有する。すなわち、機能回路４０は、マトリクス状に配置された複数の副表示部９５それぞれの駆動周波数および動作タイミングを制御する機能を有する。また、機能回路４０は、副表示部間の同期調整を行なう機能を有する。

［０６２７］

区画３９毎にタイミングコントローラ４４１および入出力回路４４２を設けてもよい（図３７Ｄ参照）。入出力回路４４２として、例えば、Ｉ２Ｃ（Ｉｎｔｅｒ－Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）インターフェースなどを用いることができる。図３７Ｃおよび図３７Ｄでは、区画３９［ｉ，

ｊ］が有するタイミングコントローラ４４１を、タイミングコントローラ４４１［ｉ，ｊ］と示している。また、区画３９［ｉ，ｊ］が有する入出力回路４４２を入出力回路４４２［ｉ，ｊ］と示している。

［０６２８］

例えば、機能回路４０は、入出力回路４４２［ｉ，ｊ］に、ゲートドライバ回路３３［ｉ，ｊ］の走査方向および駆動周波数の設定信号、ならびに、解像度を低くする際の画像データ間引き画素数（画像データの書き換え時に、書き換えを行なわない画素の数）などの動作パラメータを供給する。ソースドライバ回路６６［ｉ，ｊ］およびゲートドライバ回路３３［ｉ，ｊ］は、当該動作パラメータに従って動作する。

［０６２９］

副表示部９５が後述する受光素子を有する場合、入出力回路４４２は、受光素子で光電変換された情報を機能回路４０に出力する。

［０６３０］

本発明の一態様にかかる電子装置における表示装置９０Ｂは、画素回路５１と駆動回路６５を積層し、ユーザの視線の動きに応じて副表示部９５毎の駆動周波数を異ならせることで、低消費電力化を図ることができる。

［０６３１］

図３８Ａに、４行８列の副表示部９５を有する表示部９３を示す。また図３８Ａでは、注視点Ｇを中心にする第１領域Ｓ１乃至第３領域Ｓ３を示している。演算部１０３は、複数の副表示部９５のそれぞれを、第１領域Ｓ１または第２領域Ｓ２と重なる第１区域２９Ａと、第３領域Ｓ３と重なる第２区域２９Ｂのいずれかに振り分ける。すなわち、演算部１０３は、複数の区画３９のそれぞれを、第１区域２９Ａまたは第２区域２９Ｂに振り分ける。この場合、第１領域Ｓ１および第２領域Ｓ２と重なる第１区域２９Ａは、注視点Ｇと重なる領域を含む。また、第２区域２９Ｂは第１区域２９Ａの外側に位置する副表示部９５を含む。（図３８Ｂ参照）。

［０６３２］

複数の区画３９それぞれが有する駆動回路（ソースドライバ回路６６およびゲートドライバ回路３３）の動作は機能回路４０により制御される。例えば、第２区域２９Ｂは、前述した安定注視野、誘導視野、および補助視野が含まれる第３領域Ｓ３と重なる区域であり、ユーザの識別力が低い区域である。よって、画像表示時において、単位時間当たりの画像データの書き換え回数（以下、「画像書き換え回数」ともいう。）を、第１区域２９Ａより第２区域２９Ｂを少なくしても、ユーザが感じる実質的な表示品位（以下、「実質的な表示品位」ともいう。）の低下は少ない。すなわち、第２区域２９Ｂに含まれる副表示部９５の駆動周波数（「第２駆動周波数」ともいう。）を第１区域２９Ａに含まれる副表示部９５の駆動周波数（「第１駆動周波数」ともいう。）よりも低くしても、実質的な表示品位の低下は少ない。

［０６３３］

駆動周波数を低くすると、表示装置の消費電力を低減できる。その一方で、駆動周波数を低くすると、表示品位も低下する。特に、動画表示時の表示品位が低下する。本発明の一態様によれば、第２駆動周波数を第１駆動周波数よりも低くすることで、ユーザの視認性が低い区域の消費電力を低減しつつ、実質的な表示品位の低下を抑制できる。本発明の一態様によれば、表示品位の維持と消費電力の低減を両立できる。

［０６３４］

第１駆動周波数は、３０Ｈｚ以上５００Ｈｚ以下、好ましくは６０Ｈｚ以上５００Ｈｚ以下とすればよい。第２駆動周波数は第１駆動周波数以下が好ましく、第１駆動周波数の１／２以下がより好ましく、第１駆動周波数の１／５以下がより好ましい。

［０６３５］

第３領域Ｓ３に重なる副表示部９５のうち、第２区域２９Ｂの外側を第３区域２９Ｃと設定し（図３８Ｃ参照）、第３区域２９Ｃに含まれる副表示部９５の駆動周波数（「第３駆動周波数」ともいう。）を第２区域２９Ｂよりも低くしてもよい。第３駆動周波数は第２駆動周波数以下が好ましく、第２駆動周波数の１／２以下がより好ましく、第２駆動周波数の１／５以下がより好ましい。画像書き換え回数を著しく少なくすることで、消費電力をさらに低減できる。また、必要に応じて、画像データの書き換えを停止してもよい。画像データの書き換えを停止することで、消費電力をさらに低減できる。

［０６３６］

このような駆動方法を行なう場合、画素回路５１を構成するトランジスタにオフ電流が極めて少ないトランジスタを用いると好適である。例えば、画素回路５１を構成するトランジスタにＯＳトランジスタを用いると好適である。ＯＳトランジスタはオフ電流が著しく低いため、画素回路５１に供給された画像データを長期間保持できる。特にトランジスタ５２ＡにＯＳトランジスタを用いると好適である。

［０６３７］

表示部９３に表示する映像シーンが変わる場合など、直前の画像よりも明るさ、コントラスト、または色調などが大きく異なる画像が表示される場合がある。このような場合、第１区域２９Ａと、第１区域２９Ａよりも駆動周波数が低い区域の間で、画像が切り換わるタイミングにずれが生じるため、両区間の間で明るさ、コントラスト、または色調などが大きく異なり、実質的な表示品位が損なわれる恐れがある。このように映像シーンが変わる場合などでは、一旦、第１区域２９Ａ以外の区域も第１区域２９Ａと同じ駆動周波数で画像の書き換えを行ない、その後に第１区域２９Ａ以外の区域の駆動周波数を低下させればよい。

［０６３８］

注視点Ｇの変動量が一定量を越えたと判断した場合、第１区域２９Ａ以外の区域も第１区域２９Ａと同じ駆動周波数で画像の書き換えを行ない、変動量が一定量以内であると判断した場合に、第１区域２９Ａ以外の区域の駆動周波数を低下させてもよい。また、注視点Ｇの変動量が少ないと判断した場合、第１区域２９Ａ以外の区域の駆動周波数をさらに低下させてもよい。

［０６３９］

表示装置９０Ｂが、画像データを一時的に保持する記憶装置であるフレームメモリを有さない場合、もしくは、表示部９３全体に対して１つのフレームメモリを有する場合、第２駆動周波数および第３駆動周波数は、どちらも第１駆動周波数の整数分の１にする必要がある。

［０６４０］

複数の副表示部９５それぞれに対応するフレームメモリを設けることで、第２駆動周波数および第３駆動周波数を第１駆動周波数の整数分の１に限らず、任意の値に設定できる。第２駆動周波数および第３駆動周波数を任意の値に設定することによって、駆動周波数の設定自由度を高めることができる。よって、実質的な表示品位の低下を低減できる。

［０６４１］

なお、表示部９３に設定する区域は、第１区域２９Ａ、第２区域２９Ｂ、および第３区域２９Ｃの３つに限定されない。表示部９３に４以上の区域を設定してもよい。表示部９３に複数の区域を設定し、段階的に駆動周波数を低くすることで、実質的な表示品位の低下をより少なくすることができる。

［０６４２］

第１区域２９Ａに表示する画像に対して、前述したアップコンバート処理を行なってもよい。第１区域２９Ａにアップコンバート処理された画像を表示することで、表示品位を高めることができる。また、第１区域２９Ａ以外の区域に表示する画像に対して、前述したアップコンバート処理を行なってもよい。第１区域２９Ａ以外の区域にアップコンバート処理された画像を表示することで、第１区域２９Ａ以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

［０６４３］

なお、第１区域２９Ａに表示する画像のアップコンバート処理を高精度なアルゴリズムで行ない、第１区域２９Ａ以外の区域に表示する画像のアップコンバート処理を低精度なアルゴリズムで行なってもよい。このような場合においても、第１区域２９Ａ以外の区域の駆動周波数を低下させた場合の実質的な表示品位の低下をより少なくすることができる。

［０６４４］

画像データの解像度が表示部９３の解像度よりも大きい場合、もしくは、高速書き換えと消費電力の低減を優先させたい場合など、目的などに応じて第１区域２９Ａ以外の区域に表示する画像に、ダウンコンバート処理を行なってもよい。例えば、第１区域２９Ａ以外の区域に表示する画像の書き換えを数行おき、数列おき、または数画素おきに行うことにより、高速書き換えと消費電力の低減が実現できる。

［０６４５］

注視点を含む第１区域２９Ａに表示する画像の解像度よりも、第１区域２９Ａ以外の区域に表示する画像の解像度を小さくすることで、映像信号生成（レンダリング）時の負荷が軽減される。このような処理を、「フォービエイテッド・レンダリング（Ｆｏｖｅａｔｅｄ　Ｒｅｎｄｅｒｉｎｇ）」ともいう。第１区域２９Ａ以外の区域の駆動周波数の低減とフォービエイテッド・レンダリングを組み合わせて行うことで、表示品位の低下を抑えながら、さらなる消費電力の低減が実現できる。

［０６４６］

副表示部９５毎に行う画像データの書き換えを、全ての副表示部９５で同時に行うことで、高速書き換えが実現できる。すなわち、区画３９毎に行う画像データの書き換えを、全ての区画３９で同時に行うことで、高速書き換えが実現できる。

［０６４７］

一般に、ソースドライバ回路は、線順次駆動の場合、ゲートドライバ回路が１行分の画素を選択している間に、１行分の全ての画素に、同時に画像データを書き込む。例えば、表示部９３が副表示部９５に分割されておらず、解像度が４０００×２０００画素である場合、ゲートドライバ回路が１行分の画素を選択している間に、ソースドライバ回路は４０００個の画素に画像データを書き込む必要がある。フレーム周波数が１２０Ｈｚの場合、１フレームの時間は約８．３ｍｓｅｃである。よって、ゲートドライバは２０００行を約８．３ｍｓｅｃで選択する必要があり、ゲート線１行が選択される時間、つまり、１画素当たりの画像データの書き込み時間は約４．１７μｓｅｃとなる。すなわち、表示部の解像度が高くなるほど、また、フレーム周波数が高くなるほど、十分な画像データの書

き換え時間の確保が難しくなる。

［０６４８］

本実施の形態で例示した表示装置９０Ｂは、表示部９３が行方向に４分割されている。よって、１つの副表示部９５において、１画素当たりの画像データの書き込み時間を、表示部９３が分割されていない場合より４倍長くできる。本発明の一態様によれば、フレーム周波数を２４０Ｈｚ、さらには３６０Ｈｚにした場合でも画像データの書き換え時間の確保が容易になるため、表示品位の高い表示装置が実現できる。

［０６４９］

本実施の形態で例示した表示装置９０Ｂは、表示部９３が行方向に４分割されているため、ソースドライバ回路と画素回路を電気的に接続する配線ＳＬの長さが４分の１になる。このため、配線ＳＬの抵抗値および寄生容量がそれぞれ４分の１になり、画像データの書き込み（書き換え）に必要な時間を短くすることができる。

［０６５０］

加えて、本実施の形態で例示した表示装置９０Ｂは、表示部９３が列方向に８分割されているため、ゲートドライバ回路と画素回路を電気的に接続する配線ＧＬの長さが８分の１になる。このため、配線ＧＬの抵抗値および寄生容量がそれぞれ８分の１になり、信号の劣化および遅延が改善し、画像データの書き換え時間の確保が容易になる。

［０６５１］

本発明の一態様に係る表示装置９０Ｂによれば、十分な画像データの書き込み時間の確保が容易であるため、表示画像の高速書き換えが実現できる。よって、表示品位の高い表示装置が実現できる。特に、動画表示に優れた表示装置が実現できる。

［０６５２］

ここで、本発明の一態様に係る表示装置９０のシンクライアント（ｔｈｉｎ　ｃｌｉｅｎｔ）への適用について説明しておく。近年、サーバ側で主要な演算処理を実行し、クライアント側では限られた処理のみを行うシンクライアントが注目されている。シンクライアントの実行方式として、ネットワークブート方式、サーバベース方式、ブレードＰＣ方式、およびデスクトップ仮想化（ＶＤＩ）方式などが提唱されている。

［０６５３］

いずれの方式においても、シンクライアントでは、サーバからクライアントへ大量のデータが送信されるため、データ送信時の消費電力が大きくなる。クライアントとして本発明の一態様に係る表示装置９０を含む電子装置を用いることで、データ送信時の省電力化が実現できる。

［０６５４］

なお、本発明の一態様に係る表示装置９０Ｂでは、表示部９３を３２の副表示部９５に分割する場合を例示した。ただし、本発明の一態様に係る表示装置９０Ｂは、３２分割に限らず、１６分割、６４分割、または１２８分割などにしてもよい。表示部９３の分割数を増やすと、ユーザが感じる実質的な表示品位の低下をより少なくすることができる。

［０６５５］

本実施の形態で例示した構成例、およびそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

［０６５６］

（実施の形態６）

本実施の形態では、本発明の一態様の電子機器について、図３９及び図４０を用いて説明する。

［０６５７］

本実施の形態の電子機器は、表示部に本発明の一態様の表示装置を有する。本発明の一態様の表示装置は、高精細化及び高解像度化が容易である。したがって、様々な電子機器の表示部に用いることができる。

［０６５８］

本発明の一態様の半導体装置は、電子機器の表示部以外に適用することもできる。例えば、電子機器の制御部等に、本発明の一態様の半導体装置を用いることで、低消費電力化が可能となり好ましい。

［０６５９］

電子機器として、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０６６０］

特に、本発明の一態様の表示装置は、精細度を高めることが可能なため、比較的小さな表示部を有する電子機器に好適に用いることができる。このような電子機器として、例えば、腕時計型及びブレスレット型の情報端末機（ウェアラブル機器）、並びに、ヘッドマウントディスプレイなどのＶＲ向け機器、メガネ型のＡＲ向け機器、及び、ＭＲ向け機器など、頭部に装着可能なウェアラブル機器等が挙げられる。

［０６６１］

本発明の一態様の表示装置は、ＨＤ（画素数１２８０×７２０）、ＦＨＤ（画素数１９２０×１０８０）、ＷＱＨＤ（画素数２５６０×１４４０）、ＷＱＸＧＡ（画素数２５６０×１６００）、４Ｋ（画素数３８４０×２１６０）、８Ｋ（画素数７６８０×４３２０）といった極めて高い解像度を有していることが好ましい。特に４Ｋ、８Ｋ、またはそれ以上の解像度とすることが好ましい。また、本発明の一態様の表示装置における画素密度（精細度）は、１００ｐｐｉ以上が好ましく、３００ｐｐｉ以上が好ましく、５００ｐｐｉ以上がより好ましく、１０００ｐｐｉ以上がより好ましく、２０００ｐｐｉ以上がより好ましく、３０００ｐｐｉ以上がより好ましく、５０００ｐｐｉ以上がより好ましく、７０００ｐｐｉ以上がさらに好ましい。このように高い解像度及び高い精細度の一方または双方を有する表示装置を用いることで、臨場感及び奥行き感などをより高めることが可能となる。また、本発明の一態様の表示装置の画面比率（アスペクト比）については、特に限定はない。例えば、表示装置は、１：１（正方形）、４：３、１６：９、１６：１０など様々な画面比率に対応することができる。

［０６６２］

本実施の形態の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）を有してもよい。

［０６６３］

本実施の形態の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻

などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０６６４］

図３９Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。

［０６６５］

電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、及び光源６５０８等を有する。表示部６５０２はタッチパネル機能を備える。

［０６６６］

表示部６５０２に、本発明の一態様の表示装置を適用することができる。

［０６６７］

図３９Ｂは、筐体６５０１のマイク６５０６側の端部を含む断面概略図である。

［０６６８］

筐体６５０１の表示面側には透光性を有する保護部材６５１０が設けられ、筐体６５０１と保護部材６５１０に囲まれた空間内に、表示パネル６５１１、光学部材６５１２、タッチセンサパネル６５１３、プリント基板６５１７、バッテリ６５１８等が配置されている。

［０６６９］

保護部材６５１０には、表示パネル６５１１、光学部材６５１２、及びタッチセンサパネル６５１３が接着層（図示しない）により固定されている。

［０６７０］

表示部６５０２よりも外側の領域において、表示パネル６５１１の一部が折り返されており、当該折り返された部分にＦＰＣ６５１５が接続されている。ＦＰＣ６５１５には、ＩＣ６５１６が実装されている。ＦＰＣ６５１５は、プリント基板６５１７に設けられた端子に接続されている。

［０６７１］

表示パネル６５１１には本発明の一態様のフレキシブルディスプレイを適用することができる。そのため、極めて軽量な電子機器を実現できる。また、表示パネル６５１１が極めて薄いため、電子機器の厚さを抑えつつ、大容量のバッテリ６５１８を搭載することもできる。また、表示パネル６５１１の一部を折り返して、画素部の裏側にＦＰＣ６５１５との接続部を配置することにより、狭額縁の電子機器を実現できる。

［０６７２］

図３９Ｃにテレビジョン装置の一例を示す。テレビジョン装置７１００は、筐体７１０１に表示部７０００が組み込まれている。ここでは、スタンド７１０３により筐体７１０１を支持した構成を示している。

［０６７３］

表示部７０００に、本発明の一態様の表示装置を適用することができる。

［０６７４］

図３９Ｃに示すテレビジョン装置７１００の操作は、筐体７１０１が備える操作スイッチ、及び、別体のリモコン操作機７１１１により行うことができる。または、表示部７０００にタッチセンサを備えていてもよく、指等で表示部７０００に触れることでテレビジョン装置７１００を操作しても

よい。リモコン操作機７１１１は、当該リモコン操作機７１１１から出力する情報を表示する表示部を有してもよい。リモコン操作機７１１１が備える操作キーまたはタッチパネルにより、チャンネル及び音量の操作を行うことができ、表示部７０００に表示される映像を操作することができる。

［０６７５］

なお、テレビジョン装置７１００は、受信機及びモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間など）の情報通信を行うことも可能である。

［０６７６］

図３９Ｄに、ノート型パーソナルコンピュータの一例を示す。ノート型パーソナルコンピュータ７２００は、筐体７２１１、キーボード７２１２、ポインティングデバイス７２１３、外部接続ポート７２１４等を有する。筐体７２１１に、表示部７０００が組み込まれている。

［０６７７］

表示部７０００に、本発明の一態様の表示装置を適用することができる。

［０６７８］

図３９Ｅ及び図３９Ｆに、デジタルサイネージの一例を示す。

［０６７９］

図３９Ｅに示すデジタルサイネージ７３００は、筐体７３０１、表示部７０００、及びスピーカ７３０３等を有する。さらに、ＬＥＤランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

［０６８０］

図３９Ｆは円柱状の柱７４０１に取り付けられたデジタルサイネージ７４００である。デジタルサイネージ７４００は、柱７４０１の曲面に沿って設けられた表示部７０００を有する。

［０６８１］

図３９Ｅ及び図３９Ｆにおいて、表示部７０００に、本発明の一態様の表示装置を適用することができる。

［０６８２］

表示部７０００が広いほど、一度に提供できる情報量を増やすことができる。また、表示部７０００が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

［０６８３］

表示部７０００にタッチパネルを適用することで、表示部７０００に画像または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

［０６８４］

図３９Ｅ及び図３９Ｆに示すように、デジタルサイネージ７３００またはデジタルサイネージ７４００は、使用者が所持するスマートフォン等の情報端末機７３１１または情報端末機７４１１と無線通信により連携可能であることが好ましい。例えば、表示部７０００に表示される広告の情報を、情報端末機７３１１または情報端末機７４１１の画面に表示させることができる。また、情報端末機７３１１または情報端末機７４１１を操作することで、表示部７０００の表示を切り替えることが

できる。

［０６８５］

デジタルサイネージ７３００またはデジタルサイネージ７４００に、情報端末機７３１１または情報端末機７４１１の画面を操作手段（コントローラ）としたゲームを実行させることもできる。これにより、不特定多数の使用者が同時にゲームに参加し、楽しむことができる。

［０６８６］

図４０Ａ乃至図４０Ｇに示す電子機器は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、または操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を検知、検出、または測定する機能を含むもの）、マイクロフォン９００８、等を有する。

［０６８７］

図４０Ａ乃至図４０Ｇにおいて、表示部９００１に、本発明の一態様の表示装置を適用することができる。

［０６８８］

図４０Ａ乃至図４０Ｇに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有してもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有してもよい。

［０６８９］

図４０Ａ乃至図４０Ｇに示す電子機器の詳細について、以下説明を行う。

［０６９０］

図４０Ａは、携帯情報端末９１０１を示す斜視図である。携帯情報端末９１０１は、例えばスマートフォンとして用いることができる。なお、携帯情報端末９１０１は、スピーカ９００３、接続端子９００６、センサ９００７等を設けてもよい。また、携帯情報端末９１０１は、文字及び画像情報をその複数の面に表示することができる。図４０Ａでは３つのアイコン９０５０を表示した例を示している。また、破線の矩形で示す情報９０５１を表示部９００１の他の面に表示することもできる。情報９０５１の一例として、電子メール、ＳＮＳ、電話などの着信の通知、電子メールまたはＳＮＳなどの題名、送信者名、日時、時刻、バッテリの残量、電波強度などがある。または、情報９０５１が表示されている位置にはアイコン９０５０などを表示してもよい。

［０６９１］

図４０Ｂは、携帯情報端末９１０２を示す斜視図である。携帯情報端末９１０２は、表示部９００１の３面以上に情報を表示する機能を有する。ここでは、情報９０５２、情報９０５３、情報９０５４がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末９１０２を収納した状態で、携帯情報端末９１０２の上方から観察できる位置に表示された情報９０５３を確認することもできる。使用者は、携帯情報端末９１０２をポケットから取り出すことな

く表示を確認し、例えば電話を受けるか否かを判断できる。

［０６９２］

図４０Ｃは、タブレット端末９１０３を示す斜視図である。タブレット端末９１０３は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末９１０３は、筐体９０００の正面に表示部９００１、カメラ９００２、マイクロフォン９００８、スピーカ９００３を有し、筐体９０００の側面には操作用のボタンとしての操作キー９００５、底面には接続端子９００６を有する。

［０６９３］

図４０Ｄは、腕時計型の携帯情報端末９２００を示す斜視図である。携帯情報端末９２００は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部９００１はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末９２００は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末９２００は、接続端子９００６により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

［０６９４］

図４０Ｅ乃至図４０Ｇは、折り畳み可能な携帯情報端末９２０１を示す斜視図である。また、図４０Ｅは携帯情報端末９２０１を展開した状態、図４０Ｇは折り畳んだ状態、図４０Ｆは図４０Ｅと図４０Ｇの一方から他方に変化する途中の状態の斜視図である。携帯情報端末９２０１は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末９２０１が有する表示部９００１は、ヒンジ９０５５によって連結された３つの筐体９０００に支持されている。例えば、表示部９００１は、曲率半径０．１ｍｍ以上１５０ｍｍ以下で曲げることができる。

［０６９５］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０６９６］

（実施の形態７）

本実施の形態では、ｐ行ｑ列（ｐおよびｑは、それぞれ２以上の整数）のマトリクス状に配置された複数の画素２３０を有する副表示部９５の構成例について説明する。図４１Ａは、副表示部９５を説明するブロック図である。副表示部９５は、区画３９に設けられているソースドライバ回路６６およびゲートドライバ回路３３と、電気的に接続される。

［０６９７］

図４１Ａでは、ｐ行１列目の画素２３０を画素２３０［ｐ，１］と示し、１行ｑ列目の画素２３０を画素２３０［１，ｑ］と示し、ｐ行ｑ列目の画素２３０を画素２３０［ｐ，ｑ］と示している。

［０６９８］

ゲートドライバ回路３３に含まれる回路は、例えば走査線駆動回路として機能する。ソースドライバ回路６６に含まれる回路は、例えば信号線駆動回路として機能する。

［０６９９］

例えば、画素２３０を構成するトランジスタにＯＳトランジスタを用い、駆動回路を構成するトランジスタにＳｉトランジスタを用いてもよい。ＯＳトランジスタはオフ電流が小さいため、消費電力を低減できる。また、ＳｉトランジスタはＯＳトランジスタよりも動作速度が速いため、駆動回路に

用いると好適である。また、表示装置によっては、画素２３０を構成するトランジスタと駆動回路を構成するトランジスタの双方にＯＳトランジスタを用いてもよい。また、表示装置によっては、画素２３０を構成するトランジスタと駆動回路を構成するトランジスタの双方にＳｉトランジスタを用いてもよい。または、表示装置によっては、画素２３０を構成するトランジスタにＳｉトランジスタを用い、駆動回路を構成するトランジスタにＯＳトランジスタを用いてもよい。

［０７００］

画素２３０を構成するトランジスタに、Ｓｉトランジスタとトランジスタの双方を用いてもよい。また、駆動回路を構成するトランジスタに、Ｓｉトランジスタとトランジスタの双方を用いてもよい。

［０７０１］

図４１Ａでは、各々が略平行に配設され、かつ、ゲートドライバ回路３３によって電位が制御されるｐ本の配線ＧＬと、各々が略平行に配設され、かつ、ソースドライバ回路６６によって電位が制御されるｑ本の配線ＳＬと、を示している。例えば、ｒ行目（ｒは任意の数を示し、本実施の形態などでは１以上ｐ以下の整数である。）に配置されている画素２３０は、ｒ行目の配線ＧＬを介してゲートドライバ回路３３と電気的に接続される。また、ｓ列目（ｓは任意の数を示し、本実施の形態などでは１以上ｑ以下の整数である。）に配置されている画素２３０は、ｓ列目の配線ＳＬを介してソースドライバ回路６６と電気的に接続される。図４１Ａでは、ｒ行ｓ列目の画素２３０を画素２３０［ｒ，ｓ］と示している。

［０７０２］

なお、１つの行に含まれる画素２３０と電気的に接続する配線ＧＬは１本とは限らない。また、１つの列に含まれる画素２３０と電気的に接続する配線ＳＬは１本とは限らない。また、配線ＧＬと配線ＳＬは一例であり、画素２３０と接続する配線は、配線ＧＬと配線ＳＬに限らない。

［０７０３］

赤色光を制御する画素２３０、緑色光を制御する画素２３０、および青色光を制御する画素２３０をストライプ状に配置し、これらをまとめて１つの画素２４０として機能させ、それぞれの画素２３０の発光量（発光輝度）を制御することで、フルカラー表示が実現できる。言い換えると、当該３つの画素２３０はそれぞれが副画素として機能する。すなわち、３つの副画素は、それぞれが赤色光、緑色光、または青色光の、発光量などを制御する（図４１Ｂ１参照。）。なお、３つの副画素それぞれが制御する光の色は、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の組み合わせに限らず、シアン（Ｃ）、マゼンタ（Ｍ）、黄（Ｙ）であってもよい（図４１Ｂ２参照。）。

［０７０４］

画素２４０を１９２０×１０８０のマトリクス状に配置すると、いわゆる２Ｋ解像度でフルカラー表示可能な表示部９３を実現できる。また、例えば、画素２４０を３８４０×２１６０のマトリクス状に配置すると、いわゆる４Ｋ解像度でフルカラー表示可能な表示部９３を実現できる。また、例えば、画素２４０を７６８０×４３２０のマトリクス状に配置すると、いわゆる８Ｋ解像度でフルカラー表示可能な表示部９３を実現できる。画素２４０を増やすことで、１６Ｋさらには３２Ｋの解像度でフルカラー表示可能な表示部９３を実現することも可能である。

［０７０５］

１つの画素２４０を構成する３つの画素２３０の配置は、デルタ配置でもよい（図４１Ｂ３参照。）。具体的には、１つの画素２４０を構成する３つの画素２３０それぞれの中心点を結ぶ線が、三角形に

なるように配置してもよい。なお、画素２３０の配置は、ストライプ配置およびデルタ配置に限らない。画素２３０の配置を、ジグザグ配置、Ｓストライプ配置、ベイヤー配置、またはペンタイル配置にしてもよい。

［０７０６］

３つの副画素（画素２３０）それぞれの面積は同じでなくてもよい。発光色によって発光効率および信頼性などが異なる場合、発光色毎に副画素の面積を変えてもよい（図４１Ｂ４参照。）。

［０７０７］

４つの副画素をまとめて１つの画素として機能させてもよい。例えば、赤色光、緑色光、青色光をそれぞれ制御する３つの副画素に、白色光を制御する副画素を加えてもよい（図４１Ｂ５参照。）。白色光を制御する副画素を加えることで、表示領域の輝度を高めることができる。また、赤色光、緑色光、青色光をそれぞれ制御する３つの副画素に、黄色光を制御する副画素を加えてもよい（図４１Ｂ６参照。）。また、シアン色光、マゼンタ色光、黄色光をそれぞれ制御する３つの副画素に、白色光を制御する副画素を加えてもよい（図４１Ｂ７参照。）。

［０７０８］

１つの画素として機能させる副画素の数を増やし、赤、緑、青、シアン、マゼンタ、および黄などの光を制御する副画素を適宜組み合わせて用いることにより、中間調の再現性を高めることができる。よって、表示品位を高めることができる。

［０７０９］

本発明の一態様の表示装置は、さまざまな規格の色域を再現できる。例えば、テレビ放送で使われるＰＡＬ（Ｐｈａｓｅ　Ａｌｔｅｒｎａｔｉｎｇ　Ｌｉｎｅ）規格およびＮＴＳＣ（Ｎａｔｉｏｎａｌ　Ｔｅｌｅｖｉｓｉｏｎ　Ｓｙｓｔｅｍ　Ｃｏｍｍｉｔｔｅｅ）規格、パーソナルコンピュータ、デジタルカメラ、プリンタなどの電子装置に用いる表示装置で広く使われているｓＲＧＢ（ｓｔａｎｄａｒｄ　ＲＧＢ）規格およびＡｄｏｂｅ　ＲＧＢ規格、ＨＤＴＶ（Ｈｉｇｈ　Ｄｅｆｉｎｉｔｉｏｎ　Ｔｅｌｅｖｉｓｉｏｎ、ハイビジョンともいう）で使われるＩＴＵ－Ｒ　ＢＴ．７０９（Ｉｎｔｅｒｎａｔｉｏｎａｌ　Ｔｅｌｅｃｏｍｍｕｎｉｃａｔｉｏｎ　Ｕｎｉｏｎ　Ｒａｄｉｏｃｏｍｍｕｎｉｃａｔｉｏｎ　Ｓｅｃｔｏｒ　Ｂｒｏａｄｃａｓｔｉｎｇ　Ｓｅｒｖｉｃｅ（Ｔｅｌｅｖｉｓｉｏｎ）　７０９）規格、デジタルシネマ映写で使われるＤＣＩ－Ｐ３（Ｄｉｇｉｔａｌ　Ｃｉｎｅｍａ　Ｉｎｉｔｉａｔｉｖｅｓ　Ｐ３）規格、ＵＨＤＴＶ（Ｕｌｔｒａ　Ｈｉｇｈ　Ｄｅｆｉｎｉｔｉｏｎ　Ｔｅｌｅｖｉｓｉｏｎ、スーパーハイビジョンともいう）で使われるＩＴＵ－Ｒ　ＢＴ．２０２０（ＲＥＣ．２０２０（Ｒｅｃｏｍｍｅｎｄａｔｉｏｎ　２０２０））規格などの色域を再現することができる。

［０７１０］

１つの画素２４０に受光素子を含む画素２３７を設けてもよい。図４２Ａに示す画素２４０は、緑色の光を呈する画素２３０（Ｇ）、青色の光を呈する画素２３０（Ｂ）、赤色の光を呈する画素２３０（Ｒ）、および、受光素子を有する画素２３７（Ｓ）がストライプ状に配置されている。なお、本明細書などでは、画素２３７を「撮像画素」ともいう。

［０７１１］

画素２３７が有する受光素子は、可視光を検出する素子であることが好ましく、青色、紫色、青紫色、緑色、黄緑色、黄色、橙色、赤色などの色のうち一つまたは複数を検出する素子が好ましい。また、画素２３７が有する受光素子は、赤外光を検出する素子であってもよい。

［０７１２］

図４２Ａに示す画素２４０には、ストライプ配置が適用されている。なお、受光素子を有する画素２３７で特定の色の光を検出する場合は、当該色の光を呈する画素２３０を画素２３７の隣に配置することで検出精度を高めることができ、好ましい。

［０７１３］

図４２Ｂに示す画素２４０には、３つの画素２３０と１つの画素２３７がマトリクス配置されている。図４２Ｂでは、赤の光を呈する画素２３０が受光素子を有する画素２３７と行方向に隣接し、青の光を呈する画素２３０と緑の光を呈する画素２３０が行方向に隣接する例を示すが、これに限定されない。

［０７１４］

図４２Ｃに示す画素２４０には、Ｓストライプ配置に画素２３７を追加した構成を有する。図４２Ｃの画素２４０は、１つの縦長の画素２３０と、２つの横長の画素２３０と、１つの横長の画素２３７と、を有する。なお、縦長の画素２３０は、Ｒ、Ｇ、Ｓのいずれかであってもよく、横長の副画素の並び順にも限定はない。

［０７１５］

図４２Ｄでは、画素２４０ａと画素２４０ｂが交互に配置されている例を示す。画素２４０ａは、青の光を呈する画素２３０、緑の光を呈する画素２３０、および受光素子を有する画素２３７を有する。また、画素２４０ｂは、赤の光を呈する画素２３０、緑の光を呈する画素２３０、および受光素子を有する画素２３７を有する。画素２４０ａと画素２４０ｂを併せて１つの画素２４０として機能する。図４２Ｄでは、画素２４０ａと画素２４０ｂの双方が、緑の光を呈する画素２３０と画素２３７を有しているが、これに限定されない。画素２３７を、画素２４０ａと画素２４０ｂの双方が有することで、撮像画素の精細度を高めることができる。

［０７１６］

図４２Ｅに示すレイアウトとすることで、各副画素の開口率を高めることができ好ましい。また、図４２Ｆでは、画素２３０および画素２３７の上面形状が、六角形である例を示している。

［０７１７］

図４２Ｆに示す画素２４０は、横１列に画素２３０が配置され、その下に画素２３７が配置されている例である。

［０７１８］

図４２Ｇに示す画素２４０は、横１列に画素２３０、および、画素２３０Ｘが配置され、その下に画素２３７が配置されている例である。

［０７１９］

画素２３０Ｘには、例えば、赤外光（ＩＲ）を呈する画素２３０を適用できる。すなわち、画素２３０Ｘは、赤外光（ＩＲ）を発する発光デバイス６１を有する。この場合、画素２３７は、赤外光を検出する受光素子を有することが好ましい。例えば、可視光を発する画素２３０で画像を表示しながら、副画素Ｘが発する赤外光の反射光を画素２３７で検出できる。

［０７２０］

１つの画素２４０に複数の画素２３７を設けてもよい。この場合、複数の画素２３７で検出する光の波長域は同じであってもよく、異なっていてもよい。例えば、複数の画素２３７の一部が可視光を検出し、他の一部が赤外光を検出してもよい。

［０７２１］

画素２３７は全ての画素２４０に設けなくてもよい。一定の画素数毎に、画素２３７を含む画素２４０を設けてもよい。

［０７２２］

画素２３７を用いて、もしくは、画素２３７と前述したセンサ９７を用いて、例えば、指紋、掌紋、虹彩、網膜、脈形状（静脈形状、動脈形状を含む）、または顔などを用いた個人認証のための情報を検出できる。また、画素２３７を用いて、もしくは、画素２３７とセンサ９７を用いて、ユーザの瞬き回数、瞼の挙動、瞳孔の大きさ、体温、脈拍、血液中の酸素飽和度などを計測し、ユーザの疲労度および健康状態などを検出できる。

［０７２３］

ユーザの視線の動き、まばたきの回数、および、まばたきのリズムなどを用いて、電子装置の操作を実現できる。具体的には、画素２３７を用いて、もしくは、画素２３７とセンサ９７を用いて、ユーザの視線の動き、まばたきの回数、および、まばたきのリズムなどの情報を検出し、これらの情報の一もしくは複数の組み合わせを電子装置の操作信号として用いればよい。例えば、まばたきをマウスのクリック動作に置き換えることも可能である。視線の動き、および、まばたきを検出することにより、ユーザは手に何も持たない状態で電子装置の入力操作を行なえる。よって、電子装置の操作性を高めることができる。

［０７２４］

例えば、実施の形態５に記載のメガネ型の電子装置１５０の表示装置９０に複数の撮像画素（画素２３７）を設けることで、当該複数の撮像画素を視線検出部８４として用いることができる。よって、電子装置の構成部品の数を減らすことができる。よって、電子装置の軽量化、生産性向上、およびコストダウンなどが実現できる。

［０７２５］

＜発光デバイスの構成例＞

本発明の一態様に係る表示装置に用いることができる発光デバイス６１について説明する。

［０７２６］

図４３Ａに示すように、発光デバイス６１は、一対の電極（導電層１７１、導電層１７７）の間に、ＥＬ層１７５を備える。ＥＬ層１７５は、層４４２０、発光層４４１１、層４４３０などの複数の層で構成することができる。層４４２０は、例えば電子注入性の高い物質を含む層（電子注入層）および電子輸送性の高い物質を含む層（電子輸送層）などを備えることができる。発光層４４１１は、例えば発光性の化合物を備える。層４４３０は、例えば正孔注入性の高い物質を含む層（正孔注入層）および正孔輸送性の高い物質を含む層（正孔輸送層）を備えることができる。

［０７２７］

一対の電極間に設けられた層４４２０、発光層４４１１および層４４３０を備える構成は単一の発光ユニットとして機能することができ、本明細書などでは図４３Ａの構成をシングル構造と呼ぶ。

［０７２８］

図４３Ｂは、図４３Ａに示す発光デバイス６１が備えるＥＬ層１７５の変形例である。具体的には、図４３Ｂに示す発光デバイス６１は、導電層１７１上の層４４３０－１と、層４４３０－１上の層４４３０－２と、層４４３０－２上の発光層４４１１と、発光層４４１１上の層４４２０－１と、層４４２０－１上の層４４２０－２と、層４４２０－２上の導電層１７７と、を備える。例えば、導電層

１７１を陽極とし、導電層１７７を陰極とした場合、層４４３０－１が正孔注入層として機能し、層４４３０－２が正孔輸送層として機能し、層４４２０－１が電子輸送層として機能し、層４４２０－２が電子注入層として機能する。または、導電層１７１を陰極とし、導電層１７７を陽極とした場合、層４４３０－１が電子注入層として機能し、層４４３０－２が電子輸送層として機能し、層４４２０－１が正孔輸送層として機能し、層４４２０－２が正孔注入層として機能する。このような層構造とすることで、発光層４４１１に効率よくキャリアを注入し、発光層４４１１内におけるキャリアの再結合の効率を高めることが可能となる。

［０７２９］

なお、図４３Ｃに示すように層４４２０と層４４３０との間に複数の発光層（発光層４４１１、発光層４４１２、発光層４４１３）が設けられる構成も、シングル構造の一例である。

［０７３０］

図４３Ｄに示すように、複数の発光ユニット（ＥＬ層１７５ａ、ＥＬ層１７５ｂ）が中間層（電荷発生層）４４４０を介して直列に接続された構成を、本明細書などではタンデム構造またはスタック構造と呼ぶ。なお、タンデム構造とすることで、高輝度発光が可能な発光デバイスが実現できる。

［０７３１］

発光デバイス６１を図４３Ｄに示すタンデム構造にする場合、ＥＬ層１７５ａとＥＬ層１７５ｂそれぞれの発光色を同じにしてもよい。例えば、ＥＬ層１７５ａおよびＥＬ層１７５ｂの発光色を、どちらも緑色にしてもよい。

［０７３２］

なお、赤色光（Ｒ）を発する発光デバイス６１、緑色光（Ｇ）を発する発光デバイス６１、および青色光（Ｂ）を発する発光デバイス６１をそれぞれ副画素として用いて、これら３つの副画素で１つの画素を構成することで、フルカラー表示が実現できる。表示部９３がＲ、Ｇ、Ｂの３種類の副画素を含む場合、それぞれの発光デバイスをタンデム構造としてもよい。具体的には、Ｒの副画素のＥＬ層１７５ａ、およびＥＬ層１７５ｂは、それぞれ、赤色発光が可能な材料を有し、Ｇの副画素のＥＬ層１７５ａ、およびＥＬ層１７５ｂは、それぞれ、緑色発光が可能な材料を有し、Ｂの副画素のＥＬ層１７５ａ、およびＥＬ層１７５ｂは、それぞれ、青色発光が可能な材料を備える。言い換えると、発光層４４１１と発光層４４１２の材料が同じでもよい。ＥＬ層１７５ａとＥＬ層１７５ｂの発光色を同じにすることで、単位発光輝度あたりの電流密度を低減できる。よって、発光デバイス６１の信頼性を高めることができる。

［０７３３］

発光デバイスの発光色は、ＥＬ層１７５を構成する材料によって、赤、緑、青、シアン、マゼンタ、黄または白などとすることができる。また、発光デバイスにマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

［０７３４］

発光層には、Ｒ（赤）、Ｇ（緑）、Ｂ（青）、Ｙ（黄）、Ｏ（橙）などの発光を示す発光物質を２種類以上含んでもよい。白色の光を発する発光デバイスは、発光層に２種類以上の発光物質を含む構成とすることが好ましい。白色発光を得るには、２種類以上の発光物質の各々の発光が混合することにより白色となるような発光物質を選択すればよい。例えば、第１の発光層の発光色と第２の発光層の発光色を補色の関係になるようにすることで、発光デバイス全体として白色発光する発光デバイスを得ることができる。また、発光層を３つ以上備える発光デバイスの場合も同様である。

［０７３５］

発光層には、Ｒ（赤）、Ｇ（緑）、Ｂ（青）、Ｙ（黄）、Ｏ（橙）等の発光を示す発光物質を２種類以上含むことが好ましい。または、発光物質を２種類以上有し、それぞれの発光物質の発光は、Ｒ、Ｇ、Ｂのうち２以上の色のスペクトル成分を含むことが好ましい。また、発光物質として、近赤外光を発する物質を用いることもできる。

［０７３６］

発光物質として、蛍光を発する物質（蛍光材料）、燐光を発する物質（燐光材料）、熱活性化遅延蛍光を示す物質（熱活性化遅延蛍光（Ｔｈｅｒｍａｌｌｙ　Ａｃｔｉｖａｔｅｄ　Ｄｅｌａｙｅｄ　Ｆｌｕｏｒｅｓｃｅｎｃｅ：ＴＡＤＦ）材料）などが挙げられる。発光物質として、有機化合物だけでなく、無機化合物（量子ドット材料など）を用いることができる。

［０７３７］

本実施の形態で例示した構成例、およびそれらに対応する図面等は、少なくともその一部を他の構成例、または図面等と適宜組み合わせることができる。

［符号の説明］

［０７３８］

ＡＮＯ：配線、ＢＳＬ：バス配線、ＢＷ：バス配線、Ｃ３１：容量素子、Ｃ４１：容量素子、ＧＬ：配線、ＩＮＶ：インバータ回路、ＬＡＴ：ラッチ回路、ＬＩＮ：端子、ＭＰＧ：導電層、ＭＴＣＫ：トランジスタ、ＲＯＵＴ：端子、ＳＬ：配線、ＳＭＰ：端子、ＳＮＣＬ：配線、Ｔｒ３１：トランジスタ、Ｔｒ３３：トランジスタ、Ｔｒ３５：トランジスタ、Ｔｒ３６：トランジスタ、Ｔｒ４１：トランジスタ、Ｔｒ４３：トランジスタ、Ｔｒ４５：トランジスタ、Ｔｒ４７：トランジスタ、ＶＣＯＭ：配線、１０Ａ：半導体装置、１０：半導体装置、２０ａ：トランジスタ、２０ｂ：トランジスタ、２０Ｂ：トランジスタ、２０：トランジスタ、２１ａ：半導体層、２１ｂ：半導体層、２１：半導体層、２２：ゲート絶縁層、２３：ゲート電極、２４ａ：ソース電極、２４ｂ：ドレイン電極、２６ａ：延伸部、２６ｂ：延伸部、２６ｃ：延伸部、２８ａ：屈曲部、２８ｂ：屈曲部、２９Ａ：第１区域、２９Ｂ：第２区域、２９Ｃ：第３区域、３０：開口、３１：絶縁層、３２：絶縁層、３３：ゲートドライバ回路、３４：レベルシフタ、３５：増幅回路、３６：検査回路、３７：映像生成回路、３８：映像分配回路、３９：区画、４０：機能回路、４１：記憶装置、４２ａ：色ムラ補正、４２ｂ：アップコンバート、４２：ＧＰＵ、４３：ＥＬ補正回路、４４：タイミングコントローラ、４５：ＣＰＵ、４６：センサコントローラ、４７：電源回路、４８：温度センサ、４９：輝度補正回路、５０Ａ：表示装置、５０Ｂ：表示装置、５１Ａ：画素回路、５１Ｂ：画素回路、５１Ｃ：画素回路、５１Ｄ：画素回路、５１Ｅ：画素回路、５１Ｆ：画素回路、５１Ｇ：画素回路、５１Ｈ：画素回路、５１：画素回路、５２Ａ：トランジスタ、５２Ｂ：トランジスタ、５２Ｃ：トランジスタ、５２Ｄ：トランジスタ、５２：トランジスタ、５３Ａ：容量素子、５３：容量素子、５４：チャネル形成領域、５５：画素回路群、５９：区画、６１：発光デバイス、６２：層、６３：トランジスタ、６４：チャネル形成領域、６５：駆動回路、６６：ソースドライバ回路、６７：デジタルアナログ変換回路、７１：素子層、７３：素子層、７５：素子層、７７：配線層、８０：入出力回路、８１：層、８３：層、８４：視線検出部、８５：通信部、８６：装着部、８７：緩衝部材、８８：レンズ、８９：出力端子、９０＿Ｌ：表示装置、９０＿Ｒ：表示装置、９０Ａ：表示装置、９０Ｂ：表示装置、９０：表示装置、９１：基板、９２：基板、９３：表示部、９４：端子部、９５：副表示部、９７：センサ、９９Ａ：イヤフォン、９９Ｂ：イヤフォン、１００Ａ：トランジスタ、１００Ｃ：トランジスタ、１００：トラ

ンジスタ、１０１：動き検出部、１０２：基板、１０３：演算部、１０４：導電層、１０５：筐体、１０６：絶縁層、１０７：接着層、１０８ｆ：金属酸化物膜、１０８：半導体層、１０９：入力端子、１１０ａ：絶縁層、１１０ａｆ：絶縁膜、１１０ｂ：絶縁層、１１０ｂ１：絶縁層、１１０ｂ２：絶縁層、１１０ｂｆ：絶縁膜、１１０ｃ：絶縁層、１１０ｃｆ：絶縁膜、１１０ｄ１：絶縁層、１１０ｄ２：絶縁層、１１０：絶縁層、１１１：画素電極、１１２ａ：導電層、１１２ｂ：導電層、１１２ｂｆ：導電膜、１１３ａ：第１の層、１１３ｂ：第２の層、１１３ｃ：第３の層、１１４：共通層、１１５：共通電極、１１６：導電層、１１８ａ：マスク層、１１９：基板、１２１：絶縁層、１２３：絶縁層、１２５：絶縁層、１２６ａ：導電層、１２６ｂ：導電層、１２６ｃ：導電層、１２７：絶縁層、１２８：層、１２９ａ：導電層、１２９ｂ：導電層、１２９ｃ：導電層、１３０Ｂ：発光デバイス、１３０Ｇ：発光デバイス、１３０Ｒ：発光デバイス、１３０：発光デバイス、１３１：保護層、１３７：金属酸化物層、１３９：膜、１４０：接続部、１４１：開口、１４３：開口、１４５：開口、１４６ａ：延伸部、１４６ｂ：延伸部、１４６ｃ：延伸部、１４８ａ：屈曲部、１４８ｂ：屈曲部、１４７：絶縁層、１４９：絶縁層、１５０：電子装置、１５１：基板、１５２：基板、１５７：レジストマスク、１５９：レジストマスク、１６２：表示部、１６４：回路部、１６５：導電層、１７１：導電層、１７２：ＦＰＣ、１７３：ＩＣ、１７５ａ：ＥＬ層、１７５ｂ：ＥＬ層、１７５：ＥＬ層、１７７：導電層、１８２ａ：導電層、１８２ｂ：導電層、１８２ｃ：導電層、１９５：絶縁層、２００Ａ：トランジスタ、２００Ｂ：トランジスタ、２００Ｃ：トランジスタ、２００：トランジスタ、２０４：導電層、２０８Ａ：半導体層、２０８：半導体層、２１０：画素、２１２ａ：導電層、２１２ｂ：導電層、２１６：導電層、２３０Ｂ：画素、２３０Ｇ：画素、２３０Ｒ：画素、２３０Ｘ：画素、２３０：画素、２３１：第１駆動回路部、２３２：第２駆動回路部、２３３：絶縁層、２３４：導電層、２３５：絶縁層、２３６：配線、２３７：画素、２３８：配線、２４０ａ：画素、２４０ｂ：画素、２４０：画素、２４７：絶縁層、２４９：絶縁層、３００：トランジスタ、３１０：基板、３１２：素子分離層、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁層、３１６：導電層、３１７：絶縁層、３２０：絶縁層、３２２：絶縁層、３２４：絶縁層、３２６：絶縁層、３２８：導電層、３３０：導電層、３５０：絶縁層、３５２：絶縁層、３５４：絶縁層、３５６：導電層、４４１：タイミングコントローラ、４４２：入出力回路、５００：表示モジュール、５０１：プリント配線板、５０２：端子部、５０３：ワイヤ、５０４：ＦＰＣ、５０５：接続部、５１２：絶縁層、５１４：導電層、５７４：絶縁層、５８１：絶縁層、５９２：絶縁層、５９４：絶縁層、５９６：導電層、５９８：絶縁層、５９９：絶縁層、４４１１：発光層、４４１２：発光層、４４１３：発光層、４４２０：層、４４３０：層、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５１０：保護部材、６５１１：表示パネル、６５１２：光学部材、６５１３：タッチセンサパネル、６５１５：ＦＰＣ、６５１６：ＩＣ、６５１７：プリント基板、６５１８：バッテリ、７０００：表示部、７１００：テレビジョン装置、７１０１：筐体、７１０３：スタンド、７１１１：リモコン操作機、７２００：ノート型パーソナルコンピュータ、７２１１：筐体、７２１２：キーボード、７２１３：ポインティングデバイス、７２１４：外部接続ポート、７３００：デジタルサイネージ、７３０１：筐体、７３０３：スピーカ、７３１１：情報端末機、７４００：デジタルサイネージ、７４０１：柱、７４１１：情報端末機、９０００：筐体、９００１：表示部、９００２：カメラ、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ、９００８：マイクロフォン、９０５０：アイコン、９０５１：情報、９０５２：情報、９０

５３：情報、９０５４：情報、９０５５：ヒンジ、９１０１：携帯情報端末、９１０２：携帯情報端末、９１０３：タブレット端末、９２００：携帯情報端末、９２０１：携帯情報端末

請求の範囲

［請求項１］

第１の絶縁層と、第２の絶縁層と、トランジスタと、を有し、

前記トランジスタは、半導体層、ゲート絶縁層、第１のゲート電極、ソース電極、及びドレイン電極を有し、

前記ソース電極及び前記ドレイン電極は、前記第１の絶縁層上に設けられ、

前記第２の絶縁層は、前記第１の絶縁層に達し、且つ前記ソース電極の一部、及び前記ドレイン電極の一部と重なる開口を有し、

前記半導体層は、前記第２の絶縁層の前記開口における側面、前記第１の絶縁層の前記開口における上面、前記ソース電極の上面、及び前記ドレイン電極の上面に接して設けられ、

前記ゲート絶縁層は、前記半導体層、前記ソース電極、及び前記ドレイン電極上に位置し、

前記第１のゲート電極は、前記開口と重畳し、且つ前記ゲート絶縁層上に位置する、

半導体装置。

［請求項２］

請求項１において、

前記半導体層は、前記開口において、前記ソース電極、及び前記ドレイン電極の一方または双方を覆う、

半導体装置。

［請求項３］

請求項１において、

前記第１の絶縁層と、前記ゲート絶縁層とは、前記開口の底部にて接する部分を有する、

半導体装置。

［請求項４］

請求項１において、

前記半導体層の上面、及び前記第２の絶縁層の上面は、前記ゲート絶縁層に接する、

半導体装置。

［請求項５］

請求項１において、

第２のゲート電極を有し、

前記第２のゲート電極は、前記第２の絶縁層に覆われ、

前記第２の絶縁層の一部は、前記第２のゲート電極の側面と、前記半導体層の間に位置する、

半導体装置。

［請求項６］

請求項５において、

前記ソース電極及び前記ドレイン電極と、前記第２のゲート電極の間に、第３の絶縁層を有する、

半導体装置。

［請求項７］

請求項１において、

前記開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、

半導体装置。

［請求項８］

請求項１において、

前記開口は、複数の延伸部と、少なくとも一以上の屈曲部と、を有し、

前記延伸部は、上面視において一方向に延伸された形状を有し、

前記延伸部の一と、前記延伸部の他の一とは、前記屈曲部を介して接続される、

半導体装置。

［請求項９］

第１の絶縁層と、第２の絶縁層と、第１のトランジスタと、第２のトランジスタと、を有し、

前記第１のトランジスタは、第１の半導体層、第１のゲート絶縁層、第１のゲート電極、第１のソース電極、及び第１のドレイン電極を有し、

前記第１のソース電極及び前記第１のドレイン電極は、前記第１の絶縁層上に設けられ、

前記第２の絶縁層は、前記第１の絶縁層に達し、且つ前記第１のソース電極の一部、及び前記第１のドレイン電極の一部と重なる第１の開口を有し、

前記第１の半導体層は、前記第２の絶縁層の前記第１の開口における側面、前記第１の絶縁層の前記第１の開口における上面、並びに前記第１のソース電極の上面、及び前記第１のドレイン電極の上面に接して設けられ、

前記第１のゲート絶縁層は、前記第１の半導体層、前記第１のソース電極、及び前記第１のドレイン電極上に位置し、

前記第１のゲート電極は、前記第１の開口と重畳し、且つ前記第１のゲート絶縁層上に位置し、

前記第２のトランジスタは、第２の半導体層、前記第１のゲート絶縁層、第２のゲート電極、第２のソース電極、及び第２のドレイン電極を有し、

前記第２のソース電極と、前記第２のドレイン電極と、は異なる高さに位置し、

前記第２の絶縁層は、前記第２のソース電極及び前記第２のドレイン電極の一方に達する第２の開口を有し、

前記第２のソース電極及び前記第２のドレイン電極の他方は、前記第２の絶縁層上に設けられ、

前記第２の半導体層は、前記第２の絶縁層の前記第２の開口における側面、前記第２のソース電極及び前記第２のドレイン電極の一方の上面、並びに前記第２のソース電極及び前記第２のドレイン電極の他方の側面に接して設けられ、

前記第１のゲート絶縁層は、前記第２の半導体層、前記第２のソース電極、及び前記第２のドレイン電極上に位置し、

前記第２のゲート電極は、前記第２の開口と重畳し、且つ前記第１のゲート絶縁層上に位置する、

半導体装置。

［請求項１０］

請求項９において、

前記第１の半導体層は、前記第１の開口において、前記第１のソース電極を覆い、且つ前記第１のドレイン電極を覆う、

半導体装置。

［請求項１１］

請求項９において、

前記第１の絶縁層と、前記第１のゲート絶縁層とは、前記第１の開口の底部にて接する部分を有する、

半導体装置。

［請求項１２］

請求項９において、

前記第１の半導体層の上面、及び前記第２の絶縁層の上面は、前記第１のゲート絶縁層に接する、

半導体装置。

［請求項１３］

請求項９において、

前記第１の開口の輪郭形状が、円形、楕円形、角の丸い四角形、正多角形、正多角形以外の多角形、凹多角形、角の丸い多角形、または直線と曲線とを組み合わせた閉曲線のいずれかである、

半導体装置。

［請求項１４］

請求項９において、

前記第１の開口は、複数の延伸部と、少なくとも一以上の屈曲部と、を有し、

前記延伸部は、上面視において一方向に延伸された形状を有し、

前記延伸部の一と、前記延伸部の他の一とは、前記屈曲部を介して接続される、

半導体装置。

図1A

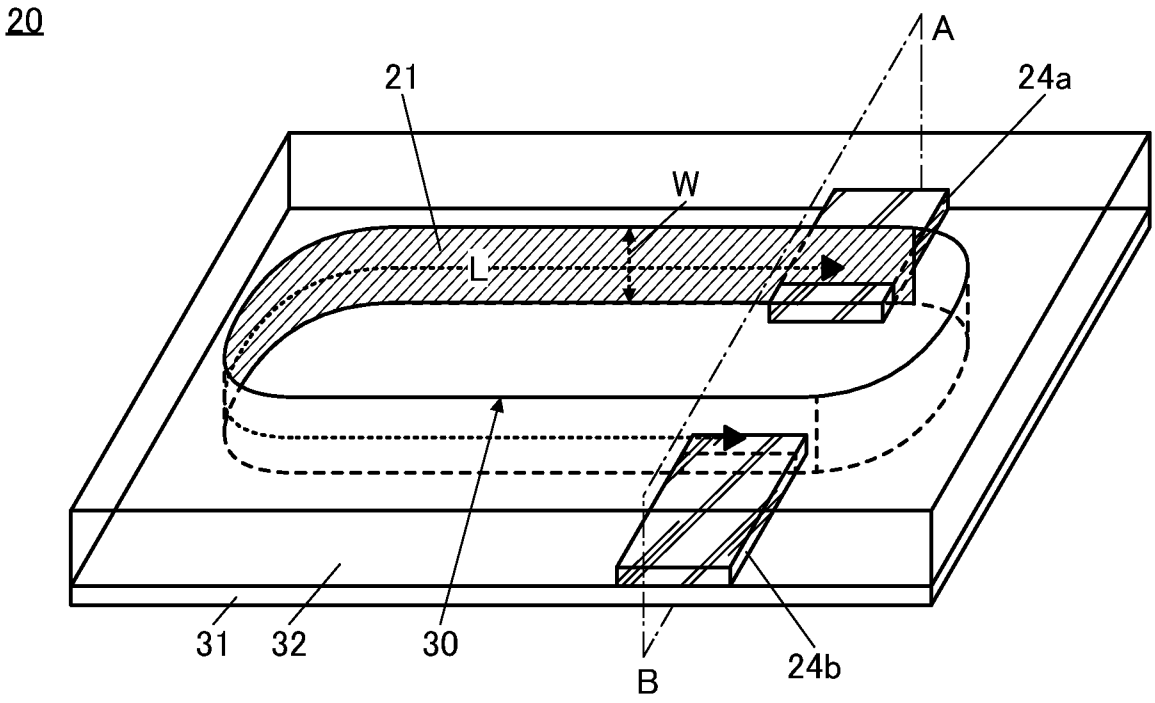


図1B

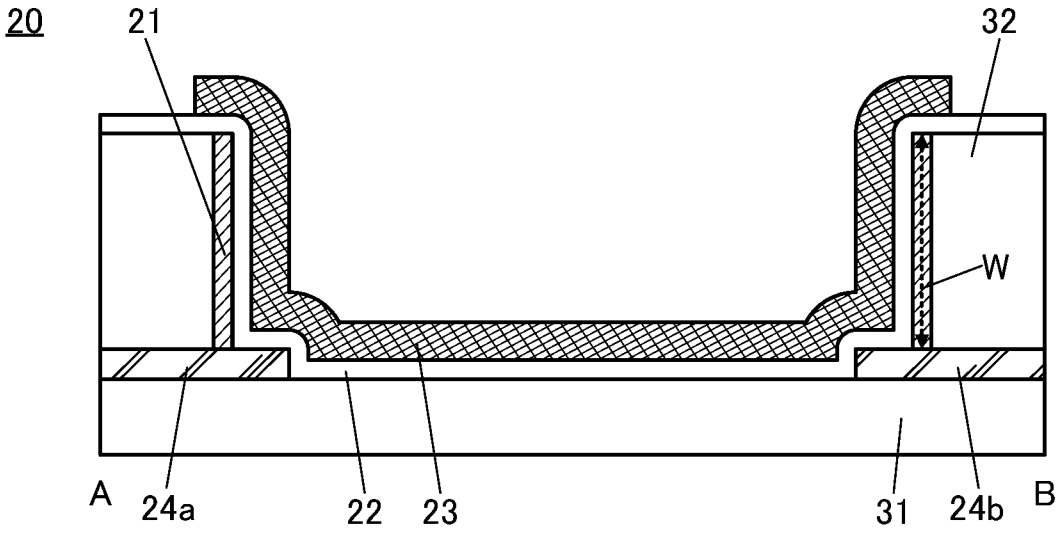


図2A

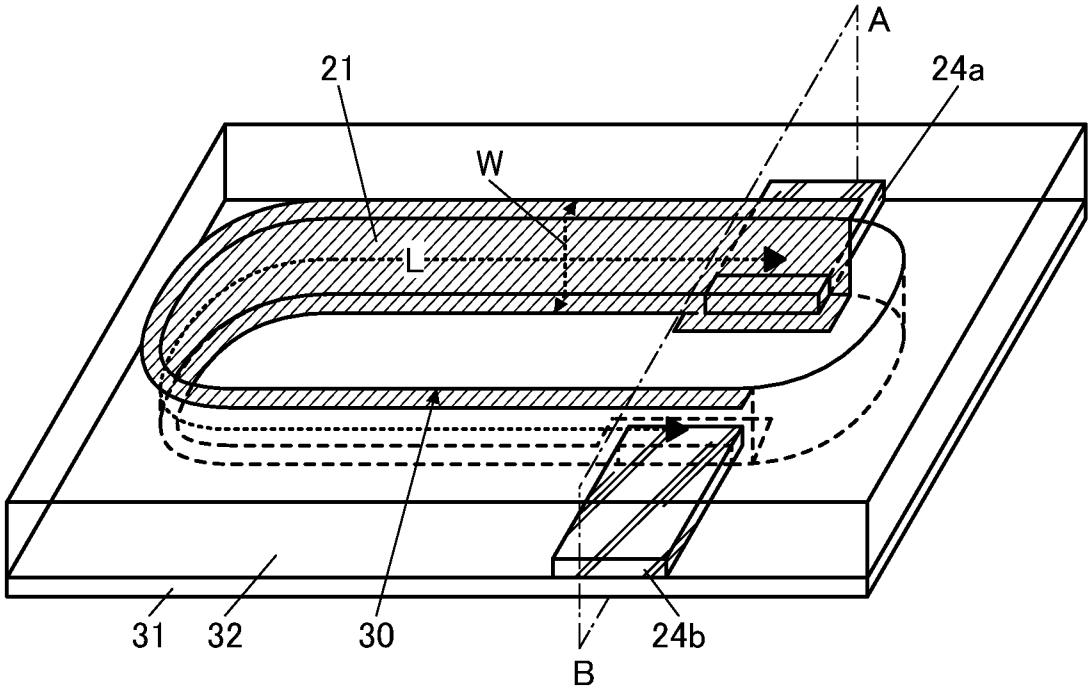


図2B

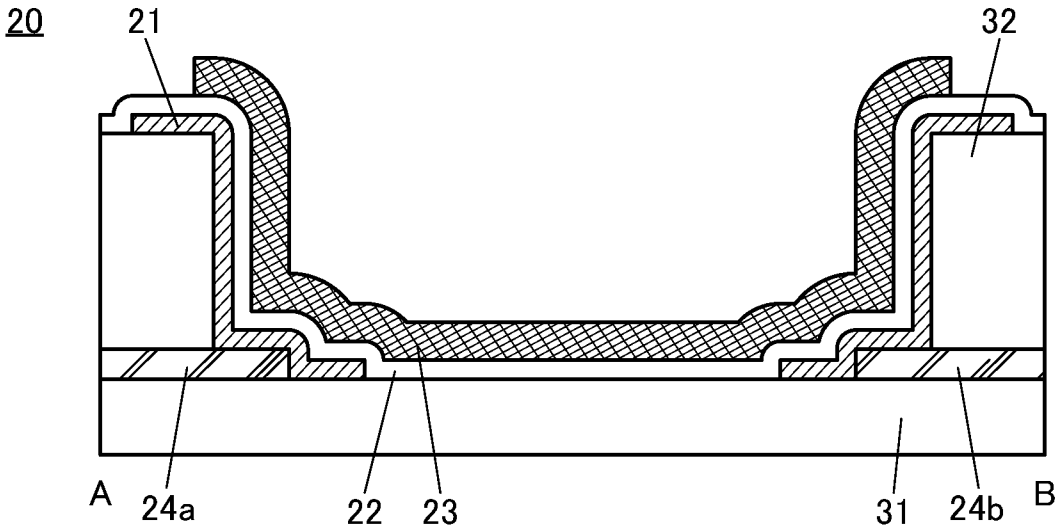


図3A

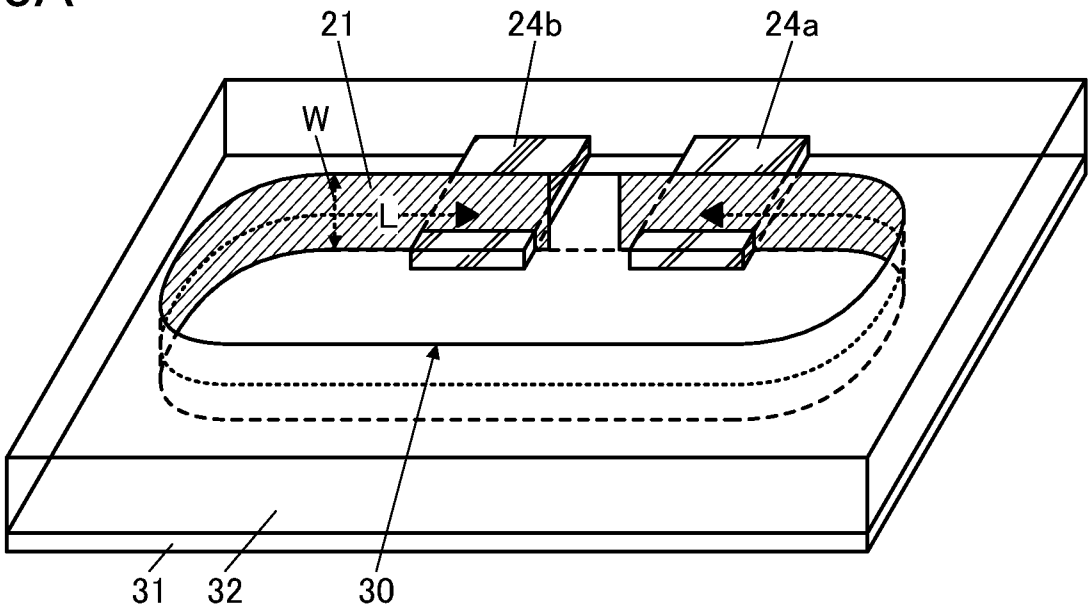


図3B

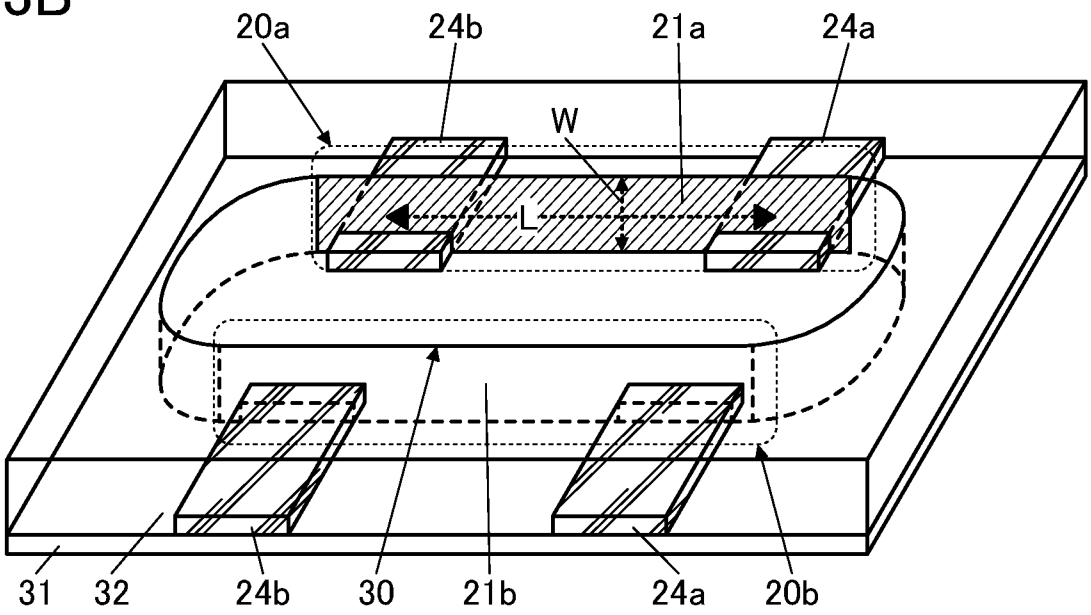


図4A

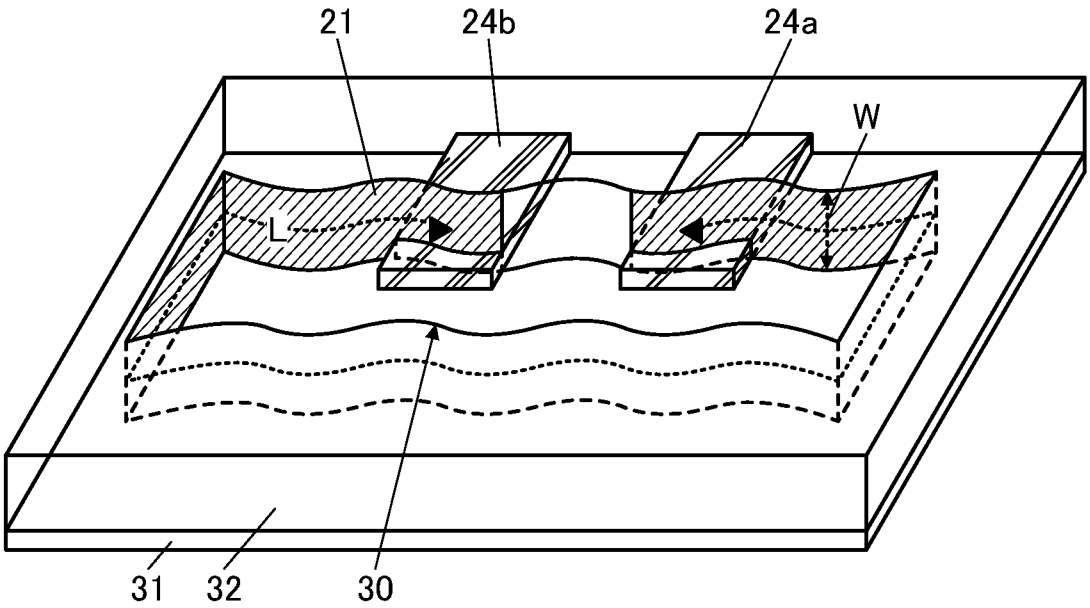


図4B

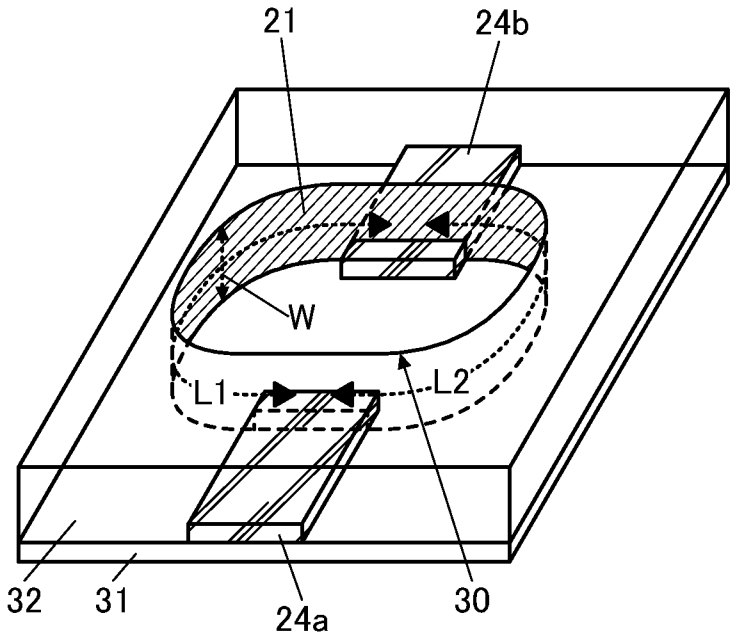


図5A

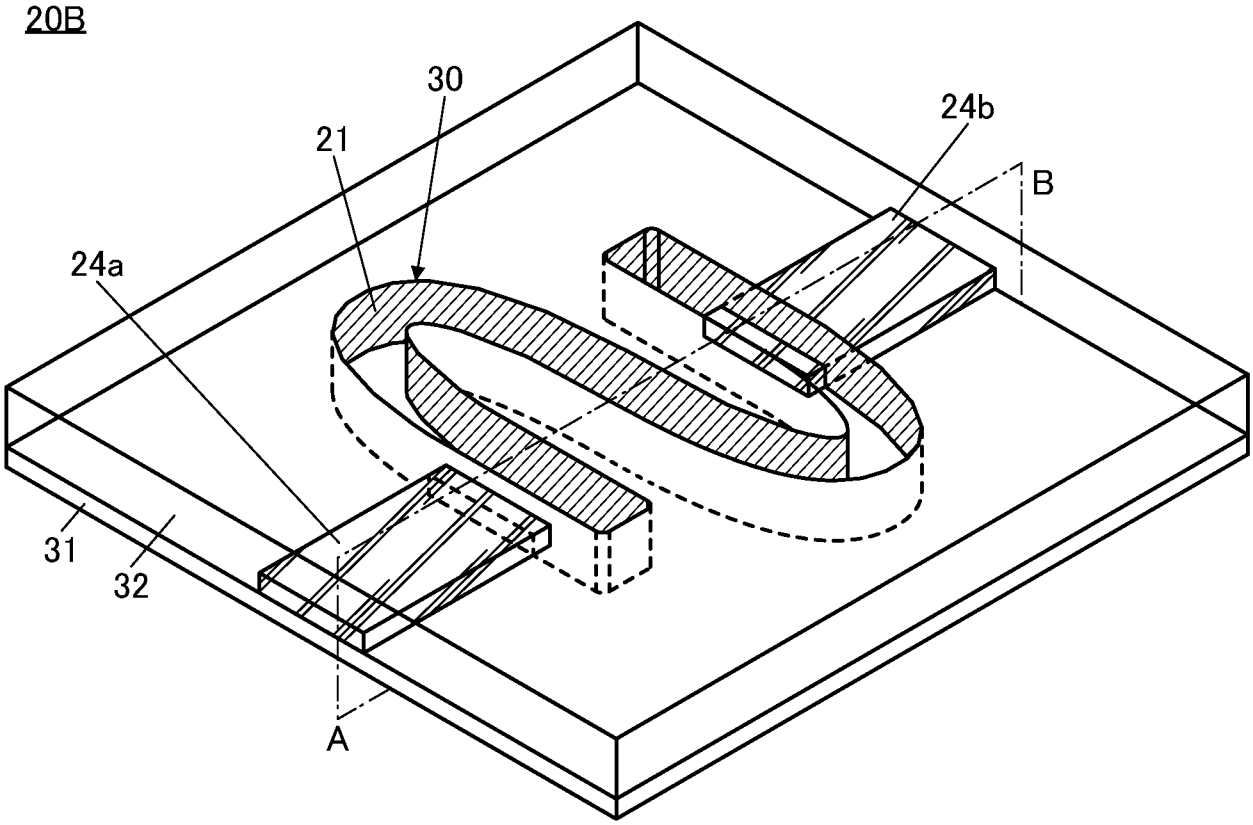


図5B

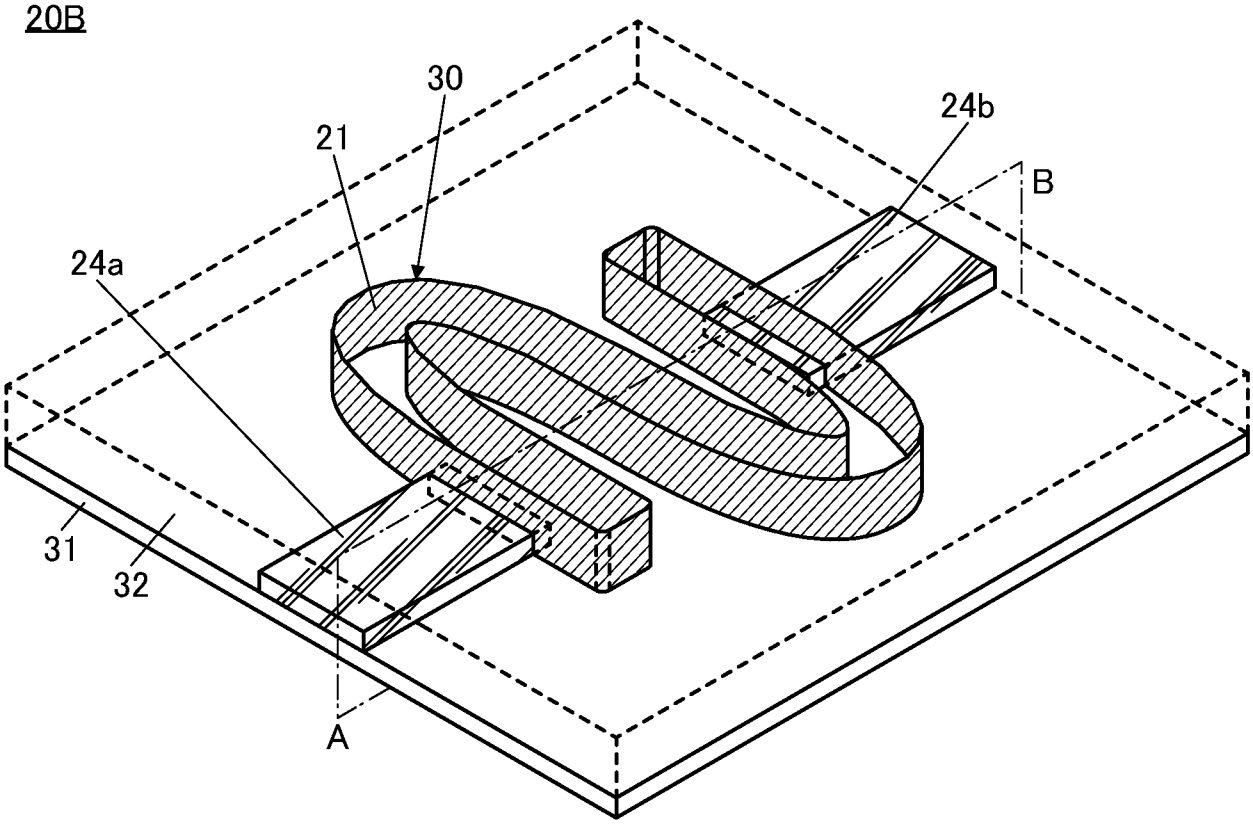


図6A

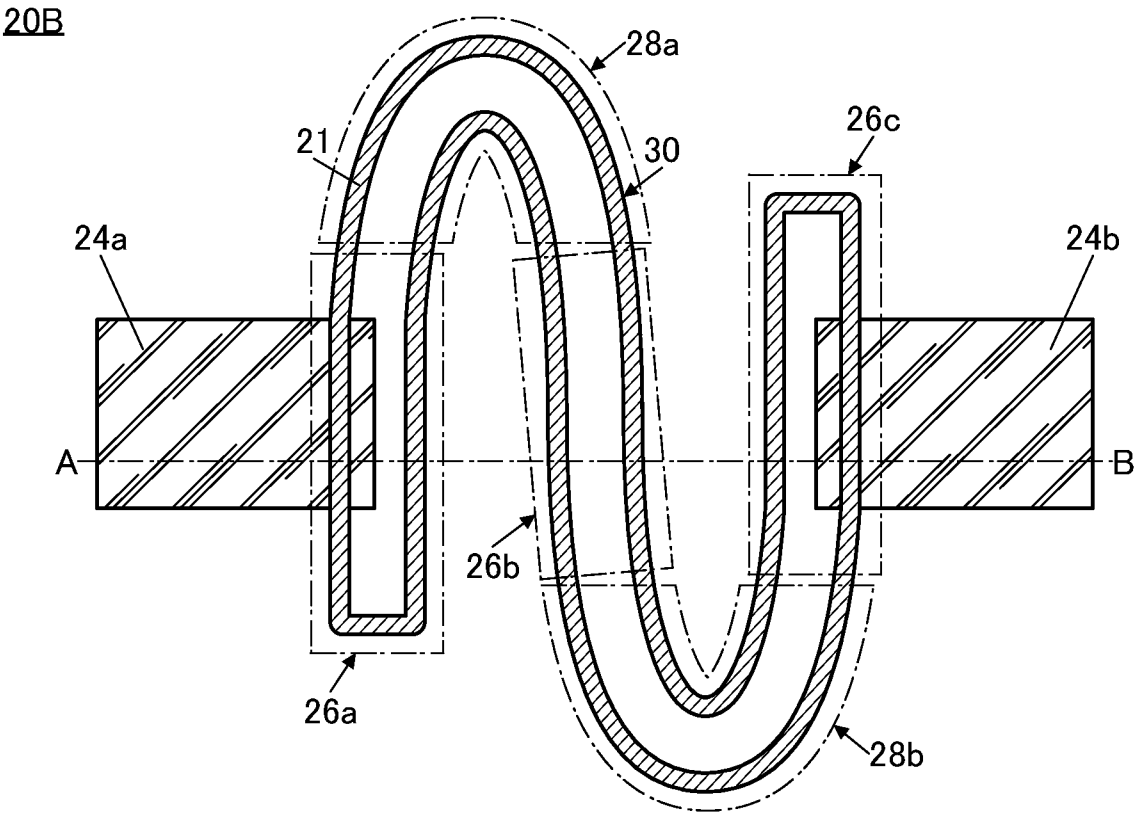

20B
28a
21
30
26c
24a
24b
A
B
26b
26a
28b

図6B

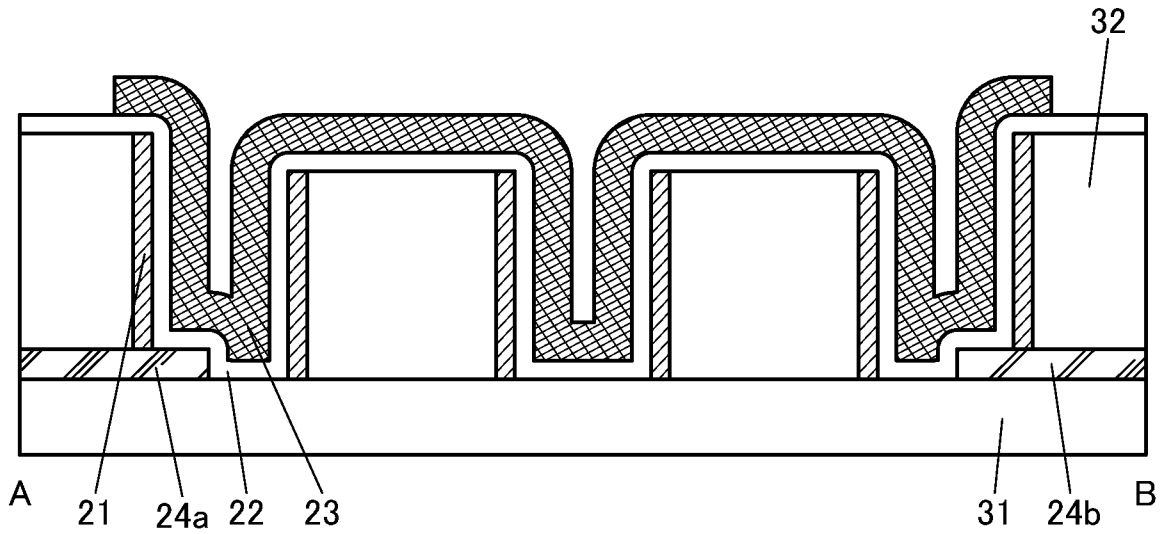

20B
32
A
21
24a
22
23
31
24b
B

図7A

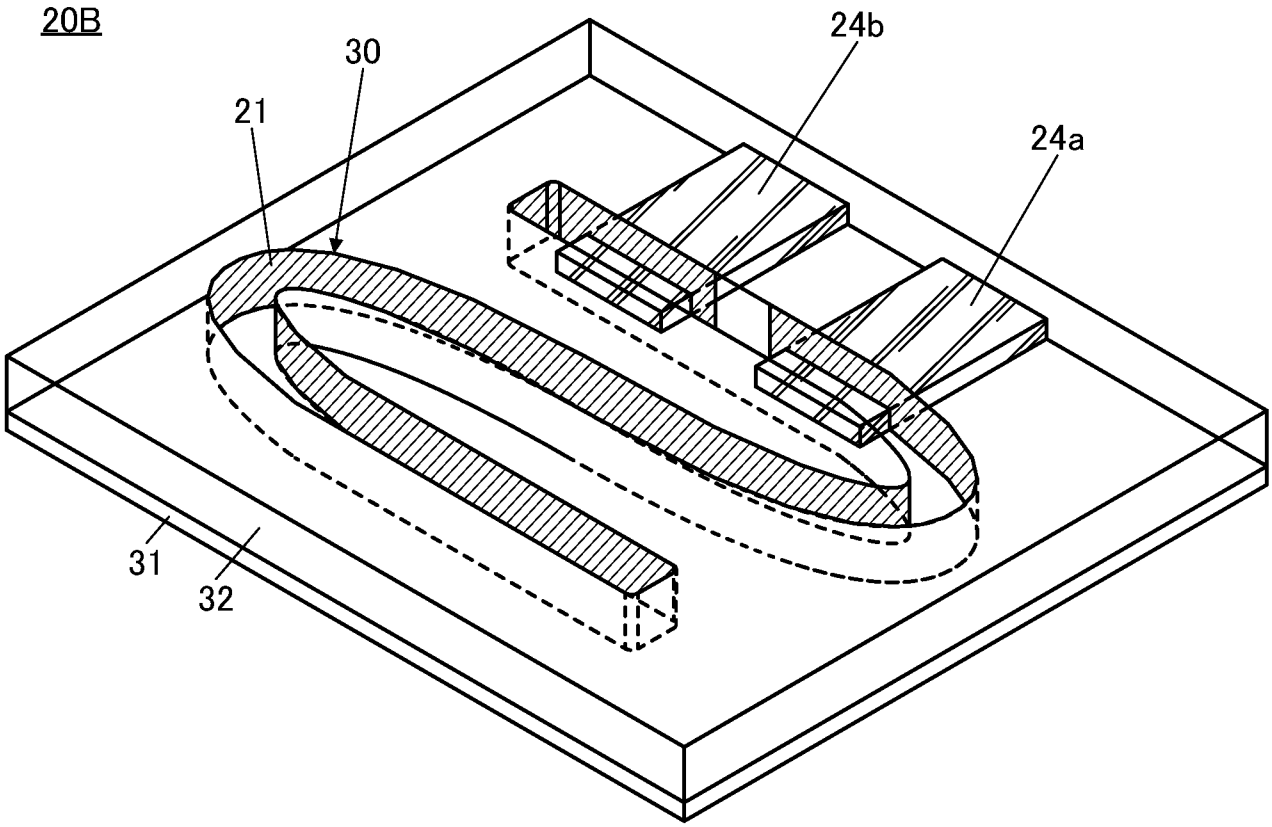


図7B

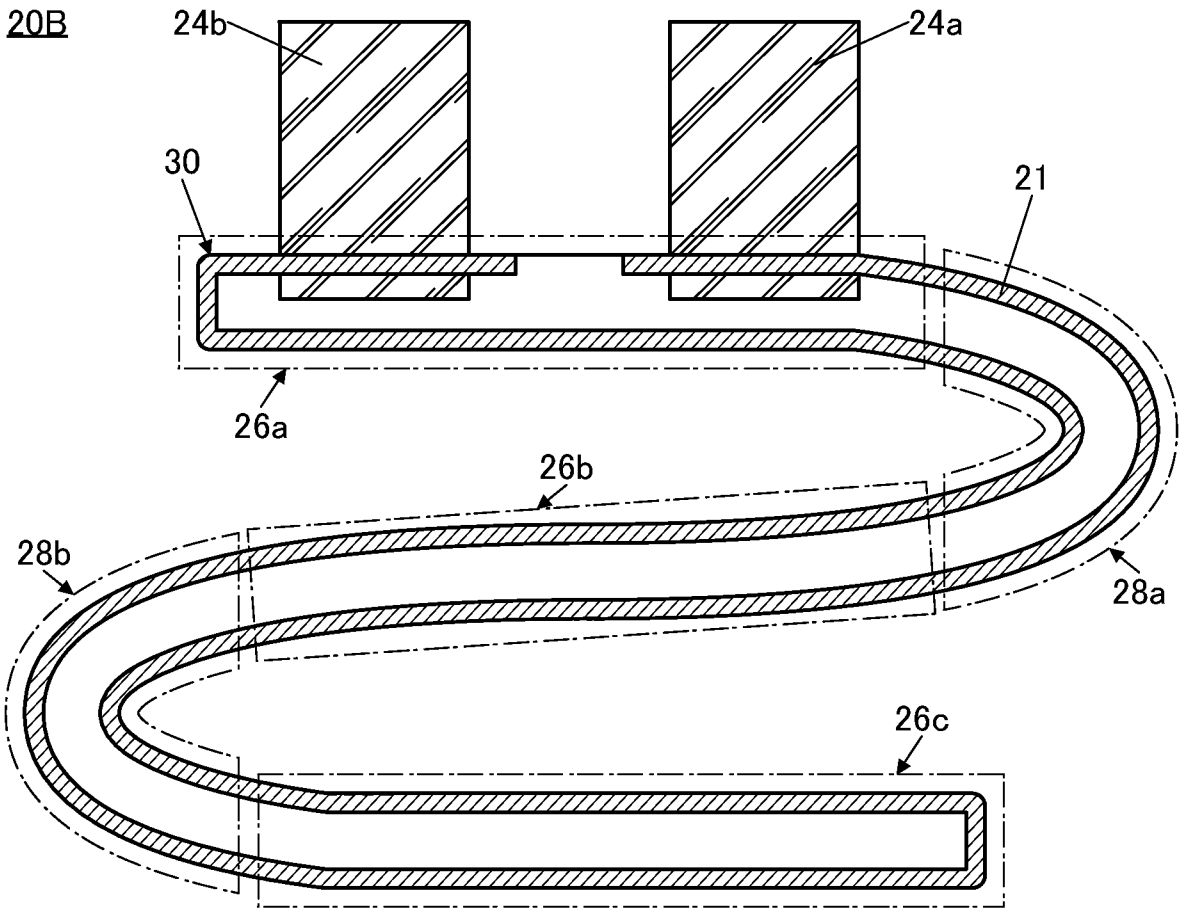


図8A

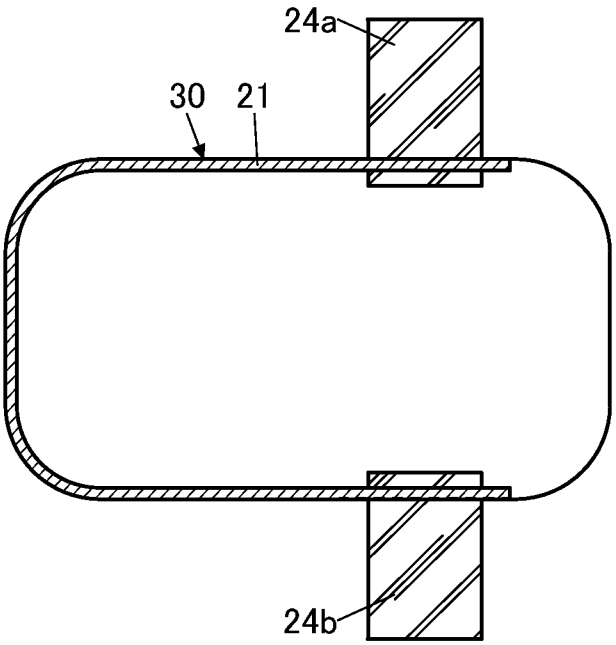


図8B

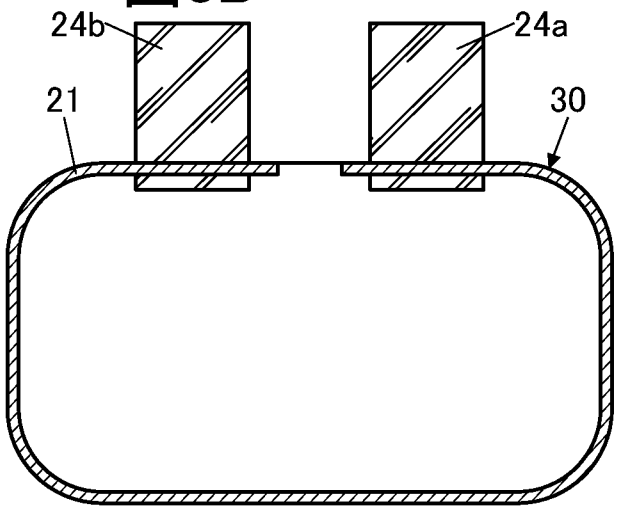


図8C

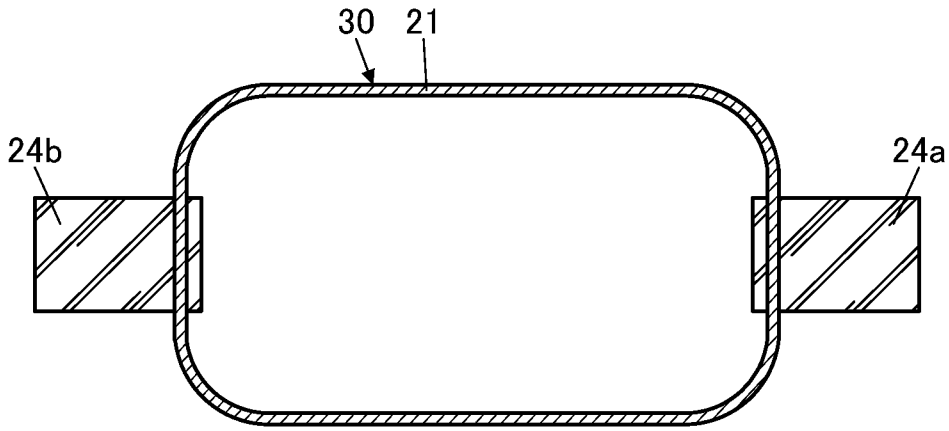


図8D

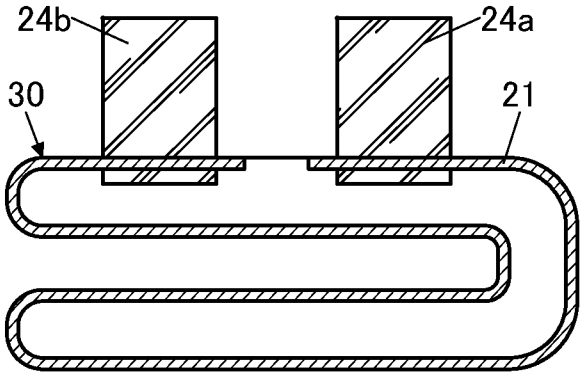


図8E

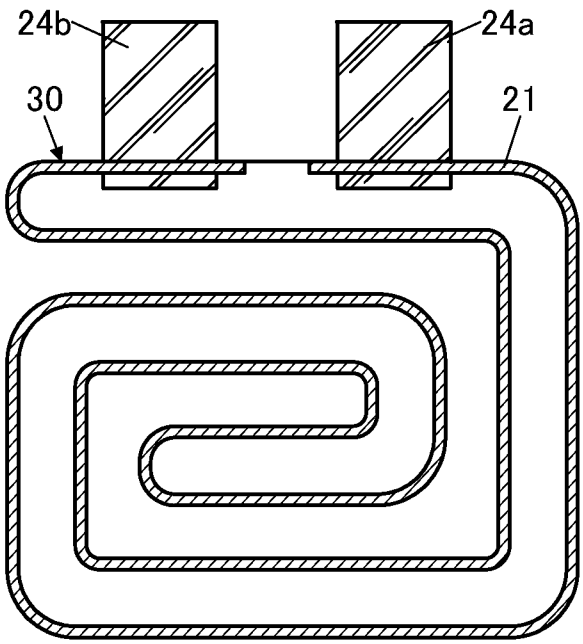


図9A

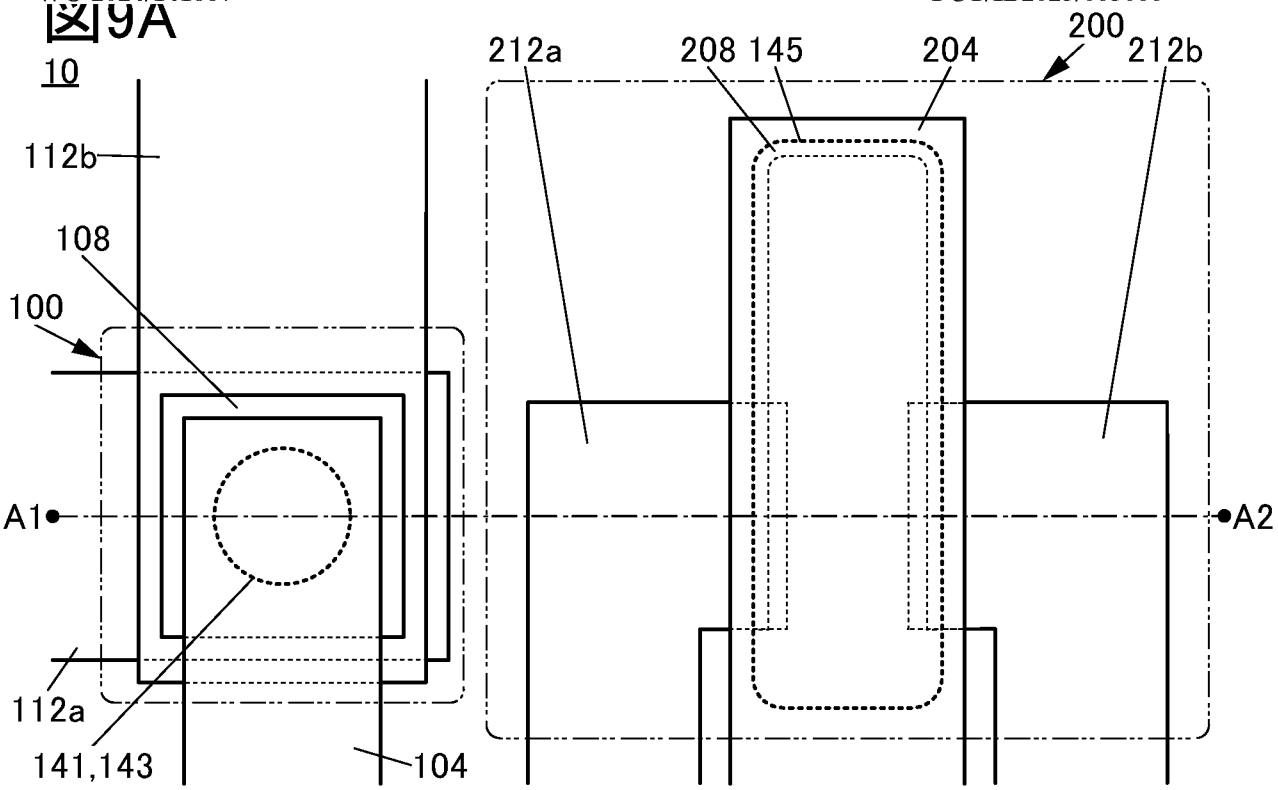

10
212a
208 145
204
200
212b
112b
108
100
A1
A2
112a
141,143
104

図9B

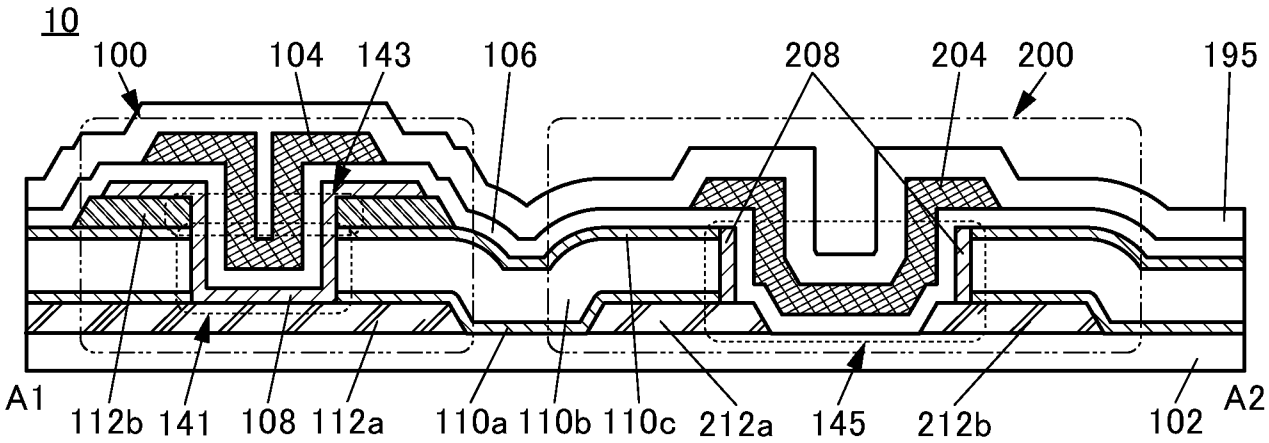

10
100
104
143
106
208
204
200
195
A1
112b
141
108
112a
110a
110b
110c
212a
145
212b
102
A2

図10A

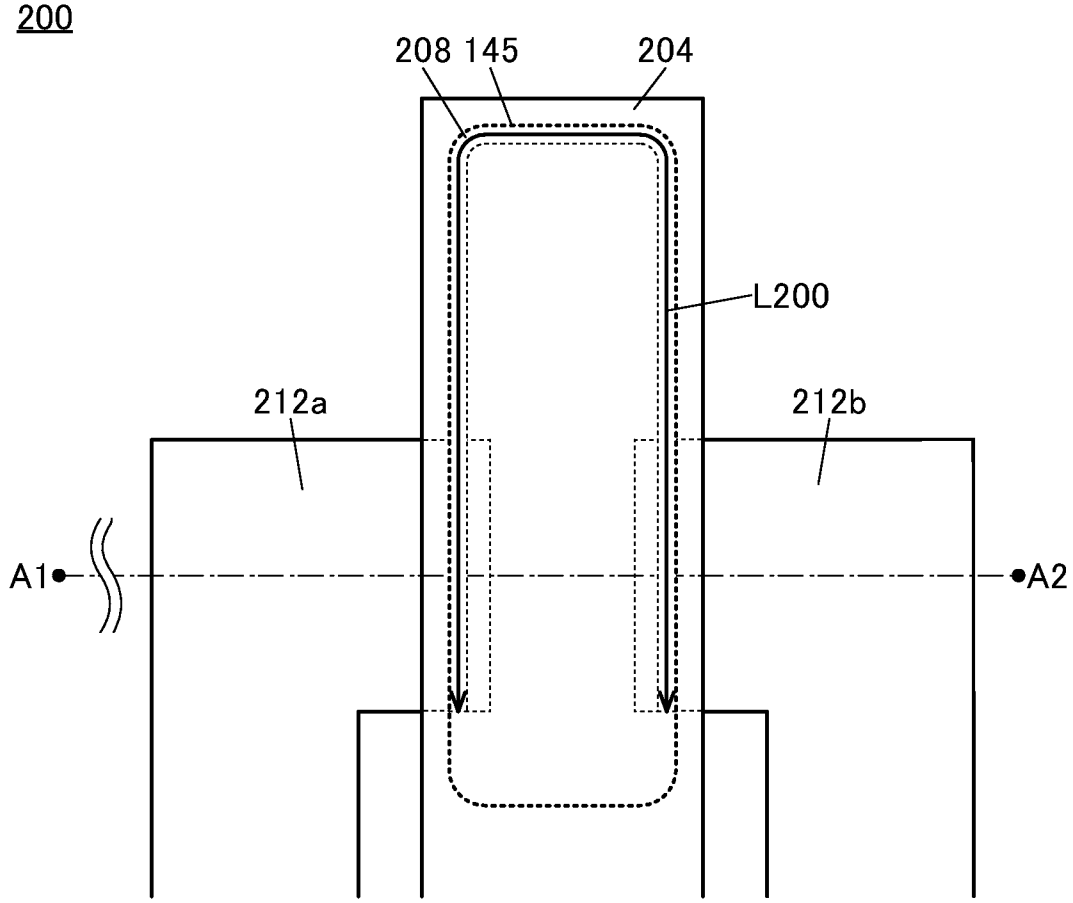

200
208
145
204
L200
212a
212b
A1
A2

図10B

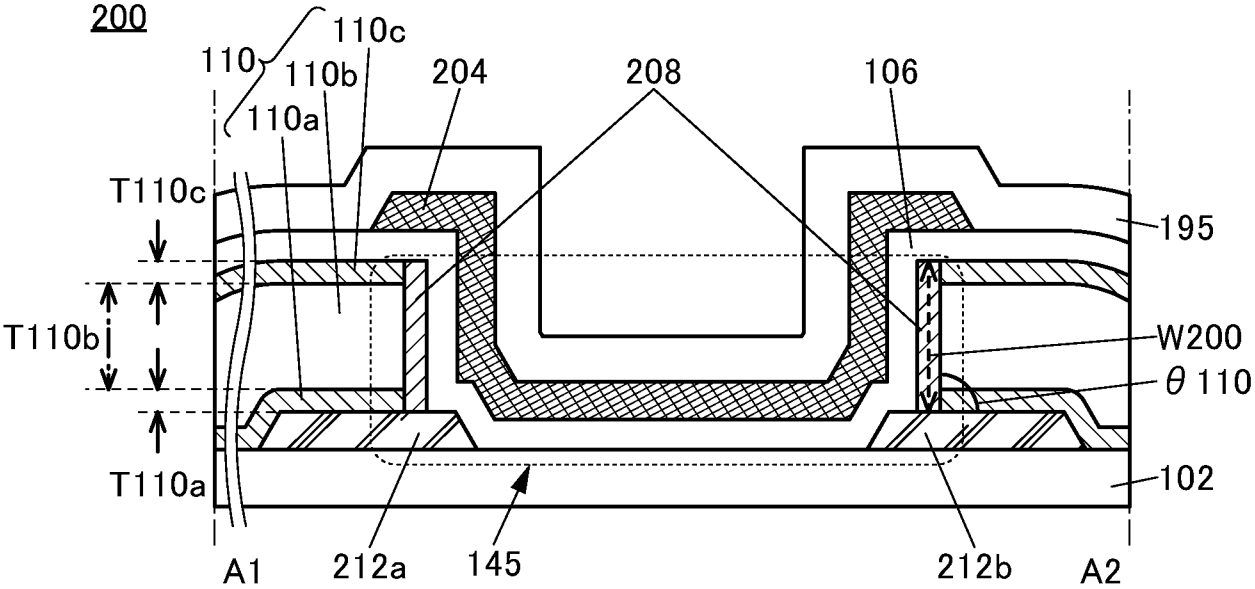

200
110
110c
110b
110a
204
208
106
T110c
T110b
T110a
195
W200
θ 110
102
A1
212a
145
212b
A2

図11A

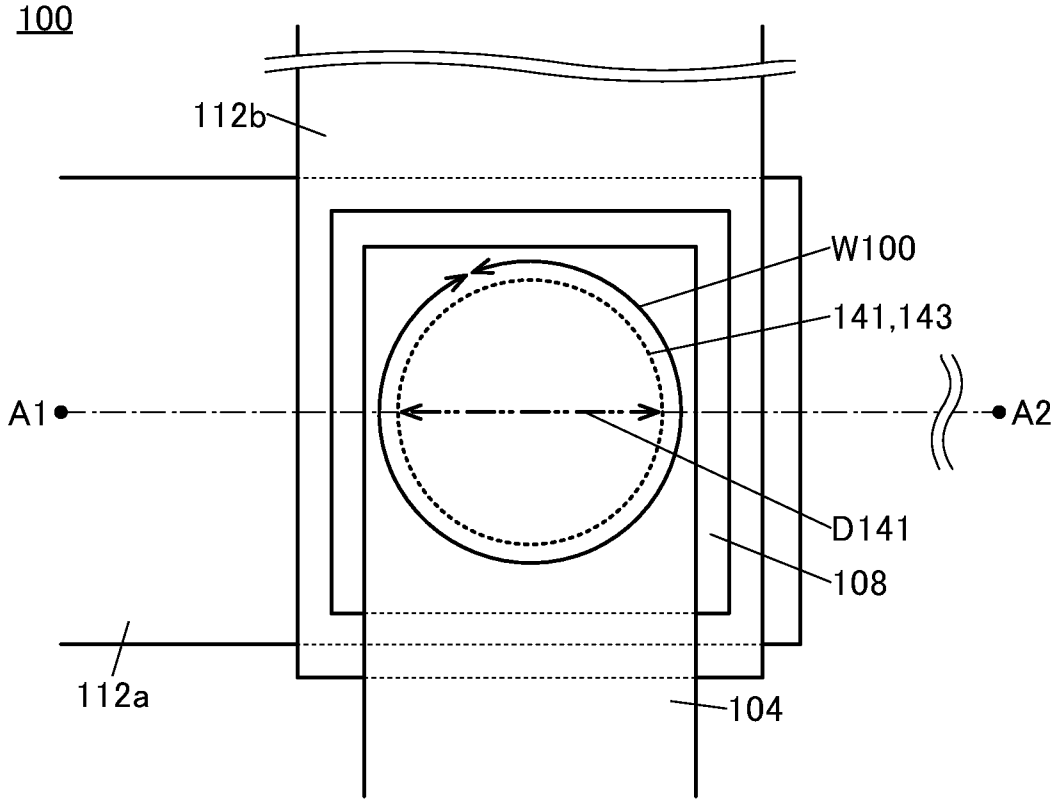

100
112b
W100
141,143
A1
A2
D141
108
112a
104

図11B

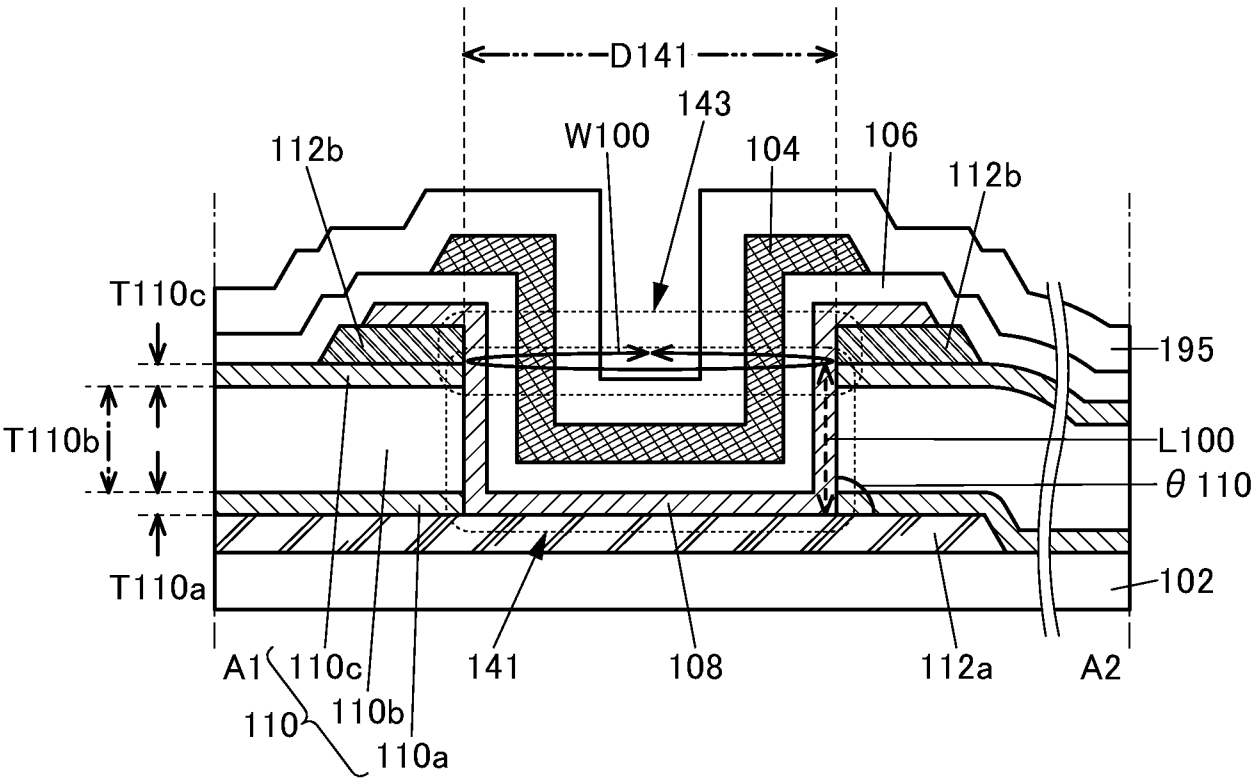

100
D141
143
W100
104
106
112b
112b
T110c
195
T110b
L100
θ 110
T110a
102
A1
110c
141
108
112a
A2
110
110b
110a

図12A

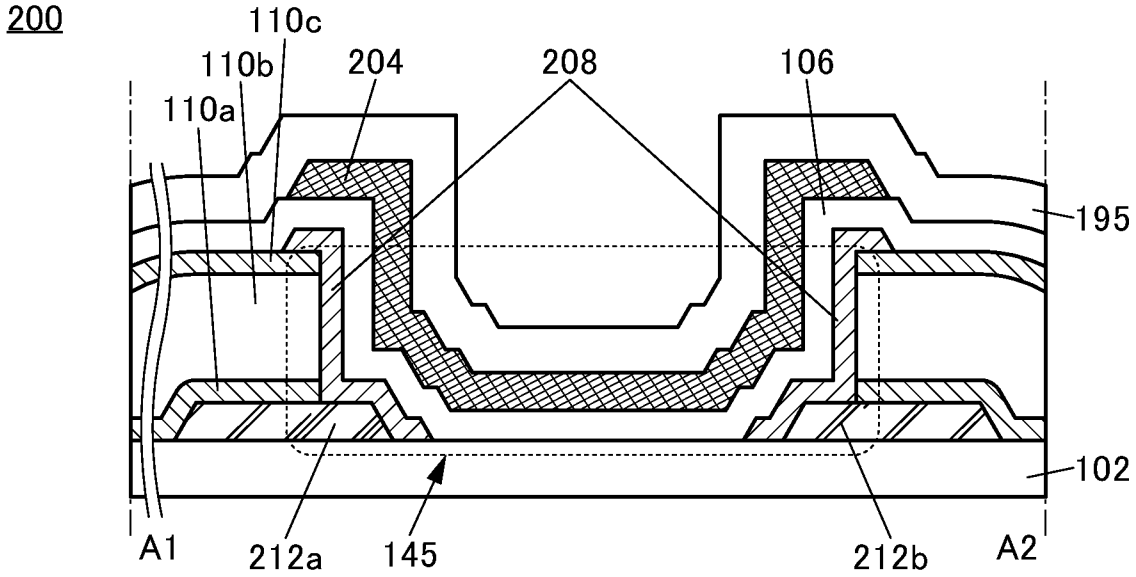


図12B

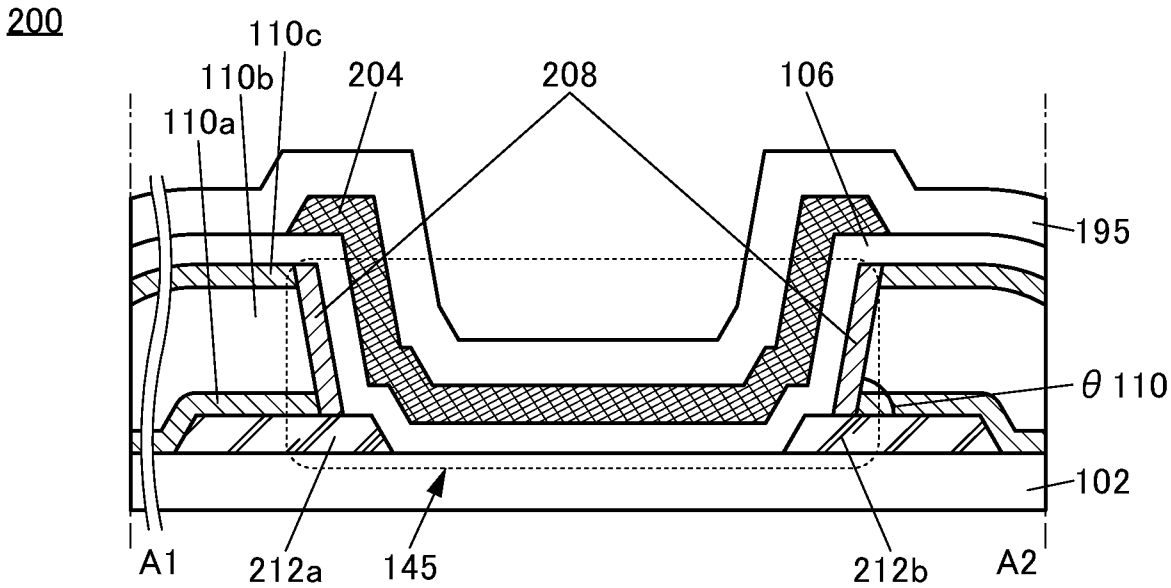


図12C

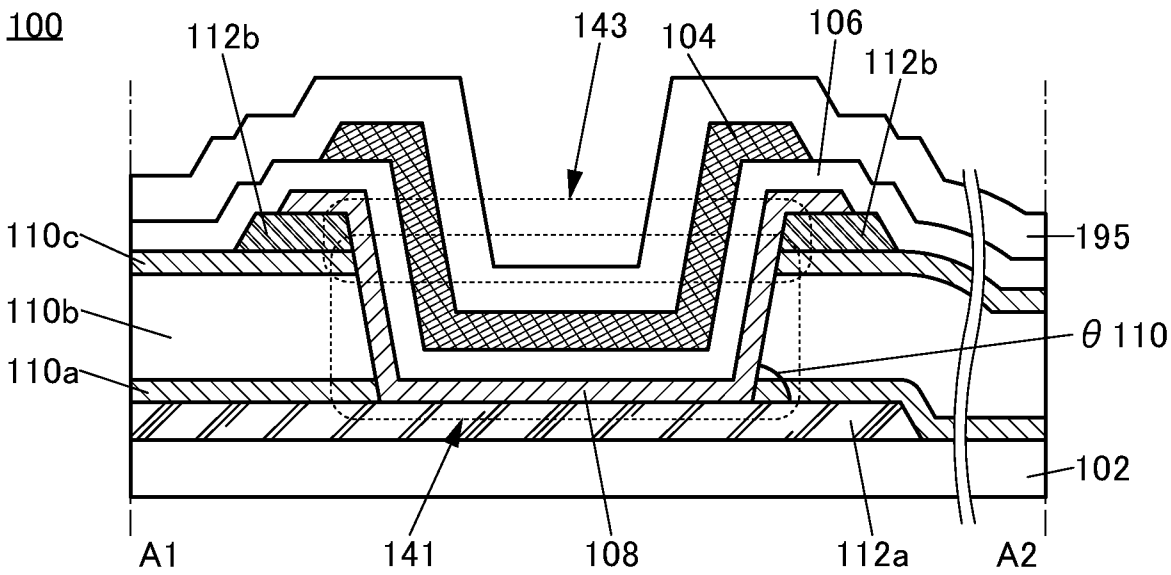


図13A

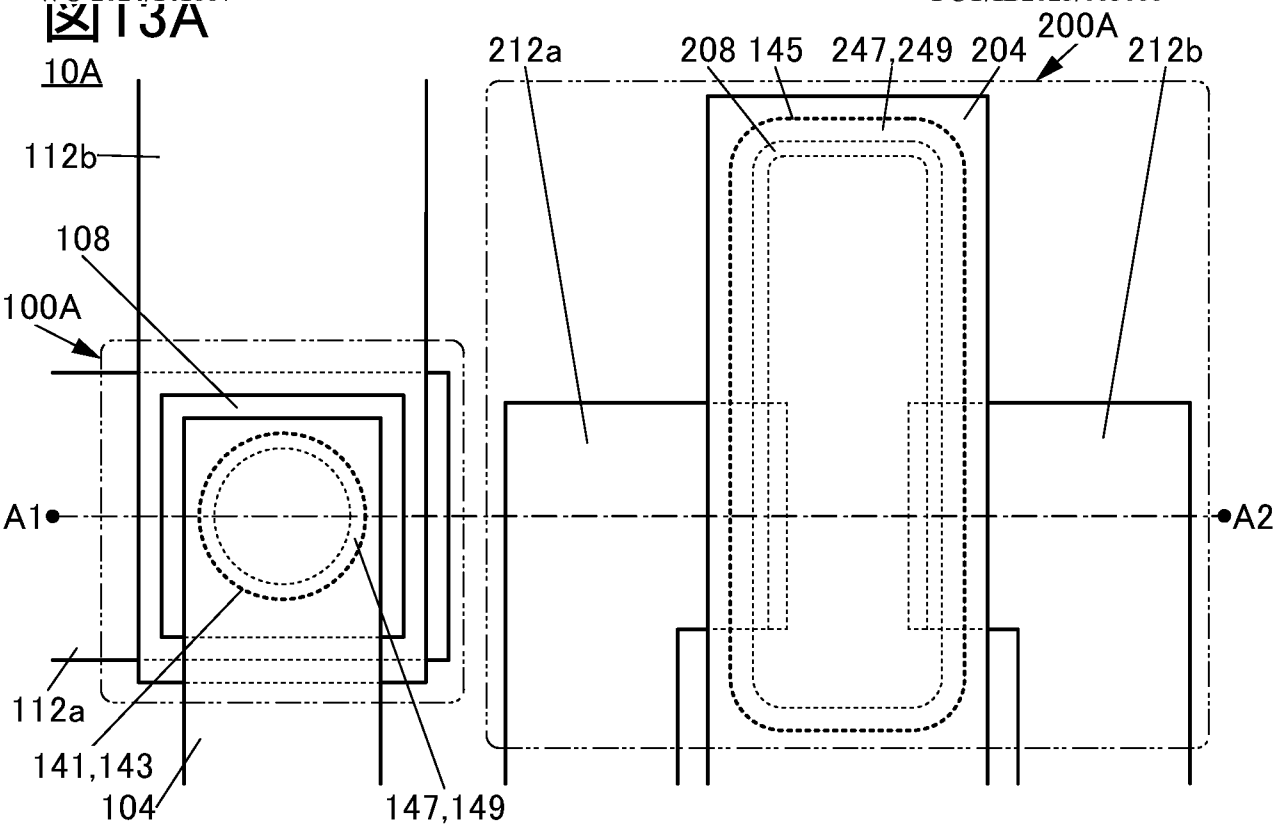

10A
112b
108
100A
A1
112a
141,143
104
147,149
212a
208 145
247,249
204
200A
212b
A2

図13B

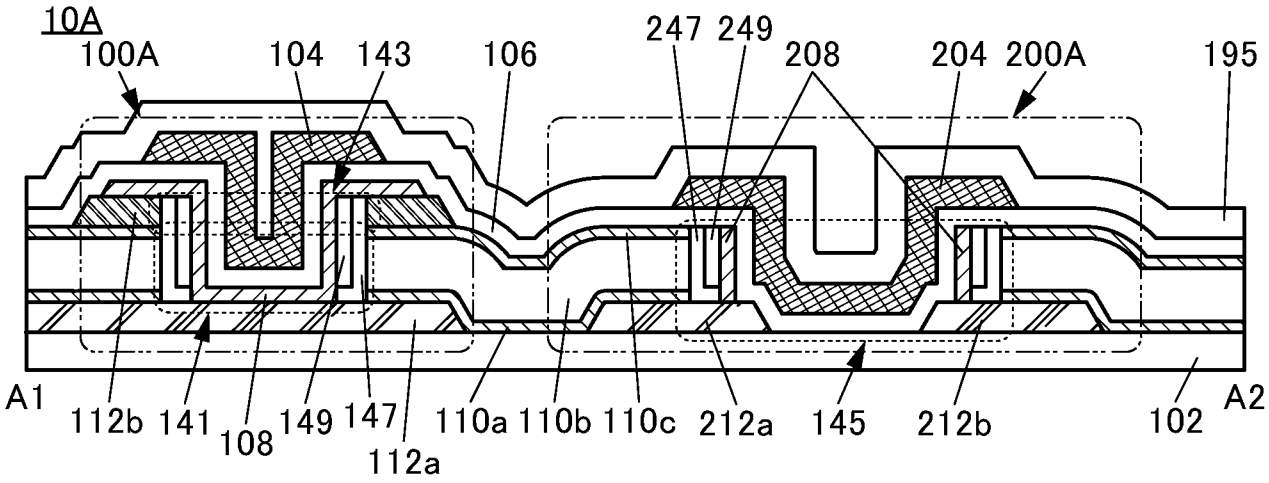

10A
100A
104
143
106
247 249
208
204 200A
195
A1
112b
141
108
149
147
112a
110a
110b
110c
212a
145
212b
102
A2

図14A

200B

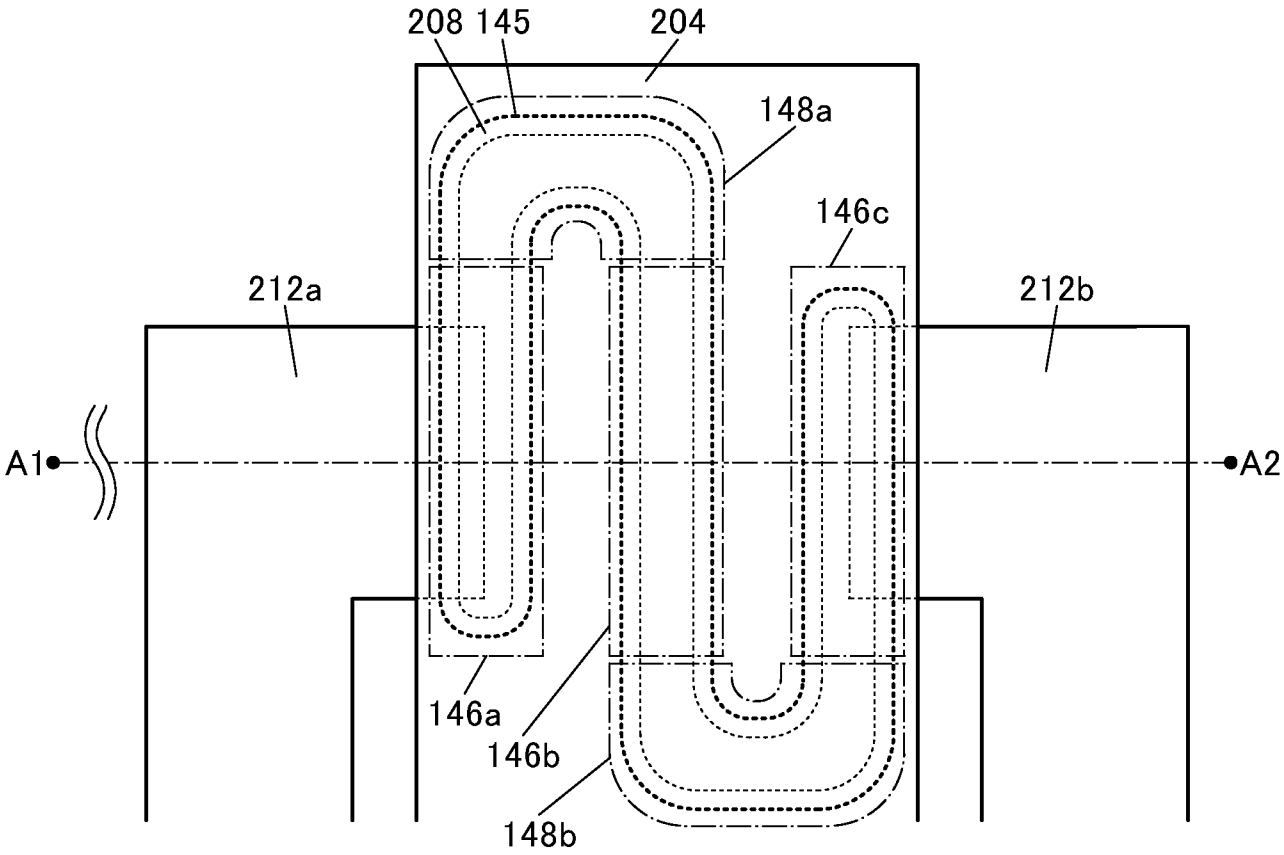


図14B

200B

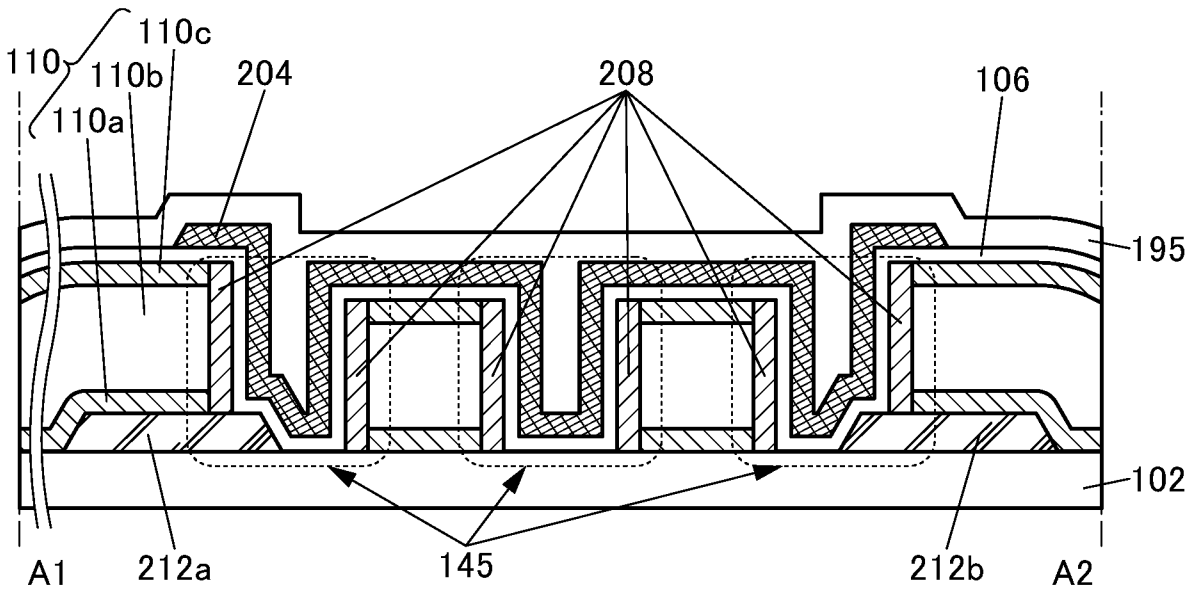


図15A

200B

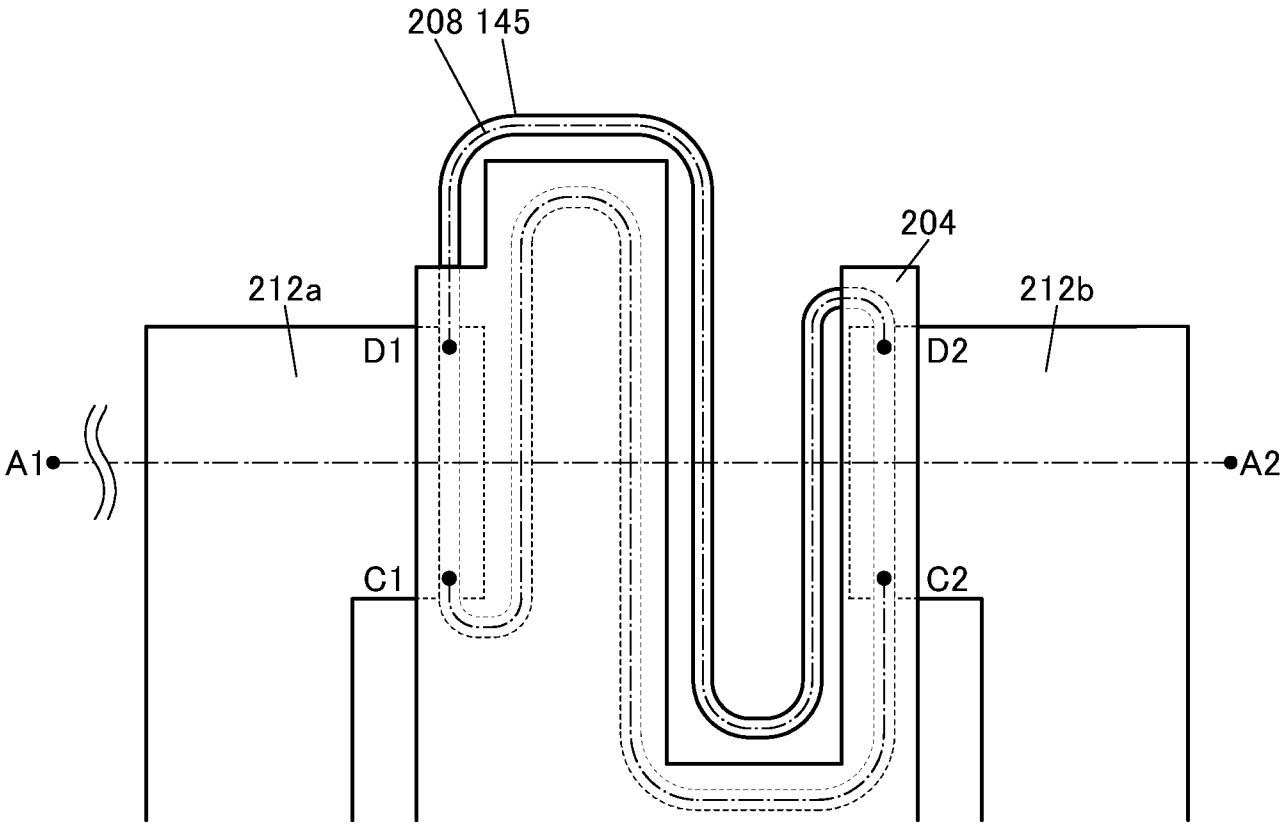


図15B

200B

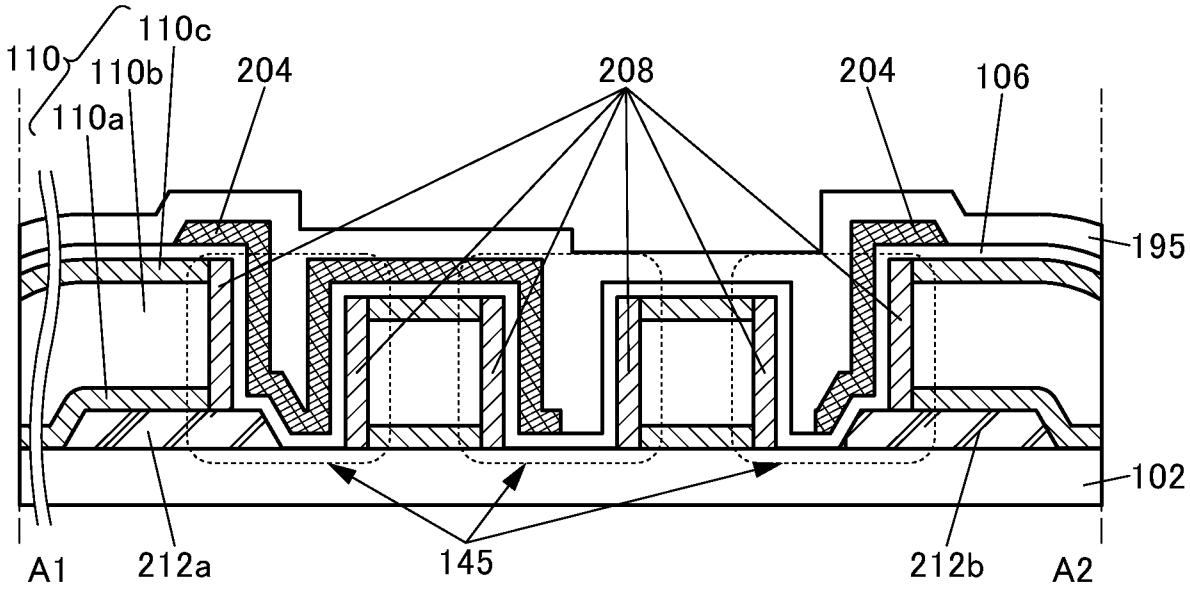


図16A

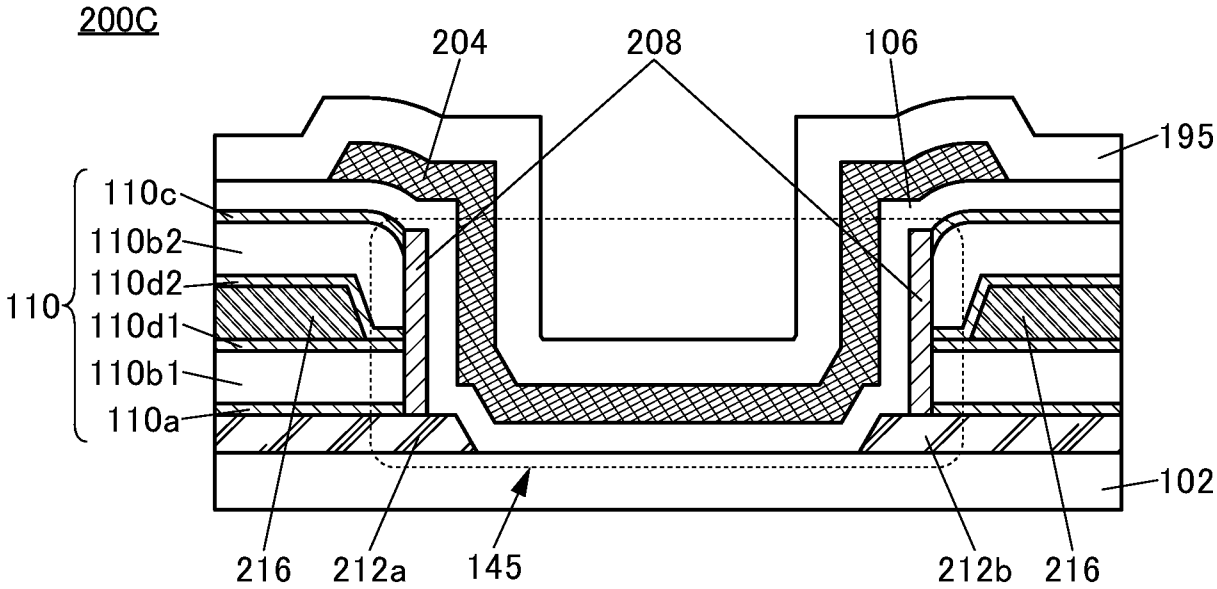

200C
204
208
106
195
110c
110b2
110d2
110
110d1
110b1
110a
102
216
212a
145
212b
216

図16B

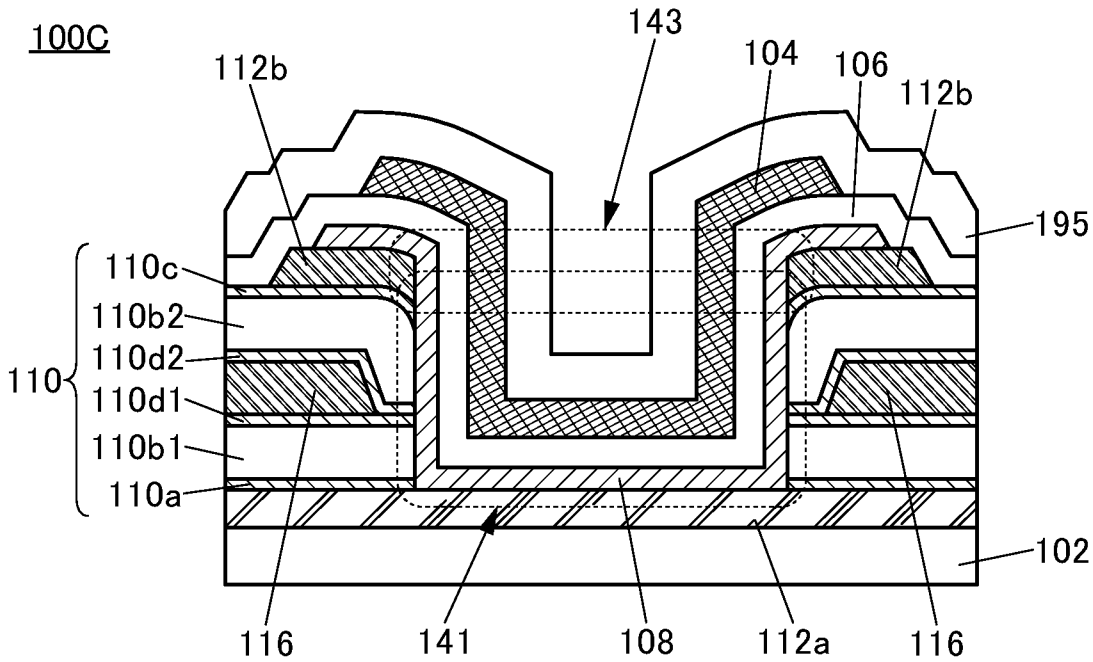

100C
143
104
106
112b
112b
195
110c
110b2
110d2
110
110d1
110b1
110a
102
116
141
108
112a
116

図17A

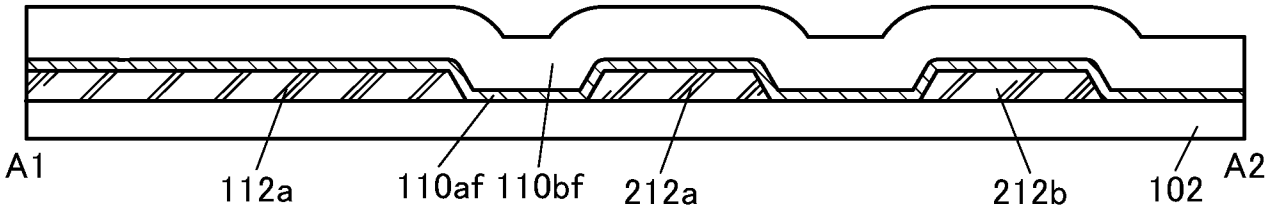


図17B

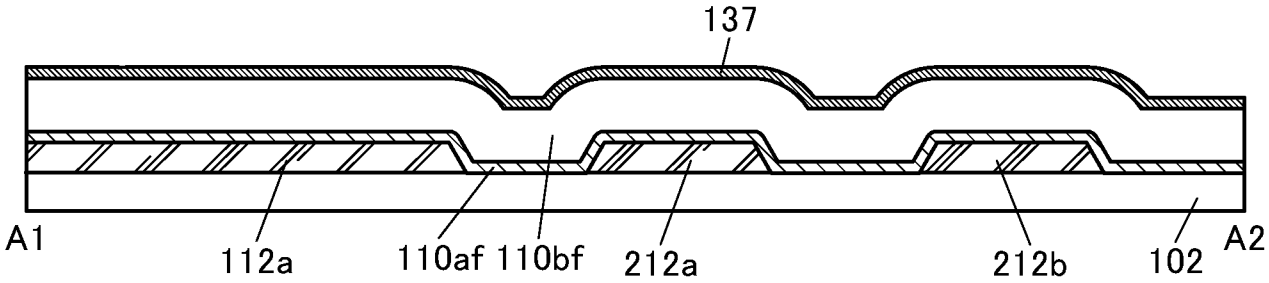


図17C

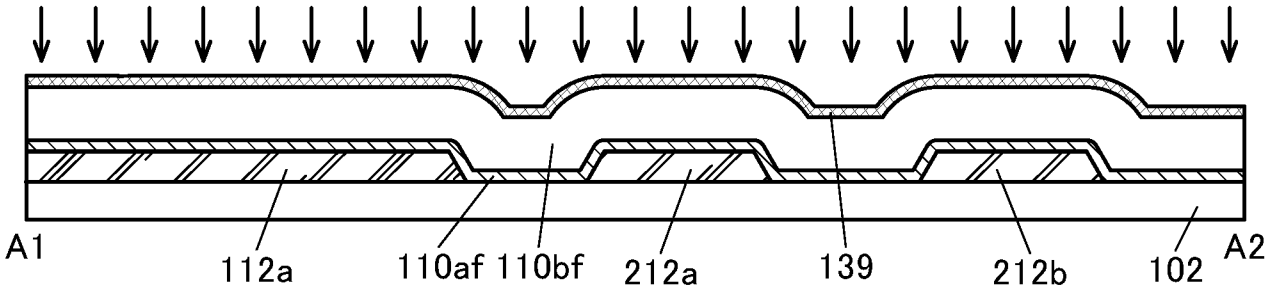


図17D

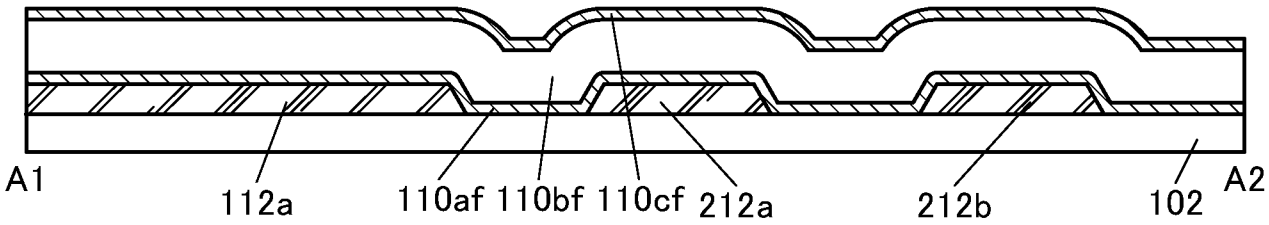


図17E

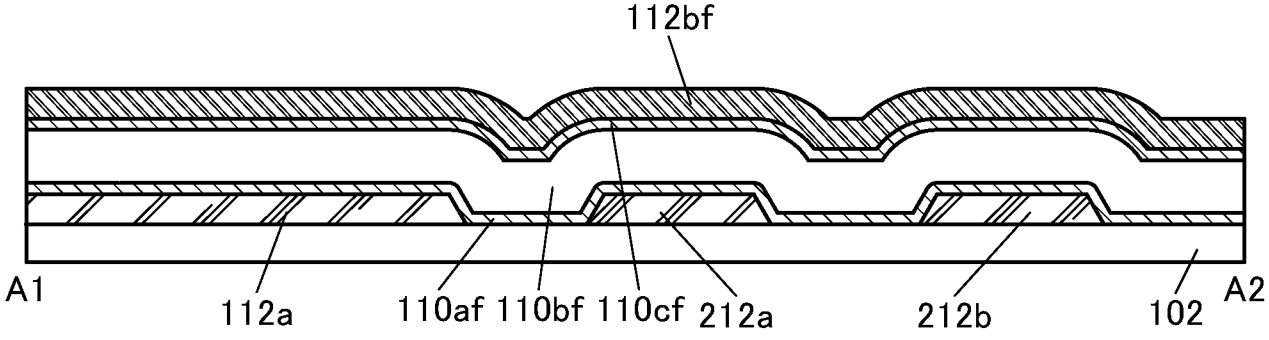


図18A

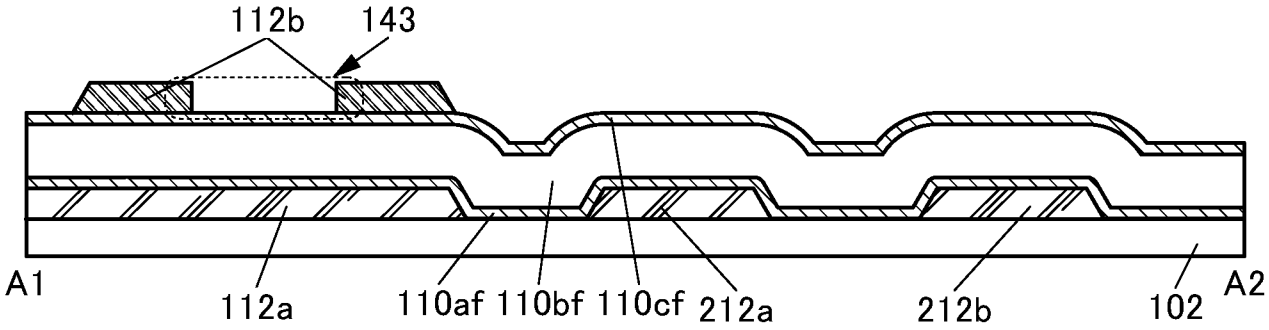


図18B

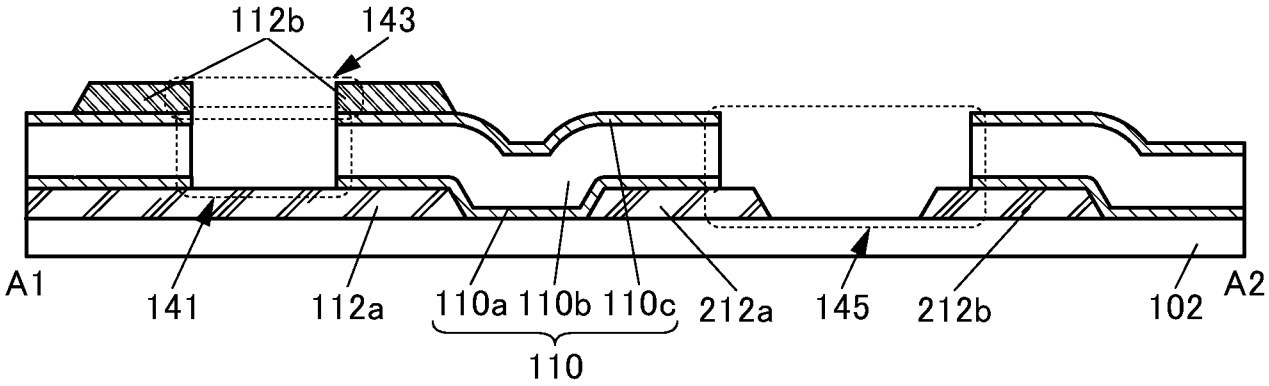


図18C

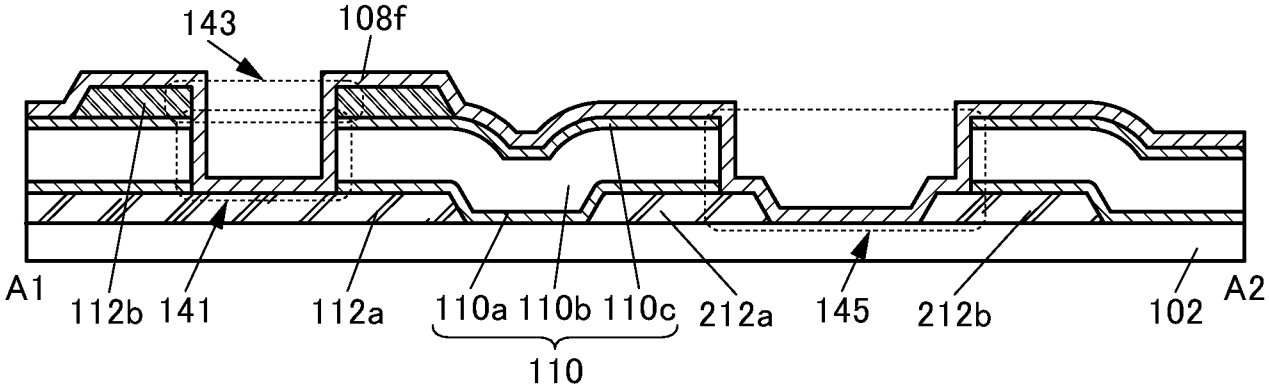


図18D

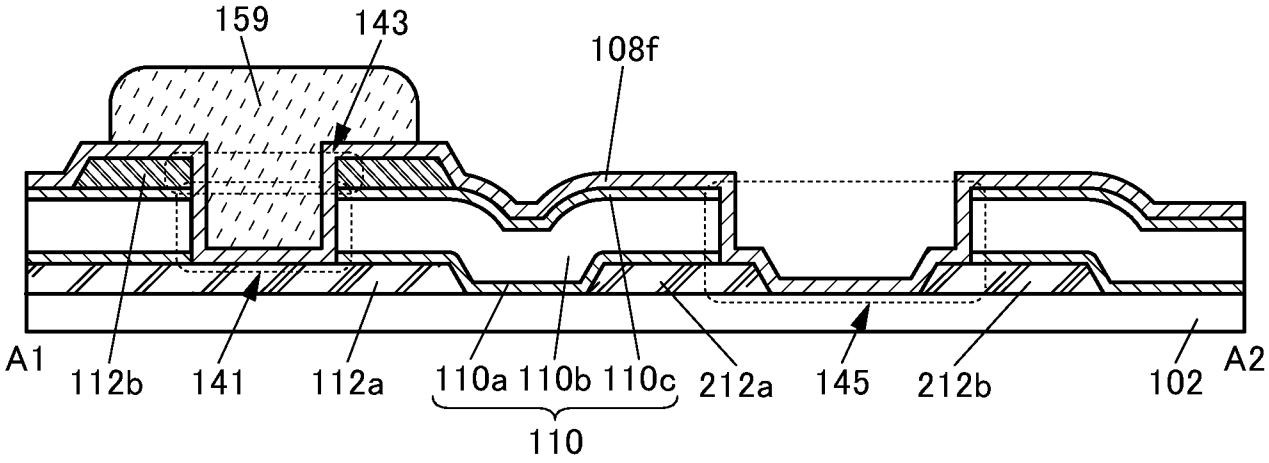


図19A

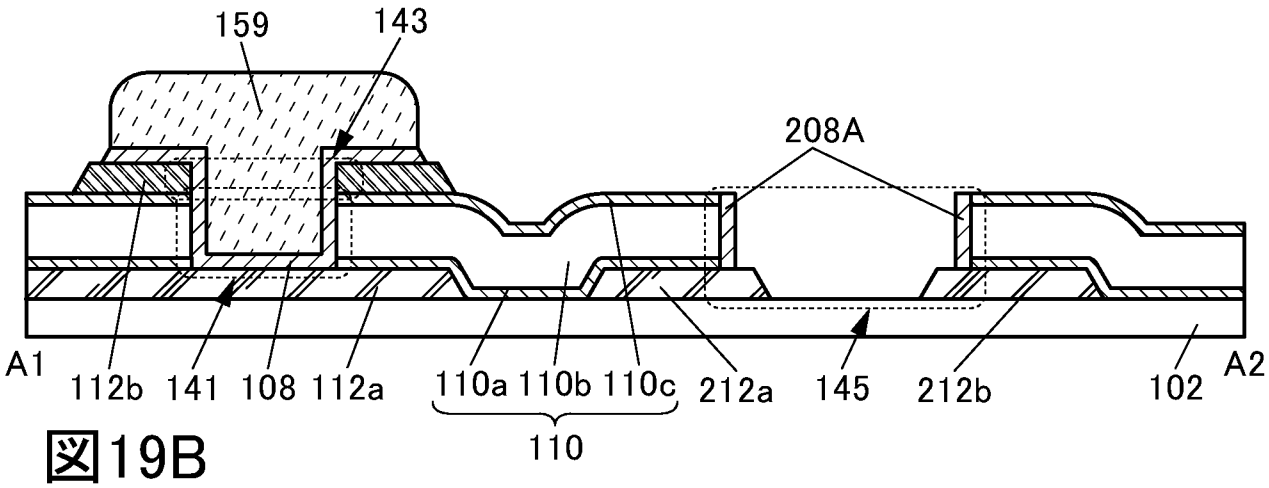


図19B

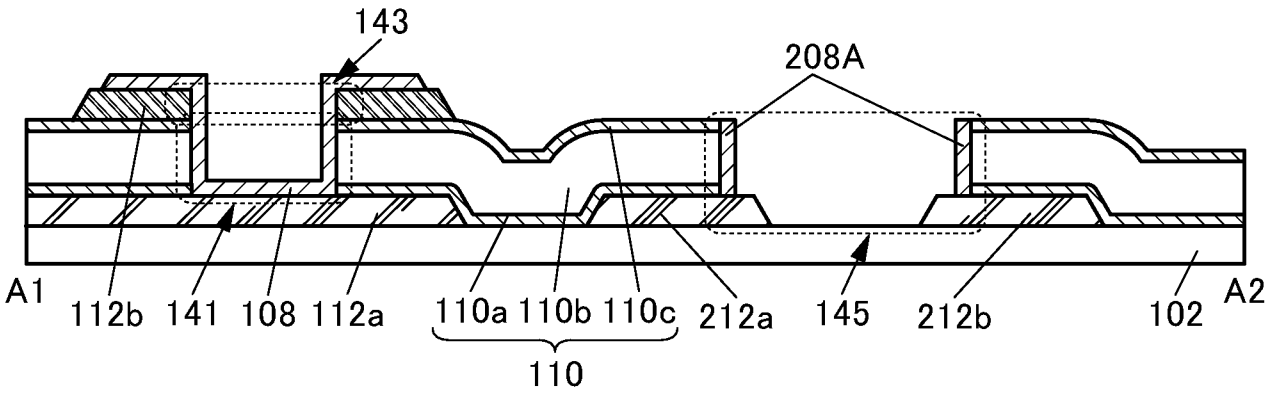


図19C

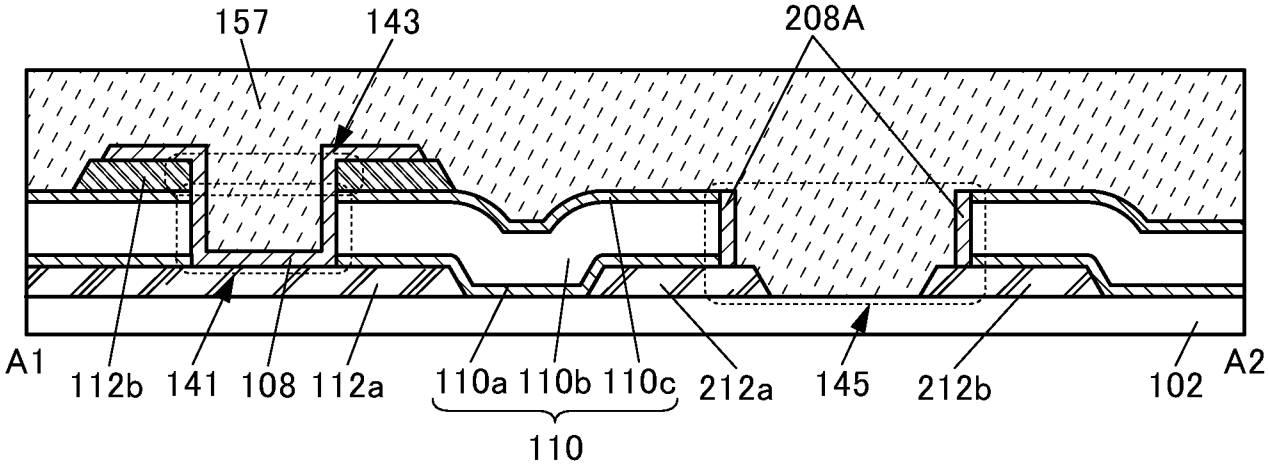


図19D

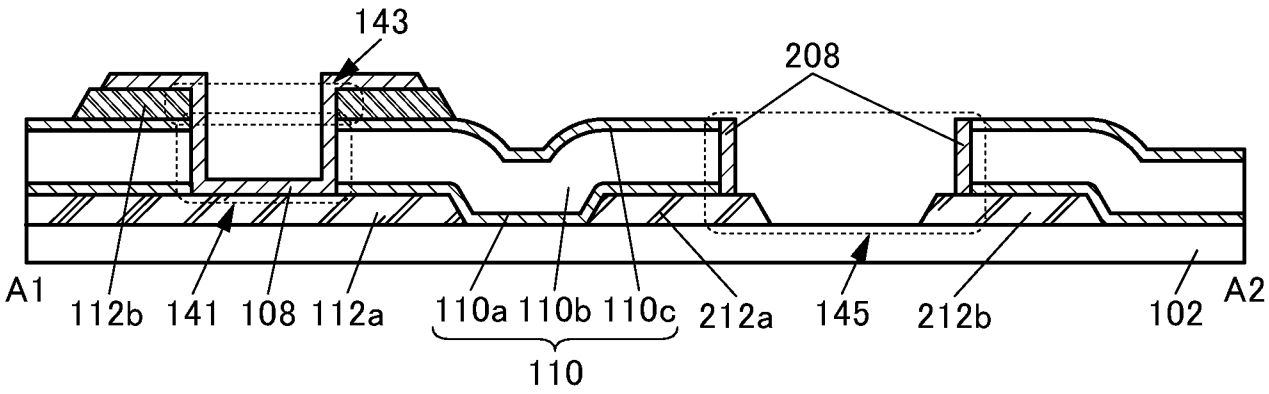


図20A

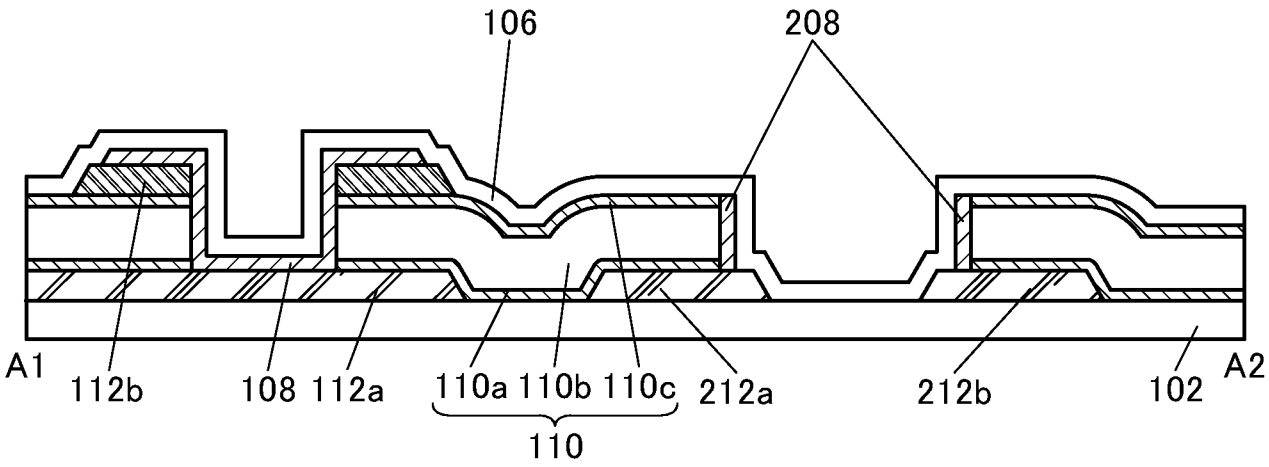

106
208
A1
112b
108
112a
110a
110b
110c
212a
212b
102
A2
110

図20B

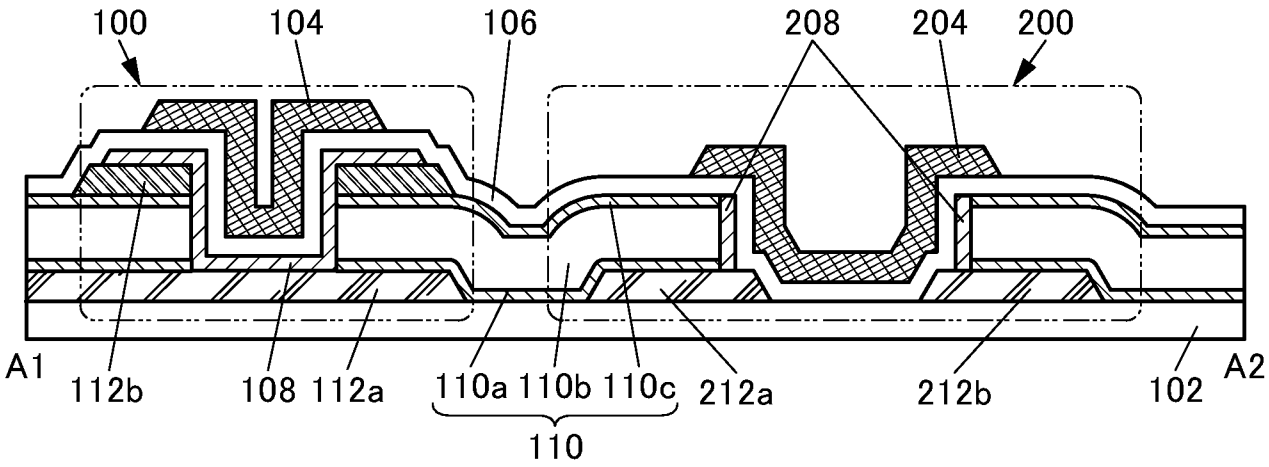

100
104
106
208
204
200
A1
112b
108
112a
110a
110b
110c
212a
212b
102
A2
110

図21A

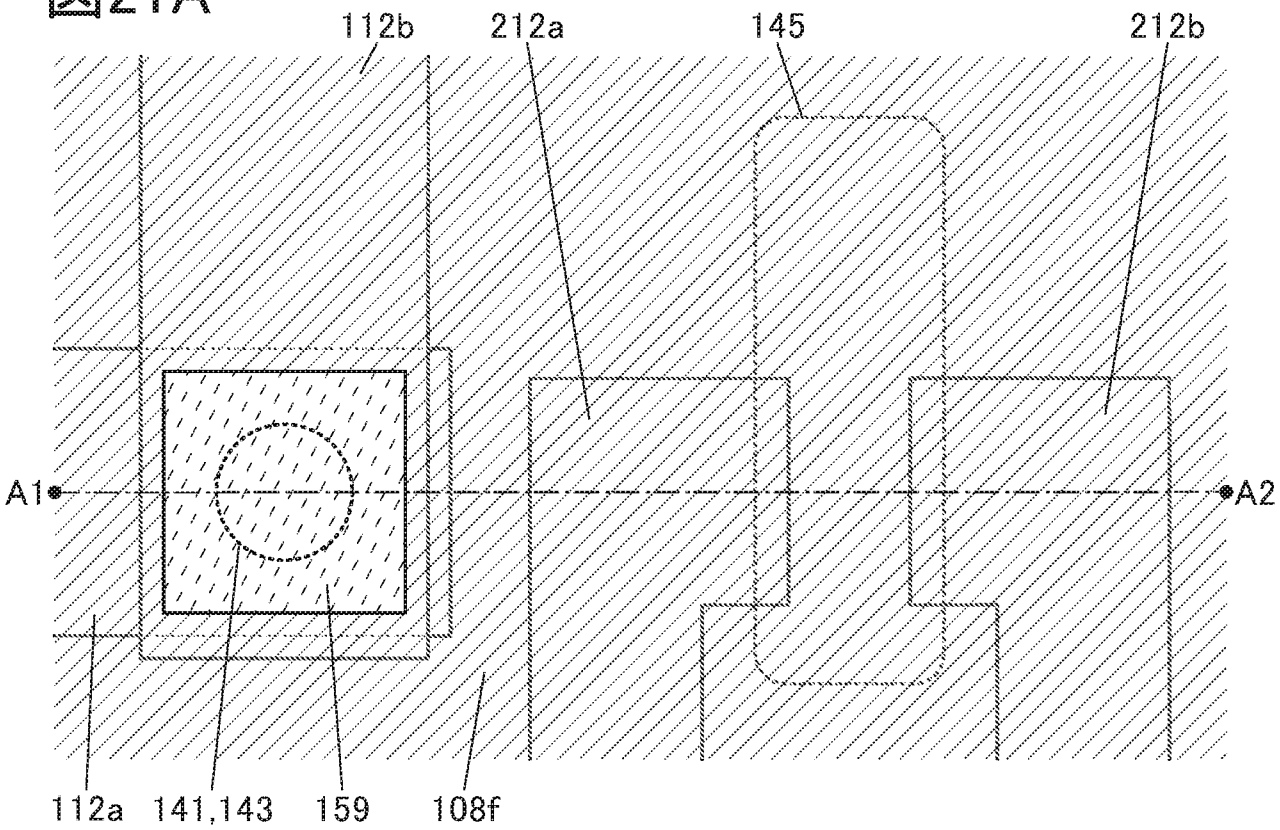

112b
212a
145
212b
A1
A2
112a
141,143
159
108f

図21B

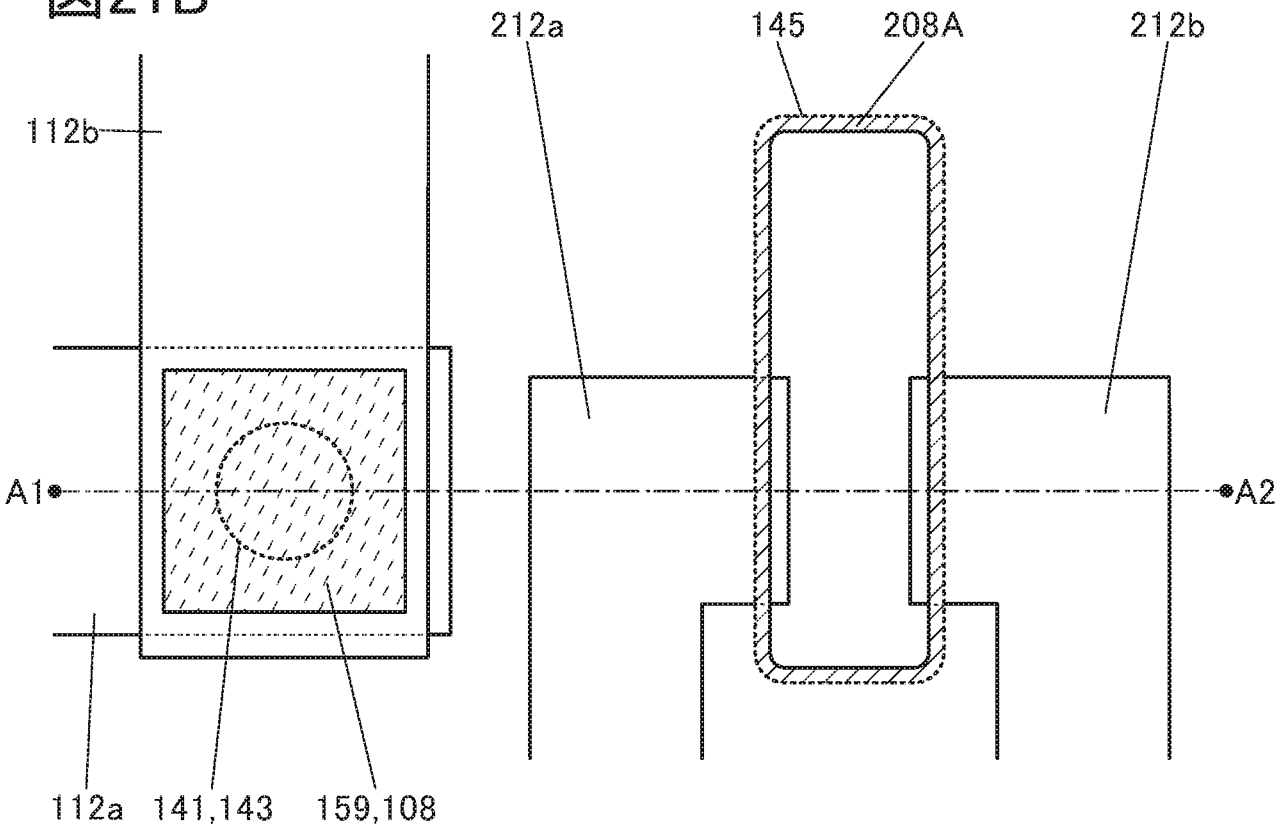

212a
145
208A
212b
112b
A1
A2
112a
141,143
159,108

図22A

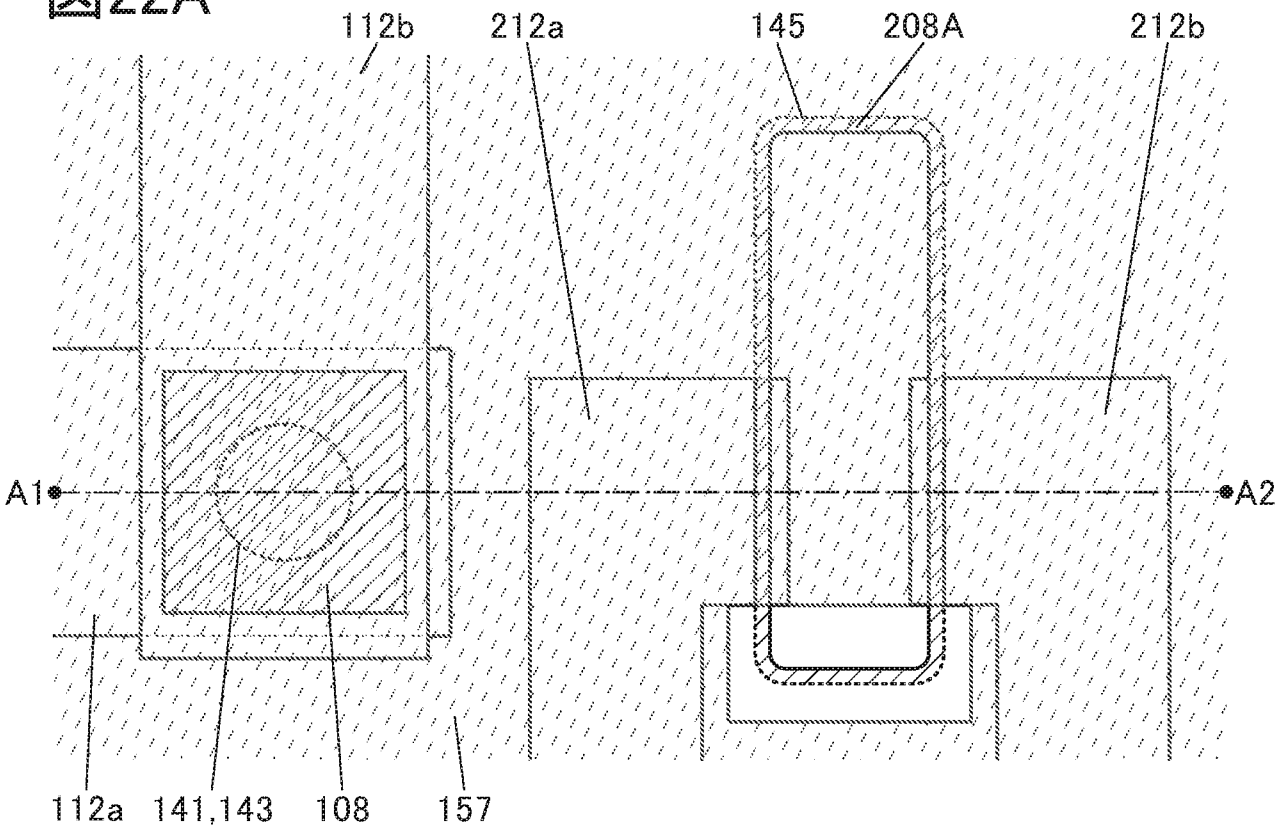

112b
212a
145
208A
212b
A1
A2
112a
141,143
108
157

図22B

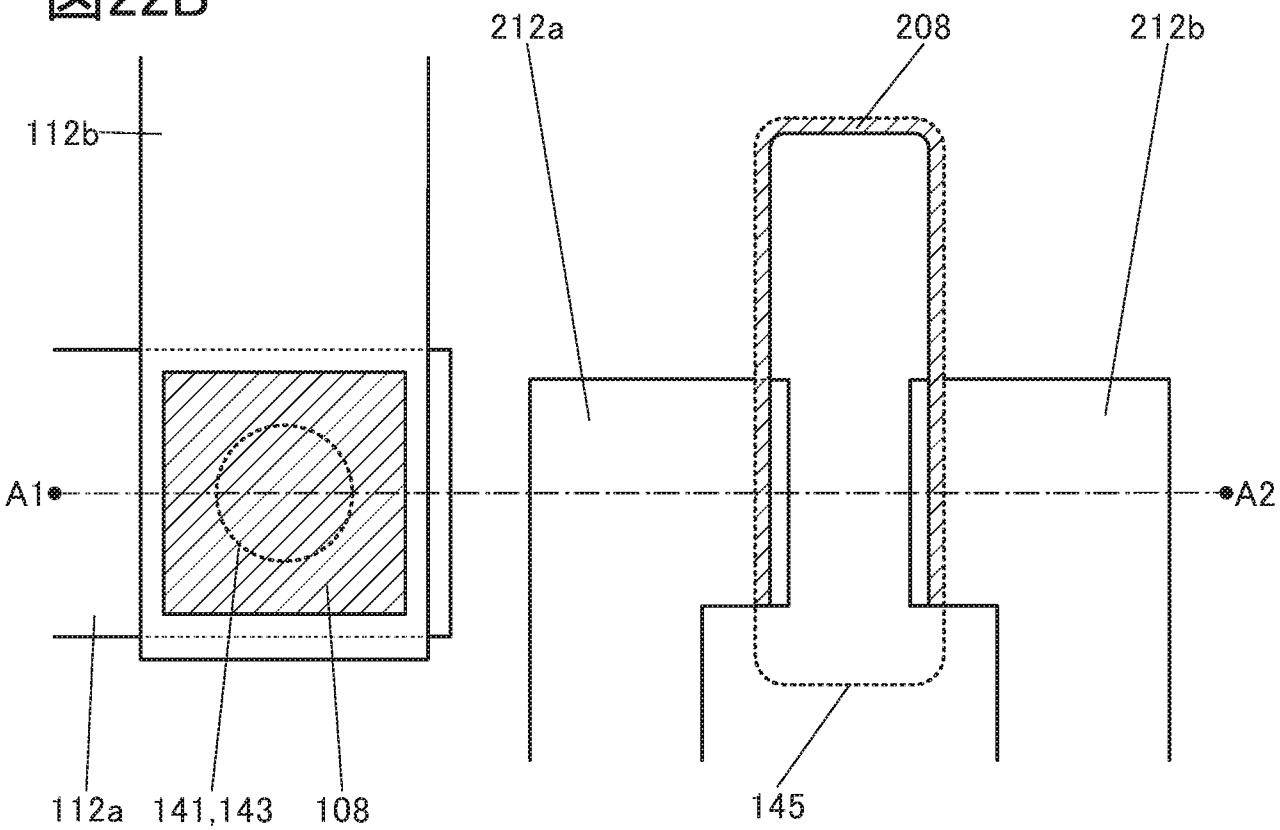

212a
208
212b
112b
A1
A2
112a
141,143
108
145

図23A

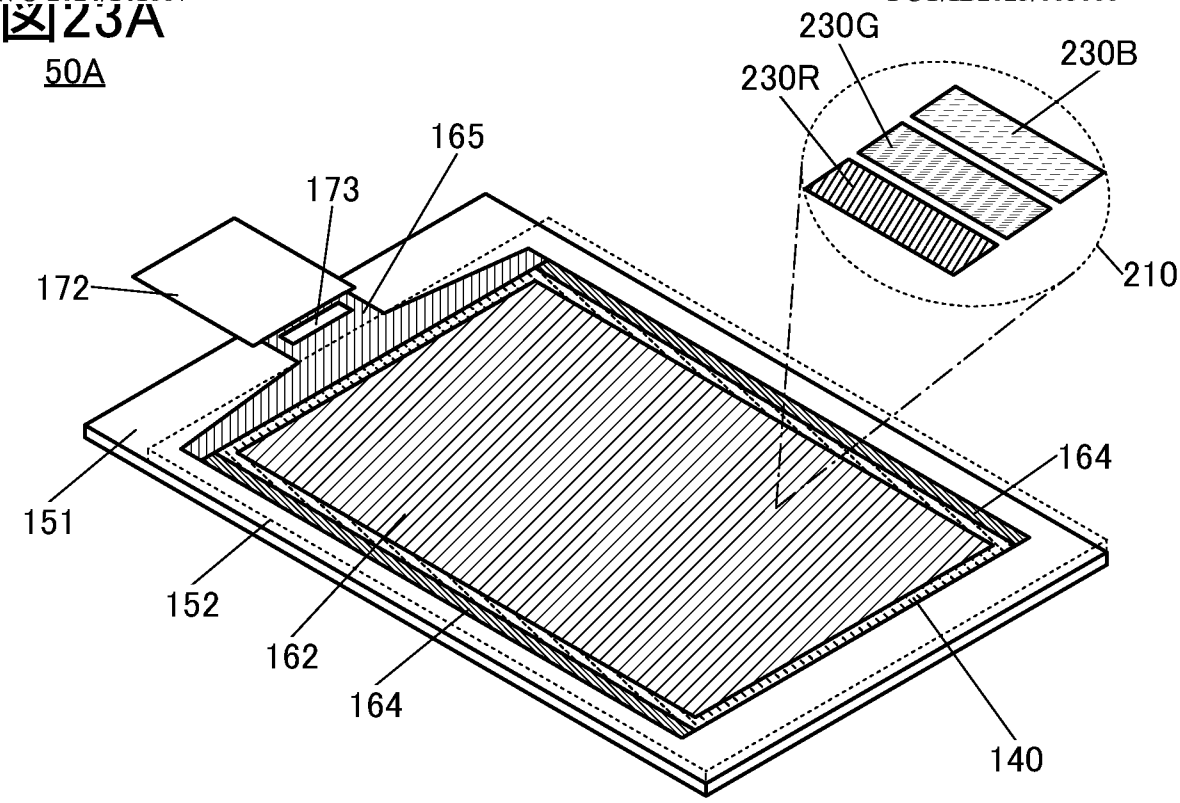

50A
230G
230B
230R
165
173
172
210
164
151
152
162
164
140

図23B

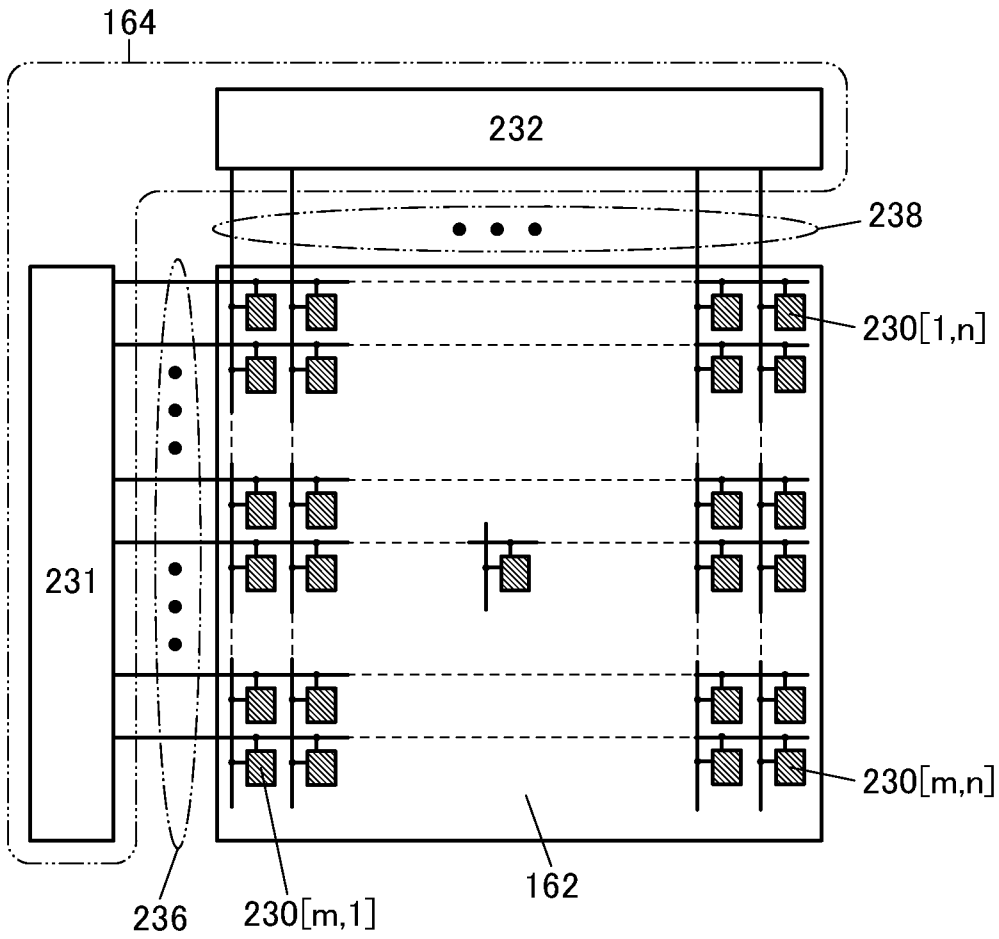

50A
164
232
238
230[1,n]
231
230[m,n]
162
236
230[m,1]

図24A

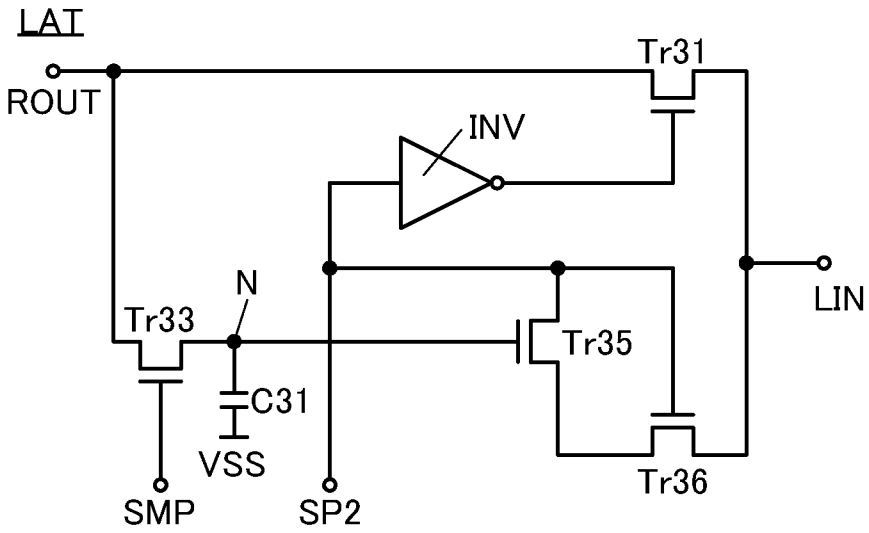
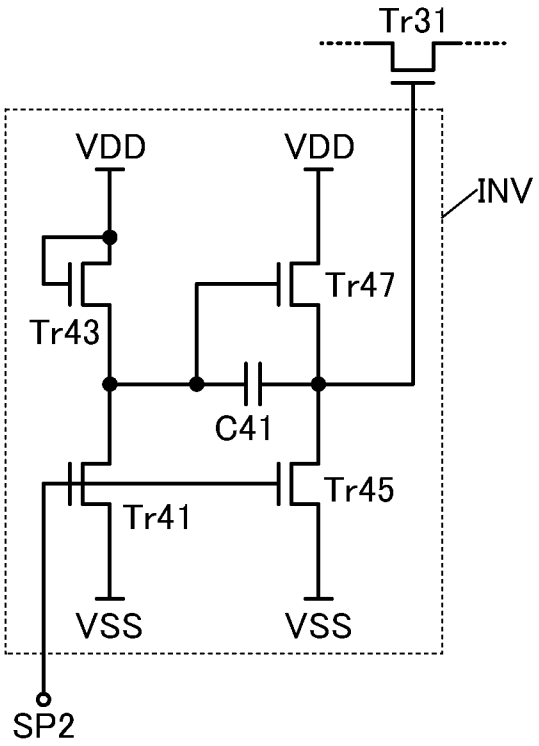

LAT
ROUT
Tr31
INV
N
Tr33
Tr35
LIN
C31
VSS
Tr36
SMP
SP2

図24B


Tr31
VDD
VDD
INV
Tr47
Tr43
C41
Tr45
Tr41
VSS
VSS
SP2

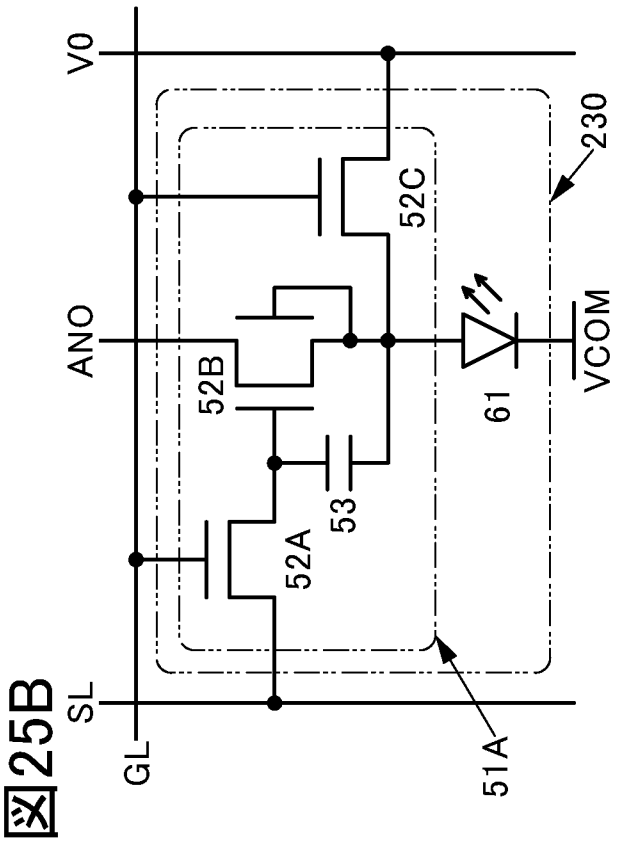


図25A

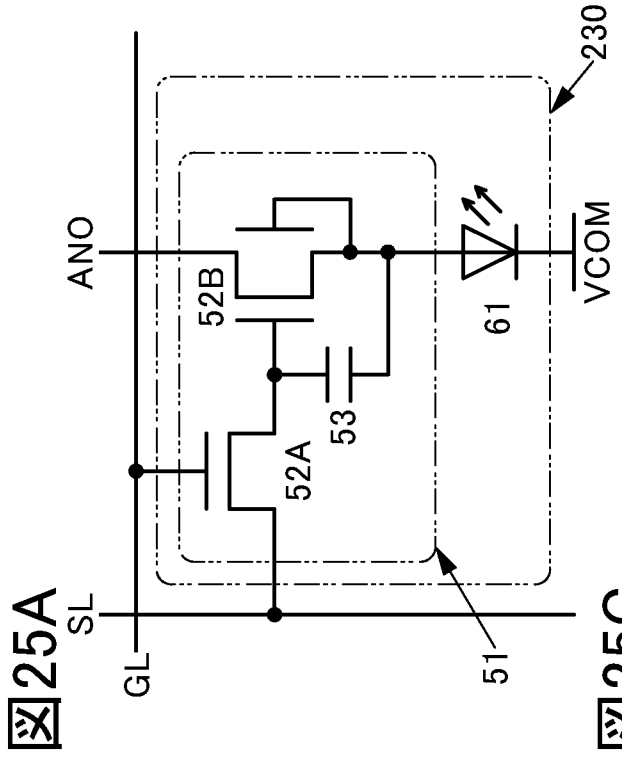


図25B

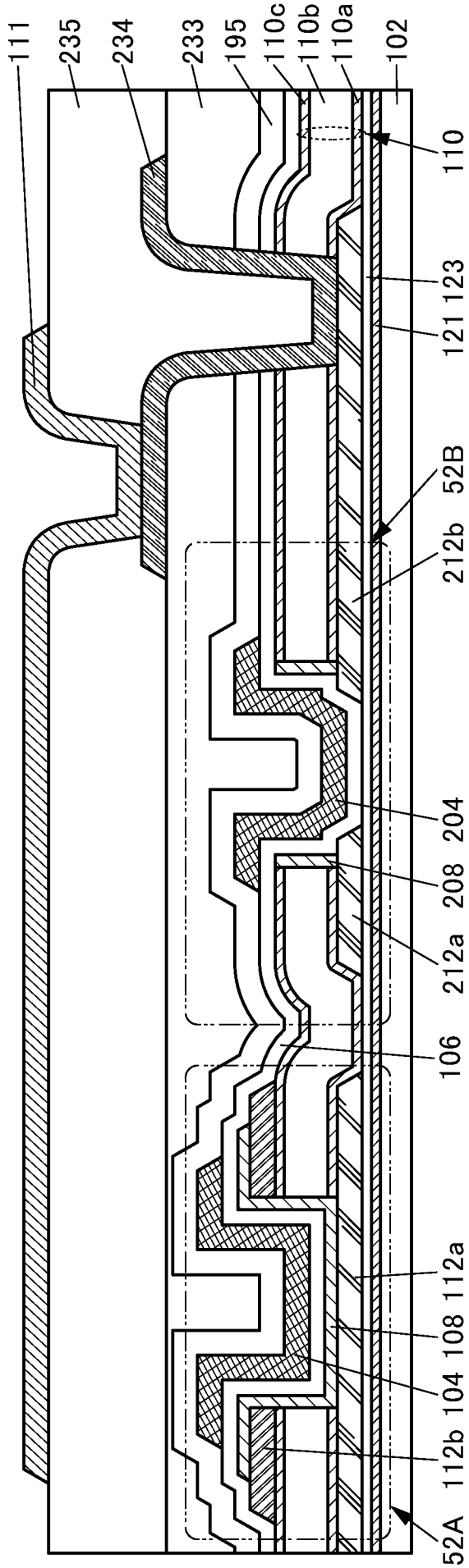
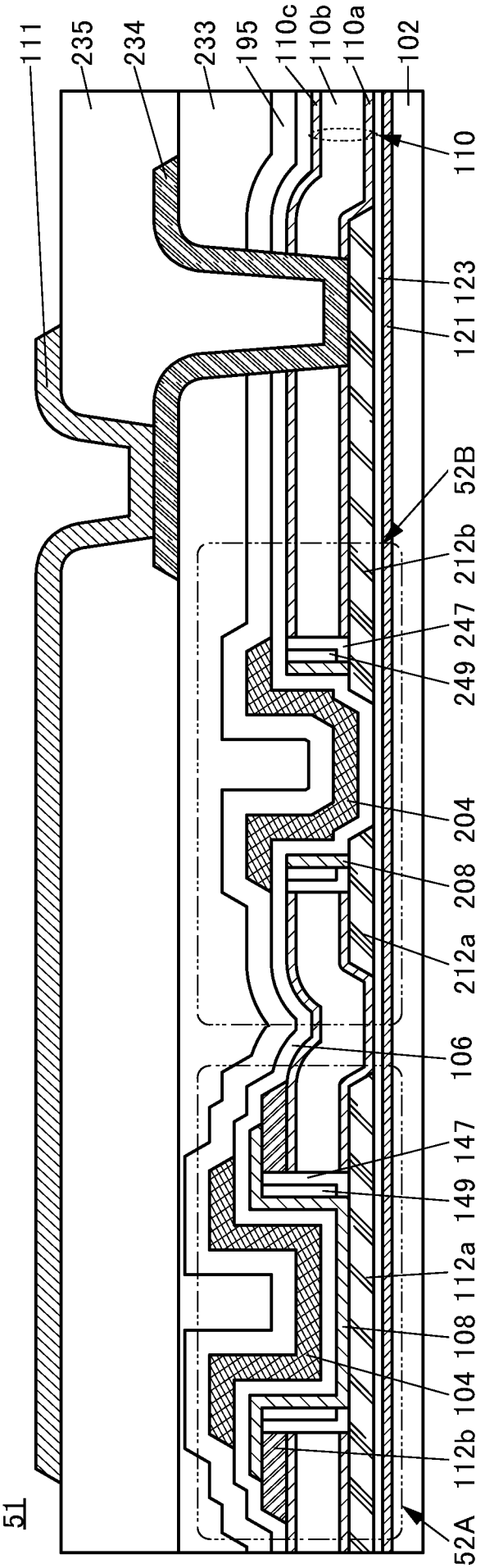


図25C

図26


111
235
234
233
195
110c
110b
110a
102
110
123
121
52B
212b
247
249
204
208
212a
106
147
149
112a
108
104
112b
52A
51

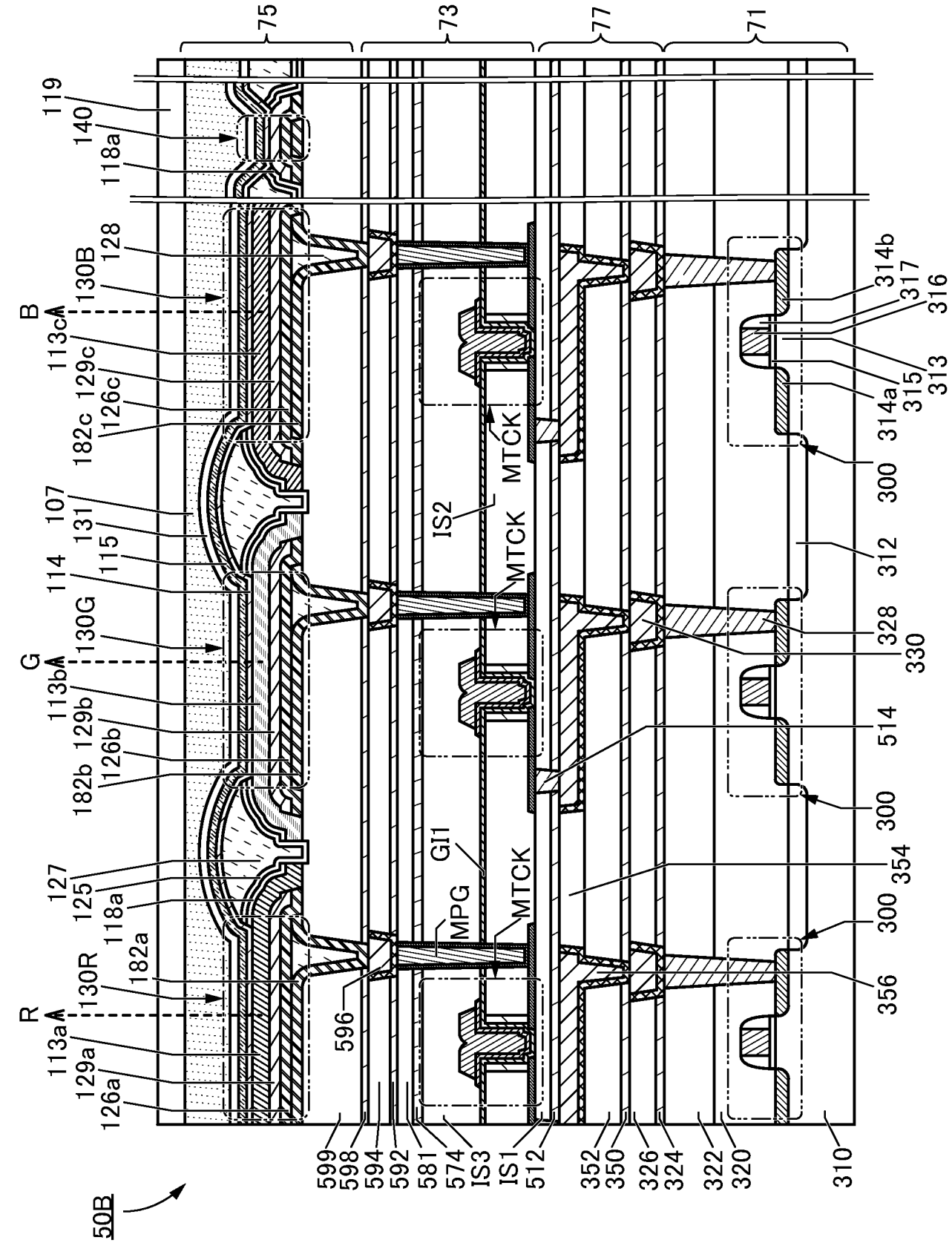

75
73
77
71
119
140
118a
128
130B
B
113c
129c
126c
182c
107
131
115
114
130G
G
113b
129b
126b
182b
127
125
118a
182a
130R
R
113a
129a
126a
50B
596
599
598
594
592
581
574
IS3
IS1
512
352
350
326
324
322
320
310
MTCK
IS2
MTCK
GI1
MPG
MTCK
314b
317
316
313
315
314a
300
312
328
330
514
300
354
300
356

図27

図28A

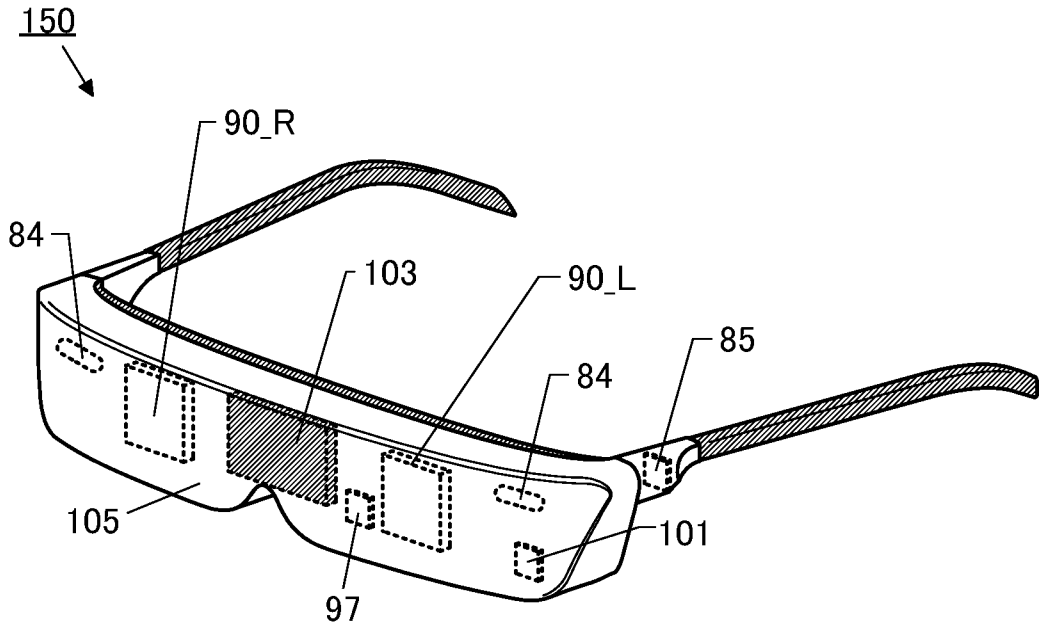

150
90_R
84
103
90_L
85
84
105
101
97

図28B

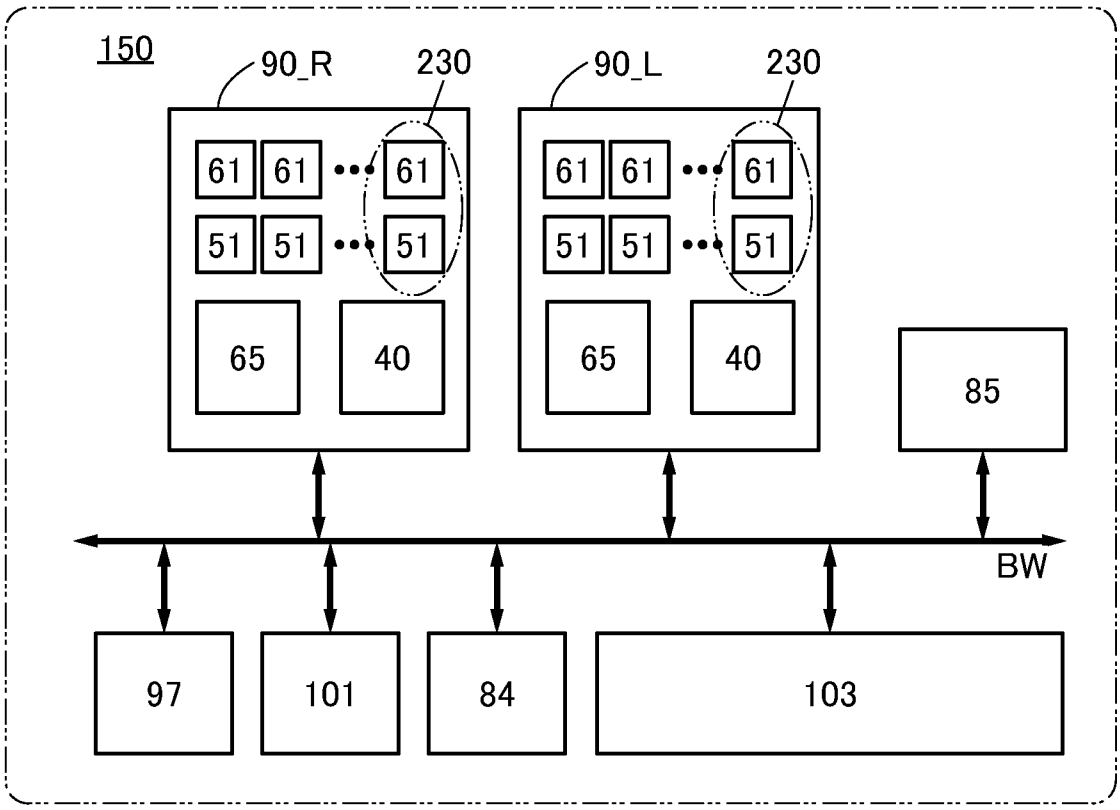

150
90_R
230
90_L
230
61
61
61
61
61
61
51
51
51
51
51
51
65
40
65
40
85
BW
97
101
84
103

図29A

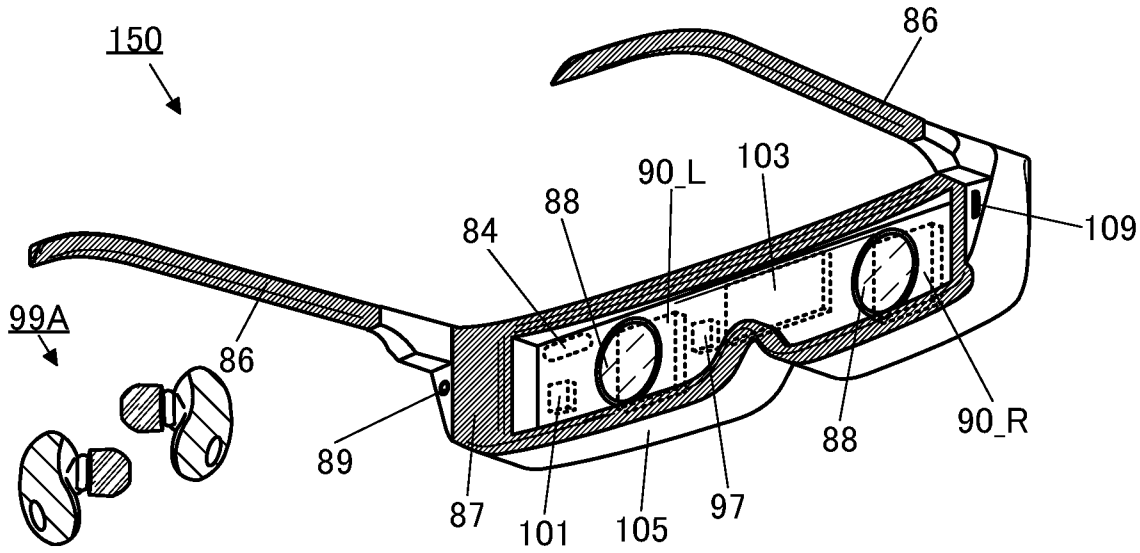

150
86
90_L
103
88
84
109
99A
86
89
87
101
105
97
88
90_R

図29B

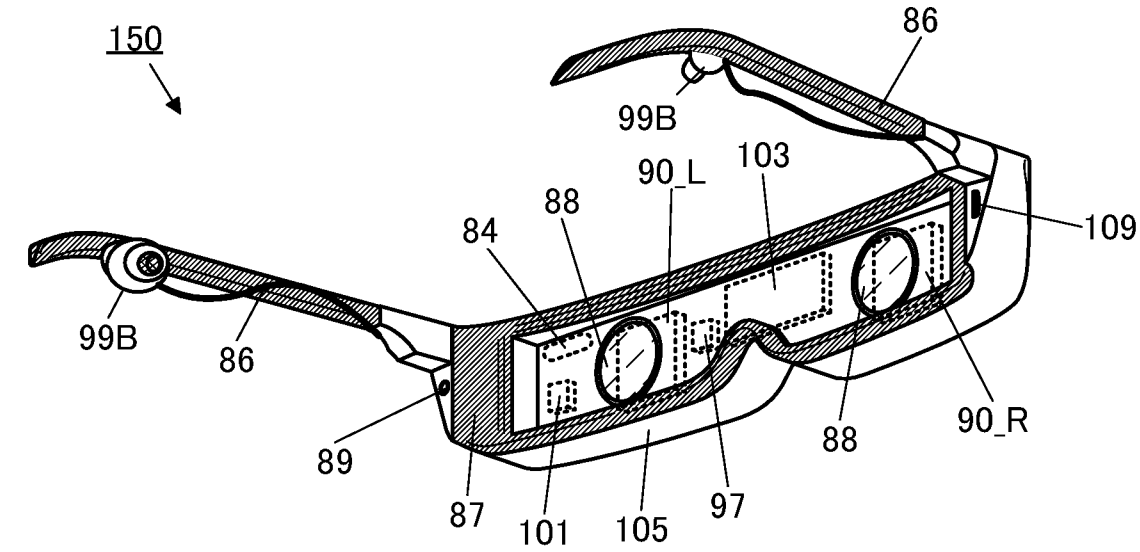

150
86
99B
90_L
103
88
84
109
99B
86
89
87
101
105
97
88
90_R

図30A

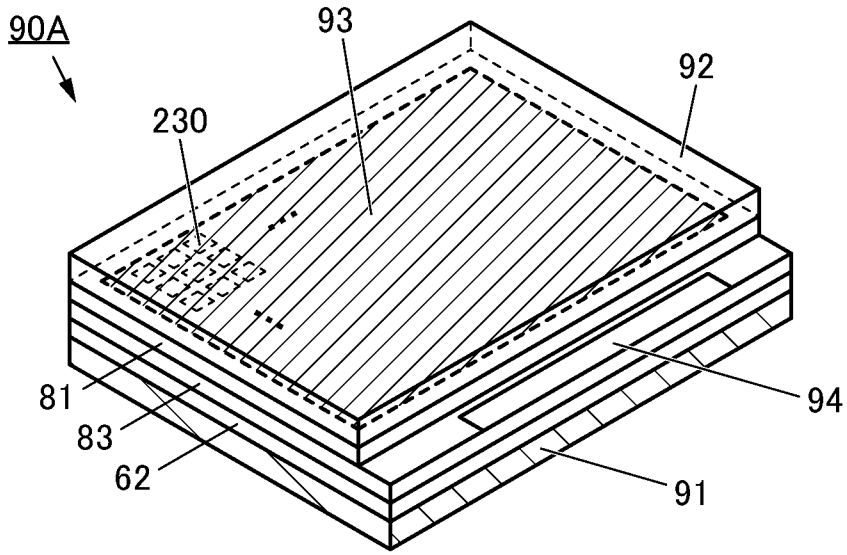

90A
93
92
230
81
83
62
94
91

図30B

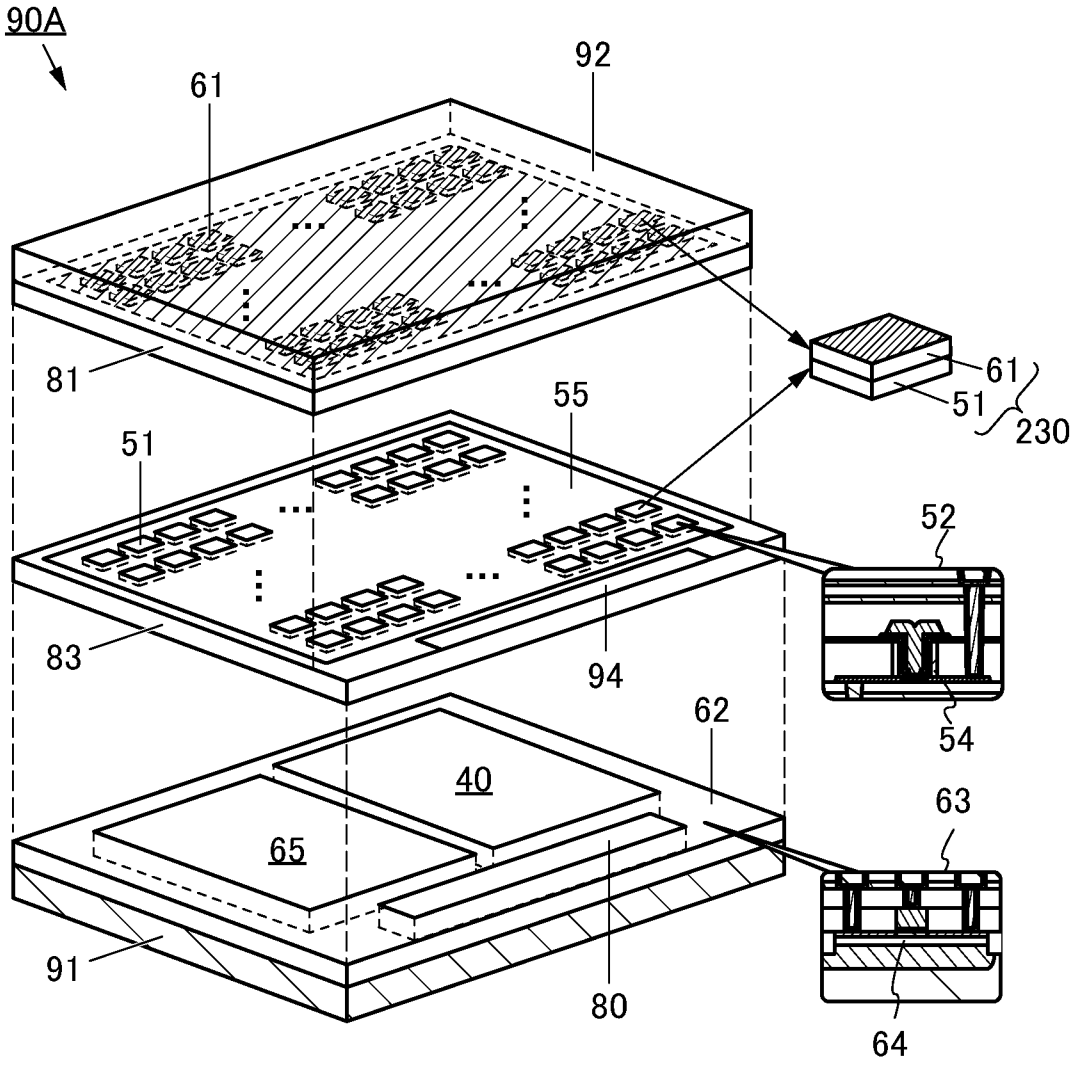

90A
92
61
81
61
51
230
55
51
52
83
94
54
62
40
63
65
91
80
64

図31

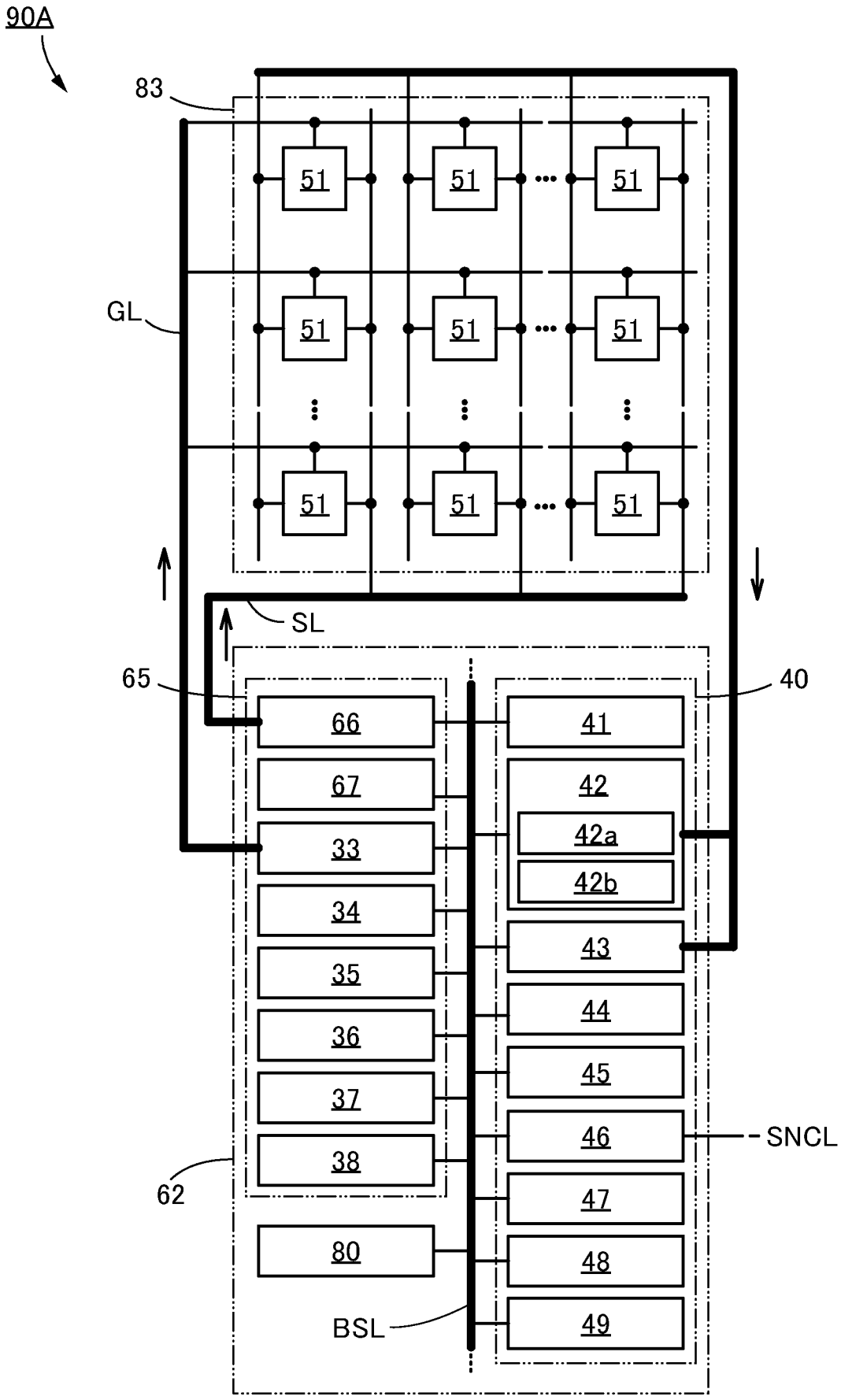

90A
83
51
GL
SL
65
40
66
67
33
34
35
36
37
38
62
80
BSL
41
42
42a
42b
43
44
45
46
47
48
49
SNCL

図32A

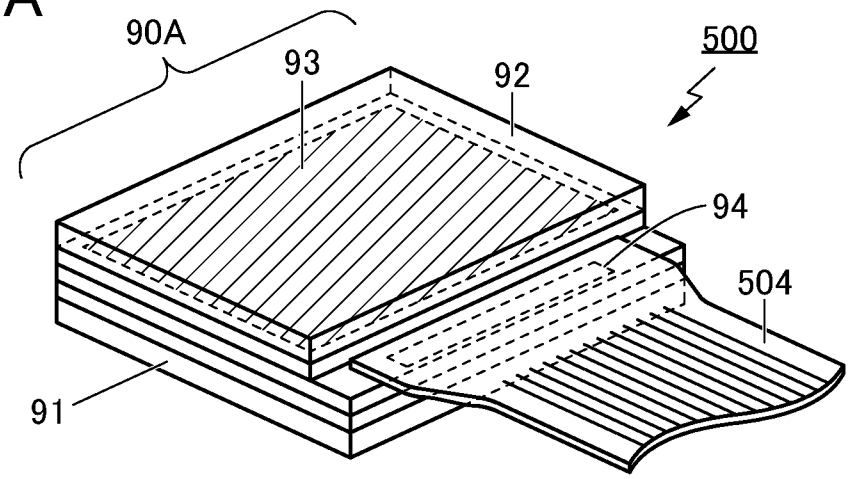


図32B

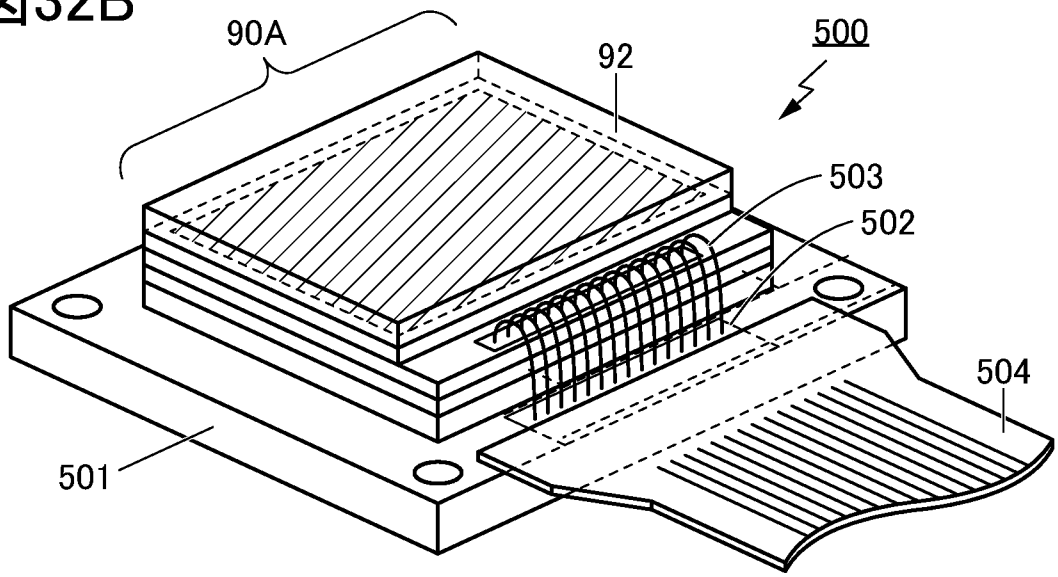


図32C

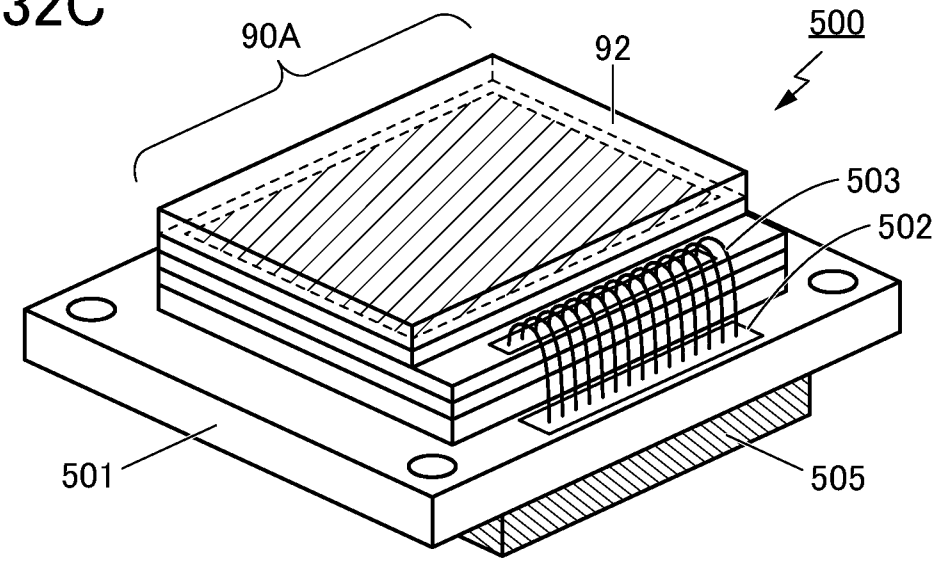


図33A

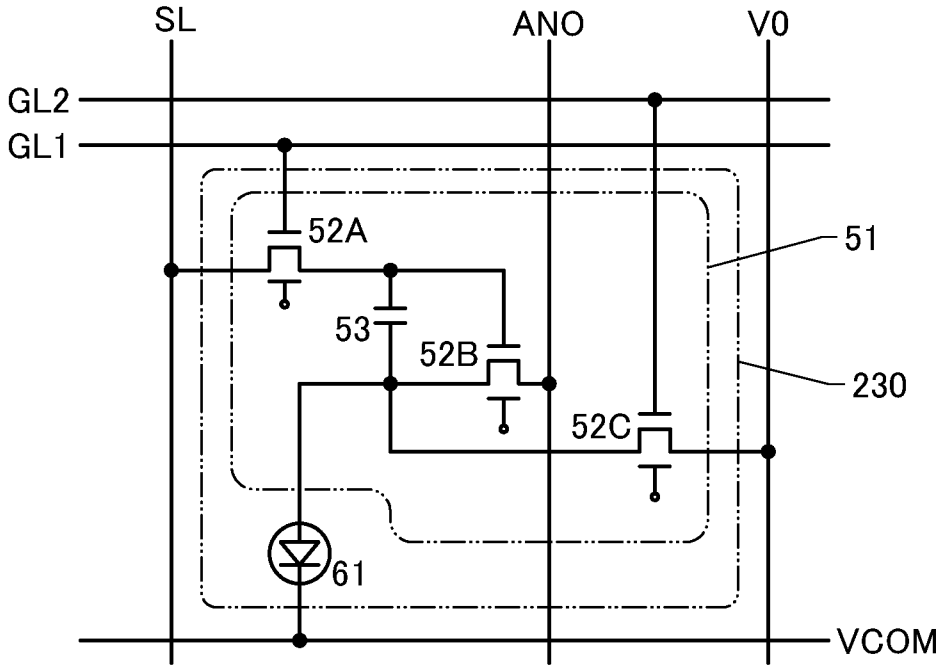

SL
ANO
V0
GL2
GL1
52A
51
53
52B
230
52C
61
VCOM

図33B

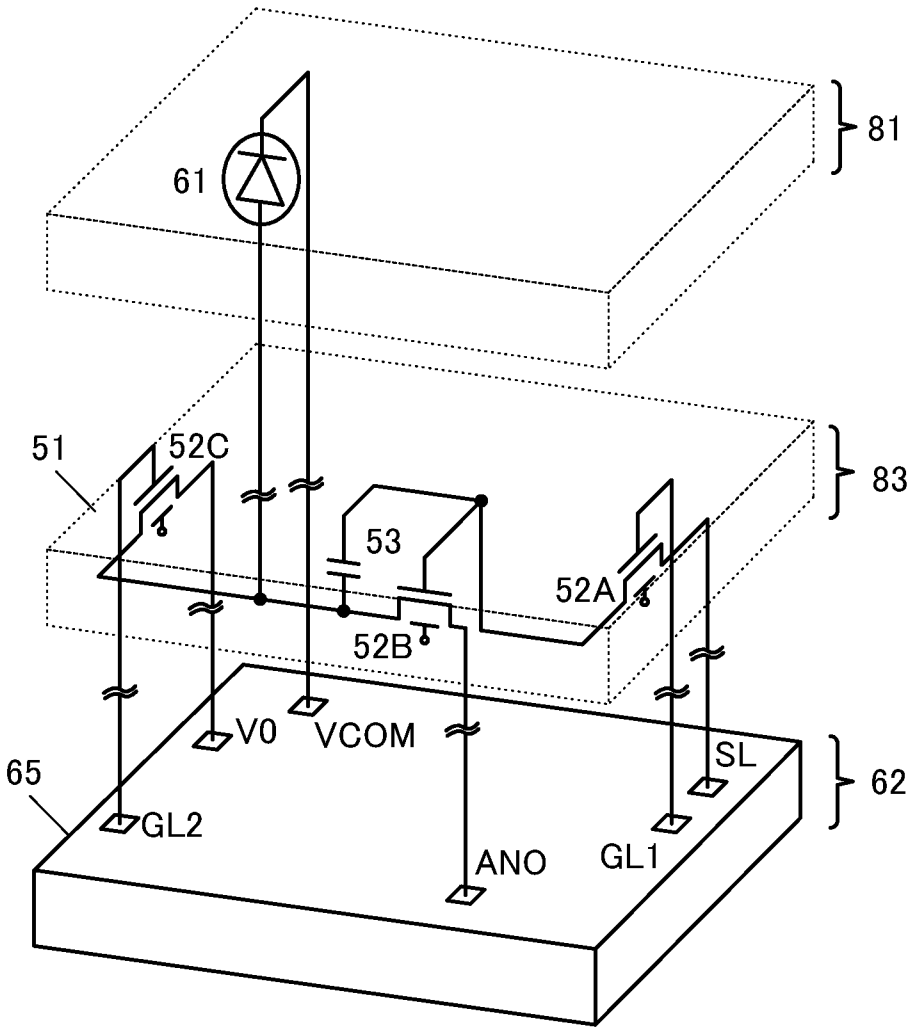

81
61
51
52C
83
53
52A
52B
V0
VCOM
SL
65
62
GL2
ANO
GL1

図34A

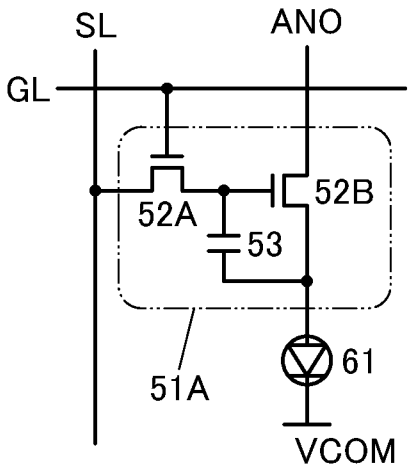


図34B

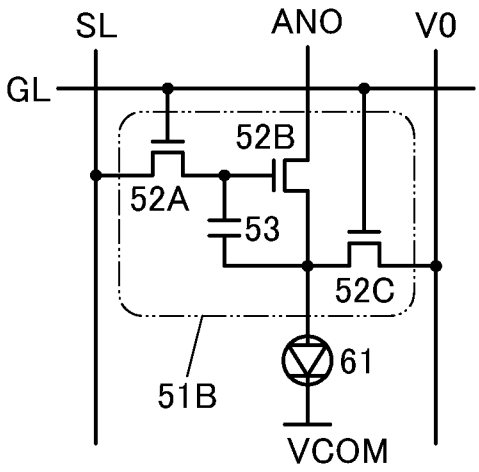


図34C

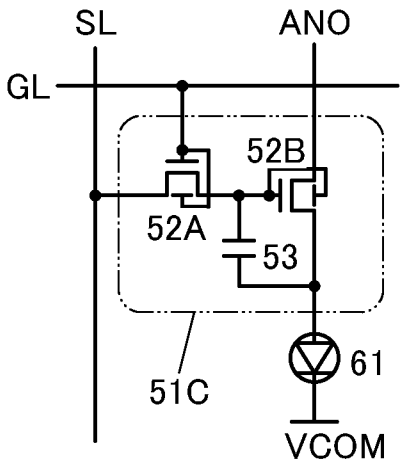


図34D

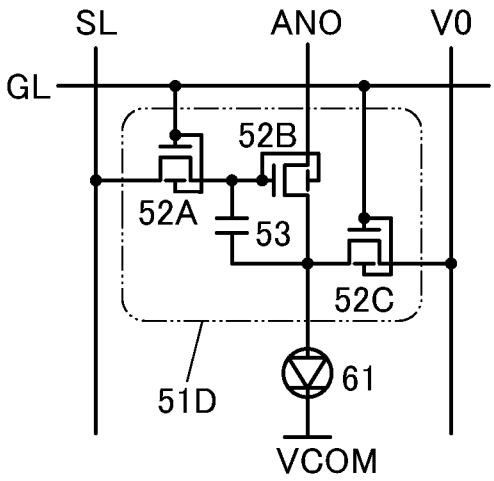


図35A

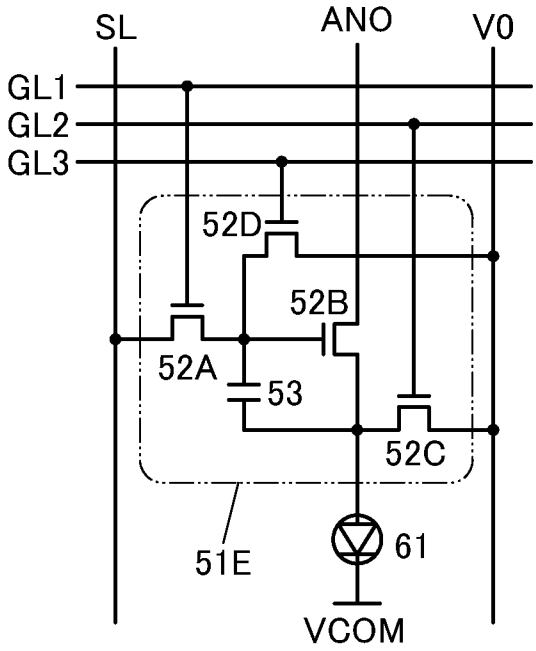


図35B

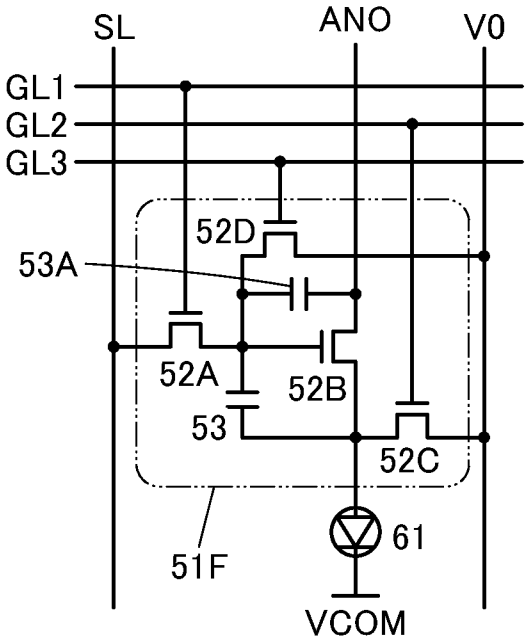


図35C

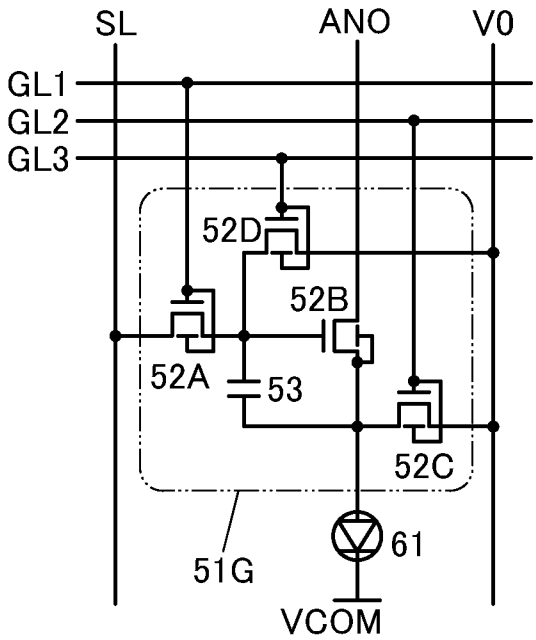


図35D

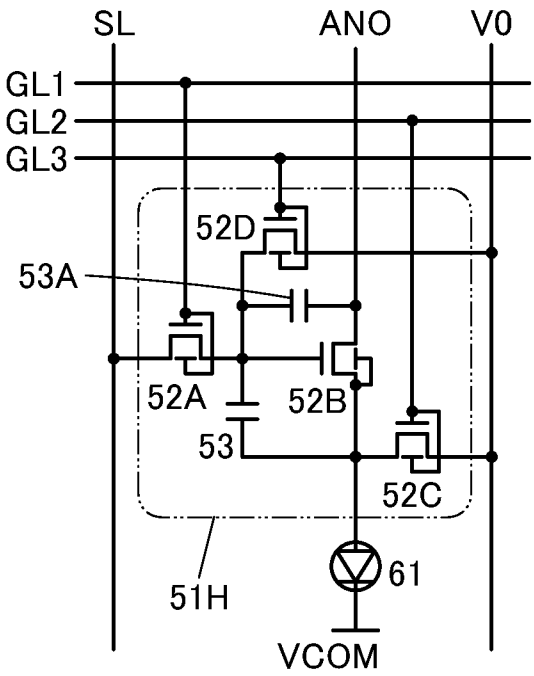


図36A

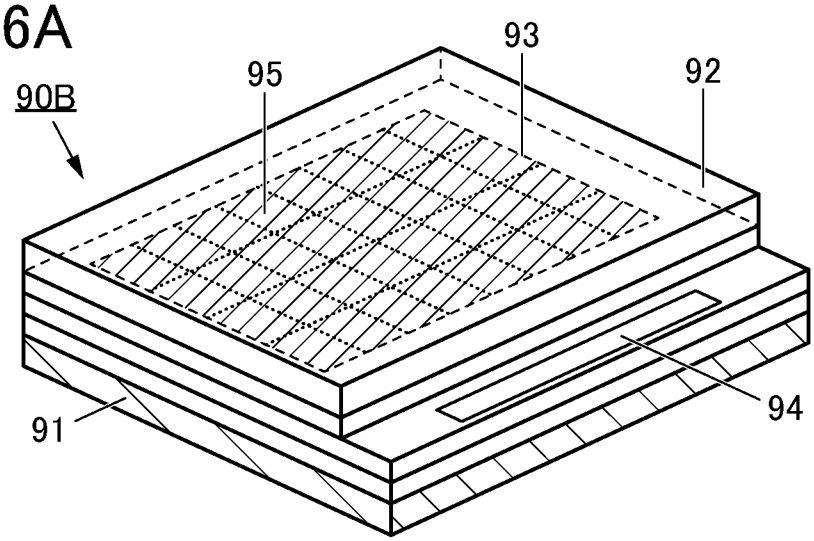


図36B

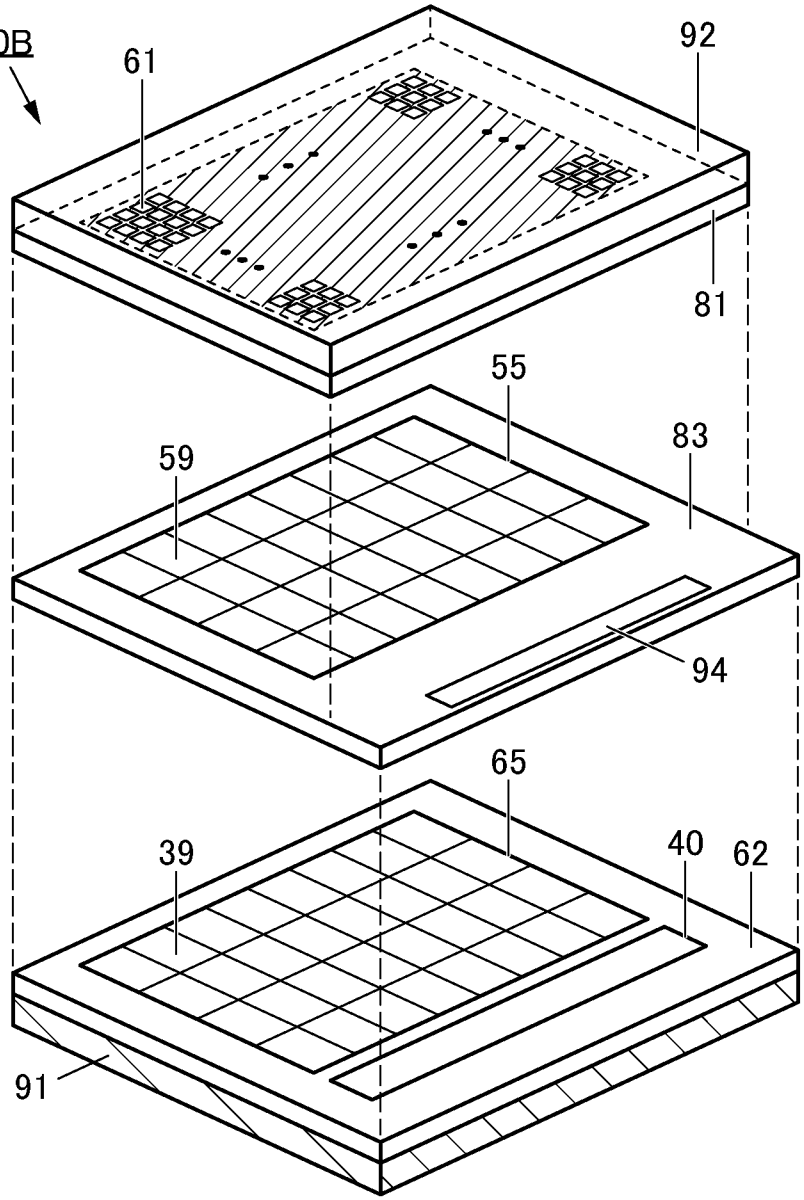


図37A

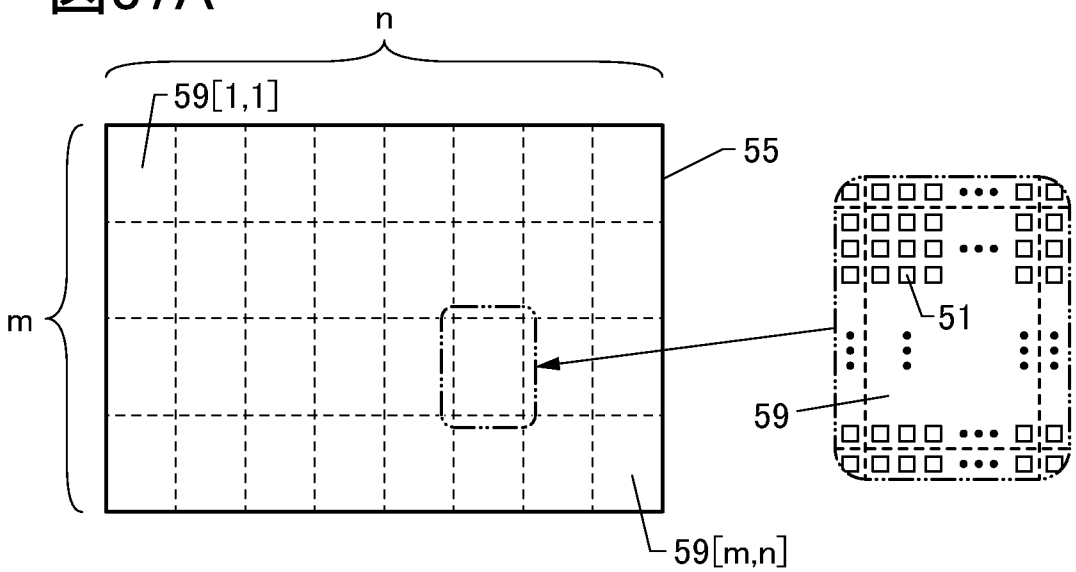


図37B

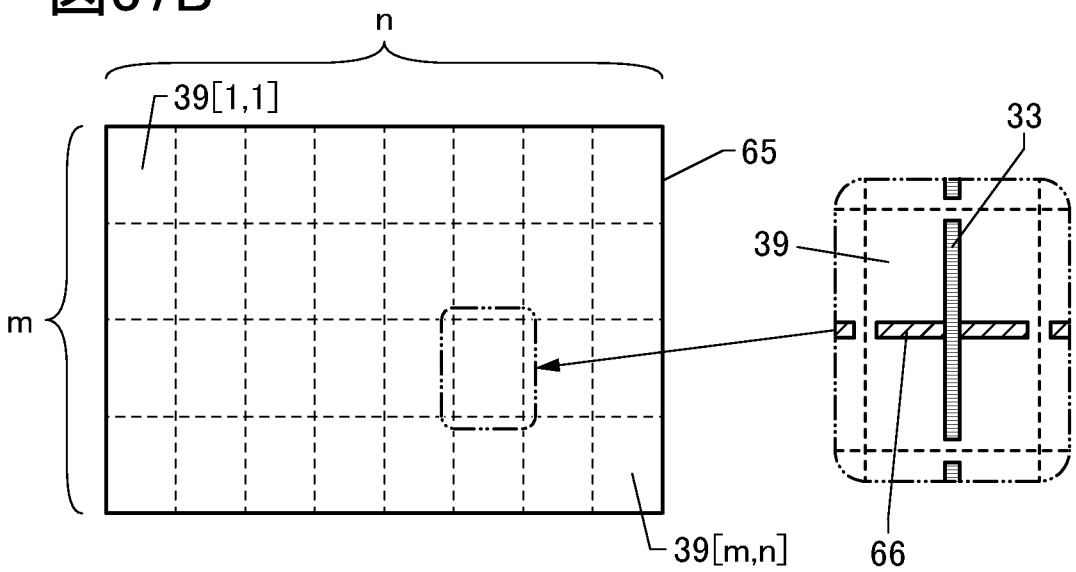


図37C

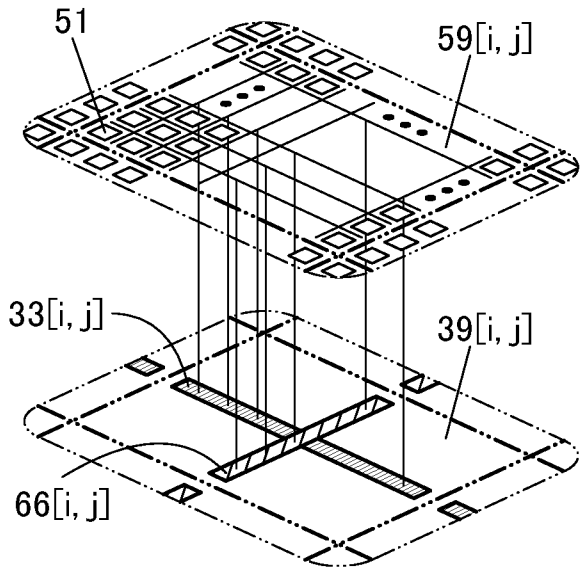


図37D

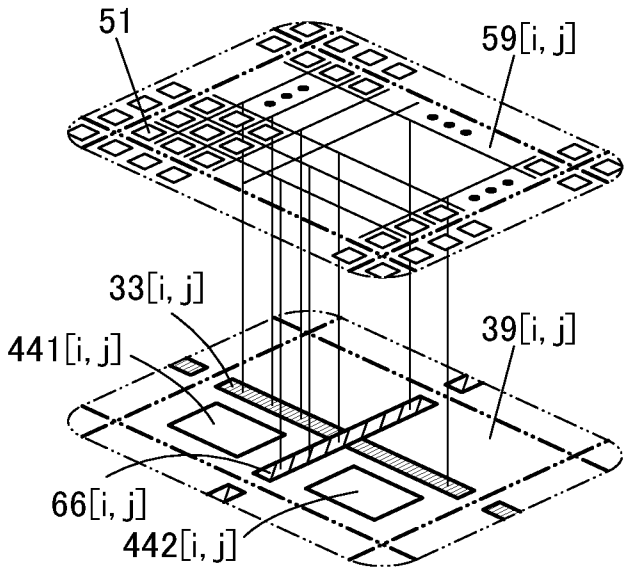


図38A

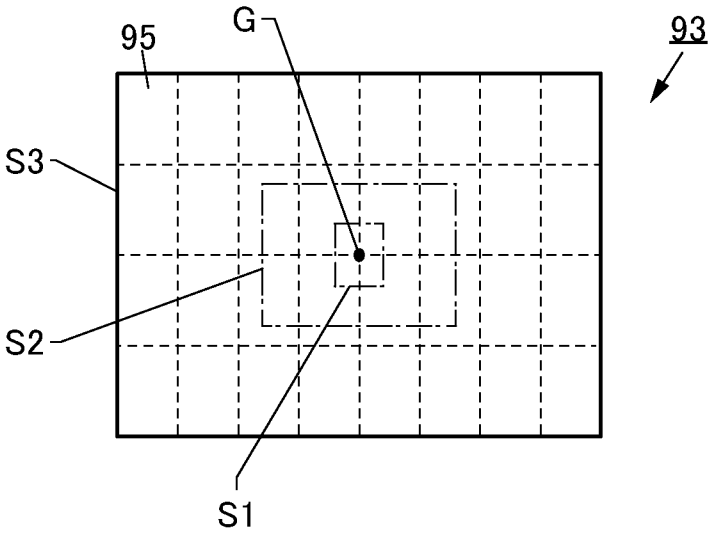


図38B

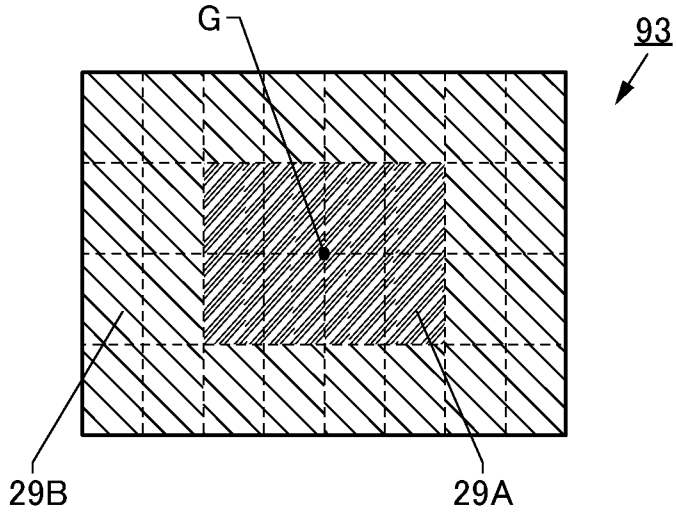


図38C

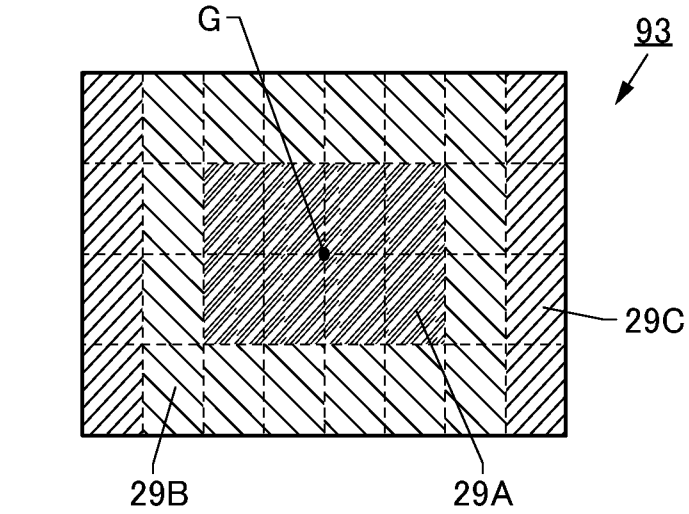


図39A

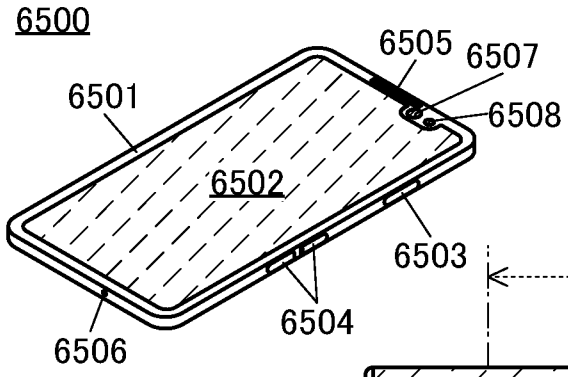


図39B

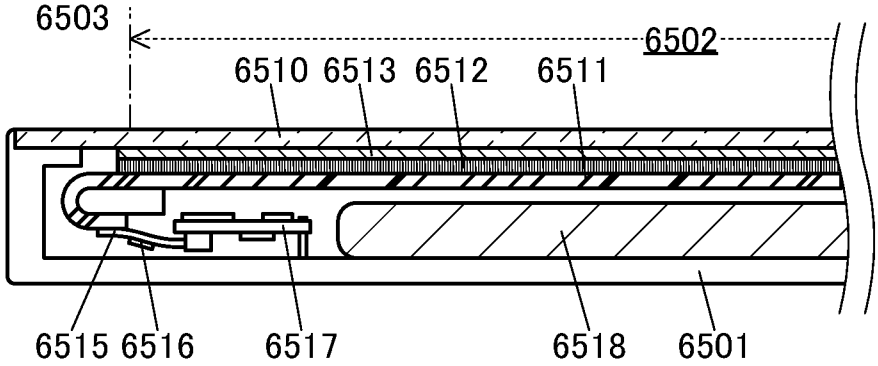


図39C

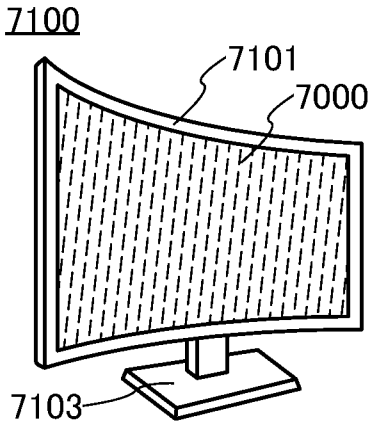


図39D

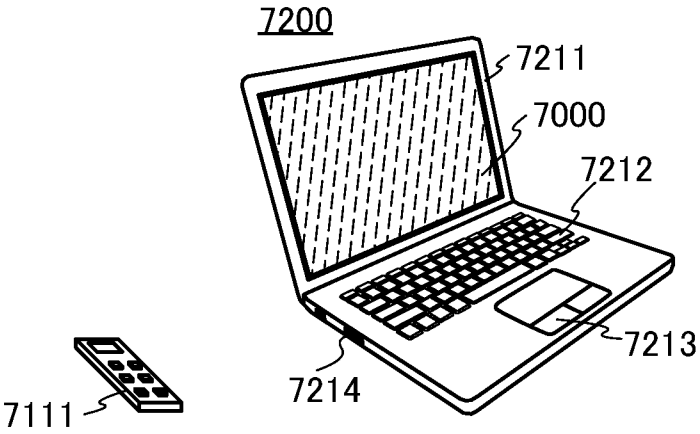


図39E

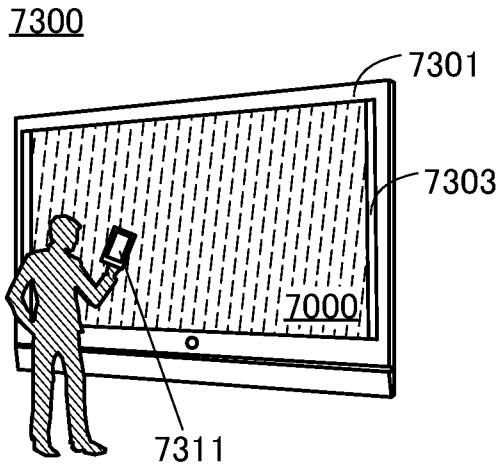


図39F

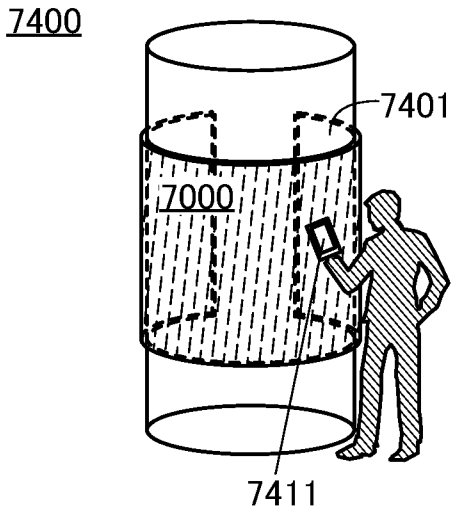


図40A

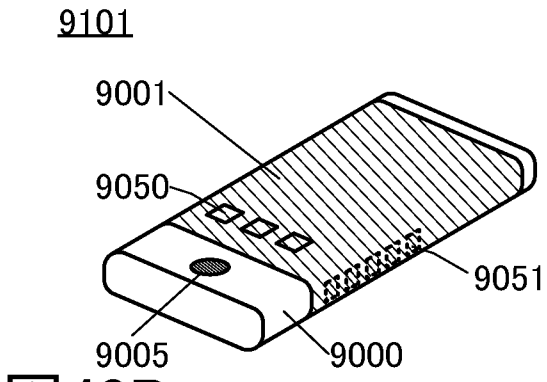


図40B

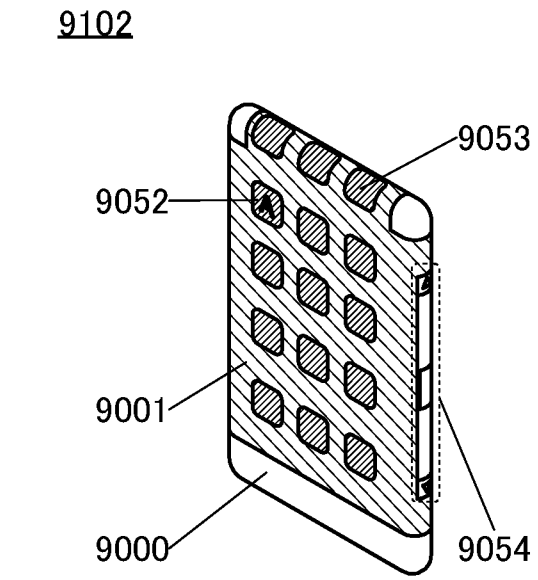


図40C

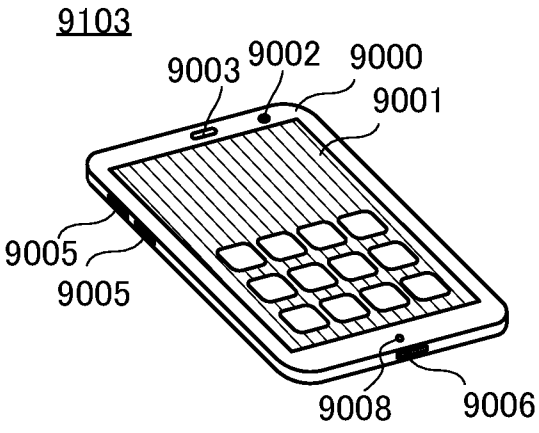


図40D

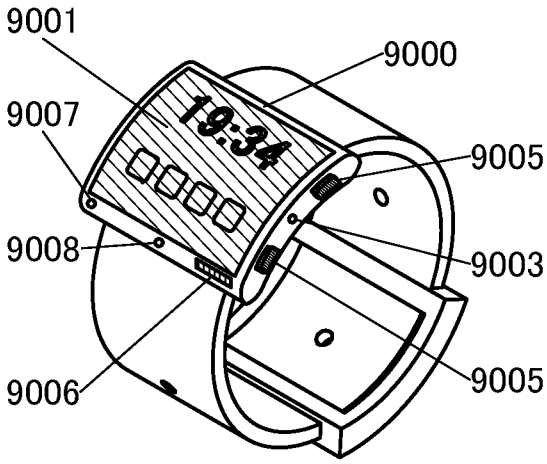


図40E

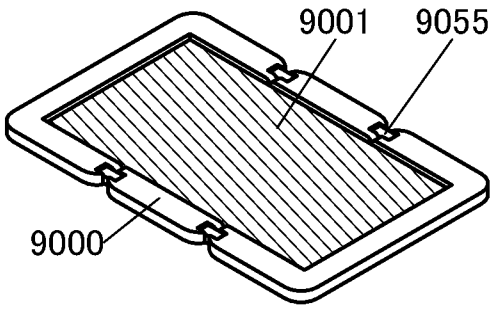


図40F

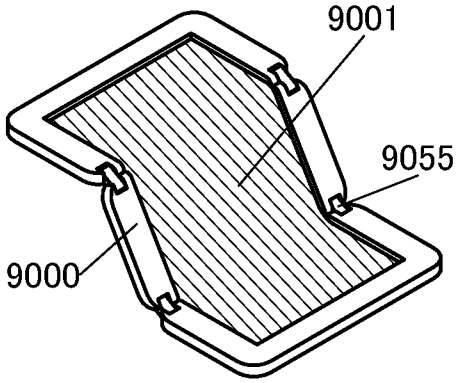


図40G

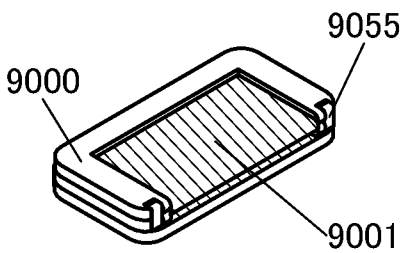


図41A

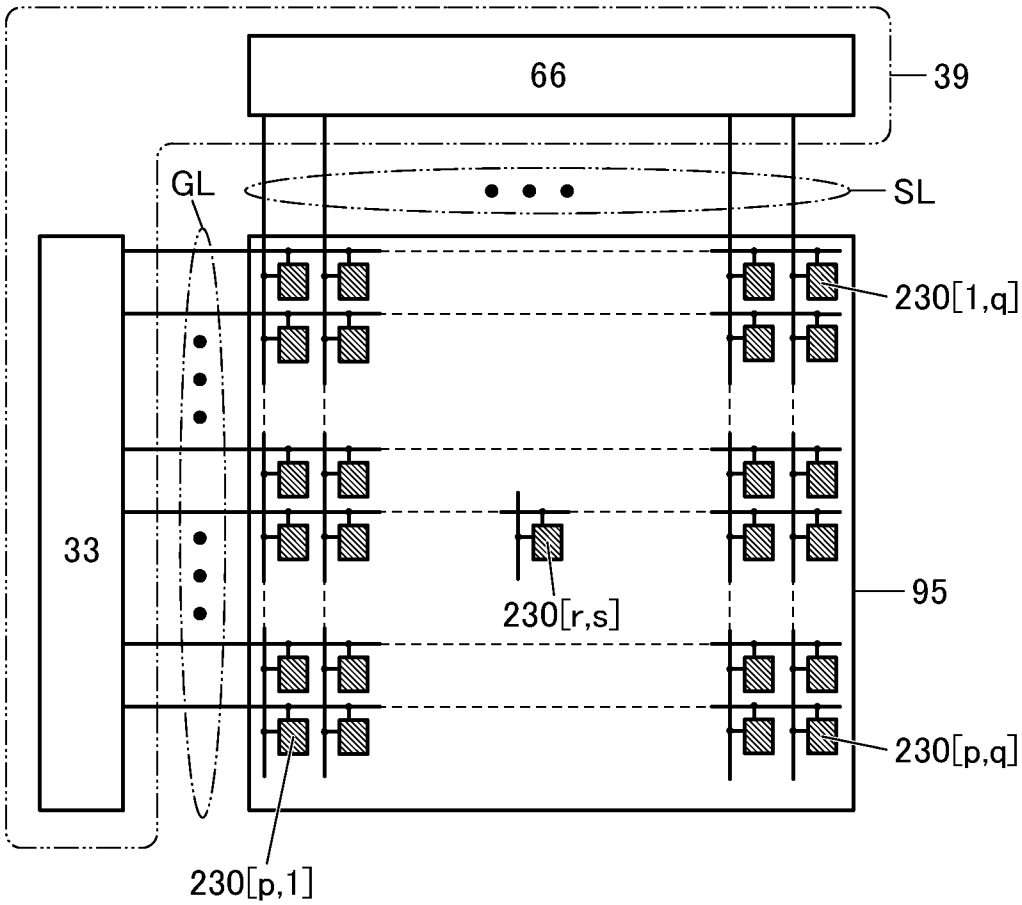


図41B1

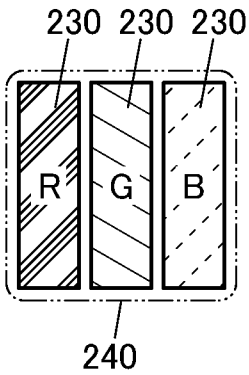


図41B2

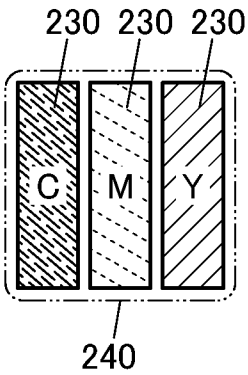


図41B3

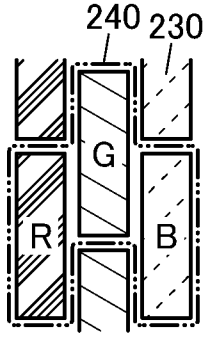


図41B4

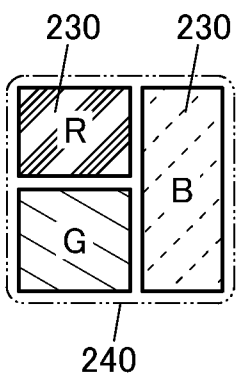


図41B5

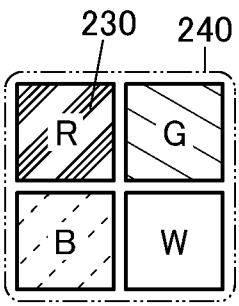


図41B6

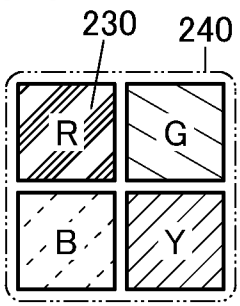


図41B7

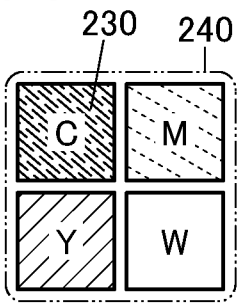


図42A

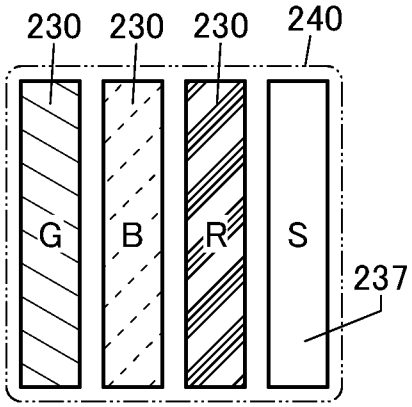


図42B

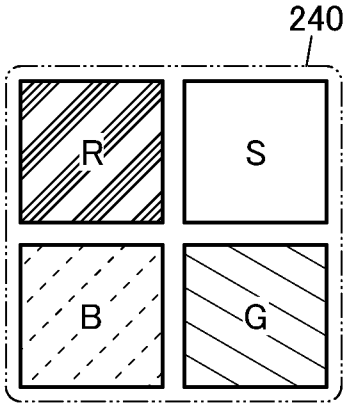


図42C

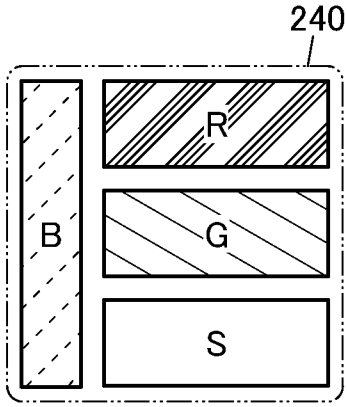


図42D

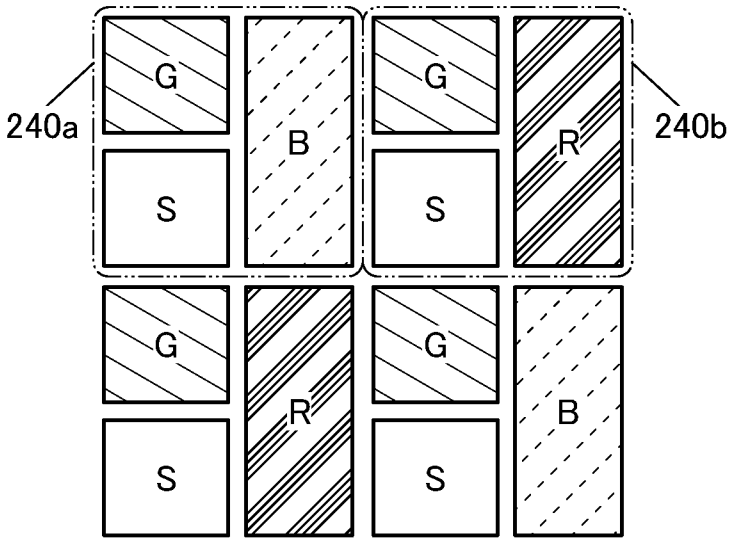


図42E

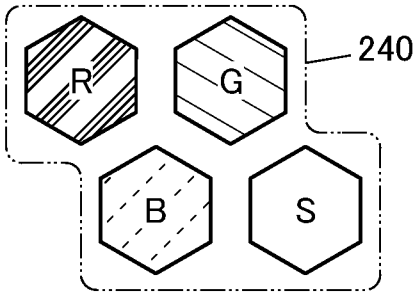


図42F

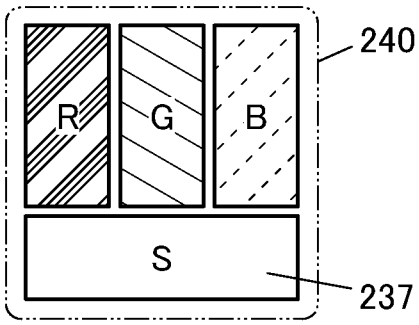


図42G

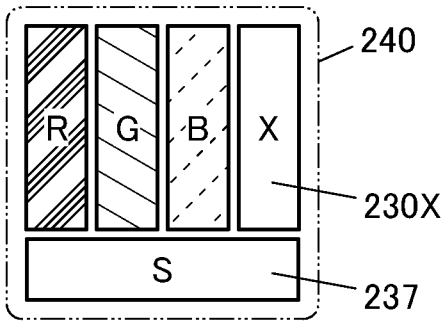


図43A

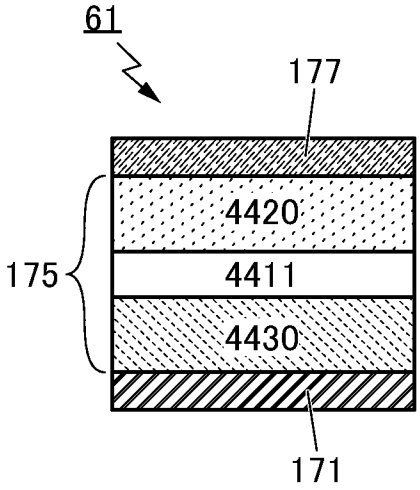


図43B

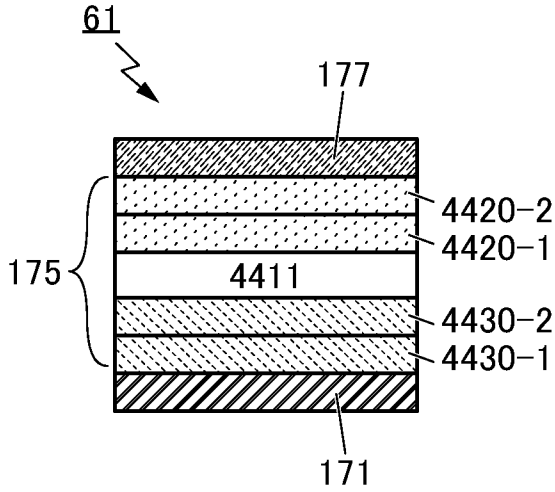


図43C

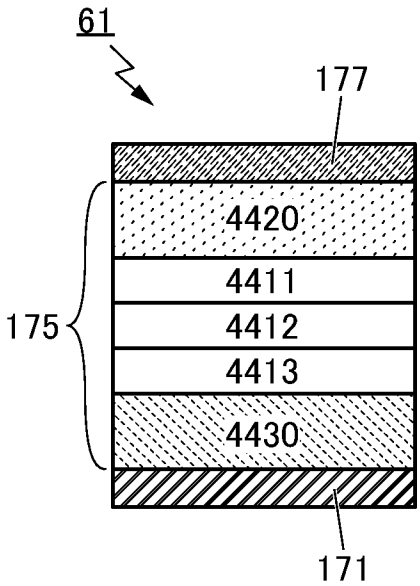
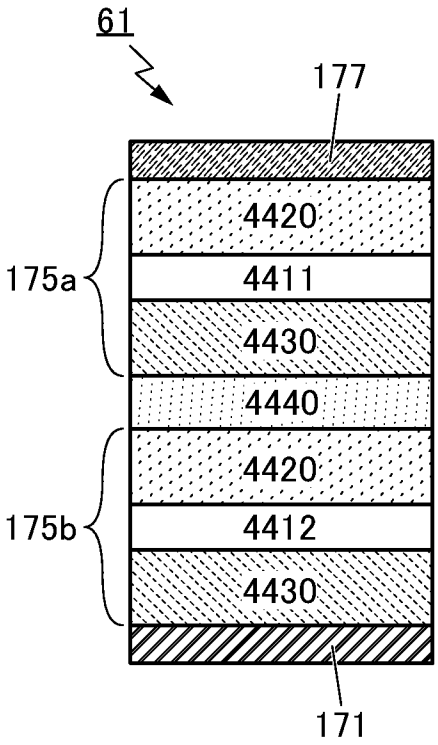


図43D



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2023/063066

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; ***G02F 1/1368***(2006.01)i; ***G09F 9/30***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H10B 12/00***(2023.01)i; ***H10K 59/12***(2023.01)i

FI: H01L29/78 618C; H01L27/088 A; H01L27/088 331E; H10K59/12; G02F1/1368; H10B12/00 801; G09F9/30 338; G09F9/30 348A; H01L29/78 617K; H01L27/06 102A; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; G02F1/1368; G09F9/30; H01L21/8234; H01L27/06; H01L27/088; H10B12/00; H10K59/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-139276 A (JAPAN DISPLAY INC.) 10 August 2017 (2017-08-10) paragraphs [0104], [0109], fig. 17-18	1-2, 4, 7, 9-10, 12-13
Y		8, 14
A		3, 5-6, 11
Y	JP 2015-5738 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 January 2015 (2015-01-08) fig. 11	8, 14
A	WO 2018/203181 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 November 2018 (2018-11-08) entire text, all drawings	3, 11
A	US 2020/0312937 A1 (SAMSUNG DISPLAY CO., LTD.) 01 October 2020 (2020-10-01) entire text, all drawings	3, 11

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 February 2024	**27 February 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2021/0391430 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 16 December 2021 (2021-12-16) entire text, all drawings	3, 11
A	JP 2011-522394 A (ATOMATE CORP.) 28 July 2011 (2011-07-28) entire text, all drawings	5-6
A	US 2018/0204856 A1 (SAMSUNG DISPLAY CO., LTD.) 19 July 2018 (2018-07-19) entire text, all drawings	5-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/063066

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2017-139276 A	10 August 2017	(Family: none)	
JP 2015-5738 A	08 January 2015	US 2014/0339549 A1 fig. 11A-11C	
WO 2018/203181 A1	08 November 2018	JP 2022-159517 A	
US 2020/0312937 A1	01 October 2020	KR 10-2020-0115753 A CN 111739894 A	
US 2021/0391430 A1	16 December 2021	CN 113394296 A TW 202201784 A	
JP 2011-522394 A	28 July 2011	US 2009/0166686 A1 entire text, all drawings KR 10-2010-0110853 A CN 101933125 A	
US 2018/0204856 A1	19 July 2018	KR 10-2018-0085404 A	

国際調査報告

国際出願番号
PCT/IB2023/063066

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/786(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/30(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H10B 12/00(2023.01)i; H10K 59/12(2023.01)i
FI: H01L29/78 618C; H01L27/088 A; H01L27/088 331E; H10K59/12; G02F1/1368; H10B12/00 801; G09F9/30 338; G09F9/30 348A; H01L29/78 617K; H01L27/06 102A; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/786; G02F1/1368; G09F9/30; H01L21/8234; H01L27/06; H01L27/088; H10B12/00; H10K59/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2017-139276 A (株式会社ジャパンディスプレイ) 10.08.2017 (2017-08-10) 段落[0104],[0109],図17-18	1-2,4,7,9-10,12-13
Y		8,14
A		3,5-6,11
Y	JP 2015-5738 A (株式会社半導体エネルギー研究所) 08.01.2015 (2015-01-08) 図11	8,14
A	WO 2018/203181 A1 (株式会社半導体エネルギー研究所) 08.11.2018 (2018-11-08) 全文,全図	3,11
A	US 2020/0312937 A1 (SAMSUNG DISPLAY CO., LTD.) 01.10.2020 (2020-10-01) 全文,全図	3,11

☑ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.02.2024	27.02.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
脇水　佳弘 5F 2376
電話番号 03-3581-1101 内線 3516

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2021/0391430 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 16.12.2021 (2021-12-16) 全文,全図	3,11
A	JP 2011-522394 A (エータモタ・コーポレイション) 28.07.2011 (2011-07-28) 全文,全図	5-6
A	US 2018/0204856 A1 (SAMSUNG DISPLAY CO., LTD.) 19.07.2018 (2018-07-19) 全文,全図	5-6

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/063066

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-139276 A	10.08.2017	（ファミリーなし）	
JP 2015-5738 A	08.01.2015	US 2014/0339549 A1 図11A-C	
WO 2018/203181 A1	08.11.2018	JP 2022-159517 A	
US 2020/0312937 A1	01.10.2020	KR 10-2020-0115753 A CN 111739894 A	
US 2021/0391430 A1	16.12.2021	CN 113394296 A TW 202201784 A	
JP 2011-522394 A	28.07.2011	US 2009/0166686 A1 全文,全図 KR 10-2010-0110853 A CN 101933125 A	
US 2018/0204856 A1	19.07.2018	KR 10-2018-0085404 A	