

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03F 1/52 (2006.01)

H03F 3/45 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580033827.1

[45] 授权公告日 2009年7月15日

[11] 授权公告号 CN 100514845C

[22] 申请日 2005.9.29

[21] 申请号 200580033827.1

[30] 优先权

[32] 2004.10.15 [33] JP [31] 300998/2004

[86] 国际申请 PCT/JP2005/017984 2005.9.29

[87] 国际公布 WO2006/040935 日 2006.4.20

[85] 进入国家阶段日期 2007.4.4

[73] 专利权人 罗姆股份有限公司

地址 日本京都府

[72] 发明人 花田幸一 鹿山正规 野村尚弘

野口章

[56] 参考文献

CN1351378A 2002.5.29

JP6237124A 1994.8.23

审查员 富 瑶

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽 李晓舒

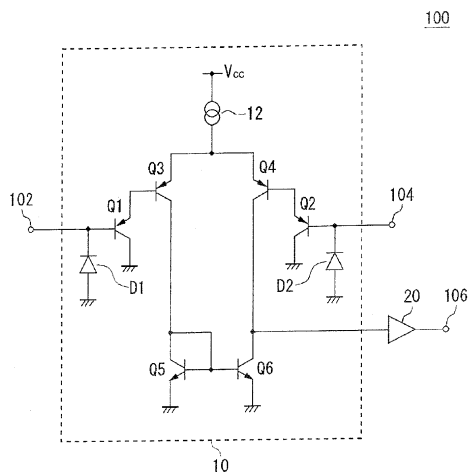
权利要求书 1 页 说明书 9 页 附图 4 页

[54] 发明名称

运算放大器

[57] 摘要

提供一种能够得到高耐压的运算放大器。运算放大器(100)包含设置在输入级的差动放大电路(10)和后级的放大电路(20)。在差动放大电路(10)中,第一、第三双极晶体管(Q1、Q3)都是PNP型双极晶体管,被达林顿连接,在第一双极晶体管(Q1)的基极端子上连接有反相输入端子(102)。第一、第三双极晶体管(Q1、Q3)和第二、第四双极晶体管(Q2、Q4)构成差动输入对。在构成该差动输入对的第一、第二双极晶体管(Q1、Q2)的基极端子和接地电位之间分别连接有第一保护二极管(D1)、第二保护二极管(D2)。这些保护二极管的阴极端子连接到双极晶体管的基极侧,阳极端子连接到接地电位侧。



100

1.一种运算放大器，其特征在于，具有保护二极管，其阴极端子被连接在分别与本运算放大器的反相输入端子和同相输入端子连接的、构成输入差动对的晶体管中的至少一个晶体的控制端子上，阳极端子被连接在接地电位端子上，

构成所述输入差动对的晶体管是 PNP 型双极晶体管，设定所述保护二极管的大小，使得从阴极端子向阳极端子流过的反向电流与所述晶体的基极电流大致相等。

2.一种运算放大器，其特征在于，具有保护二极管，其阳极端子被连接在分别与本运算放大器的反相输入端子和同相输入端子连接的、构成输入差动对的晶体管中的至少一个晶体的控制端子上，阴极端子被连接在电源电压端子上，

构成所述输入差动对的晶体管是 NPN 型双极晶体管，设定所述保护二极管的大小，使得从阴极端子向阳极端子流过的反向电流与所述晶体的基极电流大致相等。

3.如权利要求 1 或 2 所述的运算放大器，其特征在于，并联连接多个所述保护二极管。

4.如权利要求 1 或 2 所述的运算放大器，其特征在于，所述运算放大器被一体集成，所述保护二极管与电极焊盘邻接设置，所述电极焊盘对应于连接该保护二极管的所述反相输入端子或者所述同相输入端子。

运算放大器

技术领域

本发明涉及运算放大器，特别涉及其电路保护技术。

背景技术

运算放大器作为构成电子电路的基本电路而在所有用途中被广泛地使用。这样的运算放大器除了集成在 LSI 的一部分中使用的情況之外，作为安装在印制电路板等上的单体的封装商品也在很多的用途中所必需。

在这样的电路部件的封装品中，特别强烈要求对浪涌、静电等的可靠性。在将运算放大器构成为单体的封装品的情況下，由于反相、同相输入端子作为外部电极而被引出，因此需要对这些输入端子设置保护电路。

运算放大器的反相、同相输入端子被连接到构成差动输入对的晶体管，需要对静电放电（Electro Static Discharge，以下略写作 ESD）等进行保护。关于这样的运算放大器的保护，例如记载于专利文献 1 中。

专利文献 1：特开平 11-74742 号公报

发明内容

在上述文献中记载的技术中，采用通过将构成差动输入对的晶体管设为双极晶体管来提高耐压的方法。但是，即使是双极晶体管，如果在基极-发射极之间或者基极-集电极之间施加接近数百伏至数千伏的高电压，则其可靠性有时受到影响。

本发明鉴于这样的课题而完成，其目的在于提供一种具有高耐压性的运算放大器。

本发明的一个方式涉及运算放大器。该运算放大器具有保护二极管，其阴极端子被连接在分别与本运算放大器的反相输入端子和同相输入端子连接的、构成输入差动对的两个晶体管中的至少一个晶体管的控制端子上，阳极端子被连接在接地电位端子上。

“控制端子”在双极晶体管中是指基极端子，在场效应晶体管（以下略

记作 FET) 中是指栅极端子。

根据该方式, 通过将保护二极管设置在反相、同相输入端子和固定电位的接地电位之间, 从而在构成差动对的晶体管中流过浪涌电流之前, 保护二极管反向导通, 由于对晶体管施加的电压被箝位, 因此能够提高耐压。

另外, 本说明书中的“运算放大器”是也包含具有输入差动对的比较器的广义概念。

构成输入差动对的晶体管是 PNP 型双极晶体管, 设定保护二极管的大小, 使得从阴极端子向阳极端子流过的反向电流与晶体管的基极电流大致相等也可以。

通过使用双极晶体管可以获得比 FET 还高的耐压, 进而, 通过利用二极管的反向电流, 使双极晶体管的基极电流流入地, 从而能够减轻基极电流对连接到运算放大器的输入端子的电路带来的影响。

本发明的其它方式也是运算放大器。该运算放大器具有保护二极管, 其阳极端子被连接在分别与本运算放大器的反相输入端子和同相输入端子连接的、构成输入差动对的两个晶体管中的至少一个晶体的控制端子上, 阴极端子被连接在固定电位的电源电压端子上。

根据该方式, 即使在电源电压端子或者反相、同相输入端子输入了浪涌的情况下, 也能够保护晶体管。

构成输入差动对的晶体管是 NPN 型双极晶体管, 设定保护二极管的大小, 使得从阴极端子向阳极端子流过的反向电流与晶体管的基极电流大致相等也可以。

通过使用双极晶体管可以获得比 FET 还高的耐压, 进而, 通过利用保护二极管的反向电流, 经由保护二极管提供双极晶体管的基极电流, 从而能够降低基极电流对连接到运算放大器的输入端子的电路带来的影响。

也可以并联连接多个保护二极管。

通过并联地微调多个二极管而能够调节面积, 从而在半导体制造工艺等的偏差引起晶体管的耐压变化的情况下, 能够相应于晶体管的耐压来调节保护二极管的大小。进而, 在半导体制造工艺等的偏差引起晶体管的电流放大率偏差的情况下, 运算放大器的偏置电流、即构成差动输入对的晶体管的基极电流偏差, 因此通过对应于该基极电流来调节保护二极管的大小, 从而能够降低对连接到输入端子的电路产生的影响。

也可以运算放大器被一体集成, 保护二极管与电极焊盘邻接设置, 所述

电极焊盘对应于连接该保护二极管的反相输入端子或者同相输入端子。

另外，将以上的构成要素的任意组合、本发明的构成元件和表现在方法、装置、系统等之间互相置换的结果，作为本发明的方式都有效。

根据本发明的运算放大器能够得到高的耐压。

附图说明

图 1 是表示实施方式的运算放大器的结构的电路图。

图 2 是表示图 1 的运算放大器中的反相输入端子的周边电路的图。

图 3 (a)、图 3 (b) 是表示图 1 的运算放大器的反相、同相输入端子的电极焊盘以及第一、第二保护二极管的半导体芯片上的配置的图。

图 4 是表示差动放大电路的结构变形例的图。

图 5 是表示差动放大电路的变形例以及保护二极管的连接方式的图。

标号说明

Q1 第一双极晶体管，Q2 第二双极晶体管，Q3 第三双极晶体管，Q4 第四双极晶体管，Q5 第五双极晶体管，Q6 第六双极晶体管，D1 第一保护二极管，D2 第二保护二极管，D3 第三保护二极管，D4 第四保护二极管，10 差动放大电路，12 恒流源，20 放大电路，100 运算放大器，102 反相输入端子，104 同相输入端子，106 输出端子。

具体实施方式

图 1 是表示实施方式的运算放大器 100 的结构的电路图。该运算放大器 100 包含设置在输入级的差动放大电路 10 和后级的放大电路 20，将被输入到反相输入端子 102 以及同相输入端子 104 的信号进行差动放大之后从输出端子 106 输出。在以后的图中，对同一构成元件赋予同一标号，并省略重复的说明。

差动放大电路 10 包含第一至第六双极晶体管 Q1 ~ Q6、恒流源 12、第一、第二保护二极管 D1、D2。

第一双极晶体管 Q1、第三双极晶体管 Q3 都是 PNP 型双极晶体管，被达林顿连接，在第一双极晶体管 Q1 的基极端子上连接有反相输入端子 102。

同样，第二双极晶体管 Q2、第四双极晶体管 Q4 都是 PNP 型双极晶体管，被达林顿连接，在第二双极晶体管 Q2 的基极端子上连接有同相输入端子 104。

第一、第三双极晶体管 Q1、Q3 和第二、第四双极晶体管 Q2、Q4 在差动放大电路 10 中构成差动输入对。第三双极晶体管 Q3 以及第四双极晶体管 Q4 的发射极端子互相共用地连接到恒流源 12。

第五双极晶体管 Q5 以及第六双极晶体管 Q6 是 NPN 型双极晶体管，基极、发射极端子被共用地连接，形成电流镜电路。该第五、第六双极晶体管 Q5、Q6 对于构成差动输入对的第一、第三双极晶体管 Q1、Q3 以及第二、第四双极晶体管 Q2、Q4 的功能为恒流负载。

在本实施方式的运算放大器 100 中，在构成该差动输入对的第一、第二双极晶体管 Q1、Q2 的基极端子和接地电位之间，分别连接有第一保护二极管 D1、第二保护二极管 D2。这些保护二极管的阴极端子连接到双极晶体管的基极侧，阳极端子连接到接地电位侧。

第四双极晶体管 Q4 以及第六双极晶体管 Q6 的连接点连接到放大电路 20。该放大电路 20 由一般的运算放大器的输出级构成即可，其电路形式任意。

下面说明如以上这样构成的运算放大器 100 的电路保护。如果从反相输入端子 102 或同相输入端子 104 输入数百伏至数千伏的浪涌电压，则第一保护二极管 D1、第二保护二极管 D2 反向导通。此时，在第一保护二极管 D1、第二保护二极管 D2 中反向流过大电流，阳极 - 阴极之间的电位差由齐纳电压 V_z 箝位。其结果，由于在第一双极晶体管 Q1、第二双极晶体管 Q2 的基极 - 发射极之间不会施加齐纳电压 V_z 以上的电压，因此通过将保护二极管的齐纳电压 V_z 设定得低于双极晶体管的基极 - 发射极之间或基极 - 集电极之间的耐电压，从而对于施加对双极晶体管的可靠性产生影响的高电压的情况能够防患于未然。

接着，说明本实施方式的运算放大器 100 中的保护二极管的大小。

在差动放大电路 10 中构成差动对的第三双极晶体管 Q3、第四双极晶体管 Q4 中，由恒流源 12 流过偏置电流。这里，双极晶体管的基极电流 I_b 和集电极电流 I_c 使用电流放大率 β 具有 $I_c = I_b \times \beta$ 的关系。

现在，假设通过恒流源 12 生成 $2 \times I_x$ 的电流，则在平衡时，在第三双极晶体管 Q3 以及第四双极晶体管 Q4 中分别流过 I_x 的集电极电流。从而，第三、第四双极晶体管 Q3、Q4 的基极电流分别流过 I_x/β 的电流。

由于在一个集成电路内接近形成构成差动对的第一至第四晶体管 Q1 ~ Q4，因此认为该电流放大率 β 都相等。第三双极晶体管 Q3、第四双极晶体管

Q4 的基极电流分别与与被达林顿连接的第一双极晶体管 Q1、第二双极晶体管 Q2 的集电极电流相当，因此第一双极晶体管 Q1 以及第二双极晶体管 Q2 的基极电流由 $I_x / (\beta \times \beta)$ 得到。

该第一、第二双极晶体管 Q1、Q2 的基极电流分别从反相输入端子 102、同相输入端子 104 向运算放大器 100 的外部流出。一般，相对于运算放大器 100 的输入阻抗，与运算放大器 100 的反相输入端子 102、同相输入端子 104 连接的电路的输出阻抗足够低，因此上述基极电流对电路工作产生的影响不很成为问题。但是，在运算放大器 100 的反相输入端子 102、或者同相输入端子 104 上连接光电二极管等这样的输出与输入信号对应的检测电流的元件的情况下，在其检测电流微弱的情况下，有时第一双极晶体管 Q1、第二双极晶体管 Q2 中流过的基极电流对电路工作产生的影响不能忽视。

因此，在这样的情况下，最好如以下这样决定本实施方式的运算放大器 100 的保护二极管的大小。

在对作为第一保护二极管 D1、第二保护二极管 D2 而设置的二极管反向施加的电压小于齐纳电压 V_z 的情况下，在这些二极管中从阴极端子向阳极端子流过微少的反向电流。该保护二极管中流过的反向电流与二极管的大小成比例。

因此，通过调节该二极管的大小，使保护二极管中流过的反向电流和平衡时在第一双极晶体管 Q1、第二双极晶体管 Q2 中流过的基极电流实质上相等，从而第一、第二双极晶体管 Q1、Q2 中流过的基极电流经由第一、第二保护二极管 D1、D2 流向地。其结果，由于不从反相输入端子 102 以及同相输入端子 104 向外部流电流，因此能够降低对连接到外部的电路产生的影响。这里，虽然使双极晶体管的基极电流和保护二极管的反向电流多大程度相等即可，可以根据连接到外部的电路而决定，但至少设为从 1/2 倍到 2 倍以内。

第一保护二极管 D1、第二保护二极管 D2 也可以并联连接多个二极管而形成。图 2 表示图 1 的运算放大器 100 中的反相输入端子 102 的周边电路。

在图 2 中，第一保护二极管 D1 通过并联连接四个二极管 30 而形成，各个二极管 30 由布线连接。由激光微调来切断将该二极管之间连接的布线，并变更并联连接的二极管的数量，从而能够调节第一保护二极管 D1 的大小。

保护二极管的大小例如需要通过如下的情况来调节。首先，成为保护对象的双极晶体管的耐压根据制造运算放大器 100 的半导体制造工艺等的偏差

而变化。另一方面，保护二极管的保护能力除了二极管的齐纳电压 V_z 之外，还可以由其大小来决定。因此，通过对应于双极晶体管的耐压来微调将二极管 30 连接的布线、设为所希望的大小，从而能够适当地对保护对象的双极晶体管进行保护。

此外，在双极晶体管的电流放大率 β 由于半导体制造工艺的偏差等而偏差的情况下，运算放大器 100 的偏置电流，即构成差动输入对的第一、第二双极晶体管 Q1、Q2 的基极电流也偏差。从而，在需要减轻基极电流对运算放大器 100 的反相输入端子 102、同相输入端子 104 上连接的电路带来的影响的情况下，可以通过微调来调节第一保护二极管 D1、第二保护二极管 D2 的大小，以使基极电流和反向电流相等。

此外，在半导体集成电路的设计中，也有时想要在多个产品上共用同一掩模。例如，在运算放大器 100 所要求的通过速率等特性对每个产品不同的情况下，有时相应于此，偏置电流、即第一、第二双极晶体管 Q1、Q2 的基极电流也被变更。此时，通过微调而能够调整二极管大小，从而能够适应多个产品而不必大幅度地变更设计。

图 3 (a)、(b) 是表示图 1 的运算放大器 100 的反相输入端子 102、同相输入端子 104 的电极焊盘、第一保护二极管 D1、第二保护二极管 D2 的半导体芯片上的配置的图。如图 3 (a)、(b) 所示，构成运算放大器 100 的双极晶体管被形成在半导体芯片上的中心区域 200 中。

在半导体芯片的外周配置反相输入端子 102、同相输入端子 104、接地端子 GND、电源电压端子 Vcc 等电极焊盘，使它们包围该区域 200。

保护二极管的大小与电极焊盘的大小程度相同。因此，将保护二极管与电极焊盘并列地配置在半导体芯片的外周部分。即，第一、第二保护二极管 D1、D2 分别与对应于反相输入端子 102、同相输入端子 104 的电极焊盘邻接地设置。

对反相输入端子 102、同相输入端子 104 输入浪涌电压，保护二极管在反向导通时，在保护二极管中流过大电流。因此，连接保护二极管的阳极端子的接地电位，如图 3 (a)、(b) 所示这样，通过粗的接地布线 40 与接地端子 GND 连接。包围区域 200 地铺设该接地布线 40。由接地布线 40 包围构成运算放大器 100 的电路元件的周边，从而来自外部的噪声等被除去，因此能够使运算放大器 100 的工作更稳定。

如图 3 (a) 这样, 在将反相输入端子 102、同相输入端子 104 邻接配置的情况下, 由于构成差动对的第一~第四双极晶体管 Q1~Q4 被接近配置, 因此能够使布线的围绕最短。

此外, 在如图 3 (b) 这样配置的情况下, 由于第一保护二极管 D1、第二保护二极管 D2 邻接, 因此能够使二极管的特性均等。此外, 能够降低反相输入端子 102、同相输入端子 104 之间的信号干扰。

这样, 根据本实施方式的运算放大器 100, 能够由保护二极管对构成差动输入对的第一、第二双极晶体管 Q1、Q2 进行保护。进而, 通过调整保护二极管的大小, 从而能够降低第一、第二双极晶体管 Q1、Q2 中流过的基极电流对运算放大器 100 的外部产生的影响。

差动放大电路 10 中的保护二极管的连接方式考虑各种变形例。图 4 表示这样的差动放大电路 10 的结构变形例。图 4 所示的差动放大电路 10b 由与图 1 所示的差动放大电路 10 相同的电路元件构成, 但保护二极管的连接不同。

即, 在图 4 的差动放大电路 10b 中, 构成差动放大对的第一双极晶体管 Q1、第二双极晶体管 Q2 在各自的基极端子和电源电压端子 Vcc 之间具有第三保护二极管 D3、第四保护二极管 D4。

通过在双极晶体管的基极端子以及电源电压之间也设置第三、第四保护二极管 D3、D4, 从而在对电源电压端子 Vcc 上施加了浪涌电压的情况下, 或者对反相输入端子 102、同相输入端子 104 施加了负的浪涌电压的情况下等, 这些保护二极管都反向导通, 并箝位于齐纳电压 V_z , 因此能够防止对第一~第四双极晶体管 Q1~Q4 施加耐压以上的电压, 并且能够进一步提高电路的可靠性。

此外, 在图 4 的差动放大电路 10b 进行通常工作时, 在第一保护二极管 D1 中, 从阴极端子向阳极端子, 即从反相输入端子 102 向接地端子 GND 流过微少的反向电流 I_{r1} 。同样, 在第三保护二极管 D3 中, 也从电源电压端子 Vcc 向反相输入端子 102 流过微少的反向电流 I_{r3} 。各保护二极管的反向电流的大小取与各个二极管大小大致成正比的值。

从而, 如果将第一双极晶体管 Q1 的基极电压设为 I_b , 则在设定第一、第三保护二极管 D1、D3 的大小, 以使 $I_b = I_{r1} - I_{r3}$ 成立的情况下, 能够降低偏置电流对与运算放大器 100 的反相输入端子 102 连接的电路产生的影响。对于同相输入端子 104 也同样。

图 5 表示差动放大电路以及保护二极管的连接方式的其它变形例。图 1、图 4 的差动放大电路 10 都通过 PNP 型的双极晶体管形成输入差动对，但在图 5 的差动放大电路 10c 中，由 NPN 型双极晶体管形成输入差动对。在 NPN 型的双极晶体管中，在流入晶体管的方向上流过基极电流 I_b 。因此，将第三保护二极管 D3 设置在反相输入端子 102 和电源电压端子 V_{cc} 之间。另外，构成输入差动对的双极晶体管不一定要达林顿连接，也可以如图 5 所示这样，为一级结构。

其结果，在对电源电压端子 V_{cc} 施加了浪涌电压的情况下，或者对反相输入端子 102、同相输入端子 104 施加了负的浪涌电压的情况下等，第三、第四保护二极管 D3、D4 在反向导通，并且箝位于齐纳电压 V_z ，因此能够防止对第一、第二双极晶体管 Q1、Q2 施加耐压以上的电压，并且能够进一步提高电路的可靠性。

此外，此时，调节第三保护二极管 D3 的大小，将第三保护二极管 D3 中流过的反向电流 I_{r3} 和第一双极晶体管 Q1 的基极电流 I_b 设定得大致相等，从而能够降低偏置电流对运算放大器 100 的反相输入端子 102 上连接的电路带来的影响。对于同相输入端子 104 侧也同样。

上述实施方式为例示，本领域技术人员应当理解，这些各构成元件和各处理过程的组合可以有各种变形例，而且这样的变形例也属于本发明的范围。

在实施方式中，以构成运算放大器 100 的晶体管元件为双极晶体管的情况为一例进行了说明，但也可以是 FET。对于使用哪种晶体管，根据半导体制造工艺或要求的特性、成本等选择即可。

在图 1、图 4、图 5 所示以外，对于差动放大电路 10 的电路结构以及二极管的连接形式考虑各种变形例。例如，不一定对反相输入端子 102 以及同相输入端子 104 两者都设置保护二极管，可以仅对其中一个的输入端子设置保护二极管，在图 4 中，也可以采用仅具有第一、第三保护二极管 D1、D3 的结构。

此外，在图 5 中，第一、第二双极晶体管 Q1、Q2 还可以在各自的基极端子和接地端子之间具有保护二极管。此外，图 5 的第一、第二双极晶体管 Q1、Q2 上还可以通过达林顿方式连接有其它的晶体管，也可以在各自的基极端子和接地端子之间设置保护二极管，或者进一步在基极端子和电源电压端子之间也设置保护二极管。反之，图 1、图 4 的输入差动对也可以不是达林

顿形式，而采用一级结构，在第三、第四双极晶体管 Q3、Q4 的基极和固定电位之间设置保护二极管也可以。

进而，在图 1、图 4、图 5 的差动放大电路 10 中，也可以在保护二极管 D1 ~ D4 的阳极端子或阴极端子上连接保护电阻。此外，也可以在第一双极晶体管 Q1、第二双极晶体管 Q2 的集电极端子或基极端子上设置保护电阻。在该情况下，可以使保护二极管 D1 ~ D4 的电路保护更稳定。

此外，作为保护二极管，在肖特基二极管和齐纳二极管等二极管中，根据成为保护对象的双极晶体管的耐压和齐纳电压的关系而选择适当的二极管即可。

此外，在本实施方式中说明的运算放大器中，除了一般作为运算放大器而产品化的通用 IC 之外，还含有单体 IC 化的通用比较器等，在比较器中，通过对差动输入对设置保护二极管也可以应用本发明。

产业上的可利用性

本发明可利用于需要高耐压的运算放大器。

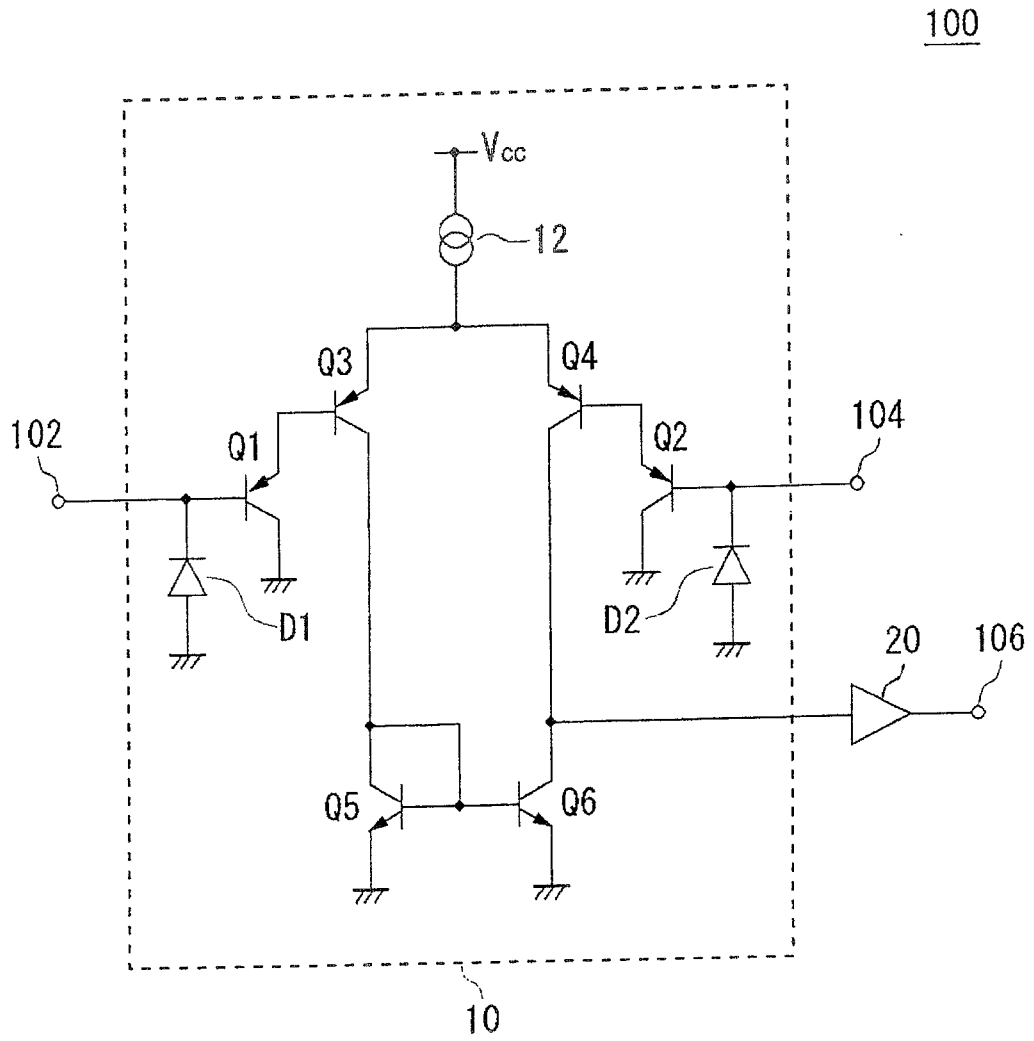


图 1

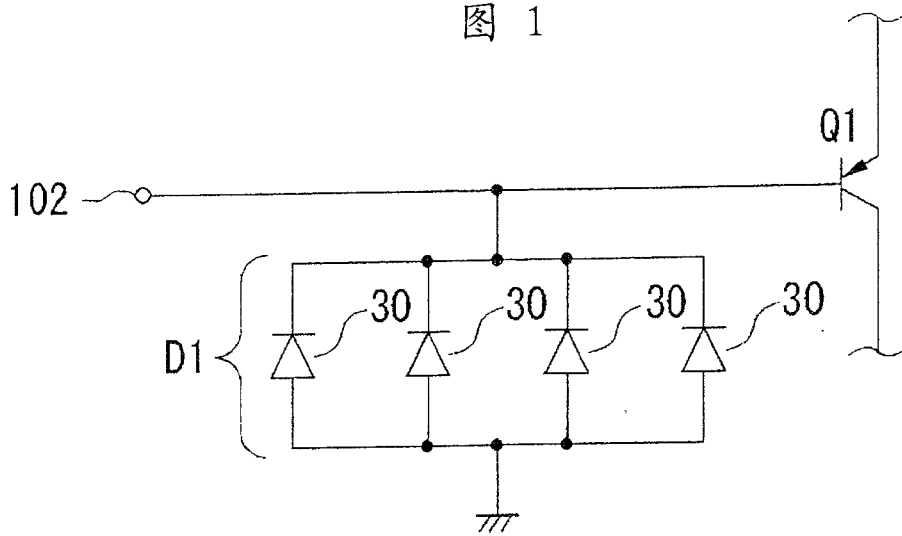


图 2

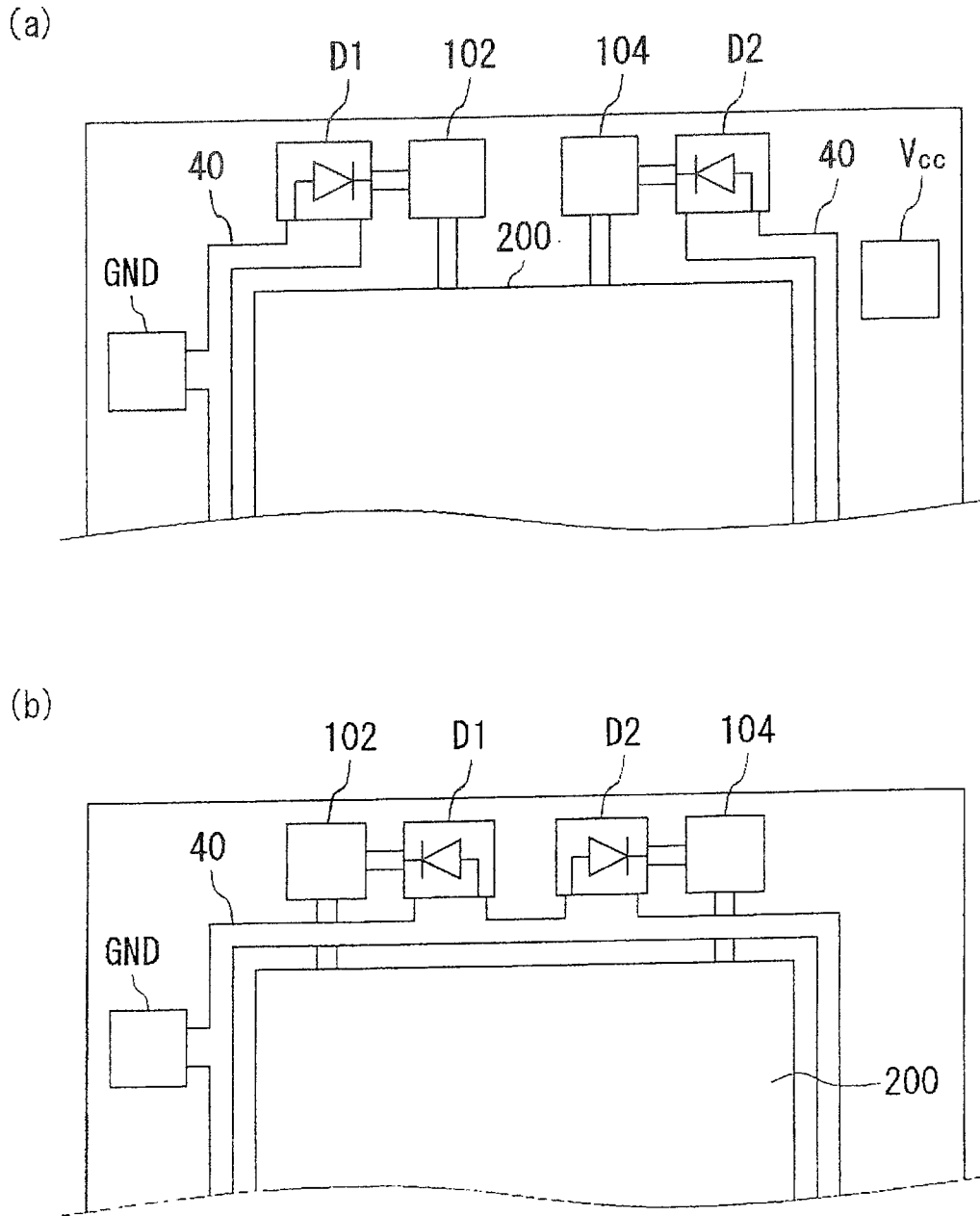


图 3

100

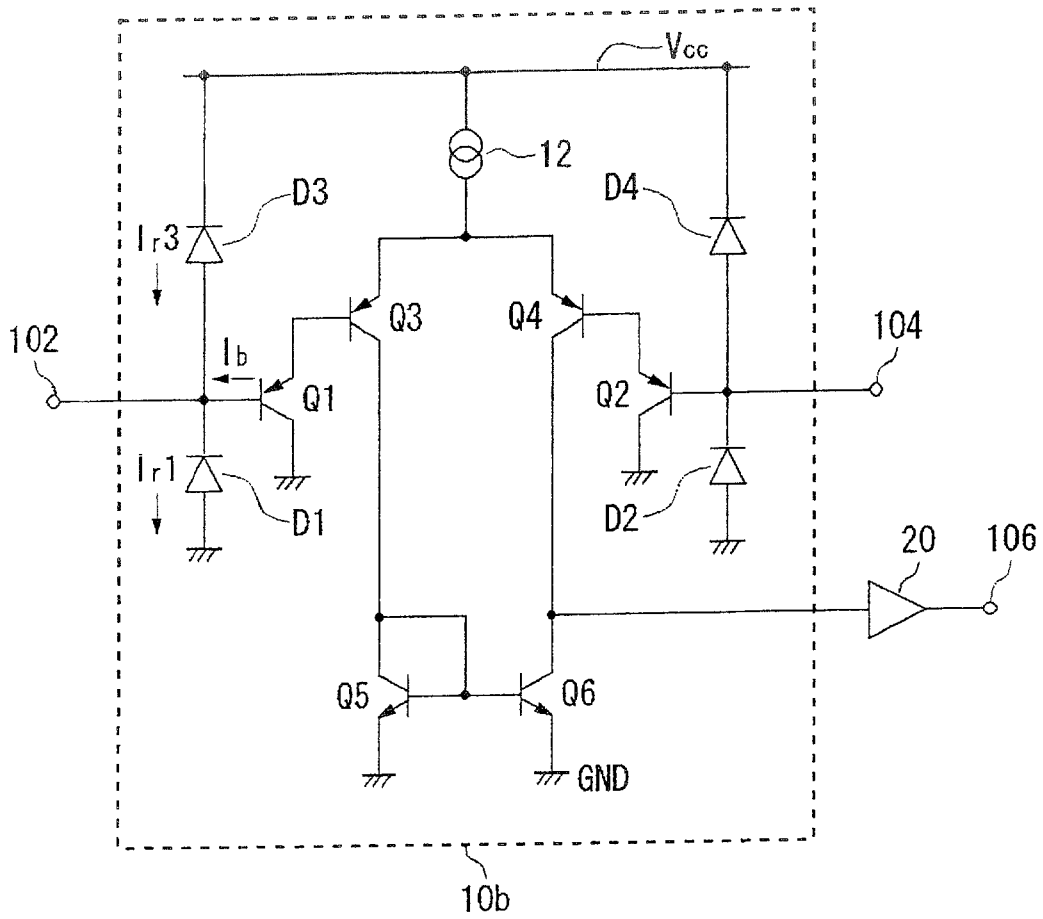


图 4

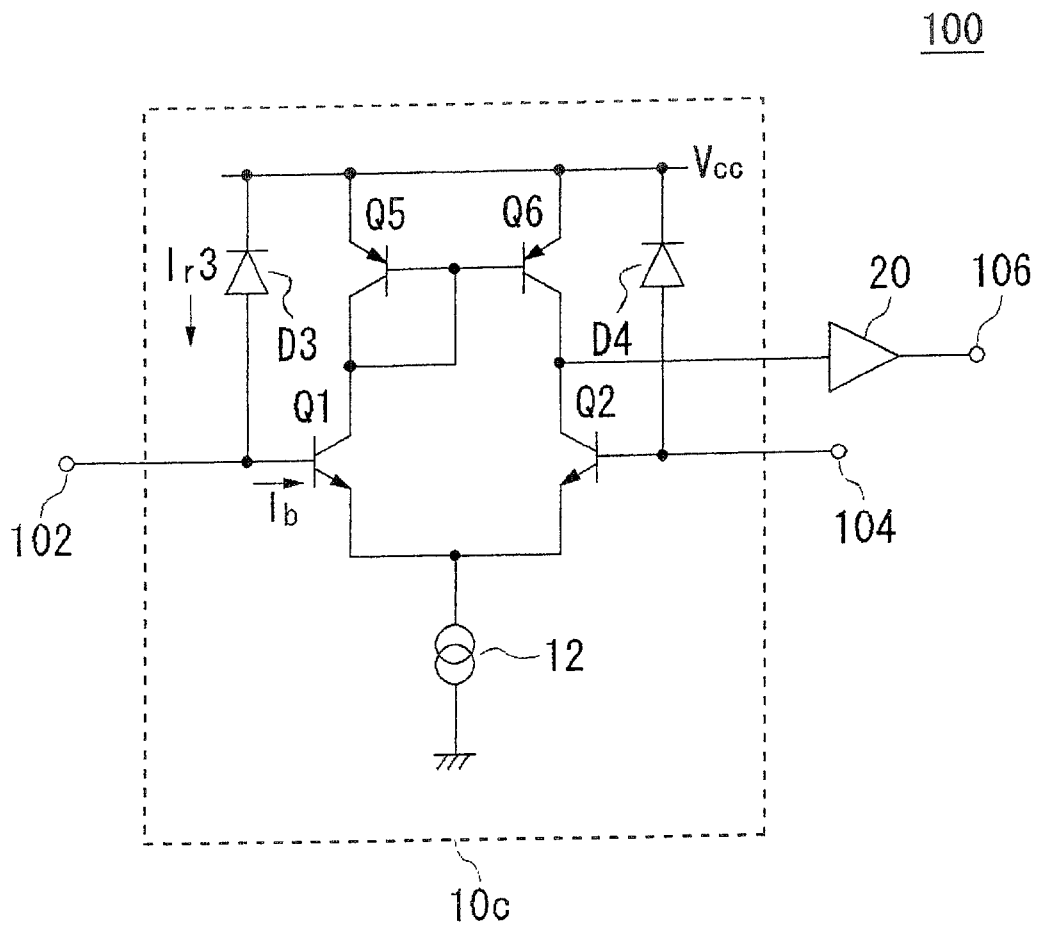


图 5