

【特許請求の範囲】**【請求項 1】**

以下の工程を含む半導体装置の製造方法：

- (a) 複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した 1 枚の前記テストボードを取り出す工程；
- (b) 取り出された前記テストボードから、前記複数の半導体装置をはずす工程；
- (c) 前記半導体装置をはずした前記テストボードに、テストする複数の半導体装置を搭載する工程；
- (d) 前記複数の半導体装置が搭載された前記テストボードを前記恒温槽に導入し、前記導入したテストボードをテストする工程。

10

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記複数のテストボードが前記恒温槽に導入されて前記複数の半導体装置のテストが行われている状態で、新たにテストされる複数の半導体装置を前記テストボードに搭載する工程と、

テストが終了した前記テストボードが前記恒温槽から取り出された際に、前記新たにテストされる半導体装置が搭載されたテストボードを前記恒温槽に導入し、テストする工程とを含む半導体装置の製造方法。

【請求項 3】

請求項 2 記載の半導体装置の製造方法において、

前記恒温槽は、第 1 のスロットと第 2 のスロットとの温度が異なる半導体装置の製造方法。

20

【請求項 4】

請求項 1 記載の半導体装置の製造方法において、

第 1 の温度が設定された前記恒温槽において前記テストボードに搭載された半導体装置のテストを行う工程と、

前記第 1 の温度によるテストが終了した後、第 2 の温度が設定された前記恒温槽において前記テストボードに搭載された半導体装置のテストを行う工程とを含む半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、

前記恒温槽を第 1 の温度に設定し、前記半導体装置をテストする工程と、

前記第 1 の温度によるテストが終了すると、前記恒温槽を第 2 の温度に設定し、前記半導体装置をテストする工程とを含む半導体装置の製造方法。

30

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、

第 1 の温度による前記半導体装置のテストと第 2 の温度による前記半導体装置をテストとを異なる恒温槽により行う半導体装置の製造方法。

【請求項 7】

請求項 1 記載の半導体装置の製造方法において、

ハンドラにより、前記テストボードに半導体装置を搭載する工程と、

前記半導体装置を搭載したテストボードを 1 枚毎に前記検査装置の恒温槽に前記ハンドラにより供給する工程と、

テストの終了後に、テスト結果に基づいて冷却された前記半導体装置を前記ハンドラにより分類、収納する工程とを含む半導体装置の製造方法。

40

【請求項 8】

請求項 7 記載の半導体装置の製造方法において、

前記ハンドラによって前記テストボードに搭載される半導体装置は、第 1 のテストボードと第 2 のテストボードで種類が異なる半導体装置の製造方法。

【請求項 9】

50

請求項 1 記載の半導体装置の製造方法において、

前記半導体装置は、ロジックや半導体メモリなどの複数の半導体チップを 1 つのパッケージに収納した S i P 製品よりなる半導体装置の製造方法。

【請求項 1 0】

以下の工程を含む半導体装置の製造方法：

ロジック回路装置または C P U、およびメモリ回路装置を含む複数の半導体チップを 1 つのパッケージに収納した複数の半導体装置を複数のテストボードに搭載する工程；

前記複数のテストボードを恒温槽に収容した状態で、前記複数の半導体装置の各メモリ回路装置に対してメモリテストを行う工程。

【請求項 1 1】

以下の工程を含む半導体装置の製造方法：

(a) 複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した 1 枚の前記テストボードを取り出す工程；

(b) 取り出された前記テストボードから、前記複数の半導体装置をはずす工程；

(c) 前記半導体装置をはずした前記テストボードに、テストする複数の半導体装置を搭載する工程；

(d) 前記複数の半導体装置が搭載された前記テストボードを前記恒温槽に導入し、前記導入したテストボードをテストする工程とを有し、

前記恒温槽は、第 1 のスロットと第 2 のスロットとの温度が異なる半導体装置の製造方法。

【請求項 1 2】

以下の工程を含む半導体装置の製造方法：

(a) 複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した 1 枚の前記テストボードをハンドラにより取り出す工程；

(b) 前記ハンドラによって取り出された前記テストボードから、前記複数の半導体装置をはずす工程；

(c) テスト結果に基づいて冷却された前記半導体装置を前記ハンドラにより分類、収納する工程；

(d) 前記半導体装置をはずした前記テストボードに、前記ハンドラがテストする複数の半導体装置を搭載する工程；

(e) 前記複数の半導体装置が搭載された前記テストボードを前記ハンドラが前記恒温槽に導入し、前記導入したテストボードをテストする工程とを有し、

前記恒温槽は、第 1 のスロットと第 2 のスロットとの温度が異なる半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体装置の製造技術に関し、特に、半導体メモリを含む半導体装置におけるテスト技術に適用して有効な技術に関するものである。

【背景技術】

【0 0 0 2】

バーンインにおいて、被試験デバイスである半導体装置の良否判定評価を行う、テストバーンイン装置に関しては、たとえば、日本特開平 0 6 - 2 8 3 6 5 7 号公報（特許文献 1）がある。この特許文献 1 に記載されているように、テストバーンイン装置は、バッチ処理が前提とされている。

【0 0 0 3】

また、テストバーンイン装置におけるテスト技術として、バーンインボードを試験グループ毎に分けて、該試験グループ毎に信号供給することによってバーンインを行う技術、日本特開 2 0 0 3 - 5 7 2 9 2 号公報（特許文献 2）、半導体装置を複数のグループに分

10

20

30

40

50

割し、それに属する半導体装置単位で良否判定を行う技術、日本特開 2 0 0 0 - 4 0 3 9 0 号公報（特許文献 3）、あるいは恒温槽内において、連続的に電圧が印加された状態で半導体装置を搬送しながら、半導体装置毎にテストステーションで電氣的テストを行う技術、日本特開平 0 5 - 5 5 3 2 8 号公報（特許文献 4）などがある。

【特許文献 1】特開平 0 6 - 2 8 3 6 5 7 号公報

【特許文献 2】特開 2 0 0 3 - 5 7 2 9 2 号公報

【特許文献 3】特開 2 0 0 0 - 4 0 3 9 0 号公報

【特許文献 4】特開平 0 5 - 5 5 3 2 8 号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0 0 0 4】

テストバーンイン装置により、テストされる半導体装置として、たとえば、S i P (S y s t e m i n P a c k a g e) がある。この半導体装置は、マイクロコンピュータなどのロジックや半導体メモリなどの複数の半導体チップを積み重ねて実装することで 1 つのパッケージに収納した製品である。

【0 0 0 5】

今後、S i P は、大幅な重要の伸びが予測され、生産効率を向上させるために半導体メモリ部分のテスト時間の短縮を検討してきた結果、バーンインの省略や、メモリテストの時間を短縮などが期待できる。

【0 0 0 6】

20

その結果、テスト時間が大幅に短縮されることになった。しかしながら、バッチ方式では、折角テスト時間を短縮しても、半導体装置の着脱や段取り時間の影響で殆どスループットが上がらないという問題がある。

【0 0 0 7】

また、半導体装置をテストするテストボードを多数用意することによって、半導体装置の着脱や段取り時間の影響を少なくすることは可能であるが、該テストボードには、半導体装置を装着するソケット、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、S R A M (S t a t i c R a n d o m A c c e s s M e m o r y)、バッファなど周辺回路が高密度に実装されており、大量のテストボードを準備することによって、テストコストが非常に高くなってしまう恐れがある。

30

【0 0 0 8】

さらに、バッチ方式以外に S i P におけるメモリテストを実施する方法として、一般的なメモリテストおよびハンドラを適用する方法が考えられるが、これはせいぜい数分程度までのテスト時間を前提としており、そのために同時測定数も最大 2 5 6 個程度であり効率が悪くなってしまう恐れがある。

【0 0 0 9】

本発明の一つの目的は、半導体装置のテスト時間を短縮することにある。

【0 0 1 0】

本発明の一つの目的は、半導体装置のテストコストを大幅に小さくすることにある。

【0 0 1 1】

40

本発明の一つの目的は、テスト時間が中間的な長さの半導体装置のテストに適合したテスト方法を提供することにある。

【0 0 1 2】

本発明の一つの目的は、半導体メモリを含む半導体装置におけるメモリテストを低コストで、効率よく行うことのできるテスト技術を提供することにある。

【0 0 1 3】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0 0 1 4】

50

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 5 】

本発明による半導体装置の製造方法は、複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した１枚のテストボードを取り出す工程と、そのテストボードから、複数の半導体装置をはずす工程と、半導体装置をはずしたテストボードに、テストする複数の半導体装置を搭載する工程と、複数の半導体装置が搭載されたテストボードを恒温槽に導入してテストする工程とを有するものである。

【 0 0 1 6 】

また、本願のその他の発明の概要を簡単に示す。

【 0 0 1 7 】

本発明による半導体装置の製造方法は、ロジックや半導体メモリなどの複数の半導体チップを１つのパッケージに収納したＳｉＰ製品からなる半導体装置を複数のテストボードに搭載する工程と、複数のテストボードを恒温槽に投入し、一括してメモリテストを行う工程とを有するものである。

【 0 0 1 8 】

また、本発明による半導体装置の製造方法は、複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した１枚のテストボードを取り出す工程と、そのテストボードから、複数の半導体装置をはずす工程と、半導体装置をはずしたテストボードに、テストする複数の半導体装置を搭載する工程と、複数の半導体装置が搭載されたテストボードを恒温槽に導入してテストする工程とを有し、恒温槽は、第１のロットと第２のロットとの温度が異なるものである。

【 0 0 1 9 】

さらに、本発明による半導体装置の製造方法は、複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した１枚のテストボードをハンドラにより取り出す工程と、取り出されたテストボードから、複数の半導体装置をはずす工程と、テスト結果に基づいて冷却された半導体装置をハンドラにより分類、収納する工程と、半導体装置をはずしたテストボードに、ハンドラがテストする複数の半導体装置を搭載する工程と、複数の半導体装置が搭載されたテストボードをハンドラが恒温槽に導入した後、テストする工程とを有し、恒温槽は、第１のロットと第２のロットとの温度が異なるものである。

【 0 0 2 0 】

また、本発明による半導体装置の製造方法は、複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてメモリテストが行われている状態で、該メモリテストが終了した１枚のテストボードを取り出す工程と、そのテストボードから、複数の半導体装置をはずす工程と、半導体装置をはずしたテストボードに、メモリテストする複数の半導体装置を搭載する工程と、複数の半導体装置が搭載されたテストボードを恒温槽に導入してメモリテストする工程とを有するものである。

【 0 0 2 1 】

さらに、本発明による半導体装置の製造方法は、複数の半導体装置が搭載された複数のテストボードが恒温槽に導入されてテストが行われている状態で、テストが終了した２枚のテストボードを取り出す工程と、その２枚のテストボードから、複数の半導体装置をはずす工程と、半導体装置をはずした２枚のテストボードに、テストする複数の半導体装置を搭載する工程と、複数の半導体装置が搭載された２枚のテストボードを恒温槽に導入してテストする工程とを有するものである。

【 0 0 2 2 】

また、本願発明のその他の概要を項に分けて記載するとすれば、以下のごとくである。

【 0 0 2 3 】

すなわち、

10

20

30

40

50

1. 以下の工程を含む半導体装置の製造方法：

(a) 複数の半導体装置が搭載された複数のテストボードがテスト装置の収納槽内に收容されて前記複数の半導体装置のテストが行われている状態で、テストが終了した1枚の前記テストボードを取り出す工程；

(b) 取り出された前記テストボードから、前記複数の半導体装置をはずす工程；

(c) 前記半導体装置をはずした前記テストボードに、テストする複数の半導体装置を搭載する工程；

(d) 前記複数の半導体装置が搭載された前記テストボードを前記収納槽に收容し、前記導入したテストボードをテストする工程。

【発明の効果】

【0024】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0025】

複数枚のボード上の複数のデバイスに関するテストをボード単位でテストの装置への装着、開始、終了、取り出しを行えるようにしたことにより、テストコストを低減することができる。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0027】

以下実施例では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0028】

さらに、以下の実施例では便宜上その必要があるときは、複数のセクションまたは実施例に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明などの関係にある。

【0029】

また、以下の実施例において、要素の数等（個数、数値、範囲などを含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものでなく、特定の数以上でも以下でもよい。

【0030】

さらに、以下の実施例において、その構成要素（要素ステップなどを含む）は、特に明示した場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0031】

同様に、以下の実施例において、構成要素などの形状、位置関係などに言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは、上記数値および範囲についても同様である。

【0032】

図1は、本発明の一実施の形態において使用するテストバーンイン装置のブロック図、図2は、本発明の一実施の形態によるハンドラの説明図、図3は、図1のテストバーンイン装置にテストされる半導体装置の一例を示す平面図、図4、図5は、図1のテストバーンイン装置にテストされる半導体装置の他の例を示す断面図、図6は、図1のテストバーンイン装置に接続されるテストボードの形状の一例を示す説明図、図7は、図6におけるテストボードの構成を示すブロック図、図8は、図1のテストバーンイン装置に設けられたバックボード、および電源ボードの回路構成を示すブロック、図9は、図1のテストバ

10

20

30

40

50

ーンイン装置、および図2のハンドラにおける仕様概要をそれぞれ示した説明図、図10は、図1のテストバーンイン装置におけるテスト機能の概要を示した説明図、図11は、図1のテストバーンイン装置によるメモリテストの概要を示す説明図、図12は、図1のテストバーンイン装置におけるテストシーケンスを示したタイムチャート、図13～20は、テストバーンイン装置、およびハンドラを用いたメモリテストの詳細なフローチャート、図21は、図1のテストバーンイン装置によるメモリテスト工程のフローチャート、図22は、本発明者が先に検討したバッチ処理によるメモリテスト工程のフローチャート、図23は、図1のテストバーンイン装置によるメモリテストと図22のバッチ処理によるメモリテストとの処理比較の説明図、図24は、各種テストシステムにおけるテスト時間と測定数との関係を示した図、図25は、図1のテストバーンイン装置と図22の先に検討したバッチ処理のテストバーンイン装置における効果を比較した説明図である。 10

【0033】

本実施の形態において、テストバーンイン装置（検査装置、テストシステム）1は、一般のバーンイン機能、すなわち、テストボード収容槽内に複数のテストボードを収容して、それを所定の温度に制御して、各ボードに電源、入力信号を供給して、それによる出力信号からボードに搭載された被テスト素子の良否判定結果を出力することに加えて、プログラムに従って、電圧、信号パターン、温度（温度は単一の場合もある）の組み合わせを含む複数のテストを順次、連続的または断続的に実行し、その結果を記憶装置に収納するテスト機能を有する。たとえば、固有欠陥のある半導体デバイス、または製造上のばらつきから、時間とストレスに依存する故障を起こす半導体装置を除く選別テストを行うバーンイン機能と、半導体装置のメモリ部におけるテストを行い、該半導体装置の良否判定、およびテスト結果に基づく分類までを行う機能とを有する装置である。 20

【0034】

一方、類似の概念としてのテスト・ハンドラは、単一のテストボードに対して、同様のテストを実行できるものである。本発明は、前記テストバーンイン装置を使用するものに限定されず、テスト・ハンドラ等を改造して、実行できることは、言うまでもない。また、本来のバーンイン機能（加熱試験）は必須のものではない。

【0035】

図1は、テストバーンイン装置1の構成を示すブロック図である。図示するように、テストバーンイン装置1は、マザーボード2が設けられている。 30

【0036】

このマザーボード2には、たとえば、24個程度のスロット3が設けられている。各々のスロット3は、テストボード4がそれぞれ接続されている。テストボード4は、被テストデバイスである半導体装置を、たとえば、10個程度搭載する。

【0037】

マザーボード2には、個々のスロット3に対応するように、24個程度のバックボード（テスト制御部）5、および同じく24個程度の電源ボード（電源部）6がそれぞれ搭載されている。マザーボード2には、固定DC電源7が搭載されている。電源ボード6は、固定DC電源7から供給された電源から、たとえば、3種類程度の電源電圧を生成し、テストボード4、およびバックボード5にそれぞれ供給する。 40

【0038】

各々のバックボード5は、ハブ8を介して制御端末（テストコントローラ）9に接続されている。制御端末9は、たとえば、パーソナルコンピュータなどからなり、半導体装置に設けられているBIST（Built-In Self Test）におけるテスト機能、ならびにハンドラ（テストシステム）10（図2）の制御を司る。バックボード5は、制御端末9の制御に基づいて、テストボード4へのテスト制御信号を生成し、テストボード4からの判定結果を処理する。

【0039】

図2は、ハンドラ10の概要を説明する構成図である。

【0040】

図 2 の右側における平面図において、下方には、ボードラック 1 1 が設けられている。ボードラック 1 1 の上方には、エレベータ 1 2 が設けられており、該エレベータ 1 2 の上方には、ローダ / アンローダ 1 3 が設けられている。

【 0 0 4 1 】

ローダ / アンローダ 1 3 の上方には、エレベータ 1 4 が設けられており、該ローダ / アンローダ 1 3 の左側には、上方から下方にかけて、バッファトレイ 1 5、ローダトレイ 1 6、良品トレイ 1 7、不良トレイ 1 8、ならびに未検トレイ 1 9 がそれぞれ設けられている。

【 0 0 4 2 】

ボードラック 1 1 は、テスト前の複数のテストボード 4 を収納する。エレベータ 1 2 は、ボードラック 1 1 に格納されているテストボード 4 を所定の位置に昇降させるとともに、ローダ / アンローダ 1 3 で他のテストボード 4 を処理中の際、該ローダ / アンローダ 1 3 が空くまでテストボード 4 を待機させるバッファとなる。

【 0 0 4 3 】

ローダ / アンローダ 1 3 は、テストを行う半導体装置をテストボード 4 上に搭載し、テストが終了した半導体装置をはずす。エレベータ 1 4 は、半導体装置 2 0 が搭載され、テストボード 4 を所定の位置に昇降させるとともに、テストバーンイン装置 1 のスロットが満杯の際に、スロットに空きが出るまでテストボード 4 を待機させるバッファとなる。

【 0 0 4 4 】

バッファトレイ 1 5 は、空きトレイを収納する。ローダトレイ 1 6 は、テストされる半導体装置が収納される。良品トレイ 1 7 は、テスト後に良品判定された半導体装置は収納され、不良トレイ 1 8 は不良品判定された半導体装置が収納される。未検トレイ 1 9 は、未検の半導体装置が収納される。未検とは、半導体装置 2 0 とテストボードに実装されている測定用ソケット 4 b (図 6) との接触不良などによってメモリテストが実施されなかった半導体装置 2 0 を払い出すカテゴリであり、再検査の対象となる。

【 0 0 4 5 】

図 3 は、テストバーンイン装置 1 によってテストされる半導体装置 2 0 の一例を示す平面図、図 4、図 5 は、テストバーンイン装置 1 によってテストされる半導体装置 2 0 の他の例を示す断面図である。

【 0 0 4 6 】

図 3 に示す半導体装置 2 0 は、いわゆる、平置き S i P からなり、プリント配線基板 2 1 に、マイクロコンピュータ、およびフラッシュメモリや S D R A M (S y n c h r o n o u s D y n a m i c R A M) などの複数の異種の半導体メモリなどからなる半導体チップ 2 2 ~ 2 5 が搭載された構成からなる。

【 0 0 4 7 】

プリント配線基板 2 1 のチップ搭載面には、接続用電極、および配線パターンが形成されており、該接続用電極と半導体チップ 2 2 ~ 2 5 に設けられた電極部とがバンプなどを介して接続されている。

【 0 0 4 8 】

プリント配線基板 2 1 の裏面には、バンプ用電極、ならびに配線パターンが形成されており、バンプ用電極と半導体チップ 2 2 ~ 2 5 の電極部とは、配線パターン、ならびにスルーホールによってそれぞれ電氣的に接続されている。

【 0 0 4 9 】

バンプ用電極は、所定のピッチでアレイ状に形成されており、該バンプ用電極には、外部接続端子となる球形のはんだからなるはんだバンプがそれぞれ形成されている。

【 0 0 5 0 】

また、図 4 における半導体装置 2 0 は、マイクロコンピュータとフラッシュメモリなどの半導体メモリからなる 2 つの半導体チップ 2 6 , 2 7 を積み重ねて実装したスタックド S i P からなる。

【 0 0 5 1 】

10

20

30

40

50

この場合、図4の半導体装置20は、表面実装形CSPの一種であるBGA(Ball Grid Array)から構成されている。プリント配線基板28のチップ搭載面中央部には、半導体チップ26が搭載されている。

【0052】

プリント配線基板28のチップ搭載面中央部には、接続用電極29が形成されており、該接続用電極29と半導体チップ26の裏面に設けられた電極部とが bumps 30などを介して接続されている。

【0053】

この半導体チップ26には、半導体チップ27が積層されており、絶縁樹脂などの接着材を介して接着固定されている。プリント配線基板28のチップ搭載面において、半導体チップ26の対向する2辺の周辺部近傍には、ボンディング電極、ならびに配線パターンが形成されている。プリント配線基板28に設けられたボンディング電極は、半導体チップ27主面の周辺部に形成された電極部とボンディングワイヤ31を介して接続されている。

【0054】

プリント配線基板28裏面には複数の bumps 用電極がアレイ状に形成されており、該 bumps 用電極には球形のはんだからなるはんだ bumps 32がそれぞれ形成されている。

【0055】

そして、これら半導体チップ26、27、プリント配線基板28のボンディング電極周辺、ならびにボンディングワイヤ31が、封止樹脂33によって封止されてパッケージが形成される。

【0056】

さらに、図5における半導体装置20は、QFP(Quad Flat Package)型からなる。この場合、半導体装置20の中央部に位置するダイパッド34、35に、たとえばマイクロコンピュータとフラッシュメモリなどからなる2つの半導体チップ36、37が搭載されている。

【0057】

これら半導体チップ36、37の4つの周辺部近傍には、複数のインナリード38が位置しており、半導体チップ36、37の主面に設けられた電極部とインナリード38とがボンディングワイヤ39を介して接続されている。

【0058】

これら半導体チップ36、37、複数のインナリード38、ならびにボンディングワイヤ39が、封止樹脂40によって封止されてパッケージが形成される。このパッケージの4つの側面からは、インナリード38が延在して形成された略L字状のアウタリード41が突出して設けられている。

【0059】

図6は、テストボード4の形状の一例を示す説明図である。

【0060】

図6に示すように、テストボード4の下方の辺部には、ボードエッジコネクタ4aが設けられている。このボードエッジコネクタ4aは、マザーボード2に設けられたスロット3に接続されるコネクタである。

【0061】

テストボード4には、半導体装置20を搭載する測定用ソケット4bが、たとえば、10個程度実装されており、各々の測定用ソケット4bの下部には、該測定用ソケット4bに対応するように周辺回路4cがそれぞれ設けられている。

【0062】

図7は、図6におけるテストボード4の構成を示すブロック図である。

【0063】

図7においては、テストボード4におけるある1つの測定用ソケット4bに装着された半導体装置20、および該半導体装置20に対応する1つの周辺回路4cについて示して

10

20

30

40

50

いる。

【 0 0 6 4 】

周辺回路 4 c には、ボードエッジコネクタ 4 a を介してバックボード 5 から出力されるテスト用信号、および電源ボード 6 が生成した各種電源電圧が供給されている。電源ボード 6 が生成した各種電源電圧は、ボードエッジコネクタ 4 a を介して半導体装置 2 0 にも供給される。周辺回路 4 c は、電圧レベルの変換やテストの指示、およびテスト終了時の結果などを保存する。

【 0 0 6 5 】

半導体装置 2 0 は、マイクロコンピュータである CPU 2 0 a、SDRAM 2 0 b、およびフラッシュメモリ 2 0 c から構成されており、周辺回路 4 c を介して入出力されるテスト用信号などに基づいて、該 CPU 2 0 a の BIST によって SDRAM 2 0 b、およびフラッシュメモリ 2 0 c がテストされる。

10

【 0 0 6 6 】

図 8 は、バックボード 5、および電源ボード 6 の回路構成を示すブロック図である。

【 0 0 6 7 】

バックボード 5 には、CPU モジュール 5 a、および FPGA 5 b が搭載されている。

【 0 0 6 8 】

CPU モジュール 5 a は、LAN インタフェース 4 2、SDRAM 4 3、フラッシュメモリ 4 4、CPU 4 5、CF スロット 4 6、およびバスインタフェース 4 7 などから構成されている。

20

【 0 0 6 9 】

これら LAN インタフェース 4 2、SDRAM 4 3、フラッシュメモリ 4 4、CPU 4 5、CF スロット 4 6、ならびにバスインタフェース 4 7 は、アドレスバス AB、およびデータバス DB によりそれぞれ相互に接続されている。

【 0 0 7 0 】

LAN インタフェース 4 2 は、ホストである制御端末 9 (図 1) とのインタフェースである。SDRAM 4 3 は、CPU 4 5 のワークエリアである。

【 0 0 7 1 】

フラッシュメモリ 4 4 は、ブートプログラムなどが格納されている。CF スロット 4 6 は、CF (Compact Flash) カード用のスロットであり、フラッシュメモリ 4 4 にブートされるプログラムが格納されている。

30

【 0 0 7 2 】

CPU 4 5 は、フラッシュメモリ 4 4 に格納されたプログラムに基づいて対応するテストボード 4 の制御を司る。バスインタフェース 4 7 は、FPGA 5 b が接続される外部バスとのインタフェースである。

【 0 0 7 3 】

FPGA 5 b は、ボードエッジコネクタ 4 a の入力ピン、および I/O ピンに接続されるドライバ 4 8、該ドライバに接続されるバッファ 4 9、および電源コントロール部 5 0 などから構成されている。電源コントロール部 5 0 は、制御端末からの指示に基づいて、電源ボード 6 が生成する電源電圧の制御を行う。

40

【 0 0 7 4 】

電源ボード 6 には、4 つの電源生成部 5 1 ~ 5 4 が設けられている。電源生成部 5 1 は、FPGA 5 b のドライバに供給する電源電圧を生成する。電源生成部 5 2 ~ 5 4 は、半導体装置 2 0 などに供給する異なる 3 つの電源電圧をそれぞれ生成する。

【 0 0 7 5 】

電源生成部 5 1 ~ 5 4 には、D/A (Digital / Analog) 変換器、レギュレータ、および過電流検出部がそれぞれ設けられている。D/A 変換器は、電源コントロール部 5 0 から出力された制御信号をアナログ値に変換する。レギュレータは、D/A 変換器から出力されたアナログ値に基づいて任意の電源電圧を生成する。過電流検出部は、過電流を検出した際に検出信号を出力する。

50

【 0 0 7 6 】

次に、本実施の形態におけるテストバーンイン装置 1 によるテスト技術について説明する。

【 0 0 7 7 】

始めに、図 2 のハンドラ 10 の動作について説明する。

【 0 0 7 8 】

図 9 は、テストバーンイン装置 1、およびハンドラ 10 における仕様概要をそれぞれ示した図である。

【 0 0 7 9 】

図 9 においては、恒温槽の設定温度、温度精度、温度刻み、トレイの分類、スロットピッチ、テストボード 4 の冷却方法、恒温槽の構成、最小テスト時間、未検品の供給方法、テストボード 4 の ID 認識におけるそれぞれの仕様概要が示されている。

【 0 0 8 0 】

まず、半導体装置 20 はトレイに入って供給され、該半導体装置 20 はローダ/アンローダ 13 によってテストボード 4 に実装される。半導体装置 20 が実装されたテストボード 4 は、エレベータ 14 を経由してテストバーンイン装置 1 における恒温槽の空いている部分に 1 枚毎に供給される。

【 0 0 8 1 】

新たに半導体装置 20 が装着されたテストボード 4 は、他のテストボード 4 がテスト中に出し入れされるので、テストバーンイン装置 1 におけるテストボード 4 の出入り口には、各スロット毎に扉が開く構成となっている。また、テストボード 4 の 1 枚対応の恒温槽を必要スロットル枚数だけ準備してもよい。

【 0 0 8 2 】

テストが終了したテストボード 4 は 1 枚毎にエレベータを経由して冷却、回収される。続いて、テスト結果に応じて、個々の半導体装置 20 がローダ/アンローダ 13 で分類され、良品、不良品、未検品に分類されて、良品トレイ 17、不良トレイ 18、または未検トレイ 19 のいずれかに収納される。

【 0 0 8 3 】

この例では、ローダとアンローダとを同一としてスペース効率を向上させているが、ローダとアンローダとを各々別々に構成するようにしてもよい。なお、テストボード 4 には、たとえばバーコードにて ID が設置されており、これにより、ローダ/アンローダ 13 でテスト結果と照合して分類されるために用いられる他、特定のテストボード 4 の特定の測定用ソケットが不良であるなどの情報を装置が保有しておき、該当測定用ソケットには製品を詰めないなどの目的にも使用される。

【 0 0 8 4 】

次に、図 1 に示すテストバーンイン装置 1 の構成について説明する。

【 0 0 8 5 】

テストバーンイン装置 1 の主なテスト内容としては、半導体装置 20 に搭載されたマイクロコンピュータを利用した半導体メモリ (SDRAM、フラッシュメモリなど) の BIST によるメモリテスト、フラッシュメモリへの顧客データ書込み、およびマイクロコンピュータ、メモリ部へのバーンインなどがある。

【 0 0 8 6 】

また、テストの機能は BIST 専用とし、各バックボード 5 単位でテストボード 4 への信号を生成し、該テストボード 4 からの判定結果を処理する。さらに、専用の ALPG (Algorithmic Pattern Generator) や TG (Timing Generator)、アドレススクランブラなどは搭載せず、テストプログラムは、C 言語にて作成される。

【 0 0 8 7 】

半導体装置 20 の実動作のクロック信号 (66 MHz 程度) は半導体装置 20 の BIST にて実施し、BIST テスタはプログラム転送・結果判定のみで 1 MHz 程度で、タイ

ミング精度不問となっている。

【 0 0 8 8 】

図 1 0 は、テストバーンイン装置 1 におけるテスト機能の概要を示した説明図である。

【 0 0 8 9 】

図 1 0 においては、項目の上段には、バックボード 5 に搭載された C P U モジュール 5 a による各々の機能を示しており、項目の下段には、制御端末 9 による各々の機能を示している。

【 0 0 9 0 】

次に、テストバーンイン装置 1 によるメモリテスト技術について説明する。

【 0 0 9 1 】

図 1 1 は、テストバーンイン装置 1 によるメモリテストの概要を示す説明図である。

【 0 0 9 2 】

半導体装置 2 0 が実装されたテストボード 4 から順次恒温槽に導入され、所定の温度に達した後、メモリテストがスタートとなる。このメモリテストのテスト時間は、たとえば、十分程度～数十分程度である。

【 0 0 9 3 】

メモリテストの終了後、テストボード 4 が冷却され、続いてテスト結果に従ってハンドラ 1 0 により、良品 (P A S S)、不良 (F A I L)、未検に分類、払い出しされる。恒温槽のテストボード収納枚数は、たとえば、2 4 枚程度である。恒温槽内へはテストボード 4 が 1 枚単位で出し入れされる。

【 0 0 9 4 】

この恒温槽は、低温～常温～高温まで温度設定が可能である。低温の設定範囲は、たとえば、- 5 0 程度～0 程度であり、より広くは - 5 5 程度～1 0 程度である。この低温では、たとえば、自動車向け電子システムなどに用いられる半導体装置等がテストされる。

【 0 0 9 5 】

また、常温でのテストにおける温度設定は、2 5 前後の室温で行われ、広くは 1 5 程度～4 0 程度まで設定範囲となる。高温でのテストの温度設定は、約 1 2 5 程度であり、広くは 9 0 程度～1 5 0 程度まで設定範囲となる。

【 0 0 9 6 】

図 1 2 は、テストバーンイン装置 1 におけるテストシーケンスを示したタイムチャートである。

【 0 0 9 7 】

まず、1 枚目のテストボード 4 における測定用ソケット 4 b に、たとえば、1 0 個程度の半導体装置 2 0 が装着される (詰め)。半導体装置 2 0 の装着が終了すると、テストボード 4 は、恒温槽に導入される。そして、恒温槽が、所定の温度に達した後 (温度)、メモリテストがスタートされる (選別)。

【 0 0 9 8 】

続いて、メモリテストが終了すると、該テストボード 4 が冷却され、ハンドラ 1 0 によって半導体装置 2 0 は測定用ソケット 4 b から抜かれて、再び、テストボード 4 の測定用ソケット 4 b にテストされる新たな半導体装置 2 0 がそれぞれ装着される (抜き詰め)。その後、テストボード 4 は恒温槽に導入され、所定の温度に達した後 (温度)、メモリテストが行われる (選別)。

【 0 0 9 9 】

また、2 枚目のテストボード 4 においては、1 枚目のテストボード 4 への半導体装置 2 0 の装着が終了した際に、続けて半導体装置 2 0 の装着 (詰め) が行われる。2 枚目のテストボード 4 も同様に、半導体装置 2 0 の装着が終了すると、恒温槽に導入され、所定の温度に達した後 (温度)、メモリテストがスタートされる (選別)。

【 0 1 0 0 】

メモリテストの終了すると、テストボード 4 の冷却後、ハンドラ 1 0 によって半導体装

10

20

30

40

50

置 2 0 が測定用ソケットから抜かれて、再び、テストボード 4 にテストされる半導体装置 2 0 が装着される（抜き詰め）。以下、3 枚目～24 枚目までのテストボード 4 においても、同様のサイクルによってメモリテストが実行される。

【0101】

よって、24 枚のテストボード 4 は順次時間差を持って処理されることになり、各々のテストボード 4 は 1 枚単位で循環し、半導体装置 2 0 を詰め終わったテストボード 4 からテストスタート、テスト終了したテストボード 4 から半導体装置 2 0 を払い出すという枚葉処理のシーケンスとなる。ここで、枚葉処理とは、テストボード 4 を 1 枚ずつメモリテストする処理をいう。ただし、テスト自体は複数枚同時に処理されていることに、留意すべきである。すなわち、テスト装置への導入、テスト開始、終了、取り出し等が枚葉方式で行われるのである。なお、このことは装置の便宜上、2 枚以上の同時導入等を排除するものではない。

10

【0102】

次に、図 1 3～図 2 0 のフローチャートを用いて、テストバーンイン装置 1 におけるテスト工程を詳細に説明する。ここでは、テストバーンイン装置 1 におけるある 1 つのスロットに着目して説明するが、他のスロットにおいても、以下に説明するテスト工程が個別に行われている。

【0103】

図 1 3、図 1 4 は、テストバーンイン装置 1 のスロットとテストボード 4 との数が同じ場合のテスト工程の一例を示したフローチャートである。

20

【0104】

始めに、図 1 3 を用いて説明する。図 1 3 は、エレベータ 1 2 をバッファとして用い、ローダ / アンローダ 1 3 に空きが出るまでテストボード 4 を待機させる場合のテスト工程である。

【0105】

まず、テストが終了したスロットの扉が開かれて（ステップ S 1 0 1）、テストボード 4 が該スロットから抜かれ（ステップ S 1 0 2）、スロットの扉が閉じられる（ステップ S 1 0 3）。

【0106】

続いて、テストボード 4 は、エレベータ 1 2 で待機し、ローダ / アンローダ 1 3 の空き待ちを行った後（ステップ S 1 0 4）、ハンドラ 1 0 がテストボード 4 から半導体装置 2 0 をはずし、テスト結果に基づいて分類する（ステップ S 1 0 5）。

30

【0107】

半導体装置 2 0 がはずされた後、テストボード 4 には、新たにテストされる半導体装置 2 0 が搭載されて（ステップ S 1 0 6）、ローダ / アンローダ 1 3 において待機となる（ステップ S 1 0 7）。

【0108】

その後、ステップ 1 0 2 の処理において抜き出されたスロットの扉が開かれ（ステップ S 1 0 8）、テストボード 4 が該スロットに導入された後（ステップ S 1 0 9）、スロットの扉が閉じられる（ステップ S 1 1 0）。

40

【0109】

そして、ステップ S 1 0 9 の処理において導入されたテストボード 4 の温度が設定温度になるまで待機し（ステップ S 1 1 1）、設定温度になるとメモリテストが行われる（ステップ S 1 1 2）。

【0110】

メモリテストにおいては、テスト 1～テスト N がテストボード 4 に搭載された M 個の各半導体装置 2 0 毎に並列して実行される。そして、すべてのテストが終了すると、テストボード 4 から、テスト終了を示すフラグが出力される。バックボード 5 は、フラグに基づいてテスト終了を検出し、制御端末 9 に知らせる。その後、再びステップ S 1 0 1～S 1 1 2 の処理が繰り返されることになる。

50

【 0 1 1 1 】

また、ステップ S 1 1 2 の処理におけるメモリテストの時間は、たとえば、半導体装置 2 0 の製造ばらつきなどによって生じるメモリ部の書き込み / 消去時間の違いやテスト不良となる半導体装置の数などによって大きく異なることになる。

【 0 1 1 2 】

たとえば、書き込み / 消去時間が非常に長い半導体装置 2 0 が 1 つでもあると、テスト時間は該半導体装置 2 0 に律則され、長くなってしまう。また、テストボード 4 に搭載されたすべての半導体装置 2 0 が最初のテスト 1 で不良になった場合には、その時点でテスト終了となるのでテスト時間は大幅に少なくなる。

【 0 1 1 3 】

このように、テスト時間は、各スロットに導入されたテストボード 4 によって、それぞれ異なることになるので、上記ステップ S 1 0 1 ~ S 1 1 2 の処理は、各スロットに個別に行われることになる。

【 0 1 1 4 】

次に、図 1 4 によるテスト工程について説明する。図 1 4 は、エレベータ 1 2 をバッファとして用い、ローダ / アンローダ 1 3 に空きが出るまでテストボード 4 を待機させ、かつスロット内のテストボード 4 の温度が安定するまでの間、温度に関係のないテストを行う場合のテスト工程例である。

【 0 1 1 5 】

まず、テストが終了したスロットの扉が開かれて (ステップ S 2 0 1)、テストボード 4 が該スロットから抜かれた後 (ステップ S 2 0 2)、スロットの扉が閉じられる (ステップ S 2 0 3)。続いて、テストボード 4 は、エレベータ 1 2 で待機し、ローダ / アンローダ 1 3 の空き待ちを行い (ステップ S 2 0 4)、ハンドラ 1 0 によってテストボード 4 から半導体装置 2 0 が引き抜かれ、テスト結果に基づいて分類される (ステップ S 2 0 5)。

【 0 1 1 6 】

その後、テストボード 4 には、新たにテストされる半導体装置 2 0 が搭載された後 (ステップ S 2 0 6)、ローダ / アンローダ 1 3 において待機する (ステップ S 2 0 7)。その後、ステップ 2 0 2 の処理におけるスロットの扉が開かれ (ステップ S 2 0 8)、テストボード 4 が該スロットに導入された後 (ステップ S 2 0 9)、スロットの扉が閉じられる (ステップ S 2 1 0)。

【 0 1 1 7 】

そして、テストボード 4 が導入されたスロットが設定温度となるまで待機した後、メモリテストが行われる (ステップ S 2 1 1)。このステップ S 2 1 1 の処理においては、温度設定を開始し、設定温度が安定するまでの間、温度に関係ないテストを行う。これにより、テストを、より効率よく行うことが可能となる。

【 0 1 1 8 】

そして、メモリテストが終了すると、テストボード 4 から、テスト終了を示すフラグが出力される。バックボード 5 は、そのフラグに基づいてにテスト終了を検出し、制御端末 9 に知らせる。その後、再びステップ S 2 0 1 ~ S 2 1 1 の処理が繰り返されることになる。

【 0 1 1 9 】

図 1 5 ~ 図 2 0 は、テストバーンイン装置 1 のスロットの数よりもテストボード 4 の数が、1 枚あるいは 2 枚程度多い場合のテスト工程における例を示したフローチャートである。

【 0 1 2 0 】

始めに、図 1 5 を用いて説明する。図 1 5 は、エレベータ 1 2 をバッファ 1 , およびローダ / アンローダ 1 3 とエレベータ 1 4 の間に設けた待機部 (図示せず) をバッファ 2 として用い、ローダ / アンローダ 1 3 に空きが出るまでテストボード 4 を待機させる場合のテスト工程である。これにより、テストを行う新たなテストボード 4 の準備を効率よく行

10

20

30

40

50

うことができ、テスト効率をより向上させることができる。

【0121】

まず、テストが終了したスロットの扉が開かれて（ステップS301）、テストボード4が該スロットから抜かれた後（ステップS302）、スロットの扉が閉じられる（ステップS303）。

【0122】

続いて、テストボード4は、エレベータ12で待機し、ローダ/アンローダ13の空き待ちを行った後（ステップS304）、ハンドラ10によってテストボード4から半導体装置20が引き抜かれ、テスト結果に基づいて分類される（ステップS305）。

【0123】

その後、テストボード4には、新たにテストされる半導体装置20が搭載された後（ステップS306）、待機部において待機し（ステップS307）、空きスロットルを待つ。

【0124】

スロットに空きが出ると、該スロットの扉が開かれ（ステップS308）、テストボード4が該スロットに導入された後（ステップS309）、スロットの扉が閉じられる（ステップS310）。

【0125】

そして、ステップS309の処理において導入されたテストボード4の温度が設定温度になるまで待機し（ステップS311）、設定温度になるとメモリテストが行われる（ステップS312）。

【0126】

次に、図16に示したテスト工程について説明する。この図16においては、待機部のみをバッファとして用い、ローダ/アンローダ13に空きが出るまでテストボード4を待機させる場合のテスト工程の他の例である。

【0127】

まず、テストが終了したスロットの扉が開かれて（ステップS401）、テストボード4が該スロットから抜かれた後（ステップS402）、スロットの扉が閉じられる（ステップS403）。

【0128】

続いて、ハンドラ10によってテストボード4から半導体装置20が引き抜かれ、テスト結果に基づいて分類される（ステップS404）。その後、テストボード4には、新たにテストされる半導体装置20が搭載された後（ステップS405）、待機部において待機し（ステップS406）、空きスロットを待つ。

【0129】

スロットに空きが出ると、該スロットの扉が開かれ（ステップS407）、テストボード4が該スロットに導入された後（ステップS408）、スロットの扉が閉じられる（ステップS409）。

【0130】

そして、ステップS408の処理において導入されたテストボード4の温度が設定温度になるまで待機し（ステップS410）、設定温度になるとメモリテストが行われる（ステップS411）。

【0131】

次に、図17に示したテスト工程について説明する。図17は、エレベータ12、待機部をバッファとして用いず、ローダ/アンローダ13に空きがない場合には、スロット内でテストボード4を待機させ、スロットに空きがない場合にはローダ/アンローダ13でテストボード4を待機させる場合のテスト工程例である。

【0132】

まず、テストが終了したスロットの扉が開かれて（ステップS501）、テストボード4が該スロットから抜かれた後（ステップS502）、スロットの扉が閉じられる（ステ

10

20

30

40

50

ップ S 5 0 3)。

【 0 1 3 3 】

続いて、ハンドラ 1 0 によってテストボード 4 から半導体装置 2 0 が引き抜かれ、テスト結果に基づいて分類される (ステップ S 5 0 4)。続いて、テストボード 4 には、新たにテストされる半導体装置 2 0 が搭載され (ステップ S 5 0 5)、ローダ / アンローダ 1 3 において待機した後 (ステップ S 5 0 6)、スロットの扉が開かれ (ステップ S 5 0 7)、テストボード 4 が該スロットに導入された後 (ステップ S 5 0 8)、スロットの扉が閉じられる (ステップ S 5 0 9)。

【 0 1 3 4 】

そして、ステップ S 5 0 8 の処理において導入されたテストボード 4 の温度が設定温度になるまで待機し (ステップ S 5 1 0)、設定温度になるとメモリテストが行われる (ステップ S 5 1 1)。

【 0 1 3 5 】

次に、図 1 8 に示したテスト工程について説明する。図 1 8 は、エレベータ 1 2 , 待機部をバッファとして用い、ローダ / アンローダ 1 3 に空きが出るまでテストボード 4 を待機させ、かつスロット内のテストボード 4 の温度が安定するまでの間、温度に関係のないテストを行う場合のテスト工程例である。

【 0 1 3 6 】

まず、テストが終了したスロットの扉が開かれて (ステップ S 6 0 1)、テストボード 4 が該スロットから抜かれた後 (ステップ S 6 0 2)、スロットの扉が閉じられる (ステップ S 6 0 3)。

【 0 1 3 7 】

その後、エレベータ 1 2 で待機し (ステップ S 6 0 4)、ローダ / アンローダ 1 3 の空き待ちを行った後、ハンドラ 1 0 によってテストボード 4 から半導体装置 2 0 が引き抜かれ、テスト結果に基づいて分類される (ステップ S 6 0 5)。

【 0 1 3 8 】

続いて、テストボード 4 には、新たにテストされる半導体装置 2 0 が搭載された後 (ステップ S 6 0 6)、待機部において待機し、空きスロットルを待つ (ステップ S 6 0 7)。

【 0 1 3 9 】

スロットに空きが出ると、該スロットの扉が開かれ (ステップ S 6 0 8)、テストボード 4 が該スロットに導入された後 (ステップ S 6 0 9)、スロットの扉が閉じられる (ステップ S 6 1 0)。

【 0 1 4 0 】

そして、ステップ S 6 0 9 の処理において導入されたテストボード 4 の温度設定を開始し、設定温度になるとメモリテストが行われる (ステップ S 6 1 1)。ここで、ステップ S 6 1 1 の処理においては、温度設定を開始し、設定温度が安定するまでの間、温度に関係ないテストを行う。これにより、テストを、より効率よく行うことが可能となる。

【 0 1 4 1 】

次に、図 1 9 に示したテスト工程について説明する。図 1 9 は、待機部のみをバッファとして用い、ローダ / アンローダ 1 3 に空きがない場合には、スロット内でテストボード 4 を待機させ、スロットに空きが出るまで待機部でテストボード 4 を待機させ、かつスロット内のテストボード 4 の温度が安定するまでの間、温度に関係のないテストを行う場合のテスト工程例である。

【 0 1 4 2 】

まず、テストが終了したスロットの扉が開かれて (ステップ S 7 0 1)、テストボード 4 が該スロットから抜かれた後 (ステップ S 7 0 2)、スロットの扉が閉じられる (ステップ S 7 0 3)。

【 0 1 4 3 】

続いて、ハンドラ 1 0 によってテストボード 4 から半導体装置 2 0 が引き抜かれ、テス

10

20

30

40

50

ト結果に基づいて分類された後（ステップS 7 0 4）、テストボード4に、新たにテストされる半導体装置20が搭載され（ステップS 7 0 5）、待機部において待機し、空きスロットを待つ（ステップS 7 0 6）。

【0 1 4 4】

スロットに空きが出ると、該スロットの扉が開かれ（ステップS 7 0 7）、テストボード4が該スロットに導入された後（ステップS 7 0 8）、スロットの扉が閉じられる（ステップS 7 0 9）。

【0 1 4 5】

そして、ステップS 7 0 8の処理において導入されたテストボード4の温度設定を開始し、設定温度になるとメモリテストが行われ、テストが終了したテストボード4は該スロット内で待機となる（ステップS 7 1 0）。

10

【0 1 4 6】

この場合も、ステップS 7 1 0の処理においては、温度設定を開始し、設定温度が安定するまでの間、温度に関係ないテストを行う。これにより、テストを、より効率よく行うことが可能となる。

【0 1 4 7】

次に、図20に示したテスト工程について説明する。図20は、エレベータ12、待機部をバッファとして用いず、ロード/アンロード13に空きがない場合には、スロット内でテストボード4を待機させ、スロットに空きがない場合にはロード/アンロード13でテストボード4を待機させ、かつスロット内のテストボード4の温度が安定するまでの間、温度に関係のないテストを行う場合のテスト工程例である。

20

【0 1 4 8】

まず、テストが終了したスロットの扉が開かれて（ステップS 8 0 1）、テストボード4が該スロットから抜かれた後（ステップS 8 0 2）、スロットの扉が閉じられる（ステップS 8 0 3）。

【0 1 4 9】

続いて、ハンドラ10によってテストボード4から半導体装置20が引き抜かれ、テスト結果に基づいて分類された後（ステップS 8 0 4）、テストボード4に、新たにテストされる半導体装置20が搭載され（ステップS 8 0 5）、ロード/アンロード13において待機し（ステップS 8 0 6）、空きスロットルを待つ。

30

【0 1 5 0】

スロットに空きが出ると、該スロットの扉が開かれ（ステップS 8 0 7）、テストボード4が該スロットに導入された後（ステップS 8 0 8）、スロットの扉が閉じられる（ステップS 8 0 9）。

【0 1 5 1】

そして、ステップS 8 0 8の処理において導入されたテストボード4の温度設定を開始し、設定温度になるとメモリテストが行われ、テストが終了したテストボード4は該スロット内で待機となる（ステップS 8 1 0）。

【0 1 5 2】

この場合も、ステップS 8 1 0の処理においては、温度設定を開始し、設定温度が安定するまでの間、温度に関係ないテストを行う。これにより、テストを、より効率よく行うことが可能となる。

40

【0 1 5 3】

以上、図14～図20で示したメモリテストにおいては、図13と同様に、テスト1～テストNが各半導体装置20毎に並列して実行される。そして、すべてのテストが終了すると、テストボード4から、テスト終了を示すフラグが出力される。バックボード5は、フラグに基づいてテスト終了を検出し、制御端末9に知らせる。その後、再び最初のステップの処理から繰り返されることになる。

【0 1 5 4】

また、図14～図20のメモリテストにおいて、メモリテストの時間は、たとえば、半

50

導体装置 20 の製造ばらつきなどによって生じるメモリ部の書き込み / 消去時間の違いやテスト不良となる半導体装置の数などによって大きく異なることになる。

【0155】

さらに、図 13 ~ 図 20 においては、テストボード 4 を 1 枚毎にスロットに導入する場合について記載したが、テストボード 4 は、いわゆる 2 枚葉方式等のように、2 枚（あるいは 3 枚以上）同時にスロットに導入し、2 枚（3 枚以上）同時に該スロットから取り出すようにしてもよい。ただし、多くなるほどボードコスト削減効果は減少する可能性があるとともに、ボードを搬送するハンドラの負担が増大する。従って、枚葉方式すなわち、1 枚葉方式がハンドラコストの点ではメリットがある。N 枚の上限は $N = 4$ 程度と見られるが、望ましくは、2 枚葉以下がよい。

10

【0156】

なお、ボードの挿入順序は初期的には上から（または下から）順でもよいが、これに限定されないことはいうまでもない。たとえば、ランダムに挿入しても良い。

【0157】

この場合、同時に導入するテストボード 4 の枚数が多くなるほど、ハンドラ 10 の負荷が増えることになり、また、テスト待ち時間が増加してしまうなどのデメリットが生じてしまうことになる。

【0158】

図 21 は、テストバーンイン装置 1 によるメモリテストのフローチャートである。

【0159】

20

図 21 においては、たとえば、常温によるメモリテスト（常温選別）と高温のメモリテスト（高温選別）を行う場合について記載している。この図 21 において、バーンインを行う場合には、別工程、たとえば、後述するステップ S 901 の処理の前などに行われることになる。

【0160】

テストバーンイン装置 1 によって常温選別と高温選別とを行う場合、始めに、常温によるメモリテストが行われる（ステップ S 901）。続いて、高温によるメモリテストが行われた後（ステップ S 902）、ロジックテストによって半導体装置 20 の CPU 20a における論理機能、および電気的特性などが測定される（ステップ S 903）。

【0161】

30

ここで、ステップ S 901, S 902 の処理では、ステップ S 901 の処理において図 12 で説明したテストシーケンスによりメモリテストが終了した後、再び、ステップ S 902 の処理において、図 12 で説明したテストシーケンスによるメモリテストが行われることになる。すなわち、常温選別と高温選別とで、それぞれ 1 回ずつメモリテストが個別に行われることになる。

【0162】

なお、フラッシュメモリカードなどの不揮発性メモリにおけるテスト技術については、日本特願 2002 - 141267 号出願明細書および図面に詳しく記載されている。

【0163】

図 22 は、本発明者が先に検討したバッチ処理によるメモリテスト工程のフローチャートである。

40

【0164】

バッチ処理は、多数（たとえば 72 枚程度）のテストボードを用意し、同時に多数個（たとえば、1000 個程度）の半導体装置のメモリテストを行う。

【0165】

この場合、すべてのテストボードにテストされる半導体装置を装着し（ステップ S 1001）、バーンインとメモリテストとを一括して行っている（ステップ S 1002）。そしてメモリテストが終了すると、テストボードに装着されているすべての半導体装置をはずし（ステップ S 1003）、ロジックテストによるテストが行われる（ステップ S 1004）。

50

【 0 1 6 6 】

図 2 3 は、テストバーンイン装置 1 によるメモリテストと先に本発明者が検討したバッチ処理によるメモリテストとの処理比較の説明図である。

【 0 1 6 7 】

図 2 3 において、上段には、バッチ処理によるメモリテストの処理時間と基板枚数と関係を示しており、下段には、テストバーンイン装置 1 の枚葉処理によるメモリテストの処理時間と基板枚数と関係を示している。また、テスト条件は、テスト時間が 3 0 分、高温選別により、たとえば 1 0 0 0 個程度の半導体装置をテストする。

【 0 1 6 8 】

図示するように、バッチ処理で、たとえば、7 2 枚のテストボードを用いる場合、すべてのテストボードに半導体装置を装着する詰め工程に必要な時間は 1 時間程度である。その後、7 2 枚のテストボードを恒温槽に導入し、温度設定、メモリテスト、ならびにテストボードの冷却が終了するまでに、約 1 . 2 時間程度が必要となる。

【 0 1 6 9 】

メモリテストが終了した後、再び、1 枚毎にテストボードから半導体装置をはずす工程に 1 時間程度が必要となり、メモリテストの合計処理時間は、約 3 . 2 時間程度になってしまう。

【 0 1 7 0 】

このように、バッチ処理では、詰め工程において、1 枚毎にテストボードに半導体装置を装着するので、他の 7 1 枚のテストボードが待ち状態となってしまうことになる。また、恒温槽の温度設定では、すべてのテストボードを導入した後に一括して恒温槽を加熱するので、昇降温に時間がかかってしまうことになる。

【 0 1 7 1 】

一方、テストバーンイン装置 1 による枚葉処理では、約 2 4 枚程度のテストボードを用いて、図 2 1 において説明したシーケンスでメモリテストを実行することにより、約 2 . 3 時間程度ですべてのメモリテストが終了する。

【 0 1 7 2 】

このように、枚葉処理では、テストボード 4 の使用枚数の低減、およびテスト時間の短縮を行うことが可能である。

【 0 1 7 3 】

図 2 4 は、一般的なテストシステムにおけるテスト時間と測定数との関係を示した図である。

【 0 1 7 4 】

たとえば、ロジックテストでは、測定個数は 1 個 ~ 4 個程度であり、テスト時間は数秒程度である。また、バーンイン機能を持たないメモリテストでは、測定個数が数個 ~ 1 2 8 個程度であり、テスト時間は十秒 ~ 十分程度である。さらに、バッチ式のテストバーンイン装置においては、測定個数が 5 0 0 個程度以上 ~ 1 0 0 0 0 個程度であり、テスト時間は 8 時間程度 ~ 1 0 0 時間程度である。

【 0 1 7 5 】

このように、1 2 8 個 ~ 5 1 2 個程度の半導体装置を十分程度 ~ 数十分程度というテスト時間で効率よくテストするテストシステムは存在せず（図中、ハッチングの領域）、このようなテスト時間に合理的に対応でき、少ないテストのボードで、バッチ処理のテストバーンイン装置と同等以上のスループットを得ることのできるテストシステムとしてはテストバーンイン装置 1（または単にテストバーンイン装置）が好適である。

【 0 1 7 6 】

図 2 5 は、枚葉処理のテストバーンイン装置 1 と先に検討したバッチ処理のテストバーンイン装置における効果を比較した説明図である。

【 0 1 7 7 】

この図 2 5 では、毎月所定数量の半導体装置のメモリテストを実施する場合における必要なテストボード枚数とメモリテストのコストとを比較しており、該メモリテストのコス

10

20

30

40

50

ト算出に関しては、コストモデル（必要テストボードの費用、装置投資償却費用、作業者費用、電気などのユーティリティ費用、メモリテストの歩留まり）を仮定した相対比較となっている。

【0178】

図中、ハッチングで示す棒グラフは、バッチ処理における各テスト条件毎のテストボードの必要枚数（相対値）を示しており、白抜きで示す棒グラフは、枚葉処理における各テスト条件毎のテストボードの必要枚数（相対値）を示している。

【0179】

また、実線で示した折れ線グラフは、バッチ処理における各テスト条件毎のテストコスト（相対値）を示しており、一点鎖線で示した折れ線グラフは、枚葉処理における各テスト条件毎のテストコスト（相対値）を示している。

10

【0180】

この場合、図25に示すように、テスト時間（バーンインを含む）が少ない、特に、バーンインがなく高温または常温のいずれか一方のテスト条件で、大幅にテストコストを削減することが可能となっている。

【0181】

一方、バーンインがあり、常温選別と高温選別とが両方あるテスト条件では、テストボード数の増加にもかかわらず、バッチ処理によるメモリテストのコストが枚葉処理よりも小さくなっている。

【0182】

この結果から分かるように、半導体装置のメモリテスト時間が短い場合には枚葉式、逆にメモリテスト時間が長い（特にバーンインがある場合）場合には、バッチ処理によるメモリテストを行うというように使い分けることにより、より大幅にテスト効率を向上させることができる。

20

【0183】

それにより、本実施の形態によれば、テストボード4の使用数を少なくしながら、メモリテストの時間を大幅に短縮することが可能となり、半導体装置20の製造コストを小さくすることができる。

【0184】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

30

【0185】

前記実施の形態では、SiP製品の半導体装置におけるメモリテストについて記載したが、このメモリテストは、テストボードによってメモリテスト可能な製品であればSiP以外の半導体装置でもよい。

【0186】

たとえば、MCP（Multi Chip Package）などのマイクロコンピュータ（CPU）を含まず、フラッシュメモリ、SRAM、DRAMなどの複数の半導体メモリによって構成された製品、マイクロプロセッサ、チップセット、ビデオチップなどの主要機能が1つの半導体チップに集約されたSoC（System on Chip）製品や、その他、BISTが導入されて多数個同時にメモリテストが可能な大容量フラッシュメモリなどのメモリ製品などのメモリテストやハンドラでテストするにはテスト時間が長い半導体装置などである。

40

【0187】

また、上記した半導体装置のみならず、たとえば、マルチメディアカードなどのメモリテスト/ハンドラでテストするにはテスト時間が長いメモリカード製品やメモリモジュール製品などにも有効である。

【産業上の利用可能性】

【0188】

50

本発明の半導体装置におけるテスト方法は、半導体メモリを含む半導体装置におけるメモリテストを効率よく、低コストで行う技術に適している

【図面の簡単な説明】

【0189】

【図1】本発明の一実施の形態によるテストバーンイン装置のブロック図である。

【図2】本発明の一実施の形態によるハンドラの説明図である。

【図3】図1のテストバーンイン装置にテストされる半導体装置の一例を示す平面図である。

【図4】図1のテストバーンイン装置にテストされる半導体装置の他の例を示す断面図である。

10

【図5】図1のテストバーンイン装置にテストされる半導体装置の一例を示す断面図である。

【図6】図1のテストバーンイン装置に接続されるテストボードの形状の一例を示す説明図である。

【図7】図6におけるテストボードの構成を示すブロック図である。

【図8】図1のテストバーンイン装置に設けられたバックボード、および電源ボードの回路構成を示すブロック図である。

【図9】図1のテストバーンイン装置、および図2のハンドラにおける仕様概要をそれぞれ示した説明図である。

【図10】図1のテストバーンイン装置におけるテスト機能の概要を示した説明図である。

20

【図11】図1のテストバーンイン装置によるメモリテストの概要を示す説明図である。

【図12】図1のテストバーンイン装置におけるテストシーケンスを示したタイムチャートである。

【図13】テストバーンイン装置、およびハンドラを用いたメモリテストの一例を示す詳細なフローチャートである。

【図14】テストバーンイン装置、およびハンドラを用いたメモリテストの他の例を示す詳細なフローチャートである。

【図15】テストバーンイン装置、およびハンドラを用いたメモリテストの一例を示す詳細なフローチャートである。

30

【図16】テストバーンイン装置、およびハンドラを用いたメモリテストの他の例を示す詳細なフローチャートである。

【図17】テストバーンイン装置、およびハンドラを用いたメモリテストの一例を示す詳細なフローチャートである。

【図18】テストバーンイン装置、およびハンドラを用いたメモリテストの他の例を示す詳細なフローチャートである。

【図19】テストバーンイン装置、およびハンドラを用いたメモリテストの一例を示す詳細なフローチャートである。

【図20】テストバーンイン装置、およびハンドラを用いたメモリテストの他の例を示す詳細なフローチャートである。

40

【図21】図1のテストバーンイン装置によるメモリテストのフローチャートである。

【図22】本発明者が先に検討したバッチ処理によるメモリテスト工程のフローチャートである。

【図23】図1のテストバーンイン装置によるメモリテストと図22のバッチ処理によるメモリテストとの処理比較の説明図である。

【図24】各種テストシステムにおけるテスト時間と測定数との関係を示した図である。

【図25】図1のテストバーンイン装置と図22の本発明者が先に検討したバッチ処理のテストバーンイン装置における効果を比較した説明図である。

【符号の説明】

【0190】

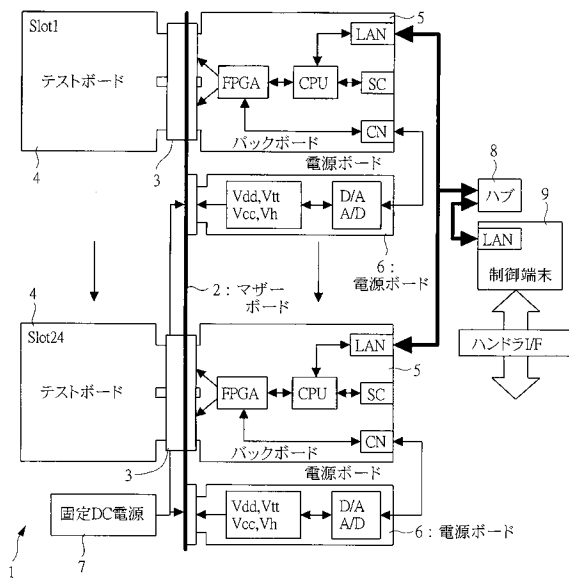
50

| | | |
|-----------|--------------------------|----|
| 1 | テストバーンイン装置（検査装置、テストシステム） | |
| 2 | マザーボード | |
| 3 | スロット | |
| 4 | テストボード | |
| 4 a | ボードエッジコネクタ | |
| 4 b | 測定用ソケット | |
| 4 c | 周辺回路 | |
| 5 | バックボード（テスト制御部） | |
| 5 a | C P Uモジュール | |
| 5 b | F P G A | 10 |
| 6 | 電源ボード（電源部） | |
| 7 | 固定 D C 電源 | |
| 8 | ハブ | |
| 9 | 制御端末（テストコントローラ） | |
| 1 0 | ハンドラ（テストシステム） | |
| 1 1 | ボードラック | |
| 1 2 | エレベータ | |
| 1 3 | ローダ / アンローダ | |
| 1 4 | エレベータ | |
| 1 5 | バッファトレイ | 20 |
| 1 6 | ローダトレイ | |
| 1 7 | 良品トレイ | |
| 1 8 | 不良トレイ | |
| 1 9 | 未検トレイ | |
| 2 0 | 半導体装置 | |
| 2 0 a | C P U | |
| 2 0 b | S D R A M | |
| 2 0 c | フラッシュメモリ | |
| 2 1 | プリント配線基板 | |
| 2 2 ~ 2 5 | 半導体チップ | 30 |
| 2 6 , 2 7 | 半導体チップ | |
| 2 8 | プリント配線基板 | |
| 2 9 | 接続用電極 | |
| 3 0 | バンブ | |
| 3 1 | ボンディングワイヤ | |
| 3 2 | はんだバンブ | |
| 3 3 | 封止樹脂 | |
| 3 4 , 3 5 | ダイパッド | |
| 3 6 , 3 7 | 半導体チップ | |
| 3 8 | インナリード | 40 |
| 3 9 | ボンディングワイヤ | |
| 4 0 | 封止樹脂 | |
| 4 1 | アウトリード | |
| 4 2 | L A Nインタフェース | |
| 4 3 | S D R A M | |
| 4 4 | フラッシュメモリ | |
| 4 5 | C P U | |
| 4 6 | C Fスロット | |
| 4 7 | バスインタフェース | |
| 4 8 | ドライバ | 50 |

4 9 バッファ
 5 0 電源コントロール部
 5 1 ~ 5 4 電源生成部
 A B アドレスバス
 D B データバス

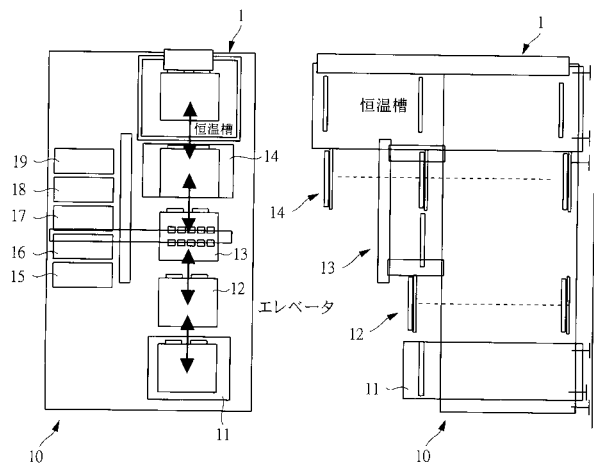
【図 1】

図 1

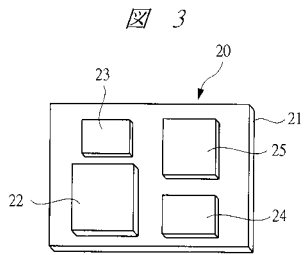


【図 2】

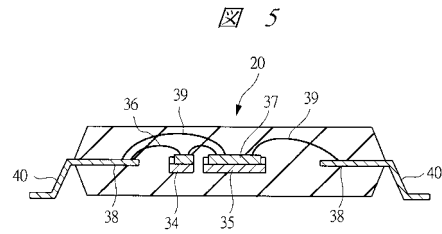
図 2



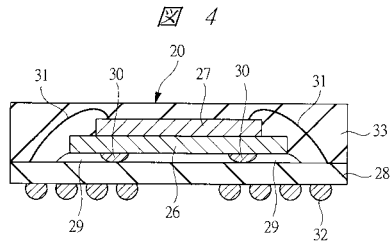
【図 3】



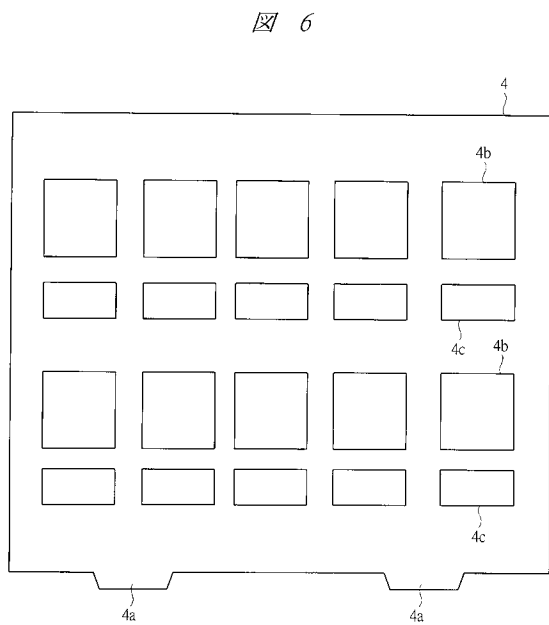
【図 5】



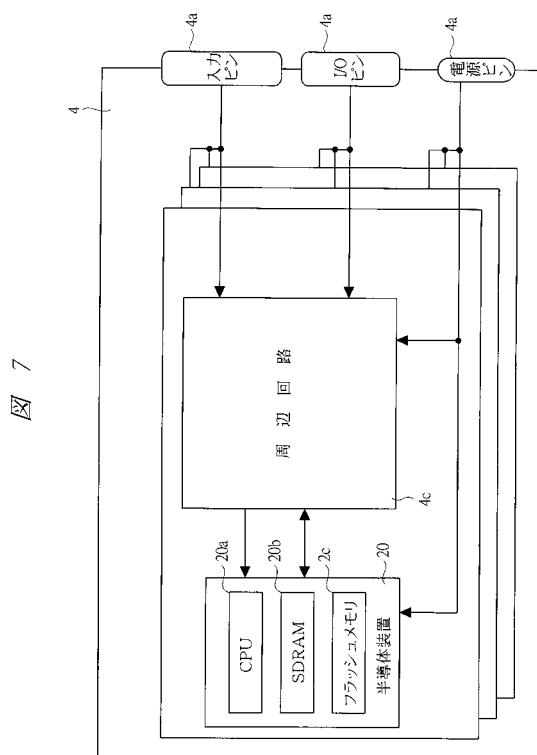
【図 4】



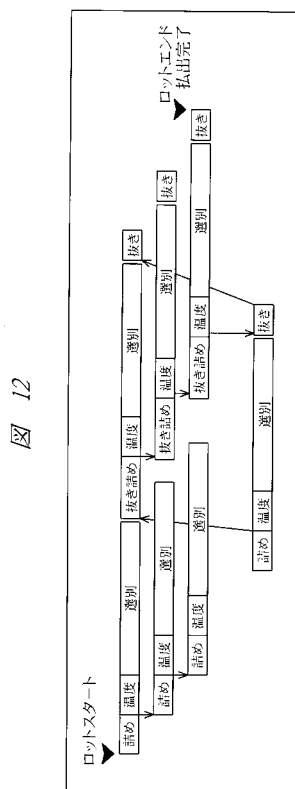
【図 6】



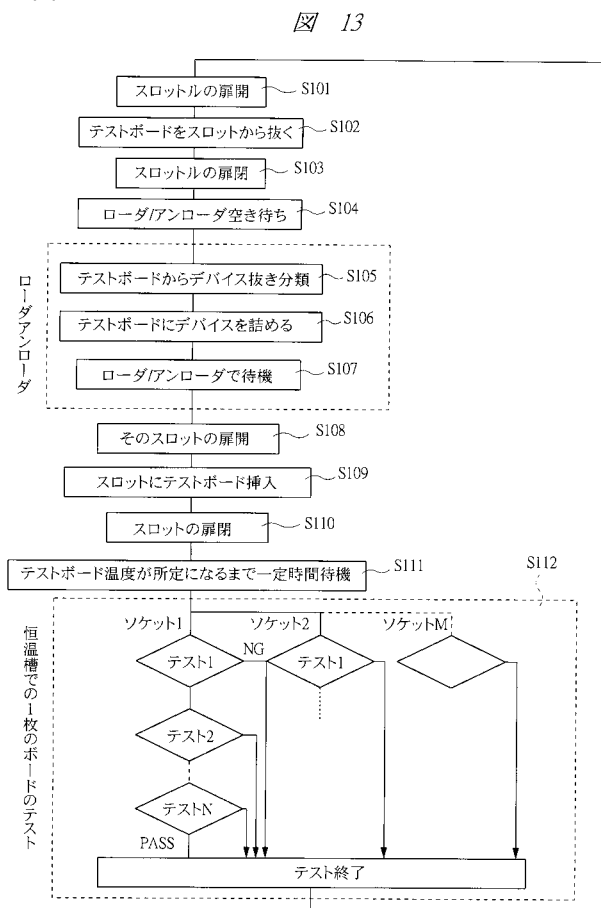
【図 7】



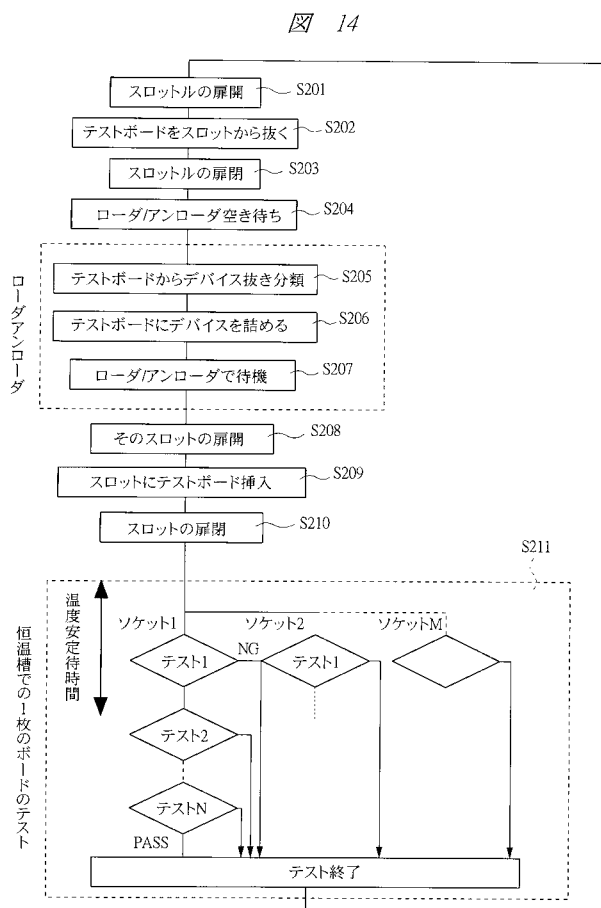
【 ㊦ 1 2 】



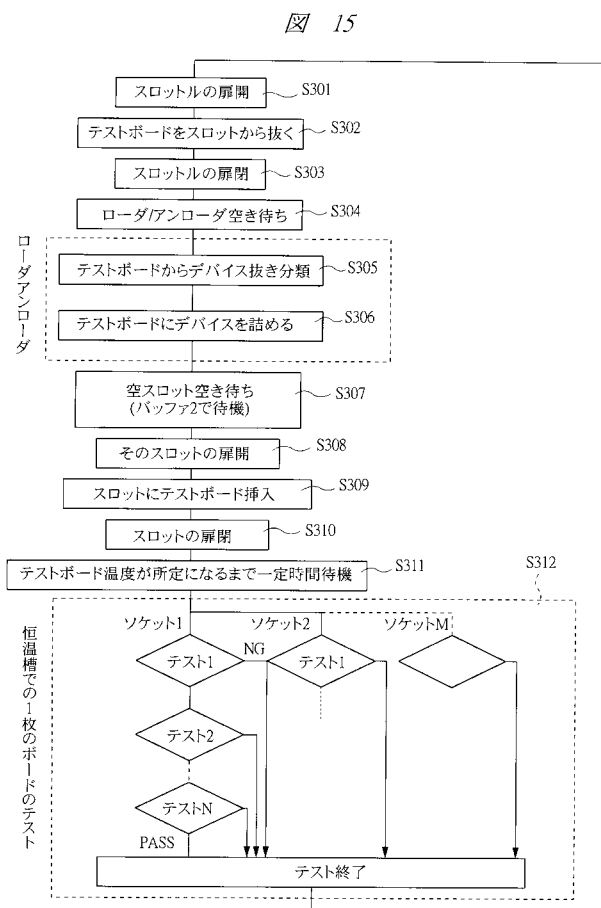
【 図 1 3 】



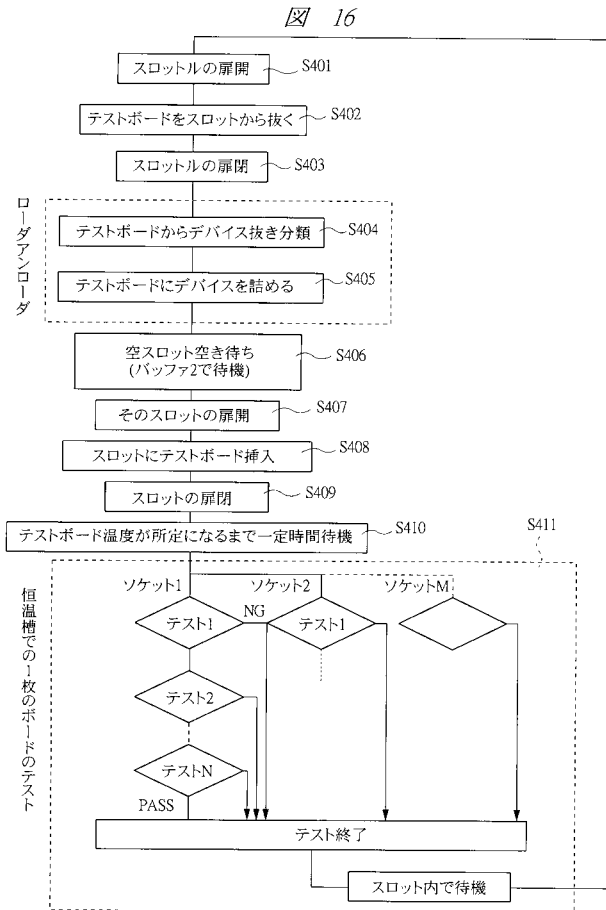
【 図 1 4 】



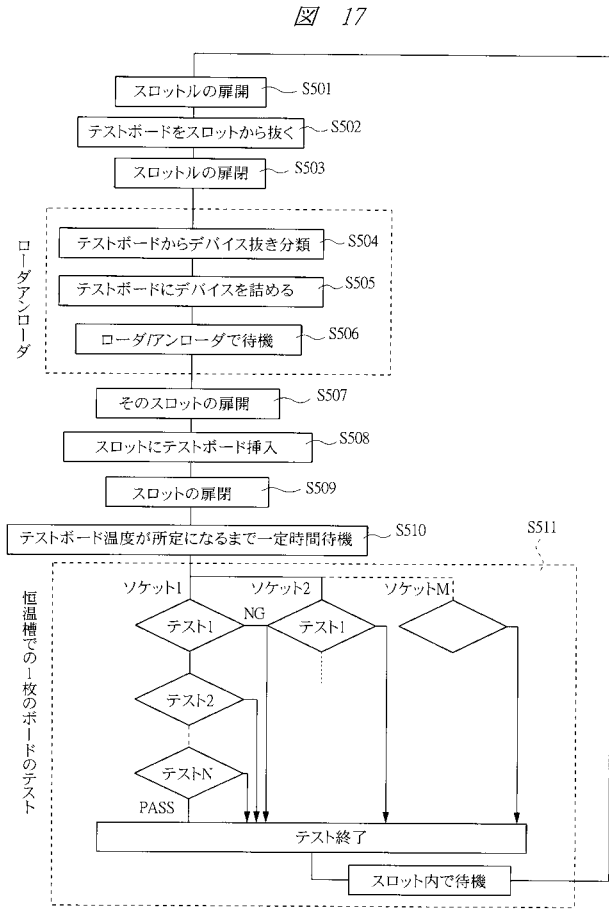
【 図 1 5 】



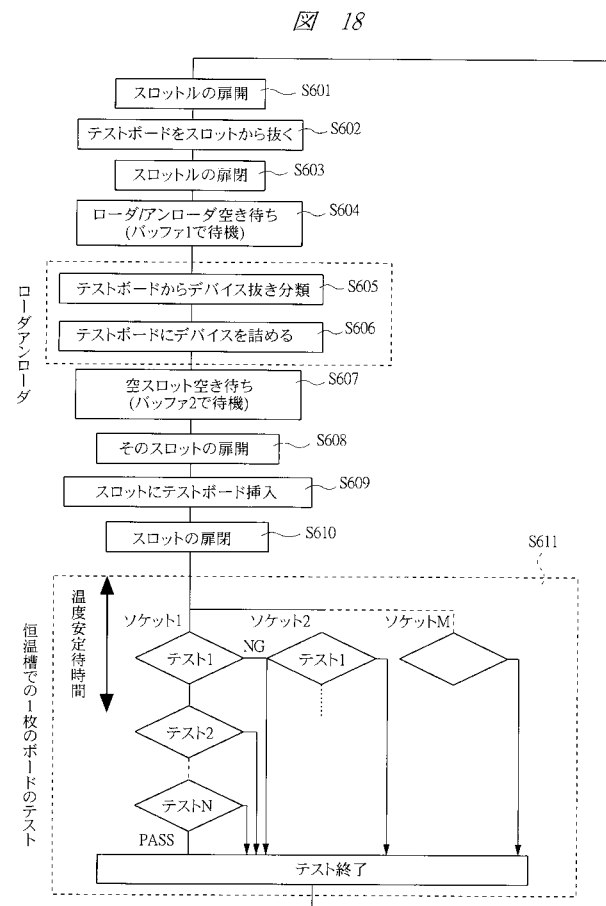
【図 16】



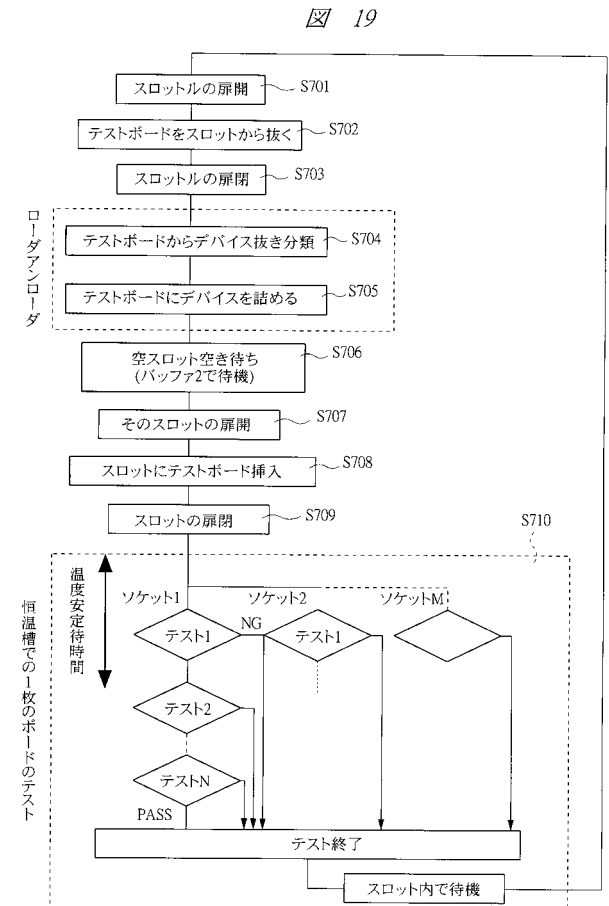
【図 17】



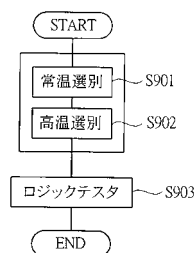
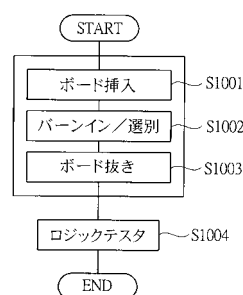
【図 18】



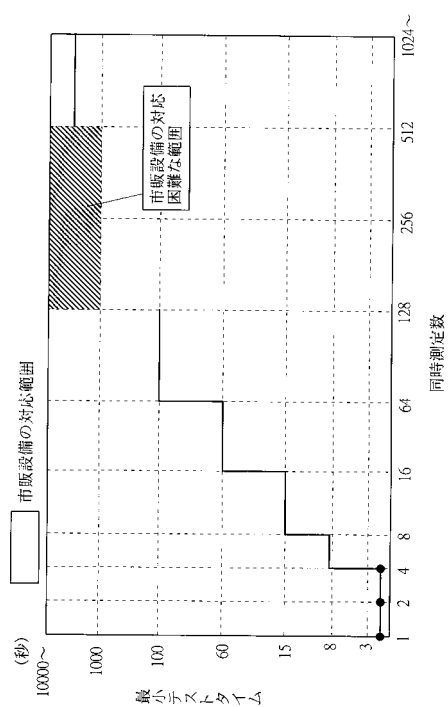
【図 19】



【 図 2 1 】

 22

【 ㊦ 24 】



【図 25】

図 25

