

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294501

(P2005-294501A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷

H05K 1/02

H05K 9/00

F I

H05K 1/02

H05K 9/00

N

A

テーマコード (参考)

5E321

5E338

審査請求 有 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2004-106890 (P2004-106890)

(22) 出願日 平成16年3月31日 (2004.3.31)

(71) 出願人 000233491

日立電子サービス株式会社

神奈川県横浜市戸塚区品濃町 504 番地 2

(74) 代理人 110000198

特許業務法人湘洋内外特許事務所

(72) 発明者 仲沢 菊男

神奈川県横浜市戸塚区品濃町 504 番地 2

日立電子サービス株式会社内

(72) 発明者 熊崎 基澄

神奈川県横浜市戸塚区品濃町 504 番地 2

日立電子サービス株式会社内

F ターム (参考) 5E321 AA31 GG01

5E338 AA03 BB71 BB75 CC01 CC04

CC06 CD23 CD24 CD32 EE13

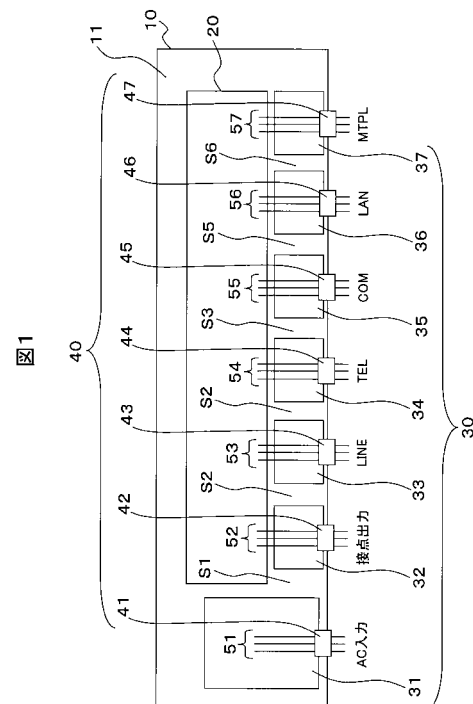
(54) 【発明の名称】 コネクタ端子を有する電子回路ユニットおよび回路基板

(57) 【要約】

【課題】 コネクタ端子部の共通フレームグラウンドを介して、ノイズが他の信号に、または、他の信号のフレームグラウンドに伝導すること防止する。

【解決手段】 回路素子群が搭載される回路基板 10 と、外部との接続を行うための、複数のコネクタ端子 31 - 37 と、回路基板 10 に設けられるフレームグラウンド 30 とを有する。フレームグラウンド 30 は、複数の分離領域 31 - 37 に分離された状態で、回路基板 10 の縁部に沿って配置される。そして、複数の分離領域 31 - 37 は、複数のコネクタ端子 41 - 47 に対応して、分散して配置される。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

回路素子群が搭載され、電子機器の筐体に収容される電子回路ユニットにおいて、
前記回路素子群が搭載される回路基板と、
外部との接続を行うための、複数のコネクタ端子と、
前記回路基板に設けられるフレームグランドと、を有し、
前記フレームグランドは、複数の分離領域に分離された状態で、前記回路基板の縁部に
沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散し
て配置されること
を特徴とする電子回路ユニット。

10

【請求項 2】

請求項 1 に記載の電子回路ユニットにおいて、
前記分離領域は、前記筐体の接地点に対して浮いた状態におかれることを特徴とする電
子回路ユニット。

【請求項 3】

請求項 1 および 2 のいずれか一項に記載の電子回路ユニットにおいて、
前記分離領域のいずれかは、前記複数のコネクタ端子のうち、2 以上のコネクタ端子に
対応して配置されることを特徴とする電子回路ユニット。

【請求項 4】

回路素子群およびコネクタ端子を搭載するための回路基板において、
フレームグランドを有し、
前記フレームグランドは、複数の分離領域に分離された状態で、当該回路基板の縁部に
沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散し
て配置されること
を特徴とする回路基板。

20

【請求項 5】

請求項 4 に記載の回路基板において、
前記各分離領域は、接地点に対する導通しない状態に形成されることを特徴とする回路
基板。

【請求項 6】

請求項 4 および 5 のいずれか一項に記載の回路基板において、
前記分離領域のいずれかは、前記複数のコネクタ端子のうち、2 以上のコネクタ端子に
対応して配置されることを特徴とする回路基板。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、コネクタ端子を有する電子回路ユニットおよびそれに用いられる回路基板に
係り、特に、それらのノイズを低減する技術に関する。

【背景技術】**【0002】**

近年、電子回路基板からの電氣的なノイズを低減することが求められている。そのため
に、電子回路自体にノイズ対策を施した電子回路基板が提案されている。例えば、高周波
ノイズを低減するものとして、パワー IC において、小信号用の接地とその他の信号用の
接地とを区別するという技術が開示されている（特許文献 1）。

40

【0003】

また、電子回路部品の動作時に電源層とアース層との間で電圧変動が生じることにより
放射されるノイズ低減を図るものとして、電源層として、第 1、第 2 の電源分離パターン
と、第 1、第 2 のアース層領域とを設け、第 1 の電源分離パターンの端部と第 1 のアース
分離パターンとを接続する状態でバイパスコンデンサが、また、第 2 の電源分離パターン
の端部と第 2 のアース分離パターンとを接続する状態でバイパスコンデンサが設けられ、

50

バイパスコンデンサのそれぞれが、第 1、第 2 電源分離パターンの端部に沿って略一定の間隔で配置されている構造としたものが開示されている（特許文献 2）。

【0004】

さらに、電子装置のケーブルから輻射する不要輻射ノイズを低減するものとして、フレームグラウンドに接地する接地板にケーブルを固定することによって接地するものが開示されている（特許文献 3）。

【0005】

【特許文献 1】特開 2002 - 368545 号公報

【0006】

【特許文献 2】特開平 11 - 87880 号公報

10

【特許文献 3】特開平 10 - 242682 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、電子機器において問題となるのは、当該機器内部でのノイズの問題に限られない。すなわち、当該電子機器から他の機器に対してノイズを伝えてしまい、他の機器にノイズの影響を与えてしまうという問題がある。この問題が生ずる原因の 1 つは、コネクタ端子部の共通フレームグラウンドを介して、ノイズが伝導すること、または、ノイズが放射されることにある。

【0008】

20

しかし、従来、この問題についての対策は採られていない。前述した特許文献 1 では、電子回路基板に搭載される内部回路における設置の問題を扱っている。また、特許文献 2 では、回路基板における電源層とアース層との間での電圧変動の影響を除去するという問題を扱っている。従って、いずれも、コネクタ端子部の共通フレームグラウンドを介したノイズを漏洩するための技術を示すものではない。

【0009】

一方、特許文献 3 では、ケーブルから輻射するノイズを低減するものである。しかし、ケーブルを接地板に接触させて、フレームグラウンドに接触させるに過ぎない。これによっても、もちろんある程度のノイズの漏洩を防ぐことができる。

【0010】

30

しかし、近年、外部に漏洩する電磁ノイズをできる限り低減することが求められており、この特許文献 3 の対策では十分ではない。もちろん、ノイズを低減させることは技術的に不可能ではない。しかし、コストをかけずにノイズを低減することは必ずしも容易ではない。

【0011】

本発明は、コネクタ端子を介して外部に漏洩されるノイズを低減する技術を提供することを目的とする。

【0012】

本発明は、コネクタ端子部のフレームグラウンドを介して、ノイズが他の信号に、または、他の信号のフレームグラウンドに伝導することを防止する技術を提供することを目的とする。

40

【課題を解決するための手段】

【0013】

本発明の第 1 の態様によれば、回路素子群が搭載され、電子機器の筐体に収容される電子回路ユニットにおいて、

前記回路素子群が搭載される回路基板と、

外部との接続を行うための、複数のコネクタ端子と、

前記回路基板に設けられるフレームグラウンドと、を有し、

前記フレームグラウンドは、複数の分離領域に分離された状態で、前記回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散し

50

て配置されることを特徴とする電子回路ユニットが提供される。

【0014】

また、本発明の他の態様によれば、回路素子群およびコネクタ端子を搭載するための回路基板において、

フレームグラウンドを有し、

前記フレームグラウンドは、複数の分離領域に分離された状態で、当該回路基板の縁部に沿って配置され、かつ、前記複数の分離領域は、複数のコネクタ端子に対応して、分散して配置されること

を特徴とする回路基板が提供される。

【発明の効果】

10

【0015】

本発明によれば、コネクタ端子部のフレームグラウンドを介して、ノイズが他の信号に、または、他の信号のフレームグラウンドに伝導することを防止することができる。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施形態について図面を参照して説明する。

【0017】

図1は、本発明の第1の実施形態における回路基板の構成を示す平面図である。また、図2に、図1に示す回路基板に他の回路部品等搭載して、電子回路ユニットとして、筐体に収容した状態を示す。

20

【0018】

図1に示す本発明の一実施形態に係る回路基板10は、絶縁層11を有し、図2に示す筐体100に収容される。絶縁層11は、例えば、ポリイミド、ガラスエポキシ樹脂等により構成される。一般的には複数層が積層され、各層に、銅等の金属により構成される導体配線が配置される。また、回路基板10には、コネクタ端子群40が設けられる。

【0019】

コネクタ端子群40には、AC入力用の電源用コネクタ端子41、接点出力用コネクタ端子42、ライン用コネクタ端子43、電話用コネクタ端子44、LAN用コネクタ端子46等の複数のコネクタ端子41-47が含まれる。コネクタ端子41には、電源線51が、また、他のコネクタ端子42-47には、それぞれ信号線52-57が接続される。

30

【0020】

回路基板10には、導体層として、1乃至複数層の電源/グラウンドパターン20と、フレームグラウンド30とが、予め定められたパターンにより設けられる。また、この他に、図示していないが、信号伝送のための配線パターンが異なる絶縁層上に設けられる。この回路基板10に、図示していない各種回路素子が搭載され、また、コネクタ端子群40が配置されている。

【0021】

フレームグラウンド30は、絶縁層11の縁部、すなわち、回路基板10が筐体100に収容された際に、コネクタ端子群30と近接する部分に、コネクタ端子群30の配列に対応して配置される。また、フレームグラウンド30は、間隙部S1からS6を挟んで、複数の分離領域31-37に分離されて設けられる。本実施形態の場合、コネクタ端子群40を構成する各コネクタ端子41-47に対応して分散配置される。具体的には、一対一対に対応して設けられる。このフレームグラウンド30は、電源/グラウンドパターン20と同様の導体により、同様の製造プロセス、例えば、フォトリソグラフィプロセス等を経て設けることができる。

40

【0022】

なお、分離領域31-37の全部または一部については、分離せずに設け、実装時に、導体を切削して間隙部S1からS6を設けることにより、分離するようにしてもよい。また、予め設けた各間隙部S1-S6において、分離領域31-37の隣接する領域について、それぞれ、導電性のフィルム、導体片等の短絡部材により接続して、電氣的に一体化

50

しておく。その上で、必要に応じて短絡部材を剥離する等により除去して、間隙部による分離を有効とする構成としてもよい。

【0023】

各分離領域31-37の大きさは、そもそも、グランドとして機能するために、ある程度の面積が必要である。一方、それらが配置される領域等の事情により、その大きさには制約がある。例えば、それぞれが対応するコネクタ端子41-47の大きさ、コネクタ端子配列密度、間隙部S1-S6の間隔等に応じて大きさが制限される。

【0024】

ここで、間隙部幅、すなわち、間隙部Sを挟む導体間の距離について検討する。間隙部幅は、低減すべきノイズの大きさに応じて定まる。例えば、VCCI（情報処理等電波自主規制協議会）のクラスB規制値では、次のようになる。

【0025】

150kHzから30MHzの範囲でのノイズである伝導ノイズについては、

伝導ノイズ：(46dBμV~67dBμV)

(200μV)~(2.2mV)

となる。そして、この場合には、間隙部幅、すなわち、分離領域31-37の隣接する領域間の間隔は、2から3mm程度であればよい。

【0026】

また、30MHzから1GHzの範囲での電波ノイズ（放射ノイズ）については、

電波ノイズ：40~47dBμV/m

(100μV/m)~(220μV/m)

となる。そして、この場合には、間隙部幅は、1から2mm程度であればよい。

【0027】

一方、間隙部S1-S6のそれぞれの幅は、広いほどノイズの低減性能が向上する。例えば、ノイズレベルが前述した規制値を10%程度超えるような場合、当該部位における間隙部幅を10%広くすることにより、規制値に抑え込めるようにすることができる。

【0028】

上述した回路基板は、コネクタ端子群30を取り付け、かつ、図示していない回路素子群を搭載して、筐体100に収容する。図2においては、筐体100を分離領域36において、切断した状態を示す。図2では、コネクタ端子の構造部についての図示は省略して、信号線56のみを示している。

【0029】

次に、本発明によるノイズ抑止の原理について、図3および図4を参照して説明する。図3に、フレームグランドを共通フレームグランドとした場合を示す。また、図4に、フレームグランドに、本発明を適用して複数の分離領域に分離したものを示す。いずれの場合も、信号グランドのP部に、局所的にノイズ電圧が発生した場合を例として説明する。なお、説明の便宜のため、図1に示す回路基板より簡単な回路構成としている。

（信号グランドノイズ電流が他の信号線に伝導する場合）

図3に示す共通フレームグランドを用いた回路では、信号グランド25のP部に局所的に発生したノイズ電圧が、ノイズ電流Iaとして、容量C1、C2を通過して、信号ケーブル90の信号線91に伝導する。その結果、このノイズ電流に起因して、外部に放射ノイズが発生させ、EMI特性を低下させる。ここで、C1は、信号グランド25と共通フレームグランドCFGとの間の浮遊容量である。また、C2は、共通フレームグランドCFGと信号線91との間の浮遊容量である。

【0030】

信号グランドのような平板導体の場合、ノイズの平行平板共振によって、強度が局部的に大きくなる部分（例えば、P部）が発生する。このようなノイズは、数百メガヘルツと高周波のため、容量C1、C2を通りやすく、外部に伝導しやすい。フレームグランドが共通の場合に、このノイズがすべての信号にのる可能性がある。この場合、ほとんどすべて

の信号についてフィルタを入れることによって対処することも考えられるが、ノイズ対策が複雑となる。

【0031】

なお、局部的ノイズとしては、他にLSIの電源電流ノイズ等が考えられる。

【0032】

これに対して、本発明を適用して、フレームグラウンドを複数の分離領域30aから30cに分離した場合、図4に示すように、各分離領域30aと30bとの間、30bと30cとの間が、直流的には非導通となる。一方、高周波的にも、浮遊容量C3を小さくすることができることから、ここを通るノイズ電流を小さくすることができる。その結果、ノイズが他の部分に拡散することを防止することができるため、一部の信号についてフィルタを入れるだけで対処することが可能となる。従って、ノイズ対策が非常に簡便なものとなる。

(外部信号のフレームグラウンドノイズ電流が他の信号のケーブルフレームグラウンド95または他の信号ラインに伝導する場合)

他の信号のケーブルフレームグラウンド95または他の信号ラインに伝導したノイズ電流Icは、伝導ノイズまたは放射ノイズとなり、EMI特性を低下させる。フレームグラウンドが共通の場合、このノイズがすべての信号にのる可能性がある。そのため、すべての信号についてフィルタを入れるなどの対策が必要となる。

【0033】

しかし、本発明の場合、フレームグラウンドが複数の分離されているため、前述した理由から、ノイズ電流Icがフレームグラウンド30bから他のフレームグラウンド(例えば、30a)に流れることがなくなる。そのため、すべてのフレームグラウンドにノイズがのるという事態になることが避けられる。そのため、一部の信号についてのみノイズ対策をすれば足り、対策が簡便になる。

【0034】

なお、以上に述べた本発明が解決しようとする課題は、フレームグラウンドが筐体に対して浮いている場合でも、また、筐体と接続されている場合でも、同じである。

【0035】

次に、本発明の他の実施形態について図5を参照して説明する。図5に示す実施形態は、分離領域の一つである分離領域38を、複数(図5の例では2個)コネクタ端子46、47に対応させたものである。この実施形態の場合でも、前述した実施形態と同様に、間隙部幅を決定することができる。そして、同様の原理により、ノイズ電流の漏洩を低減することができる。

【図面の簡単な説明】

【0036】

【図1】図1は本発明の第1の実施形態に斯かる回路基板の構成を示す平面図である。

【図2】図2は、第1の実施形態の回路基板を電子回路ユニットとして筐体に収容した状態を切断面で示す説明図である。

【図3】図3は、共通フレームグラウンドを用いた場合におけるノイズ伝導の状態を示す説明図である。

【図4】図4は、本発明の分離フレームグラウンドを使用した場合におけるノイズ伝導の状態を示す説明図である。

【図5】図5は、本発明の他の実施形態一実施形態に係る回路基板の構成を示す平面図である。

【符号の説明】

【0037】

10...回路基板、11...絶縁層、20...電源/グラウンドパターン、25...信号グラウンド、30...フレームグラウンド、31-37...分離領域、40...コネクタ端子群、41-47...コネクタ端子、51...電源線、52-57...信号線、100...筐体。

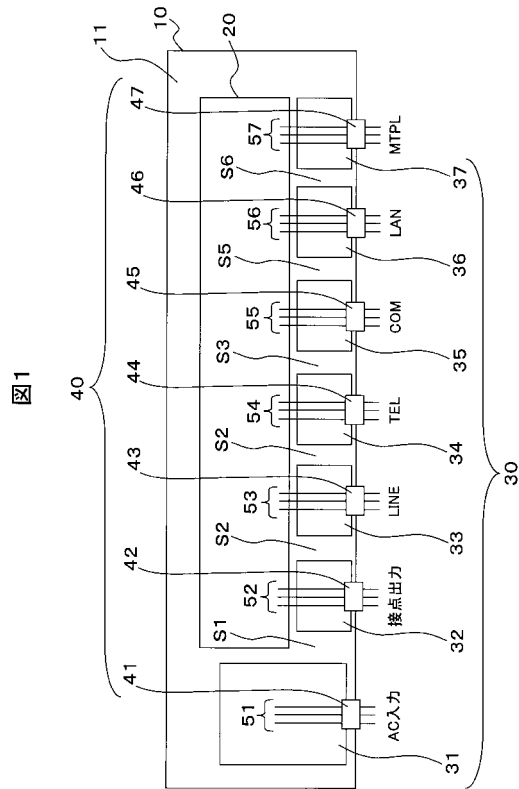
10

20

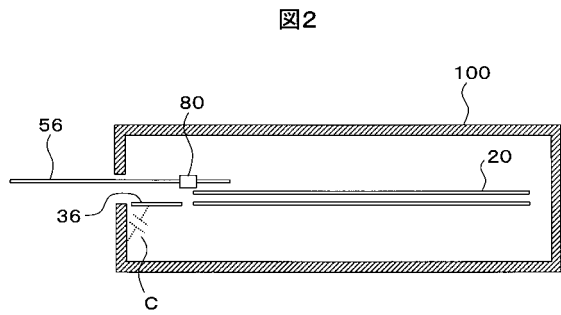
30

40

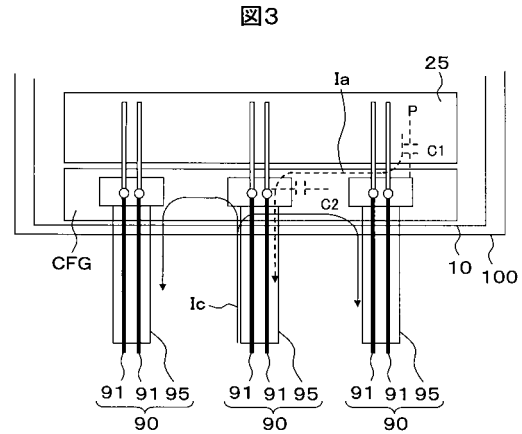
【 図 1 】



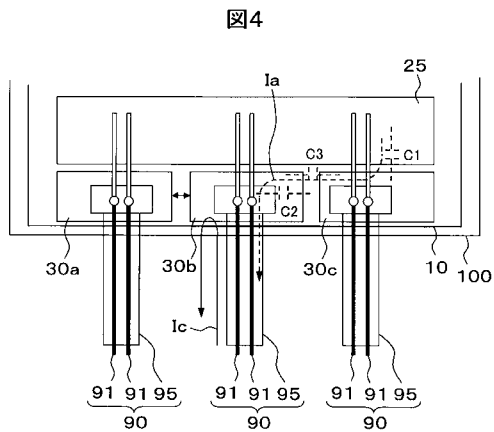
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

