



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0046186
(43) 공개일자 2017년04월28일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 27/124 (2013.01)
H01L 27/1225 (2013.01)
- (21) 출원번호 10-2017-7010461(분할)
- (22) 출원일자(국제) 2010년08월20일
심사청구일자 2017년04월18일
- (62) 원출원 특허 10-2012-7009411
원출원일자(국제) 2010년08월20일
심사청구일자 2015년08월18일
- (85) 번역문제출일자 2017년04월18일
- (86) 국제출원번호 PCT/JP2010/064543
- (87) 국제공개번호 WO 2011/033915
국제공개일자 2011년03월24일
- (30) 우선권주장
JP-P-2009-214485 2009년09월16일 일본(JP)

- (71) 출원인
가부시킴가이사 한도오마이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 순페이
일본 2430036 가나가와 아쓰기시 하세 398 가부시
킴가이사 한도오마이 에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 11 항

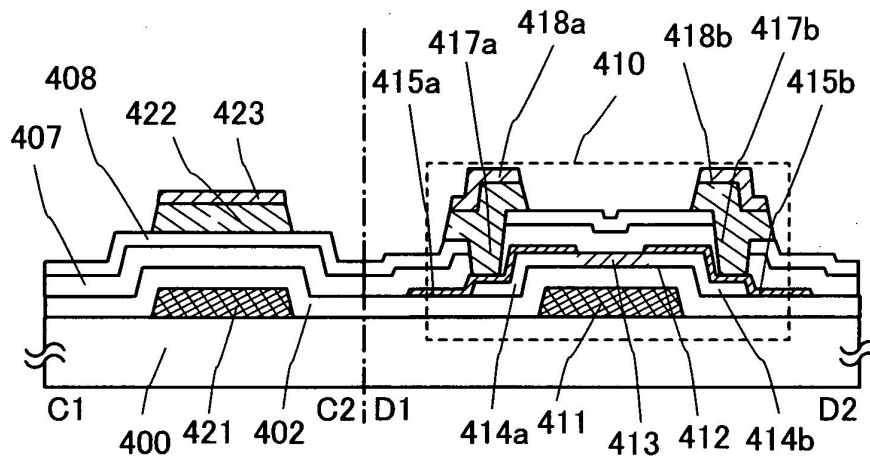
(54) 발명의 명칭 반도체 장치 및 전자 기기

(57) 요약

산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 적은 전력 소비를 갖는 반도체 장치를 제공하는 것이 목적이다. 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 높은 신뢰성을 갖는 반도체 장치를 제공하는 것이 목적이다. 반도체 장치에서, 게이트 전극층(게이트 배선층)은 게이트 절연층 및 박막 트랜지스터의 산화물 반도체층을 커버하는 절연층이 그 사이에 개재되어 소스 전극층 또는 드레인 전극층에 전기적으로 접속된 배선층과 교차한다. 따라서, 게이트 전극층, 게이트 절연층, 및 소스 또는 드레인 전극층들의 적층 구조에 의해 형성된 기생 용량이 감소될 수 있어서, 반도체 장치의 낮은 전력 소비가 실현될 수 있다.

대표도

[도 1b]



(52) CPC특허분류

H01L 27/1248 (2013.01)

H01L 29/78606 (2013.01)

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

반도체 장치에 있어서:

기관 위의 게이트 배선;

상기 게이트 배선 위의 게이트 절연층;

상기 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 및 상기 게이트 절연층 위에 있고 상기 산화물 반도체층 및 상기 게이트 절연층과 접하는 산화물 절연층; 및

상기 산화물 절연층 위의 소스 배선을 포함하고,

상기 소스 배선은 상기 산화물 절연층에 제공된 개구를 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 게이트 배선은 제 1 방향으로 연장하고,

상기 소스 배선은 상기 제 1 방향과 교차하는 제 2 방향으로 연장하고,

상기 소스 배선은 상기 소스 배선과 상기 게이트 배선의 교차부에서 상기 산화물 절연층 위에 제공되고,

상기 소스 배선은 제 1 배선층 및 제 2 배선층을 포함하고,

상기 제 1 배선층 및 상기 제 2 배선층의 적어도 하나는 구리를 포함하는, 반도체 장치.

청구항 2

반도체 장치에 있어서:

제 1 부분 및 제 2 부분을 포함하는 도전층;

상기 도전층 위의 게이트 절연층;

상기 게이트 절연층 위의 산화물 반도체층;

상기 산화물 반도체층 및 상기 게이트 절연층 위에 있고 상기 산화물 반도체층 및 상기 게이트 절연층과 접하는 산화물 절연층; 및

상기 산화물 절연층 위의 소스 배선을 포함하고,

상기 소스 배선은 상기 산화물 절연층에 제공된 개구를 통해 상기 산화물 반도체층에 전기적으로 접속되고,

상기 도전층은 제 1 방향으로 연장하고,

상기 소스 배선은 상기 제 1 방향과 교차하는 제 2 방향으로 연장하고,

상기 소스 배선은 상기 소스 배선과 상기 도전층의 교차부에서 상기 산화물 절연층 위에 제공되고,

상기 산화물 반도체층의 채널 형성 영역은 상기 도전층의 상기 제 1 부분 위에 제공되고,

상기 소스 배선은 상기 교차부에서 상기 도전층의 상기 제 2 부분과 겹치고,

상기 소스 배선은 제 1 배선층 및 제 2 배선층을 포함하고,

상기 제 1 배선층 및 상기 제 2 배선층의 적어도 하나는 구리를 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 절연층 및 상기 게이트 절연층은 상기 교차부에서 상기 소스 배선 및 상기 게이트 배선 사이에 제공되는, 반도체 장치.

청구항 4

제 2 항에 있어서,

상기 산화물 절연층 및 상기 게이트 절연층은 상기 교차부에서 상기 소스 배선 및 상기 도전층 사이에 제공되는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 배선층 및 상기 제 2 배선층 중 하나는 구리를 포함하고,

상기 제 1 배선층 및 상기 제 2 배선층 중 다른 하나는 티타늄을 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 산화물 반도체층은 채널 형성 영역을 포함하고,

상기 산화물 반도체층은 상기 채널 형성 영역에 인접하고 상기 산화물 절연층에 제공된 상기 개구와 겹치는 소스 영역을 포함하고,

상기 채널 형성 영역 내의 산소의 밀도는 상기 소스 영역 내의 산소의 밀도보다 높은, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 산화물 절연층은 산화 실리콘인, 반도체 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 산화물 반도체층은 인듐 및 아연을 포함하는, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 게이트 배선은 구리를 포함하는 적층 구조인, 반도체 장치.

청구항 10

제 2 항에 있어서,

상기 도전층은 구리를 포함하는 적층 구조인, 반도체 장치.

청구항 11

제 1 항 또는 제 2 항에 따른 반도체 장치를 포함하는 전자 기기에 있어서,

상기 전자 기기는 텔레비전 장치, 모니터, 카메라, 디지털 포토 프레임, 휴대 전화기, 휴대형 게임기, 음향 재생 장치, 게임기, 및 휴대 정보 단말 중 어느 하나인, 전자 기기.

발명의 설명

기술 분야

본 발명은 산화물 반도체를 포함하는 반도체 장치 및 그 제작 방법에 관한 것이다.

[0001]

[0002] 본 명세서에서 반도체 장치는 반도체 특성을 이용하여 기능하는 장치 전반을 의미하고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 최근, 절연 표면을 갖는 기판 위에 형성된 (대략 수 nm 내지 수백 nm의 두께를 갖는) 반도체 박막을 사용하여 박막 트랜지스터(TFT)를 형성하는 기술이 주목받고 있다. 박막 트랜지스터들은 IC 및 전기 광학 장치들과 같은 전자 장치에 넓게 적용되고 특히, 화상 표시 장치들에서 스위칭 소자들로서 사용될 박막 트랜지스터들의 개발이 촉구되고 있다. 다양한 금속 산화물들이 다양한 애플리케이션들에 이용된다. 산화 인듐은 널리 알려진 재료이고, 액정 표시 등에 필요한 투광성 전극 재료로서 사용된다.

[0004] 일부 금속 산화물들은 반도체 특성을 갖는다. 반도체 특성을 갖는 이러한 금속 산화물들의 예들은, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등을 포함한다. 반도체 특성을 갖는 이러한 금속 산화물을 사용하여 채널 형성 영역이 형성되는 박막 트랜지스터들이 알려져 있다(특허문헌 1 및 특허문헌 2).

[0005] 박막 트랜지스터들을 사용하는 전자 장치들의 예들로서, 휴대 전화 또는 랩탑 컴퓨터들과 같은 모바일 기기들이 제공될 수 있다. 연속 동작 시간에 영향을 미치는 전력 소비가 이러한 모바일 전자 장치에 대한 심각한 문제이다. 또한, 크기가 커지고 있는 텔레비전 세트에 대해서도, 크기의 증가에 의한 전력 소비의 증가를 억제하는 것이 필요하다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개 특허공보 제 2007-123861 호
 (특허문헌 0002) 일본 공개 특허공보 제 2007-096055 호

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 저전력 소비를 갖는 반도체 장치를 제공하는 것이다.

[0008] 본 발명의 목적은 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 고신뢰성을 갖는 반도체 장치를 제공하는 것이다.

[0009] 반도체 장치에서, 게이트 전극층(게이트 배선층)은 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 배선층과 교차하고, 박막 트랜지스터의 산화물 반도체층을 덮는 절연층 및 게이트 절연층이 그 사이에 개재된다. 박막 트랜지스터의 게이트 전극층이 산화물 반도체층상에서 소스 전극층 및 드레인 전극층과 부분적으로 겹친다는 것을 제외하고, 게이트 전극층, 게이트 절연층, 및 소스 전극층 또는 드레인 전극층의 적층 구조가 형성되지 않는다.

[0010] 따라서, 게이트 전극층, 게이트 절연층, 및 소스 전극층 또는 드레인 전극층의 적층 구조에 의해 형성되는 기생 용량이 감소될 수 있어서, 반도체 장치의 저전력 소비가 실현될 수 있다.

과제의 해결 수단

[0011] 본 발명의 일 실시형태는, 게이트 전극층, 게이트 전극층 위의 게이트 절연층, 게이트 절연층 위의 산화물 반도체층, 산화물 반도체층 위의 소스 전극층 및 드레인 전극층, 소스 전극층 및 드레인 전극층 위에서 산화물 반도체층과 접촉하는 산화물 절연층, 및 산화물 절연층 위에서 소스 또는 드레인 전극층과 전기적으로 접속되는 배선층을 포함하는 반도체 장치이다. 개구가 소스 또는 드레인 전극층에 이르도록 산화물 절연층에 형성되고, 배선층은, 개구에서 소스 또는 드레인 전극층과 접촉하고, 게이트 전극층과 배선층은 게이트 절연층 및 산화물 반도체층이 개재되어 서로 겹친다.

[0012] 소스 및 드레인 전극층들은, 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이

사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다.

- [0013] 소스 및 드레인 전극층들이 높은 산소 친화성을 갖는 금속을 함유하는 재료를 사용하여 형성되는 것이 바람직하다. 높은 산소 친화성을 갖는 금속은 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 및 톨륨으로부터 선택된 하나 이상의 재료인 것이 바람직하다. 본 실시형태에서, 소스 및 드레인 전극층들 각각으로서 티타늄 막이 사용된다.
- [0014] 산화물 반도체층 및 높은 산소 친화성을 갖는 금속층이 서로 접촉하면서 열처리가 실시될 때, 산소 원자들이 산화물 반도체층으로부터 금속층으로 이동하여, 그 사이의 계면 근처의 캐리어 밀도가 증가된다. 저저항 영역이 계면 근처에 형성되어서, 산화물 반도체층과 소스 및 드레인 전극층 사이의 접촉 저항이 감소한다.
- [0015] 내열성 도전 재료가 소스 및 드레인 전극층들에서 사용될 수도 있다. 내열성 도전을 사용함으로써, 소스 및 드레인 전극층들의 형성 후에 열처리가 실시될 때에도, 소스 및 드레인 전극층들의 특성들의 변화 또는 열화가 방지될 수 있다.
- [0016] 내열성 도전 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 임의의 상기 원소를 성분으로서 포함하는 합금, 임의의 이들 원소들의 조합을 포함하는 합금막, 또는 임의의 상기 원소들을 성분으로서 포함하는 질화물 등이 사용될 수 있다. 알루미늄(Al) 또는 구리(Cu)와 같은 저저항 도전 재료가 상술한 내열성 도전 재료와 조합되는 도전막이 사용될 수도 있다.
- [0017] 소스 및 드레인 전극층들은 산화 금속층을 포함할 수도 있다. 예를 들어, 산화물 반도체층과 티타늄 막 사이에 산화 티타늄막이 제공되는 구조, 또는 티타늄막(예를 들어, 0.1 nm 이상 5 nm이하의 두께를 가짐)과 산화물 절연층 사이에 산화 티타늄막(예를 들어, 1 nm 이상 20 nm이하의 두께를 가짐)이 제공되는 구조가 이용될 수도 있다.
- [0018] 소스 및 드레인 전극층들이 광이 투과될 만큼 얇을 때, 소스 및 드레인 전극층들은 투광성을 갖는다.
- [0019] 배선층은 소스 및 드레인 전극층들의 저항보다 낮은 저항을 갖는 도전막을 사용하여 형성된다. 특히, 배선층은 알루미늄, 구리, 크롬, 탄탈, 몰리브덴, 텅스텐, 티타늄, 네오디뮴, 스칸듐과 같은 금속 재료, 또는 임의의 이들 재료들을 주성분으로서 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다. 본 실시형태에서, 알루미늄막 및 티타늄막이 배선층으로 적층구조를 형성하기 위해 제 1 배선층 및 제 2 배선층으로서 사용된다.
- [0020] 본 발명의 일 실시형태는, 게이트 전극층이 형성되고, 게이트 절연층이 게이트 전극층 위에 형성되고, 산화물 반도체층이 게이트 절연층 위에 형성되고, 산화물 반도체층이 탈수화 또는 탈수소화되어, 그 후, 대기에 노출되는 것이 방지되어, 산화물 반도체층에 대한 물 또는 수소의 혼입이 방지되고, 소스 및 드레인 전극층들이 산화물 반도체층 위에 형성되고, 산화물 반도체층, 소스 및 드레인 전극층들 위에 산화물 반도체층의 일부와 접촉하는 산화물 절연층이 형성되고, 산화물 절연층에 소스 또는 드레인 전극층들에 이르는 개구가 형성되며, 소스 또는 드레인 전극층과 접촉하고 또한 그 사이에 개재된 게이트 절연층 및 산화물 절연층과 게이트 전극층이 부분적으로 겹치는 배선층이 개구에 형성되는 반도체 장치의 제작하는 방법이다. 배선층은 소스 및 드레인 전극층들보다 얇고, 소스 및 드레인 전극층들보다 낮은 저항을 갖는다.
- [0021] 상술한 구조들 각각으로, 상술한 목적들 중 적어도 하나가 달성될 수 있다.
- [0022] 산화물 반도체층은, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 의 박막이다. 그 박막을 산화물 반도체층으로서 사용하여 박막 트랜지스터가 형성된다. M는, Ga, Fe, Ni, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다는 것에 유의한다. 예를 들어, M로서 Ga일 수도 있거나, Ga 이외에 상술한 금속 원소를 포함할 수도 있고, 예를 들어, M은 Ga 및 Ni일 수도 있거나 M은 Ga 및 Fe일 수도 있다. 상술한 산화물 반도체에서, M로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe 또는 Ni와 같은 전이 금속 원소 또는 전이 금속의 산화물이 포함될 수도 있다. 본 명세서에서, 그 조성식이 $\text{InMO}_3(\text{ZnO})_m(m>0)$ (적어도 Ga가 M으로서 포함됨)로 표기되는 산화물 반도체층을 In-Ga-Zn-O계 산화물 반도체라고 칭하고, 그 박막을 In-Ga-Zn-O계 비단결정막이라고 칭한다.
- [0023] 산화물 반도체층에 적용가능한 금속 산화물의 다른 예들로서, 임의의 다음의 금속 산화물들: In-Sn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, 및 Zn-O계 금속 산화물의 금속 산화물이 적용될 수 있다. 산화 실리콘

콘이 상술한 금속 산화물을 사용하여 형성된 산화물 반도체층에 포함될 수도 있다.

- [0024] 탈수화 또는 탈수소화는, 질소 또는 희가스(아르곤 또는 헬륨과 같은)와 같은 불활성 기체의 분위기하에서 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상 기판의 변형점 미만에서 실시된 가열 처리여서, 산화물 반도체층에 함유된 수분과 같은 불순물이 감소된다. 또한, 물(H₂O)의 혼입이 방지될 수도 있다.
- [0025] 탈수화 또는 탈수소화를 위한 열처리는, 20 ppm 이하의 H₂O 농도로 질소 분위기에서 실시되는 것이 바람직하다. 대안적으로, 열처리는 20 ppm 이하의 H₂O 농도로 조건조 공기 분위기에서 실시될 수도 있다.
- [0026] 탈수화 또는 탈수소화를 위한 가열 처리에 있어서, 전기로를 사용한 가열 방법, 가열된 기체를 사용하는 GRTA(gas rapid thermal anneal)법 또는 램프광을 사용하는 LRTA(lamp rapid thermal anneal)법과 같은 순간 가열 방법 등이 사용될 수 있다.
- [0027] 탈수화 또는 탈수소화된 후의 산화물 반도체층상에서 TDS(Thermal Desorption Spectroscopy) 측정이 450℃까지 실시될 때에도, 300℃ 부근에 나타나는 물의 2개의 피크들 중 적어도 하나가 검출되지 않도록 열처리 조건이 설정된다. 따라서, 탈수화 또는 탈수소화된 산화물 반도체층을 포함하는 박막 트랜지스터상에서 TDS 측정이 450℃까지 실시될 때에도, 300℃ 부근에 나타나는 물의 피크는 검출되지 않는다.
- [0028] 그 후, 산화물 반도체층이 탈수화 또는 탈수소화되는 가열 온도(T)로부터 물 또는 수소와 같은 불순물들의 혼입을 방지하는데 충분히 낮은 온도, 구체적으로는, 가열 온도(T)보다 100℃ 만큼 낮은 온도까지 서냉(徐冷)된다. 탈수화 또는 탈수소화를 위해 사용된 동일한 노가 공기에 노출되지 않고 사용되고, 물 또는 수소화 같은 불순물들의 혼입이 방지되는 것이 중요하다. 탈수화 또는 탈수소화가 실시되어, 산화물 반도체층을 저저항형 층, 즉, n형(n⁻형 또는 n⁺형과 같은)화시키고, 그 후, 산화물 반도체층이 i-형 산화물 반도체층이 되도록 고저항화시킨다. 이러한 산화물 반도체층을 사용하여 박막 트랜지스터가 제작될 때, 박막 트랜지스터의 임계 전압은 포지티브이고, 소위 노멀리-오프(normally-off) 스위칭 소자가 획득될 수 있다. 가능한 한 0V에 가까운 포지티브 값인 임계 전압으로 채널이 형성되는 것이 표시 장치에 대해 바람직하다. 박막 트랜지스터의 임계 전압값이 네거티브이면, 박막 트랜지스터는 게이트 전압이 0 V일 때에도 소스 전극과 드레인 전극의 사이에 전류가 흐르는 소위 노멀리-온(normally-on) TFT인 경향이 있다. 액티브 매트릭스 표시 장치에서, 회로에 포함된 박막 트랜지스터의 전기 특성이 중요하고, 표시 장치의 성능에 영향을 미친다. 특히, 박막 트랜지스터의 전기 특성 중에서, 임계 전압(V_{th})이 중요하다. 전계 효과 이동도가 높을 때에도 임계 전압값이 높거나 또는 네거티브 값이면, 회로를 제어하는 것이 어렵다. 박막 트랜지스터가 큰 절대값을 갖는 높은 임계 전압값을 가질 때, 박막 트랜지스터는 트랜지스터가 낮은 전압에서 구동될 때 TFT로서 스위칭 기능을 실시할 수 없고, 부하될 수도 있다. n-채널 박막 트랜지스터의 경우에서, 포지티브 전압이 게이트 전압으로서 인가된 후에 채널이 형성되어, 드레인 전류가 흐르기 시작하는 것이 바람직하다. 구동 전압이 높지 않으면 채널이 형성되지 않는 트랜지스터 및 네거티브 전압에서도 채널이 형성되고 드레인 전류가 흐르는 트랜지스터는 회로에 사용된 박막 트랜지스터로서 적합하지 않다.
- [0029] 가열 온도(T)로부터 감소되는 가스 분위기는, 온도가 가열 온도(T)까지 증가되는 가스 분위기와 다른 가스 분위기로 전환될 수도 있다. 예를 들어, 대기에 접촉하지 않고, 노 안을 고순도의 산소 가스 또는 N₂O 가스, 조건조 공기(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)로 채운 탈수화 또는 탈수소화를 위한 노와 동일한 노에서 서냉된다.
- [0030] 막에 포함된 수분을 감소시키기 위해 탈수화 또는 탈수소화를 위한 가열 처리에 의해 형성되고, 수분이 포함되지 않는 분위기(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)하에서 서냉(또는 냉각)이 실시된 산화물 반도체막을 사용하여, 박막 트랜지스터의 전기 특성이 향상되고, 양산성과 고성능이 박막 트랜지스터에 대해 제공될 수 있다.
- [0031] 본 명세서에서, 질소, 또는 희가스(아르곤 또는 헬륨과 같은)의 불활성 기체 분위기하에서의 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라고 칭한다. 본 명세서에서, 탈수소화는 가열 처리에 의해 H₂의 형태의 탈리만을 칭하는 것을 아니고, 탈수화 또는 탈수소화는 또한, 편의상 H, OH 등의 탈리를 칭한다.
- [0032] 질소, 또는 희가스(아르곤 또는 헬륨과 같은)의 불활성 기체 분위기하에서 가열 처리가 실시되는 경우에서, 가열 처리는 산화물 반도체층의 저항을 감소시키기 위해 산화물 반도체층을 산소 결핍형 층으로 만들어서, 산화물 반도체층은 n-형(n⁻형과 같은) 산화물 반도체층이 된다.
- [0033] 또한, 드레인 전극층과 겹치고 산소 결핍형인 고저항 드레인 영역(또한 HRD(high resistance drain) 영역으로

칭함)이 형성된다. 또한, 소스 전극층과 겹치고 산소 결핍형인 고저항 소스 영역(또한 HRS(high resistance source) 영역으로 칭함)이 형성된다.

- [0034] 구체적으로는, 고저항 드레인 영역의 캐리어 농도는, $1 \times 10^{18} / \text{cm}^3$ 이상이고, 적어도 채널 형성 영역의 캐리어 농도($1 \times 10^{18} / \text{cm}^3$ 미만)보다 높다. 본 명세서에서의 캐리어 농도는, 실온에서 홀 효과(Hall effect) 측정에 의해 획득된 캐리어 농도의 값을 칭한다.
- [0035] 또한, 탈수화 또는 탈수소화된 산화물 반도체층의 적어도 일부는 산소 과잉 상태로 되어, 더 높은 저항을 가져, 즉, i-형화되어서, 채널 형성 영역이 형성된다. 탈수화 또는 탈수소화된 산화물 반도체층을 산소 과잉 상태로 만드는 처리로서, 아래의 처리: 스퍼터링법(스퍼터링으로 또한 칭함)에 의한 탈수화 또는 탈수소화된 산화물 반도체층과 접촉하는 산화물 절연막의 성막; 산화물 절연막의 성막 후의 가열 처리; 산화물 절연막의 성막 후에, 불활성 가스 분위기에서의 가열 처리 후 산소 분위기 또는 조건조 공기(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)에서 냉각 처리 등이 실시된다.
- [0036] 또한, 탈수화 또는 탈수소화된 산화물 반도체층의 적어도 일부(게이트 전극층과 겹치는 부분)를 채널 형성 영역으로 만들기 위한, 산화물 반도체층은 선택적으로 산소 과잉 상태로 됨으로써, 고저항화, 즉, i-형이 된다. 채널 형성 영역은, Ti 등의 금속 전극을 사용하여 형성된 소스 및 드레인 전극층들이 탈수화 또는 탈수소화된 산화물 반도체층상에 접촉하여 형성되고, 소스 및 드레인 전극층들과 겹치지 않는 노출 영역이 선택적으로 산소 과잉 상태로 되는 방식으로 형성될 수 있다. 노출 영역이 선택적으로 산소 과잉 상태로 되는 경우에서, 소스 전극층과 겹치는 고저항 소스 영역 및 드레인 전극층과 겹치는 고저항 드레인 영역이 형성되어 고저항 소스 영역과 고저항 드레인 영역 사이에 채널 형성 영역이 형성된다. 즉, 채널 형성 영역의 채널 길이는 소스 및 드레인 전극층들과 자기 정합된다.
- [0037] 이러한 방식으로, 높은 전기 특성 및 높은 신뢰성을 갖는 박막 트랜지스터를 포함하는 반도체 장치가 제공될 수 있다.
- [0038] 드레인 전극층과 겹치는 산화물 반도체층에 고저항 드레인 영역을 형성함으로써, 구동 회로가 형성되는 경우에 신뢰성이 향상될 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 도전성이 고저항 드레인 영역을 통해 드레인 전극층으로부터 채널 형성 영역까지 단계적으로 변화할 수 있다. 따라서, 박막 트랜지스터가 고전원 전위(VDD)를 공급하는 배선에 접속된 드레인 전극층으로 동작하는 경우에서, 고저항 드레인 영역은, 게이트 전극층과 드레인 전극층과의 사이에 고전계가 인가되는 경우에도 버퍼로서 기능하고 고전계가 국소적으로 인가되지 않아서, 박막 트랜지스터의 내압이 향상될 수 있다.
- [0039] 또한, 드레인 전극층 및 소스 전극층과 겹치는 산화물 반도체층에 고저항 드레인 영역 및 고저항 소스 영역을 형성함으로써, 구동 회로가 형성되는 경우에 채널 형성 영역에서의 누설 전류의 감소가 달성될 수 있다. 구체적으로는, 고저항 드레인 영역을 형성함으로써, 트랜지스터의 드레인 전극층과 소스 전극층 사이의 누설 전류는, 드레인 전극층, 드레인 전극층측상의 고저항 드레인 영역, 채널 형성 영역, 소스 전극층측상의 고저항 소스 영역, 및 소스 전극층을 통해 이러한 순서로 흐른다. 이러한 경우에, 채널 형성 영역에서, 드레인 전극층측상의 고저항 드레인 영역으로부터 채널 영역으로 흐르는 누설 전류는, 트랜지스터가 오프될 때 고저항을 갖는 게이트 절연층과 채널 형성 영역 사이의 계면 근처에 집중될 수 있어서, 백 채널부(게이트 전극층으로부터 이격된 채널 형성 영역의 표면의 일부)에서의 누설 전류의 양이 감소될 수 있다.
- [0040] 또한, 소스 전극층과 겹치는 고저항 소스 영역 및 드레인 전극층과 겹치는 고저항 드레인 영역은, 게이트 전극층의 폭에 의존하더라도, 게이트 전극층의 일부와 게이트 절연층이 개재되어 서로 겹치고, 드레인 전극층의 단부 근처의 전계의 강도가 더욱 효율적으로 감소될 수 있다.
- [0041] 또한, 산화물 반도체층과 소스 및 드레인 전극층들 사이에 산화물 도전층이 형성될 수도 있다. 산화물 도전층은, 성분으로서 산화 아연을 포함하고, 산화 인듐을 포함하지 않는 것이 바람직하다. 예를 들어, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 산화 아연 갈륨 등이 사용될 수 있다. 산화물 도전층은 또한, 저저항 드레인(LRD, 또한 LRN(low resistance n-type conductivity)으로 칭함)영역으로서 기능한다. 구체적으로는, 저저항 드레인 영역의 캐리어 농도는, 고저항 드레인 영역(HRD 영역)의 캐리어 농도보다 높고, 예를 들어 $1 \times 10^{20} / \text{cm}^3$ 이상 $1 \times 10^{21} / \text{cm}^3$ 이하의 범위인 것이 바람직하다. 산화물 반도체층과 소스 및 드레인 전극층들 사이에 산화물 도전층의 제공은, 접촉 저항을 감소시킬 수 있고, 트랜지스터의 고속 동작을 실현할 수가 있다. 따라서, 주변 회로(구동 회로)의 주파수 특성이 향상될 수 있다.

- [0042] 산화물 도전층, 및 소스 및 드레인 전극층들을 형성하기 위한 금속 층은 연속적으로 형성될 수 있다.
- [0043] 상술한 제 1 배선 및 제 2 배선은, LRN 영역 또는 LRD 영역으로서 기능하는 산화물 도전층과 동일한 재료와 금속 재료를 적층함으로써 형성되는 배선을 사용하여 형성될 수도 있다. 금속과 산화물 도전층을 적층함으로써, 하층 배선과 겹치는 부분 또는 개구와 같은 단차에서의 피복성이 향상될 수 있어서, 배선 저항이 낮아질 수 있다. 또한, 마이그레이션(migration) 등에 의한 배선의 저항에서의 국소적 증가 및 배선의 단선이 방지되는 것으로 기대될 수 있어서, 고신뢰성을 갖는 반도체 장치가 제공될 수 있다.
- [0044] 또한, 상술한 제 1 배선과 제 2 배선 사이의 접속에 관하여, 산화물 도전층이 그 사이에 제공될 수도 있어서, 접속부(콘택트부)에서의 금속 표면상의 절연성 산화물의 형성으로 인한 접속 저항의 증가가 방지되는 것으로 기대될 수 있어서, 고신뢰성을 갖는 산화물 반도체 장치가 제공될 수 있다.
- [0045] 박막 트랜지스터가 정전기 등에 의해 쉽게 파괴되기 때문에, 게이트선 또는 소스선에 대해, 화소부에 포함된 박막 트랜지스터의 보호용의 보호 회로가 화소부에 대한 기관과 동일한 기관 위에 제공되는 것이 바람직하다. 보호 회로는 산화물 반도체층을 사용한 비선형 소자를 사용하여 형성되는 것이 바람직하다.
- [0046] 본 명세서에서 "제 1" 및 "제 2"와 같은 서수들은 편의상 사용되고, 단계들의 순서 또는 층들의 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에서의 서수들은 본 발명을 특정하기 위한 특정한 명칭을 나타내는 것이 아니다.
- [0047] 산화물 반도체층을 사용하는 박막 트랜지스터는 전자 장치 또는 광 장치에 대해 사용될 수 있다. 예를 들어, 산화물 반도체층을 사용하는 박막 트랜지스터는, 액정 표시 장치, 발광 장치, 전자 페이퍼의 스위칭 소자 등으로서 사용될 수 있다.
- [0048] 표시 장치에 한정되지 않고, 고전력 제어용의 절연 게이트 반도체 장치들, 특히, 파워 MOS 장치로 칭하는 반도체 장치가 제작될 수 있다. 파워 MOS 장치의 예로서, MOSFET, IGBT 등이 제공될 수 있다.

발명의 효과

- [0049] 산화물 반도체층을 사용하는 박막 트랜지스터를 갖는 반도체 장치로서, 적은 기생 용량 및 저소비 전력을 갖는 반도체 장치가 제공될 수 있다.
- [0050] 산화물 반도체층을 사용하는 박막 트랜지스터를 갖는 반도체 장치로서, 높은 신뢰성을 갖는 반도체 장치가 제공될 수 있다.

도면의 간단한 설명

- [0051] 도 1a1, 도 1a2 및 도 1b는 반도체 장치들을 예시한 도면.
- 도 2a 내지 도 2f는 반도체 장치를 제작하는 방법을 예시한 도면.
- 도 3a1, 도 3a2 및 도 3b는 반도체 장치들을 예시한 도면.
- 도 4a 내지 도 4f는 반도체 장치를 제작하는 방법을 예시한 도면.
- 도 5a 내지 도 5f는 반도체 장치를 제작하는 방법을 예시한 도면.
- 도 6a 및 도 6b는 반도체 장치들을 예시한 도면.
- 도 7은 반도체 장치를 예시한 도면.
- 도 8은 반도체 장치를 예시한 도면.
- 도 9는 반도체 장치를 예시한 도면.
- 도 10은 반도체 장치를 예시한 도면.
- 도 11은 반도체 장치의 화소의 등가 회로를 예시한 도면.
- 도 12a 내지 도 12c는 반도체 장치들을 예시한 도면.
- 도 13a 및 도 13b는 반도체 장치를 예시한 도면.
- 도 14a 내지 도 14c는 반도체 장치를 예시한 도면.

- 도 15는 반도체 장치를 예시한 도면.
- 도 16은 반도체 장치를 예시한 도면.
- 도 17은 반도체 장치를 예시한 도면.
- 도 18은 반도체 장치의 화소의 등가 회로를 예시한 도면.
- 도 19는 반도체 장치를 예시한 도면.
- 도 20a 및 도 20b는 전자기기를 예시한 도면.
- 도 21a 및 도 21b는 전자기기를 예시한 도면.
- 도 22는 전자기기를 예시한 도면.
- 도 23은 전자기기를 예시한 도면.
- 도 24는 전자기기를 예시한 도면.
- 도 25a 내지 도 25d는 다계조 마스크를 예시한 도면.
- 도 26은 시뮬레이션의 결과를 예시한 도면.
- 도 27은 시뮬레이션의 결과를 예시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0052] 이하, 첨부한 도면들을 참조하여 본 발명의 실시형태들을 더욱 상세히 설명할 것이다. 그러나, 본 발명은 아래의 설명에 한정되지 않고, 여기에 개시된 형태 및 상세가 본 발명의 사상 및 범위를 벗어나지 않고 다양한 방식으로 변경될 수 있다는 것이 당업자에 의해 쉽게 이해된다. 따라서, 본 발명은 실시형태의 설명에 한정되는 것으로 해석되지 않는다.
- [0053] (실시형태 1)
- [0054] 실시형태 1에서, 반도체 장치 및 반도체 장치의 제작 방법의 일 실시형태가 도 1a1 및 도 1a2, 도 1b, 도 2a 내지 도 2f, 및 도 6a 및 도 6b를 참조하여 설명될 것이다.
- [0055] 도 1a1 및 도 1a2는 반도체 장치의 평면 구조의 일례를 예시하고, 도 1b는 반도체 장치의 단면 구조의 일례를 예시한다. 도 1a2 및 도 1b에 도시된 박막 트랜지스터(410)는 채널 에칭형으로 불리는 보텀-게이트 구조의 종류이며, 역스태거형(inverted staggered) 박막 트랜지스터라고 또한 불린다.
- [0056] 도 1a1은, 게이트 배선층(게이트 전극층과 동일한 단계에 의해 형성됨)과 소스 배선층(배선층과 동일한 단계에 의해 형성됨) 사이의 교차부의 평면도이고, 도 1a2는 채널 에칭형 박막 트랜지스터(410)의 평면도이며, 도 1b는 도 1a1 및 도 1a2에서의 선 C1-C2 및 선 D1-D2을 따른 단면도이다.
- [0057] 채널 에칭형 박막 트랜지스터인 박막 트랜지스터(410)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411), 게이트 절연층(402), 적어도 채널 형성 영역(413), 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)을 포함하는 산화물 반도체층(412), 소스 전극층(415a), 및 드레인 전극층(415b)을 포함한다. 또한, 박막 트랜지스터(410)를 커버하고, 채널 형성 영역(413)과 접촉하는 산화물 절연층(407)이 제공되고, 그 위에 보호 절연층(408)이 제공된다.
- [0058] 산화물 절연층(407) 및 보호 절연층(408)에는, 소스 전극층(415a) 및 드레인 전극층(415b)에 이르는 개구들(콘택트 홀들)이 형성된다. 배선층들(417a 및 418a)이 개구들 중 하나에 형성되고, 배선층들(417b 및 418b)이 개구들 중 다른 하나에 형성된다. 교차부에서, 게이트 배선층(421) 및 소스 배선층들(422 및 423)이 게이트 절연층(402), 산화물 절연층(407) 및 보호 절연층(408)을 그 사이에 개재하여 적층된다.
- [0059] 이러한 방식으로, 게이트 전극층(게이트 배선층)은 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 배선층과, 박막 트랜지스터의 산화물 반도체층을 커버하는 절연층 및 게이트 절연층을 그 사이에 개재하여 교차한다. 박막 트랜지스터의 게이트 전극층이 산화물 반도체층 위에서 소스 전극층 및 드레인 전극층과 부분적으로 겹친다는 점을 제외하고, 게이트 전극층, 게이트 절연층, 및 소스 또는 드레인 전극층의 적층 구조가 형성되지 않는다.

- [0060] 따라서, 게이트 전극층, 게이트 절연층, 및 소스 또는 드레인 전극층의 적층 구조에 의해 형성되는 기생 용량이 감소될 수 있어서, 반도체 장치의 저전력 소비가 실현될 수 있다.
- [0061] 박막 트랜지스터(410)가 단일 게이트 박막 트랜지스터로서 설명되지만, 필요에 따라, 복수의 채널 형성 영역을 포함하는 멀티 게이트 박막 트랜지스터가 형성될 수 있다.
- [0062] 이하, 도 2a 내지도 2f를 참조하여 기판 위에 박막 트랜지스터(410)를 형성하는 단계가 설명된다.
- [0063] 먼저, 도전막이 절연 표면을 갖는 기판(400) 위에 형성되고, 제 1 포토리소그래피 단계가 실시되어, 게이트 전극층(411) 및 게이트 배선층(421)이 형성된다. 레지스트 마스크가 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성될 때 포토마스크(photomask)가 사용되지 않고, 이것은 제작 비용의 절감을 발생시킨다.
- [0064] 나중에 실시되는 가열 처리에 견디는 내열성을 갖는 한은, 절연 표면을 갖는 기판(400)으로서 사용될 수 있는 기판에 대해 특별한 제한은 없다. 바륨boro실리케이트 유리, 알루미늄boro실리케이트 유리 등의 유리 기판이 사용될 수 있다.
- [0065] 나중에 실시된 가열 처리의 온도가 높을 때, 730°C 이상의 변형점을 갖는 기판이 유리 기판으로서 사용되는 것이 바람직하다. 유리 기판의 재료로서, 예를 들어, 알루미늄boro실리케이트 유리, 알루미늄boro실리케이트 유리 또는 바륨boro실리케이트 유리와 같은 유리 재료가 사용된다. 붕산보다 대량의 산화 바륨(BaO)을 함유함으로써, 유리 기판은 내열성이고 보다 실용적이다. 따라서, BaO의 양이 B₂O₃의 양보다 크도록 BaO 및 B₂O₃를 함유하는 유리 기판을 사용하는 것이 바람직하다.
- [0066] 상술한 유리 기판 대신에, 세라믹 기판, 석영 기판, 또는 사파이어 기판과 같은 절연체를 사용하여 형성된 기판이 또한 사용될 수도 있다. 대안적으로, 결정화 유리 등이 사용될 수 있다.
- [0067] 하지막(base film)으로서 기능하는 절연막이 기판(400), 게이트 전극층(411) 및 게이트 배선층(421) 사이에 제공될 수도 있다. 하지막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 갖고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막 중 하나 이상을 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다.
- [0068] 게이트 전극층(411) 및 게이트 배선층(421)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐과 같은 금속 재료, 또는 임의의 이들 재료들을 주성분으로서 함유하는 합금 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0069] 다음으로, 게이트 절연층(402)이 게이트 전극층(411) 및 게이트 배선층(421) 위에 형성된다.
- [0070] 게이트 절연층(402)은 플라즈마 CVD법, 스퍼터링법 등에 의해 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층의 단층 또는 그것의 적층을 갖도록 형성될 수 있다. 예를 들어, 산화 질화 실리콘층은 플라즈마 CVD법에 의해 성막 가스로서 SiH₄, 산소 및 질소를 사용하여 형성될 수도 있다. 게이트 절연층(402)의 두께는, 100 nm 이상 500 nm 이하이고, 적층의 경우에는, 예를 들어, 50 nm 이상 200 nm 이하의 두께를 갖는 제 1 게이트 절연층 및 5 nm 이상 300 nm 이하의 두께를 갖는 제 2 게이트 절연층이 적층된다.
- [0071] 본 실시형태에서, 200 nm 이하의 두께를 갖는 질화 실리콘층이 플라즈마 CVD법에 의해 게이트 절연층(402)으로서 형성된다.
- [0072] 다음으로, 산화물 반도체층(440)이 게이트 절연층(402) 위에 2 nm 이상 200 nm 이하의 두께로 형성된다. 산화물 반도체막(440)이 형성된 후에 탈수화 또는 탈수소화를 위한 가열 처리가 실시될 때에도 비정질 상태로 유지하기 위해 산화물 반도체막(440)은 50 nm 이하의 두께 만큼 얇은 것이 바람직하다. 산화물 반도체막의 두께로 인해, 산화물 반도체층의 형성 후에 가열 처리가 실시될 때, 산화물 반도체막이 결정화되는 것이 방지될 수 있다.
- [0073] 산화물 반도체막(440)이 스퍼터링법에 의해 형성되기 전에, 아르곤 가스가 도입되고 플라즈마가 발생하는 역스퍼터링에 의해, 게이트 절연층(402)의 표면상의 먼지가 제거되는 것이 바람직하다. 역스퍼터링은, 타겟측에 전압을 인가하지 않고, 아르곤 분위기하에서 기판측에 전압의 인가를 위해 RF 전원이 사용되어 기판 근처에 플라즈마를 발생시켜 표면의 품질을 변화시키는 방법을 칭한다. 아르곤 분위기 대신에 질소, 헬륨, 산소 등이 사용될 수도 있다.

- [0074] 산화물 반도체막(440)은, In-Ga-Zn-O계 비단결정막, 또는 In-Sn-Zn-O계 산화물 반도체막, In-Al-Zn-O계 산화물 반도체막, Sn-Ga-Zn-O계 산화물 반도체막, Al-Ga-Zn-O계 산화물 반도체막, Sn-Al-Zn-O계 산화물 반도체막, In-Zn-O계 산화물 반도체막, Sn-Zn-O계 산화물 반도체막, Al-Zn-O계 산화물 반도체막, In-O계 산화물 반도체막, Sn-O계 산화물 반도체막, 또는 Zn-O계 산화물 반도체막을 사용하여 형성된다.
- [0075] 본 실시형태에서, 산화물 반도체막(440)은 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법에 의해 형성된다. 이러한 스테이지에서의 단면도가 도 2a에 대응한다. 또한, 산화물 반도체막(440)은, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 형성될 수 있다. 스퍼터링법을 사용하는 경우에, SiO₂를 2 중량% 이상 10 중량% 이하로 포함하는 타겟을 사용하여 성막이 실시되어, 결정화를 저해하는 SiO_x(X>0)가 산화물 반도체막(440)에 포함되어, 이러한 방식으로, 산화물 반도체막(440)이 나중에 실시된 탈수화 또는 탈수소화에 대한 가열 처리에서 결정화되는 것이 방지될 수 있는 것이 바람직하다.
- [0076] 본 실시형태에서, In, Ga, 및 Zn를 포함하는 산화물 반도체 타겟(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol%], In:Ga:Zn=1:1:0.5[atom%])을 사용하여 성막이 실시된다. 성막 조건은 아래와 같이 설정되고, 기관과 타겟 사이의 거리는 100 mm이고, 압력은 0.2 Pa이고, 직류(DC) 전원은 0.5 kW이고, 분위기는 아르곤 및 산소의 혼합 분위기(아르곤:산소=30 sccm:20 sccm, 및 산소 유량비는 40%)이다. 먼지가 감소될 수 있고 막두께가 균일해질 수 있기 때문에 펄스 직류(DC) 전원을 사용하는 것이 바람직하다. In-Ga-Zn-O계 비단결정막이 5 nm 이상 200 nm 이하의 두께로 형성된다. 본 실시형태에서, 산화물 반도체막으로서, In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법에 의해 20 nm의 두께를 갖는 In-Ga-Zn-O계 비단결정막이 형성된다. 대안적으로, In, Ga, 및 Zn를 포함하는 산화물 반도체 타겟으로서 In:Ga:Zn=1:1:1[atom%], 또는 In:Ga:Zn=1:1:2[atom%]의 조성비를 갖는 타겟이 사용될 수 있다.
- [0077] 스퍼터링법의 예들은, 스퍼터링 전원으로 고주파 전원이 사용되는 RF 스퍼터링법, DC 스퍼터링법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연막을 형성하는 경우에 주로 사용되고, DC 스퍼터링법은 금속막을 형성하는 경우에서 주로 사용된다.
- [0078] 상이한 재료의 복수의 타겟이 설정될 수 있는 멀티-소스 스퍼터링 장치가 사용될 수 있다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일한 챔버에 적층되도록 형성될 수 있거나, 복수의 종류의 재료들의 막이 동일한 챔버에 동시에 전기 방전에 의해 형성될 수 있다.
- [0079] 대안적으로, 챔버 내부에 자석 시스템을 구비하고 마그네트론 스퍼터링법을 위해 사용되는 스퍼터링 장치, 또는 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생된 플라즈마가 사용되는 ECR 스퍼터링법을 위해 사용되는 스퍼터링 장치가 사용될 수 있다.
- [0080] 또한, 스퍼터링법을 사용하는 성막 방법으로서 타겟 물질과 스퍼터링 가스 성분이 성막 동안 서로 화학적으로 반응되어 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법, 또는 전압이 성막 동안 기관에 또한 인가되는 바이어스 스퍼터링법이 사용될 수 있다.
- [0081] 다음으로, 산화물 반도체막(440)은 제 2 포토리소그래피 단계에 의해 섬 형상 산화물 반도체층으로 가공된다. 또, 섬 형상 산화물 반도체층을 형성하기 위한 레지스트 마스크는 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성될 때 포토마스크가 사용되지 않기 때문에, 제작 비용을 저감 할 수 있다.
- [0082] 다음으로, 산화물 반도체층이 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 400℃ 이상 기관의 변형점 미만이다. 본 실시형태에서, 기관은 가열 처리 장치의 하나인 전기로에 도입되고, 산화물 반도체층에 대해 질소 분위기하에서 1시간 동안 450℃에서 가열 처리가 실시된 후, 산화물 반도체층이 대기에 노출되지 않고, 산화물 반도체층에 물 또는 수소가 혼입하는 것이 방지된다. 이러한 방식으로, 산화물 반도체층(441)이 획득된다(도 2b 참조).
- [0083] 산화물 반도체막에서의 물의 제거의 메커니즘의 일례는, 아래의 반응 경로를 따라 분석되었다(산화물 반도체막에서 물뿐만 아니라 OH 또는 H의 반응). 산화물 반도체막으로서, In-Ga-Zn-O계 비정질막이 사용된다.
- [0084] 또한, 기저 상태에서 시뮬레이션 모델의 최적의 분자 구조는 밀도 범함수 이론(DFT)을 사용하여 계산하였다. DFT에서, 총 에너지는 포텐셜 에너지, 전자들 사이의 정전 에너지, 전자의 운동 에너지, 및 전자들 사이의 복잡한 모든 상호작용을 포함하는 교환 상관 에너지의 합으로 표현된다. 또한, DFT에서, 교환 상관 상호작용은 전자 밀도로 표현된 하나의 전자 포텐셜의 범함수(즉, 다른 함수의 함수)에 의해 근사되어 고속 및 고정밀 계산을 가

능하게 한다. 본 실시형태에서, 혼합 범함수인 B3LYP가 교환-상관 에너지에 관련된 각 파라미터의 중량을 규정하기 위해 사용되었다. 또한, 기저 함수로서, 인듐 원자, 갈륨 원자 및 아연 원자에는 LanL2DZ(Ne 셸의 유효 코어 포텐셜에 split valence 기저계가 가산된 기저 함수)가 적용되고, 다른 원자에는 6-311(각각의 원자가 궤도에 대해 3개의 단축 함수를 사용한 triple split valence 기저계의 기저 함수)가 적용된다. 상기 기저 함수들에 의해, 예를 들어, 수소 원자의 경우에서, 1s ~ 3s의 궤도가 고려되고, 산소 원자의 경우에서, 1s ~ 4s 및 2p ~ 4p의 궤도가 고려된다. 또한, 계산 정밀도를 향상시키기 위해, 분극 기저계로서 p 함수 및 d 함수가 수소 원자 및 산소 원자 각각에 가산된다.

[0085] 양자 화학 계산 프로그램으로서 Gaussian 03을 사용하였다. 고성능 컴퓨터(SGI Japan, Ltd 제작, Altix 4700)가 계산을 위해 사용되었다.

[0086] 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체막에 포함된 -OH기를 초래하여 서로 반응하여 H₂O를 발생시킨다는 것이 가정된다. 따라서, 물의 생성 및 제거의 메커니즘이 도 26에 도시된 바와 같이 해석된다. 도 26에서, Zn는 2가이고, M이 Zn인 경우에서, 하나의 M-O 결합이 도 26에서 삭제된다.

[0087] 도 26에서, M는 금속 원자를 나타내고, 아래의 3종류: In, Ga, 및 Zn 중 어느 하나이다. 시작 상태 1에서, -OH가 M₁와 M₂를 가교하기 위해 배위 결합을 형성한다. 천이 상태 2에서, -OH의 H가 다른 -OH로 전위된다. 중간체 3에서, 생성된 H₂O 분자가 금속 원자와 배위 결합을 형성한다. 종료 상태 4에서, H₂O 분자가 탈리되어 무한으로 멀리 이동한다.

[0088] (M₁-M₂)의 아래의 6개 조합: 1, In-In; 2, Ga-Ga; 3, Zn-Zn; 4, In-Ga; 5, In-Zn; 및 6, Ga-Zn이 존재한다. 시뮬레이션은 모든 조합에 대해 실시된다. 이러한 시뮬레이션에서, 시뮬레이션의 간략화를 위해 M'가 H로 대체되는 시뮬레이션 모델을 사용한 클러스터 계산이 이용된다.

[0089] 시뮬레이션에서, 도 26의 반응 경로에 대응하는 에너지 다이어그램이 획득된다. (M₁-M₂)의 6개의 조합들 중에, 1, In-In의 시뮬레이션 결과가 도 27에 도시된다.

[0090] 물을 생성하는 활성화 에너지가 1.16 eV라는 것이 도 27로부터 발견된다. 생성된 물 분자의 제거에 의해, 막은 1.58 eV 만큼 불안정화된다.

[0091] 우측으로부터 좌측으로의 반응과 같이 반대 방향에서 도 27을 볼 때, 반응은 물이 산화물 반도체막으로 진입하는 반응으로서 인지될 수 있다. 이 경우에서, 금속에 배위된 물이 가수분해되어, 2개의 OH기를 생성할 때의 활성화 에너지는 0.47 eV이다.

[0092] 유사하게, (M₁-M₂)의 다른 조합들에 대한 반응 경로들이 분석된다. 경우들(1 내지 6)에서의 물의 생성 반응의 활성화 에너지들(Ea[eV])이 표 1에 나타난다.

[0093] [표 1]

[0094] 물을 생성하기 위한 활성화 에너지 Ea[eV]

	1	2	3	4	5	6
M ₁ -M ₂	In-In	Ga-Ga	Zn-Zn	In-Ga	In-Zn	Ga-Zn
Ea	1.16	1.25	2.01	1.14	1.35	1.4

[0095]

[0096] 표 1로부터, 물의 생성 반응이 1, In-In 또는 4, In-Ga에서 일어나기 쉽다는 것을 알 수 있다. 대조적으로, 물의 생성 반응은 3, Zn-Zn에서는 일어나기 어렵다. 따라서, Zn 원자를 사용한 물의 생성 반응은 일어나기 어렵다는 것이 가정될 수 있다.

[0097] 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체와 같은 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치가 제공될 수도 있다. 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 발광된 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 실시하는 장치이다. 기체로서, 아르곤과 같은 희가스, 또는 질소와 같은 가열 처

리에 의해 처리될 피처리물과 반응하지 않는 불활성 기체가 사용된다.

- [0098] 예를 들어, 제 1 가열 처리로서, 기판이 650°C 내지 700°C 만큼 높은 고온으로 가열된 불활성 가스로 이동되어, 수 분 동안 가열되며, 고온으로 가열된 불활성 가스 외부로 이동되는 GRTA가 실시될 수도 있다. GRTA는 단시간에 의해 고온 가열 처리를 가능하게 한다.
- [0099] 제 1 가열 처리에서, 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스에, 물, 수소 등이 가능한 한 적게 포함되는 것이 바람직하다. 대안적으로, 가열 처리 장치로 도입되는 질소, 또는 헬륨, 네온 또는 아르곤과 같은 희가스가 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상의 순도를 갖고, 즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 설정되는 것이 바람직하다.
- [0100] 또한, 제 1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 의존하여, 산화물 반도체막이 미결정막 또는 다결정막이 되도록 미결정화될 수도 있다. 예를 들어, 산화물 반도체층은 90% 이상, 또는 80% 이상의 결정화 정도를 갖는 산화물 반도체막이 되도록 미결정화될 수도 있다. 산화물 반도체층은 제 1 가열 처리의 조건 또는 산화물 반도체층의 재료에 의존하여 결정 성분을 포함하지 않는 비정질 산화물 반도체층이 될 수도 있다. 산화물 반도체층은 비정질 산화물 반도체로 미결정부(1 nm 이상 20 nm 이하, 통상적으로는 2 nm 이상 4 nm 이하의 입경을 가짐)가 혼합되는 산화물 반도체막이 될 수도 있다. RTA(예를 들어, GRTA, LRTA)를 사용하여 고온에서 가열 처리가 실시되는 경우에서, 산화물 반도체막의 표면층에 세로 방향(막두께 방향)의 침 형상(needle-like) 결정이 생성될 수도 있다.
- [0101] 산화물 반도체층의 제 1 가열 처리는 섬 형상의 산화물 반도체층으로 가공되기 전에 산화물 반도체막(440)상에서 실시될 수도 있다. 그 경우에서, 제 1 가열 처리 후에, 기판은 가열 장치 외부로 꺼내지고, 포토리소그래피 단계가 실시된다.
- [0102] 산화물 반도체층의 탈수화 또는 탈수소화를 위한 가열 처리는, 임의의 아래의 타이밍들: 산화물 반도체층의 성막 후, 산화물 반도체층 위에 소스 전극 및 드레인 전극이 형성된 후, 및 소스 전극 및 드레인 전극 위에 보호 절연막이 형성된 후에 실시될 수도 있다.
- [0103] 또한, 게이트 절연층(402)에 콘택트 홀이 형성되는 경우에서, 콘택트 홀의 형성은 산화물 반도체막(440)의 탈수화 또는 탈수소화 전 또는 후에 실시될 수도 있다.
- [0104] 산화물 반도체층은, 바람직하게는 In, 더욱 바람직하게는, In 및 Ga를 함유한다. 산화물 반도체층을 i-형(진성)으로 만들기 위해, 탈수화 또는 탈수소화가 효과적이다.
- [0105] 산화물 반도체막의 에칭은 웨트 에칭으로 한정되지 않고 드라이 에칭일 수도 있다.
- [0106] 드라이 에칭을 위한 에칭 가스로서, 염소를 포함하는 가스(염소(Cl₂), 염화 붕소(BCl₃), 염화 규소(SiCl₄), 사염화탄소(CCl₄)와 같은 염소계 가소)가 사용되는 것이 바람직하다.
- [0107] 대안적으로, 불소를 포함하는 가스(사불화 탄소(CF₄), 불화 유황(SF₆), 불화 질소(NF₃), 트리플루오로 메탄(CHF₃)과 같은 불소계 가스); 브롬화 수소(HBr), 산소(O₂); 이들의 가스에 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 가스 등이 사용될 수 있다.
- [0108] 드라이 에칭법으로서, 평행 평판 형태 RIE(reactive ion etching)법 또는 ICP(inductively coupled plasma : 유도 결합형 플라즈마) 에칭법이 사용될 수 있다. 원하는 형상으로 에칭하기 위해, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측상의 전극에 인가되는 전력량, 기판측상의 전극 온도 등)이 적절하게 조절된다.
- [0109] 웨트 에칭에 사용된 에칭액으로서, 인산, 아세트산 및 질산을 혼합한 용액, 암모니아과수(31 중량%의 과산화수소: 28 중량%의 암모니아수 : 물 = 5 : 2 : 2) 등이 사용될 수 있다. 또, IT007N(KANTO CHEMICAL CO., INC 제작)가 사용될 수도 있다.
- [0110] 웨트 에칭에 사용된 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 에칭액 및 에칭된 재료를 포함하는 폐액이 정제될 수도 있고, 그 재료가 재사용될 수도 있다. 산화물 반도체층에 포함되는 인듐과 같은 재료가 에칭 후에 폐액으로부터 회수되어 재사용될 수도 있어서, 자원을 효율적으로 사용하고 비용을 감소시킬 수도 있다.
- [0111] 원하는 가공 형상으로 에칭하기 위해, 재료에 의존하여 (에칭액, 에칭 시간, 온도와 같은) 에칭 조건이 적절하게 조절된다.

- [0112] 다음으로, 게이트 절연층(402) 및 산화물 반도체층(441) 위에 금속 도전막이 형성된다. 그 후, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 형성되고, 금속 도전막이 선택적으로 에칭되어 소스 전극층(415a) 및 드레인 전극층(415b)을 형성한 후, 레지스트 마스크가 제거된다(도 2c 참조).
- [0113] 금속 도전막의 에칭에 의해 산화물 반도체층(441)이 제거되지 않도록 각각의 재료 및 에칭 조건이 적절하게 조절된다는 것에 유의한다.
- [0114] 본 실시형태에서, Ti 막이 금속 도전막으로서 사용되고, In-Ga-Zn-O계 산화물이 산화물 반도체층(441)에 대해 사용되고, 과산화수소 암모니아 혼합물(암모니아, 물, 및 과산화수소 용액의 혼합액)이 에칭액으로서 사용된다.
- [0115] 소스 및 드레인 전극층들은, 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각은 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다.
- [0116] 소스 및 드레인 전극층들은 높은 산소 친화성을 갖는 금속을 함유하는 재료를 사용하여 형성되는 것이 바람직하다. 높은 산소 친화성을 갖는 금속은, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 및 틀륨으로부터 선택 하나 이상의 재료인 것이 바람직하다. 본 실시형태에서, 소스 및 드레인 전극층 각각으로서 티타늄막이 사용된다.
- [0117] 산화물 반도체층과 높은 산소 친화성을 갖는 금속층이 접촉하면서 열처리가 실시될 때, 산소 원자가 산화물 반도체층으로부터 금속층으로 이동하여, 계면 근처의 캐리어 밀도가 증가된다. 저저항 영역이 계면 근처에 형성되어, 산화물 반도체층과 소스 및 드레인 전극층들 사이의 콘택트 저항을 감소시킨다.
- [0118] 소스 및 드레인 전극층들에서 내열성 도전 재료가 사용될 수도 있다. 내열성 도전 재료를 사용함으로써, 소스 및 드레인 전극층들의 형성 후에 열처리가 실시될 때에도, 소스 및 드레인 전극층들의 특성의 변화 또는 열화가 방지될 수 있다.
- [0119] 내열성 도전성 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소, 임의의 상기 원소들을 성분으로 포함하는 합금, 임의의 이들 원소의 조합을 포함하는 합금막, 임의의 상기 원소들을 성분으로서 포함하는 질화물 등이 사용될 수 있다. 알루미늄(Al) 또는 구리(Cu)와 같은 저저항 도전성 재료가 상술한 내열성 도전성 재료와 조합되는 내열성을 갖는 도전막이 사용될 수도 있다.
- [0120] 소스 및 드레인 전극층들은 산화 금속층을 포함할 수도 있다. 예를 들어, 산화물 반도체층과 티타늄막과의 사이에 산화 티타늄막이 제공되는 구조, 또는 티타늄막(예를 들어, 0.1 nm 이상 5 nm 이하의 두께를 가짐)과 산화물 절연층 사이에 산화 티타늄막(예를 들어, 1 nm 이상 20 nm 이하의 두께를 가짐)이 제공되는 구조가 이용될 수도 있다.
- [0121] 소스 및 드레인 전극층들이 광이 투과될 만큼 얇을 때, 소스 및 드레인 전극층들은 투광성을 갖는다.
- [0122] 제 3 포토리소그래피 단계에서, 산화물 반도체층(441)의 일부만이 에칭될 수도 있어서, 흠부(오폭부)를 갖는 산화물 반도체층이 형성될 수도 있다. 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하기 위한 레지스트 마스크가 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성될 때 포토마스크가 사용되지 않고, 이것은 제작 비용의 절감을 발생시킨다.
- [0123] 포토리소그래피 단계에서 포토마스크들 및 단계들의 수를 감소시키기 위해, 에칭 단계는 복수의 강도를 갖도록 광이 투과되는 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 사용하여 실시될 수도 있다. 다계조 마스크를 사용하여 형성된 레지스트 마스크는 복수의 두께를 갖고, 에칭함으로써 형상이 더 변화될 수 있고, 따라서, 레지스트 마스크는 상이한 패턴들로 가공하는 복수의 에칭 단계에서 사용될 수 있다. 따라서, 적어도 2개의 종류의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 이러한 방식으로, 노광 마스크들의 수가 감소될 수 있고, 대응하는 포토리소그래피 단계들의 수가 또한 감소될 수 있어서, 공정의 간략화가 실현될 수 있다.
- [0124] 다음으로, N₂O, N₂, 또는 Ar 등과 같은 가스를 사용하여 플라즈마 처리가 실시된다. 이러한 플라즈마 처리에 의해, 산화물 반도체층의 노출된 표면에 부착된 흡착수 등이 제거된다. 산소와 아르곤의 혼합 가스를 사용하여 플라즈마 처리가 또한 실시될 수도 있다.
- [0125] 플라즈마 처리 후에, 산화물 반도체층의 일부와 접촉하는 보호 절연막으로서 기능하는 산화물 절연층(407)이 공

기에 노출되지 않고 형성된다.

- [0126] 산화물 절연층(407)은, 적어도 1 nm의 두께를 갖고, 스퍼터링법 등과 같이, 물 및 수소와 같은 불순물들이 산화물 절연층(407)에 가능한 적게 혼합되는 방법에 의해 적절하게 형성될 수 있다. 수소가 산화물 절연층(407)에 포함될 때, 산화물 반도체층에 대한 수소의 침입, 또는 수소에 의한 산화물 반도체층에서 산소의 추출이 야기되어서, 산화물 반도체층의 백채널의 저항을 낮게 만들어(n-형 도전성을 갖도록), 기생 채널이 형성된다. 따라서, 산화물 절연층(407)은 가능한 한 수소를 적게 포함하도록, 수소가 가능한 한 적게 사용되는 형성 방법이 이용된다는 것이 중요하다.
- [0127] 본 실시형태에서, 200 nm 두께의 산화 실리콘막이 스퍼터링법에 의해 산화물 절연층(407)으로서 성막된다. 성막시의 기판 온도는, 실온 이상 300℃ 이하이고, 본 실시형태에서, 온도는 100℃이다. 산화 실리콘막은 스퍼터링법에 의해 회가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는, 아르곤) 및 산소를 포함하는 분위기하에서 성막될 수 있다. 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들어, 실리콘 타겟을 사용하여, 산소 및 질소를 포함하는 분위기하에서 스퍼터링법에 의해 산화 실리콘막이 형성될 수 있다. 그 저항이 감소된 산화물 반도체층과 접촉하여 형성된 산화물 절연층(407)으로서, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 가능한 한 적게 포함하고, 외부로부터의 이들의 침입을 차단하는 무기 절연막이 사용될 수도 있고, 통상적으로, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄 등이 사용된다.
- [0128] 다음으로, 불활성 가스 분위기하 또는 산소 가스 분위기하에서 제 2 가열 처리(200℃ 이상 400℃ 이하의 온도, 예를 들어, 250℃ 이상 350℃ 이하의 온도에서)가 실시된다. 예를 들어, 질소 분위기하에서 250℃에서 1 시간 동안 제 2 가열 처리가 실시된다. 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(407)과 접촉하면서 제 2 가열 처리를 실시한다.
- [0129] 상술한 단계들을 통해, 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체막에 대해 실시되어 저항을 감소시킨 후, 산화물 반도체막의 일부가 선택적으로 산소 과잉 상태로 된다. 그 결과, 게이트 전극층(411)과 겹치는 채널 형성 영역(413)은, I-형이 되고, 소스 전극층(415a)과 겹쳐지는 고저항 소스 영역(414a) 및 드레인 전극층(415b)과 겹쳐지는 고저항 드레인 영역(414b)이 자기 정합적으로 형성된다. 상기 공정을 통해, 박막 트랜지스터(410)가 형성된다.
- [0130] 또한, 가열 처리가 대기중에서 100℃ 이상 200℃ 이하의 온도에서 1시간 이상 30시간 이하의 기간 동안 실시될 수도 있다. 본 실시형태에서, 가열 처리는 150℃에서 10시간 동안 실시된다. 이 가열 처리는 고정된 가열 온도에서 실시될 수도 있고, 대안적으로, 가열 온도에서의 아래의 변화가 복수 횟수 반복적으로 실시될 수도 있다: 가열 온도가 실온으로부터 100℃ 이상 200℃의 온도로 증가되고, 그 후, 실온으로 감소된다. 이러한 가열 처리는 감압하에서 산화물 절연막의 형성 전에 실시될 수도 있다. 감압은 가열 처리가 단축될 수 있게 한다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서, 노멀리 오프 박막 트랜지스터가 획득될 수 있다. 따라서 반도체 장치의 신뢰성이 향상될 수 있다.
- [0131] 드레인 전극층(415b)(및 소스 전극층(415a))과 겹치는 산화물 반도체층의 일부(들)에 고저항 드레인 영역(414b)(및 고저항 소스 영역(414a))을 형성함으로써, 박막 트랜지스터의 신뢰성이 향상될 수 있다. 구체적으로는, 고저항 드레인 영역(414b)의 형성에 의해, 도전성이 드레인 전극층(415b)으로부터 고저항 드레인 영역(414b) 및 채널 형성 영역으로 이러한 순서로 점진적으로 변화될 수 있다. 따라서, 트랜지스터가 고전원 전위(VDD)를 공급하는 배선에 접속된 드레인 전극층(415b)으로 동작할 때, 게이트 전극층(411)과 드레인 전극층(415b) 사이에 고전계가 인가되어도 고저항 드레인 영역이 버퍼로서 작용하여, 국소적인 고전계가 트랜지스터에 인가되지 않기 때문에, 트랜지스터는 증가된 내압을 가질 수 있다.
- [0132] 고저항 소스 영역 또는 고저항 드레인 영역은, 산화물 반도체층이 15 nm 이하 만큼 얇은 경우에서 산화물 반도체에서 막두께 방향 전체에 걸쳐 형성될 수 있지만, 산화물 반도체층이 30 nm 이상 50 nm 이하 만큼 두꺼운 경우에, 산화물 반도체층의 일부, 즉, 소스 또는 드레인 전극층들과 접촉하는 영역 및 그 근처가 저항이 감소될 수도 있어서, 고저항 소스 영역 또는 고저항 드레인 영역이 형성되고, 게이트 절연막에 가까운 산화물 반도체층의 영역은 I-형이 될 수 있다.
- [0133] 보호 절연층이 산화물 절연층(407) 위에 형성될 수도 있다. 예를 들어, RF 스퍼터링법에 의해 질화 실리콘막이 형성된다. RF 스퍼터링법은, 높은 양산성으로 인해 보호 절연층의 형성 방법으로서 바람직하다. 보호 절연층은, 수분, 수소 이온, 및 OH⁻와 같은 불순물을 가능한 한 적게 포함하고, 이들이 외부로부터 침입하는 것을 차단하는

무기 절연막을 사용하여 형성되고, 예를 들어, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 산화 질화 알루미늄막 등이 사용된다. 본 실시형태에서, 보호 절연층(408)은 보호 절연층으로서 질화 실리콘막을 사용하여 형성된다(도 2d 참조).

- [0134] 다음으로, 제 4 포토리소그래피 공정이 레지스트 마스크를 형성하기 위해 실시되고, 에칭이 산화물 절연층(407) 및 보호 절연층(408)의 일부를 제거하기 위해 선택적으로 실시되어, 소스 전극층(415a) 및 드레인 전극층(415b)에 이르는 개구들(442a 및 442b)이 형성된다(도 2e 참조).
- [0135] 소스 전극층(415a) 및 드레인 전극층(415b)과 접촉하도록 개구(442a 및 442b)에 적층 도전층이 스퍼터링법 또는 진공 증착법에 의해 형성되고, 레지스트 마스크가 제 5 포토리소그래피 단계에 의해 형성된다. 적층 도전층은 배선층들(417a, 417b, 418a 및 418b) 및 소스 배선층들(422 및 423)을 교차부에서 형성하기 위해 선택적으로 에칭된다(도 2f 참조).
- [0136] 배선층들(417a, 417b, 418a, 및 418b)은 소스 및 드레인 전극층들의 저항보다 낮은 저항들을 갖는 도전막을 사용하여 형성된다. 특히, 알루미늄, 구리, 크롬, 탄탈, 폴리브덴, 텅스텐, 티타늄, 네오디뮴, 또는 스텐뮴과 같은 금속 재료 또는 임의의 이들 재료들을 주성분으로 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다. 본 실시형태에서, 알루미늄막이 제 1 배선층인 배선층들(417a 및 417b) 각각으로서 사용되고, 티타늄막이 제 2 배선층들인 배선층들(418a 및 418b) 각각으로서 사용된다.
- [0137] 평탄화를 위한 평탄화 절연층이 보호 절연층(408) 위에 제공될 수도 있다. 평탄화 절연층이 제공되는 예가 도 6a에 도시되어 있다. 도 6a에서, 보호 절연층(408) 위에 평탄화 절연층(409)이 형성되고, 배선층들(417a, 417b, 418a, 및 418b)은 산화물 절연층(407), 보호 절연층(408), 및 평탄화 절연층(409)에 제공된 개구들에 형성된다. 소스 배선층들(422 및 423)은 평탄화 절연층(409) 위에 형성된다. 평탄화 절연층(409)의 제공은 게이트 배선층(421) 및 소스 배선층들(422 및 423)을 서로로부터 더 멀리 있게 하여, 기생 용량이 더 감소될 수 있다.
- [0138] 평탄화 절연층(409)은, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성 유기 재료를 사용하여 형성될 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용하는 것이 가능하다. 평탄화 절연층(409)은 이들의 재료를 사용하여 형성된 복수의 절연막을 적층함으로써 형성될 수도 있다.
- [0139] 실록산계 수지는 출발 재료로서 실록산계 재료를 사용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응한다. 실록산계 수지는 치환기로서는 유기기(예를 들어, 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수도 있다. 유기기는 플루오로기를 포함할 수도 있다.
- [0140] 평탄화 절연층(409)을 형성하는 방법에 대한 특별한 한정은 없고, 그 재료에 의존하여, 스퍼터링법, 스핀 코팅법, 딥핑 법, 스프레이 도포법, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄), 롤 코팅법, 커튼 코팅법, 또는 나이프 코팅법 등이 사용될 수 있다.
- [0141] 대안적으로, 도 6b에 도시되어 있는 바와 같이, 보호 절연층을 제공하지 않고, 배선층 및 소스 배선층이 산화물 절연층(407) 위에 형성될 수도 있다. 도 6b에서, 소스 배선층(422)은 산화물 절연층(407) 위에 제공되고, 배선층들(417a 및 417b)은 산화물 절연층(407)에 형성된 개구들에 제공된다. 상술한 바와 같이, 배선층은 단층 구조를 가질 수도 있다.
- [0142] 이러한 방식으로, 적은 기생 용량 및 낮은 전력 소모를 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0143] 높은 신뢰성을 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0144] (실시형태 2)
- [0145] 실시형태 2에서, 실시형태 1과는 상이한 구조를 갖는 박막 트랜지스터를 포함하는 반도체 장치의 일례가 후술된다.
- [0146] 도 3a1 및 도 3a2는 반도체 장치의 평면구조의 일례를 예시하고, 도 3b는 반도체 장치의 단면의 일례를 예시한다. 도 3a2 및 도 3b에 도시된 박막 트랜지스터(450)는, 채널 보호형(채널 스톱형)으로 불리는 보텀 게이트 구조의 종류이며, 역스태거형 박막 트랜지스터라고도 불린다.
- [0147] 도 3a1은, 게이트 배선층(게이트 전극층과 동일한 단계에 의해 형성됨)과 소스 배선층(배선층과 동일한 단계에

의해 형성됨) 사이의 교차부의 평면도이고, 도 3a2는 채널 보호형 박막 트랜지스터(450)의 평면도이며, 도 3b는 도 3a1 및 도 3a2에서의 선 C3-C4 및 선 D3-D4에 따른 단면도이다.

- [0148] 채널 보호형 박막 트랜지스터인 박막 트랜지스터(450)는, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(451), 게이트 절연층(402), 적어도 채널 형성 영역(453), 고저항 소스 영역(454a), 및 고저항 드레인 영역(454b)을 포함하는 산화물 반도체층(452), 소스 전극층(455a), 및 드레인 전극층(455b)을 포함한다. 또한, 박막 트랜지스터(450)를 커버하고, 채널 형성 영역(413)과 접촉하고, 채널 보호층으로서 기능하는 산화물 절연층(456)이 제공되고, 보호 절연층(408)이 그 위에 제공된다.
- [0149] 보호 절연층(408)에, 소스 전극층(455a) 및 드레인 전극층(455b)에 이르는 개구들(콘택트 홀들)이 형성된다. 배선층들(457a 및 458a)이 개구들 중 하나에 형성되고, 배선층들(457b 및 458b)이 개구들 중 다른 하나에 형성된다. 교차부에서, 게이트 배선층(421) 및 소스 배선층들(422 및 423)이 게이트 절연층(402), 산화물 절연층(459) 및 보호 절연층(408)을 그 사이에 개재하여 적층된다.
- [0150] 교차부에서, 산화물 절연층(459)이 반드시 제공될 필요는 없지만, 산화물 절연층(459)의 제공은 게이트 배선층(421) 및 소스 배선층들(422 및 423)을 서로로부터 더 멀리 떨어지게 하여, 기생 용량이 더 감소될 수 있다.
- [0151] 산화물 절연층들(456 및 459)은 산화물 절연층을 에칭함으로써 형성될 수 있고, 실시형태 1에 설명된 산화물 절연층(407)과 동일한 제작 방법 및 재료에 의해 형성될 수 있다. 본 실시형태에서, 산화물 절연층은 스퍼터링법에 의해 형성되고, 포토리소그래피 단계에 의해 산화물 절연층들(456 및 459)로 가공된다.
- [0152] 이러한 방식으로, 게이트 전극층(게이트 배선층)은 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 배선층과 교차하고, 박막 트랜지스터를 덮는 보호 절연층 및 게이트 절연층이 그 사이에 개재된다. 박막 트랜지스터의 게이트 전극층이 산화물 반도체층 위에서 소스 전극층 및 드레인 전극층과 부분적으로 겹친다는 점을 제외하고, 게이트 전극층, 게이트 절연층, 및 소스 또는 드레인 전극층의 적층 구조는 형성되지 않는다.
- [0153] 따라서, 게이트 전극층, 게이트 절연층, 및 소스 또는 드레인 전극층의 적층 구조에 의해 형성되는 기생 용량이 감소될 수 있어서, 반도체 장치의 낮은 전력 소비가 실현될 수 있다.
- [0154] 박막 트랜지스터(450)가 싱글 게이트 박막 트랜지스터로서 설명되지만, 필요에 따라, 복수의 채널 형성 영역을 포함하는 멀티-게이트 박막 트랜지스터가 형성될 수 있다.
- [0155] 이하, 도 4a 내지 도 4f를 참조하여 기판 위에 박막 트랜지스터(450)를 제작하는 공정이 설명된다.
- [0156] 먼저, 절연 표면을 갖는 기판(400) 위에 도전막이 형성되고, 제 1 포토리소그래피 공정이 실시되어, 게이트 전극층(451) 및 게이트 배선층(421)이 형성된다. 레지스트 마스크가 잉크젯법에 의해 형성될 수도 있다. 레지스트 마스크가 잉크젯법에 의해 형성될 때 포토마스크가 사용되지 않고, 이것은 제작 비용의 절감을 발생시킨다.
- [0157] 게이트 전극층(451) 및 게이트 배선층(421)은, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스퀴듐과 같은 금속 재료, 또는 임의의 이들 재료들을 주성분으로서 함유하는 합금 재료를 사용하여 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다.
- [0158] 다음으로, 게이트 절연층(402)이 게이트 전극층(451) 및 게이트 배선층(421) 위에 형성된다.
- [0159] 본 실시형태에서, 200 nm 이하의 두께를 갖는 질화 실리콘층이 플라즈마 CVD법에 의해 게이트 절연층(402)으로서 형성된다.
- [0160] 다음으로, 게이트 절연층(402) 위에, 2 nm 이상 200 nm 이하의 두께로 산화물 반도체막이 형성되고, 그 후, 산화물 반도체막은 제 2 포토리소그래피 공정에 의해 섬 형상 산화물 반도체층으로 가공된다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법에 의해 형성된다.
- [0161] 다음으로, 산화물 반도체층은 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리의 온도는, 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 변형점 미만이다. 본 실시형태에서, 기판은 가열 처리 장치의 일 종류인 전기로에 놓이고, 산화물 반도체층에 대해 질소 분위기하에서 450°C에서 1 시간 동안 가열 처리가 실시된 후, 산화물 반도체층이 대기에 노출되지 않고, 산화물 반도체층에 대한 물 및 수소의 침입이 방지된다. 이러한 방식으로, 산화물 반도체층(441)이 획득된다(도 4a 참조).
- [0162] 다음으로, N₂O, N₂, 또는 Ar과 같은 가스를 사용하여 플라즈마 처리가 실시된다. 이러한 플라즈마 처리에 의해, 산화물 반도체층의 노출 표면에 부착된 흡착수가 제거된다. 산소와 아르곤의 혼합 가스를 사용하여 플라즈마 처

리가 또한 실시될 수도 있다.

- [0163] 다음으로, 산화물 절연층이 게이트 절연층(402) 및 산화물 반도체층(441) 위에 형성된다. 그 후, 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 형성되고, 산화물 절연층이 선택적으로 에칭되어 산화물 절연층(456) 및 산화물 절연층(459)을 형성한 후, 레지스트 마스크가 제거된다.
- [0164] 본 실시형태에서, 200 nm 두께의 산화물 실리콘층이 스퍼터링법에 의해 산화물 절연층(456) 및 산화물 절연층(459)으로서 성막된다. 성막시의 기판 온도는, 실온 이상 300°C 이하일 수도 있고, 본 실시형태에서는 100°C이다. 산화 실리콘막은 회가스(대표적으로는, 아르곤) 분위기, 산소 분위기, 또는 회가스(대표적으로는, 아르곤) 및 산소 분위기하에서 스퍼터링법에 의해 성막될 수 있다. 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟이 사용될 수 있다. 예를 들어, 실리콘 타겟을 이용하여, 산화 실리콘막이 산소 및 질소 분위기하에서 스퍼터링법에 의해 형성될 수 있다. 그 저항이 감소된 산화물 반도체층과 접촉하여 형성된 산화물 절연층(456)으로서, 수분, 수소 이온 또는 OH⁻와 같은 불순물을 가능한 한 적게 포함하고, 외부로부터의 이들의 침입을 차단하는 무기 절연막이 사용될 수도 있고, 대표적으로는, 산화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등이 사용된다.
- [0165] 다음으로, 제 2 가열 처리가 불활성 가스 분위기 또는 산소 가스 분위기하에서(바람직하게는, 200°C 이상 400°C 이하의 온도, 예를 들어 250°C 이상 350°C 이하의 온도에서) 실시될 수도 있다. 예를 들어, 제 2 가열 처리는 질소 분위기하에서 250°C에서 1 시간 동안 실시된다. 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(456)과 접촉하면서 제 2 가열 처리를 실시한다.
- [0166] 본 실시형태에서, 산화물 절연층(456)이 제공되고 부분적으로 노출되는 산화물 반도체층(441)이 질소 분위기 또는 불활성 가스 분위기하에서 또는 감압하에서 가열 처리된다. 질소 분위기 또는 불활성 가스 분위기하에서 또는 감압하에서의 가열 처리에 의해, 산화물 절연층(456)에 의해 커버되지 않은 산화물 반도체층(441)의 노출된 영역의 저항은 감소될 수 있다. 예를 들어, 가열 처리는 질소 분위기하에서 250°C에서 1 시간 동안 실시된다.
- [0167] 질소 분위기하에서 산화물 절연층(456)이 제공된 산화물 반도체층(441)에 대한 가열 처리에 의해, 산화물 반도체층(441)의 노출된 영역의 저항이 감소되어, (도 4b에서 음영 영역 및 백색 영역으로서 표시되는) 상이한 저항들을 갖는 영역들을 포함하는 산화물 반도체층(452)이 형성된다.
- [0168] 다음으로, 금속 도전막이 게이트 절연층(402), 산화물 반도체층(452), 및 산화물 절연층(456) 위에 형성된다. 그 후, 레지스트 마스크가 제 4 포토리소그래피 단계에 의해 형성되고, 금속 도전막이 선택적으로 에칭되어 소스 전극층(455a) 및 드레인 전극층(455b)을 형성하고, 그 후, 레지스트 마스크가 제거된다(도 4c 참조).
- [0169] 소스 전극층(455a) 및 드레인 전극층(455b)은 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막들이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다.
- [0170] 소스 전극층(455a) 및 드레인 전극층(455b)이 높은 산소 친화성을 갖는 금속을 함유하는 재료를 사용하여 형성되는 것이 바람직하다. 높은 산소 친화성을 갖는 금속은, 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 및 틀륨으로부터 선택된 하나 이상의 재료들이기 바람직하다. 본 실시형태에서, 티타늄막이 소스 전극층(455a) 및 드레인 전극층(455b) 각각으로서 사용된다.
- [0171] 산화물 반도체층 및 높은 산소 친화성을 갖는 금속층이 서로 접촉하면서 가열 처리가 실시될 때, 산소 원자가 산화물 반도체층으로부터 금속층으로 이동하여, 그 사이의 계면 근처의 캐리어 밀도가 증가된다. 따라서, 저저항 영역이 그 사이의 계면 근처에서 형성됨으로써, 산화물 반도체층과 소스 및 드레인 전극층들 사이의 접촉 저항을 감소시킨다.
- [0172] 내열성 도전 재료가 소스 전극층(455a) 및 드레인 전극층(455b)에서 사용될 수도 있다. 내열성 도전 재료를 사용함으로써, 소스 전극층(455a) 및 드레인 전극층(455b)의 형성 후에 열 처리가 실시될 때에도, 소스 전극층(455a) 및 드레인 전극층(455b)의 특성의 변화 또는 열화가 방지될 수 있다.
- [0173] 내열성 도전성 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소, 임의의 상술한 원소들을 성분으로서 포함하는 합금, 임의의 이들 원소의 조합을 포함하는 합금막, 임의의 상기 원소들을 성분으로서 포함하는 질화물 등이 사용될 수 있다. 알루미늄(Al) 또는 구리(Cu)와 같은 저저항 도전성 재료가 상술한 내열성 도전성 재료와 조합되는 내열성을 갖는 도전막이 사용될 수도 있다.

- [0174] 소스 전극층(455a) 및 드레인 전극층(455b)은 산화 금속층을 포함할 수도 있다. 예를 들어, 산화물 반도체층과 티타늄막과의 사이에 산화 티타늄막이 제공된 구조, 또는 티타늄막(예를 들어, 0.1 nm 이상 5 nm 이하의 두께를 가짐)과 산화물 절연층 사이에 산화 티타늄막(예를 들어, 1 nm 이상 20 nm 이하의 두께를 가짐)이 제공된 구조가 이용될 수도 있다.
- [0175] 소스 전극층(455a) 및 드레인 전극층(455b)이 광이 투과될 만큼 얇을 때, 소스 전극층(455a) 및 드레인 전극층(455b)은 투광성을 갖는다.
- [0176] 상술한 단계들을 통해, 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체막에 대해 실시되어 저항을 감소시키고, 그 후, 산화물 반도체막의 일부가 선택적으로 산소 과잉 상태로 된다. 그 결과, 게이트 전극층(451)과 접치는 채널 형성 영역(453)은 I-형이 되고, 소스 전극층(455a)과 접치는 고저항 소스 영역(454a) 및 드레인 전극층(455b)과 접치는 고저항 드레인 영역(454b)이 자기 정합적으로 형성된다. 상기 공정을 통해, 박막 트랜지스터(450)가 형성된다.
- [0177] 또한, 가열 처리는 대기중에서 100℃ 이상 200℃ 이하의 온도에서 1 시간 이상 30 시간 이하 동안 실시될 수도 있다. 본 실시형태에서, 가열 처리는 150℃에서 10 시간 동안 실시된다. 이러한 가열 처리는 고정된 가열 온도에서 실시될 수도 있고, 대안적으로, 가열 온도에서의 아래의 변화가 복수 횟수 반복적으로 실시될 수도 있다: 가열 온도가 실온으로부터 100℃ 이상 200℃ 이하로 증가되고, 그 후, 실온으로 감소된다. 이러한 가열 처리는 감압하에서 산화물 절연막의 형성 전에 실시될 수도 있다. 감압은 가열 처리 시간을 단축시킬 수 있다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서, 노멀리 오프 박막 트랜지스터가 획득될 수 있다. 따라서 반도체 장치의 신뢰성이 향상될 수 있다.
- [0178] 드레인 전극층(455b)(및 소스 전극층(455a))과 접치는 산화물 반도체층의 일부(들)에서 고저항 드레인 영역(454b)(및 고저항 소스 영역(454a))의 형성에 의해, 박막 트랜지스터의 신뢰성이 향상될 수 있다. 구체적으로는, 고저항 드레인 영역(454b)의 형성에 의해, 도전성이 드레인 전극층(455b)으로부터 고저항 드레인 영역(454b) 및 채널 형성 영역으로 이러한 순서로 단계적으로 변화될 수 있다. 따라서, 트랜지스터가 고전원 전위(VDD)를 공급하는 배선에 접속된 드레인 전극층(455b)으로 동작할 때, 게이트 전극층(451)과 드레인 전극층(455b) 사이에 고전계가 인가될 때에도 고저항 드레인 영역이 버퍼로서 작용하여 국소적인 고전계가 트랜지스터에 인가되지 않기 때문에, 트랜지스터는 증가된 내압을 가질 수 있다.
- [0179] 보호 절연층(408)이 소스 전극층(455a), 드레인 전극층(455b), 산화물 절연층(456), 및 산화물 절연층(459) 위에 형성된다. 예를 들어, 질화 실리콘막이 RF 스퍼터링법에 의해 형성된다. RF 스퍼터링법은, 높은 양산성으로 인해 보호 절연층(408)의 형성 방법으로서 바람직하다. 보호 절연층(408)은, 수분, 수소 이온 또는, OH⁻와 같은 불순물을 가능한 한 적게 포함하고, 외부로부터의 이들의 침입을 차단하는 무기 절연막을 사용하여 형성되고, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 산화 질화 알루미늄막 등이 사용된다. 본 실시형태에서, 보호 절연층(408)은 질화 실리콘막을 사용하여 형성된다(도 4d 참조).
- [0180] 산화물 절연층이 소스 전극층(455a), 드레인 전극층(455b), 산화물 절연층(456), 및 산화물 절연층(459) 위에 형성될 수도 있고, 보호 절연층(408)이 산화물 절연층(408) 위에 적층될 수도 있다. 도 6a에 도시되어 있는 바와 같이 평탄화 절연층(409)이 제공될 수도 있다. 평탄화 절연층(409)의 제공은 게이트 배선층(421)과 소스 배선층(422 및 423)을 서로 더 멀리 떨어지게 하여, 기생 용량이 더 감소될 수 있다.
- [0181] 다음으로, 제 5 포토리소그래피 단계가 레지스트 마스크를 형성하기 위해 실시되고, 에칭이 선택적으로 실시되어 보호 절연층(408)의 일부를 제거하여, 소스 전극층(455a) 및 드레인 전극층(455b)에 이르는 개구들(467a 및 467b)이 형성된다(도 4e 참조).
- [0182] 소스 전극층(455a) 및 드레인 전극층(455b)과 접촉하도록 개구들(467a 및 467b)에 스퍼터링법 또는 진공 증착법에 의해 적층의 도전층이 형성되고, 레지스트 마스크가 제 6 포토리소그래피 단계에 의해 형성된다. 적층의 도전층이 선택적으로 에칭되어 배선층들(457a, 457b, 458a, 및 458b) 및 교차부에서 소스 배선층(422 및 423)을 형성한다(도 4f 참조).
- [0183] 배선층들(457a, 457b, 458a, 및 458b)은 소스 및 드레인 전극층들의 저항보다 낮은 저항들을 갖는 도전막들을 사용하여 형성된다. 특히, 알루미늄, 구리, 크롬, 탄탈, 몰리브덴, 텅스텐, 티타늄, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 임의의 이들 재료들을 주성분으로서 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다. 본 실시형태에서, 알루미늄막이 제 1 배선층들인 배선층들(457a 및 457b) 각각으로

서 사용되고, 티타늄막이 제 2 배선들인 배선층들(458a 및 458b) 각각으로서 사용된다.

- [0184] 이러한 방식으로, 적은 기생 용량 및 낮은 전력 소비를 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0185] 높은 신뢰성을 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0186] (실시형태 3)
- [0187] 실시형태 3에서, 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에서 실시형태 1과 상이한 다른 예가 도 5a 내지 도 5f를 참조하여 설명된다. 도 5a 내지 도 5는, 공정의 일부가 상이하다는 점을 제외하고, 도 1a1, 도 1a2 및 도 1b 및 도 2a 내지 도 2f와 동일하고, 따라서, 동일한 부분들은 동일한 참조 부호들로 표기되고, 동일한 부분들의 상세한 설명은 생략된다. 본 실시형태에서, 다계조 마스크를 사용하여 형성된 마스크층이 포토리소그래피 단계에서 사용된다.
- [0188] 다계조 마스크를 사용하여 형성된 마스크층은 복수의 막두께를 갖고, 마스크층에 대한 에칭을 실시함으로써 형상이 더 변형될 수 있기 때문에, 마스크층은 상이한 패턴으로 가공하는 복수의 에칭 단계에서 사용될 수 있다. 따라서, 적어도 2개의 종류의 상이한 패턴들에 대응하는 마스크층이 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크의 수가 감소될 수 있고, 포토리소그래피 단계들의 수가 또한 그에 따라 감소될 수 있어서, 공정의 간략화가 실현될 수 있다.
- [0189] 실시형태 1에 따라, 게이트 배선층(421) 및 게이트 전극층(481)이 제 1 포토리소그래피 단계에 의해 기판(400) 위에 형성되고, 게이트 절연층(402)이 그 위에 적층된다. 산화물 반도체막이 게이트 절연층(402) 위에 형성된다. 본 실시형태에서, 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타겟을 사용하여 스퍼터링법에 의해 형성된다.
- [0190] 탈수화 또는 탈수소화를 위해 가열 처리 장치의 일 종류인 전기로에 기판이 놓이고, 가열 처리가 질소 분위기하에서 450°C에서 1 시간 동안 산화물 반도체층에 대해 실시되고, 그 후, 산화물 반도체층이 대기에 노출되지 않고, 물 및 수소가 산화물 반도체층으로 침입하는 것이 방지된다. 이러한 방식으로, 산화물 반도체층(465)이 획득된다.
- [0191] 다음으로, 금속 도전막(466)이 스퍼터링법 또는 진공 증착법에 의해 산화물 반도체막(465) 위에 형성된다(도 5a 참조).
- [0192] 금속 도전막(466)은 소스 및 드레인 전극층들을 형성하는 도전막이다. 소스 및 드레인 전극층들은, 0.1 nm 이상 50 nm 이하의 두께 만큼 작은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다.
- [0193] 소스 및 드레인 전극층들은 높은 산소 친화성을 갖는 금속을 포함하는 재료를 사용하여 형성되는 것이 바람직하다. 높은 산소 친화성을 갖는 금속은 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨, 및 톨륨으로부터 선택된 하나 이상의 재료들인 것이 바람직하다. 본 실시형태에서, 티타늄막이 소스 및 드레인 전극층들 각각으로서 사용된다.
- [0194] 산화물 반도체층과 높은 산소 친화성을 갖는 금속층이 서로 접촉하면서 가열 처리가 실시될 때, 산소 원자들이 산화물 반도체층으로부터 금속층으로 이동하여, 그 사이의 계면 근처의 캐리어 농도가 증가된다. 저저항 영역이 그 사이의 계면의 근처에 형성됨으로써, 산화물 반도체층과 소스 및 드레인 전극층들 사이의 콘택트 저항을 감소시킨다.
- [0195] 내열성 도전성 재료가 소스 및 드레인 전극층들에서 사용될 수도 있다. 내열성 도전성 재료를 사용함으로써, 소스 및 드레인 전극층들의 형성 후에 열 처리가 실시될 때에도 소스 및 드레인 전극층들의 특성의 변화 또는 열화가 방지될 수 있다.
- [0196] 내열성 도전성 재료로서, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소, 임의의 상기 원소들을 성분으로서 포함하는 합금, 임의의 이들 원소들의 조합을 포함하는 합금막, 또는 임의의 상기 원소들을 성분으로서 포함하는 질화물 등이 사용될 수 있다. 알루미늄(Al) 또는 구리(Cu)와 같은 저저항 도전성 재료가 상술한 내열성 도전성 재료와 조합되는 내열성을 갖는 도전막이 사용될 수도 있다.

- [0197] 소스 및 드레인 전극층들은 산화 금속층을 포함할 수도 있다. 예를 들어, 산화 티타늄막이 산화물 반도체층과 티타늄막 사이에 제공되는 구조, 또는 티타늄막(예를 들어, 0.1 nm 이상 5 nm 이하의 두께를 가짐)과 산화물 절연층 사이에 산화 티타늄 막(예를 들어, 1 nm 이상 20 nm 이하의 두께를 가짐)이 제공되는 구조가 이용될 수도 있다.
- [0198] 소스 및 드레인 전극층들이 광이 투과될 만큼 얇을 때, 소스 및 드레인 전극층들은 투광성을 갖는다.
- [0199] 제 2 포토리소그래피 단계가 실시되어, 레지스트 마스크(460)가 산화물 반도체막(465) 및 금속 도전막(466) 위에 형성된다.
- [0200] 본 실시형태에서, 레지스트 마스크(460)를 형성하기 위해 고계조 마스크가 노광을 위해 사용되는 예가 도시되어 있다. 레지스트 마스크(460)를 형성하기 위해 레지스트가 형성된다. 레지스트로서, 포지티브형 레지스트 또는 네거티브형 레지스트가 사용될 수 있다. 본 실시형태에서, 포지티브형 레지스트가 사용된다. 레지스트는 스핀 코팅법으로 형성될 수도 있거나, 잉크젯법에 의해 선택적으로 형성될 수도 있다. 레지스트가 잉크젯법에 의해 선택적으로 형성될 때, 레지스트가 원치않는 부분에 형성되는 것이 방지될 수 있고, 이것은 재료의 낭비의 감소를 발생시킨다.
- [0201] 다음으로, 레지스트가 노광 마스크로서 다계조 마스크(81)를 사용하여 광으로 조사되어, 레지스트가 노광된다.
- [0202] 여기서, 다계조 마스크(81)를 사용한 노광이 도 25a 내지 도 25d를 참조하여 설명된다.
- [0203] 다계조 마스크는 3개의 노광 레벨, 노광 부분, 중간 노광 부분, 및 미노광 부분을 형성할 수 있게 하고, 다계조 마스크는 복수의 강도를 갖도록 광이 투과되는 포토마스크이다. 1회의 노광 및 현상 공정으로, 복수의 두께(통상적으로, 2 종류의 두께)의 영역을 갖는 레지스트 마스크가 형성될 수 있다. 따라서, 다계조 마스크를 사용함으로써, 포토마스크의 수가 감소될 수 있다.
- [0204] 다계조 마스크의 통상의 예는, 도 25a에 도시된 그레이-톤 마스크(81a) 및 도 25c에 도시된 하프-톤 마스크(81b)이다.
- [0205] 도 25a에 도시되어 있는 바와 같이, 그레이-톤 마스크(81a)는, 투광성 기관(83) 및 그 투광성 기관(83)상에 형성되는 차광부(84) 및 회절 격자(85)를 포함한다. 차광부(84)에서의 광 투과율이 0%이다. 회절 격자(85)는 노광에 사용된 광의 해상도 한계 이하인 간격을 갖는 슬릿형, 도트형, 메시형 등의 광 투과부를 가짐으로써, 광 투과율이 제어될 수 있다. 회절 격자(85)는, 주기적 간격을 갖는 슬릿형, 도트형, 또는 메시형, 또는 비주기적 간격을 갖는 슬릿형, 도트형, 메시형에서 사용될 수 있다.
- [0206] 투광성 기관(83)으로서, 석영 기관과 같은 투광성 기관이 사용될 수 있다. 차광부(84) 및 회절 격자(85)는 크롬 또는 산화 크롬과 같은 광을 흡수하는 차광 재료를 사용하여 형성될 수 있다.
- [0207] 그레이-톤 마스크(81a)가 노광용 광으로 조사될 때, 도 25b에 도시되어 있는 바와 같이, 차광부(84)의 광 투과율(86)은 0%이고, 차광부(84) 및 회절 격자(85)가 제공되지 않은 영역의 광 투과율(86)은 100%이다. 회절 격자(85)의 광 투과율(86)은 10% 내지 70%의 범위에서 제어될 수 있다. 회절 격자(85)의 광 투과율은, 회절 격자의 슬릿, 도트, 또는 메시의 간격 및 피치를 조정함으로써 제어될 수 있다.
- [0208] 도 25c에 도시되어 있는 바와 같이, 하프-톤 마스크(81b)는, 투광성 기관(83) 및 그 투광성 기관상에 형성되는 반투광부(87) 및 차광부(88)를 포함한다. 반투광부(87)는, MoSiN, MoSi, MoSiO, MoSiON, CrSi 등을 사용하여 형성될 수 있다. 차광부(88)는 크롬 또는 산화 크롬과 같은 광을 흡수하는 차광 재료를 사용하여 형성될 수 있다.
- [0209] 하프-톤 마스크(81b)가 노광용 광으로 조사될 때, 도 25d에 도시되어 있는 바와 같이, 차광부(88)의 광 투과율(89)은 0%이며, 차광부(88) 및 반투광부(87)가 제공되지 않은 영역의 광 투과율(89)은 100%이다. 반투광부(87)의 광 투과율(89)은 10% 내지 70%의 범위에서 제어될 수 있다. 반투광부(87)의 광의 투과율은 반투광부(87)의 재료에 의해 제어될 수 있다.
- [0210] 다계조 마스크를 사용한 노광 후, 현상이 실행됨으로써, 도 5b에 도시되어 있는 바와 같이 상이한 두께를 갖는 영역을 갖는 레지스트 마스크(460)가 형성될 수 있다.
- [0211] 다음으로, 제 1 에칭 단계가 레지스트 마스크(460)를 사용하여 실시되어, 산화물 반도체막(465) 및 금속 도전막(466)이 섬 형상으로 에칭된다. 그 결과, 산화물 반도체층(461) 및 금속 도전층(462)이 형성될 수 있다(도 5b

참조).

- [0212] 다음으로, 레지스트 마스크(460)에 대해 에칭이 실시된다. 그 결과, 레지스트 마스크의 면적(3차원으로 고려할 때 체적)이 축소되고, 두께가 감소된다. 이러한 단계를 통해, 작은 두께를 갖는 영역의 레지스트 마스크의 레지스트(게이트 전극층(481)의 일부와 접치는 영역)가 제거되어, 서로 분리된 레지스트 마스크들(463a 및 463b)이 형성될 수 있다.
- [0213] 레지스트 마스크(463a 및 463b)로, 불필요한 부분이 에칭에 의해 제거되어, 소스 전극층(485a) 및 드레인 전극층(485b)이 형성된다(도 5c 참조).
- [0214] 금속 도전층(462)에 대한 에칭의 각 재료 및 에칭 조건들은, 산화물 반도체층(461)이 제거되지 않도록 적절히 조절된다.
- [0215] 본 실시형태에서, Ti 막이 금속 도전층(462)으로서 사용되고, 산화물 반도체층(461)에 대해 In-Ga-Zn-O계 산화물이 사용되며, 에칭액으로서 과산화 암모니아 용액(암모니아, 물, 과산화수소 용액의 혼합액)이 사용된다.
- [0216] 금속 도전막 및 산화물 반도체막의 에칭은, 웨트 에칭에 한정되지 않고 드라이 에칭일 수도 있다.
- [0217] 드라이 에칭을 위한 에칭 가스로서, 염소를 포함하는 가스(염소(Cl_2), 염화 붕소(BCl_3), 염화 규소($SiCl_4$), 또는 사염화탄소(CCl_4)와 같은 염소계 가스)가 바람직하게 사용된다.
- [0218] 대안적으로, 불소를 포함하는 가스(사불화 탄소(CF_4), 불화 유황(SF_6), 불화 질소(NF_3), 트리플루오로 메탄(CHF_3)과 같은 불소계 가스), 브롬화 수소(HBr), 산소(O_2), 헬륨(He) 또는 아르곤(Ar)과 같은 희가스가 첨가된 임의의 이들 가스 등이 사용될 수 있다.
- [0219] 드라이 에칭법으로서, 평행 평판 RIE(reactive ion etching)법 또는 ICP(inductively coupled plasma : 유도 결합형 플라즈마) 에칭법이 사용될 수 있다. 원하는 형상으로 에칭하기 위해, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관축의 전극에 인가되는 전력량, 기관축의 전극 온도 등)이 적절하게 조절된다.
- [0220] 웨트 에칭에 사용된 에칭액으로서, 인산, 아세트산 및 질산을 혼합하여 획득된 용액, 과산화 암모니아 혼합물(31 중량%의 과산화수소수 : 28 중량%의 암모니아수 : 물 = 5 : 2 : 2) 등이 사용될 수 있다. ITO07N(KANTO CHEMICAL CO., LTD에 의해 제작)이 사용될 수도 있다.
- [0221] 웨트 에칭에 사용된 에칭액은 에칭된 재료와 함께 세정에 의해 제거된다. 에칭된 재료 및 에칭액을 포함하는 폐액이 정제될 수도 있고, 재료가 재사용될 수도 있다. 산화물 반도체층에 포함되는 인듐과 같은 재료는 에칭 후의 폐액으로부터 회수될 수도 있고 재사용될 수도 있어서, 자원을 효율적으로 사용하고 비용을 감소시킨다.
- [0222] (에칭액, 에칭 시간, 온도와 같은) 에칭 조건들은 원하는 형상으로 에칭하기 위해 재료에 의존하여 적절하게 조절된다.
- [0223] 다음으로, 레지스트 마스크들(463a 및 463b)이 제거되고, 산화물 반도체층(461)의 일부와 접촉하는 보호 절연막으로서 기능하는 산화물 절연층(407)이 형성된다. 본 실시형태에서, 200 nm 두께의 산화 실리콘막이 스퍼터링법에 의해 산화물 절연층(407)으로서 성막된다.
- [0224] 다음으로, 제 2 가열 처리가 불활성 가스 분위기 또는 산소 가스 분위기하에서(바람직하게는, 200℃ 이상 400℃ 이하, 예를 들어, 250℃ 이상 350℃ 이하) 실시된다. 예를 들어, 제 2 가열 처리는 질소 분위기하에서 250℃에서 1 시간 동안 실시된다. 제 2 가열 처리는, 산화물 반도체층의 일부(채널 형성 영역)가 산화물 절연층(407)과 접촉하면서 가열을 실시한다.
- [0225] 상술한 단계들을 통해, 탈수화 또는 탈수소화를 위한 가열 처리가 산화물 반도체층에 대해 실시되어 저항을 감소시키고, 그 후, 산화물 반도체막의 일부가 선택적으로 산소 과잉 상태가 된다. 그 결과, 게이트 전극층(481)과 접치는 채널 형성 영역(483)은 I-형이 되고, 소스 전극층(485a)과 접치는 고저항 소스 영역(484a) 및 드레인 전극층(485b)과 접치는 고저항 드레인 영역(484b)이 자기 정합적으로 형성된다. 상기 공정을 통해, 박막 트랜지스터(480)가 형성된다.
- [0226] 또한, 가열 처리는 대기중에서 100℃ 이상 200℃ 이하의 온도에서 1 시간 이상 30 시간 이하 동안 실시될 수도 있다. 본 실시형태에서, 가열 처리는 150℃에서 10 시간 동안 실시된다. 이러한 가열 처리는 고정된 가열 온도에서 실시될 수도 있고, 대안적으로, 가열 온도에서의 아래의 변화가 복수 횟수 반복적으로 실시될 수도 있다:

가열 온도는 실온으로부터 100℃ 이상 200℃ 이하의 온도로 증가되고, 그 후, 실온까지 감소된다. 이러한 가열 처리는 감압하에서 산화물 절연막의 형성 전에 실시될 수도 있다. 감압은 가열 처리 시간이 단축될 수 있게 한다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서, 노멀리 오프 박막 트랜지스터가 획득될 수 있다. 따라서, 반도체 장치의 신뢰성이 향상될 수 있다.

- [0227] 다음으로, 보호 절연층(408)이 산화물 절연층(407) 위에 형성된다. 본 실시형태에서, 보호 절연층(408)은 보호 절연층으로서 질화 실리콘막을 사용하여 형성된다(도 5d 참조).
- [0228] 다음으로, 제 3 포토리소그래피 단계가 레지스트 마스크를 형성하기 위해 실시되고, 에칭이 산화물 절연층(407) 및 보호 절연층(408)의 일부를 제거하기 위해 선택적으로 실시되어, 소스 전극층(485a) 및 드레인 전극층(485b)에 이르는 개구들(464a 및 464b)이 형성된다(도 5(e) 참조).
- [0229] 소스 전극층(485a) 및 드레인 전극층(485b)과 접촉하도록 개구들(464a 및 464b)에 스퍼터링법 또는 진공 증착법에 의해 적층 도전층이 형성되고, 레지스트 마스크가 제 4 포토리소그래피 공정에 의해 형성된다. 적층 도전층이 선택적으로 에칭되어 배선층들(487a, 487b, 488a, 및 488b), 및 교차부에서의 소스 배선층들(422 및 423)을 형성한다(도 5(f) 참조).
- [0230] 배선층들(487a, 487b, 488a, 및 488b)은 소스 및 드레인 전극층들의 저항보다 낮은 저항을 갖는 도전막들을 사용하여 형성된다. 특히, 배선층들은 알루미늄, 구리, 크롬, 탄탈, 몰리브덴, 텅스텐, 티타늄, 네오디뮴, 또는 스퀴뮴과 같은 금속 재료, 또는 임의의 이들 재료들을 주성분으로서 포함하는 합금 재료를 사용하여 단층 또는 적층 구조를 갖도록 형성될 수 있다. 본 실시형태에서, 알루미늄막이 제 1 배선층들인 배선층들(487a 및 487b) 각각으로서 사용되고, 티타늄막이 제 2 배선층들인 배선층들(488a 및 488b) 각각으로서 사용된다.
- [0231] 이러한 방식으로, 적은 기생 용량 및 낮은 전력 소비를 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0232] 높은 신뢰성을 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0233] 이러한 실시형태는, 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0234] (실시형태 4)
- [0235] 실시형태 4에서, 실시형태 1의 게이트 전극층이 투광성 도전 재료를 사용하여 형성되는 예가 도 7을 참조하여 설명된다. 따라서, 실시형태 1과 동일하게 적용될 수 있고, 실시형태 1과 동일한 부분들 및 실시형태 1과 유사한 기능들을 갖는 부분들 및 단계들의 설명이 생략된다. 도 7은 공정의 일부에 차이가 있다는 점을 제외하고는 도 1a1, 도 1a2, 도 1b 및 도 2a 내지 도 2f와 동일하고, 따라서, 동일한 부분들은 동일한 참조 부호들로 표기되고, 동일한 부분들의 상세한 설명은 생략된다.
- [0236] 도 7에 도시된 박막 트랜지스터(430)는 채널 에칭된 박막 트랜지스터이고, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(431), 게이트 절연층(402), 적어도 채널 형성 영역(433), 고저항 소스 영역(434a), 및 고저항 드레인 영역(434b)을 포함하는 산화물 반도체층(432), 소스 전극층(435a), 드레인 전극층(435b)을 포함한다. 또한, 박막 트랜지스터(430)를 커버하고, 채널 형성 영역(433)과 접촉하는 산화물 절연층(407)이 제공되고, 보호 절연층(408)이 그 위에 제공된다.
- [0237] 산화물 절연층(407) 및 보호 절연층(408)에는, 소스 전극층(435a)에 이르는 개구(콘택트 홀)가 형성된다. 배선층들(437 및 438)이 개구에 형성된다. 교차부에서, 게이트 배선층(421) 및 소스 배선층들(422 및 423)이 게이트 절연층(402), 산화물 절연층(407) 및 보호 절연층(408)을 그 사이에 개재하여 적층된다. 도 7에 도시된 소스 전극층(435a)에 이르는 개구 및 그 개구에 형성된 배선층들(437 및 438)로서, 개구 및 배선층은 산화물 반도체층(432)과 겹치지 않는 영역에 제공될 수도 있다.
- [0238] 이러한 방식으로, 게이트 전극층(게이트 배선층)은 소스 전극층 또는 드레인 전극층에 전기적으로 접속되는 배선층과, 박막 트랜지스터의 산화물 반도체층을 커버하는 절연층 및 게이트 절연층을 그 사이에 개재하여 교차한다. 박막 트랜지스터의 게이트 전극층이 소스 전극층 및 드레인 전극층과 산화물 반도체층 위에서 부분적으로 겹친다는 것을 제외하고, 게이트 전극층, 게이트 절연층, 및 소스 전극층 또는 드레인 전극층의 적층 구조는 형성되지 않는다.
- [0239] 따라서, 게이트 전극층, 게이트 절연층, 및 소스 전극층 또는 드레인 전극층의 적층 구조에 의해 형성되는 기생

용량이 감소될 수 있어서, 반도체 장치의 저전력 소비가 실현될 수 있다.

- [0240] 평탄화 절연층(409)이 배선층(438), 소스 배선층(423), 및 보호 절연층(408) 위에 형성되고, 화소 전극층(427)이 평탄화 절연층(409) 위에 형성된다. 화소 전극층(427)은 평탄화 절연층(409)에 형성된 개구를 통해 배선층(438)과 접촉하고 있고 박막 트랜지스터(430)는 배선층들(437 및 438)을 통해 화소 전극층(427)에 전기적으로 접속된다.
- [0241] 소스 전극층(435a) 및 드레인 전극층(435b) 각각은, 박막 금속 도전막을 사용함으로써 투광성 도전막으로서 형성될 수 있다.
- [0242] 또한, 도 7에서, 박막 트랜지스터(430)의 게이트 전극층(431)은 또한 투광성 도전막을 사용하여 형성된다.
- [0243] 게이트 전극층(431)의 재료로서, 가시광을 투과시키는 도전재료가 사용될 수 있다. 예를 들어, 임의의 아래의 금속 산화물: In-Sn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, Sn-Al-Zn-O계 금속 산화물, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, In-O계 금속 산화물, Sn-O계 금속 산화물, Zn-O계 금속 산화물이 사용될 수 있다. 그것의 두께는 50 nm 이상 300 nm 이하의 범위내에서 적절히 설정된다. 게이트 전극층(431)에 대한 금속 산화물의 성막 방법으로서, 스퍼터링법, 진공 증착법(전자빔 증착법 등), 아크 방전 이온 도금법, 또는 스프레이법이 사용된다. 스퍼터링법이 사용될 때, SiO₂를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 사용하여 성막이 실시되고, 결정화를 저해하는 SiO_x(x > 0)가 투광성 도전막에 포함되어 나중의 단계에서 탈수화 또는 탈수소화를 위한 가열 처리시에 결정화를 방지하는 것이 바람직하다.
- [0244] 이러한 방식으로, 박막 트랜지스터(430)는 투광성 박막 트랜지스터로서 형성될 수 있다.
- [0245] 박막 트랜지스터(430)가 제공된 화소에서, 화소 전극층(427), (용량 전극층과 같은) 다른 전극층, 또는 (용량 배선층과 같은) 배선층이 가시광을 투과하는 도전막을 사용하여 형성되어, 높은 개구율을 갖는 표시 장치가 실현된다. 물론, 게이트 절연층(402), 산화물 절연층(407), 및 보호 절연층(408)을 형성하기 위해 가시광을 투과하는 막들을 사용하는 것이 바람직하다.
- [0246] 본 명세서에서, 가시광을 투과하는 막은 가시광의 투과율이 75% 내지 100%인 두께를 갖는 막을 의미한다. 그 막이 도전성을 갖는 경우에서, 막은 또한 투명 도전막으로서 칭한다. 또한, 가시광에 대해 반투명인 도전막이 게이트 전극층, 소스 전극층, 드레인 전극층, 화소 전극층, 또는 다른 전극층 또는 다른 배선층에 적용된 금속 산화물로서 사용될 수도 있다. 가시광에 대한 반투명성은 가시광의 투과율이 50% 내지 75%라는 것을 의미한다.
- [0247] 박막 트랜지스터(430)가 투광성을 갖기 때문에, 개구율이 향상될 수 있다. 특히, 10 인치 이하의 소형 액정 표시 패널에 있어서, 화소의 크기가 예를 들어, 게이트 배선들의 수를 증가시킴으로써 표시 화상들의 더 높은 정밀화를 실현하기 위해 감소될 때에도, 높은 개구율이 달성될 수 있다. 또한, 박막 트랜지스터(430)의 구성 부재에 대해 투광성 막을 사용함으로써, 넓은 시야각을 실현하기 위해 1 화소를 복수의 서브 픽셀로 분할할 때에도 높은 개구율이 실현될 수 있다. 즉, 고밀도 박막 트랜지스터들의 그룹이 배열될 때에도 높은 개구율이 유지될 수 있으며, 표시 영역은 충분한 면적을 가질 수 있다. 예를 들어, 하나의 화소가 2개 내지 4개의 서브 픽셀을 포함하는 경우에서, 박막 트랜지스터가 투광성을 갖기 때문에, 개구율은 향상될 수 있다. 또한, 저장 용량이 박막 트랜지스터의 컴포넌트와 동일한 단계에 의해 동일한 재료를 사용하여 형성될 수도 있어서, 저장 용량은 투광성을 가질 수 있고, 이에 의해, 개구율이 더 향상될 수 있다.
- [0248] 이러한 실시형태는 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0249] (실시형태 5)
- [0250] 실시형태 5에서, 박막 트랜지스터의 제작 공정에서 실시형태 1과 상이한 예가 도 8을 참조하여 설명된다. 도 8은, 공정의 일부에서 차이가 있다는 점을 제외하고는 도 1a1, 도 1a2, 도 1b 및 도 2a 내지 도 2f와 동일하고, 따라서, 동일한 부분들은 동일한 참조 부호들로 표기되고, 동일한 부분들의 상세한 설명은 생략된다.
- [0251] 실시형태 1에 따라, 게이트 배선층(421) 및 게이트 전극층(471)이 기판(400) 위에 형성되고, 게이트 절연층(402)이 그 위에 적층된다.
- [0252] 다음으로, 산화물 반도체막이 형성되고, 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공된다.
- [0253] 다음으로, 산화물 반도체층이 탈수화 또는 탈수소화된다. 탈수화 또는 탈수소화를 위한 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 바람직하게는 425℃ 이상이다. 온도가 425℃ 이상인 경우에서 가열 처리 시간은 1

시간 이하일 수도 있고, 온도가 425℃ 미만인 경우에서 가열 처리 시간은 1 시간보다 길다. 본 실시형태에서, 기판은 가열 처리 장치의 일 종류인 전기로에 놓이고, 가열 처리는 질소 분위기하에서 산화물 반도체층에 대해 실시되고, 그 후, 산화물 반도체층이 대기에 노출되지 않고, 물 및 수소가 산화물 반도체층으로 침입하는 것이 방지된다. 이러한 방식으로, 산화물 반도체층이 획득된다. 그 후, 고순도 산소 가스, 고순도 N₂O 가스, 또는 초 건조 공기(-40℃ 이하, 바람직하게는 -60℃ 이하의 노점을 가짐)가 동일한 노에 도입되고 냉각이 실시된다. 물, 수소 등이 산소 가스 또는 N₂O 가스에 가능한 한 적게 포함되는 것이 바람직하다. 대안적으로, 가열 처리 장치로 도입되는 산소 가스 또는 N₂O 가스가 6N(99.9999%) 이상, 더욱 바람직하게는 7N(99.99999%) 이상의 순도(즉, 산소 가스 또는 N₂O 가스중의 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하로 설정됨)를 갖는 것이 바람직하다.

- [0254] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 예를 들어, GRTA(gas rapid thermal anneal) 장치 또는 LRTA(lamp rapid thermal anneal) 장치와 같은 RTA(rapid thermal anneal) 장치가 사용될 수 있다. LRTA 장치는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 발광하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. LRTA 장치에는, 램프 뿐만이 아니라 저항 발열체와 같은 발열체로부터의 열전도 또는 열복사에 의해 가공될 피처리물을 가열하는 장치가 제공될 수도 있다. GRTA는 고온 가스를 사용하여 가열 처리를 실시하는 방법이다. 가스로서, 아르곤과 같은 희가스, 또는 질소와 같은 가열 처리에 의해 가공될 피처리물과 반응하지 않는 불활성 가스가 사용된다. 가열 처리는 RTA법을 사용하여 600℃ 내지 750℃에서 수 분 동안 실시될 수도 있다.
- [0255] 탈수화 또는 탈수소화를 위한 제 1 가열 처리 후에, 가열 처리는 200℃ 이상 400℃ 이하, 바람직하게는 200℃ 이상 300℃ 이하의 온도에서 산소 가스 또는 N₂O 가스 분위기하에서 실시될 수도 있다.
- [0256] 산화물 반도체층의 제 1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공되기 전에, 산화물 반도체막에 대해 실시될 수 있다. 이 경우에, 제 1 가열 처리 후에, 기판은 가열 장치 외부로 꺼내지고, 포토리소그래피 단계가 실시된다.
- [0257] 상기 공정을 통해, 산화물 반도체막 전체가 더 높은 저항을 갖도록 산소 과잉 상태로 되고, 즉, I-형화된다. 따라서, 전체가 I-형 도전성을 갖는 산화물 반도체층(472)이 형성된다.
- [0258] 다음으로, 레지스트 마스크가 산화물 반도체층(472) 위에 포토리소그래피 공정에 의해 형성되고, 선택적으로 에칭되어 소스 전극층(475a) 및 드레인 전극층(475b)을 형성하고, 그 후, 산화물 절연층(407)이 스퍼터링법에 의해 형성된다.
- [0259] 다음으로, 박막 트랜지스터의 전기적 특성의 편차를 감소시키기 위해, 가열 처리가 불활성 가스 분위기 또는 질소 가스 분위기하에서(바람직하게는, 150℃ 이상 350℃ 미만의 온도에서) 실시될 수도 있다. 예를 들어, 가열 처리는 질소 분위기하에서 250℃에서 1 시간 동안 실시된다.
- [0260] 또한, 가열 처리는 대기중에서 100℃ 이상 200℃ 이하의 온도에서 1 시간 이상 30 시간 이하 동안 실시될 수도 있다. 본 실시형태에서, 가열 처리는 150℃에서 10 시간 동안 실시된다. 이러한 가열 처리는 고정된 가열 온도에서 실시될 수도 있고, 대안적으로, 가열 처리에서의 아래의 변화가 복수 횟수 반복적으로 실시될 수도 있다: 가열 온도가 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도까지 증가되고, 그 후, 실온으로 감소된다. 이러한 가열 처리는 감압하에서 산화물 절연막의 형성 전에 실시될 수도 있다. 감압은 가열 시간이 단축될 수 있게 한다. 이러한 가열 처리로, 수소가 산화물 반도체층으로부터 산화물 절연층으로 도입되고, 따라서, 노멀리 오프 박막 트랜지스터가 획득될 수 있다. 따라서, 반도체 장치의 신뢰성이 향상될 수 있다.
- [0261] 다음으로, 보호 절연층(408)이 산화물 절연층(407) 위에 형성된다.
- [0262] 다음으로, 포토리소그래피 단계가 레지스트 마스크를 형성하기 위해 실시되고, 에칭이 산화물 절연층(407) 및 보호 절연층(408)의 일부를 제거하기 위해 선택적으로 실시되어, 소스 전극층(475a) 및 드레인 전극층(475b)에 이르는 개구들이 형성된다.
- [0263] 소스 전극층(475a) 및 드레인 전극층(475b)과 접촉하도록 개구들에 스퍼터링법 또는 진공 증착법에 의해 적층 도전층이 형성되고, 레지스트 마스크가 포토리소그래피 단계에 의해 형성된다. 적층 도전층이 선택적으로 에칭되어 배선층들(477a, 477b, 478a, 및 478b), 및 교차부에서 소스 배선층(422 및 423)을 형성한다(도 8 참조).
- [0264] 이러한 방식으로, 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서, 적은 기생 용량

및 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.

- [0265] 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서, 높은 신뢰성을 갖는 반도체 장치가 제공될 수 있다.
- [0266] 이러한 실시형태는, 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0267] (실시형태 6)
- [0268] 실시형태 6에서, 실시형태 1에 있어서, 소스 및 드레인 영역들로서 기능하는 산화물 도전층이 산화물 반도체층과 소스 또는 드레인 전극층들 사이에 제공되는 예가 도 9를 참조하여 설명될 것이다. 따라서, 실시형태 1과 동일한 것이 적용될 수 있고, 실시형태 1과 동일한 부분들 및 실시형태 1과 유사한 부분들 및 단계들의 설명은 생략된다. 도 9는 공정의 일부에 차이가 있다는 점을 제외하고는, 도 1a1, 도 1a2, 도 1b 및 도 2a 내지 도 2f와 동일하고, 따라서, 동일한 부분들은 동일한 참조 부호들로 표기되고, 동일한 부분들의 상세한 설명은 생략된다.
- [0269] 도 9에 도시된 박막 트랜지스터(469)는 채널 에칭된 박막 트랜지스터이고, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411), 게이트 절연층(402), 적어도 채널 형성 영역(413), 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)을 포함하는 산화물 반도체층(412), 산화물 도전층들(416a 및 416b), 소스 전극층(415a), 및 드레인 전극층(415b)을 포함한다. 또한, 박막 트랜지스터(469)를 커버하고, 채널 형성 영역(413)과 접촉하는 산화물 절연층(407)이 제공되고, 보호 절연층(408)이 그 위에 제공된다.
- [0270] 실시형태 1에 따라, 게이트 배선층(421) 및 게이트 전극층(411)이 기판(400) 위에 형성되고, 게이트 절연층(402)이 그 위에 적층된다. 산화물 반도체막이 게이트 절연층(402) 위에 형성되어, 탈수화 또는 탈수소화된 산화물 반도체층을 형성한다.
- [0271] 산화물 도전층들(416a 및 416b)이 탈수화 또는 탈수소화된 산화물 반도체층 위에 형성된다. 본 실시형태에서, 산화물 도전층들(416a 및 416b)이 산화물 반도체층과 동일한 포토리소그래피 단계에 의해 적절한 형상으로 가공되는 예가 설명되지만, 산화물 도전층들(416a 및 416b)은 소스 전극층 및 드레인 전극층과 동일한 포토리소그래피 단계에 의해 적절한 형상으로 가공될 수도 있다.
- [0272] 산화물 도전층들(416a 및 416b)의 형성 방법으로서, 스퍼터링법, 진공 증착법(전자빔 증착법 등), 아크 방전 이온 도금법, 또는 스프레이법이 사용될 수 있다. 산화물 도전층들(416a 및 416b) 각각의 재료는, 산화 아연을 성분으로서 포함하지만 산화 인듐을 포함하지 않는 것이 바람직하다. 산화물 도전층들(416a 및 416b)에 대한 이러한 재료로서, 산화 아연, 산화 아연 알루미늄, 산질화 아연 알루미늄, 산화 아연 갈륨 등이 사용될 수 있다. 산화물 도전층들 각각의 두께는 50 nm 이상 300 nm 이하의 범위내에서 적절하게 설정된다. 스퍼터링법을 사용하는 경우에서, SiO₂를 2중량% 이상 10중량% 이하 포함하는 타겟을 사용하여, 산화물 도전막에 결정화를 저해하는 SiO_x(x > 0)를 포함하게 하여, 나중의 단계에서 탈수화 또는 탈수소화를 위한 가열 처리시에 결정화를 억제하는 것이 바람직하다.
- [0273] 본 실시형태에서, 산화물 도전층들(416a 및 416b)은 아래와 같이 형성된다: 적절한 형상으로서의 가공이 산화물 반도체층과 동일한 포토리소그래피 단계에 의해 실시되고, 에칭이 마스크로서 소스 전극층(415a) 및 드레인 전극층(415b)을 사용하여 실시된다. 산화 아연을 성분으로 포함하는 산화물 도전층들(416a 및 416b)은 예를 들어, 레지스트 박리액과 같은 알칼리성 용액으로 용이하게 에칭될 수 있다.
- [0274] 채널 영역을 형성하기 위해 산화물 도전층을 분할하기 위한 에칭 처리가 산화물 반도체층과 산화물 도전층 사이의 에칭 속도의 차이를 이용함으로써 실시된다. 산화물 반도체층 위의 산화물 도전층은 산화물 반도체층과 비교하여 산화물 도전층의 더 높은 에칭 속도를 이용하여 선택적으로 에칭된다.
- [0275] 따라서, 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하기 위해 사용된 레지스트 마스크는 에칭 단계에 의해 제거되는 것이 바람직하다. 박리액을 사용한 에칭의 경우에서, 산화물 도전층들 및 산화물 반도체층이 너무 많이 에칭되지 않도록 (에칭액의 종류, 농도, 및 에칭 시간과 같은) 에칭 조건이 적절하게 조절된다.
- [0276] 산화물 반도체층(412)과 금속 재료를 사용하여 형성된 드레인 전극층(415b) 사이에 제공되는 산화물 도전층(416b)은 저저항 드레인 영역(LRD)(LRN(low resistance n-type conductivity) 영역으로 또한 칭함)으로서 기능한다. 유사하게, 산화물 반도체층(412)과 금속 재료를 사용하여 형성된 소스 전극층(415a) 사이에 제공되는 산화물 도전층(416a)은 저저항 소스인 영역(LRS)(LRN(low resistance n-type conductivity) 영역으로 또한 칭함)으로서 또한 기능한다. 산화물 반도체층, 저저항 드레인 영역, 금속 재료를 사용하여 형성된 드레인 전극층

의 구성으로, 트랜지스터의 내압이 더 증가될 수 있다. 구체적으로는, 저저항 드레인 영역의 캐리어 농도는 고저항 드레인 영역(HRD 영역)의 캐리어 농도보다 높고, 바람직하게는 $1 \times 10^{20}/\text{cm}^3$ 이상 $1 \times 10^{21}/\text{cm}^3$ 이하의 범위이다.

- [0277] 산화물 도전층들이 소스 영역 및 드레인 영역으로서 산화물 반도체층과 소스 및 드레인 전극층들 사이에 제공될 때, 소스 영역 및 드레인 영역의 저항은 감소될 수 있고, 트랜지스터의 고속 동작이 실현될 수 있다. 주변 회로(구동 회로)의 주파수 특성을 향상시키기 위해 소스 및 드레인 영역들로서 산화물 도전층을 사용하는 것이 유효하다. 이것은 금속 전극(예를 들어, Ti)과 산화물 반도체층 사이의 접촉이 금속 전극(예를 들어, Ti)과 산화물 도전층 사이의 접촉과 비교하여 접촉 저항을 감소시킬 수 있기 때문이다.
- [0278] 또한, 반도체 장치에서 배선 재료(예를 들어, Mo/Al/Mo)의 일부로서 사용되는 몰리브덴(Mo)이 산화물 반도체층과의 높은 접촉 저항을 갖는다는 문제점이 있었다. 이것은, Mo가 Ti와 비교하여 덜 산화되기 쉽고 산화물 반도체층으로부터 산소를 추출하는 약한 효과를 갖고, Mo와 산화물 반도체층 사이의 접촉 계면이 n형 도전성을 갖도록 변화되지 않기 때문이다. 그러나, 이러한 경우에서도, 산화물 반도체층과 소스 및 드레인 전극층들 사이에 산화물 도전층을 개재함으로써 접촉 저항이 감소될 수 있고, 따라서, 주변 회로(구동 회로)의 주파수 특성이 향상될 수 있다.
- [0279] 박막 트랜지스터의 채널 길이는 산화물 도전층의 에칭시에 결정되고, 따라서, 채널 길이가 더 단축될 수 있다. 예를 들어, 채널 길이(L)는 $0.1\mu\text{m}$ 이상 $2\mu\text{m}$ 이하로 설정될 수 있고, 이러한 방식으로, 동작 속도가 증가될 수 있다.
- [0280] 이러한 실시형태는 임의의 다른 실시형태들과 적절히 조합하여 구현될 수 있다.
- [0281] 이러한 방식으로, 적은 기생 용량 및 낮은 전력 소비를 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0282] 높은 신뢰성을 갖는 반도체 장치가 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 반도체 장치로서 제공될 수 있다.
- [0283] (실시형태 7)
- [0284] 실시형태 7에서, 도 10은 그 단면에서 볼 때 산화물 반도체층이 질화물 절연막에 의해 둘러싸이는 예를 예시한다. 도 10은, 산화물 절연층의 상면 형상 및 단부의 위치, 및 게이트 절연층의 구성에서 차이가 존재한다는 점을 제외하고, 도 1a1, 도 1a2, 및 도 1b와 동일하고, 따라서, 동일한 부분들은 동일한 참조 부호들에 의해 표시되고, 동일한 부분들의 상세한 설명은 생략된다.
- [0285] 도 10에 도시된 박막 트랜지스터(410)는 채널 에칭된 박막 트랜지스터이고, 절연 표면을 갖는 기판(400) 위에, 게이트 전극층(411), 질화물 절연막을 사용하여 형성된 제 1 게이트 절연층(492a), 산화물 절연막을 사용하여 형성된 제 2 게이트 절연층(492b), 적어도 채널 형성 영역(413), 고저항 소스 영역(414a), 및 고저항 드레인 영역(414b)을 포함하는 산화물 반도체층(412), 소스 전극층(415a), 및 드레인 전극층(415b)을 포함한다. 또한, 박막 트랜지스터(410)를 커버하고, 산화물 반도체층(412)의 채널 형성 영역과 접촉하는 산화물 절연층(497b)이 제공된다. 보호 절연층(498)이 산화물 절연층(497b) 위에 제공된다.
- [0286] 산화물 절연층(497b) 및 보호 절연층(498)에는, 소스 전극층(415a) 및 드레인 전극층(415b)에 이르는 개구들(콘택트 홀들)이 형성된다. 배선층들(417a 및 418a)이 개구들 중 하나에 형성되고, 배선층들(417b 및 418b)이 개구들 중 다른 하나에 형성된다. 교차부에서, 게이트 배선층(421) 및 소스 배선층들(422 및 423)이 게이트 절연층(402), 산화물 절연층(497a) 및 보호 절연층(498)이 그 사이에 개재되어 적층된다.
- [0287] 본 실시형태에서의 박막 트랜지스터(410)에서, 게이트 절연층은 질화물 절연막 및 산화물 절연막이 게이트 전극층 측에 적층되는 적층 구조를 갖는다. 산화물 절연층의 개구들을 형성할 때, 제 2 게이트 절연층의 산화물 절연막이 또한 선택적으로 제거되어, 질화물 절연막의 일부를 노출시킨다.
- [0288] 위에서 볼 때, 적어도 산화물 반도체층(412)이 산화물 절연층(497b) 및 제 2 게이트 절연층(492b)의 내부에 있고, 산화물 절연층(497b) 및 제 2 게이트 절연층(492b)이 박막 트랜지스터를 커버하는 것이 바람직하다.
- [0289] 또한, 질화물 절연막을 사용하여 형성된 보호 절연층(498)은 산화물 절연층(497b)의 상면 및 측면을 커버하여, 제 1 게이트 절연층(492a)의 질화물 절연막과 접촉하도록 형성된다.
- [0290] 질화물 절연막을 사용하여 각각 형성되는 보호 절연층(498) 및 제 1 게이트 절연층(492a) 각각으로서, 수분, 수

소 이온, 및 OH⁻과 같은 불순물을 가능한 한 적게 포함하고, 외부로부터 불순물의 침입을 차단하는 무기 절연막이 사용되고, 예를 들어, 스퍼터링법 또는 플라즈마 CVD법에 의해 획득된 질화 실리콘막, 산화 질화 실리콘막, 질화 알루미늄막, 산화 질화 알루미늄막이 사용된다.

- [0291] 본 실시형태에서, 질화물 절연막을 사용하여 형성된 보호 절연층(498)으로서, 산화물 반도체층(412)의 상면 및 측면을 커버하도록 100 nm의 두께를 갖는 질화 실리콘막이 RF 스퍼터링법에 의해 제공된다. 또한, 보호 절연층(498)은 질화물 절연막을 사용하여 형성된 제 1 게이트 절연층(492a)과 접촉한다.
- [0292] 도 10에 예시된 구조로, 질화물 절연막을 사용하여 형성된 보호 절연층(498)의 형성 후의 제작 프로세스에서 외부로부터의 수분의 침입이 방지될 수 있다. 또한, 장치가 액정 표시 장치와 같은 반도체 장치로서 완성된 후에도, 외부로부터의 수분의 침입이 장기적으로 방지될 수 있고, 따라서, 장치의 장기간의 신뢰성이 향상될 수 있다.
- [0293] 본 실시형태에서, 하나의 박막 트랜지스터가 질화물 절연막에 의해 둘러싸이지만, 본 발명은 특별하게 한정되지 않고, 복수의 박막 트랜지스터가 질화물 절연막에 의해 둘러싸일 수도 있거나, 화소부의 복수의 박막 트랜지스터가 질화물 절연막에 의해 일괄적으로 둘러싸일 수도 있다. 보호 절연층(498) 및 제 1 게이트 절연층(492a)이 서로 접촉하는 영역이 적어도 액티브 매트릭스 기관의 화소부를 둘러싸도록 형성된다.
- [0294] 이러한 실시형태는 다른 실시형태들과 적절히 조합하여 구현될 수 있다.
- [0295] (실시형태 8)
- [0296] 실시형태 8에서, 실시형태 1 내지 7 중 어느 하나에 따른 박막 트랜지스터 및 전계 발광을 사용하는 발광 소자를 사용하여 액티브 매트릭스 발광 표시 장치를 제작하는 일례가 설명될 것이다.
- [0297] 전계 발광을 사용하는 발광 소자는, 발광 재료가 유기 화합물 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자로 칭하고, 후자는 무기 EL 소자로 칭한다.
- [0298] 유기 EL 소자에서, 발광 소자에게 전압을 인가함으로써, 전자들 및 정공들이 한 쌍의 전극으로부터 발광 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 캐리어들(전자들 및 정공들)이 재결합됨으로써, 발광 유기 화합물이 여기된다. 발광 유기 화합물은 여기 상태에서 기저 상태로 복귀함으로써, 발광한다. 이러한 메카니즘으로 인해, 이러한 발광 소자를 전류 여기형 발광 소자로 칭한다.
- [0299] 무기 EL 소자들은 그들의 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더층에 분산된 발광층을 가지며, 그것의 발광 메카니즘은 도너 준위 및 억셉터-준위를 이용하는 도너 억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층이 유전체층들 사이에 샌드위치된 구조를 갖고, 유전체층들은 전극들 사이에서 또한 샌드위치되며, 박막형 무기 EL 소자의 발광 메카니즘은 금속 이온의 내각 전자 전이를 이용하는 국제형 발광이다. 본 실시형태에서, 유기 EL 소자가 설명을 위한 발광 소자로서 사용된다.
- [0300] 도 11은, 반도체 장치의 예로서 디지털 시간 계조 구동이 적용될 수 있는 화소 구성의 일례를 예시한다.
- [0301] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구성 및 동작이 설명된다. 본 실시형태에서, 하나의 화소는 산화물 반도체층을 사용하는 채널 형성 영역을 각각 포함하는 2개의 n 채널 트랜지스터들을 포함한다.
- [0302] 화소(6400)는 스위칭 트랜지스터(6401), 구동 트랜지스터(6402), 발광 소자(6404) 및 용량(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)은 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)은 구동 트랜지스터(6402)의 게이트에 접속된다. 구동 트랜지스터(6402)의 게이트는 용량(6403)를 통해 전원선(6407)에 접속되고, 구동 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되며, 구동 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일 기관 위에 제공된 공통 전위선에 전기적으로 접속된다.
- [0303] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 저전원 전위는 전원선(6407)으로 설정되는 고전원 전위를 기준으로 저전원 전위 < 고전원 전위를 충족하는 전위라는 것에 유의한다. 저전원 전위로서, 예를 들어 GND, 0 V 등이 이용될 수도 있다. 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)에 인가되고, 전류가 발광 소자(6404)에 공급되어 발광 소자(6404)가 발광한다. 상기 관점에서, 고전원 전위와

저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위가 설정된다.

- [0304] 또한, 용량(6403)는 구동 트랜지스터(6402)의 게이트 용량을 대응함으로써 생략될 수 있다. 구동 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성될 수도 있다.
- [0305] 전압 입력 전압 구동 방법의 경우에서, 비디오 신호가 구동 트랜지스터(6402)의 게이트에 입력되어서, 구동 트랜지스터(6402)는 충분히 턴 온되거나 턴 오프되는 2개의 상태 중 하나에 있다. 즉, 구동 트랜지스터(6402)는 선형 영역에서 동작한다. 구동 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 구동 트랜지스터(6402)의 게이트에 인가된다. (전원선 전압 + 구동 트랜지스터(6402)의 V_{th}) 이상의 전압이 신호선(6405)에 인가된다.
- [0306] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 실시하는 경우에서, 도 11과 동일한 화소 구성이 입력 신호를 변경함으로써 사용될 수 있다.
- [0307] 아날로그 계조 구동을 실시하는 경우에서, (발광 소자(6404)의 순방향 전압 + 구동 트랜지스터(6402)의 V_{th}) 이상의 전압이 구동 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은 원하는 휘도가 획득되는 전압을 칭하고, 적어도 순방향 임계값 전압을 포함한다. 구동 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호가 입력되어서, 전류가 발광 소자(6404)에 공급될 수 있다. 구동 트랜지스터(6402)를 포화 영역에서 동작시키기 위해, 전원선(6407)의 전위는 구동 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호가 사용될 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하고 아날로그 계조 구동을 실시하는 것이 가능하다.
- [0308] 도 11에 예시된 화소 구성은 이것으로 한정되지 않는다. 예를 들어, 스위치, 저항 소자, 용량, 트랜지스터 또는 논리 회로 등이 도 11에 예시된 화소에 추가될 수도 있다.
- [0309] 다음으로, 발광 소자의 구성들이 도 12a 내지 도 12c를 참조하여 설명된다. 본 실시형태에서, 화소의 단면 구조가 일례로서 n-채널 구동 TFT를 취하여 설명될 것이다. 도 12a, 도 12b 및 도 12c에 예시된 반도체 장치들에 대해 사용된 구동 TFT들(7001, 7011, 및 7021)은 실시형태 4에 설명된 박막 트랜지스터와 유사한 방식으로 제작될 수 있고, 산화물 반도체층을 각각 포함하는 투광성 박막 트랜지스터들이다.
- [0310] 발광 소자로부터 광을 추출하기 위해, 양극 및 음극 중 적어도 하나가 광을 투과한다. 박막 트랜지스터 및 발광 소자가 기판 위에 형성된다. 발광 소자의 구성들로서, 발광이 기판에 대향하는 면을 통해 추출되는 상면 사출 구조; 발광이 기판측상의 면을 통해 추출되는 하면 사출 구조; 및 발광이 기판에 대향하는 면 및 기판측상의 면을 통해 추출되는 양면 사출 구조가 있다. 도 11에 도시된 화소 구성은 이들 사출 구조들 중 어느 것을 갖는 발광 소자에 적용될 수 있다.
- [0311] 하면 사출 구조를 갖는 발광 소자가 도 12a를 참조하여 설명될 것이다.
- [0312] 도 12a는 구동 TFT(7011)가 n형이고, 광이 발광 소자(7012)로부터 제 1 전극(7013)측으로 사출되는 경우에서의 화소의 단면도이다. 도 12a에서, 구동 TFT(7011)의 드레인 전극층에 전기적으로 접속된 배선층들(7018a 및 7018b)이 형성되고, 그 위에 평탄화 절연층(7036)이 형성된다. 배선층(7018b)은 평탄화 절연층(7036)에 형성된 개구에서 투광성 도전막(7017)과 접촉하고, 구동 TFT(7011) 및 투광성 도전막(7017)을 전기적으로 접속한다. 발광 소자(7012)의 제 1 전극(7013)이 투광성 도전막(7017) 위에 형성되고, EL 층(7014) 및 제 2 전극(7015)이 이러한 순서로 제 1 전극(7013) 위에 적층된다.
- [0313] 투광성 도전막(7017)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물의 막과 같은 투과성 도전막이 사용될 수 있다.
- [0314] 발광 소자의 제 1 전극(7013)은 다양한 재료를 사용하여 형성될 수 있다. 예를 들어, 제 1 전극(7013)이 음극으로서 사용되는 경우에서, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca, 또는 Sr과 같은 알칼리 토금속, 및 임의의 이들을 포함하는 합금(Mg:Ag, Al:Li 등), 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 도 12a에서, 제 1 전극(7013)의 두께는, 광을 투과할 수 있는 두께(바람직하게는, 약 5 nm 내지 30 nm)이다. 예를 들어, 20 nm 두께의 알루미늄막이 제 1 전극(7013)으로서 사용된다.
- [0315] 투광성 도전막과 알루미늄막이 적층되고, 그 후, 선택적으로 에칭되어, 투광성 도전막(7017) 및 제 1 전극(7013)이 형성될 수도 있다는 것에 유의한다. 이 경우에서, 에칭은 동일한 마스크를 사용하여 실시되는 것이 바

람직하다.

- [0316] 제 1 전극(7013)의 주연부는, 격벽(7019)으로 커버된다. 격벽(7019)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7019)은 특히, 감광성의 수지 재료를 사용하여 제 1 전극(7013) 위에 개구를 갖도록 형성되어, 그 개구의 측벽이 연속한 곡률을 갖는 경사면인 것이 바람직하다. 격벽(7019)으로서 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.
- [0317] 제 1 전극(7013) 및 격벽(7019) 위에 형성되는 EL 층(7014)은 적어도 발광층을 포함할 수도 있고, 단층으로서 형성될 수도 있거나, 복수의 층으로 적층될 수도 있다. EL 층(7014)이 복수의 층으로서 형성될 때, EL 층(7014)은 음극으로서 기능 하는 제 1 전극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이러한 순서로 적층함으로써 형성될 수도 있다. 이들의 층들 모두를 제공할 필요는 없다.
- [0318] 적층 순서는 상기에 한정되지 않고, 양극으로서 기능하는 제 1 전극(7013)상에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 순서로 적층될 수도 있다. 그러나, 전력 소비를 고려하면, 제 1 전극(7013)을 음극으로서 기능하고, 제 1 전극(7013) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이러한 순서로 적층되는 것이 바람직하고, 이것은 구동 회로부의 전압 증가가 억제될 수 있고 전력 소비가 감소될 수 있기 때문이다.
- [0319] EL 층(7014) 위에 형성되는 제 2 전극(7015)으로서, 다양한 재료들이 사용될 수 있다. 예를 들어, 제 2 전극(7015)이 양극으로서 사용되는 경우에, ZrN, Ti, W, Ni, Pt, Cr과 같은 높은 일함수를 갖는 재료, 또는 ITO, IZO, 또는 ZnO와 같은 투명 도전성 재료를 사용하는 것이 바람직하다. 또한, 제 2 전극(7015) 위에 차광막(7016), 예를 들어 광을 차광하는 금속, 광을 반사하는 금속 등이 제공된다. 본 실시형태에서, ITO 막이 제 2 전극(7015)으로서 사용되고, Ti 막이 차광막(7016)으로서 사용된다.
- [0320] EL 층(7014)이 제 1 전극(7013) 및 제 2 전극(7015) 사이에 샌드위치된 발광층을 포함하는 영역에 발광 소자(7012)가 대응한다. 도 12a에 예시된 소자 구조의 경우에서, 발광 소자(7012)로부터 발광된 광은, 화살표로 나타낸 바와 같이 제 1 전극(7013)측으로부터 사출된다.
- [0321] 도 12a에 도시된 예에서, 투광성 도전막이 게이트 전극층으로서 사용되고, 발광 소자(7012)로부터 발광된 광은 기판을 통해 사출되도록 컬러 필터층(7033)을 통과한다.
- [0322] 컬러 필터층(7033)은 잉크젯법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등에 의해 형성된다.
- [0323] 컬러 필터층(7033)은 오버코트층(7034)으로 커버되고, 보호 절연층(7035)으로 또한 커버된다. 얇은 두께를 갖는 오버코트층(7034)이 도 12a에 도시되어 있지만, 오버코트층(7034)은 컬러 필터층(7033)으로 인한 요철을 평탄화하는 기능을 갖는다.
- [0324] 보호 절연층(7035), 절연층(7032), 및 절연층(7031)에 형성되고, 드레인 전극층에 이르는 콘택트 홀은 격벽(7019)과 겹치도록 제공된다.
- [0325] 다음으로, 양면 사출 구조를 갖는 발광 소자가 도 12b를 참조하여 설명된다.
- [0326] 도 12b에서, 구동 TFT(7021)의 드레인 전극층에 전기적으로 접속된 배선층들(7028a 및 7028b)이 형성되고, 그 위에 평탄화 절연층(7046)이 형성된다. 배선층(7028b)은 평탄화 절연층(7046)에 형성된 개구에서 투광성 도전막(7027)과 접촉하고, 구동용 TFT(7021) 및 투광성 도전막(7027)을 전기적으로 접속한다. 투광성 도전막(7027) 위에 발광 소자(7022)의 제 1 전극(7023)이 형성되고, 제 1 전극(7023) 위에 EL 층(7024) 및 제 2 전극(7025)이 이러한 순서로 적층된다.
- [0327] 투광성 도전막(7027)으로서, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물의 막과 같은 투광성 도전성 도전막이 사용될 수 있다.
- [0328] 제 1 전극(7023)은 다양한 재료들을 사용하여 형성될 수 있다. 예를 들어, 제 1 전극(7023)이 음극으로서 사용되는 경우에서, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca, 또는 Sr과 같은 알칼리 토금속, 임의의 이들을 포함하는 합금(Mg:Ag, Al:Li 등), 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 본 실시형태에서, 제 1 전극(7023)은 음극으로서 작용하고, 제 1 전극(7023)의 두께는 광을

투과할 수 있는 두께(바람직하게는, 약 5nm 내지 30nm)이다. 예를 들어, 20nm 두께의 알루미늄막이 음극으로서 사용된다.

- [0329] 투광성 도전막 및 알루미늄막이 적층될 수도 있고, 그 후, 선택적으로 에칭될 수도 있어서, 투광성 도전막(7027) 및 제 1 전극(7023)이 형성될 수도 있다. 이 경우에서, 에칭은 동일한 마스크를 사용하여 실시될 수 있는 것이 바람직하다.
- [0330] 제 1 전극(7023)의 주연부는 격벽(7029)으로 커버된다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7029)은 특히, 감광성의 수지 재료를 사용하여 제 1 전극(7023) 위에 개구를 갖도록 형성되어, 그 개구의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7029)으로서 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.
- [0331] 제 1 전극(7023) 및 격벽(7029) 위에 형성된 EL 층(7024)은, 적어도 발광층을 포함할 수도 있고, 단층으로 형성될 수도 있거나 복수의 층으로 적층될 수도 있다. EL 층(7024)이 복수의 층으로서 형성될 때, EL 층(7024)은 음극으로서 기능하는 제 1 전극(7023) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이러한 순서로 적층함으로써 형성될 수도 있다. 이들 층들 모두가 제공될 필요는 없다.
- [0332] 적층 순서는 상기에 한정되지 않고, 양극으로서 기능하는 제 1 전극(7023)상에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 순서로 적층될 수도 있다. 그러나, 전력 소비를 고려하면, 낮은 전력 소비로 인해, 제 1 전극(7023)이 음극으로서 기능하고, 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 제 1 전극(7023) 위에 이러한 순서로 적층되는 것이 바람직하다.
- [0333] EL 층(7024) 위에 형성된 제 2 전극(7025)으로서, 다양한 재료들이 사용될 수 있다. 예를 들어, 제 2 전극(7025)이 양극으로서 사용되는 경우에서, ITO, IZO, 또는 ZnO와 같은 높은 일함수를 갖는 재료를 사용하는 것이 바람직하다. 본 실시형태에서, 산화 실리콘을 포함하는 ITO 막이 양극으로서 기능하는 제 2 전극(7025)으로서 사용된다.
- [0334] 발광층을 포함하는 EL 층(7024)이 제 1 전극(7023)과 제 2 전극(7025) 사이에 샌드위치되는 영역에 발광 소자(7022)가 대응한다. 도 12b에 예시된 소자 구조의 경우에서, 발광 소자(7022)로부터 발광된 광은 화살표로 나타내는 바와 같이 제 2 전극(7025)측 및 제 1 전극(7023)측 양자로부터 사출된다.
- [0335] 도 12b에 도시된 예에서, 투광성 도전막이 게이트 전극층으로서 사용되고, 투광성 박막들이 소스 전극층 및 드레인 전극층으로서 사용되며, 발광 소자(7022)로부터 제 1 전극(7023)측으로 발광된 광이 기판을 통해 사출되도록 컬러 필터층(7043)을 통과할 수 있다.
- [0336] 컬러 필터층(7043)은 잉크젯법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술을 사용한 에칭 방법 등에 의해 형성된다.
- [0337] 컬러 필터층(7043)은 오버코트층(7044)으로 커버되고, 또한 보호 절연층(7045)으로 커버된다.
- [0338] 보호 절연층(7045), 절연층(7042) 및 절연층(7041)에 형성되고, 드레인 전극층에 이르는 콘택트 홀이 격벽(7029)과 겹치도록 제공된다.
- [0339] 양면 사출 구조를 갖는 발광 소자가 사용되고 풀 컬러 표시가 표시면들 양자상에서 실시되는 경우에서, 제 2 전극(7025)측으로부터의 광은 컬러 필터층(7043)을 통과하지 않고, 따라서, 다른 컬러 필터층이 제공된 밀봉 기판이 제 2 전극(7025) 위에 제공되는 것이 바람직하다.
- [0340] 다음으로, 상면 사출 구조를 갖는 발광 소자가 도 12c를 참조하여 설명된다.
- [0341] 도 12c는 구동 TFT(7001)가 n-채널 TFT이고, 광이 발광 소자(7002)로부터 제 2 전극(7005)으로 발광되는 경우에서 화소의 단면도이다. 도 12c에서, 구동 TFT(7001)의 드레인 전극층에 전기적으로 접속된 배선층들(7008a 및 7008b)이 형성되고, 그 위에 평탄화 절연층(7056)이 형성된다. 배선층(7008b)은 평탄화 절연층(7056)에 형성된 개구에서 발광 소자(7002)의 제 1 전극(7003)과 접촉하고, 구동 TFT(7001) 및 발광 소자(7002)의 제 1 전극(7003)을 전기적으로 접속한다. 제 1 전극(7003) 위에 EL 층(7004) 및 제 2 전극(7005)이 이러한 순서로 적층된다.
- [0342] 또, 제 1 전극(7003)은 다양한 재료를 사용하여 형성될 수 있다. 예를 들어, 제 1 전극(7003)이 음극으로서 사용되는 경우에서, Li 또는 Cs와 같은 알칼리 금속, Mg, Ca, 또는 Sr과 같은 알칼리 토금속, 임의의 이들을 포함

하는 합금(Mg : Ag, Al : Li 등), 또는 Yb 또는 Er과 같은 희토류 금속과 같은 낮은 일함수를 가진 재료를 사용하는 것이 바람직하다.

- [0343] 제 1 전극(7003)의 주연부는 격벽(7009)으로 커버된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막, 또는 유기 폴리실록산을 사용하여 형성한다. 격벽(7009)은 특히, 감광성의 수지 재료를 사용하여 제 1 전극(7003) 위에 개구를 가져, 그 개구의 측벽이 연속한 곡률을 갖는 경사면이 되도록 형성되는 것이 바람직하다. 격벽(7009)으로서 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.
- [0344] 제 1 전극(7003) 및 격벽(7009) 위에 형성된 EL 층(7004)은 적어도 발광층을 포함할 수도 있고, 단층으로 형성되거나 복수의 층이 적층될 수도 있다. EL 층(7004)이 복수의 층으로서 형성될 때, EL 층(7004)은 음극으로서 기능하는 제 1 전극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층을 이러한 순서로 적층함으로써 형성될 수도 있다. 이들 층들 모두가 형성될 필요는 없다.
- [0345] 적층 순서는 상기에 한정되지 않고, 제 1 전극(7003)이 양극으로서 기능하는 경우에서, 제 1 전극(7003) 위에 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 순서로 적층될 수도 있다.
- [0346] 도 12c에서, Ti 막, 알루미늄막, 및 Ti 막이 이러한 순서로 적층된 적층막 위에, 홀 주입층, 홀 수송층, 발광층, 전자 수송층, 및 전자 주입층이 이러한 순서로 적층되고, 그 위에 Mg : Ag 합금 박막 및 ITO의 적층이 형성된다.
- [0347] 그러나, 구동 TFT(7001)가 n-채널 TFT인 경우에서, 제 1 전극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 및 홀 주입층이 이러한 순서로 적층되는 것이 바람직하고, 이것은 구동 회로에서의 전압 증가가 억제될 수 있고, 전력 소비가 감소될 수 있기 때문이다.
- [0348] 제 2 전극(7005)은 투광성 도전성 재료를 사용하여 형성되고, 예를 들어 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전성 도전막이 사용될 수 있다.
- [0349] 발광층을 포함하는 EL 층(7004)이 제 1 전극(7003)과 제 2 전극(7005) 사이에 샌드위치된 영역에 발광 소자(7002)가 대응한다. 도 12c에 예시된 소자 구조의 경우에서, 발광 소자(7002)로부터 발광된 광은 화살표로 나타낸 바와 같이 제 2 전극(7005)층으로부터 사출된다.
- [0350] 도 12c에서, TFT(7001)의 드레인 전극층은, 산화물 절연층(7051), 보호 절연층(7052), 평탄화 절연층(7056), 평탄화 절연층(7053), 및 절연층(7055)에 형성된 콘택트 홀을 통해 제 1 전극(7003)에 전기적으로 접속된다. 평탄화 절연층들(7036, 7046, 7053, 및 7056)은, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 수지 재료를 사용하여 형성된다. 이러한 수지 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 이들의 재료로 형성되는 복수의 절연막을 적층함으로써, 평탄화 절연층들(7036, 7046, 7053, 및 7056)이 형성될 수도 있다는 것에 유의한다. 평탄화 절연층들(7036, 7046, 7053, 및 7056)을 형성하는 방법은 특별히 한정되지 않고, 평탄화 절연층들(7036, 7046, 7053, 및 7056)은 그 재료에 의존하여, 스퍼터링법, 스핀 코팅법, 딥핑법, 스프레이 도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 롤 코팅법, 커튼 코팅법, 또는 나이프 코팅법과 같은 임의의 방법에 의해 형성될 수 있다.
- [0351] 제 1 전극(7003)과 이웃하는 화소의 제 1 전극을 절연하기 위해 격벽(7009)이 제공된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 또는 에폭시와 같은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(7009)은 특히, 감광성의 수지 재료를 사용하여 제 1 전극(7003) 위에 개구를 형성하여, 그 개구의 측벽이 연속한 곡률을 갖는 경사면으로서 형성되는 것이 바람직하다. 격벽(7009)에 대해 감광성 수지 재료가 사용되는 경우에서, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.
- [0352] 도 12c의 구조에서, 풀 컬러 표시가 실시되는 경우에서, 예를 들어, 발광 소자(7001)가 녹색 발광 소자로서 사용되고, 이웃하는 발광 소자들 중 하나가 적색 발광 소자로서 사용되며, 다른 하나가 청색 발광 소자로서 사용된다. 대안적으로, 3 종류의 발광 소자들 이외에 백색 소자를 포함하는 4 종류의 발광 소자들 사용하여 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제작될 수도 있다.
- [0353] 또한, 대안적으로, 도 12c의 구조에서, 배열되는 복수의 발광 소자 모두가 백색 발광 소자일 수도 있고, 컬러

필터 등을 갖는 밀봉 기판이 발광 소자(7002) 위에 배열될 수도 있어서, 풀 컬러 표시를 할 수 있는 발광 표시 장치가 제작될 수도 있다. 백색과 같은 단색을 나타내는 재료가 형성되고, 컬러 필터 또는 컬러 변환층과 조합됨으로써, 풀 컬러 표시가 실시될 수 있다.

- [0354] 실시형태 1에 기재된 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하는 단계 및 재료들은 각각 소스 전극층 및 드레인 전극층에 적용될 수 있다. 실시형태 1에 기재된 배선층들(417a 및 418a) 또는 배선층들(417b 및 418b)을 형성하는 단계 및 재료들은 임의의 배선층들(7018a 및 7018b), 배선층들(7028a 및 7028b), 및 배선층들(7008a 및 7008b)에 적용될 수 있다.
- [0355] 소스 전극층 및 드레인 전극층은, 0.1 nm 이상 50 nm 이하 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다. 따라서, 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.
- [0356] 물론, 단색 광의 표시가 실시될 수 있다. 예를 들어, 조명 시스템은 백색 발광을 사용하여 형성될 수도 있거나, 에어리어 컬러 발광 장치가 단색 발광을 사용하여 형성될 수도 있다.
- [0357] 필요하다면, 원형 편광판을 포함하는 편광 필름과 같은 광학 필름이 제공될 수도 있다.
- [0358] 이러한 실시형태에 유기 EL 소자가 발광 소자로서 설명되지만, 무기 EL 소자가 발광 소자로서 또한 제공될 수 있다.
- [0359] 발광 소자의 구동을 제어하는 박막 트랜지스터(구동 TFT)가 발광 소자에 전기적으로 접속되는 예가 설명되지만, 전류 제어를 위한 TFT가 구동 TFT와 발광 소자 사이에 접속될 수도 있다.
- [0360] 이러한 실시형태는 다른 실시형태들과 적절히 조합하여 구현될 수 있다.
- [0361] (실시형태 9)
- [0362] 실시형태 9에서, 발광 표시 패널(발광 패널로서 또한 칭함)의 외관 및 단면이 도 13a 및 도 13b를 참조하여 설명된다. 도 13a는 제 1 기판 위에 형성된 박막 트랜지스터 및 발광 소자가 제 1 기판과 제 2 기판 사이에 절제에 의해 밀봉되는 패널의 평면도이며, 도 13b는 도 13a의 H-I를 따른 단면도이다.
- [0363] 제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 절제(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 위에 제 2 기판(4506)이 제공된다. 따라서, 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은, 제 1 기판(4501), 절제(4505) 및 제 2 기판(4506)에 의해 충전재(4507)로 밀봉된다. 이러한 방식으로, 외부 공기에 패널이 노출되지 않도록 높은 기밀성 및 적은 탈가스성을 갖는 보호 필름(부착 필름, 자외선 경화 수지 필름 등) 또는 커버 재료로 패널이 패킹(봉입)되는 것이 바람직하다.
- [0364] 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 복수의 박막 트랜지스터를 각각 포함한다. 화소부(4502)에 포함되는 박막 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)가 도 13b에 예로서 예시된다.
- [0365] 실시형태 1 내지 7에 설명되는 산화물 반도체층을 포함하는 높은 신뢰성의 박막 트랜지스터가 화소에서 박막 트랜지스터(4510)로서 사용될 수 있다. 구동 회로에서의 박막 트랜지스터(4509)는 실시형태 1에 설명된 박막 트랜지스터의 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층이 제공되는 구조를 갖는다. 본 실시형태에서, 박막 트랜지스터들(4509 및 4510)은 n-채널 박막 트랜지스터들이다.
- [0366] 구동 회로에서의 박막 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4540)이 산화물 절연층(4542) 위에 제공된다. 도전층(4540)이 산화물 반도체층의 채널 형성 영역과 겹치도록 제공됨으로써, BT 시험에 의한 박막 트랜지스터(4509)의 임계 전압에서의 변화량이 감소될 수 있다. 도전층(4540)의 전위는 박막 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수도 있고, 도전층(4540)은 또한 제 2 게이트 전극층으로서 기능할 수 있다. 도전층(4540)의 전위는 GND 또는 0V일 수도 있거나, 도전층(4540)은 플로팅 상태에 있을 수도 있다.
- [0367] 박막 트랜지스터(4510)의 산화물 반도체층을 커버하는 산화물 절연층(4542)이 형성된다. 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층은 박막 트랜지스터 위에 제공되는 산화물 절연층(4542) 및 절연층(4551)

에 형성된 개구에서 배선층(4550)에 전기적으로 접속된다. 배선층(4550)은 제 1 전극(4517)과 접촉하여 형성되고, 박막 트랜지스터(4510)는 배선층(4550)을 통해 제 1 전극(4517)에 전기적으로 접속된다.

- [0368] 실시형태 1에 설명된 소스 전극층 또는 드레인 전극층을 형성하는 단계 및 재료들은 소스 전극층 및 드레인 전극층에 적용될 수 있다. 실시형태 1에 설명된 배선층들(417a 및 418a) 또는 배선층들(417b 및 418b)을 형성하는 단계 및 재료들은 배선층(4550)에 적용될 수 있다.
- [0369] 소스 전극층 및 드레인 전극층은 각각, 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다. 따라서, 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.
- [0370] 실시형태 1에 설명된 산화물 절연층(407)을 형성하는 단계 및 재료가 산화물 절연층(4542)에 적용될 수 있다.
- [0371] 발광 소자(4511)의 발광 영역과 겹치도록 컬러 필터층(4545)이 절연층(4551) 위에 형성된다.
- [0372] 또한, 컬러 필터층(4545)의 표면 요철을 감소시키기 위해, 컬러 필터층(4545)은 평탄화 절연막으로서 기능하는 오버코트층(4543)으로 커버된다.
- [0373] 또한, 절연층(4544)이 오버코트층(4543) 위에 형성된다. 절연층(4544)은 실시형태 1에 설명된 보호 절연층(408)을 형성하는 방식과 유사한 방식으로 형성될 수도 있고, 예를 들어, 질화 실리콘막이 스퍼터링법에 의해 형성될 수도 있다.
- [0374] 발광 소자(4511)에 포함된 화소 전극인 제 1 전극(4517)은 배선층(4550)을 통해 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)는 제 1 전극(4517), 전계 발광층(4512), 제 2 전극(4513)의 적층 구조를 갖지만, 구성에 대한 제한은 없다. 발광 소자(4511)의 구성은 광이 발광 소자(4511)로부터 추출되는 방향 등에 의존하여 적절히 변경될 수 있다.
- [0375] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 사용하여 형성된다. 격벽(4520)은 개구의 측벽이 연속 곡률을 갖는 경사면으로서 형성되도록 제 1 전극층(4517) 위에 개구를 갖도록 감광성의 재료를 사용하여 형성되는 것이 바람직하다.
- [0376] 전계 발광층(4512)은 단층 또는 적층된 복수의 층으로 형성될 수도 있다.
- [0377] 발광 소자(4511)로의 산소, 수소, 수분, 이산화탄소 등의 침입을 방지하기 위해, 제 2 전극층(4513) 및 격벽(4520) 위에 보호막이 형성될 수도 있다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC 막 등이 형성될 수 있다.
- [0378] 또한, 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4504b), 또는 화소부(4502)에 다양한 신호들 및 전위가 FPC들(4518a 및 4518b)로부터 공급된다.
- [0379] 접속 단자 전극(4515)이 발광 소자(4511)에 포함된 제 1 전극층(4517)과 동일한 도전막을 사용하여 형성되고, 단자 전극(4516)은 박막 트랜지스터(4509)에 포함된 소스 및 드레인 전극층들과 동일한 도전막을 사용하여 형성된다.
- [0380] 접속 단자 전극(4515)은 FPC(4518a)에 포함된 단자에 이방성 도전막(4519)을 통해 전기적으로 접속된다.
- [0381] 발광 소자(4511)로부터 광이 추출되는 방향에 위치한 제 2 기관은 투광성을 가질 필요가 있다. 이 경우에서, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료가 제 2 기관(4506)에 대해 사용된다.
- [0382] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 기체에 추가하여, 자외선 경화 수지 또는 열 경화 수지가 사용될 수 있다. 예를 들어, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral), 또는 EVA(ethylene vinyl acetate)가 사용될 수 있다. 예를 들어, 질소가 충전재로서 사용된다.
- [0383] 또한, 필요하면, 편광판, 또는 원형 편광판(타원 편광판을 포함함), 위상차 판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터와 같은 광학 필름이 발광 소자의 발광면 위에 적절하게 제공될 수도 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 제공될 수도 있다. 예를 들어, 표면상의 요철에 의해 반사광이 확산되어 글레어(glare)를 감소시키는 안티-글레어 처리가 실시될 수 있다.

- [0384] 개별적으로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로들로서, 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)이 실장될 수도 있다. 대안적으로, 신호선 구동 회로들 또는 그 일부만, 또는 주사선 구동 회로들 또는 그 일부만이 개별적으로 형성되고 실장될 수도 있다. 본 발명은 도 13a 및 도 13b에 예시된 구조에 한정되지 않는다.
- [0385] 상기 공정을 통해, 반도체 장치로서 높은 신뢰성의 발광 표시 장치(표시 패널)가 제작될 수 있다.
- [0386] 이러한 실시형태는 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0387] (실시형태 10)
- [0388] 반도체 장치의 일 실시형태인 액정 표시 패널의 외관 및 단면이 도 14a 내지 도 14c를 참조하여 설명된다. 도 14a 및 도 14b 각각은 박막 트랜지스터들(4010 및 4011) 및 액정 소자(4013)가 제 1 기판(4001)과 제 2 기판(4006) 사이에 셀재(4005)로 밀봉되는 패널의 평면도이다. 도 14b는, 도 14a 또는 도 14c의 선 M-N에 따른 단면도이다.
- [0389] 제 1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 셀재(4005)가 제공된다. 제 2 기판(4006)이 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 따라서, 화소부(4002) 및 주사선 구동 회로(4004)는 제 1 기판(4001), 셀재(4005) 및 제 2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉된다. 개별적으로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성되는 신호선 구동 회로(4003)가 제 1 기판(4001)상에서 셀재(4005)에 의해 둘러싸인 영역과는 상이한 영역에 실장된다.
- [0390] 개별적으로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등이 사용될 수 있다. 도 14a는, COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 예시하고, 도 14c는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 예시한다.
- [0391] 제 1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004) 각각은 복수의 박막 트랜지스터를 포함한다. 도 14b는 일례로서, 화소부(4002)에 포함되는 박막 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터들(4010 및 4011)상에, 절연층들(4041, 4042, 4020, 및 4021)이 제공된다.
- [0392] 구동 회로에 포함된 박막 트랜지스터(4011) 및 화소에 포함된 박막 트랜지스터(4010)로서, 실시형태 1 내지 7에 설명된 산화물 반도체층을 포함하는 높은 신뢰성의 박막 트랜지스터들이 이용될 수 있다. 본 실시형태에서, 박막 트랜지스터들(4010 및 4011)은 n-채널 박막 트랜지스터들이다.
- [0393] 구동 회로에서의 박막 트랜지스터(4011)의 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4040)이 절연층(4021) 위에 제공된다. 산화물 반도체층의 채널 형성 영역과 겹치도록 도전층(4040)이 제공됨으로써, BT 시험에 의한 박막 트랜지스터(4011)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4040)의 전위는 박막 트랜지스터(4011)의 게이트 전극층의 전위와 동일하거나 상이할 수도 있고, 도전층(4040)은 또한 제 2 게이트 전극층으로서 기능할 수도 있다. 도전층(4040)의 전위는 GND 또는 0V일 수도 있거나, 도전층(4040)은 플로팅 상태에 있을 수도 있다.
- [0394] 또한, 액정 소자(4013)의 화소 전극층(4030)은 박막 트랜지스터(4010)의 소스 전극층 또는 드레인 전극층에 배선층(4050)을 통해 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)이 제 2 기판(4006)에 대해 제공된다. 화소 전극층(4030), 대향 전극층(4031), 및 액정 층(4008)이 서로 겹치는 부분이 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는 각각 배향막으로서 기능하는 절연층(4032) 및 절연층(4033)이 제공되고, 절연층들(4032 및 4033)이 그 사이에 개재되어 액정층(4008)이 화소 전극층(4030)과 대향 전극층(4031) 사이에 샌드위치된다.
- [0395] 투광성 기판이 제 1 기판(4001) 및 제 2 기판(4006)으로서 사용될 수 있고, 유리, 세라믹스, 또는 플라스틱이 사용될 수 있다. 플라스틱으로서, FRP(fiberglass-reinforced plastics) 판, PVF(폴리 비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름이 사용될 수 있다.
- [0396] 참조 부호 4035는 절연막을 선택적으로 예칭함으로써 획득된 기둥형 스페이서를 나타내며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 대안적으로, 구상의 스페이서가 사용될 수도 있다. 또한, 대향 전극층(4031)은 박막 트랜지스터(4010)와 동일한 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 사용하여, 대향 전극층(4031) 및 공통 전위선은 한 쌍의 기판들 사이에 배열된 도전성

입자들에 의해 서로 전기적으로 접속될 수 있다. 도전성 입자들은 셀재(4005)에 포함된다.

- [0397] 대안적으로, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정이 사용될 수도 있다. 블루상은 콜레스테릭 액정의 온도가 증가되는 동안, 콜레스테릭 상이 등방성 상으로 변화하기 직전에 발생하는 액정상들 중 하나이다. 블루상은 단지 좁은 온도 범위에서 발생되기 때문에, 온도 범위를 개선하기 위해 5 중량% 이상의 키랄제(chiral agent)를 함유하는 액정 조성물이 액정층(4008)에 사용된다. 블루상을 나타내는 액정 및 키랄제를 포함하는 액정 조성물은 1msec 이하의 짧은 응답 시간을 갖고, 배향 처리를 불필요하게 만드는 광학적 등방성을 갖고, 작은 시야각 의존성을 갖는다.
- [0398] 본 발명은 또한 투과형 액정 표시 장치 뿐만 아니라 반투과형 액정 표시 장치에 적용될 수 있다.
- [0399] 편광판이 기관의 외표면(시인측)에 제공되고, 착색층 및 표시 소자에 대해 사용된 전극층이 기관의 내표면상에 제공되지만, 편광판이 기관의 내표면상에 제공될 수도 있는 액정 표시 장치의 예가 설명된다. 편광판 및 착색층의 적층 구조는 이러한 실시형태에 한정되지 않고, 편광판 및 착색층의 재료 또는 제작 공정의 조건에 의존하여 적절히 설정될 수도 있다. 또한, 블랙 매트릭스로서 기능하는 차광막이 표시부 이외에 제공될 수도 있다.
- [0400] 박막 트랜지스터(4011 및 4010)의 각 산화물 반도체층과 접촉하도록 절연층(4041)이 형성된다. 실시형태 1에 설명된 절연층(407)을 형성하는 재료 및 방법은 절연층(4041)에 적용될 수 있다. 본 실시형태에서, 산화 실리콘막이 실시형태 1을 사용하여 스퍼터링법에 의해 절연층(4041)으로서 형성된다. 보호 절연층(4042)이 절연층(4041)상에 접촉하여 형성된다. 보호 절연층(4042)은 실시형태 1에서 설명된 보호 절연층(408)을 형성하는 방식과 유사한 방식으로 형성될 수 있고, 예를 들어, 질화 실리콘막이 사용될 수 있다. 또한, 박막 트랜지스터의 표면 요철을 감소시키기 위해, 보호 절연층(4042)은 평탄화 절연막으로서 기능하는 절연층(4021)으로 커버된다.
- [0401] 절연층(4021)은 평탄화 절연막으로서 형성된다. 절연층(4021)으로서, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 또는 에폭시와 같은 내열성을 갖는 유기 재료가 사용될 수 있다. 이러한 유기 재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 사용할 수 있다. 절연층(4021)은 이들의 재료를 사용하여 형성되는 복수의 절연막을 적층함으로써 형성될 수도 있다.
- [0402] 절연층(4021)을 형성하는 방법은 특별히 한정되지 않고, 절연층(4021)은 그 재료에 의존하여, 스퍼터링법, 스핀 코팅법, 딥핑법, 스프레이 도포법, 액적 토출법(예를 들어, 잉크젯법, 스크린 인쇄, 오프셋 인쇄), 롤 코팅법, 커튼 코팅법, 나이프 코팅법 등에 의해 형성될 수 있다. 절연층(4021)의 소성 단계가 반도체층의 어닐링으로서 기능함으로써, 반도체 장치가 효율적으로 제작될 수 있다.
- [0403] 화소 전극층(4030) 및 대향 전극층(4031) 각각은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 칭함), 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전성 재료를 사용하여 형성될 수 있다.
- [0404] 화소 전극층(4030) 및 대향 전극층(4031)을 형성하기 위해 도전성 고분자(도전성 폴리머로 또한 칭함)를 포함하는 도전성 조성물이 사용될 수 있다. 도전성 조성물을 사용하여 형성된 화소 전극은 10000 Ω/□ 이하의 시트 저항 및 550 nm의 파장에서 70% 이상의 투광율을 갖는 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.
- [0405] 도전성 고분자로서, 소위 π-전자 공액계 도전성 고분자가 사용될 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 이들 중 2개 이상의 종류의 공중합체가 제공될 수 있다.
- [0406] 다양한 신호들 및 전위들이 개별적으로 형성된 신호선 구동 회로(4003), 주사선 구동 회로(4004), 및 화소부(4002)에 FPC(4018)를 통해 공급된다.
- [0407] 접속 단자 전극(4015)이 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 사용하여 형성되고, 단자 전극(4016)은 박막 트랜지스터들(4010 및 4011)의 소스 및 드레인 전극층들과 동일한 도전막을 사용하여 형성된다.
- [0408] 접속 단자 전극(4015)은 FPC(4018)에 포함된 단자에 이방성 도전막(4019)을 통해 전기적으로 접속된다.
- [0409] 도 14a 내지 도 14c는, 신호선 구동 회로(4003)가 제 1 기관(4001)상에 개별적으로 형성되어 실장되는 예를 예

시하지만, 본 발명은 이러한 구조에 한정되지 않는다. 주사선 구동 회로는 개별적으로 형성되어 그 후 실장될 수도 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 개별적으로 형성되어 그 후, 실장될 수도 있다.

- [0410] 액정 표시 모듈에 대해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등이 사용될 수 있다.
- [0411] 또한, VA 액정 표시 장치의 일례가 이하에 설명된다.
- [0412] VA 액정 표시 장치 액정 표시 패널의 액정 분자의 정렬이 제어되는 형태의 종류를 갖는다. VA 액정 표시 장치에서, 액정 분자는 전압이 인가되지 않을 때 패널 면에 대해 수직 방향으로 정렬된다. 본 실시형태에서, 특히, 화소가 몇 개의 영역(서브픽셀)으로 분할되고, 분자들이 그들의 각각의 영역에서 상이한 방향으로 정렬된다. 이것을 멀티 도메인 또는 멀티 도메인 설계로 칭한다. 이하, 멀티 도메인 설계의 액정 표시 장치가 설명된다.
- [0413] 도 15 및 도 16 각각은 VA 액정 표시 패널의 화소 구조를 도시한다. 도 16은 기관(600)의 평면도이다. 도 15는 도 16에서 선 Y-Z를 따른 단면 구조를 도시한다. 이하의 설명은 이 양자의 도면을 참조하여 제공된다.
- [0414] 이러한 화소 구조에서, 복수의 화소 전극이 하나의 화소에 제공되고, TFT가 각 화소 전극에 접속된다. 복수의 TFT는 상이한 게이트 신호에 의해 구동되도록 구성된다. 즉, 멀티 도메인 화소들에서 개별 화소 전극들에 인가되는 신호들은 서로 독립적으로 제어된다.
- [0415] 화소 전극층(624)이 콘택트 홀들(623 및 660)에서 배선(662)을 통해 TFT(628)의 소스 또는 드레인 전극층(618)에 접속된다. 또한, 화소 전극층(626)은 절연층(620) 및 절연층(620)을 커버하기 위해 제공된 절연층(622)에 형성된 콘택트 홀들(627 및 661)에서 배선(663)을 통해 TFT(629)의 소스 또는 드레인 전극층(619)에 접속된다. TFT(628)의 게이트 배선(602)은 상이한 게이트 신호들이 공급되도록 TFT(629)의 게이트 배선(603)과 분리된다. 한편, 데이터선으로서 기능하는 소스 또는 드레인 전극층(619)은 TFT들(628 및 629)에 의해 공유된다. TFT들(628 및 629) 각각으로서, 실시형태 1 내지 7에 설명된 임의의 박막 트랜지스터들이 적절히 사용될 수 있다.
- [0416] 실시형태 1에 설명된 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하는 단계 및 재료들은 소스 또는 드레인 전극층들(616, 618 및 619)에 적용될 수 있다. 실시형태 1에 설명된 배선층들(417a 및 418a) 또는 배선층들(417b 및 418b)을 형성하는 단계 및 재료들은 임의의 배선층들(662 및 663)에 적용될 수 있다.
- [0417] 소스 전극층 및 드레인 전극층 각각은 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각은 얇은 도전막이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다. 따라서, 산화물 반도체층을 사용하는 박막 트랜지스터를 포함하는 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.
- [0418] 또한, 용량 배선(690)이 제공되고, 게이트 절연층(606)이 그 위에 적층되고, 이것은 화소 전극 또는 화소 전극에 전기적으로 접속되는 용량 전극을 사용하는 저장 용량에서 유전체로서 사용된다.
- [0419] 화소 전극층(624)의 형상은 화소 전극층(626)의 형상과 상이하고, 화소 전극층들은 슬릿(625)에 의해 분리된다. 화소 전극층(626)은 V 형상을 갖는 화소 전극층(624)을 둘러싸도록 형성된다. 화소 전극층들(624 및 626)에 대한 전압 인가의 타이밍은 TFT들(628 및 629)에 의해 상이하도록 이루어져서, 액정의 배향이 제어된다. 도 18은 이러한 화소 구성의 등가 회로를 도시한다. TFT(628)는 게이트 배선(602)에 접속되고, TFT(629)는 게이트 배선(603)에 접속된다. 게이트 배선들(602 및 603)에 상이한 게이트 신호들을 공급함으로써, TFT들(628 및 629)의 동작 타이밍이 상이할 수 있다.
- [0420] 대향 기관(601)에는, 차광막(632), 제 2 착색막(636), 및 대향 전극층(640)이 제공된다. 제 2 착색막(636)과 대향 전극층(640) 사이에는, 오버코트막이라고도 불리는 평탄화막(637)이 형성되어 액정의 배향 혼란을 방지한다. 도 17은 대향 기관층의 구조를 도시한다. 대향 전극층(640)은 복수의 화소에 의해 공유되고 슬릿들(641)이 제공된 전극이다. 슬릿(641) 및 화소 전극층들(624 및 626)측상의 슬릿(625)이 맞물림 방식으로 교대로 배열되어서, 기울기 전계가 효과적으로 발생되고, 액정의 배향이 제어될 수 있다. 따라서, 액정의 배향이 위치에 의존하여 변화될 수 있어서, 시야각이 넓어진다.
- [0421] 또한, 화소 전극층(624), 액정층(650) 및 대향 전극층(640)은 서로 겹쳐서, 제 1 액정 소자가 형성된다. 또한,

화소 전극층(626), 액정층(650) 및 대향 전극층(640)이 서로 겹쳐서 제 2 액정 소자가 형성된다. 또한, 제 1 액정 소자 및 제 2 액정 소자가 하나의 화소에 대해 제공되는 멀티-도메인 구조가 이용된다.

- [0422] 이러한 실시형태는 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0423] (실시형태 11)
- [0424] 실시형태 11에서, 본 발명의 일 실시형태의 반도체 장치로서 전자 페이퍼의 예가 설명된다.
- [0425] 도 19는 본 발명의 실시형태가 적용되는 반도체 장치의 일례로서 액티브 매트릭스 전자 페이퍼를 예시한다. 반도체 장치에 사용되는 박막 트랜지스터(581)로서, 실시형태 1 내지 7 중 어느 하나에 설명된 박막 트랜지스터가 적절하게 사용될 수 있다.
- [0426] 도 19의 전자 페이퍼는 트위스트 볼(twisting ball) 표시 시스템을 사용하는 표시 장치의 예이다. 트위스트 볼 표시 시스템은, 흑색과 백색으로 각각 채색된 구형 입자들이 표시 소자에 대해 사용된 전극층들인 제 1 전극층과 제 2 전극층 사이에 배치되고, 구형 입자들의 배향을 제어하기 위해 제 1 전극층과 제 2 전극층의 사이에 전위차가 생성되어, 표시가 실시되는 방법을 칭한다.
- [0427] 기판(580) 위에 제공된 박막 트랜지스터(581)는 보텀 게이트 박막 트랜지스터이고, 그것의 소스 또는 드레인 전극층이 산화물 절연층(583) 및 보호 절연층(584)에 형성된 개구에서 배선층들(589a 및 589b)에 전기적으로 접속된다. 배선층(589b)은 그 배선층(589b) 위에 제공된 절연층(585)에 형성된 개구에서 제 1 전극층(587)과 접촉하여 제공된다. 박막 트랜지스터(581)는 배선층들(589a 및 589b)을 통해 제 1 전극층(587)에 전기적으로 접속된다.
- [0428] 실시형태 1에 설명된 소스 전극층(415a) 및 드레인 전극층(415b)을 형성하는 단계 및 재료들은 소스 또는 드레인 전극층에 적용될 수 있다. 실시형태 1에 설명된 배선층들(417a 및 418a) 또는 배선층들(417b 및 418b)을 형성하는 단계 및 재료들은 임의의 배선층들(589a 및 589b)에 적용될 수 있다.
- [0429] 소스 전극층 및 드레인 전극층 각각은 0.1 nm 이상 50 nm 이하의 두께 만큼 얇은 것이 바람직하고, 배선층보다 얇은 막이 사용된다. 소스 및 드레인 전극층들 각각이 얇은 도전막들이기 때문에, 게이트 전극층과 형성된 기생 용량이 감소될 수 있다. 따라서, 산화물 반도체 장치를 사용하는 박막 트랜지스터를 포함하는 낮은 전력 소비를 갖는 반도체 장치가 제공될 수 있다.
- [0430] 제 1 전극층(587)과 제 2 전극층(588) 사이에 구형 입자들(589)이 제공된다. 구형 입자들 각각은 흑색 영역(590a), 백색 영역(590b), 및 그 흑색 영역(590a)과 백색 영역(590b) 주위에 액체로 채워진 캐비티(594)를 포함한다. 구형 입자(589)의 주위는 수지와 같은 충전재(595)로 충전된다(도 19 참조). 본 실시형태에서, 제 1 전극층(587)이 화소 전극에 대응하고, 대향 전극(596)에 대해 제공된 제 2 전극층(588)은 공통 전극에 대응한다.
- [0431] 또한, 트위스트 볼 대신에, 전기영동 소자가 또한 사용될 수 있다. 투명한 액체, 양으로(positively) 대전된 백색 미립자 및 음으로(negatively) 대전된 흑색 미립자가 봉입된 대략 10 μ m 이상 200 μ m 이하의 직경을 갖는 마이크로캡슐이 사용된다. 제 1 전극층과 제 2 전극층 사이에 제공된 마이크로캡슐에서, 제 1 전극층과 제 2 전극층에 의해 전기장이 인가될 때, 백색 미립자와 흑색 미립자가 반대로 방향으로 이동하여, 백색 또는 흑색이 표시될 수 있다. 이 원리를 사용한 표시 소자가 전기영동 표시 소자이며, 일반적으로 전자 페이퍼라고 칭한다. 전기영동 표시 소자는, 액정 표시 소자보다 높은 반사율을 가져서, 보조 라이트가 불필요하고, 전력 소비가 낮고, 어스푸레한 장소에서 표시부가 인식될 수 있다. 또한, 표시부에 전력이 공급되지 않을 때에도, 한 번 표시된 이미지가 유지될 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(표시 장치 또는 표시 장치를 구비하는 반도체 장치라고도 칭함)가 전과 소스로부터 멀리 떨어져 있어도, 표시된 이미지가 저장될 수 있다.
- [0432] 이러한 공정을 통해, 반도체 장치로서 매우 신뢰가능한 전자 페이퍼가 제작될 수 있다.
- [0433] 이러한 실시형태는 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0434] (실시형태 12)
- [0435] 본 명세서에 개시되는 반도체 장치는 다양한 전자기기(오락기를 포함)에 적용될 수 있다. 전자기기들의 예들은, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기로 또한 칭함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치로 또한 칭함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코 머신과 같은 대형 게임기 등이 있다.

- [0436] 도 20a는, 휴대 전화기(1100)의 일례를 예시한다. 휴대 전화기(1100)는 하우징(1101)에 내장된 표시부(1102), 조작 버튼(1103), 외부 접속 포트(1104), 스피커(1105), 마이크로폰(1106) 등을 구비하고 있다.
- [0437] 도 20a에 예시된 휴대전화기(1100)의 표시부(1102)는 손가락 등으로 터치되어, 이에 의해 정보가 휴대 전화기(1100)에 입력될 수 있다. 또한, 전화를 걸거나 메일을 작성하는 것과 같은 조작은 표시부(1102)를 손가락 등으로 터치함으로써 실시될 수 있다.
- [0438] 주로, 표시부(1102)의 3개의 화면 모드가 있다. 제 1 모드는 주로 이미지들을 표시하는 표시 모드이다. 제 2 모드는 주로 텍스트와 같은 데이터를 입력하는 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 조합된 표시-입력 모드이다.
- [0439] 예를 들어, 전화를 걸거나 메일을 작성하는 경우에서, 텍스트를 주로 입력하는 텍스트 입력 모드가 표시부(1102)에 대해 선택되어, 화면 위에 표시된 텍스트가 입력될 수 있다. 이 경우에서, 표시부(1102)의 화면의 거의 대부분의 영역 위에 키보드 또는 번호 버튼을 표시하는 것이 바람직하다.
- [0440] 자이로스코프 또는 가속도 센서와 같은 경사를 검출하는 센서를 포함하는 검출 장치가 휴대 전화기(1100)내에 제공될 때, 표시부(1102)의 화면 위의 표시는 휴대 전화기(1100)의 방향(휴대 전화기(1100)가 풍경 모드 또는 인물 모드에 대해 수평적으로 또는 수직적으로 배치되는지)을 결정함으로써 자동으로 전환될 수 있다.
- [0441] 화면 모드들은 표시부(1102)를 터치하거나 하우징(1101)의 조작 버튼(1103)을 조작함으로써 전환된다. 대안적으로, 화면 모드들은 표시부(1102)상에 표시된 화상의 종류에 의존하여 전환될 수도 있다. 예를 들어, 표시부상에 표시된 화상의 신호가 동영상 데이터의 신호일 때, 화면 모드는 표시 모드로 전환되고, 신호가 텍스트 데이터의 신호일 때, 화면 모드는 입력 모드로 전환된다.
- [0442] 또한, 입력 모드에서, 표시부(1102)의 광 센서에 의해 검출된 신호가 검출되는 동안, 표시부(1102)의 터치에 의한 입력이 일정 기간 동안 실시되지 않을 때, 화면 모드는 입력 모드로부터 표시 모드로 전환되도록 제어될 수도 있다.
- [0443] 표시부(1102)는 이미지 센서로서 또한 기능할 수도 있다. 예를 들어, 표시부(1102)가 손바닥 또는 손가락으로 터치될 때, 장문, 지문 등이 활상됨으로써, 개인 식별이 실시될 수 있다. 또한, 표시부에서 근적외광을 발광하는 백라이트 또는 감지 광원을 제공함으로써, 손가락 정맥, 손바닥 정맥 등이 활상될 수 있다.
- [0444] 표시부(1102)에서, 실시형태 1에 설명된 복수의 박막 트랜지스터가 화소들의 스위칭 소자들로서 제공된다.
- [0445] 도 20b는 휴대 전화기의 다른 예를 예시한다. 그 예가 도 20b에 예시된 휴대형 정보 단말기는 복수의 기능을 가질 수 있다. 예를 들어, 전화 기능에 부가하여, 이러한 휴대형 정보 단말기는 컴퓨터를 내장함으로써 다양한 데이터를 처리하는 기능을 가질 수 있다.
- [0446] 도 20b에 예시된 휴대형 정보 단말기는, 하우징(1800) 및 하우징(1801)을 포함한다. 하우징(1800)에는, 표시 패널(1802), 스피커(1803), 마이크로폰(1804), 포인팅 장치(1806), 카메라용 렌즈(1807), 외부 접속 단자(1808) 등이 제공된다. 하우징(1801)에는, 키보드(1810), 외부 메모리 슬롯(1811) 등이 제공된다. 또한, 안테나가 하우징(1801)에 내장된다.
- [0447] 표시 패널(1802)에는 터치 패널이 제공된다. 이미지들로서 표시된 복수의 조작 키(1805)가 도 20b에 점선들로 예시된다.
- [0448] 또한, 상기 구성에 부가하여, 비접촉 IC 칩, 소형 메모리 장치 등이 내장될 수도 있다.
- [0449] 본 발명의 발광 장치는, 표시 패널(1802)에 대해 사용될 수 있고, 표시의 방향은 애플리케이션 모드에 의존하여 적절하게 변화된다. 또한, 표시 장치에는 표시 패널(1802)과 동일 표면에 카메라 렌즈(1807)가 제공되어 화상 전화를 가능하게 한다. 스피커(1803) 및 마이크로폰(1804)은 음성 통화 뿐만 아니라 화상 전화, 녹음, 재생 등을 위해 사용될 수 있다. 또한, 도 20b에 예시된 바와 같이 전개되는 상태에서 하우징들(1800 및 1801)은 슬라이딩될 수 있어서, 하나가 다른 하나 위에 겹쳐지고, 따라서, 휴대용 정보 단말기의 크기가 감소될 수 있고, 이것은 휴대용 정보 단말기를 휴대하는데 적합하게 한다.
- [0450] 외부 접속 단자(1808)는 AC 어댑터 및 USB 케이블과 같은 다양한 타입의 케이블에 접속될 수 있고, 이것은 충전 및 퍼스널 컴퓨터 등과의 데이터 통신을 가능하게 한다. 또한, 기록 매체가 외부 메모리 슬롯(1811) 삽입될 수 있어서, 대량의 데이터가 저장될 수 있고 이동될 수 있다.

- [0451] 또한, 상기 기능에 부가하여, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수도 있다.
- [0452] 도 21a는 텔레비전 세트(9600)의 일례를 예시한다. 텔레비전 세트(9600)에서, 표시부(9603)가 하우징(9601)에 내장된다. 표시부(9603)는 이미지들을 표시할 수 있다. 본 실시형태에서, 하우징(9601)이 스탠드(9605)에 의해 지지된다.
- [0453] 텔레비전 세트(9600)는 하우징(9601)의 조작 스위치 또는 별개의 원격 제어기(9610)에 의해 조작될 수 있다. 원격 제어기(9610)에 대해 제공된 조작 키(9609)에 의해 채널들 및 음량이 제어될 수 있어서 표시부(9603)상에 표시되는 화상이 제어될 수 있다. 또한, 원격 제어기(9610)에는, 원격 제어기(9610)로부터 출력된 정보를 표시하는 표시부(9607)가 제공될 수도 있다.
- [0454] 텔레비전 세트(9600)에는, 수신기, 모뎀 등이 제공된다는 것에 유의한다. 수신기를 사용하여, 일반의 텔레비전 방송이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신자로부터 수신자로) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자들 사이) 정보 통신이 실시될 수 있다.
- [0455] 표시부(9603)에서, 실시형태 1에 설명된 복수의 박막 트랜지스터가 화소들의 스위칭 소자로서 제공된다.
- [0456] 도 21b는 디지털 포토 프레임의 일례를 예시한다. 예를 들어, 디지털 포토 프레임(9700)에서, 표시부(9703)가 하우징(9701)에 내장된다. 표시부(9703)는 다양한 화상을 표시할 수 있다. 예를 들어, 표시부(9703)는 디지털 카메라 등으로 촬영한 화상 데이터를 표시할 수 있고, 통상적인 포토 프레임으로서 기능할 수 있다.
- [0457] 표시부(9703)에서, 실시형태 1에 설명된 복수의 박막 트랜지스터가 화소들의 스위칭 소자들로서 제공된다.
- [0458] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속 단자(USB 단자, USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 제공된다는 것에 유의한다. 이들 컴포넌트가, 표시부가 제공되는 면상에 제공될 수도 있지만, 디지털 포토 프레임(9700)의 디자인성을 위해 측면 또는 이면상에 이들을 제공하는 것이 바람직하다. 예를 들어, 디지털 카메라로 촬영된 화상의 데이터를 저장하는 메모리가 디지털 포토 프레임의 기록 매체 삽입부에 삽입되어, 화상 데이터가 전송될 수 있고, 그 후, 표시부(9703)상에 표시될 수 있다.
- [0459] 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신하도록 구성될 수도 있다. 원하는 화상 데이터가 표시되도록 무선으로 전송되는 구성이 이용될 수도 있다.
- [0460] 도 22는 2개의 하우징들을 포함하는 휴대용 오락기이며, 하우징(9881) 및 하우징(9891)은 이들이 접힐 수 있는 연결부(9893)에 의해 연결된다. 표시부(9882) 및 표시부(9883)가 하우징(9881) 및 하우징(9891)에 각각 내장된다.
- [0461] 표시부(9883)에서, 실시형태 1에 설명된 복수의 박막 트랜지스터가 화소들의 스위칭 소자들로서 제공된다.
- [0462] 또한, 도 22에 예시된 휴대용 오락기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기, 또는 적외선을 측정하는 기능을 가짐), 및 마이크로폰(9889) 등을 포함한다. 물론, 휴대용 오락기의 구성은 상기에 한정되지 않고, 적어도 본 명세서에 개시된 박막 트랜지스터가 제공된 다른 구성들이 이용될 수 있다. 휴대용 오락기는 다른 부속설비를 적절하게 포함할 수도 있다. 도 22에 예시된 휴대용 오락기는, 기록 매체에 저장된 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능, 및 다른 휴대용 오락기와 무선 통신에 의해 정보를 공유하는 기능을 갖는다. 도 22에 예시된 휴대용 오락기의 기능은 상술한 바에 한정되지 않고, 다양한 기능들이 제공될 수 있다.
- [0463] 도 24는, 상기 실시형태에 따라 형성된 발광 장치가 실내의 조명 장치(3001)로서 사용되는 일례이다. 실시형태 4 또는 5에 설명된 발광 장치가 면적이 증가될 수도 있기 때문에, 발광 장치는 큰 면적을 갖는 조명 장치로서 사용될 수 있다. 또한, 상기 실시형태에 예시된 발광 장치는 탁상 램프(3000)로서 사용될 수 있다. 조명 기구가 천정 조명기구, 탁상 램프, 벽걸이형 조명기구, 차량 실내 조명, 유도등 등을 포함한다는 것에 유의한다.
- [0464] 상술한 바와 같이, 실시형태 1 내지 7 중 어느 하나에 설명된 박막 트랜지스터는 이러한 다양한 전자기기의 표시 패널들에 제공될 수 있다. 표시 패널의 스위칭 소자로서 박막 트랜지스터를 사용함으로써 높은 신뢰성의 전자기기가 제공될 수 있다.

- [0465] (실시형태 13)
- [0466] 본 명세서에 개시하는 반도체 장치는 전자 페이퍼로서 적용될 수 있다. 전자 페이퍼는, 데이터를 표시할 수 있는 한 다양한 분야의 전자 기기에 대해 사용될 수 있다. 예를 들어, 전자 페이퍼가 전자서적(e-book reader)(전자 책), 포스터, 기차와 같은 차량에서의 광고, 또는 크레딧 카드와 같은 다양한 카드들의 표시들에 적용될 수 있다. 전자 기기의 일례가 도 23에 예시된다.
- [0467] 도 23은 전자서적(2700)을 예시한다. 예를 들어, 전자서적(2700)은 2개의 하우징들(하우징(2701) 및 하우징(2703))을 포함한다. 하우징(2701) 및 하우징(2703)은 힌지(2711)와 결합되어, 전자서적(2700)은 축으로서 힌지(2711)로 개폐될 수 있다. 이러한 구조에 의해, 전자서적(2700)은 종이 서적과 같이 동작할 수 있다.
- [0468] 표시부(2705) 및 표시부(2707)가 하우징(2701) 및 하우징(2703)에 각각 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 다른 화상들을 표시할 수도 있다. 표시부들이 서로 상이한 화상들을 표시하는 구성에서, 예를 들어, 우측 표시부(도 23에서 표시부(2705))는 텍스트를 표시할 수 있고, 좌측 표시부(도 23에서 표시부(2707))는 화상을 표시할 수 있다.
- [0469] 도 23은 하우징(2701)에 조작부 등이 제공되는 예를 예시한다. 예를 들어, 하우징(2701)에는, 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공된다. 조작 키(2723)로, 페이지가 넘겨질 수 있다. 키보드, 포인팅 장치 등이 또한 표시부가 제공되는 하우징의 표면에 제공될 수도 있다는 것에 유의한다. 또한, 외부 접속 단자(이어폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 하우징의 이면 또는 측면상에 제공될 수도 있다. 또한, 전자서적(2700)은 전자 사전과 같은 기능을 가질 수도 있다.
- [0470] 전자서적(2700)은 무선으로 데이터를 송수신할 수 있는 구성을 가질 수도 있다. 무선 통신을 통해, 원하는 서적 데이터 등이 전자 서적 서버로부터 구매되고 다운로드될 수 있다.
- [0471] 이러한 실시형태는 다른 실시형태와 적절히 조합하여 구현될 수 있다.
- [0472] 본 출원은 그 전체 내용이 참조로 여기에 통합되는 2009년 9월 16일자로 일본 특허청에 출원된 일본 특허 출원 제2009-214485호에 기초한다.

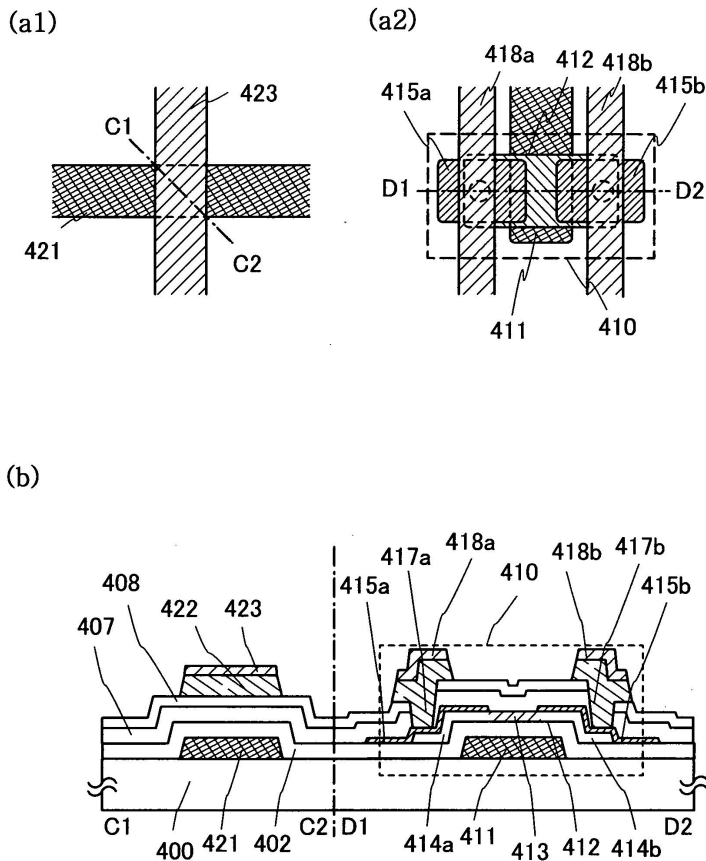
부호의 설명

- [0473] 81 : 다계조 마스크, 81a : 그레이-톤 마스크, 81b : 하프-톤 마스크, 83 : 투광성 기관, 84 : 차광부, 85 : 회절 격자, 86 : 광 투과율, 87 : 반투광부, 88 : 차광부, 89 : 광 투과율, 400 : 기관, 402 : 게이트 절연층, 403 : 보호 절연층, 407 : 산화물 절연층, 408 : 보호 절연층, 409 : 평탄화 절연층, 410 : 박막 트랜지스터, 411 : 게이트 전극층, 412 : 산화물 반도체층, 413 : 채널 형성 영역, 421 : 게이트 배선층, 422 : 소스 배선층, 423 : 소스 배선층, 427 : 화소 전극층, 430 : 박막 트랜지스터, 431 : 게이트 전극층, 432 : 산화물 반도체층, 433 : 채널 형성 영역, 437 : 배선층, 438 : 배선층, 440 : 산화물 반도체막, 441 : 산화물 반도체층, 450 : 박막 트랜지스터, 451 : 게이트 전극층, 452 : 산화물 반도체층, 453 : 채널 형성 영역, 456 : 산화물 절연층, 459 : 산화물 절연층, 460 : 레지스트 마스크, 461 : 산화물 반도체층, 462 : 금속 도전층, 465 : 산화물 반도체막, 466 : 금속 도전막, 469 : 박막 트랜지스터, 471 : 게이트 전극층, 472 : 산화물 반도체층, 480 : 박막 트랜지스터, 481 : 게이트 전극층, 483 : 채널 형성 영역, 484a : 고저항 소스 영역, 484b : 고저항 드레인 영역, 485a : 소스 전극층, 485b : 드레인 전극층, 487a : 배선층, 487b : 배선층, 488a : 배선층, 488b : 배선층, 492a : 게이트 절연층, 492b : 게이트 절연층, 497a : 산화물 절연층, 497b : 산화물 절연층, 498 : 보호 절연층, 580 : 기관, 581 : 박막 트랜지스터, 583 : 산화물 절연층, 584 : 보호 절연층, 585 : 절연층, 587 : 제 1 전극층, 588 : 제 2 전극층, 589a : 배선층, 589b : 배선층, 590a : 흑색 영역, 590b : 백색 영역, 594 : 캐비티, 595 : 충전재, 596 : 대향 기관, 600 : 기관, 601 : 대향 기관, 602 : 게이트 배선, 603 : 게이트 배선, 606 : 게이트 절연층, 616 : 드레인 전극층, 618 : 드레인 전극층, 619 : 드레인 전극층, 620 : 절연층, 622 : 절연층, 623 : 콘택트 홀, 624 : 화소 전극층, 625 : 슬릿, 626 : 화소 전극층, 627 : 콘택트 홀, 628 : TFT, 629 : TFT, 632 : 차광막, 636 : 착색막, 637 : 평탄화막, 640 : 대향 전극층, 641 : 슬릿, 650 : 액정층, 660 : 콘택트 홀, 661 : 콘택트 홀, 662 : 배선층, 663 : 배선층, 690 : 용량 배선, 1100 : 휴대 전화기, 1101 : 하우징, 1102 : 표시부, 1103 : 조작 버튼, 1104 : 외부 접속 포트, 1105 : 스피커, 1106 : 마이크로폰, 1800 : 하우징, 1801 : 하우징, 1802 : 표시 패널, 1803 : 스피커, 1804 : 마이크로폰, 1805 : 조작 키, 1806 : 포인팅 장치, 1807 : 카메라 렌즈, 1808 : 외부 접속 단자, 1810 : 키보드, 1811 : 외부 메모리 슬롯, 2700 : 전자서적, 2701 : 하우징, 2703 : 하우징, 2705 : 표시부, 2707 : 표시부, 2711 : 힌지, 2721 :

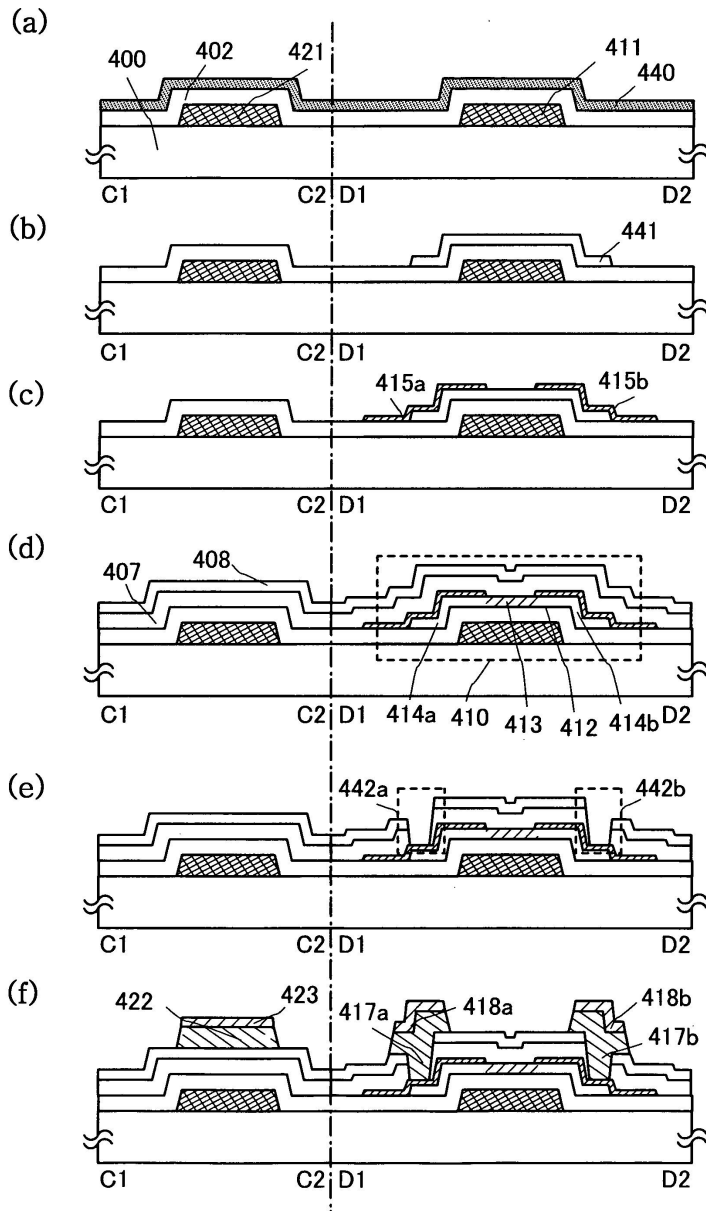
전원 스위치, 2723 : 조작 키, 2725 : 스피커, 3000 : 탁상 램프, 3001 : 조명 장치, 4001 : 제 1 기관, 4002 : 화소부, 4003 : 신호선 구동 회로, 4004 : 주사선 구동 회로, 4005 : 셀재, 4006 : 제 2 기관, 4008 : 액정 층, 4010 : 박막 트랜지스터, 4011 : 박막 트랜지스터, 4013 : 액정 소자, 4015 : 접속 단자 전극, 4016 : 단자 전극, 4018 : FPC, 4019 : 이방성 도전막, 4021 : 절연층, 4030 : 화소 전극층, 4031 : 대향 전극층, 4032 : 절연층, 4040 : 도전층, 4041 : 절연층, 4042 : 보호 절연층, 4050 : 배선층, 4501 : 제 1 기관, 4502 : 화소부, 4503a : 신호선 구동 회로, 4503b : 신호선 구동 회로, 4504a : 주사선 구동 회로, 4504b : 주사선 구동 회로, 4505 : 셀재, 4506 : 제 2 기관, 4507 : 충전재, 4509 : 박막 트랜지스터, 4510 : 박막 트랜지스터, 4511 : 발광 소자, 4512 : 전계 발광층, 4513 : 제 2 전극, 4515 : 접속 단자 전극, 4516 : 단자 전극, 4517 : 제 1 전극, 4518a : FPC, 4518b : FPC, 4519 : 이방성 도전막, 4520 : 격벽, 4540 : 도전층, 4542 : 산화물 절연층, 4543 : 오버코트층, 4544 : 절연층, 4545 : 컬러 필터층, 4550 : 배선층, 4551 : 절연층, 6400 : 화소, 6401 : 스위칭 트랜지스터, 6402 : 구동 트랜지스터, 6403 : 용량, 6404 : 발광 소자, 6405 : 신호선, 6406 : 주사선, 6407 : 전원선, 6408 : 공통 전극, 7001 : 구동 TFT, 7002 : 발광 소자, 7003 : 제 1 전극, 7004 : EL 층, 7005 : 제 2 전극, 7008a : 배선층, 7008b : 배선층, 7009 : 격벽, 7011 : 구동 TFT, 7012 : 발광 소자, 7013 : 제 1 전극, 7014 : EL 층, 7015 : 제 2 전극, 7016 : 차광막, 7017 : 도전막, 7018a : 배선층, 7018b : 배선층, 7019 : 격벽, 7021 : 구동 TFT, 7022 : 발광 소자, 7023 : 제 1 전극, 7024 : EL 층, 7025 : 제 2 전극, 7027 : 도전막, 7028a : 배선층, 7028b : 배선층, 7029 : 격벽, 7031 : 절연층, 7032 : 절연층, 7033 : 컬러 필터층, 7034 : 오버코트층, 7035 : 보호 절연층, 7036 : 평탄화 절연층, 7042 : 절연층, 7043 : 컬러 필터층, 7044 : 오버코트층, 7045 : 보호 절연층, 7046 : 평탄화 절연층, 7051 : 산화물 절연층, 7052 : 보호 절연층, 7053 : 평탄화 절연층, 7055 : 절연층, 7056 : 평탄화 절연층, 9600 : 텔레비전 세트, 9601 : 하우징, 9603 : 표시부, 9605 : 스탠드, 9607 : 표시부, 9609 : 조작 키, 9610 : 원격 제어기, 9700 : 디지털 포토 프레임, 9701 : 하우징, 9703 : 표시부, 9881 : 하우징, 9882 : 표시부, 9883 : 표시부, 9884 : 스피커부, 9885 : 조작 키, 9886 : 기록 매체 삽입부, 9887 : 접속 단자, 9888 : 센서, 9889 : 마이크로폰, 9890 : LED 램프, 9891 : 하우징, 9893 : 연결부

도면

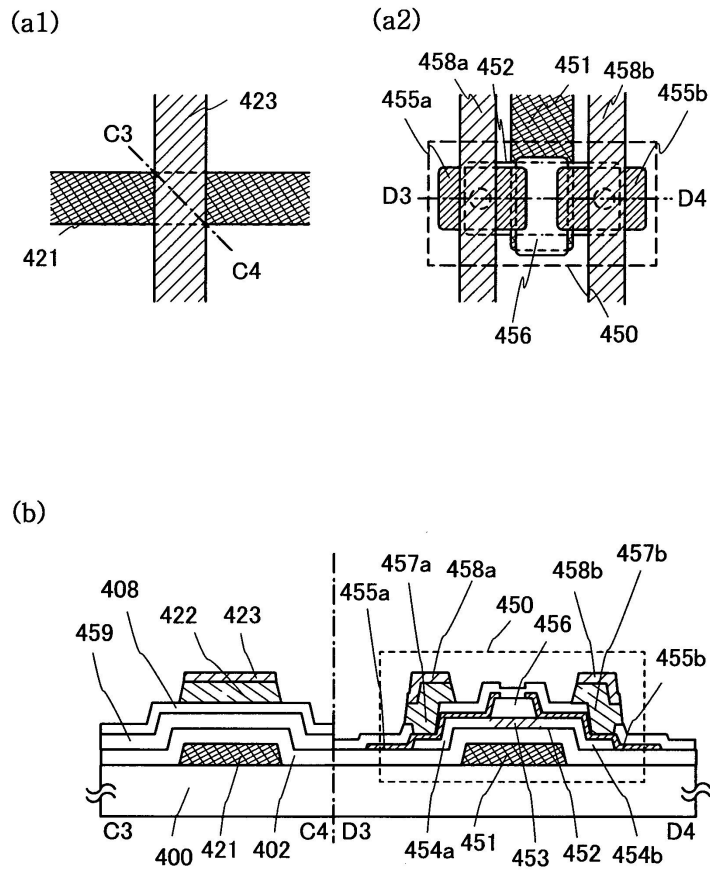
도면1



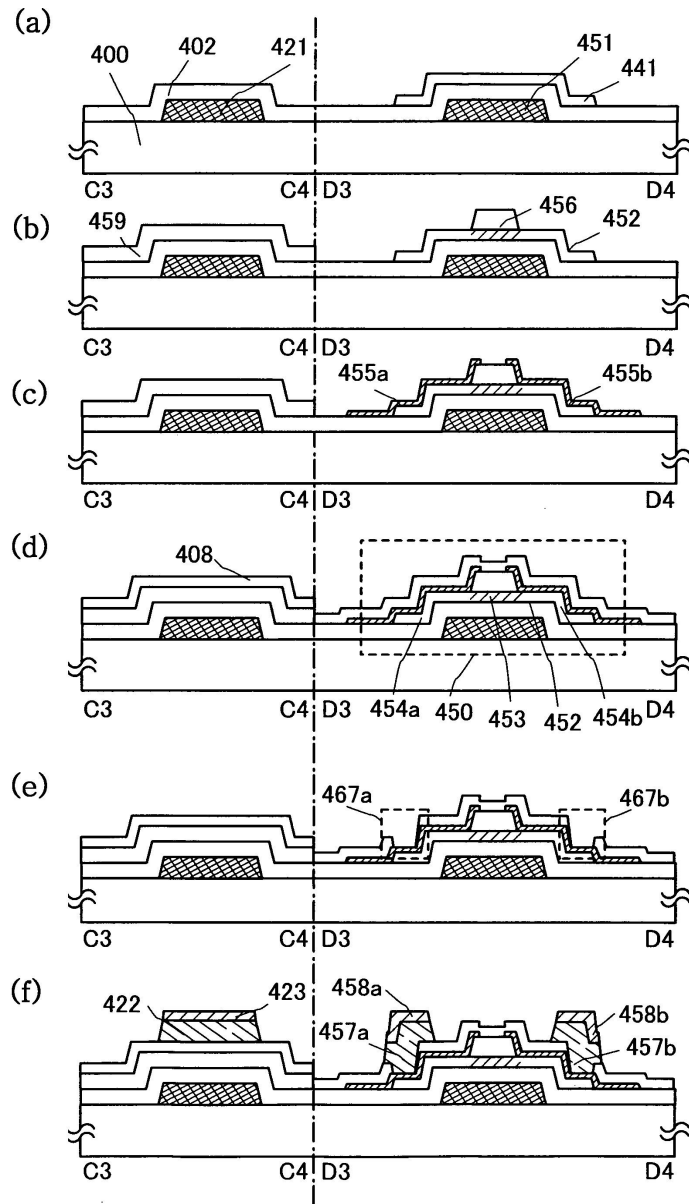
도면2



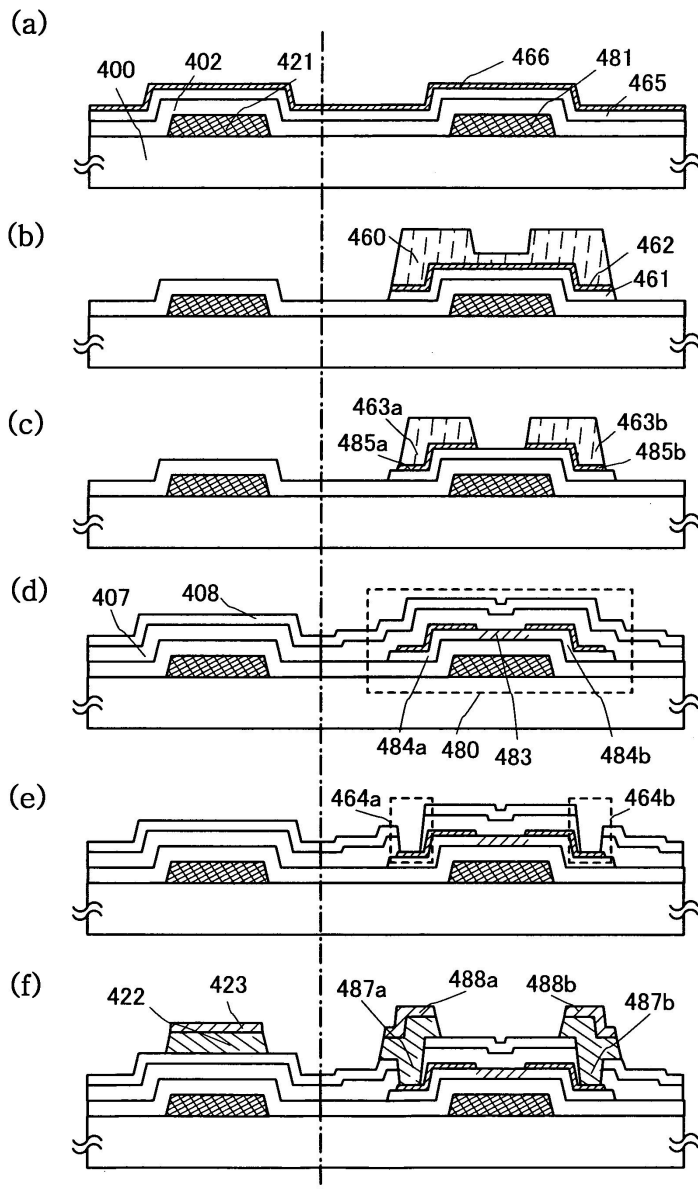
도면3



도면4

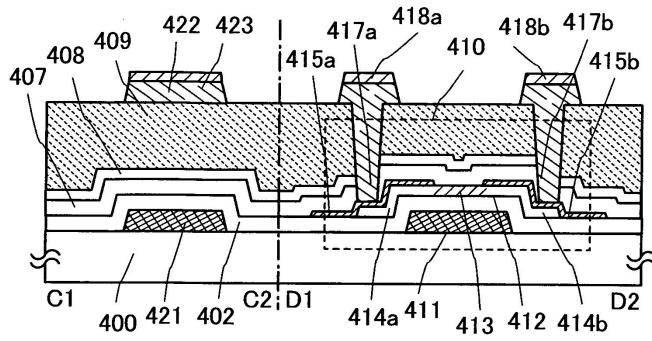


도면5

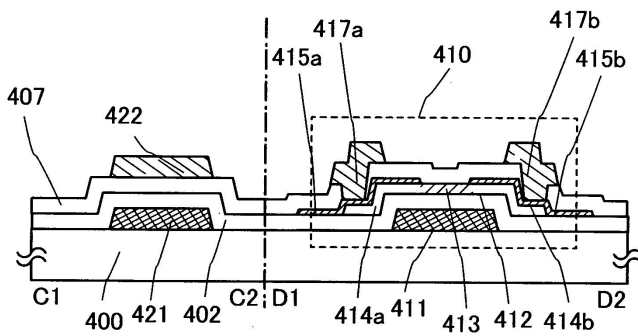


도면6

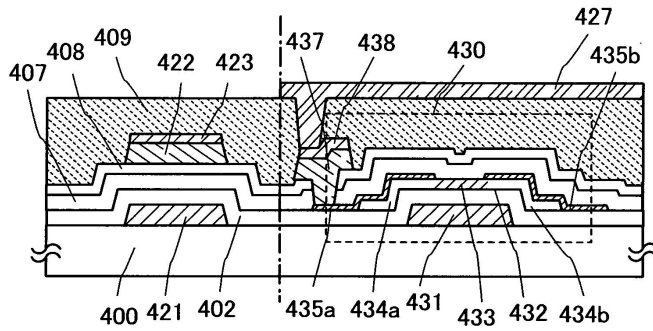
(a)



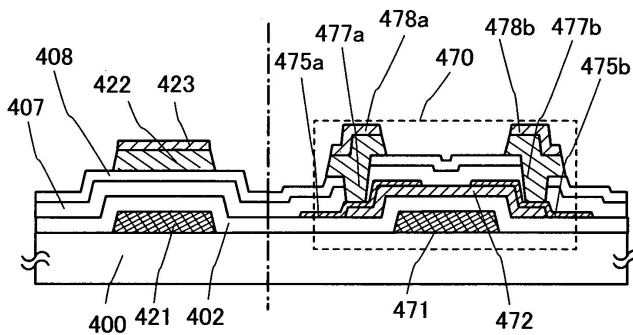
(b)



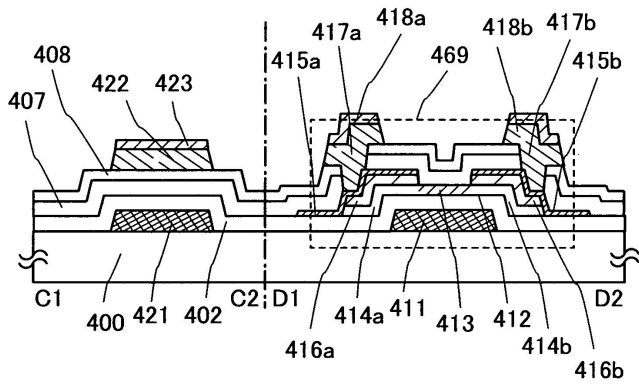
도면7



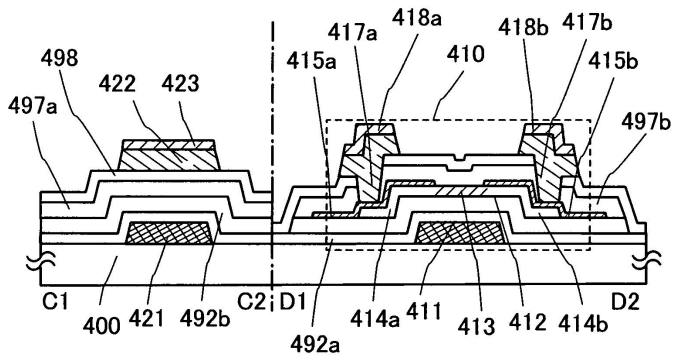
도면8



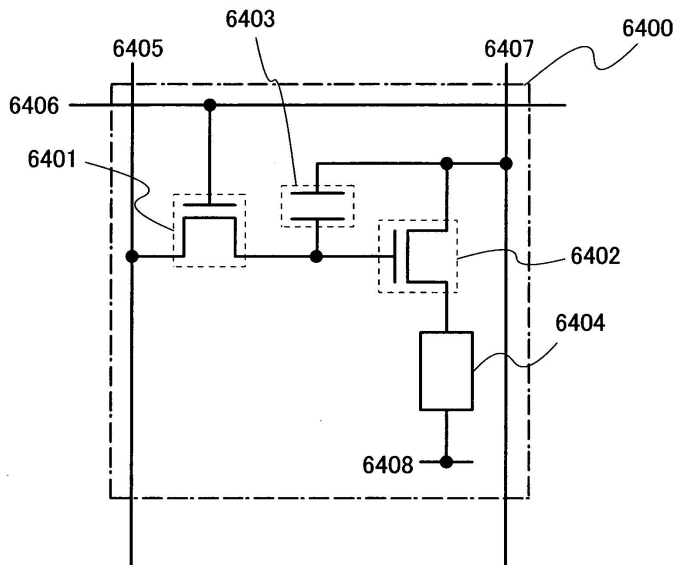
도면9



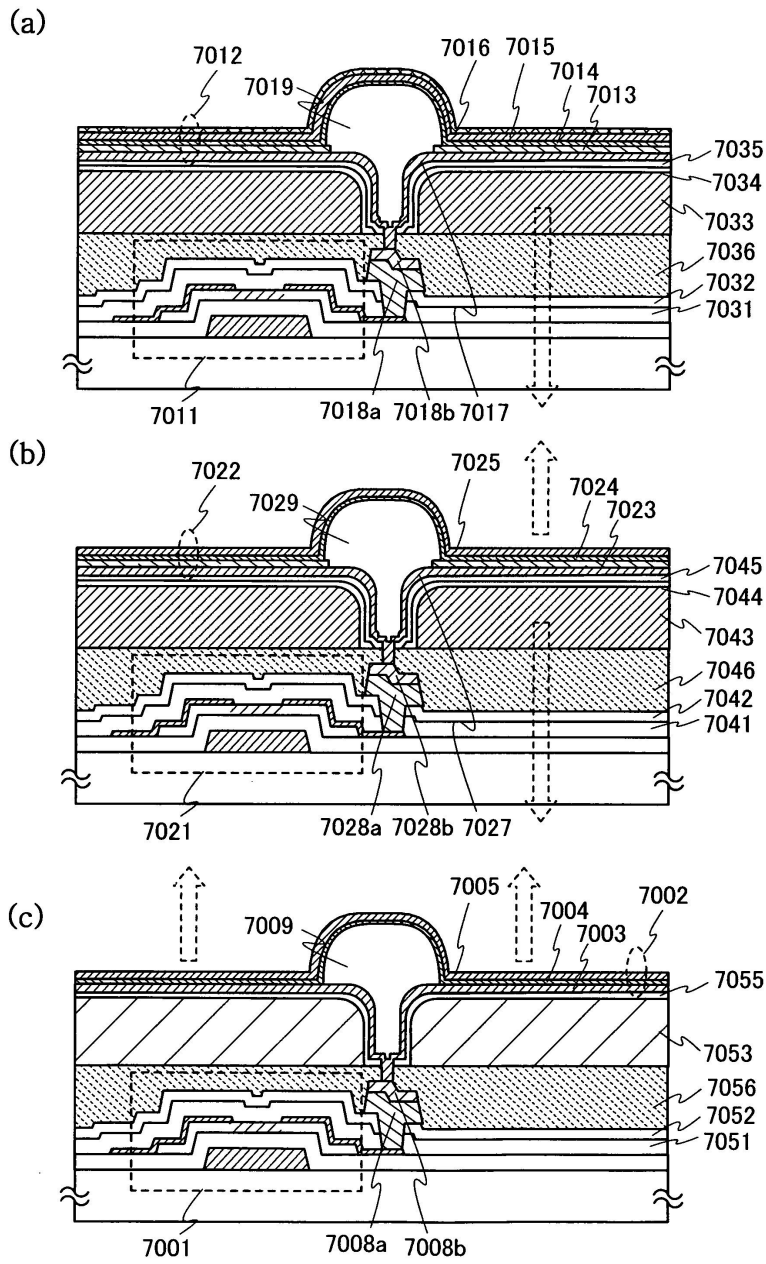
도면10



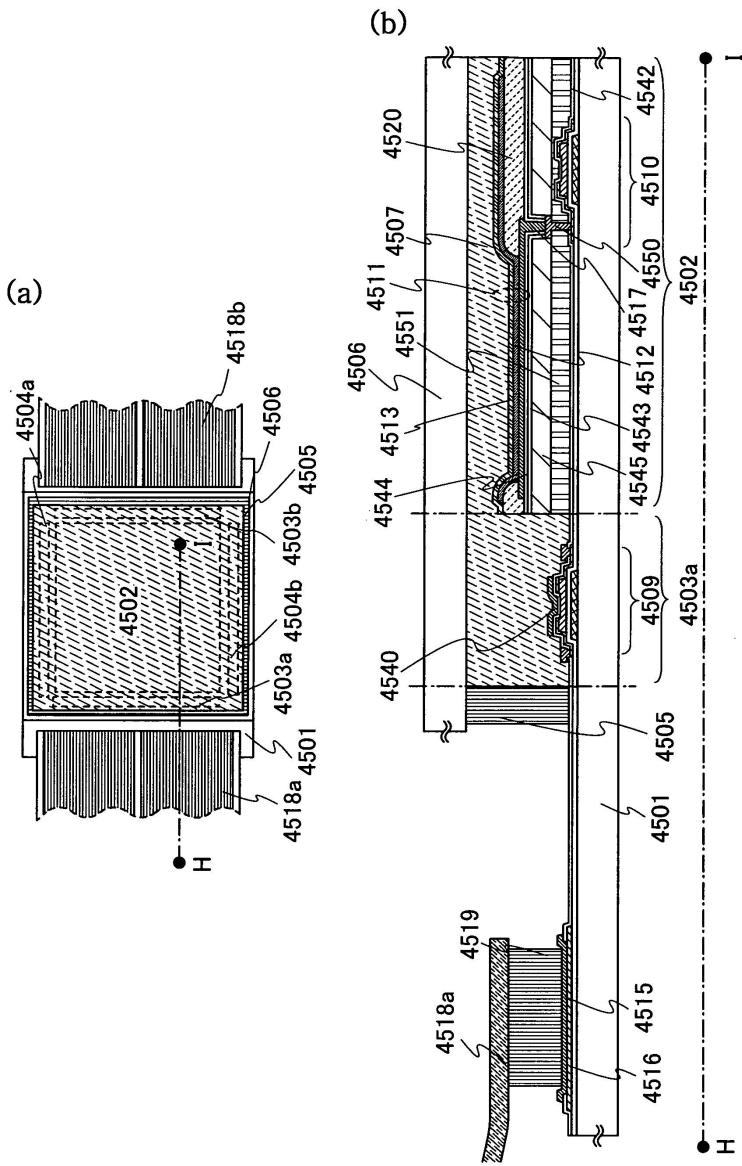
도면11



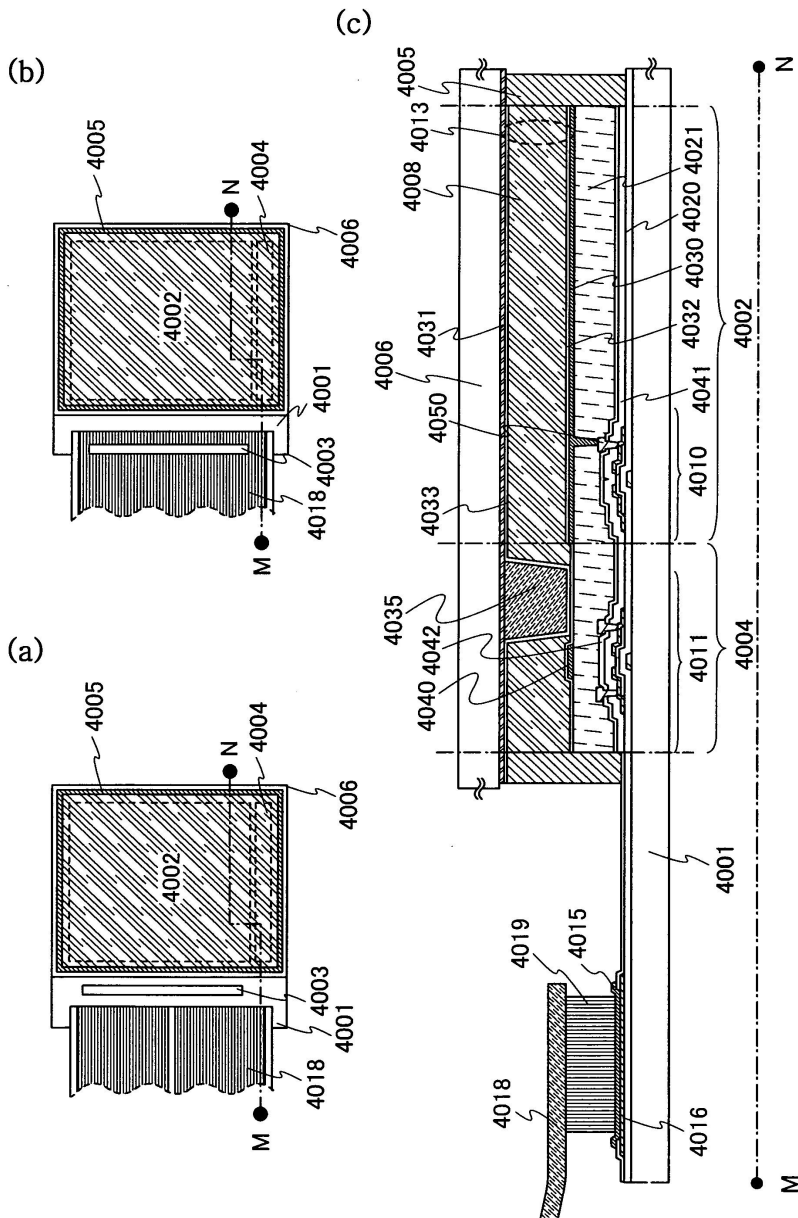
도면12



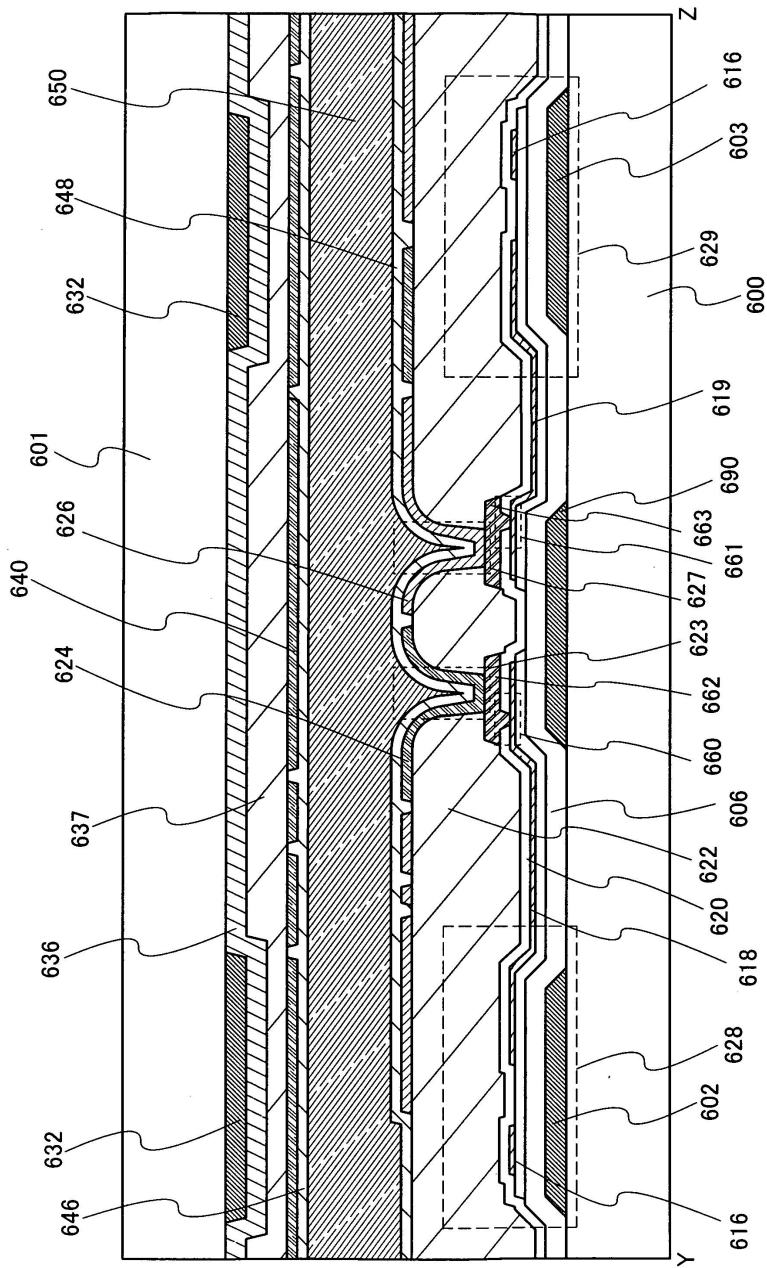
도면13



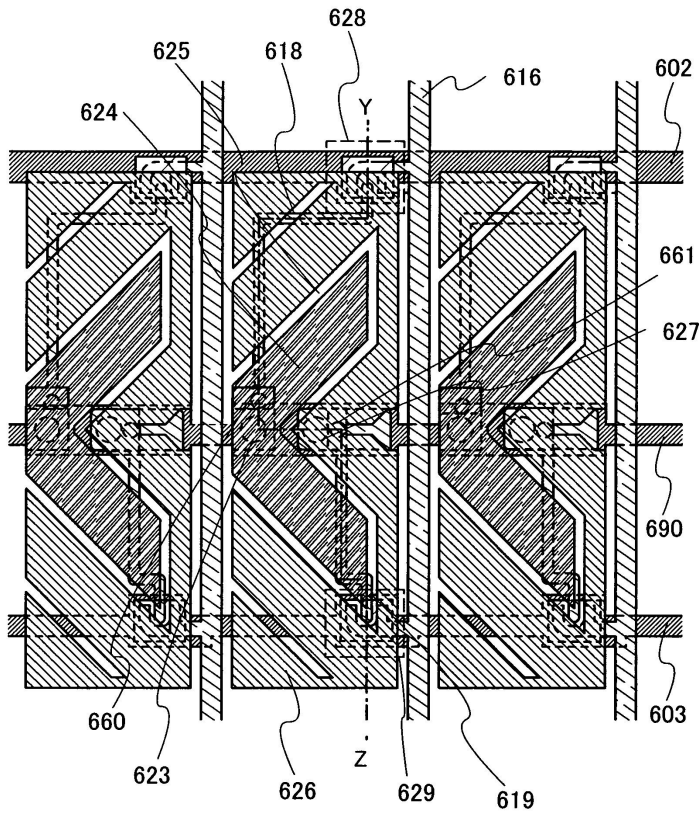
도면14



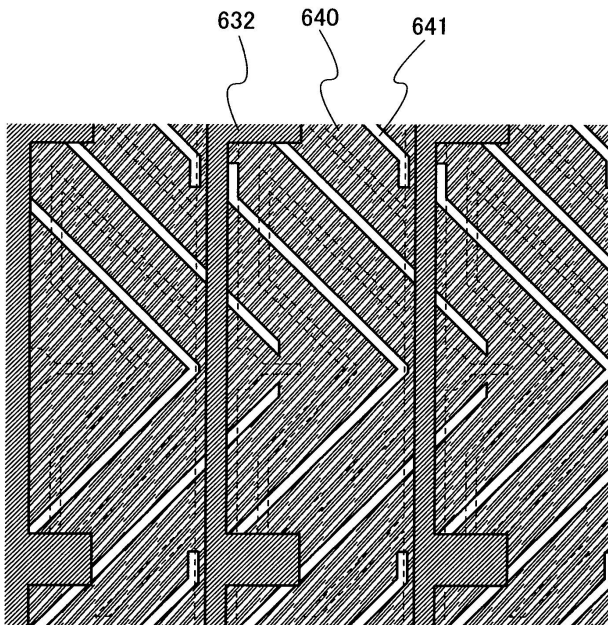
도면15



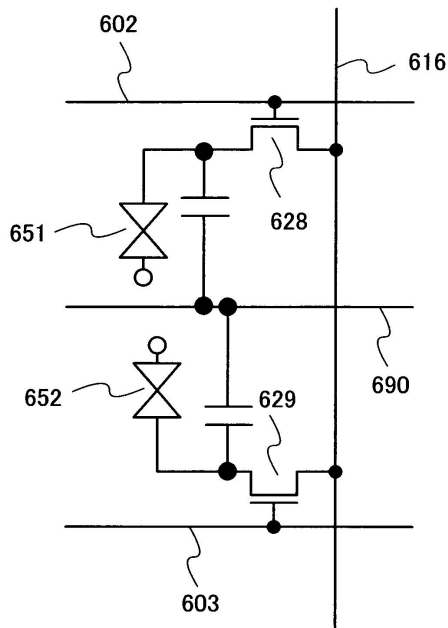
도면16



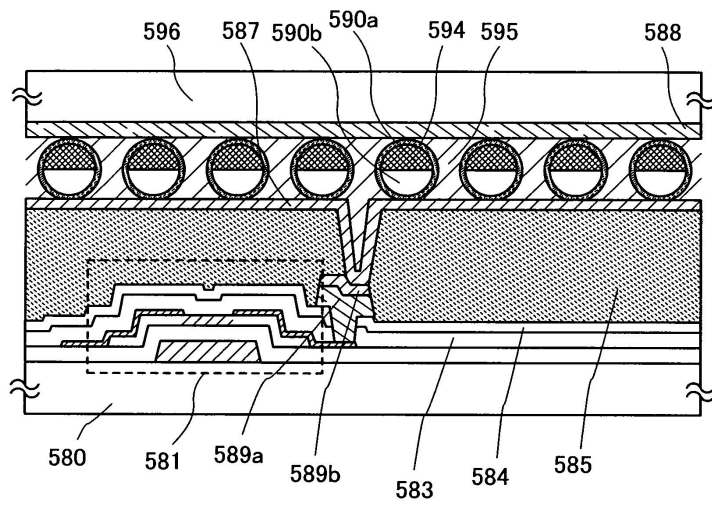
도면17



도면18

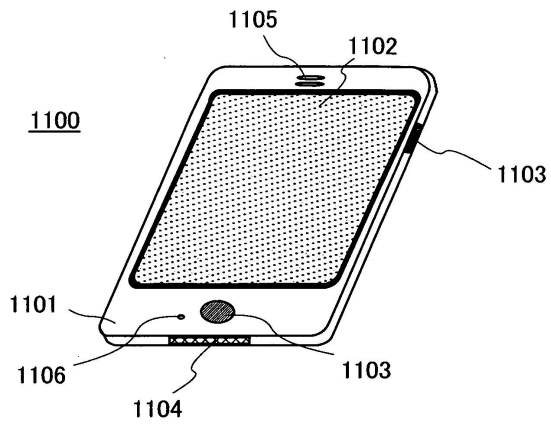


도면19

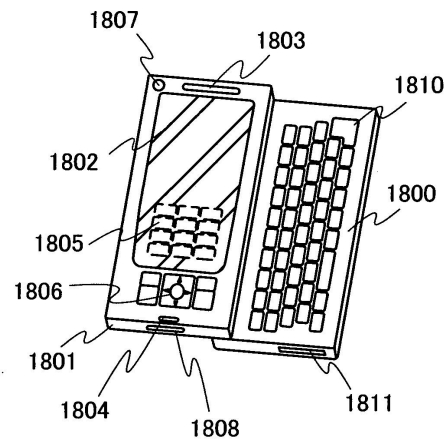


도면20

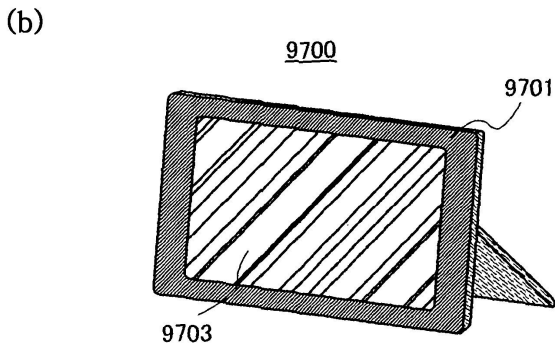
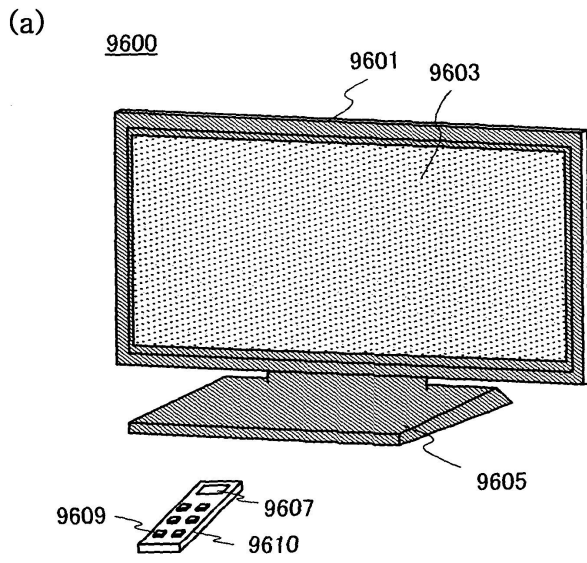
(a)



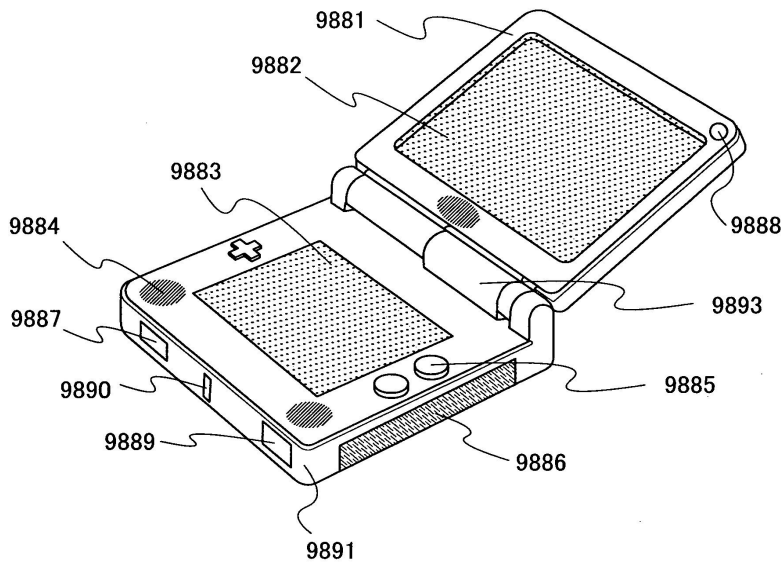
(b)



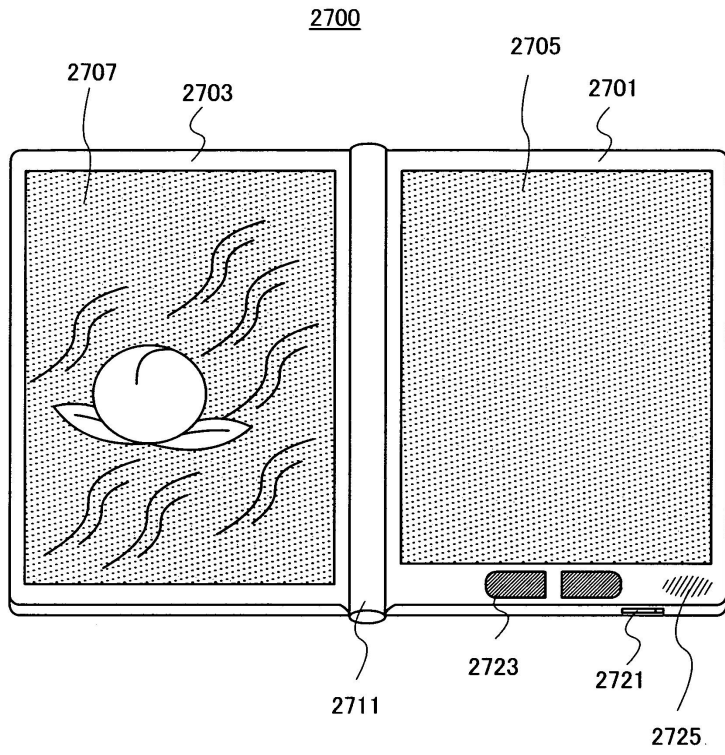
도면21



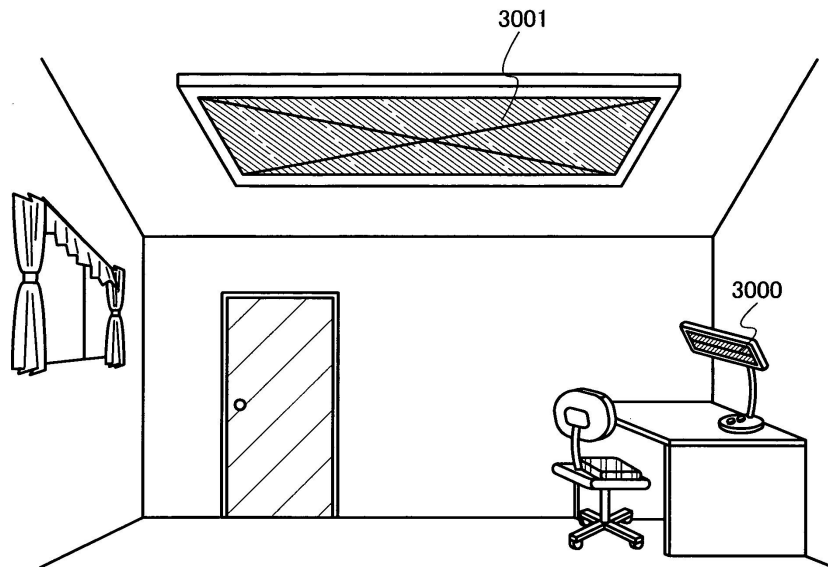
도면22



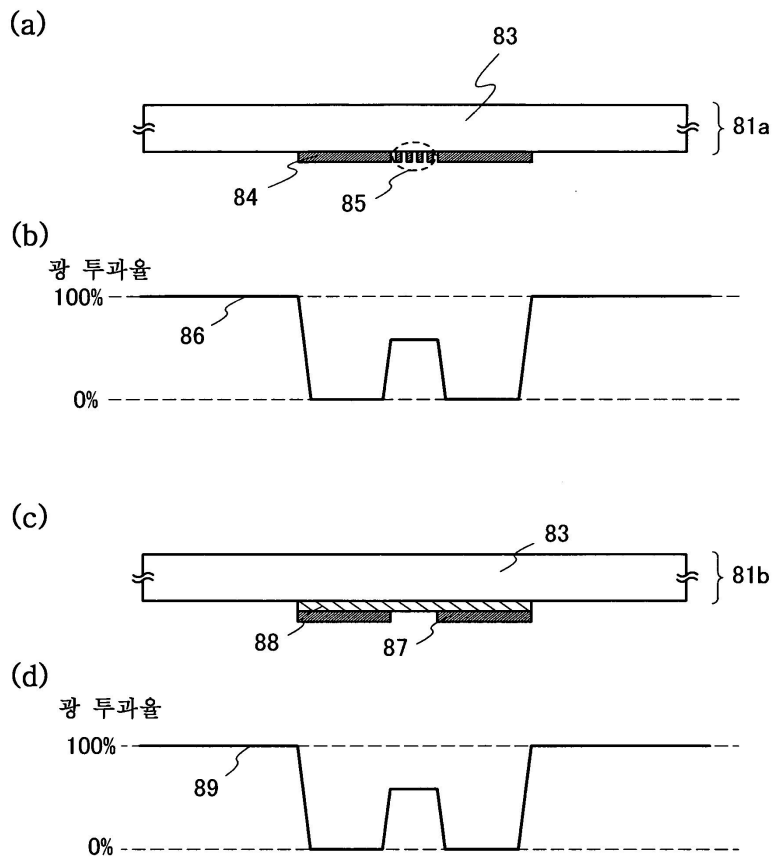
도면23



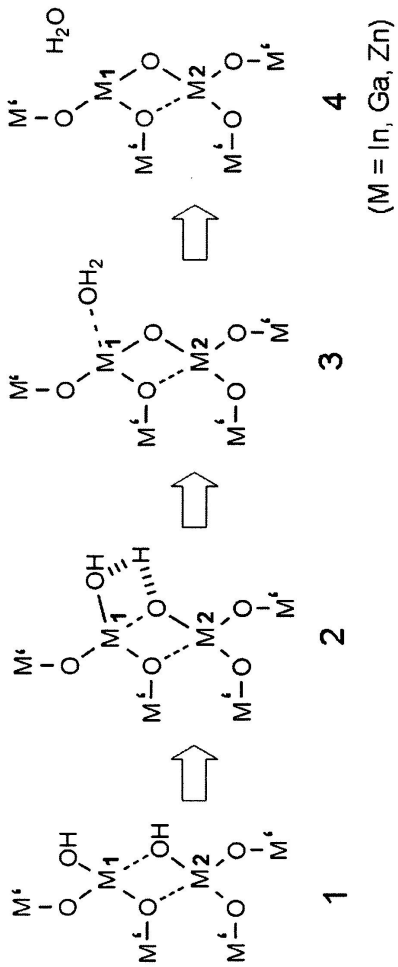
도면24



도면25



도면26



도면27

