



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월21일
(11) 등록번호 10-0869620
(24) 등록일자 2008년11월13일

(51) Int. Cl.

H01L 21/8244 (2006.01)

(21) 출원번호 10-2002-0025475
(22) 출원일자 2002년05월09일
 심사청구일자 2007년05월03일
(65) 공개번호 10-2002-0096873
(43) 공개일자 2002년12월31일

(30) 우선권주장
JP-P-2001-00183098 2001년06월18일 일본(JP)

(56) 선행기술조사문현
JP10-178109 A
(뒷면에 계속)

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6
고

(72) 발명자

오오츠카후미오

일본국도쿄토치요다쿠마루노우치1-5-1신마루비루
가부시키가이샤히타치세이사쿠쇼치테키자이산켄
혼부나이

노나카유우스케

일본국도쿄토치요다쿠마루노우치1-5-1신마루비루
가부시키가이샤히타치세이사쿠쇼치테키자이산켄
혼부나이
(됨에 게속)

(74) 대로이

제 10 장

전체 천구학 수 : 총 25 학

실사과 : 길상걸

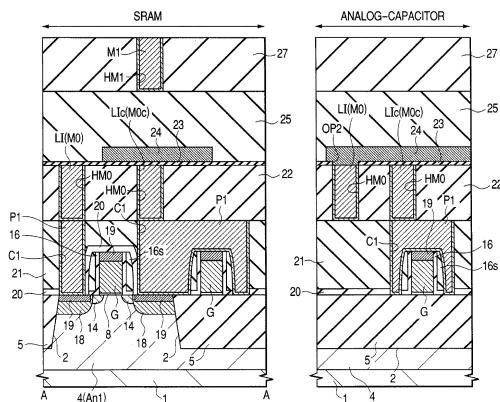
(54) 박도체 접적회로장치 및 그 제조방법

(57) 요약

SRAM의 축적노드간 용량과, 아날로그 용량을 가지는 소자를 단일 기판상에 형성한 반도체 집적회로장치의 성능 향상을 도모한다.

메모리셀 형성영역(SRAM)의 한쌍의 n채널형 MISFET상의 산화실리콘막(21)중에 플러그(P1)를 형성하고, 산화실리콘막(21) 및 플러그(P1)의 상부에, 한쌍의 n채널형 MISFET의 각각의 게이트 전극과 드레인을 접속하는 국소 배선(LIc(M0c))을 형성한 후, 또 이 상부에 용량절연막(23) 및 상부전극(24)을 형성하며, 또 아날로그 용량 형성영역(Analog Capacitor)의 산화실리콘막(21) 및 이 막중의 플러그(P1)상에, 메모리셀 형성영역에 형성되는 상기 국소 배선, 용량절연막 및 상부전극과 동일한 공정으로, 국소 배선(LIc(M0c)), 용량절연막(23) 및 상부전극(24)을 형성한다.

대 표 도



(72) 발명자

시마모토사토시

일본국도쿄토치요다쿠마루노우치1-5-1신마루비루가
부시키가이샤히타치세이사쿠쇼치테키자이산肯혼부
나이

오오모리소우헤이

일본국도쿄토치요다쿠마루노우치1-5-1신마루비루가
부시키가이샤히타치세이사쿠쇼치테키자이산肯혼부
나이

카자마히데토

일본국도쿄토치요다쿠마루노우치1-5-1신마루비루가
부시키가이샤히타치세이사쿠쇼치테키자이산肯혼부
나이

(56) 선행기술조사문현

JP10-163440 A

JP12-12802 A

US5780910 A

JP13-127270 A

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

메모리셀을 가지는 반도체 집적회로장치에 있어서,

상기 메모리셀은, 제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지며,

상기 제1, 제2 n채널형 MISFET 및 제1, 제2 p채널형 MISFET 상에 충간절연막이 형성되고,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인은 제1 도전층에 의해 전기적으로 접속되며,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인은 제2 도전층에 의해 전기적으로 접속되고,

용량절연막은, 상기 제1, 제2 도전층 상에 형성되고, 또한 상기 제1, 제2 도전층 중 어느 한쪽의 도전층 상에 개구부를 가지며,

상부전극은, 상기 제1, 제2 도전층의 상부에 있으며, 상기 용량절연막 및 개구부 상에 형성되고,

상기 충간절연막에는, 콘택트 홀과 배선홈(配線溝)이 형성되며,

상기 제1, 제2 도전층은, 상기 콘택트 홀에 매립된 접속부와, 상기 배선홈에 매립된 국소(局所) 배선을 가지는 반도체 집적회로장치.

청구항 37

메모리셀을 가지는 반도체 집적회로장치에 있어서,

상기 메모리셀은, 제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지며,

상기 제1, 제2 n채널형 MISFET 및 제1, 제2 p채널형 MISFET 상에 충간절연막이 형성되고,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인이 제1 도전층에 의해 전기적으로 접속되며,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인이 제2 도전층에 의해 전기적으로 접속되고,

상기 제1, 제2 도전층의 측벽이, 상기 충간절연막 표면으로부터 노출한 노출부를 갖도록 상기 충간절연막 중에 형성된 구멍 내(孔內)에 형성되며,

용량절연막은, 상기 제1, 제2 도전층의 상부 및 노출부 상에 형성되고,

상부전극은, 상기 제1, 제2 도전층의 상부 및 노출부 상에 있으며, 상기 용량절연막 상에 형성되며,

상기 충간절연막에는, 콘택트 홀과 배선홈(配線溝)이 형성되고,

상기 제1, 제2 도전층은, 상기 콘택트 홀에 매립된 접속부와, 상기 배선홈에 매립된 국소배선을 가지는 반도체
집적회로장치.

청구항 38

메모리셀을 가지는 반도체 집적회로장치에 있어서,

상기 메모리셀은, 제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을
가지며,

상기 제1, 제2 n채널형 MISFET 및 제1, 제2 p채널형 MISFET 상에 충간절연막이 형성되고,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드
레인이 제1 도전층에 의해 전기적으로 접속되며,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드
레인이 제2 도전층에 의해 전기적으로 접속되고,

상기 제1, 제2 도전층의 측벽은, 상기 충간절연막 표면으로부터 돌출한 돌출부를 가지며,

용량절연막은, 상기 제1, 제2 도전층의 상부 및 돌출부 상에 형성되고,

상부전극은, 상기 제1, 제2 도전층의 상부 및 돌출부 상에 있으며, 상기 용량절연막 상에 형성되며,

상기 충간절연막에는, 콘택트 홀과 배선홈이 형성되고,

상기 제1, 제2 도전층은, 상기 콘택트 홀에 매립된 접속부와, 상기 배선홈에 매립된 국소배선을 가지는 반도체
집적회로장치.

청구항 39

삭제

청구항 40

제 36 항 내지 제38항 중 어느 한 항에 있어서,

상기 상부전극은, 상기 제1, 제2 도전층을 덮도록 형성되는 반도체 집적회로장치.

청구항 41

제 36 항 내지 제38항 중 어느 한 항에 있어서,

상기 상부전극 및 상기 제1, 제2 도전층은, 금속막 또는 도전성을 가지는 금속 화합물막인 반도체
집적회로장치.

청구항 42

제 36 항 내지 제38항 중 어느 한 항에 있어서,

상기 제1, 제2 도전층은, 질화티탄 또는 텅스텐인 반도체 집적회로장치.

청구항 43

제 37 항 또는 제 38 항에 있어서,

상기 용량절연막은, 상기 제1, 제2 도전층 중 어느 한 쪽의 도전층 상에 개구부를 가지고,

상기 상부전극은, 상기 개구부를 통해서, 상기 제1, 제2 도전층 중 어느 한쪽의 도전층에 전기적으로 접속되는
반도체 집적회로장치.

청구항 44

제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지고,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인은 제1 도전층에 의해 전기적으로 접속되며,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인은 제2 도전층에 의해 전기적으로 접속되는 메모리셀을 가지는 반도체 집적회로장치의 제조방법에 있어서,

상기 제1, 제2 n채널형 MISFET 및 p채널형 MISFET의 상부에 충간절연막을 형성하는 공정과,

상기 충간절연막 중에 배선홈을 형성하고, 상기 배선홈 내(内)를 포함하는 상기 충간절연막 상에 도전성막을 퇴적하는 공정과,

상기 도전성막을 상기 충간절연막의 표면이 노출할 때까지 에치백(etch back) 또는 연마함으로써, 상기 제1, 제2 도전층을 상기 배선홈 내에 형성하는 공정과,

상기 제1, 제2 도전층의 상부에 있으며, 상기 용량절연막 상에 상부전극을 형성하는 공정을 가지는 반도체 집적회로장치의 제조방법.

청구항 45

제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지고,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인은 제1 도전층에 의해 전기적으로 접속되며,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인은 제2 도전층에 의해 전기적으로 접속되는 메모리셀을 가지는 반도체 집적회로장치의 제조방법에 있어서,

상기 제1, 제2 n채널형 MISFET 및 p채널형 MISFET의 상부에 충간절연막을 형성하는 공정과,

상기 충간절연막 중에 배선홈을 형성하고, 상기 배선홈 내를 포함하는 상기 충간절연막상에 도전성막을 퇴적하는 공정과,

상기 도전성막을 상기 충간절연막의 표면이 노출할 때까지 에치백 또는 연마함으로써, 상기 제1, 제2 도전층을 상기 배선홈 내에 형성하는 공정과,

상기 충간절연막의 표면을 에칭함으로써, 상기 제1, 제2 도전층의 측벽을 노출시키는 공정과,

상기 제1, 제2 도전층의 상부 및 측벽 상에, 용량절연막을 형성하는 공정과,

상기 제1, 제2 도전층의 상부 및 측벽 상에 있으며, 상기 용량절연막 상에 상부전극을 형성하는 공정을 가지는 반도체 집적회로장치의 제조방법.

청구항 46

제 44 항 또는 제 45 항에 있어서,

상기 상부전극은, 상기 제1, 제2 도전층 중 어느 하나의 도전층 상의 용량절연막을 선택적으로 제거함으로써, 개구부를 형성한 후에 형성되며,

상기 상부전극은, 상기 개구부를 통해서, 상기 제1, 제2 도전층 중 어느 한쪽의 도전층에 전기적으로 접속되는 반도체 집적회로장치의 제조방법.

청구항 47

제 44 항 또는 제 45 항에 있어서,

상기 상부전극은, 상기 제1, 제2 도전층을 덮도록 형성되는 반도체 집적회로장치의 제조방법.

청구항 48

제 44 항 또는 제 45 항에 있어서,

상기 상부전극 및 상기 제1, 제2 도전층은, 금속막 또는 도전성을 가지는 금속 화합물막인 반도체 집적회로장치

의 제조방법.

청구항 49

제 44 항 또는 제 45 항에 있어서,

상기 제1, 제2 도전층은, 질화티탄 또는 텅스텐인 반도체 집적회로장치의 제조방법.

청구항 50

제 44 항 또는 제 45 항에 있어서,

상기 메모리셀은 SRAM인 반도체 집적회로장치의 제조방법.

청구항 51

제1 영역과, 제2 영역을 가지는 반도체 집적회로장치에 있어서,

메모리셀은, 제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지고, 또한, 상기 제1 영역 상에 형성되며,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인은 제1 도전층에 의해 전기적으로 접속되고,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인은 제2 도전층에 의해 전기적으로 접속되며,

층간절연막은, 상기 제1, 제2 n채널형 MISFET 및 p채널형 MISFET의 상부에 형성되고, 상기 제2 영역까지 연장하도록 형성되며,

상기 제1, 제2 도전층은 상기 층간절연막 중에 형성된 구멍내에 형성되고,

제1 용량절연막은, 상기 제1, 제2 도전층의 상부에 형성되며,

제1 상부전극은, 상기 제1, 제2 도전층의 상부에 있으며, 상기 제1 용량절연막 상에 형성되고,

제3 도전층은, 상기 층간절연막 중에 형성된 구멍내 형성되고, 또한 상기 제2 영역에 형성되며,

제2 용량절연막은, 상기 제3 도전층의 상부에 형성되고,

제2 상부전극은, 상기 제3 도전층의 상부에 있으며, 상기 제2 용량절연막 상에 형성되며,

상기 제1, 제2 및 제3 도전층, 상기 제1 및 제2 용량절연막, 및 상기 제1 및 제2 상부전극은, 각각 동일층에 형성되어 있는 반도체 집적회로장치.

청구항 52

제1 영역과, 제2 영역을 가지는 반도체 집적회로장치에 있어서,

메모리셀은, 제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET을 가지고, 또한, 상기 제1 영역 상에 형성되며,

제1 n채널형 MISFET 및 제1 p채널형 MISFET의 게이트 전극과, 제2 n채널형 MISFET 및 제2 p채널형 MISFET의 드레인은 제1 도전층에 의해 전기적으로 접속되고,

제2 n채널형 MISFET 및 제2 p채널형 MISFET의 게이트 전극과, 제1 n채널형 MISFET 및 제1 p채널형 MISFET의 드레인은 제2 도전층에 의해 전기적으로 접속되며,

층간절연막은, 상기 제1, 제2 n채널형 MISFET 및 p채널형 MISFET의 상부에 형성되고, 상기 제2 영역까지 연장하도록 형성되며,

상기 제1, 제2 도전층은 상기 층간절연막 중에 형성된 구멍 내에 형성되고, 또한, 그 측벽이 상기 층간절연막 표면으로부터 노출한 노출부를 가지며,

제1 용량절연막은, 상기 제1, 제2 도전층의 상부 및 노출부 상에 형성되고,

제1 상부전극은, 상기 제1, 제2 도전층의 상부 및 노출부 상에 있으며, 제1 용량절연막 상에 형성되며,
제3 도전층은, 상기 충간절연막 중에 형성된 구멍 내에 형성되고, 또한 그 측벽이, 상기 충간절연막 표면으로부터 노출한 노출부를 가지며,
제2 용량절연막은, 상기 제3 도전층의 상부 및 노출부 상에 형성되고,
제2 상부전극은, 상기 제3 도전층의 상부 및 노출부 상에 있으며, 상기 제2 용량절연막 상에 형성되며,
상기 제1, 제2 및 제3 도전층, 상기 제1 및 제2 용량절연막 및 상기 제1 및 제2 상부전극은, 각각 동일층에 형성되어 있는 반도체 집적회로장치.

청구항 53

제 51 항 또는 제 52 항에 있어서,
상기 제1 용량절연막은, 상기 제1, 제2 도전층 중 어느 한쪽의 도전층 상에 개구부를 가지며,
상기 제1 상부전극은, 상기 개구부를 통해서, 상기 제1, 제2 도전층 중 어느 한쪽의 도전층에 전기적으로 접속되는 반도체 집적회로장치.

청구항 54

삭제

청구항 55

제 51 항 또는 제 52 항에 있어서,
상기 제1 상부전극은, 상기 제1, 제2 도전층을 덮도록 형성되고,
상기 제2 상부전극은, 상기 제3 도전층을 덮도록 형성되는 반도체 집적회로장치.

청구항 56

제 51 항 또는 제 52 항에 있어서,
상기 제1 및 제2 상부전극 및 상기 제1 및 제2 도전층은, 금속막 또는 도전성을 가지는 금속 화합물막인 반도체 집적회로장치.

청구항 57

제 51 항 또는 제 52 항에 있어서,
상기 제1 및 제2 도전층은, 질화티탄 또는 텅스텐인 반도체 집적회로장치.

청구항 58

삭제

청구항 59

제 51 항 또는 제 52 항에 있어서,
상기 메모리셀은 SRAM이며,
상기 제2 영역은 아날로그 용량형성영역인 반도체 집적회로장치.

청구항 60

반도체 집적회로장치의 제조방법에 있어서,
충간절연막에서, 제1 홈(溝)과, 제2 홈과, 제3 홈을 형성하는 공정과,
상기 제1, 제2 및 제3 홈에 도전성막을 매립하고, 상기 제1 홈에서 제1 도전성 패턴과, 상기 제2 홈에서 제2 도

전성 패턴과, 상기 제3 홈에서 제3 도전성 패턴을 형성하는 공정과,

상기 제1, 제2 및 제3 도전성 패턴 상에 용량절연막을 형성하는 공정과,

상기 제1 도전성 패턴 및 상기 제2 도전성 패턴의 상부에 있으며, 상기 용량절연막 상에 제4 도전성 패턴을 형성하는 공정과,

상기 제3 도전성 패턴의 상부에 있으며, 상기 용량절연막 상에 제5 도전성 패턴을 형성하는 공정을 가지며,

제1 n채널형 MISFET과, 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 제2 p채널형 MISFET이 반도체기판 상에 형성되고, 메모리셀을 형성하며,

상기 층간절연막은 상기 제1 n채널형 MISFET과, 상기 제2 n채널형 MISFET과, 제1 p채널형 MISFET과, 상기 제2 p채널형 MISFET과, 용량절연막을 덮도록 형성되고,

상기 제1 도전성 패턴은 상기 제1 n채널형 MISFET의 드레인 영역과, 상기 제1 p채널형 MISFET의 드레인 영역과, 상기 제2 n채널형 MISFET의 게이트 전극과, 상기 제2 p채널형 MISFET의 게이트 전극에 전기적으로 접속되며,

상기 제2 도전성 패턴은 상기 제2 n채널형 MISFET의 드레인 영역과, 상기 제2 p채널형 MISFET의 드레인 영역과, 상기 제1 n채널형 MISFET의 게이트 전극과, 상기 제1 p채널형 MISFET의 게이트 전극에 전기적으로 접속되고,

상기 제3 도전성 패턴과 상기 제5 도전성 패턴은 제1 용량소자를 형성하며,

상기 제4 도전성 패턴과, 상기 제1 도전성 패턴 또는 상기 제2 도전성 패턴은, 제2 용량소자를 형성하는 반도체 집적회로장치의 제조방법.

청구항 61

제 60 항에 있어서,

상기 용량절연막 형성공정 전에, 상기 층간절연막의 표면을 에칭함으로써, 상기 제1 도전성 패턴 및 상기 제2 도전성 패턴의 측벽을 노출시키는 공정을 가지며,

상기 제1 도전성 패턴 및 상기 제2 도전성 패턴의 상부 및 측벽 상에, 상기 용량절연막이 형성되는 반도체집적회로장치의 제조방법.

청구항 62

제 60 항 또는 제 61 항에 있어서,

상기 제1 도전성 패턴 상의 상기 용량절연막에 개구부를 형성하는 공정을 가지며,

상기 제4 도전성 패턴은, 상기 개구부를 통해서 상기 제1 도전성 패턴에 전기적으로 접속되고, 또한 상기 제2 도전성 패턴 상(上)까지 연장하도록 형성되며,

상기 제4 도전성 패턴과 상기 제2 도전성 패턴은, 상기 제2 용량소자를 형성하는 반도체집적회로장치의 제조방법.

청구항 63

제 60 항 또는 제 61 항에 있어서,

상기 제1 용량소자는, 메모리셀의 용량소자이며,

상기 제2 용량소자는, 아날로그 용량의 용량소자인 반도체 집적회로장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <82> 본 발명은, 반도체 집적회로장치 및 그 제조기술에 관한 것으로, 특히 SRAM(Static Random Access Memory)를 가지는 반도체 집적회로장치에 적용하여 유효한 기술에 관한 것이다.
- <83> 퍼스널 컴퓨터나 워크스테이션용의 캐시 메모리에는, SRAM이 사용되고 있다.
- <84> 이 SRAM은, 1비트의 정보를 기억하는 플립플롭 회로와 2개의 정보전송용 MISFET(Metal Insulator Semiconductor Field Effect Transistor)로 구성되고, 이 플립플롭 회로는, 예컨대 한쌍의 구동용 MISFET와 한쌍의 부하용 MISFET로 구성된다.
- <85> 이와 같은 메모리셀에 대해서, a 선에 의한 소프트 에러가 문제로 되고 있다. a 선에 의한 소프트 에러란, 외계의 우주선에 포함되는 a 선이나 LSI의 패키지 재료중에 포함되는 방사성 원자에서 방출되는 a 선이 메모리셀내에 들어가고, 메모리셀중에 보존되어 있는 정보를 파괴하는 현상이다.
- <86> 이 a 선 대책을 위해, 메모리셀중의 정보축적부(상기 플립플롭 회로의 입출력부)에 용량을 부가하고, 정보축적부의 용량을 증가시키는 방법이 검토되고 있다. 이와 같은 정보축적부의 용량에 대해서는, 예컨대 IEDM 1998 P205에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

- <87> 특히, 근래의 반도체 집적회로장치의 고집적화, 미세화에 따라, 메모리셀 면적은 축소화하는 경향에 있다. 그 결과, 정보축적부, 즉 한쌍의 구동용 n채널형 MISFET와 한쌍의 부하용 p채널형 MISFET와의 거리를 축소화하여, a 선의 영향을 받기 쉽게 된다. 또, 소비전력의 저감을 위해, 전원전압(Vcc)은 저하하는 경향에 있어, 이것에 의해서도 a 선에 의한 소프트 에러의 발생율이 상승한다.
- <88> 한편, 상술한 SRAM과, 예컨대, 아날로그 용량을 가지는 PLL(Phase Locked Loop) 회로 등을 단일 기판상에 형성하는, 소위 시스템 LSI(Large Scale Integrated Circuit)의 검토가 이루어지고 있다.
- <89> 이 PLL 회로에 이용되는 아날로그 용량에는, 예컨대 반도체 기판(확산층)을 하부전극으로 하고, 반도체 기판상에 형성된 게이트 절연막을 용량절연막으로 하며, 또 게이트 절연막상의 도전성 막(예컨대, 폴리실리콘막)을 상부전극으로 한 용량이 이용되고 있다.
- <90> 그러나, 이와 같은 용량에 있어서는, 게이트 절연막의 박막화에 따라, 터널전류가 발생하게 된다. 그 결과, 누설전류가 증가하고, 예컨대 $0.13\mu\text{m}$ 세대 이후에 있어서는 누설전류가 그 목표치인 $1 \times 10^{-4} \text{ A/cm}^2$ 를 초과하는 것이 보이게 되어, PLL회로의 정상 동작을 저해하여 버린다.
- <91> 또, 반도체 기판상에 형성한 경우에는, 기판 전위의 영향을 받아, 용량의 전압 특성이 변화하여 버린다.
- <92> 본 발명의 목적은, 반도체 집적회로장치, 예컨대 SRAM의 메모리셀의 소프트 에러를 저감시킨 고성능의 반도체 집적회로장치를 제공하는데 있다.
- <93> 본 발명의 다른 목적은, 반도체 집적회로장치, 예컨대 SRAM과 아날로그 용량을 가지는 소자를 단일 기판상에 형성한 시스템 LSI의 성능 향상을 도모하는데 있다.
- <94> 본 발명의 상기 목적과 신규한 특징은, 본 명세서의 기술 및 첨부 도면으로부터 명백해질 것이다.

발명의 구성 및 작용

- <95> 본원에 있어서, 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.
- <96> (1) 본 발명의 반도체 집적회로장치는, 메모리셀을 구성하는 한쌍의 n채널형 MISFET의 각각의 게이트 전극과 드레인을 전기적으로 접속하는 한쌍의 도전층과, 상기 한쌍의 도전층상에 형성된 용량절연막으로서, 상기 한쌍의 도전층중 어느 한쪽의 도전층상에 개구부를 가지는 용량절연막과, 상기 용량절연막 및 개구부상에 형성된 상부전극을 가진다. 이 한쌍의 도전층을, 충간절연막중에 형성하여도 된다. 또, 도전층의 상부를, 충간절연막 표면에서 돌출시켜도 된다. 또, 상부전극의 형성영역을, 상기 도전층의 형성영역보다 넓고, 상기 도전층의 형성영역을 포함하도록 상부전극을 형성하여도 된다.
- <97> (2) 또, 상기 메모리셀이 형성되는 제1 영역 이외, 제2 영역을 설치하고, 이 제2 영역에, 제1 영역에 형성되는 상기 도전층, 용량절연막 및 상기 상부전극과, 각각 동일한 층에서 형성되는 다른 용량을 형성하여도 된다.
- <98> (3) 본 발명의 반도체 집적회로장치의 제조방법은, 메모리셀을 구성하는 한쌍의 n채널형 MISFET상의 충간절연막

중에 배선 홈을 형성하고, 도전성 막을 매립함으로써, 상기 한쌍의 n채널형 MISFET의 각각의 게이트 전극과 드레인을 전기적으로 접속하는 한쌍의 도전층을 형성하는 공정과, 상기 한쌍의 도전층의 상부에 용량절연막을 형성하는 공정과, 상기 한쌍의 도전층 중 어느 것인가의 도전층상의 용량절연막을 선택적으로 제거함으로써 개구부를 형성하는 공정과, 상기 개구부 내부를 포함하는 상기 용량절연막상에 도전성 막을 퇴적하고, 에칭함으로써 상부전극을 형성하는 공정을 가진다. 또, 상기 한쌍의 도전층 형성 후, 상기 층간절연막상의 표면을 에칭함으로써, 상기 한쌍의 도전층의 측벽을 노출시키는 것으로 하여도 된다. 상기 메모리셀이 형성되는 제1 영역 이외, 제2 영역을 설치하고, 이 제2 영역에 상기 한쌍의 도전층, 용량절연막 및 상부전극의 형성공정과 동일한 공정에서 다른 용량을 형성하여도 된다.

<99>

[발명의 실시형태]

<100>

이하, 본 발명의 실시형태를 도면에 의거하여 상세히 설명한다. 또한, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 가지는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

<101>

(실시형태 1)

<102>

도 1은, 실시형태 1인 SRAM의 메모리셀을 나타내는 등가회로도이다. 도시한 바와 같이, 이 메모리셀(MC)은 한쌍의 상보성 데이터선(데이터선 DL, 데이터선/(바)DL)과 워드선(WL)과의 교차부에 배치되고, 한쌍의 구동용 MISFET(Qd1, Qd2), 한쌍의 부하용 MISFET(Qp1, Qp2) 및 한쌍의 전송용 MISFET(Qt1, Qt2)로 구성되어 있다. 구동용 MISFET(Qd1, Qd2) 및 전송용 MISFET(Qt1, Qt2)는 n채널형 MISFET로 구성되고, 부하용 MISFET(Qp1, Qp2)는 p채널형 MISFET로 구성되어 있다.

<103>

메모리셀(MC)을 구성하는 상기 6개의 MISFET 중 구동용 MISFET(Qd1) 및 부하용 MISFET(Qp1)는, CMOS 인버터(INV1)를 구성하고, 구동용 MISFET(Qd2) 및 부하용 MISFET(Qp2)는 CMOS 인버터(INV2)를 구성하고 있다. 이들 한쌍의 CMOS 인버터(INV1, INV2)의 상호 입출력단자(축적노드 A, B)는, 교차 결합되고, 1비트의 정보하는 정보축적부로서 플립플롭 회로를 구성하고 있다. 또, 이 플립플롭 회로의 한쪽 입출력단자(축적노드 A)는, 전송용 MISFET(Qt1)의 소스, 드레인 영역의 한쪽에 접속되고, 다른쪽의 입출력단자(축적노드 B)는, 전송용 MISFET(Qt2)의 소스, 드레인 영역의 한쪽에 접속되어 있다.

<104>

또, 전송용 MISFET(Qt1, Qt2)의 소스, 드레인 영역의 다른쪽은 데이터선(DL)에 접속되고, 전송용 MISFET(Qt2)의 소스, 드레인 영역의 다른쪽은 데이터선(/DL)에 접속되어 있다. 또, 플립플롭 회로의 일단(부하용 MISFET(Qp1, Qp2)의 각 소스 영역)은 전원전압(Vcc)에 접속되고, 타단(전송용 MISFET(Qt1, Qt2)의 각 소스 영역)은 접지(기준)전압(Vss)에 접속되어 있다.

<105>

상기 회로의 동작을 설명하면, 한쪽의 CMOS 인버터(INV1)의 축적노드(A)가 고전위("H")일 때는 구동용 MISFET(Qd2)가 ON으로 되므로, 다른쪽의 CMOS 인버터(INV2)의 축적노드(B)가 저전위("L")로 된다. 따라서, 구동용 MISFET(Qd1)가 OFF로 되어, 축적노드(A)의 고전위("H")가 유지된다. 즉, 한쌍의 CMOS 인버터(INV1, INV2)를 교차 결합시킨 래치회로에 의해 상호 축적노드(A, B)의 상태가 유지되고, 전원전압이 인가되고 있는 동안, 정보가 보존된다.

<106>

전송용 MISFET(Qt1, Qt2)의 각각의 게이트 전극에는 워드선(WL)이 접속되고, 이 워드선(WL)에 의해 전송용 MISFET(Qt1, Qt2)의 도통, 비도통이 제어된다. 즉, 워드선(WL)이 고전위("H")일 때는, 전송용 MISFET(Qt1, Qt2)가 ON으로 되어 플립플롭 회로와 상보성 데이터선(데이터선 DL, /DL)이 전기적으로 접속되므로, 축적노드(A, B)의 전위상태("H" 또는 "L")가 데이터선(DL, /DL)에 나타나고, 메모리셀(MC)의 정보로서 판독된다.

<107>

메모리셀(MC)에 정보를 기록하기 위해서는, 워드선(WL)을 "H" 전위레벨, 전송용 MISFET(Qt1, Qt2)를 ON 상태로 하여 데이터선(DL, /DL)의 정보를 축적노드(A, B)로 전달한다. 이 축적노드(A, B) 사이에, a 선 대책을 위해 용량(C_{SR})을 부가한다.

<108>

이와 같은 SRAM의 메모리셀은, 도 2에 나타내는 메모리셀 형성영역(SRAM)에 형성되고, 그 주변에는, 예컨대 논리회로 형성영역(LogiC)이나 아날로그 용량 형성영역(Analog Capacitor)이 존재한다. 후술하는 바와 같이, 논리회로 형성영역(LogiC)에는, 예컨대 논리회로를 구성하는 n채널형 MISFET(Qn)나 p채널형 MISFET(Qp)이 형성되고, 또, 아날로그 용량 형성영역(Analog Capacitor)에는 아날로그 용량(C_{AN})이 형성된다. 이들 메모리셀 형성영역(SRAM), 논리회로 형성영역(LogiC)이나 아날로그 용량 형성영역(Analog Capacitor)은, 단일 반도체 기판(1)상에 형성되어 있다.

<109>

다음에, 본 실시형태의 반도체 접적회로장치를 그 제조공정에 따라 설명한다. 도 3~도 39는, 본 실시형태의 반

도체 접적회로장치의 제조방법을 나타내는 기판의 주요부 단면도 혹은 평면도이다.

<110> 도 3~6에 나타내는 바와 같이, 우선, 반도체 기판(1)중에 소자분리(2)를 형성한다. 여기서, 도 6은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 3의 좌측 도면은 도 6의 A-A 단면도이며, 도 4는 도 6의 B-B 단면도이다. 또, 도 3의 우측 도면은, 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 5는 논리회로 형성영역(LogiC)의 단면도이다.

<111> 이 소자분리(2)는, 이하와 같이 형성한다. 예컨대 1~10 μ m 정도의 저저항을 가지는 p형의 단결정실리콘으로 이루어지는 반도체 기판(1)을 예칭함으로써 깊이 250nm 정도의 소자분리 홈을 형성한다.

<112> 그 후, 예컨대 반도체 기판(1)을 약 1000°C에서 열산화함으로써, 홈의 내벽에 막 두께 10nm 정도의 얇은 산화실리콘막(도시하지 않음)으로 이루어지는 절연막을 형성한다. 이 산화실리콘막은, 홈의 내벽에 생긴 드라이 예칭의 테미지를 회복함과 동시에, 다음 공정에서 홈의 내부에 매립되는 산화실리콘막(5)과 반도체 기판(1)과의 계면에 생기는 스트레스를 완화하기 위해 형성한다.

<113> 다음에, 홈의 내부를 포함하는 반도체 기판(1)상에 예컨대 CVD(Chemical Vapor Deposition)법으로 막 두께 450~500nm 정도의 산화실리콘막(5)으로 이루어지는 절연막을 퇴적하고, 화학적 기계연마(CMP;Chemical Mechanical Polishing)법으로 홈의 상부의 산화실리콘막(5)을 연마하여, 그 표면을 평탄화 한다.

<114> 다음에, 예컨대 반도체 기판(1)에 p형 불순물(붕소) 및 n형 불순물(예컨대 인)을 이온 주입한 후, 약 1000°C의 열처리에서 상기 불순물을 확산시킴으로써, 반도체 기판(1)에 p형 웨(영역)(3) 및 n형 웨(영역)(4)을 형성한다.

<115> 그 결과, 도 3의 좌측 도면, 도 4 및 도 6에 나타내는 바와 같이, 메모리셀 형성영역(SRAM)의 반도체 기판(1)에는, p형 웨(3) 및 n형 웨(4)의 주표면인 활성영역(An1, An2, Ap1, Ap2)이 형성되고, 이들 활성영역은 절연막인 산화실리콘막(5)이 매립된 소자분리(2)로 둘러싸여져 있다.

<116> 또, 도 5에 나타내는 바와 같이, 논리회로 형성영역(LogiC)의 반도체 기판(1)에는, p형 웨(3) 및 n형 웨(4)이 형성된다.

<117> 또, 도 3의 우측에 나타내는 바와 같이, 아날로그 용량 형성영역(Analog Capacitor)은, 소자분리(2)로 덮여져 있다.

<118> 추후에 상세히 설명하는 바와 같이, 메모리셀 형성영역(SRAM)의 반도체 기판(1)의 주표면에는, 메모리셀(MC)을 구성하는 6개의 MISFET(Qt1, Qt2, Qd1, Qd2, Qp1, Qp2)가 형성되고, 이중 n채널형 MISFET(Qt1, Qd1)는 활성영역(Ap1)(p형 웨(3))상에 형성되고, n채널형 MISFET(Qt2, Qd2)는 활성영역(Ap2)(p형 웨(3))상에 형성된다. 또, p채널형 MISFET(Qp2)는 활성영역(An1)(n형 웨(4))상에 형성되고, p채널형 MISFET(Qp1)는 활성영역(An2)(n형 웨(4))상에 형성된다(도 10 참조).

<119> 또, 논리회로 형성영역(LogiC)의 p형 웨(3)에는, 논리회로를 구성하는 n채널형 MISFET(Qn)가 형성되고, n형 웨(4)에는, 논리회로를 구성하는 p채널형 MISFET(Qp)가 형성된다.

<120> 다음에, 예컨대 불산계의 세정액을 이용하여 반도체 기판(1)(p형 웨(3) 및 n형 웨(4))의 표면을 웨트 세정한 후, 도 7~도 10에 나타내는 바와 같이, 약 800°C의 열산화로 p형 웨(3) 및 n형 웨(4) 각각의 표면에 막 두께 6nm 정도의 청정한 게이트 산화막(게이트 절연막)(8)을 형성한다.

<121> 이어서, 게이트 산화막(8)상에 게이트 전극(G)을 형성한다. 여기서, 도 10은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 7의 좌측 도면은, 도 10의 A-A 단면도이며, 도 8은 도 10의 B-B 단면도이다. 또, 도 7의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 9는 논리회로 형성영역(LogiC)의 단면도이다.

<122> 이 게이트 전극(G)은, 이하와 같이 형성된다. 우선, 게이트 산화막(8)의 상부에 예컨대 막 두께 100nm 정도의 저저항 다결정실리콘막(9)을 CVD법으로 퇴적한다.

<123> 다음에, 예컨대 포토레지스트막(도시하지 않음)을 마스크로 하여 다결정실리콘막(9)을 드라이 예칭함으로써, 다결정실리콘막(9)으로 이루어지는 게이트 전극(G)을 형성한다.

<124> 도 10, 도 7의 좌측 도면 및 도 8에 나타내는 바와 같이, 메모리셀 형성영역(SRAM)의 활성영역(Ap1)상에는, 전송용 MISFET(Qt1)의 게이트 전극(G)과, 구동용 MISFET(Qd1)의 게이트 전극(G)이 형성되고, 활성영역(Ap2)상에는, 전송용 MISFET(Qt2)의 게이트 전극(G)과, 구동용 MISFET(Qd2)의 게이트 전극(G)이 형성되

어 있다. 또, 활성영역(An1)상에는, 부하용 MISFET(Qp2)의 게이트 전극(G)이 형성되고, 활성영역(An2)상에는, 부하용 MISFET(Qp1)의 게이트 전극(G)이 형성되어 있다. 이들 게이트 전극은 각각 도면중 A-A와 직교하는 방향으로 형성되고, 부하용 MISFET(Qp1)의 게이트 전극(G)과 구동용 MISFET(Qd1)의 게이트 전극은 공통이며, 또 부하용 MISFET(Qp2) 및 구동용 MISFET(Qd2)의 게이트 전극은 공통이다.

<125> 또, 논리회로 형성영역(Logic)의 반도체 기판(1)(p형 웨(3) 및 n형 웨(4))상에도, 이 게이트 전극(G)이 형성되고(도 9), 또 아날로그 용량 형성영역(Analog Capacitor)의 소자분리(2)상에는, 배선의 역할을 달성하는 게이트 전극(G)이 형성된다(도 7의 좌측 도면).

<126> 다음에, 예컨대 p형 웨(3)상의 게이트 전극(G)의 양측에 n형 불순물(인)을 주입함으로써 n-형 반도체영역(13)을 형성하고, 또 n형 웨(4)상에 p형 불순물(비소)를 주입함으로써 p-형 반도체영역(14)을 형성한다.

<127> 이어서, 반도체 기판(1)상에 예컨대 CVD법으로 산화실리콘막(16)을 퇴적한다. 이 산화실리콘막은, 후술하는 사이드월 스파이서(16s) 형성시의 에칭 스텁퍼로서의 기능을 가진다.

<128> 또, 산화실리콘막(16)상에 예컨대 CVD법으로 질화실리콘막으로 이루어지는 절연막을 퇴적한 후, 도 11~도 14에 나타내는 바와 같이, 이방적으로 에칭함으로써, 게이트 전극(G)의 측벽에 절연막으로 이루어지는 사이드월 스파이서(16s)를 형성한다. 이때, 질화실리콘막의 에칭을, 그 하층의 산화실리콘막(16)에 대해서 선택비를 취하는 조건으로 행하여, 반도체 기판(1)(p형 웨(3), n형 웨(4))의 표면의 에칭을 방지한다. 이어서, 이 사이드월 스파이서(16s)를 마스크로 산화실리콘막(16)을 에칭한다. 이때, 산화실리콘막(16)의 에칭을 그 하층의 반도체 기판(1)(p형 웨(3), n형 웨(4))에 대해서 선택비를 취하는 조건으로 행한다.

<129> 다음에, 예컨대 p형 웨(3)에 n형 불순물(인 또는 비소)을 이온 주입함으로써 n+형 반도체영역(17)(소스, 드레인)을 형성하고, n형 웨(4)에 p형 불순물(봉소)을 이온주입함으로써 p+형 반도체영역(18)(소스, 드레인)을 형성한다.

<130> 여기서, 도 14는 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 11의 좌측 도면은, 도 14의 A-A 단면도이며, 도 12는 도 14의 B-B 단면도이다. 또, 도 11의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 13은 논리회로 형성영역(Logic)의 단면도이다.

<131> 여기까지의 공정에서, 메모리셀 형성영역(SRAM)에, 메모리셀(MC)을 구성하는 6개의 MISFET(구동용 MISFET(Qd1, Qd2), 전송용 MISFET(Qt1, Qt2) 및 부하용 MISFET(Qp1, Qp2))를 완성하고, 또 논리회로 형성영역(Logic)에 n채널형 MISFET(Qn) 및 p채널형 MISFET(Qp)를 완성한다.

<132> 계속해서, 도 15~도 18에 나타내는 바와 같이, 예컨대 반도체 기판(1)의 표면을 세정한 후, 반도체 기판(1)상에 스퍼터법에 의해, 예컨대 Co막, Ni막 혹은 Ti막 등의 금속막을 퇴적하고, 이어서 600°C에서 1분간의 열처리를 시행함으로써, 반도체 기판(1)의 노출부(n+형 반도체영역(17), p+형 반도체영역(18)) 및 게이트 전극(G)상에, CoSi₂, NiSi 혹은 TiSi 등의 금속 실리사이드(실리사이드)층(19)을 형성한다. 여기서, 도 18은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 15의 좌측 도면은 도 18의 A-A 단면도이며, 도 16은 도 18의 B-B 단면도이다. 또, 도 15의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 17은 논리회로 형성영역(Logic)의 단면도이다.

<133> 이어서, 미반응의 금속막을 에칭에 의해 제거한 후, 700에서 800°C로 1분간 정도의 열처리를 시행하여 금속 실리사이드층(19)을 저저항화 한다.

<134> 이어서, 반도체 기판(1)상에 예컨대 CVD법으로 질화실리콘막(20)으로 이루어지는 절연막을 퇴적한다. 또한, 이 질화실리콘막(20)은, 후술하는 콘택트홀(C1)의 형성시 에칭 스텁퍼로서의 역할을 달성한다.

<135> 계속해서, 질화실리콘막(20)(절연막)의 상부에 예컨대 산화실리콘막(21)으로 이루어지는 절연막을 퇴적한다. 이 산화실리콘막(21)은, 예컨대 테트라에톡시실란을 원료로 하고, 플라즈마 CVD법으로 형성한다. 이 산화실리콘막(21) 및 질화실리콘막(20)은, 게이트 전극(G)과 후술하는 국소 배선(로컬 인터커넥터)(LI)와의 사이의 충간절연막이 된다.

<136> 다음에, 도 19~도 22에 나타내는 바와 같이, 예컨대 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 산화실리콘막(21)을 드라이 에칭하고, 계속해서 질화실리콘막(20)을 드라이 에칭함으로써 콘택트 홀(C1)을 형성한다. 여기서, 도 22는, 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체

기판의 평면도이고, 도 19의 좌측 도면은 도 22의 A-A 단면도이며, 도 20은 도 22의 B-B의 단면도이다. 또, 도 19의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 21은 논리회로 형성영역(Logi c)의 단면도이다.

<137> 즉, 메모리셀 형성영역(SRAM)의 n+형 반도체영역(17)(소스, 드레인) 및 p+형 반도체영역(18)(소스, 드레인)상에 콘택트 홀(C1)을 형성한다. 이중 부하용 MISFET(Qp1)의 드레인상의 콘택트 홀(C1)은 부하용 MISFET(Qp2)의 게이트 전극 위까지 연장되어 있다. 또, 부하용 MISFET(Qp2)의 드레인상의 콘택트 홀(C1)은 부하용 MISFET(Qp1)의 게이트 전극 위까지 연장되어 있다. 또, 전송용 MISFET(Qt1, Qt2)의 게이트 전극(G)상에 콘택트 홀(C1)을 형성한다(도 22, 도 19의 좌측 도면, 도 20).

<138> 또, 논리회로 형성영역(Logi c)의 n+형 반도체영역(17)(소스, 드레인) 및 p+형 반도체영역(18)(소스, 드레인)상에 콘택트 홀(C1)을 형성한다(도 21). 또, 아날로그 용량 형성영역(Analog Capacitor)의 게이트 전극(G)(배선)상에 콘택트 홀(C1)을 형성한다(도 19의 우측 도면).

<139> 이어서, 예컨대 콘택트 홀(C1)내에 도전성 막을 매립함으로써 플러그(접속부)(P1)를 형성한다. 이 플러그(P1)를 형성하면, 우선, 콘택트 홀(C1)의 내부를 포함하는 산화실리콘막(21)의 상부에 스퍼터법에 의해, 예컨대 TiN막으로 되는 얇은 배리어층을 퇴적하고, 이어서 CVD법에 의해 예컨대 W(텅스텐)막으로 되는 도전성 막을 퇴적한다. 이후, 산화실리콘막(21)의 표면이 노출할 때까지 에치백 혹은 CMP을 시행하여 콘택트 홀(C1) 외부의 TiN막 및 W막을 제거함으로써, 콘택트 홀(C1)내에 플러그(P1)를 형성한다.

<140> 이어서, 도 23~도 26에 나타내는 바와 같이, 플러그(P1) 및 산화실리콘막(21)상에 산화실리콘막(22)으로 이루어지는 절연막을 CVD법으로 퇴적한다. 이어서, 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 산화실리콘막(22)을 드라이 에칭함으로써, 플러그(P1)상에 배선 홈(HMO)을 형성한다.

<141> 여기서, 도 26은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 23의 좌측 도면은 도 26의 A-A 단면도이며, 도 24는 도 26의 B-B 단면도이다. 또, 도 23의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 25는 논리회로 형성영역(Logi c)의 단면도이다.

<142> 즉, 메모리셀 형성영역(SRAM)의 n+형 반도체영역(17)(소스, 드레인) 및 p+형 반도체영역(18)(소스, 드레인)상의 플러그(P1)상에 배선 홈(HMO)을 형성한다.

<143> 이중 부하용 MISFET(Qp1)의 드레인과 접속되는 플러그(P1)상의 배선 홈(HMO)은, 구동용 MISFET(Qd1)의 드레인과 접속되는 플러그(P1) 위까지 연장되어 있다. 또, 부하용 MISFET(Qp2)의 드레인과 접속되는 플러그(P1)상의 배선 홈(HMO)은, 구동용 MISFET(Qd2)의 드레인과 접속되는 플러그(P1) 위까지 연장되어 있다(도 26, 도 23의 좌측 도면, 도 24). 이를 배선 홈(HMO)내에 형성되는 국소 배선(LIc(M0c))은 후술하는 SRAM 용량(C_{SR})의 하부전극을 구성한다. 또, 전송용 MISFET(Qt1, Qt2)의 게이트 전극(G)상의 플러그(P1)상에 배선 홈(HMO)을 형성한다(도 26).

<144> 또, 논리회로 형성영역(Logi c)의 n+형 반도체영역(17)(소스, 드레인) 및 p+형 반도체영역(18)(소스, 드레인)상의 플러그(P1)상에 배선 홈(HMO)을 형성한다(도 25). 또, 아날로그 용량 형성영역(Analog Capacitor)의 게이트 전극(G)(배선)상의 플러그(P1)상에 배선 홈(HMO)을 형성한다(도 23의 우측 도면). 이 플러그(P1)상의 배선 홈(HMO)내에 형성되는 국소 배선(LIc(M0c))은 후술하는 아날로그 용량(C_{AN})의 하부전극을 구성한다.

<145> 또한, 아날로그 용량 형성영역(Analog Capacitor)에 있어서는, 산화실리콘막(21)상에도, 배선 홈(HMO)이 형성되어 있다. 이 배선 홈은, 후술하는 아날로그 용량(C_{AN})의 상부전극(24)에 소망의 전위를 인가하기 위한 배선을 형성하기 위해 사용된다. 또한, 아날로그 용량(C_{AN})의 하부전극(LIc(M0c))에는 게이트 전극(G)(배선)을 통해서 소망의 전위가 인가된다.

<146> 이와 같이, 본 실시형태에 의하면, 아날로그 용량(C_{AN})의 상부전극(24)에 후술하는 국소 배선(LI(M0))을 통해서 그 이면에서 소망의 전위를 인가하기 위해, 상부전극상에 콘택트 홀(플러그)을 형성하지 않고, 콘택트 홀 형성시(에칭시) 상부전극의 데미지를 방지할 수 있다.

<147> 이어서, 배선 홈(HMO)내에 도전성 막을 매립함으로써 국소 배선(로컬 인터커넥터)(LI, LIc)를 형성한다. 이 국소 배선은, 후술하는 제1층 배선보다 하층에 위치하는 배선이기 때문에, 「M0」라 불려지는 일도 있다. 이 국소 배선(로컬 인터커넥터)(LI(M0), LIc(M0c))을 형성하기 위해서는, 우선 배선 홈(HMO)의 내부를 포함하는 산화실리콘막(22)의 상부에 스퍼터법에 의해, 예컨대 TiN막으로 되는 얇은 배리어층을 퇴적하고, 이어서 CVD법에 의해

예컨대 W막으로 되는 도전성 막을 퇴적한다. 이후, 산화실리콘막(22)의 표면이 노출할 때까지 에치백 혹은 CMP를 시행하여, 배선 홈(HMO)의 외부의 TiN막 및 W막을 제거함으로써 형성한다.

<148> 이와 같이, 본 실시형태에 의하면, 배선 홈(HMO)내에 도전성 막(TiN막 및 W막)을 매립함으로써 국소 배선(LI(MO), LIc(M0c))을 형성한 것이므로, 그 상부가 평탄화 되고, 그 상부에 형성되는 용량절연막이나 상부전극을 정밀도 좋게 형성할 수 있다. 예컨대, 인접하는 용량간에서의 용량 편차를 3% 이하로 할 수 있고, 종합 편차를 20% 이하로 할 수 있다.

<149> 이 공정에 의해, 메모리셀 형성영역(SRAM)에 있어서는, 부하용 MISFET(Qp1)의 드레인, 구동용 MISFET(Qd1)의 드레인, 부하용 MISFET(Qp2)의 게이트 전극(G)이, 국소 배선(LIc(M0c)) 및 플러그(P1)를 통해서 접속된다. 또, 부하용 MISFET(Qp2)의 드레인, 구동용 MISFET(Qd2)의 드레인, 부하용 MISFET(Qp1)의 게이트 전극(G)이 국소 배선(LIc(M0c)) 및 플러그(P1)를 통해서 접속된다.

<150> 여기서, SRAM의 메모리셀 어레이중에는, 복수의 메모리셀이 종, 횡으로 반복하여 형성된다. 도 26의 파선은 메모리셀의 단위영역을 나타낸다. 예컨대, 이 직사각형 형상의 영역의 장변 및 단변에 대해서 선대칭으로 복수의 메모리셀이 형성된다.

<151> 이어서, 도 27~30에 나타내는 바와 같이, 산화실리콘막(22) 및 국소 배선(LI(MO), LIc(M0c))상에는 예컨대 질화실리콘막(23)을 형성한다. 이 질화실리콘막(23)은, 국소 배선(LIc(M0c))과 후술하는 상부전극(24)과의 사이에 형성되어, 용량절연막이 된다. 이 질화실리콘막(23)(용량절연막)의 막 두께는, 예컨대 메모리셀 1개분의 영역(단위영역)이 $2.0 \mu\text{m}^2$ 이고, 상술한 하나의 국소 배선(LIc(M0c))의 형성영역이 $0.17 \mu\text{m}^2$ 인 경우에는 10nm 정도로 한다.

<152> 여기서, 도 30은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 27의 좌측 도면은 도 30의 A-A 단면도이며, 도 28은 도 30의 B-B 단면도이다. 또, 도 27의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 29는 논리회로 형성영역(Logic)의 단면도이다.

<153> 다음에, 메모리셀 형성영역(SRAM)에 형성된 2개의 용량을 구성하는 국소 배선(LIc(M0c))중 어느 한쪽의 국소 배선(LIc(M0c))상의 질화실리콘막(23)을 제거하여, 개구부(OP1)를 형성한다(도 30, 도 28). 또, 아날로그 용량 형성영역(Analog Capacitor)에 형성된 국소 배선(LI(MO))상의 질화실리콘막(23)을 제거하여, 개구부(OP2)를 형성한다(도 27).

<154> 이어서, 개구부(OP1, OP2)내를 포함하는 질화실리콘막(23)상에, 스퍼터법에 의해 TiN막 혹은 W막과 같은 도전성 막을 퇴적하고, 패터닝함으로써, 상기 국소 배선(LIc(M0c))상에, 상부전극(24)을 형성한다.

<155> 여기서, 메모리셀 형성영역(SRAM)의 상부전극(24)은, 2개의 국소 배선(LIc(M0c))을 덮도록 형성되고, 또 이 상부전극(24)은 개구부(OP1)를 통해서 국소 배선(LIc(M0c))과 접속된다(도 30, 도 27의 좌측 도면, 도 28). 또, 마찬가지로, 아날로그 용량 형성영역(Analog Capacitor)의 상부전극(24)은 용량을 구성하는 국소 배선(LIc(M0c))를 덮도록 형성되고, 또 이 상부전극(24)은 개구부(OP2)를 통해서 국소 배선(LI(MO))과 접속된다(도 27의 좌측 도면).

<156> 이와 같이, 본 실시형태에 의하면, 상부전극(24)은, 국소 배선(LIc(M0x))을 덮도록 패터닝 되기 때문에, 상부전극(24)의 형성시(W막의 예칭시)에, 국소 배선(LIc(M0c))상의 용량절연막(23), 즉 용량에 기여하는 용량절연막이 예칭되지 않고, 용량 단부에서의 누설전류를 방지할 수 있다. 또, 상술의 국소 배선(LIc)의 단부는 플러그(접속부)(P1)의 상부에 형성된다.

<157> 예컨대, 도 45에 나타내는 바와 같이, 상부전극(24)에 의해 덮여지지 않는 국소 배선(LIc(M0c))의 부분이 존재하는 경우에는, 상부전극(24)의 형성시(W막의 예칭시)에, 상부전극(24) 단부에 있어서, 용량절연막(23)이 데미지를 받고, 또 오버 에칭된 경우에는, 그 막 두께가 감소한다. 그 결과, 용량절연막중 편홀이 발생하고, 누설전류가 증가하여 버린다. 이것에 대해서, 본 실시형태에서는, 용량에 기여하는 용량절연막이 예칭되는 경우가 없으므로, 누설전류를 방지할 수 있다.

<158> 특히, 질화실리콘막과 TiN막은, 에칭 레이트의 차가 작기 때문에, 선택비를 취하기 어렵고, 상부전극(24)에 TiN막을 이용하고, 또 용량절연막(23)에 질화실리콘막을 이용하는 경우에, 적용하여 효과가 크다.

<159> 이상의 공정에 의해, 메모리셀 형성영역(SRAM)에, 국소 배선(LIc(M0c))과, 질화실리콘막(23)과 상부전극(24)으

로 구성되는 SRAM 용량(C_{SR})을 형성할 수 있고, 또 아날로그 용량 형성영역(Analog Capacitor)에, 국소 배선 (LIC(M0c))과 질화실리콘막(23)과 상부전극(24)으로 구성되는 아날로그 용량(C_{AN})을 형성할 수 있다.

<160> 이상과 같이, 본 실시형태에 의하면, 메모리셀 형성영역에 형성되는 SRAM의 축적노드 사이(국소 배선상)에, SRAM 용량(C_{SR})을 형성하므로, SRAM의 메모리셀로 입사한 a선에 의한 소프트 에러를 저감할 수 있다.

<161> 또, 본 실시형태에 의하면, SRAM 용량(C_{SR})과 아날로그 용량(C_{AN})을 동일한 공정에서 형성할 수 있다.

<162> 이때, 상술한 바와 같이, 하부전극이 되는 국소 배선(LIC(M0c)) 위가 평탄화 되어 있으므로, SRAM 용량(C_{SR})이나 아날로그 용량(C_{AN})의 편차를 저감할 수 있다. 또, 상술한 바와 같이, 아날로그 용량(C_{AN})에 요구되는 3% 이하의 인접간 용량 편차 및 20% 이하의 종합 편차를 달성할 수 있다.

<163> 또, 본 실시형태에 있어서는, SRAM 용량(C_{SR})과 아날로그 용량(C_{AN})의 하부전극(국소 배선)이나 상부전극을 W막 등의 금속막이나 TiN막 등의 도전성을 가지는 금속의 화합물막으로 구성(소위 MIM(Metal Insulator Metal)구조)한 것이므로, 용량 특성을 향상시킬수 있다. 예컨대, 이들 전극재료로서 폴리실리콘을 이용한 경우에는 폴리실리콘내에 공핍증이 생길 수 있기 때문에, 전압의존성이 발생하여 버린다. 이것에 비해 MIM 구조에 있어서는, 전압의존성을 억제할 수 있다.

<164> 또, 아날로그 용량(C_{AN})은 산화실리콘막(21)상에 형성되기 때문에, 기판 전위의 영향을 받기 어렵고, 용량의 전압 특성을 향상시킬수 있다.

<165> 또, 용량절연막의 막 두께를 게이트 절연막의 막 두께와 무관하게 설정할 수 있으므로, 터널전류에 의한 누설전류를 방지할 수 있다. 또한, 터널전류는 절연막의 막 두께가 2.6nm 미만인 경우에 $1 \times 10^{-4}\text{A/cm}^2$ 를 초과할 수 있으므로, 용량절연막의 막 두께를 2.6nm 이상으로 할 필요가 있다.

<166> 이후, 상부전극(24)상에 중간절연막(산화실리콘막(25))을 통해서 제1층 배선(M1) 및 제2층 배선(M2)이 형성된다. 계속해서, 이들 배선의 형성공정에 대해서 설명한다.

<167> 우선, 도 31~도 34에 나타내는 바와 같이, 상부전극(24) 및 질화실리콘막(23)에 산화실리콘막(25)을 CVD법으로 퇴적한다. 이어서, 국소 배선(LI(M0), LIC(M0c))상의 산화실리콘막(25) 및 질화실리콘막(23)을 에칭에 의해 제거함으로써 콘택트 홀(C2)을 형성한다. 여기서, 도 34는 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 31의 좌측 도면은 도 34의 A-A 단면도이며, 도 32는 도 34의 B-B 단면도이다. 또, 도 31의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 33은 논리회로 형성영역(Logi)의 단면도이다.

<168> 즉, 메모리셀 형성영역(SRAM)의 국소 배선(LI(M0), LIC(M0c))상에 콘택트 홀(C2)을 형성한다(도 34). 이중 전송용 MISFET(Qt1, Qt2)의 게이트 전극(G)과 접속되는 국소 배선(LI(M0))상의 콘택트 홀(C2)은, 제1층 배선(M1) (워드선(WL))과 상기 게이트 전극(G)과의 접속을 위해 사용된다.

<169> 또, 아날로그 용량 형성영역(Analog Capacitor)에 있어서는, 국소 배선(LI(M0))상에서, 도 31에 나타내는 단면에는 나타나지 않는 영역상에, 콘택트 홀(C2)이 형성된다. 이 콘택트 홀(C2)은, 아날로그 용량(C_{AN})의 상부전극(24)에 국소 배선(LI(M0))을 통해서 소망의 전위를 인가하기 위해 사용된다.

<170> 또, 논리회로 형성영역(Logi)의 국소 배선(LI(M0))상에 콘택트 홀(C2)을 형성한다(도 33).

<171> 이어서, 콘택트 홀(C2)내에 도전성 막을 매립함으로써 플러그(P2)를 형성한다. 이 플러그(P2)를 형성하기 위해서는, 우선 콘택트 홀(C2)의 내부를 포함하는 산화실리콘막(25)의 상부에 스퍼터법에 의해 예컨대, TiN막으로 되는 얇은 배리어층을 퇴적하고, 이어서 CVD법에 의해 예컨대, W막으로 되는 도전성 막을 퇴적한다. 이후, 산화실리콘막(25)의 표면이 노출할 때까지 에치백 혹은 CMP를 시행하여, 콘택트 홀(C2) 외부의 TiN막 및 W막을 제거한다.

<172> 계속해서, 도 35~도 37에 나타내는 바와 같이, 산화실리콘막(25) 및 플러그(P2)상에, 제1층 배선(M1) 및 플러그(P3)를 형성한다. 이 제1층 배선(M1) 및 플러그(P3)는, 예컨대 동(銅)막으로 되는 매립 배선 및 매립 플러그로 할 수 있다. 여기서, 도 38은 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 35의 좌측 도면은 도 38의 A-A 단면도이며, 도 36은 도 38의 B-B 단면도이다. 또, 도 35의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 37은 논리회로 형성영역(Logi

c)의 단면도이다.

<173> 이 제1층 배선(M1) 및 플러그(P3)를 형성하기 위해서는, 우선 산화실리콘막(25) 및 플러그(P2)상에 산화실리콘막(27)을 CVD법으로 퇴적하고, 이어서 포토레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 산화실리콘막(27)을 드라이 에칭함으로써, 배선 홈(HM1) 및 콘택트 홀(C3)을 형성한다. 다음에, 배선 홈(HM1) 및 콘택트 홀(C3)내를 포함하는 산화실리콘막(25)에 예컨대, TiN막으로 이루어지는 얇은 배리어층을 스퍼터법 혹은 CVD법으로 퇴적하고, 이어서 이 배리어층상에 동(Cu)막을 스퍼터법 혹은 도금법으로 형성한다. 이후, 산화실리콘막(27)의 표면이 노출할 때까지 에치백 혹은 CMP를 시행하여, 배선 홈(HM1) 및 콘택트 홀(C3) 외부의 TiN막 및 Cu막을 제거함으로써, 배선 홈(HM1)내에 제1층 배선(M1)을, 또 콘택트 홀(C3)내에 플러그(P3)를 형성한다.

<174> 즉, 메모리셀 형성영역(SRAM)에는, 전송용 MISFET(Qt1)의 게이트 전극(G)과 전기적으로 접속되는 플러그(P2)와, 전송용 MISFET(Qt2)의 게이트 전극(G)과 전기적으로 접속되는 플러그(P2)를 접속하는 것과 같은 제1층 배선(M1)(워드선(WL))을 형성한다. 또, 상기 플러그(P2) 이외의 플러그(P2)상에는, 플러그(P3)가 형성된다(도 38).

<175> 또, 논리회로 형성영역(Logic)의 플러그(P2)상에도, 제1층 배선(M1) 등이 형성된다(도 37). 또, 도 38중에는 나타나 있지 않지만, 아날로그 용량 형성영역(Analog Capacitor)의 플러그(P2)상에도 제1층 배선(M1) 등이 형성된다.

<176> 이어서, 도 39에 나타내는 바와 같이, 제1층 배선(M1), 플러그(P3) 및 산화실리콘막(27)상에, 산화실리콘막을 CVD법으로 퇴적하고, 이 산화실리콘막중에 콘택트 홀(C2) 및 플러그(P2)와 같이, 콘택트 홀(C4) 및 플러그(P4)를 형성한다. 여기서, 도 39는 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이다.

<177> 계속해서, 상기 산화실리콘막 및 플러그(P4)상에 산화실리콘막을 CVD법으로 퇴적하고, 이 막중에 제1층 배선(M1)과 같이, 제2층 배선(M2)을 형성한다. 이 제2층 배선(M2) 및 상기 플러그(P4)는 메모리셀 형성영역(SRAM), 아날로그 용량 형성영역(Analog Capacitor) 및 논리회로 형성영역(Logic)의 단면도에서 생략한다. 또한, 메모리셀 형성영역(SRAM)에 있어서는, 도 39에 나타내는 바와 같이, 제2층 배선(M2)은, 구동용 MISFET(Qd1)의 소스와 전기적으로 접속되는 플러그(P4) 및 구동용 MISFET(Qd2)의 소스와 전기적으로 접속되는 플러그(P4)상에, 이들을 접속하는 것과 같이 형성되며, 이러한 제2층 배선(M2)에는, 접지전압(Vss)이 인가된다. 또, 제2층 배선(M2)은, 부하용 MISFET(Qp1)의 소스와 전기적으로 접속되는 플러그(P4) 및 부하용 MISFET(Qp2)의 소스와 전기적으로 접속되는 플러그(P4)상에, 각각 제1층 배선(워드선(WL))과 직교하는 방향으로 형성되며, 이러한 제2층 배선(M2)에는, 전원전압(Vcc)이 인가된다. 또, 제2층 배선(M2)은, 전송용 MISFET(Qt1, Qt2)의 일단과 전기적으로 접속되는 플러그(P4)상에, 각각 제1층 배선(워드선(WL))과 직교하는 방향으로 형성되며, 이러한 제2층 배선(M2)은, 데이터선(DL, /DL)(비트선쌍)이 된다.

<178> 이상의 공정에 의해, 도 1 및 도 2를 이용해서 설명한 SRAM 메모리셀, 논리회로 및 아날로그 용량을 가지는 반도체 접적회로장치를 거의 완성한다.

<179> 여기서, 본 실시형태에 있어서 설명한 아날로그 용량을 가지는 회로에 대해서 일례를 기술한다.

<180> 도 40은, PLL회로의 구성을 나타내는 도면이다. 이와 같은 PLL회로는, 위상비교기(401), 저역필터(402) 및 VCO(Voltage Controlled Oscillator)(403)를 가지고, 레퍼런스 클록((RC)에 응답하여 출력신호를 발진시킨다. 이 저역필터(402)에는 아날로그 용량(C_{AN})이 사용되고 있다. 이와 같은 PLL회로를 구성하는 아날로그 용량(C_{AN})을, 상술한 바와 같이, 게이트 절연막을 이용해서 형성한 경우는, 터널전류에 의한 누설전류가 문제가 된다. 이 누설전류가 그 목표치인 $1 \times 10^{-4} A/cm^2$ 를 초과하는 경우는, 시간 오차가 발생하여, PLL회로의 정상동작을 저해하여 버린다.

<181> 그러나, 본 실시형태에서 설명한 아날로그 용량(C_{AN})을 이용한 경우는, 상술한 바와 같이 용량절연막의 막 두께를 확보할 수 있고, PLL회로의 누설전류를 저감할 수 있어, PLL회로의 오동작을 방지할 수 있다.

<182> 또한, 본 실시형태에서 설명한 아날로그 용량(C_{AN})은, 상술한 PLL회로에 한정되지 않고, 용량을 가지는 회로에 널리 적용 가능하다.

<183> (실시형태 2)

<184> 다음에, 본 실시형태의 반도체 접적회로장치를 그 제조공정에 따라 설명한다. 도 41~도 44는, 본 실시형태의 반도체 접적회로장치의 제조방법을 나타내는 기판의 주요부 단면도 혹은 평면도이다. 또한, 도 2~도 26을 이용해

서 설명한 국소 배선(LI(M0), LIc(M0c))의 형성공정까지는, 실시형태 1의 경우와 동일하기 때문에 그 설명을 생략한다.

<185> 우선, 실시형태 1에서 설명한 도 23~도 26에 나타내는 반도체 기판(1)을 준비한다. 이들 도면중 국소 배선(LI(M0), LIc(M0c))은 실시형태 1에서 설명한 바와 같이, 산화실리콘막(22)중에 형성된 배선 흄(HMO) 내부를 포함하는 산화실리콘막(22)의 상부에 스퍼터법에 의해 예컨대, TiN막으로 되는 얇은 배리어층을 퇴적하고, 이어서 CVD법에 의해 예컨대 W막으로 되는 도전성 막을 퇴적한 후, 산화실리콘막(22)의 표면이 노출할 때까지 에치백 혹은 CMP를 시행함으로써 형성한다.

<186> 본 실시형태에 있어서는, 도 41~도 44에 나타내는 바와 같이, 이 산화실리콘막(22)의 표면을 또 100nm 정도 에칭하고, 국소 배선(LI(M0), LIc(M0c))의 측벽 상부를 노출시킨다. 여기서, 도 44는, 메모리셀 형성영역(SRAM)에 형성되는 메모리셀 약 1개분의 영역을 나타내는 반도체 기판의 평면도이고, 도 41의 좌측 도면은 도 44의 A-A 단면도이며, 도 42는 도 44의 B-B 단면도이다. 또, 도 41의 우측 도면은 아날로그 용량 형성영역(Analog Capacitor)의 단면도이고, 도 43은 논리회로 형성영역(Logc)의 단면도이다.

<187> 이어서, 산화실리콘막(22) 및 국소 배선(LI(M0), LIc(M0c))상에 예컨대, 질화실리콘막(23)을 형성한다. 이 질화실리콘막(23)은 국소 배선(LIc(M0c))과 후술하는 상부전극(24)과의 사이에 형성되어, 용량절연막이 된다. 이 질화실리콘막(23)(용량절연막)의 막 두께는, 예컨대 메모리셀 약 1개분의 영역이 $2.0 \mu\text{m}^2$ 인 경우에는, 20nm 정도로 한다.

<188> 다음에, 메모리셀 형성영역(SRAM)에 형성된 2개의 국소 배선(LIc(M0c))중 어느 한쪽의 국소 배선(LIc(M0c))상의 질화실리콘막(23)을 제거하고, 개구부(OP1)를 형성한다(도 34, 도 32). 또, 아날로그 용량 형성영역(Analog Capacitor)에 형성된 국소 배선(LI(M0))상의 질화실리콘막(23)을 제거하여, 개구부(OP2)를 형성한다(도 31).

<189> 이어서, 실시형태 1의 경우와 같이, 개구부(OP1, OP2)내를 포함하는 질화실리콘막(23)상에 스퍼터법에 의해 예컨대, TiN막 혹은 W막을 퇴적하고, 패터닝함으로써, 상기 국소 배선(LIc(M0c))상에, 상부전극(24)을 형성한다.

<190> 이상의 공정에 의해, 메모리셀 형성영역(SRAM)에 국소 배선(LIc(M0c))과, 질화실리콘막(23)과 상부전극(24)으로 구성되는 SRAM 용량(C_{SR})을 형성할 수 있고, 또 아날로그 용량 형성영역(Analog Capacitor)에 국소 배선(LIc(M0c))과 질화실리콘막(23)과 상부전극(24)으로 구성되는 아날로그 용량(C_{AN})을 형성할 수 있다.

<191> 이후의 공정은, 도 31~도 39를 참조하면서 설명한 실시형태 1의 경우와 같기 때문에, 그 설명을 생략한다.

<192> 이와 같이, 본 실시형태에 의하면, 실시형태 1에서 설명한 효과에 부가하여, 국소 배선(LIc(M0c))을 형성한 후, 산화실리콘막(22)의 표면을, 다시 예칭한 것인으로, 국소 배선(LIc(M0c))의 측벽 상부가 노출하고, 이 측벽을 따라 용량절연막이 되는 질화실리콘막(23)을 형성할 수 있기 때문에, 용량을 증가시킬수 있다.

<193> 이상, 본 발명자에 의해 이루어진 발명을 실시형태에 의거해서 구체적으로 설명하였지만, 본 발명은 상기 실시형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위내에서 여러가지 변경 가능한 것은 말할 필요도 없다.

발명의 효과

<194> 본원에 있어서, 개시되는 발명중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

<195> SRAM의 메모리셀의 축적노드 사이에 용량을 형성함으로써, 소프트 에러를 저감할 수 있다.

<196> 또, 이러한 용량과, 아날로그 용량을 가지는 소자를 단일 기판상에 형성할 수 있고, 이들 용량에 의한 누설전류의 저감을 도모할 수 있다. 또, 이들 용량의 전압의존성을 저감할 수 있다. 또, 이들 용량의 변동을 저감할 수 있다.

<197> 그 결과, 이들 용량을 가지는 반도체 집적회로장치의 성능을 향상시킬수 있다.

도면의 간단한 설명

<1> 도 1은 본 발명의 실시형태 1인 반도체 집적회로장치중 SRAM의 메모리셀을 나타내는 등가 회로도,

<38> 도 38은 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 평면도,
 <39> 도 39는 본 발명의 실시형태 1인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 평면도,
 <40> 도 40은 본 발명의 실시형태 1인 반도체 집적회로장치중에 이용되는 회로의 일예를 나타내는 도면,
 <41> 도 41은 본 발명의 실시형태 2인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 단면도,
 <42> 도 42는 본 발명의 실시형태 2인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 단면도,
 <43> 도 43은 본 발명의 실시형태 2인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 단면도,
 <44> 도 44는 본 발명의 실시형태 2인 반도체 집적회로장치의 제조방법을 나타내는 기판의 주요부 평면도,
 <45> 도 45는 본 발명의 실시형태 1의 효과를 설명하기 위한 도면이다.

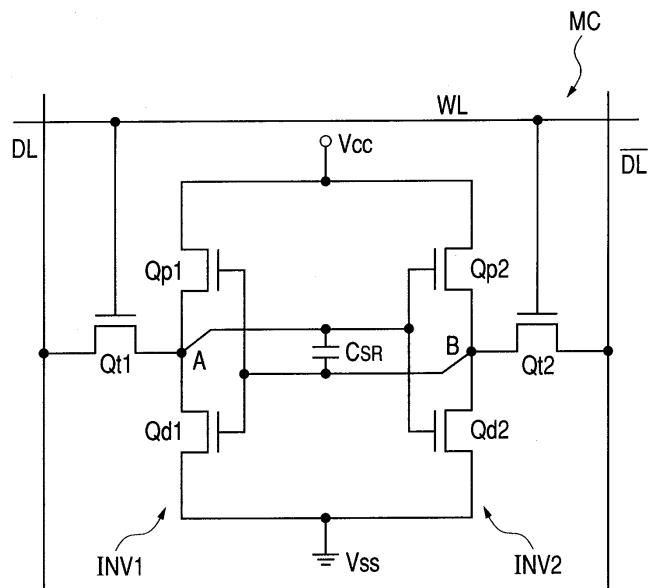
<46> [도면의 주요 부분에 대한 부호의 설명]

| | | | | |
|------|-----------------|----------------|-----------------|-------------|
| <47> | 1 | 반도체 기판, | 2 | 소자 분리, |
| <48> | 3 | p형 웰, | 4 | n형 웰, |
| <49> | 5 | 산화실리콘막, | 8 | 게이트 산화막, |
| <50> | 9 | 다결정실리콘막, | 13 | n-형 반도체영역, |
| <51> | 14 | p-형 반도체영역, | 16 | 산화실리콘막, |
| <52> | 16s | 사이드월 스페이서, | 17 | n+형 반도체영역, |
| <53> | 18 | p+형 반도체영역, | 19 | 금속 실리사이드층, |
| <54> | 20 | 질화실리콘막, | 21 | 산화실리콘막, |
| <55> | 22 | 산화실리콘막, | | |
| <56> | 23 | 질화실리콘막(용량절연막), | | |
| <57> | 24 | 상부전극, | 25 | 산화실리콘막, |
| <58> | 27 | 산화실리콘막, | A | 축적노드, |
| <59> | B | 축적노드, | An1 | 활성영역, |
| <60> | An2 | 활성영역, | Ap1 | 활성영역, |
| <61> | Ap2 | 활성영역, | C _{SR} | SRAM 용량, |
| <62> | C _{AN} | 아날로그 용량, | C1 | 콘택트 홀, |
| <63> | C2 | 콘택트 홀, | C3 | 콘택트 홀, |
| <64> | C4 | 콘택트 홀, | DL, /DL | 데이터선, |
| <65> | G | 게이트 전극, | HM0, HM1 | 배선 홈, |
| <66> | INV1 | CMOS 인버터, | INV2 | CMOS 인버터, |
| <67> | LI(M0) | 국소 배선, | LIc(M0c) | 국소 배선, |
| <68> | M1 | 제1층 배선, | M2 | 제2층 배선, |
| <69> | MC | 메모리셀, | OP1 | 개구부, |
| <70> | OP2 | 개구부, | P1 | 플러그, |
| <71> | P2 | 플러그, | P3 | 플러그, |
| <72> | P4 | 플러그, | Qd1 | 구동용 MISFET, |

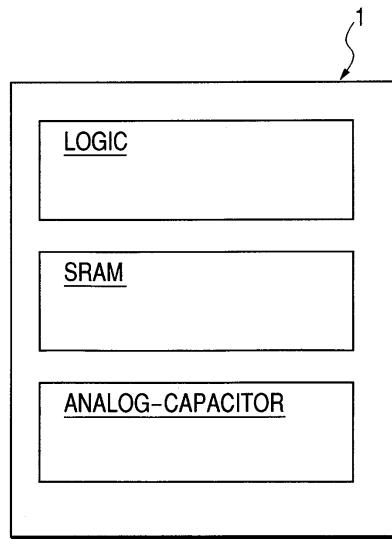
| | | | | |
|------|------------------|---------------|------|--------------|
| <73> | Qd2 | 구동용 MISFET, | Qp1 | 부하용 MISFET, |
| <74> | Qp2 | 부하용 MISFET, | Qt1 | 전송용 MISFET, |
| <75> | Qt2 | 전송용 MISFET, | WL | 워드선, |
| <76> | Vcc | 전원전압, | Vss | 접지전압, |
| <77> | 401 | 위상비교기, | 402 | 저역필터, |
| <78> | 403 | VCO, | Qn | n채널형 MISFET, |
| <79> | Qp | p채널형 MISFET, | SRAM | 메모리셀 형성영역, |
| <80> | Logic | 논리회로 형성영역, | | |
| <81> | Analog Capacitor | 아날로그 용량 형성영역. | | |

도면

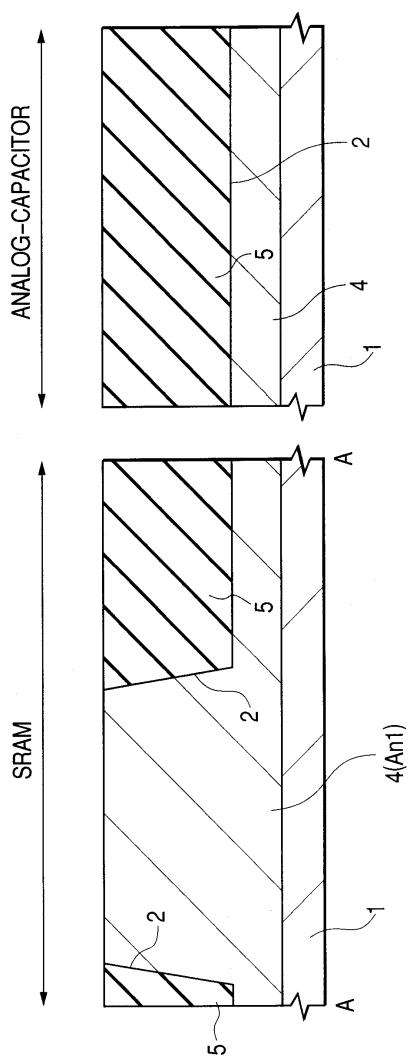
도면1



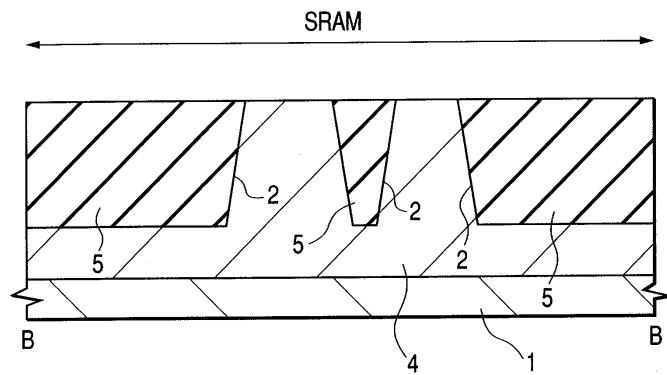
도면2



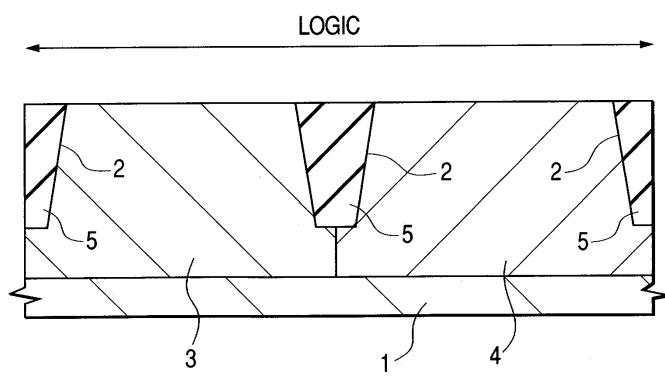
도면3



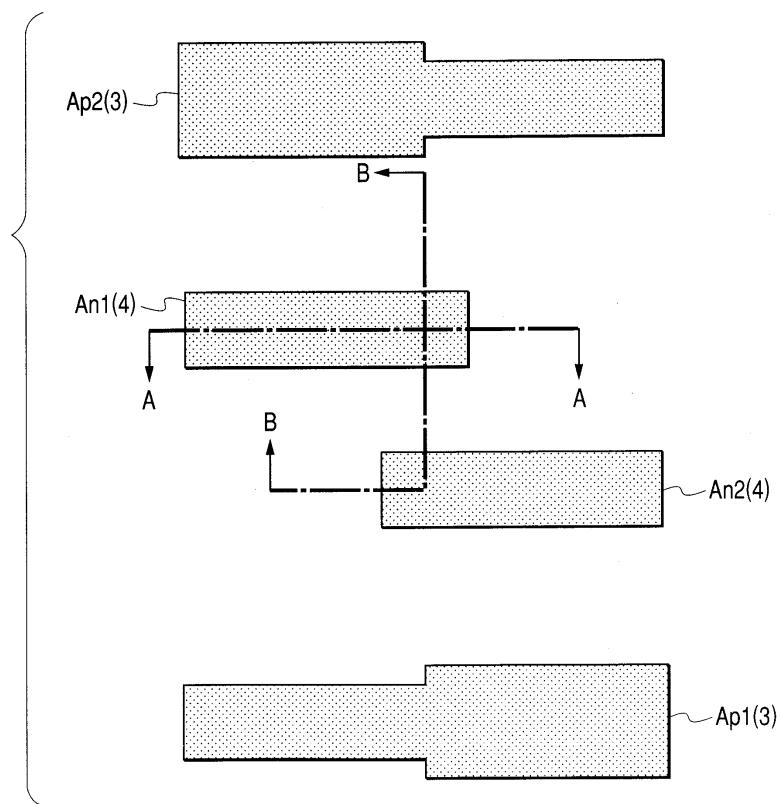
도면4



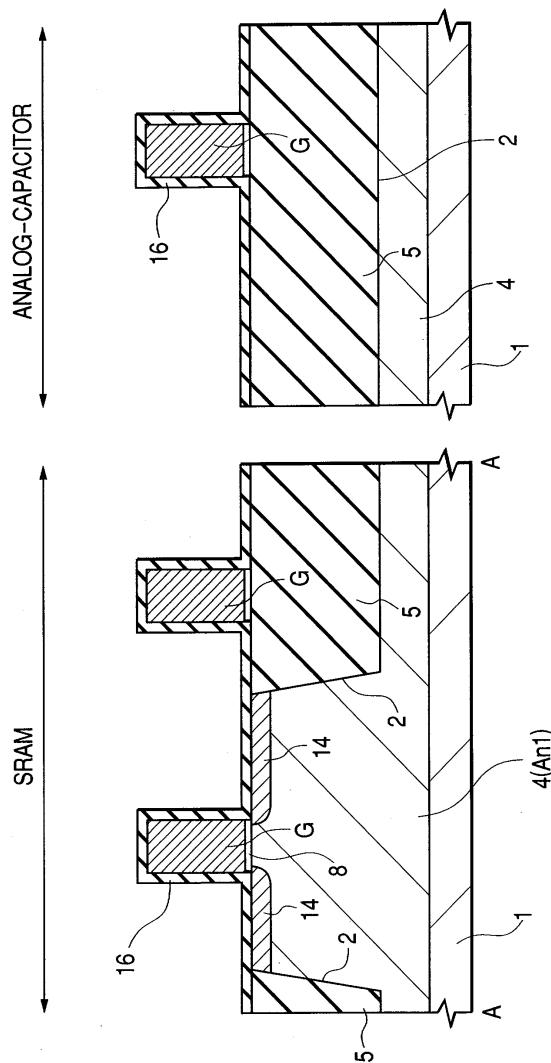
도면5



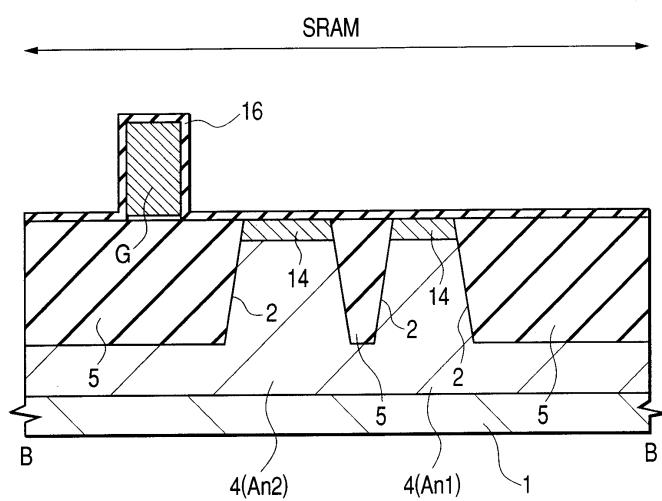
도면6



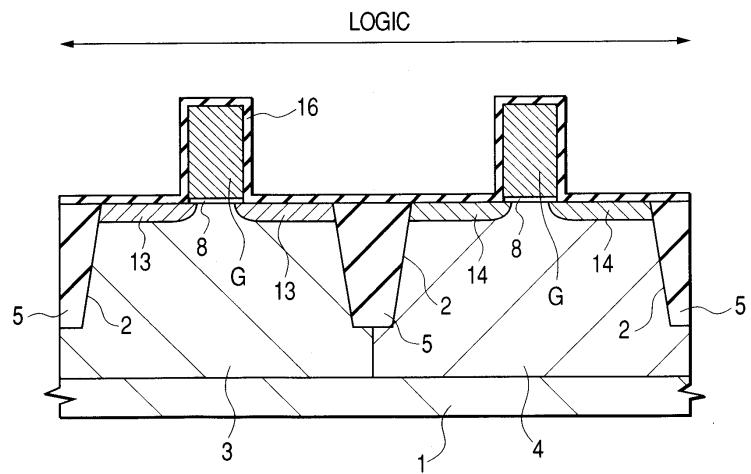
도면7



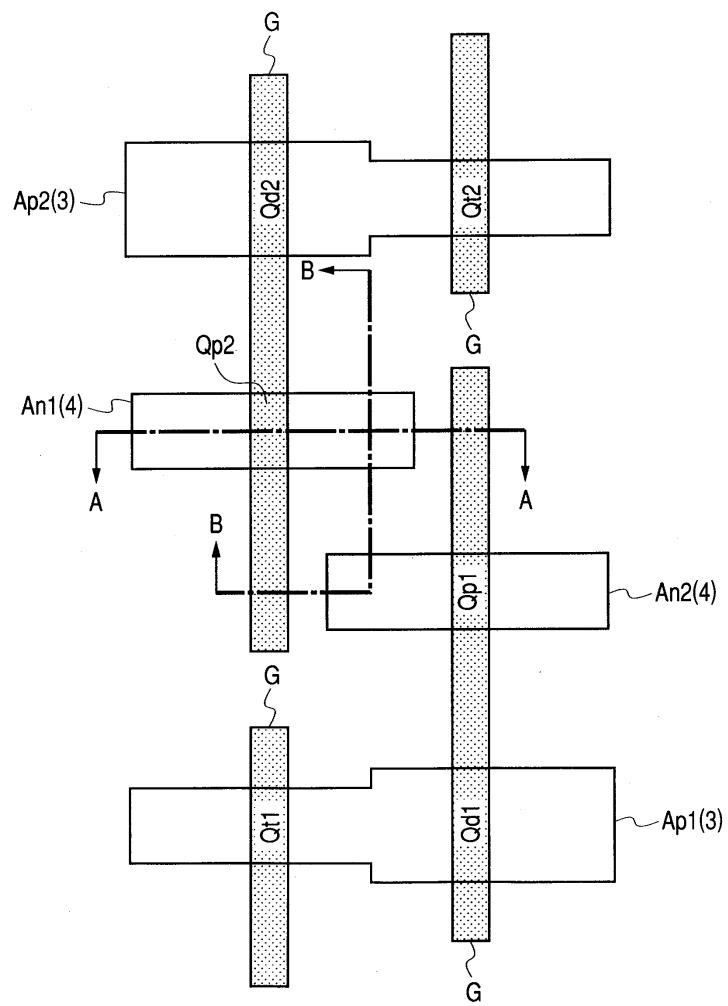
도면8



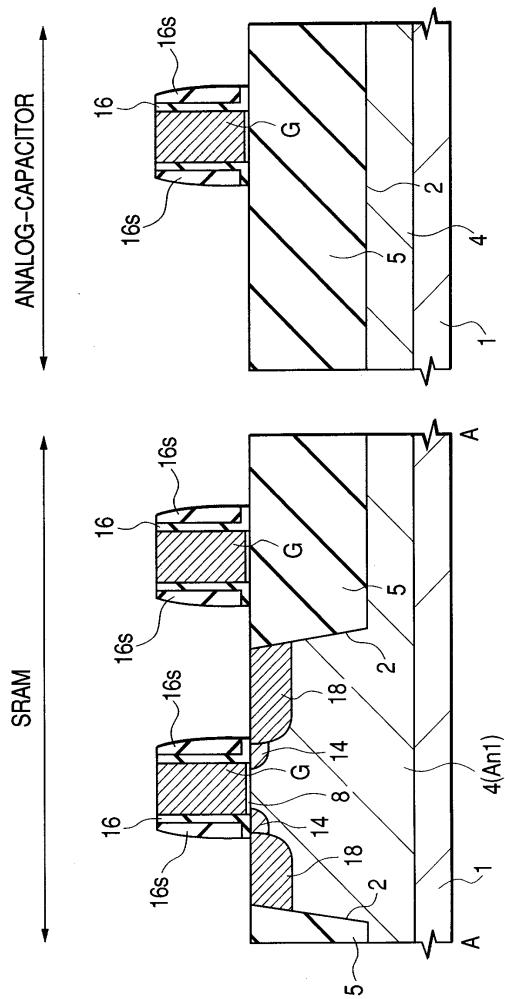
도면9



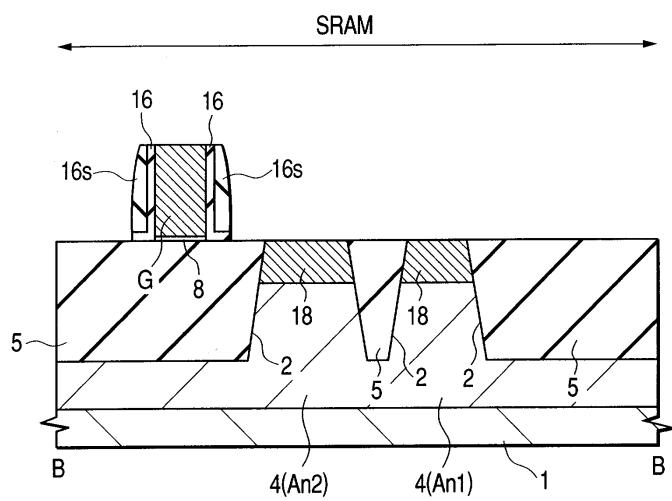
도면10



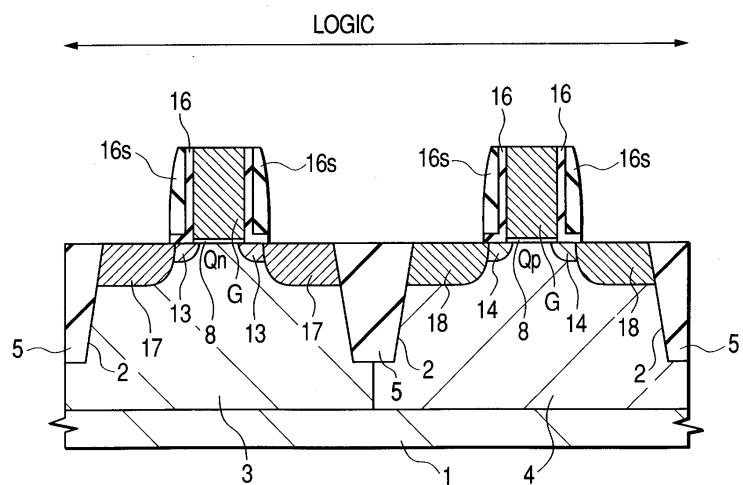
도면11



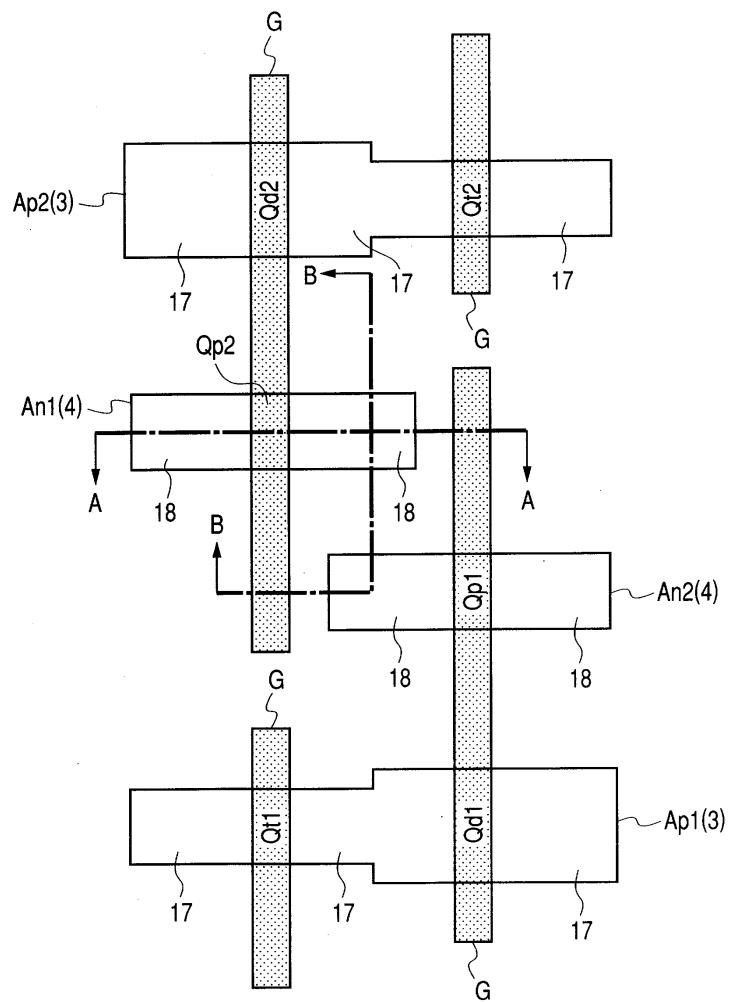
도면12



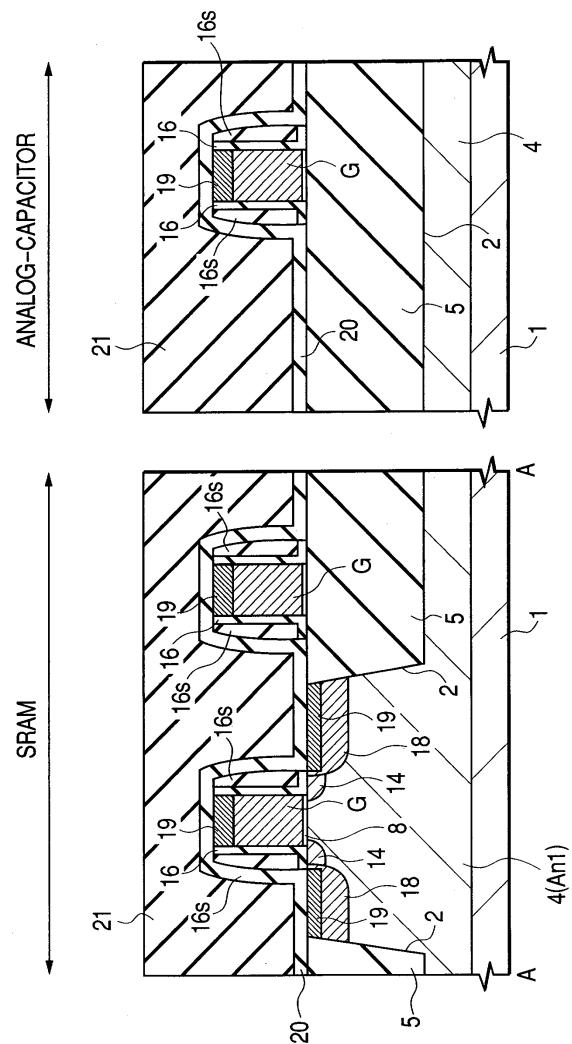
도면13



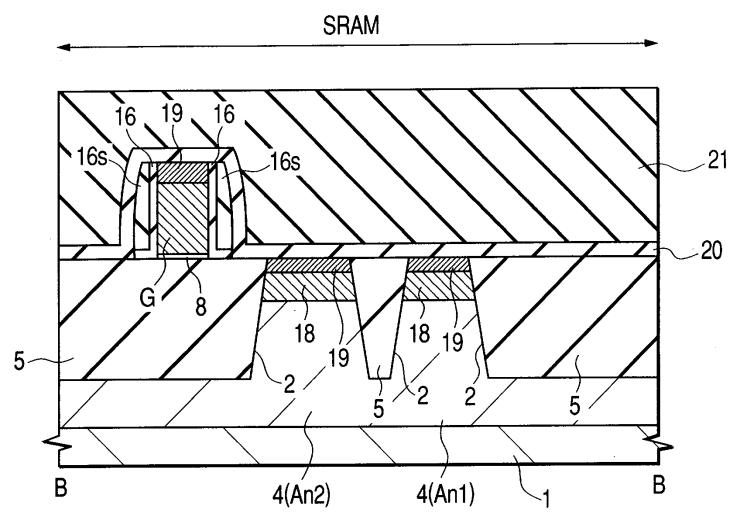
도면14



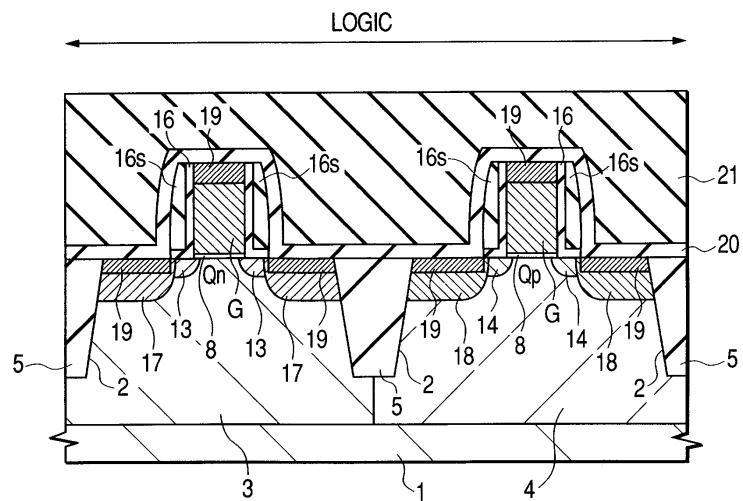
도면15



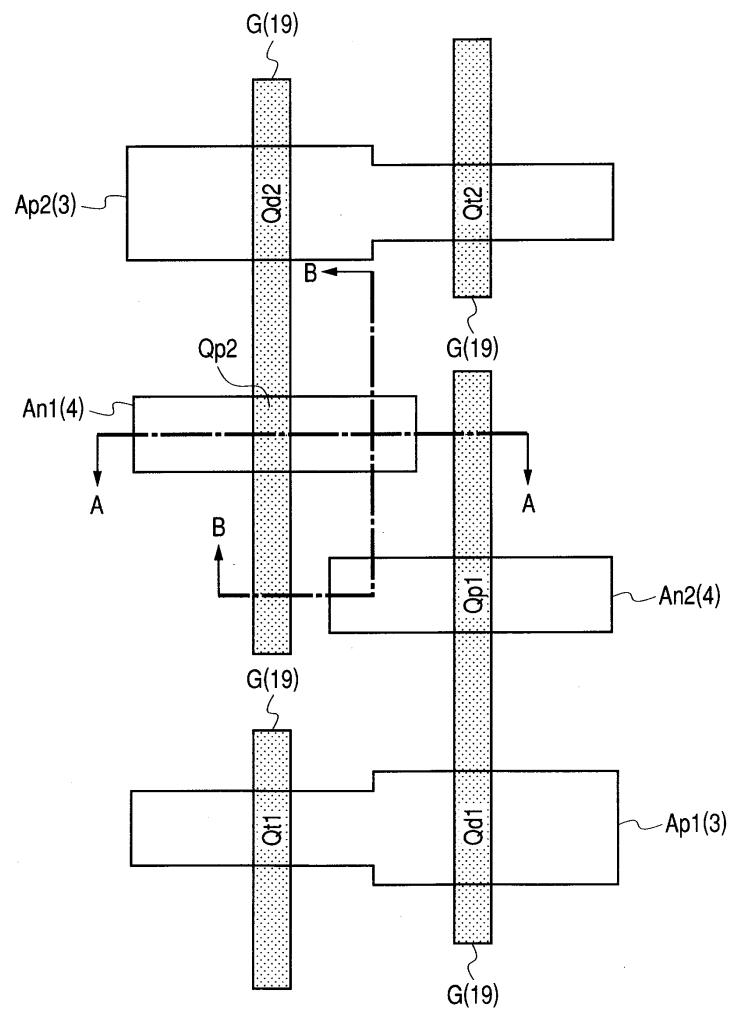
도면16



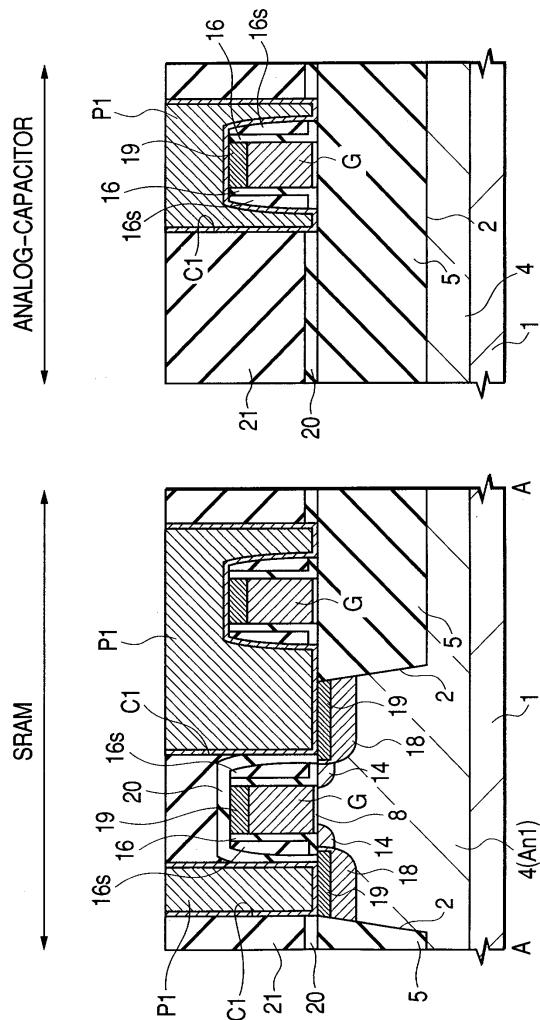
도면17



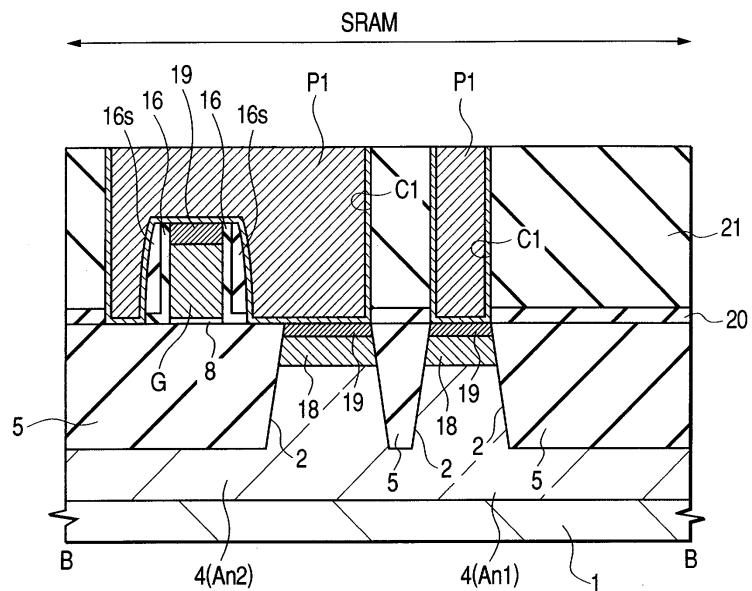
도면18



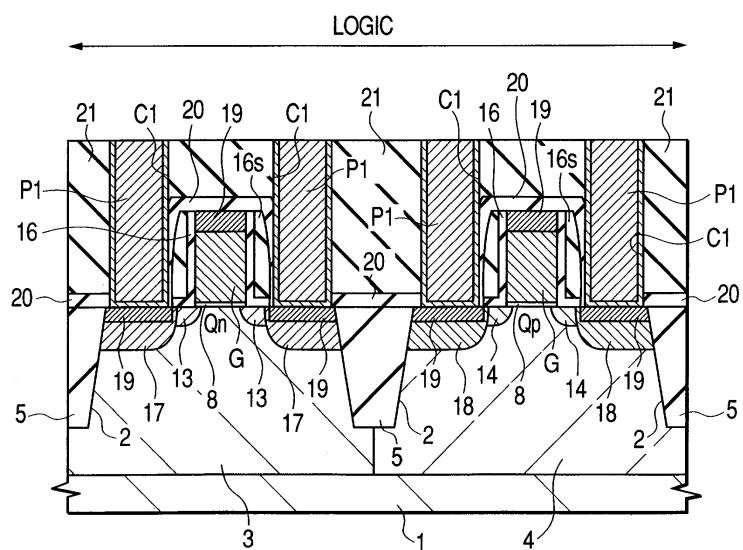
도면19



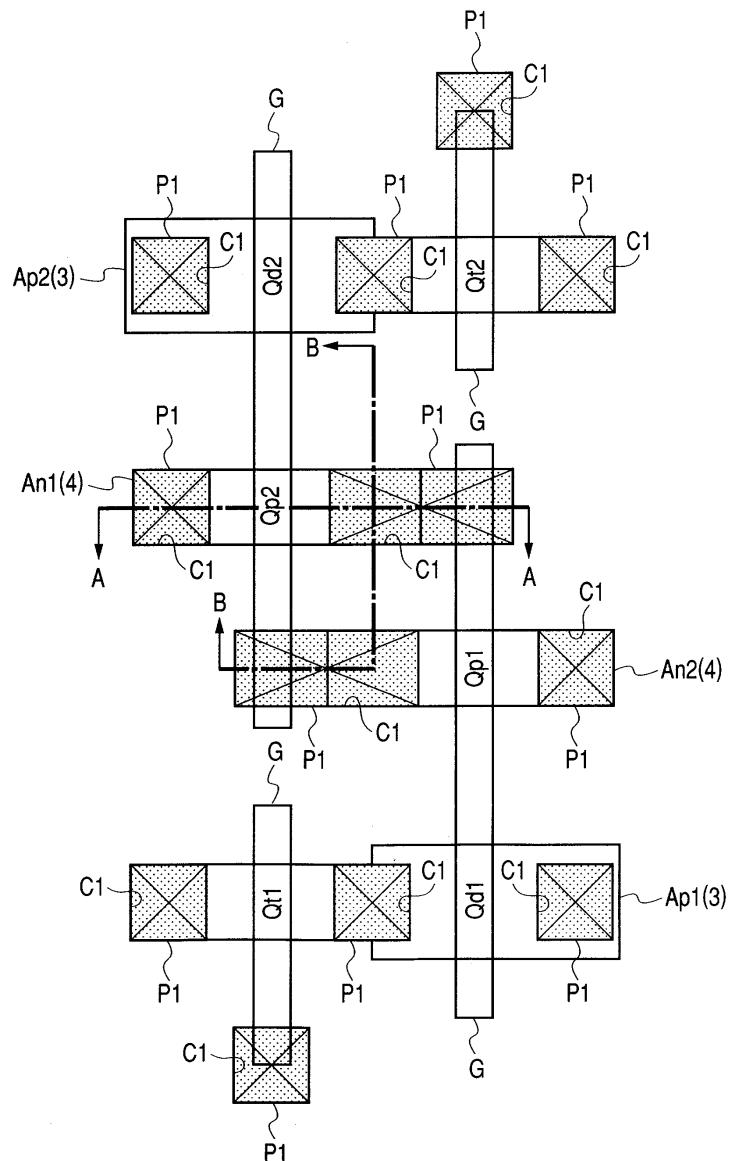
도면20



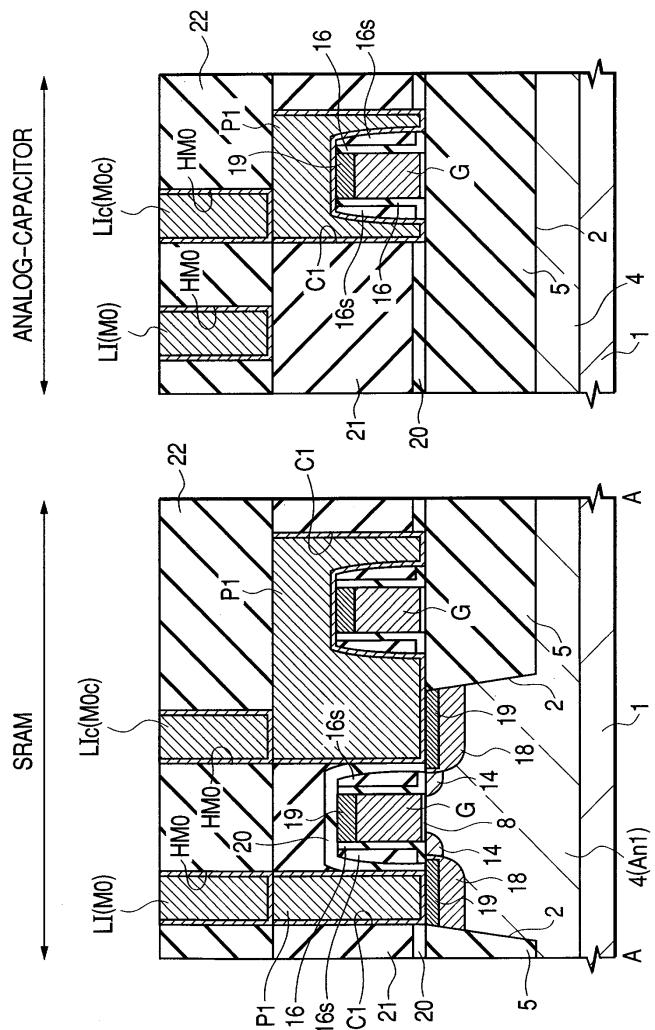
도면21



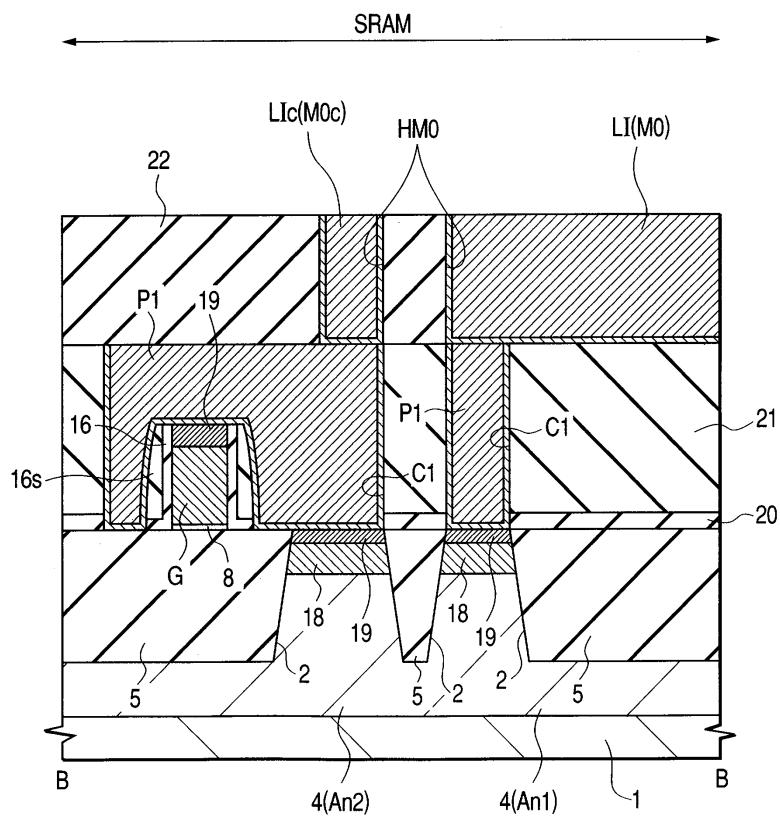
도면22



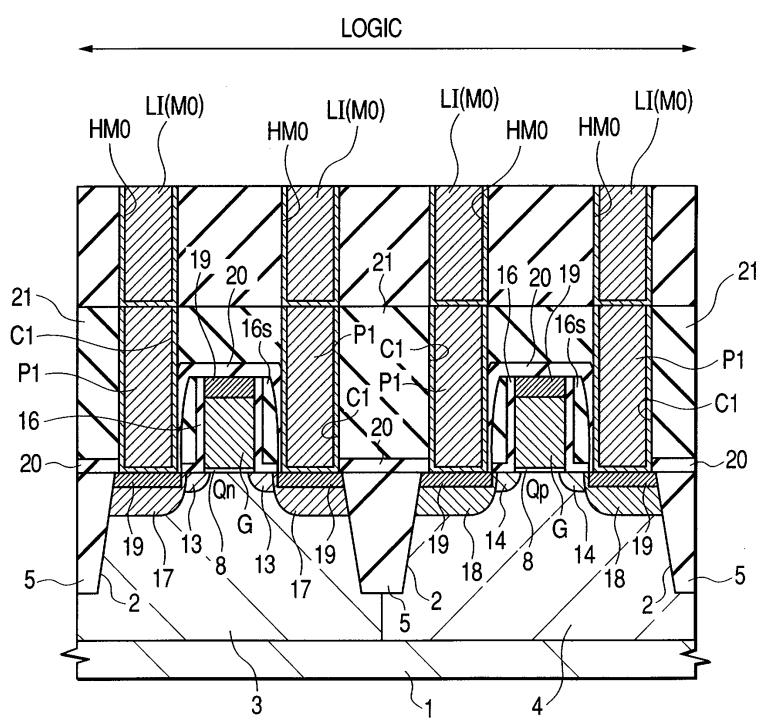
도면23



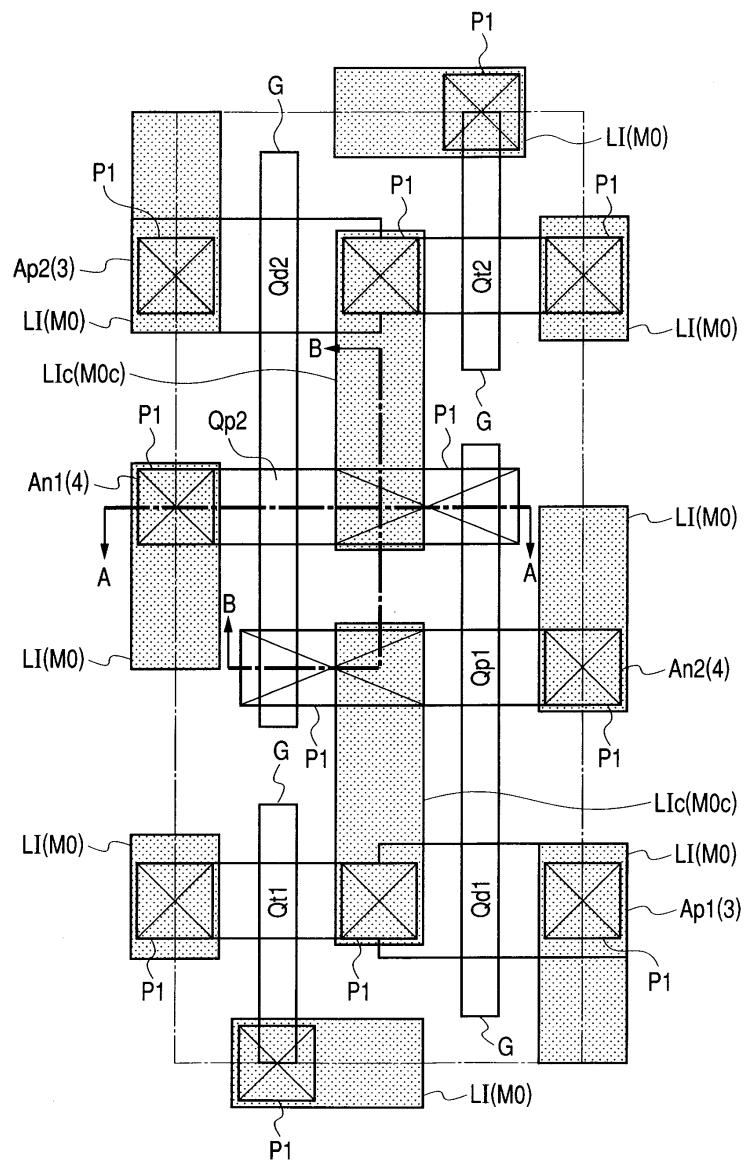
도면24



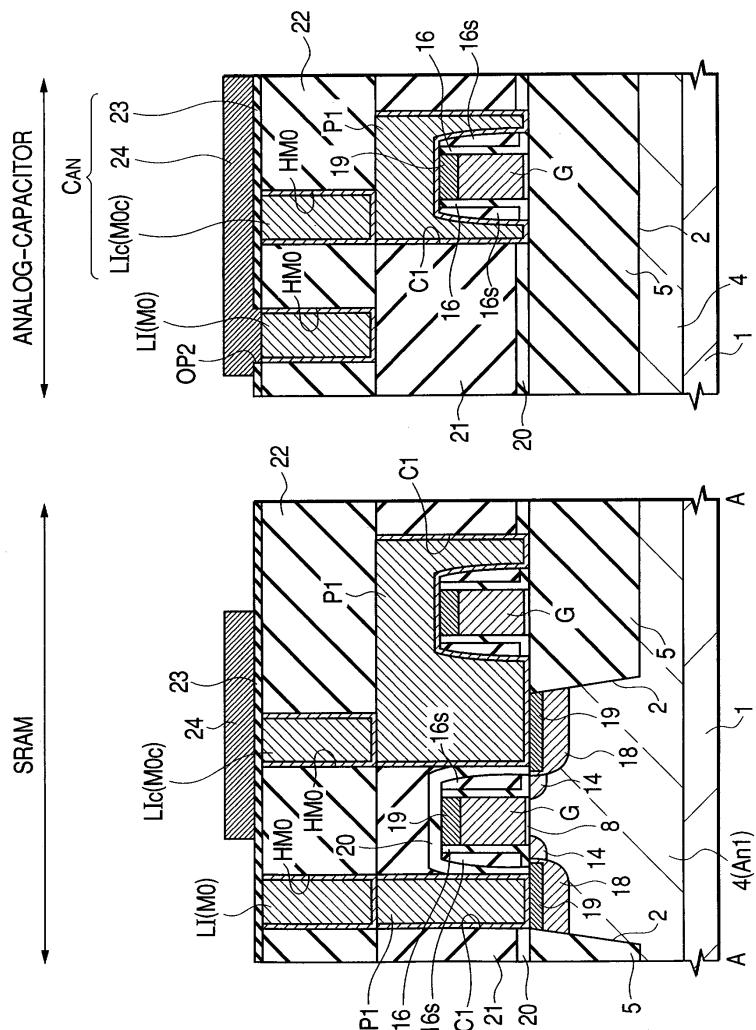
도면25



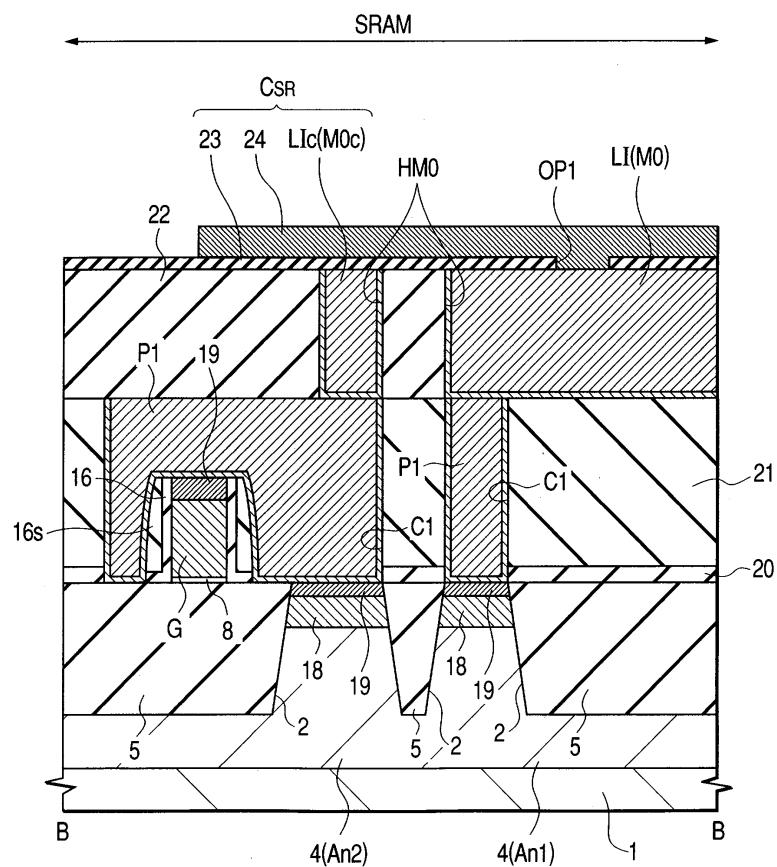
도면26



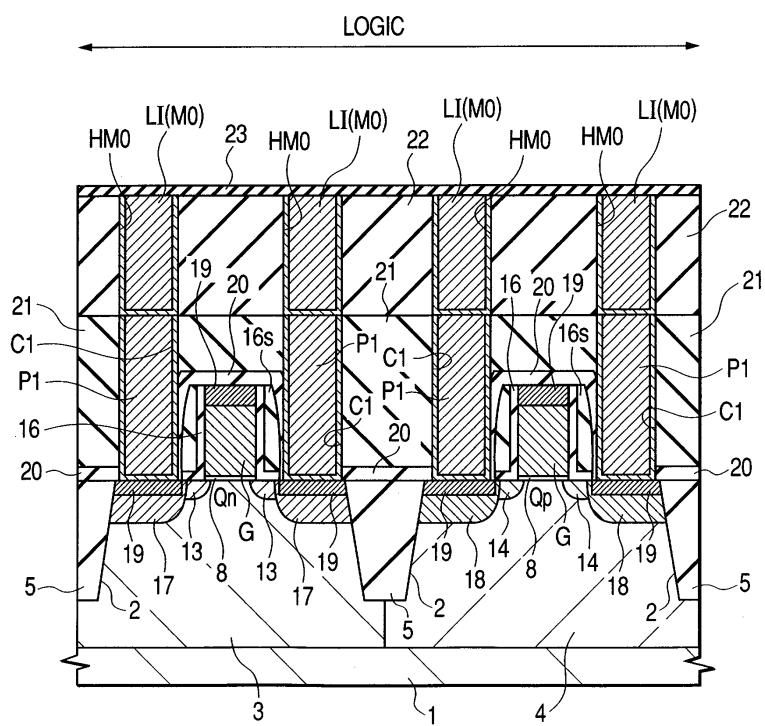
도면27



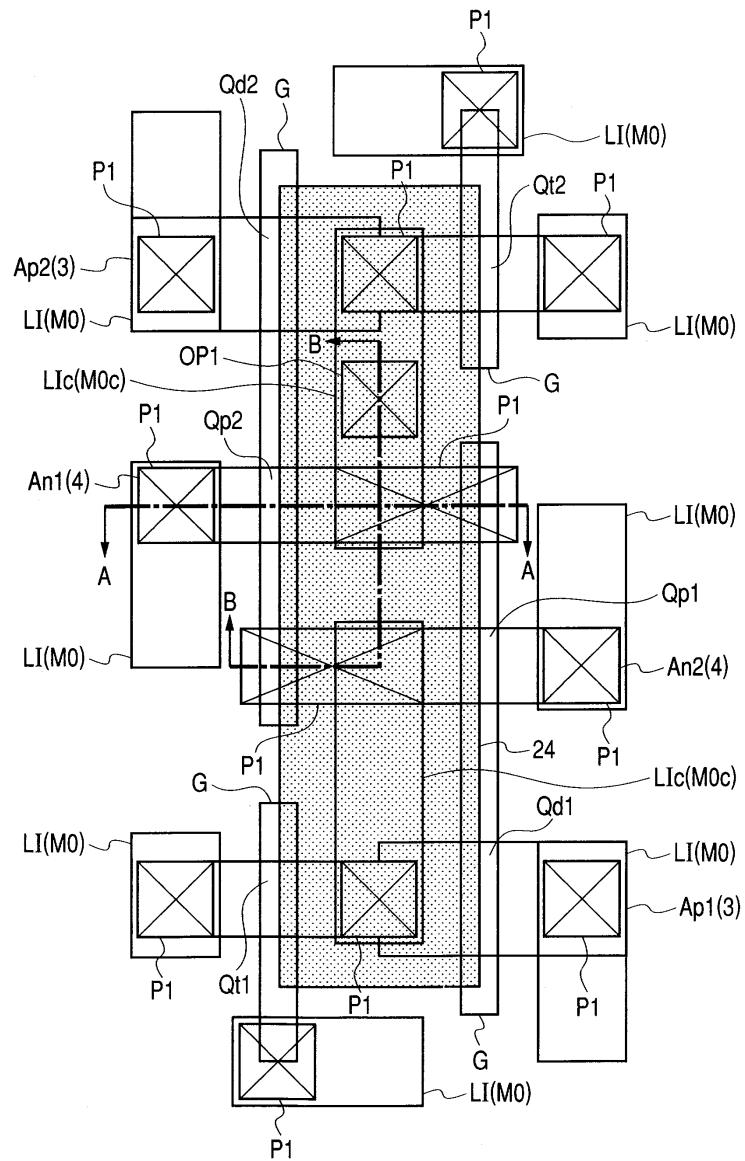
도면28



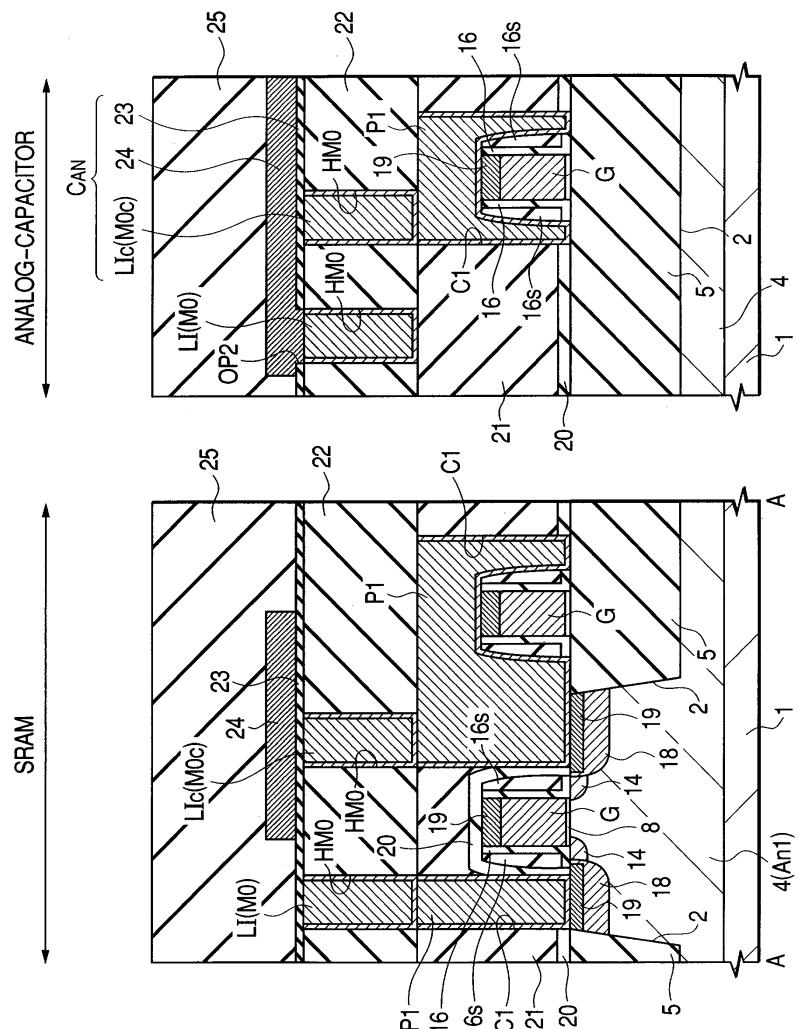
도면29



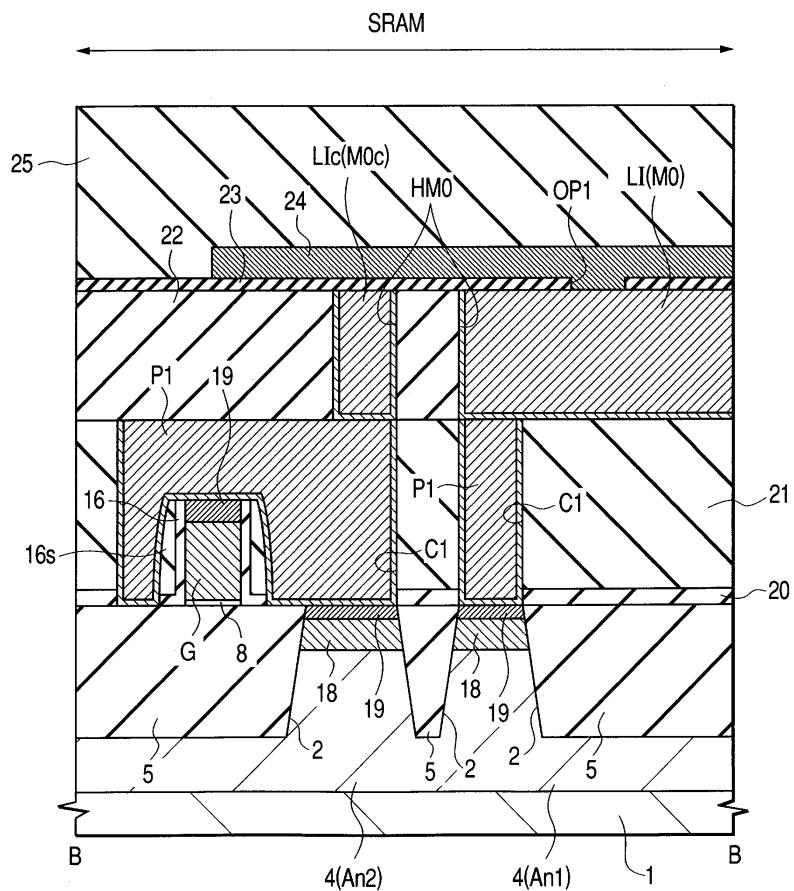
도면30



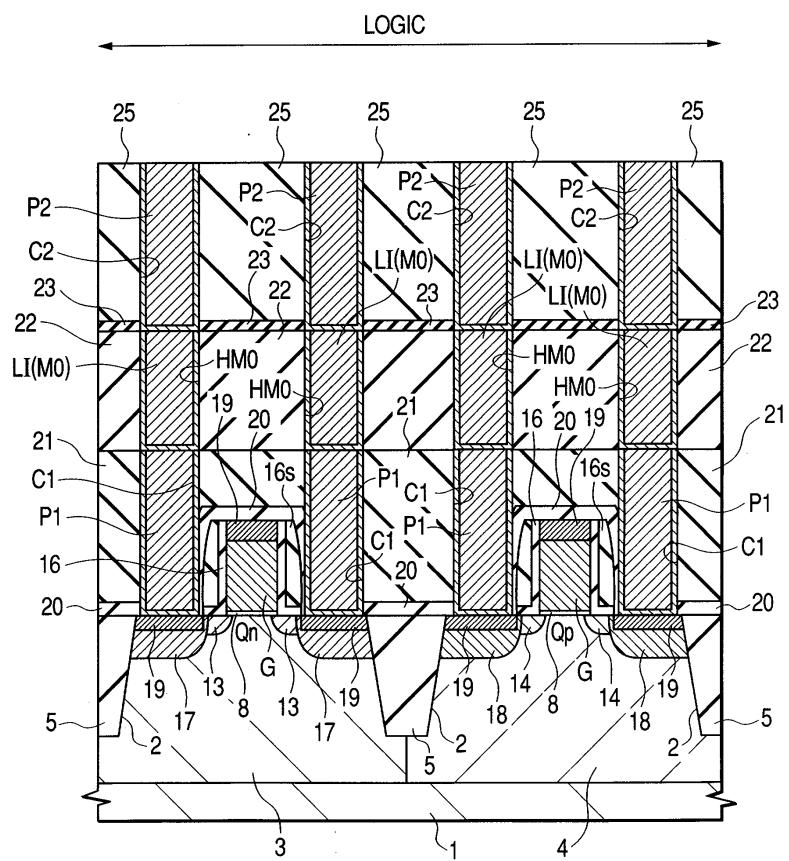
도면31



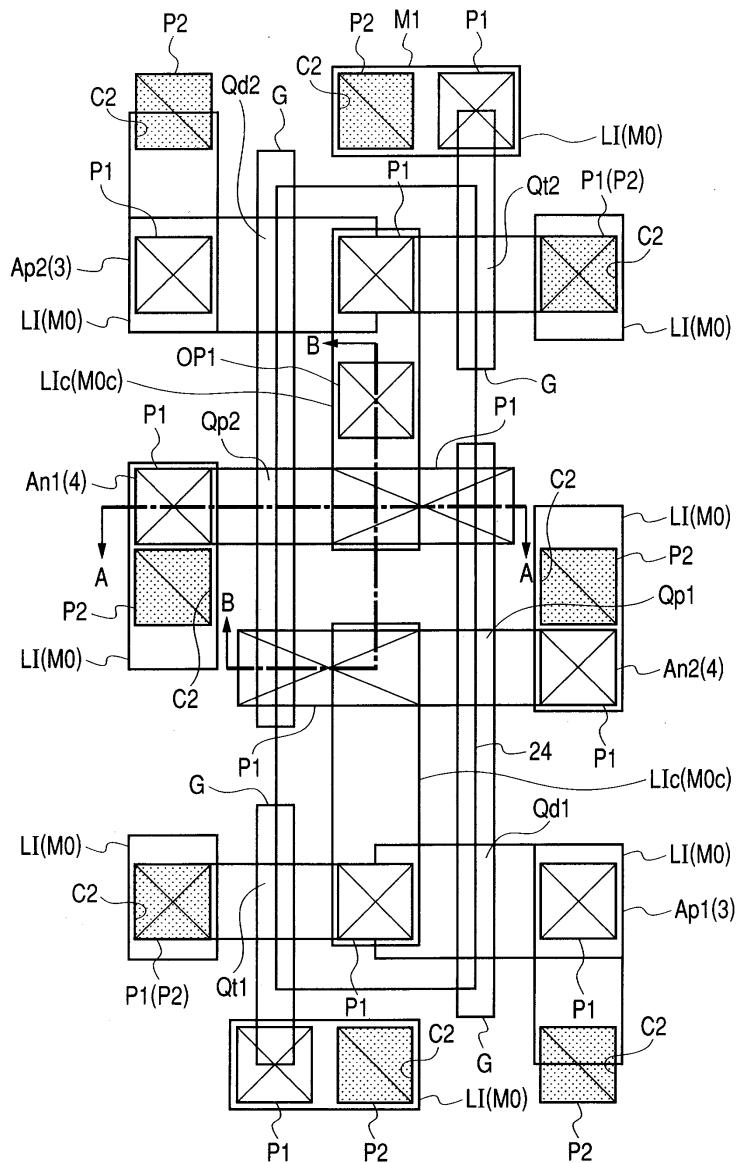
도면32



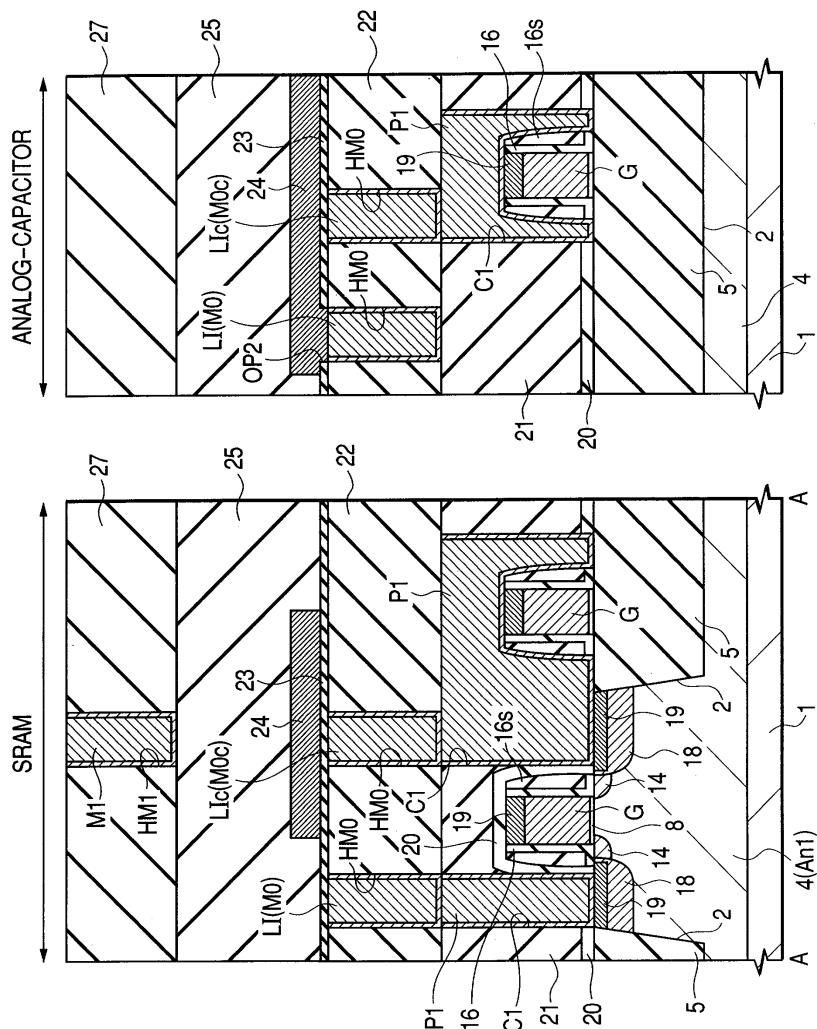
도면33



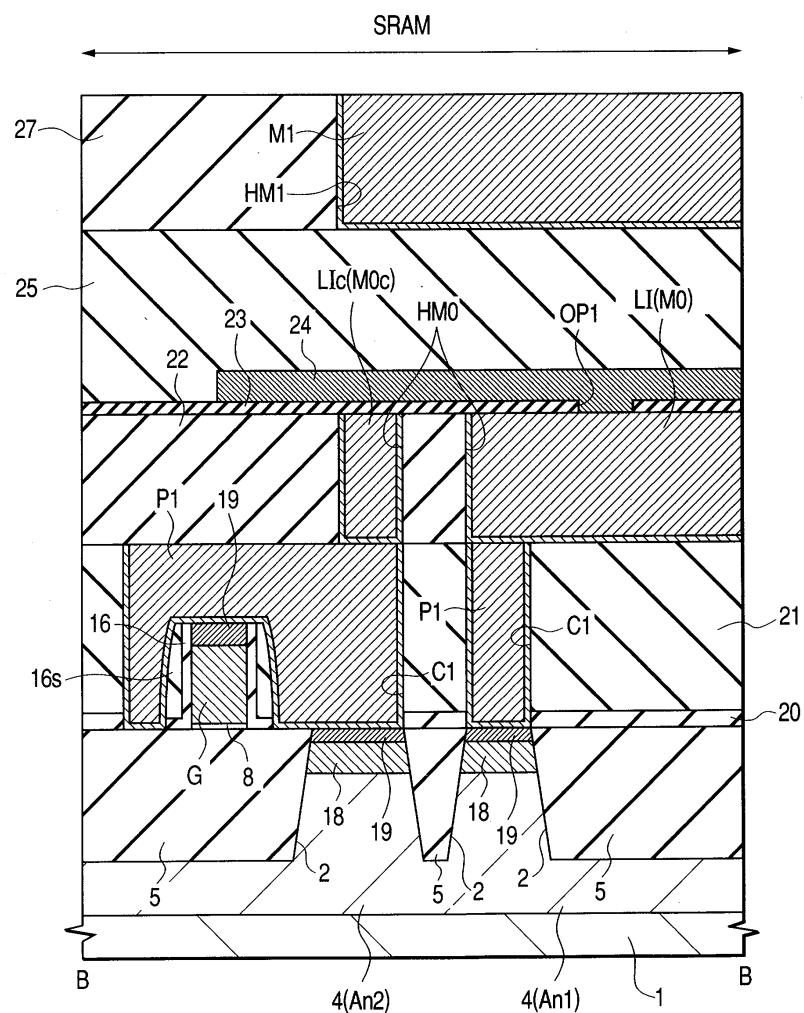
도면34



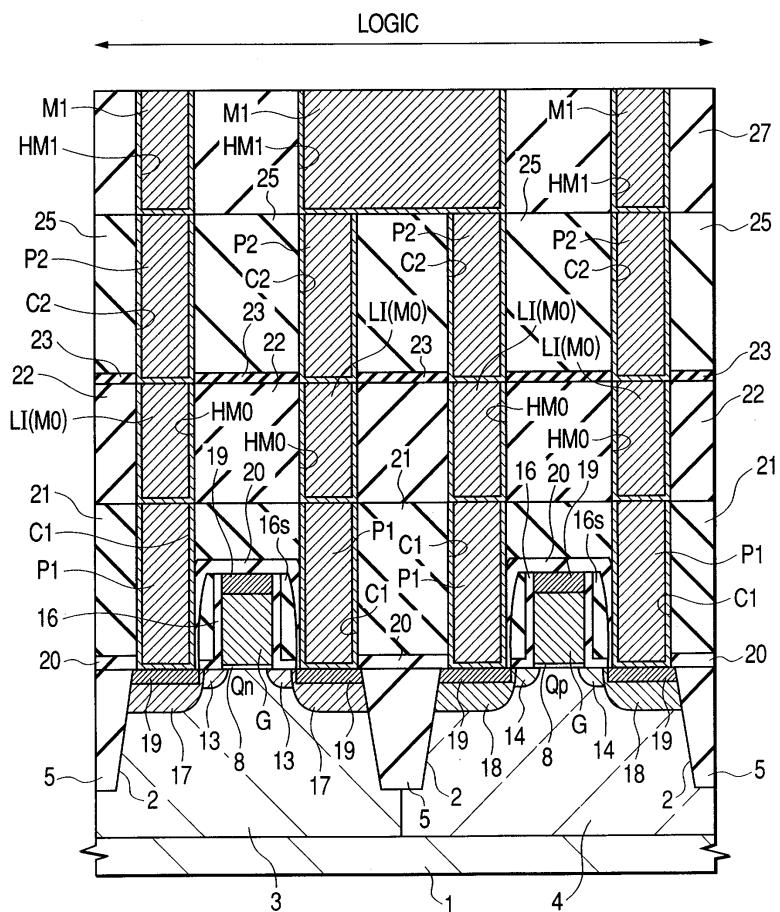
도면35



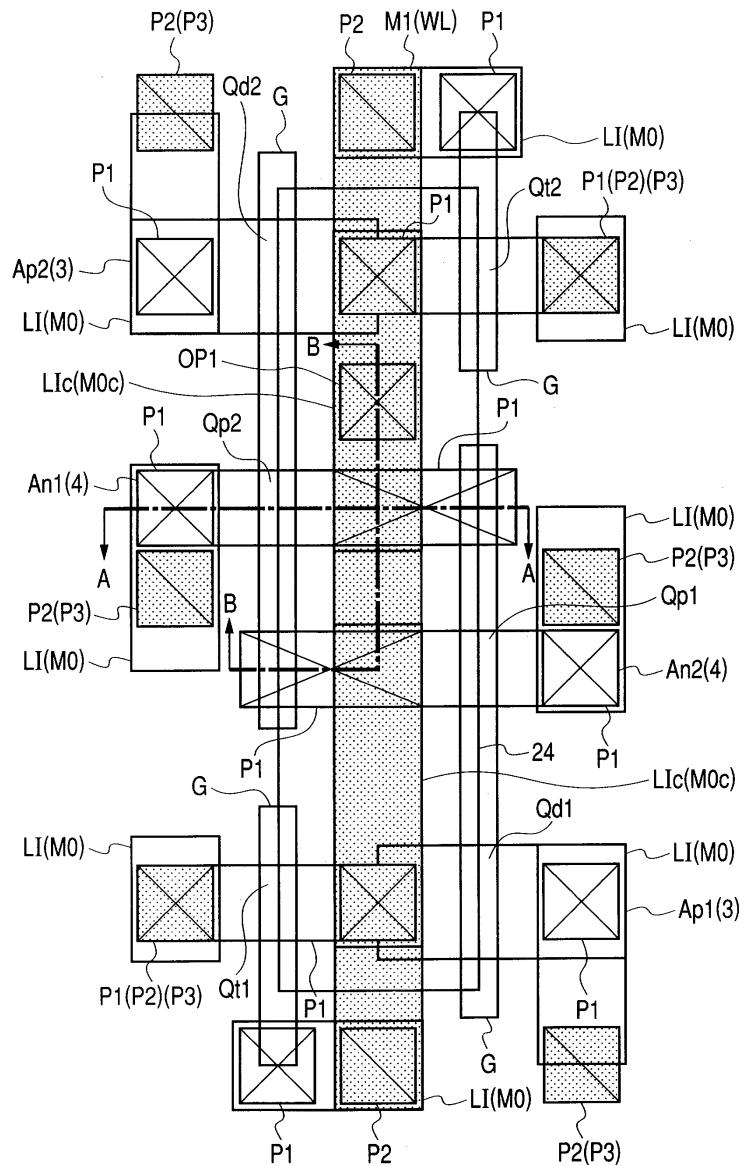
도면36



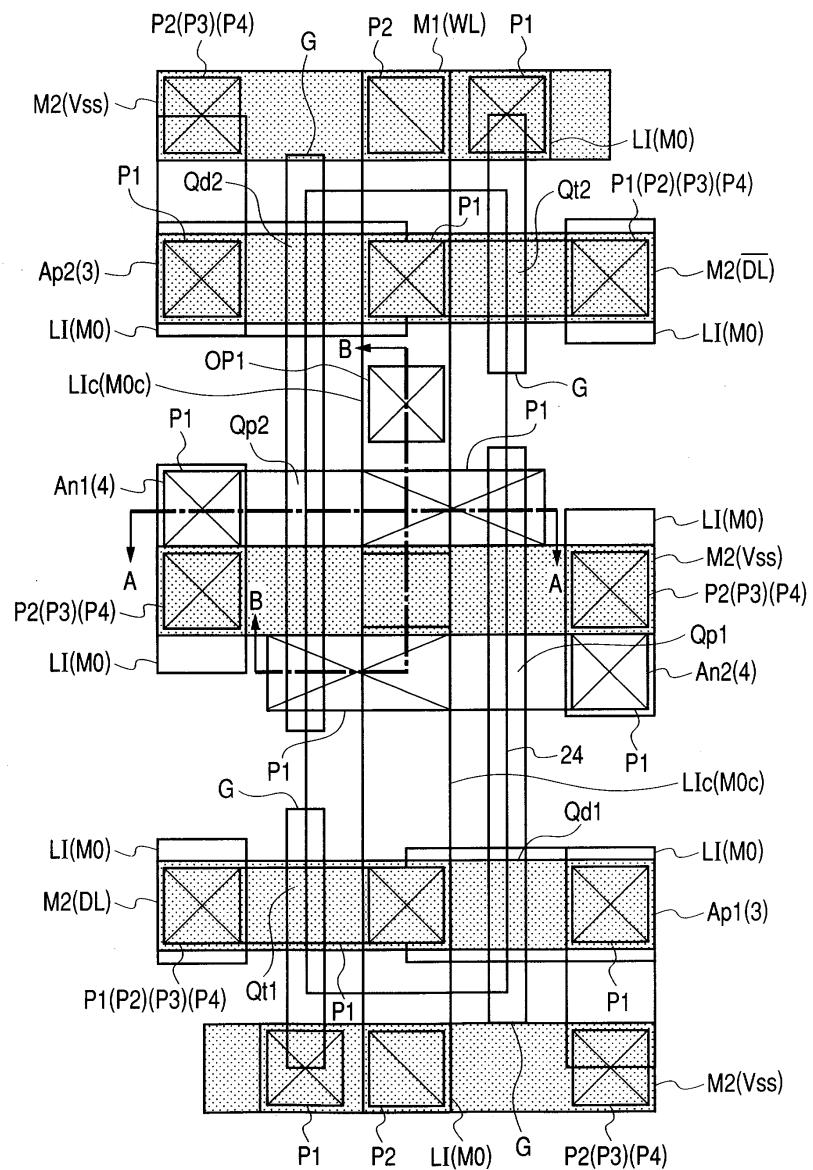
도면37



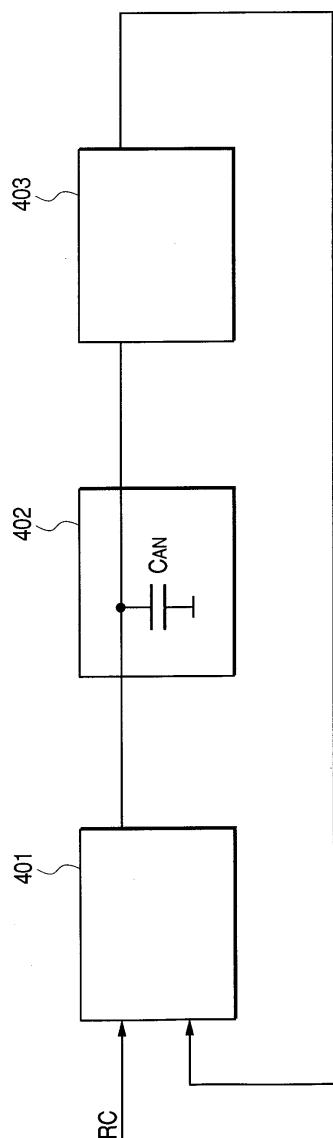
도면38



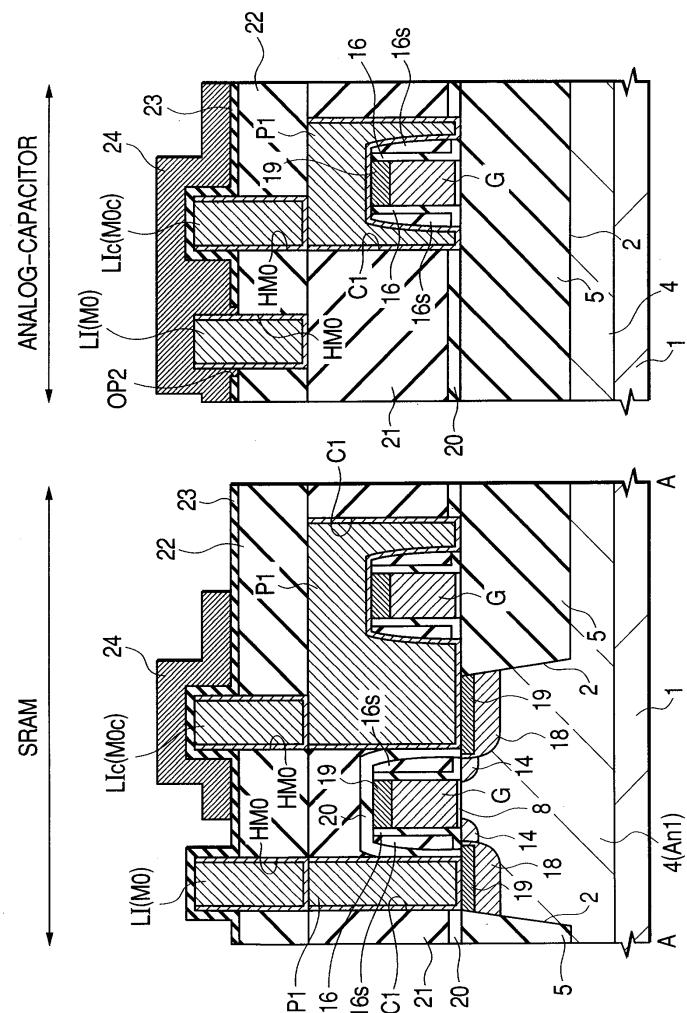
도면39



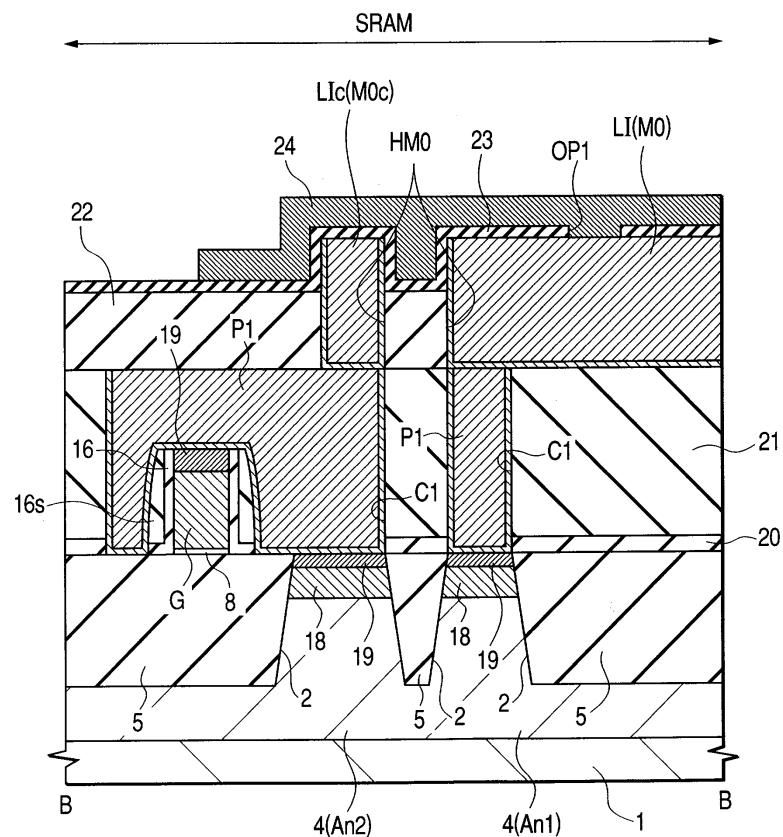
도면40



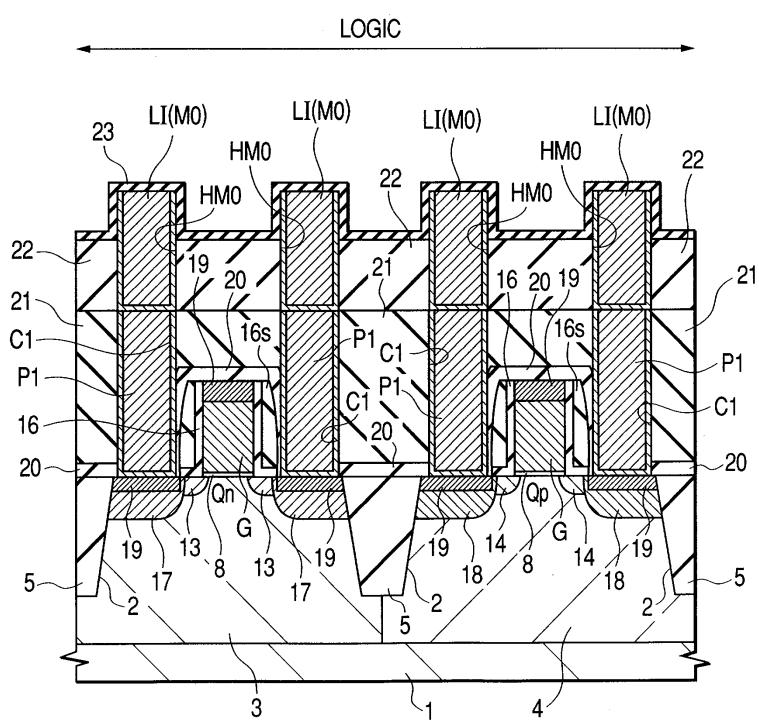
도면41



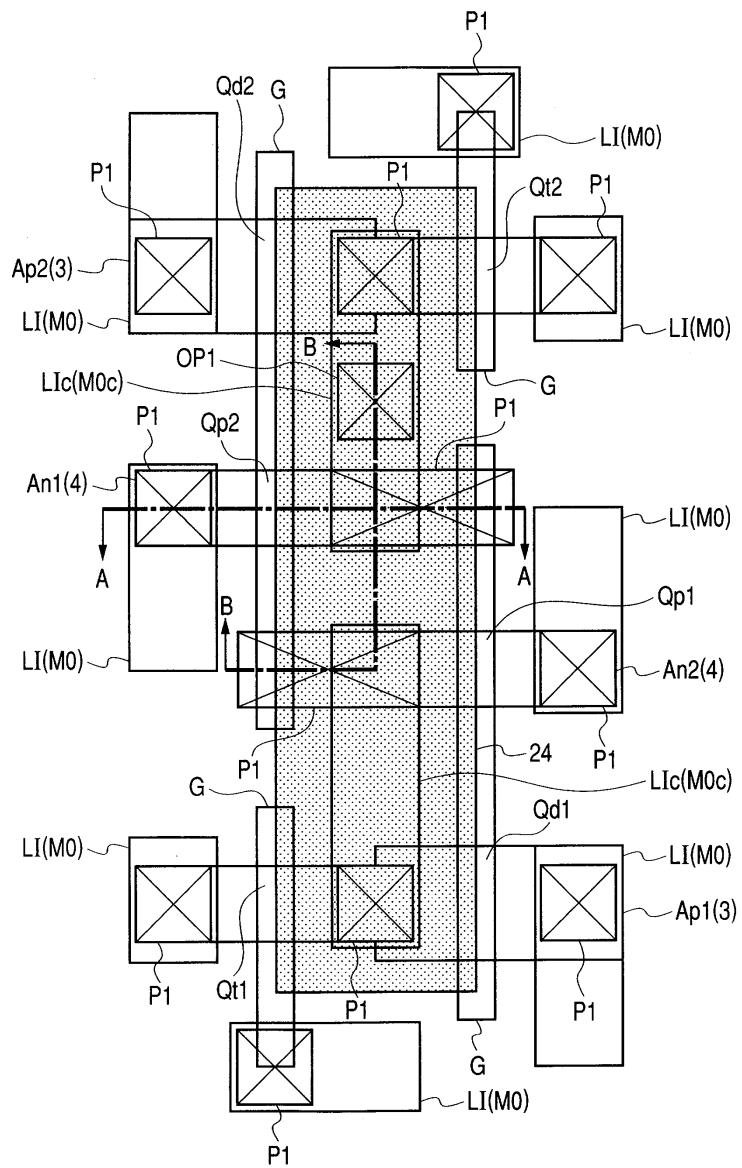
도면42



도면43



도면44



도면45

