

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 2 月 23 日 (23.02.2023)



(10) 国际公布号
WO 2023/019657 A1

(51) 国际专利分类号:

H01L 23/544 (2006.01) **H01L 23/525** (2006.01)

H01L 21/66 (2006.01) **G01R 31/26** (2014.01)

(21) 国际申请号: PCT/CN2021/116890

(22) 国际申请日: 2021 年 9 月 7 日 (07.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

202110935666.6 2021年8月16日 (16.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 李宗翰 (**LEE, Tzung-Han**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 刘志拯 (**LIU, Chih-Cheng**);

中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体结构及其制造方法

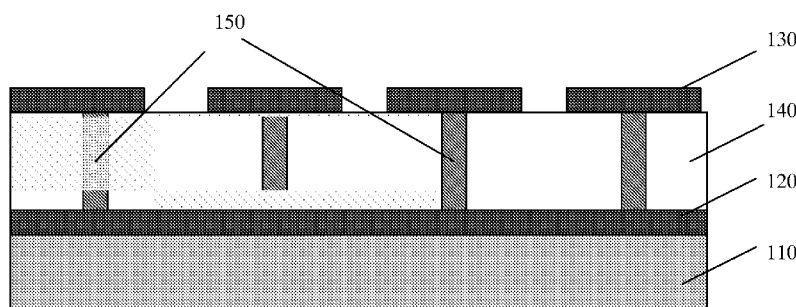


图 1

(57) **Abstract:** Disclosed in the embodiments of the present application are a semiconductor structure and a manufacturing method therefor. The semiconductor structure comprises: a semiconductor substrate; a first metal layer located on a surface of the semiconductor substrate; a second metal layer located above a surface of the first metal layer; an insulating layer located between the first metal layer and the second metal layer and configured to insulate the first metal layer from the second metal layer; and at least four through holes located in the insulating layer, wherein conductive materials for connecting the first metal layer and the second metal layer are located in the at least four through holes.

(57) **摘要:** 本申请实施例公开了一种半导体结构及其制造方法。该半导体结构包括: 半导体衬底; 第一金属层, 位于所述半导体衬底表面; 第二金属层, 位于所述第一金属层表面的上方; 绝缘层, 位于所述第一金属层和所述第二金属层之间, 用于隔离所述第一金属层和第二金属层; 至少四个通孔, 位于所述绝缘层中, 所述至少四个通孔中具有用于连接所述第一金属层和所述第二金属层的导电材料。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其制造方法

相关申请的交叉引用

本申请基于申请号为 202110935666.6、申请日为 2021 年 8 月 16 日、申请名称为“半导体结构及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请实施例涉及但不限于一种半导体结构及其制造方法。

背景技术

对于存储器、芯片等半导体器件，通常在半导体衬底上采用多层结构来实现。半导体衬底表面的各层电性连接通过金属线来实现，而不同层的金属线则通过通孔连接。通孔的阻值是影响连接性能的重要参数，因此，通常在制造过程中形成测试单元 (Test-key) 用于进行通孔的电阻测试。

然而测试单元位于器件外围，周围没有其他图形，容易造成通孔变形，导致测试结果难以反映器件内部通孔的实际阻值。

发明内容

本申请实施例提供一种半导体结构及其制造方法。

第一方面，本申请实施例提供的半导体结构，包括：

半导体衬底；

第一金属层，位于所述半导体衬底表面；

第二金属层，位于所述第一金属层表面的上方；

绝缘层，位于所述第一金属层和所述第二金属层之间，用于隔离所述第一金属层和第二金属层；

至少四个通孔，位于所述绝缘层中，所述至少四个通孔中具有用于连接所述第一金属层和所述第二金属层的导电材料。

第二方面，本申请实施例提供一种半导体结构的制造方法，包括：

在半导体衬底表面形成第一金属层；

在所述第一金属层上覆盖绝缘层；

形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔；

在所述至少四个通孔中填充导电材料；

在所述绝缘层和所述至少四个通孔上形成第二金属层；

所述至少四个通孔中的所述导电材料用于连接所述第一金属层和所述第二金属层。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，除非有特别申

明，附图中的图不构成比例限制。

图 1 为本申请实施例提供的一种半导体结构的示意图一；

图 2 为本申请实施例提供的一种半导体结构的示意图二；

图 3 为本申请实施例提供的一种半导体结构的示意图三；

5 图 4 为本申请实施例提供的一种半导体结构的示意图四；

图 5 为本申请实施例提供的一种半导体结构中第一金属层的示意图；

图 6 为本申请实施例提供的一种半导体结构的示意图五；

图 7 为本申请实施例提供的一种半导体结构的制造方法的流程图；

10 图 8A 为本申请实施例提供的一种半导体结构的制造方法中同步形成多个通孔的示意图；

图 8B 为一实施例中形成一个通孔的示意图；

图 9 为一实施例中半导体结构的示意图；

图 10 为本申请实施例提供的一种半导体结构的示意图六；

图 11 为本申请实施例提供的一种半导体结构中虚置通孔位置的剖面图。

15 具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

20 除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在限制本申请。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

本申请实施例提供一种半导体结构，如图 1 所示，该半导体结构 100 包括：

25 半导体衬底 110；

第一金属层 120，位于所述半导体衬底 110 表面；

第二金属层 130，位于所述第一金属层 120 表面的上方；

绝缘层 140，位于所述第一金属层 120 和所述第二金属层 130 之间，用于隔离所述第一金属层 120 和第二金属层 130；

30 至少四个通孔 150，位于所述绝缘层 140 中，所述至少四个通孔 150 中具有用于连接所述第一金属层 120 和所述第二金属层 130 的导电材料。

在本申请实施例中，上述半导体结构可以为位于半导体器件周围的用于进行测试的测试结构，或称为测试单元。该半导体结构可以在利用晶圆制造各种半导体器件（如存储器、芯片）等的过程中，与半导体器件同步形成。由于该半导体结构与半导体器件相互分离，因此不影响半导体器件的性能。

35 该半导体结构可以在半导体器件的制造过程中用于进行测试，从而实现半导体器件的制程监控，在完成半导体器件的制造时，可以切割掉上述半导体结构所在的区域，仅保留半导体器件并对半导体器件分别进行封装。当然，也可以将上述半导体结构保留，

并与半导体器件封装在一起，从而便于对产品进行测试。

上述第一金属层与第二金属层为与半导体器件中不同金属层同步形成的金属层，第一金属层与第二金属层均可以具有通过刻蚀等方式形成的图形，例如，线形或者网状。第一金属层与第二金属层之间通过绝缘层相互隔离，绝缘层可以为氧化硅或者氮化硅等绝缘材料制成。

第一金属层与第二金属层之间可以通过通孔相互连接，通孔贯穿绝缘层，并连接到第一金属层与第二金属层。通孔内可以具有金属等导电材料，通过导电材料实现第一金属层与第二金属层之间的电连接。

在本申请实施例中，通孔的数量至少包括四个，这些通孔可以相互间隔分布在不同的位置，并分别连接第一金属层与第二金属层。

由于整个半导体结构中具有多个通孔，因此，相对于如图 2 所示的半导体结构 200 中仅具有一个通孔 201 的测试结构，本申请实施例中的每个通孔的附近都具有其他通孔等结构的支撑。如此，一方面可以减少通孔变形导致测试不准确的情况；另一方面，多个通孔也便于进行灵活地测试，使得测试结果更加接近器件内部通孔的实际阻值。

在一些实施例中，所述第一金属层包括：沿第一方向平行分布的多条底层金属线；所述第二金属层包括：沿第二方向平行分布的多条顶层金属线；其中，所述第二方向垂直于所述第一方向。

在本申请实施例中，第一金属层可以为线形的金属线，并且可以包括并排分布的多条金属线。由于第一金属层为靠近衬底表面的金属层，因此，这些金属线可以称为底层金属线。这里，多条底层金属线可以均沿第一方向平行分布，第一方向可以为平行于衬底表面的任意方向，可以以实际制造过程中便于实现的方式为准。

在本申请实施例，第二金属层可以为与第一金属层结构类似的多条平行分布的金属线，相对于第一金属层，第二金属层远离衬底表面，因此可以称为顶层金属线。多条顶层金属线沿着第二方向平行分布。第二方向可以与第一方向相互垂直，这样可以使结构更加稳定。

在一些实施例中，如图 3 所示，所述至少四个通孔 150 位于所述第一金属层 120 中至少两条所述底层金属线 121 与所述第二金属层 130 中的至少两条顶层金属线 131 的交叠位置。

上述第一金属层与第二金属层的金属线相互垂直，因此，第一金属层的各底层金属线与第二金属层的各顶层金属线分别具有交叠的位置。这些交叠的位置在垂直于衬底表面的方向上位于同一直线，因此，可以在这些交叠位置形成上述至少四个通孔，从而实现第一金属层与第二金属层的连接。

由于第一金属层与第二金属层都具有多条金属线，因此可以具有多个交叠位置，每个交叠位置可以形成一个通孔，多个通孔则可以分别位于不同的交叠位置。

在一些实施例中，所述至少四个通孔包括四个测试通孔；其中，所述四个测试通孔分别位于两条顶层金属线与两条底层金属线的四个交叠位置处。

在本申请实施例中，上述半导体结构可以包括四个测试通孔，这些测试通孔用于进行阻值的测试。因此，这些测试通孔所在的金属线可以与外部的测试电路连接。当然，

在测试时也可以采用探针直接接触通孔位置或者金属线的方式进行测试。

四个测试通孔可以位于两条顶层金属线与两条底层金属线的四个交叠位置处，由于每条金属线上连接有两个通孔，且这两个通孔连接至不同的另一层金属线，这样，四个测试通孔可以连接这四条金属线的不同组合，在测试时，从而得到四组测试数据便于进行充分的数据处理，提升测试的可靠性。

在一些实施例中，连接有所述测试通孔的两条顶层金属线之间具有一条间隔的顶层金属线；且连接有所述测试通孔的两条底层金属线之间具有一条间隔的底层金属线。

上述连接有测试通孔的两条顶层金属线以及两层底层金属线都可以不是并列相邻的两条顶层金属线，即两条连接有测试通孔的顶层金属线之间可以具有一条或多条顶层金属线。这里，连接有测试通孔的两条顶层金属线与两条底层金属线之间各有一条间隔的金属线。

如此，一方面可以具有可以使得各测试通孔之间具有一定的间距，提升整体结构的稳定性，另一方面可以减少测试时各通孔之间带来的干扰。

在一些实施例中，如图4所示，所述至少四个通孔150中还包括至少一对辅助通孔151和至少四个测试通孔152，其中，所述至少一对辅助通孔151连接在所述间隔的顶层金属线131或间隔的底层金属线121上，且一对所述辅助通孔151的间距大于任意两个所述测试通孔152的间距。

在一些实施例中，半导体结构中心可设置有辅助通孔。

上述四个通孔之间的间距可以两两相等，从而具有稳定的结构，便于进行测试。此外，各通孔所在的金属线之间还存在间隔的金属线，因此，可以在间隔的金属线上形成辅助通孔，便于进行辅助测试。辅助通孔成对出现并与同一顶层金属线或者底层技术线连接。辅助通孔的间距可以大于上述测试通孔之间的间距，从而不会对测试通孔造成影响。

在一些实施例中，连接所述测试通孔的所述两条顶层金属线之间通过测试焊盘连接；连接所述测试通孔的所述两条底层金属线之间通过测试焊盘连接。

也就是说，测试通孔连接的顶层金属线通过测试焊盘相互连接，底层金属线也通过测试焊盘连接（如图5A所示，测试焊盘501连接了两条底层金属线502），使得测试通孔之间通过各金属线相互连通。这样，通过外部的一组测试通路就可以实现电阻的测试。各测试通孔之间相互连接，因此可以对测试得到的数据进行计算得到每个通孔平均的阻值。相比于如图5B所示的测试焊盘503仅连接一条底层金属线504的情况，能够更准确地估计半导体器件中各通孔的阻值，从而判断器件是否存在失效的可能。

需要说明的是辅助通孔所连接的金属线并未与测试通孔连接的金属线连通，因此可以进行单独测试。这样，可以在测试过程中提供辅助测试的数据，便于验证测试的可靠性。

在一些实施例中，如图6所示，所述半导体结构100还包括：

至少两个虚置通孔160，所述虚置通孔160贯穿所述绝缘层，且连接所述第一金属层120或所述第二金属层130中的任一层；所述至少两个虚置通孔160与所述至少四个通孔150的分布位置所围成图形呈中心对称或轴对称。

在本申请实施例中，虚置通孔（Dummyvia）是具有与测试通孔或者辅助通孔有类似结构，贯穿绝缘层的通孔。虚置通孔中也可以包含金属等导电材料，但其并不具有连通第一金属层和第二金属层的作用。也就是说，虚置通孔可以仅连接第一金属层或者仅连接第二金属层。

虚置通孔的可以用于支撑整个半导体结构，例如，虚置通孔与其他通孔的位置分布可以呈现中心对称或者轴对称，从而使得半导体结构更加稳定。此外，虚置通孔还可以与测试通孔以及辅助通孔等共同构成模拟半导体器件中实际通孔的结构，使得测试通孔的测试数据更加接近半导体器件中的实际通孔的数据。

在一些实施例中，测试通孔构成以半导体结构中线为轴的第一轴对称分布，第一轴对称分布的测试通孔到半导体结构中心的距离可不相同。辅助通孔和虚置通孔共同构成以半导体结构中线为轴的第二轴对称分布，第二轴对称分布的通孔到半导体结构中心的距离可不相同。第一轴对称分布中的任意两个测试通孔之间的距离，与任意测试通孔到半导体结构中心的距离，之比的范围为 1.5~3。第二轴对称分布中的通孔到半导体结构中心的距离，与第一轴对称分布中的通孔到半导体结构中心的距离，之比的范围为大于 3。

在一些实施例中，测试通孔构成以半导体结构中心为中心的第一中心对称分布，第一中心对称分布的测试通孔到半导体结构中心的距离相同。辅助通孔和虚置通孔共同构成以半导体结构中心为中心的第二中心对称分布，第二中心对称分布的通孔到半导体结构中心的距离相同。

在一些实施例中，所述虚置通孔中填充有绝缘材料。

这样，虚置通孔可以起到支撑作用，防止其他通孔变形，并防止虚置通孔对第一金属层、第二金属层或者其他通孔产生电性干扰。

在一些实施例中，所述至少四个通孔用于通过开尔文四线检测法进行电阻测试。

开尔文四线检测法又称为四端子检测，或者四点探针法。该方法通过分离电流和电压的电极，可以消除布线和接触电阻的阻抗，从而实现精准地电阻测试。在本申请实施例中，可以利用上述至少四个通孔所连接的金属线分别连接不同的检测端，从而实现四线检测，相比于单点测试的方法，可以提升检测的准确性。

如图 7 所示，本申请实施例还提供一种半导体结构的制造方法，包括：

步骤 S101、在半导体衬底表面形成第一金属层；

步骤 S102、在所述第一金属层上覆盖绝缘层；

步骤 S103、形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔；

步骤 S104、在所述至少四个通孔中填充导电材料；

步骤 S105、在所述绝缘层和所述至少四个通孔上形成第二金属层；所述至少四个通孔中的所述导电材料用于连接所述第一金属层和所述第二金属层。

由于上述半导体结构可以为位于半导体器件周围的用于进行测试的测试结构，因此，该半导体结构的制造过程是在制造半导体器件产品的过程中同步进行的。上述第一金属层、第二金属层以及绝缘层均与半导体器件中的各层对应同步形成。

上述至少四个通孔也与半导体器件中形成通孔的过程同步进行，如图 8A 所示，在

第一金属层 801 形成并覆盖绝缘层（图中未示出）后，在多个目标位置同步形成多个通孔 802，然后再进行后续第二金属层等的相关制程。相比于如图 8B 所示的，在第一金属层 811 上仅形成一个通孔 812 的方式，可以使得整个结构更加稳定，且更加接近实际半导体器件的结构，从而可以利用这些通孔反映整个制造过程的好坏。

5 在一些实施例中，所述在半导体衬底表面形成第一金属层，包括：

在半导体表面形成沿第一方向平行分布的多条底层金属线；

所述在所述绝缘层和所述至少四个通孔上形成第二金属层，包括：

在所述绝缘层和所述至少四个通孔上形成多条沿第二方向平行分布的多条顶层金属线；其中，所述第二方向垂直于所述第一方向。

10 这里，可以先在半导体衬底表面形成一层金属层，然后通过图形化刻蚀的方式形成多条金属线；也可以先在半导体衬底上形成图形化的掩膜层，然后在掩膜层未遮挡的区域沉积金属并形成多条金属线，然后再区域掩膜层，从而形成具有多条底层金属线的第一金属层。

形成第一金属层后，可以在上面沉积绝缘材料，形成隔离层。

15 在一些实施例中，所述形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔，包括：

在两条所述底层金属线的四个目标位置处，形成贯穿所述绝缘层并连接所述底层金属线的四个测试通孔；每条所述底层金属线包括沿第二方向分布两个目标位置，且位于两条所述底层金属线的相邻两个目标位置沿第一方向分布；

20 在所述绝缘层和所述至少四个通孔上形成多条沿第二方向平行分布的多条顶层金属线，包括：

在沿第一方向分布的两个目标位置上方形成顶层金属线，所述目标位置为两条所述顶层金属线和两条所述底层金属线交叠的位置。

25 在形成绝缘层之后，可以通过刻蚀等方法在目标位置处对绝缘层进行打孔，形成上述四个测试通孔，通孔的深度即绝缘层的厚度。通过贯穿绝缘层的通孔，可以使得绝缘层表面与底层金属线连通。然后，可以在通孔内填充或者在通孔内壁上覆盖导电材料，如金属钨、金属铜或者其他化合物导电材料等。导电材料通过通孔与底层金属线连接，并连通到绝缘层顶部。

30 在绝缘层顶部可以继续形成上述顶层金属线，顶层金属线与底层金属线相互垂直分布，因此顶层和底层的每条金属线之间都具有一个交叠的位置。上述测试通孔可以贯穿该交叠位置处的绝缘层，从而能够连接顶层金属层和底层金属层。

在一些实施例中，所述形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔，还包括：

35 在两条所述顶层金属线之间的一条顶层金属线形成贯穿所述绝缘层并分别连接不同的底层金属线的至少一对辅助通孔，其中，所述一对辅助通孔的间距大于任意两个所述测试通孔的间距。

在本申请实施例中，形成顶层金属线之前，还可以在上述测试通孔所在的顶层金属线（此时还未形成）对应位置之间的一条顶层金属线对应位置形成辅助通孔，并连接底

层金属线。辅助通孔连接的底层金属线也位于上述测试通孔连接的两条底层金属线之间，并且辅助通孔连接的底层金属线不与其他底层金属线连接，因此辅助通孔可用于单独进行测试，提供辅助判断通孔阻值的数据。

形成上述测试通孔以及辅助通孔后可以在绝缘层上形成顶层金属线，并且顶层金属线可以分别与测试通孔以及辅助通孔连接。

在一些实施例中，所述方法还包括：

形成至少两个虚置通孔，所述虚置通孔贯穿所述绝缘层，且连接所述第一金属层或所述第二金属层中的任一层；所述至少两个虚置通孔与所述至少四个通孔的分布位置所围成图形呈中心对称或轴对称。

在本申请实施例中，在形成绝缘层后以及形成顶层金属线之前，还可以形成贯穿绝缘层的虚置通孔。虚置通孔所在位置并非底层金属线与顶层金属线的交叠位置。也就是说，虚置通孔的一端可以与底层金属线连接，但另一端不会与顶层金属线连接，或者，虚置通孔的一端可以与顶层金属线连接，但另一端则不会与底层金属线连接，因此，不会导通顶层金属线和底层金属线。

在一些实施例中，所述方法还包括：

在所述至少两个虚置通孔中填充绝缘材料。

虚置通孔可以用于提供支撑，使得整个半导体结构模拟半导体器件内部的结构，减少测试通孔变形的概率，从而提升测试通孔的测试性能。由于虚置通孔不需要实现电连接，因此，虚置通孔内部可以填充绝缘材料，绝缘材料的类型可以为氧化硅、氮化硅等材料，也可以为其他有机物材料。

在一些实施例中，所述虚置通孔连接所述第一金属层，所述方法还包括：

形成覆盖层，所述覆盖层填充于所述顶层金属线之间，且覆盖所述虚置通孔。

上述虚置通孔的一端可以连接第一金属层，即连接至少一条底层金属线，并贯穿绝缘层。虚置通孔的另一端则暴露在绝缘层的顶部，且位于顶层金属线之间。

在本申请实施例中，可以在第二金属层形成后继续形成一层覆盖层，将裸露在绝缘层顶部的虚置通孔覆盖住，并填充第二金属层的各条顶层金属线之间，使得各条顶层金属线之间通过覆盖层相互隔离。

覆盖层的材料为绝缘材料，可以为氧化硅、氮化硅或者其他有机物材料等。

本申请实施例还提供如下示例：

对于 MOS (Metal-Oxide-Semiconductor Field-Effect Transistor, 金属氧化物半导体场效应晶体管) 器件等的后段工艺 (BEOL, Backend of Line) 各层金属都是通过通孔进行连接，传统的 ISOTest-key (Isolation Test-key, 隔离测试单元) 一般测试单个通孔的阻值。

如图 9 所示，但通孔的测试结构包括一条底层金属线 901，一条顶层金属线 902 和位于这两条金属线的交叠位置，并连通这两条金属线的测试通孔 903。这种结构的通孔容易受到周围隔离层的影响，导致光刻工艺不稳定，并且单个的测试通孔的周围没有其他图形结构 (pattern)，后续对金属层进行平坦化处理等的过程中容易造成测试通孔变形，无法进行测试。此外，单个的测试通孔的阻值出现误差的概率高，不能准确反映器件中的实际通孔的阻值。

本申请实施例中，采用“ 3×3 加 2×2 ”形状的通孔结构。如图 10 所示，第一金属层 1010 包括多条底层金属线 1011，顶层金属层 1020 包括多条顶层金属线 1021。在两条底层金属线与两条顶层金属线分别相交的四个交叠位置处，设置有四个测试通孔 1030，这四个测试通孔的连通底层金属线和顶层金属线。此外，第一金属层 1010 与第二金属层 1020 之间具有绝缘层（图中未示出）。

分别与四个测试通孔 1030 连接的两条底层金属线 1011 和两条顶层金属线 1021 分别通过测试焊盘 1012 和 1022 连接，这样可以利用测试焊盘同步对四个测试通孔进行测试。

四个测试通孔 1030 的外部还设置有辅助通孔 1040 和虚置通孔 1050，其中，辅助通孔 1040 可以连通第一金属层 1010 和第二金属层 1020 的两条金属线。辅助通孔 1040 可以用于进行辅助测试，也可以用于支撑整个半导体结构。此外，为了使整个半导体结构稳定，还可以设置虚置通孔 1050。虚置通孔 1050 与底层金属层 1020 连接，贯穿第一金属层 1010 与第二金属层 1020 之间的绝缘层，但不与顶层金属线向连。

虚置通孔 1050 与其他通孔可以用于形成稳定对称的结构，减少测试通孔变形的可能。因此，虚置通孔 1050 无需具有导电性，虚置通孔 1050 中可以填充绝缘材料，如图 11 所示。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本申请的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本申请实施例的实施过程构成任何限定。上述本申请实施例序号仅仅为了描述，不代表实施例的优劣。

需要说明的是，在本文中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排除性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个...”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。

在本申请所提供的几个实施例中，应该理解到，所揭露的设备和方法，可以通过其它的方式实现。以上所描述的设备实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，如：多个单元或组件可以结合，或可以集成到另一个系统，或一些特征可以忽略，或不执行。另外，所显示或讨论的各组成部分相互之间的耦合、或直接耦合、或通信连接可以是通过一些接口，设备或单元的间接耦合或通信连接，可以是电性的、机械的或其它形式的。

上述作为分离部件说明的单元可以是、或也可以不是物理上分开的，作为单元显示的部件可以是、或也可以不是物理单元；既可以位于一个地方，也可以分布到多个网络单元上；可以根据实际的需要选择其中的部分或全部单元来实现本实施例方案的目的。

另外，在本申请各实施例中的各功能单元可以全部集成在一个处理单元中，也可以

是各单元分别单独作为一个单元，也可以两个或两个以上单元集成在一个单元中；上述集成的单元既可以采用硬件的形式实现，也可以采用硬件加软件功能单元的形式实现。

5 以上所述，仅为本申请的实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

工业实用性

10 本申请实施例提供了一种半导体结构及其制造方法。通过本申请实施例提供的技术方案，采用至少四个通孔连接第一金属层和第二金属层，一方面，每个通孔的周围都存在其他的通孔等结构的支撑，可以减少通孔变形导致测试不准确的情况；另一方面，多个通孔也便于进行灵活地测试，使得测试结果更加接近器件内部通孔的实际阻值。

权利要求书

1. 一种半导体结构，包括：
半导体衬底；
第一金属层，位于所述半导体衬底表面；
第二金属层，位于所述第一金属层表面的上方；
绝缘层，位于所述第一金属层和所述第二金属层之间，用于隔离所述第一金属层和所述第二金属层；
至少四个通孔，位于所述绝缘层中，所述至少四个通孔中具有用于连接所述第一金属层和所述第二金属层的导电材料。
2. 根据权利要求 1 所述的半导体结构，其中，所述第一金属层包括：沿第一方向平行分布的多条底层金属线；
所述第二金属层包括：沿第二方向平行分布的多条顶层金属线；其中，所述第二方向垂直于所述第一方向。
3. 根据权利要求 2 所述的半导体结构，其中，所述至少四个通孔位于所述第一金属层中至少两条所述底层金属线与所述第二金属层中的至少两条顶层金属线的交叠位置。
4. 根据权利要求 3 所述的半导体结构，其中，所述至少四个通孔包括四个测试通孔；其中，所述四个测试通孔分别位于两条顶层金属线与两条底层金属线的四个交叠位置处。
5. 根据权利要求 4 所述的半导体结构，其中，连接有所述测试通孔的两条顶层金属线之间具有一条间隔的顶层金属线；且连接有所述测试通孔的两条底层金属线之间具有一条间隔的底层金属线。
6. 根据权利要求 5 所述的半导体结构，其中，所述至少四个通孔中还包括至少一对辅助通孔，其中，所述至少一对辅助通孔连接在所述间隔的顶层金属线或间隔的底层金属线上，且一对所述辅助通孔的间距大于任意两个所述测试通孔的间距。
7. 根据权利要求 4 所述的半导体结构，其中，连接所述测试通孔的所述两条顶层金属线之间通过测试焊盘连接；连接所述测试通孔的所述两条底层金属线之间通过测试焊盘连接。
8. 根据权利要求 1 所述的半导体结构，还包括：
至少两个虚置通孔，所述虚置通孔贯穿所述绝缘层，且连接所述第一金属层或所述第二金属层中的任一层；所述至少两个虚置通孔与所述至少四个通孔的分布位置所围成图形呈中心对称或轴对称。
9. 根据权利要求 8 所述的半导体结构，其中，所述虚置通孔中填充有绝缘材料。
10. 根据权利要求 1 所述的半导体结构，其中，所述至少四个通孔用于通过开尔文四线检测法进行电阻测试。
11. 一种半导体结构的制造方法，包括：
在半导体衬底表面形成第一金属层；
在所述第一金属层上覆盖绝缘层；
形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔；
在所述至少四个通孔中填充导电材料；

在所述绝缘层和所述至少四个通孔上形成第二金属层；

所述至少四个通孔中的所述导电材料用于连接所述第一金属层和所述第二金属层。

12. 根据权利要求 11 所述的方法，其中，所述在半导体衬底表面形成第一金属层，包括：

在半导体表面形成沿第一方向平行分布的多条底层金属线；

所述在所述绝缘层和所述至少四个通孔上形成第二金属层，包括：

在所述绝缘层和所述至少四个通孔上形成多条沿第二方向平行分布的多条顶层金属线；其中，所述第二方向垂直于所述第一方向。

13. 根据权利要求 12 所述的方法，其中，所述形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔，包括：

在两条所述底层金属线的四个目标位置处，形成贯穿所述绝缘层并连接所述底层金属线的四个测试通孔；每条所述底层金属线包括沿第二方向分布两个目标位置，且位于两条所述底层金属线的相邻两个目标位置沿第一方向分布；

在所述绝缘层和所述至少四个通孔上形成多条沿第二方向平行分布的多条顶层金属线，包括：

在沿第一方向分布的两个目标位置上方形成顶层金属线，所述目标位置为两条所述顶层金属线和两条所述底层金属线交叠的位置。

14. 根据权利要求 13 所述的方法，其中，所述形成贯穿所述绝缘层并连接所述第一金属层的至少四个通孔，还包括：

在两条所述顶层金属线之间的一条顶层金属线形成贯穿所述绝缘层并分别连接不同的底层金属线的至少一对辅助通孔，其中，所述一对辅助通孔的间距大于任意两个所述测试通孔的间距。

15. 根据权利要求 12 所述的方法，还包括：

形成至少两个虚置通孔，所述虚置通孔贯穿所述绝缘层，且连接所述第一金属层或所述第二金属层中的任一层；所述至少两个虚置通孔与所述至少四个通孔的分布位置所围成图形呈中心对称或轴对称。

16. 根据权利要求 15 所述的方法，还包括：

在所述至少两个虚置通孔中填充绝缘材料。

17. 根据权利要求 16 所述的方法，其中，所述虚置通孔连接所述第一金属层，所述方法还包括：

形成覆盖层，所述覆盖层填充于所述顶层金属线之间，且覆盖所述虚置通孔。

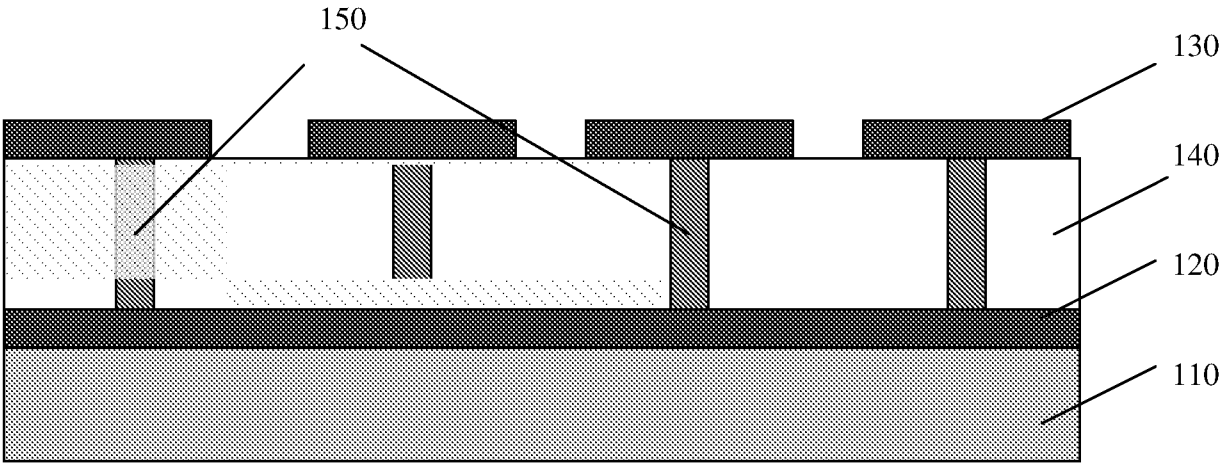


图 1

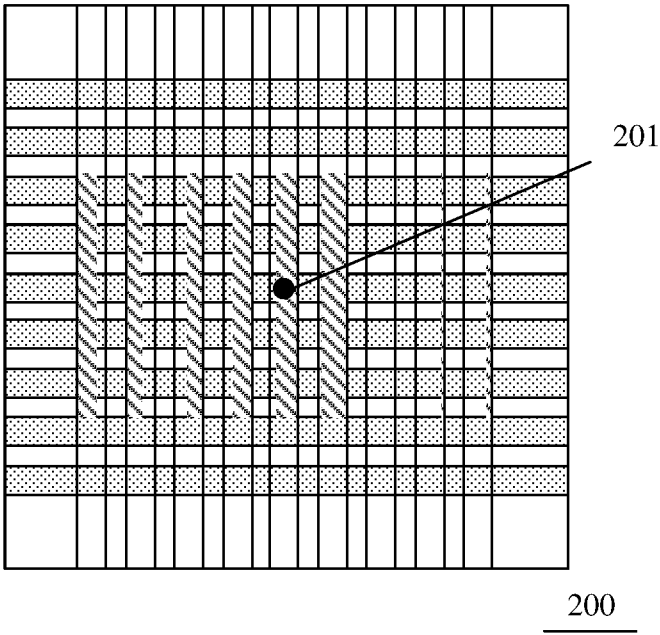


图 2

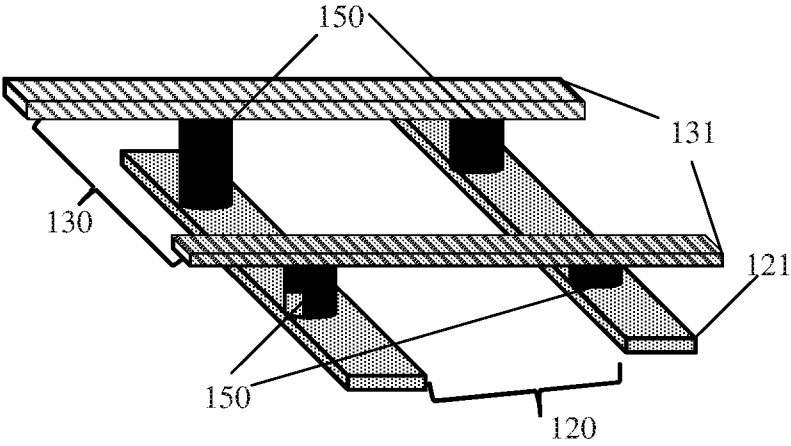


图 3

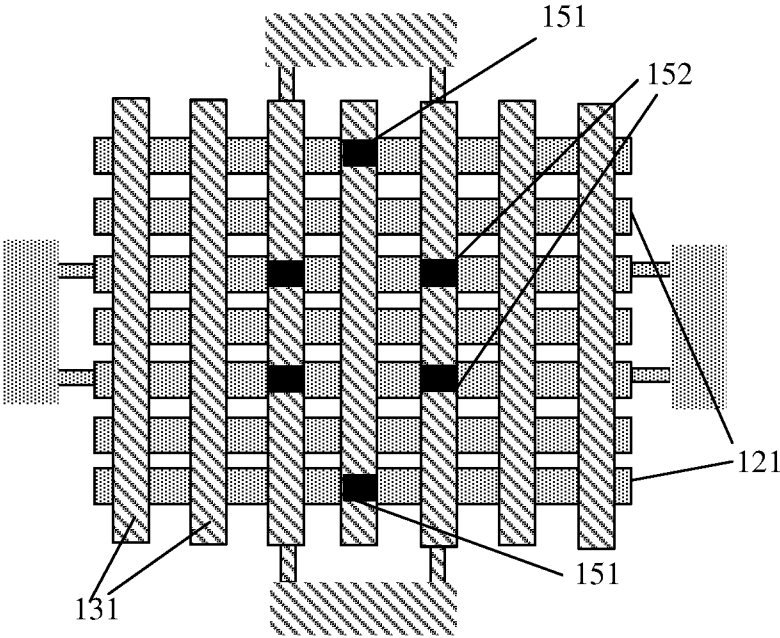


图 4

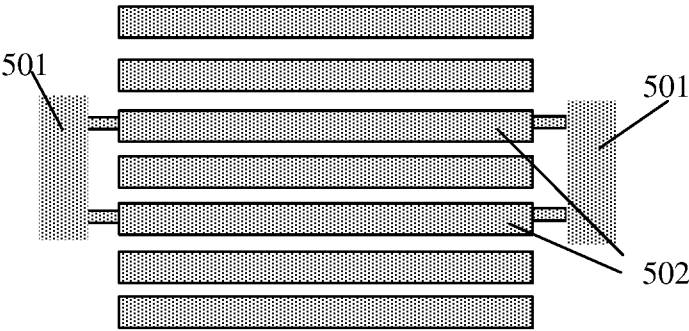


图 5A

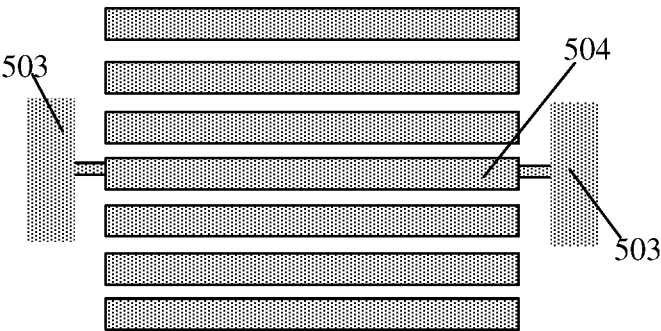


图 5B

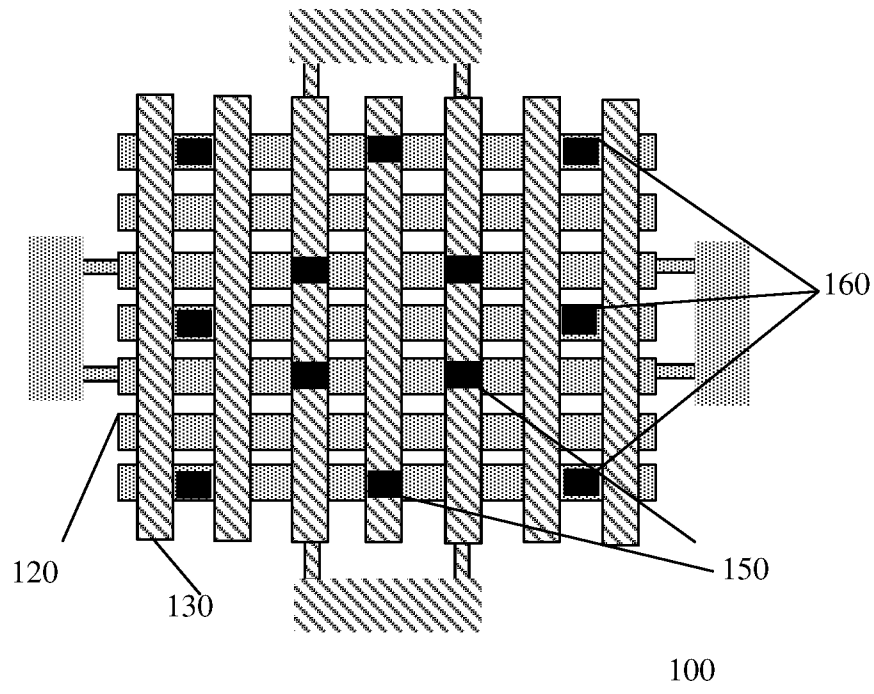


图 6

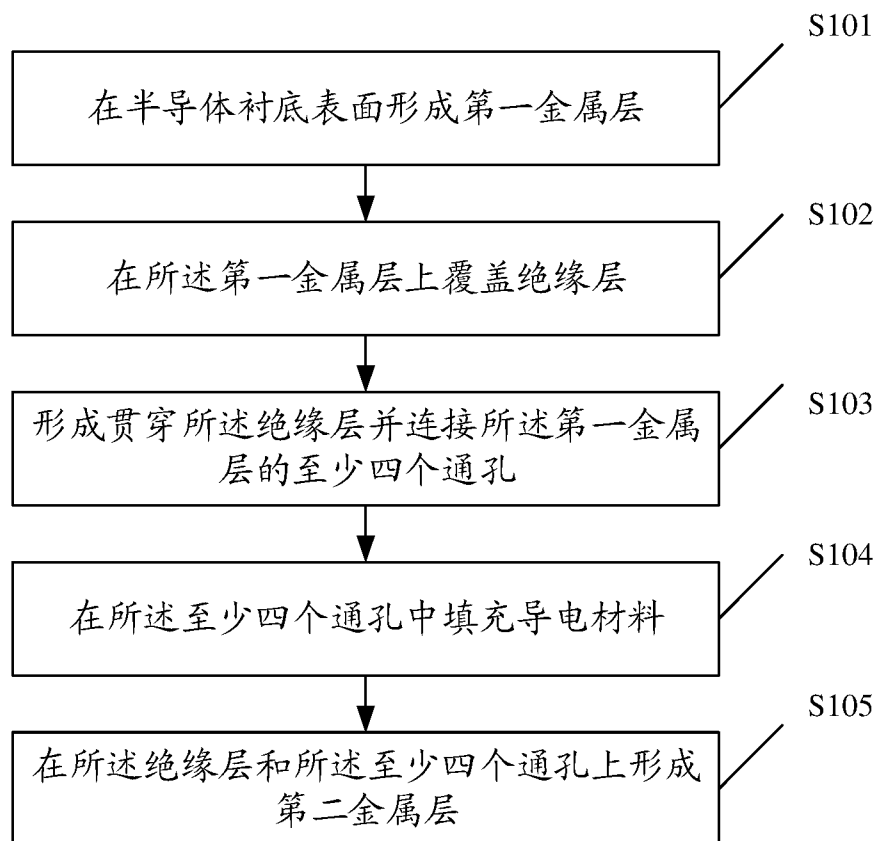


图 7

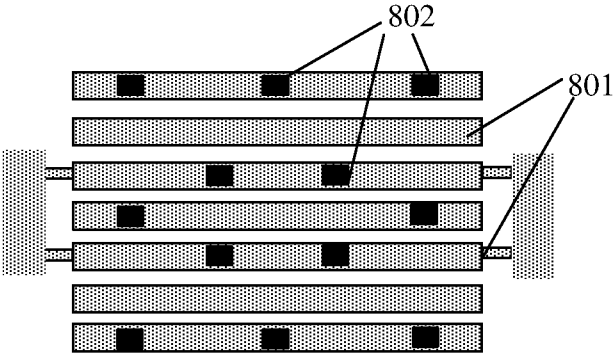


图 8A

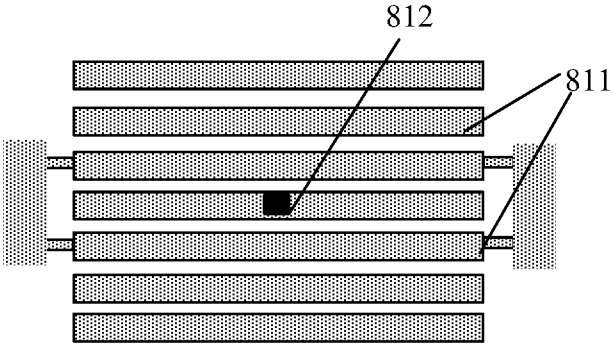


图 8B

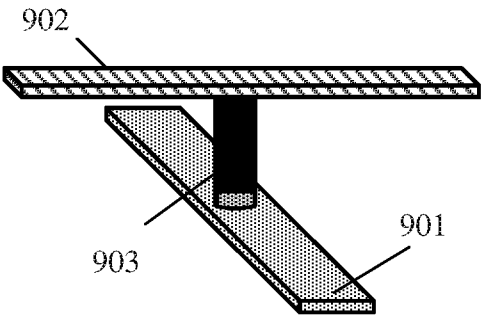


图 9

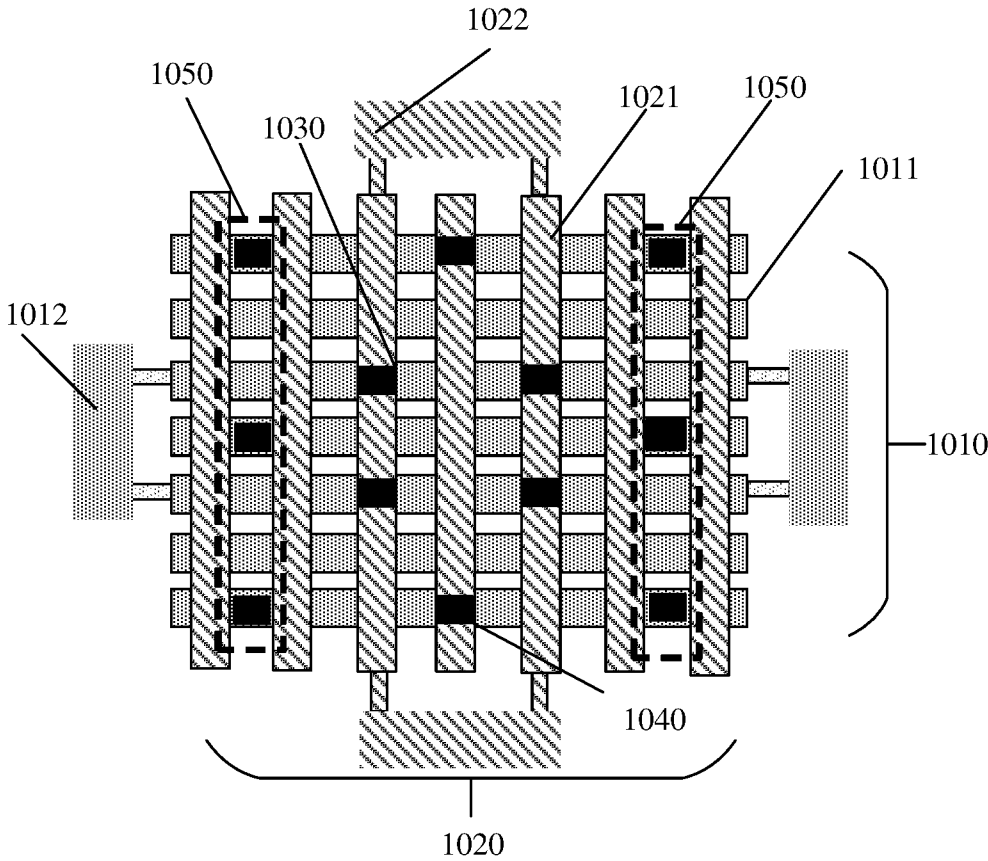


图 10

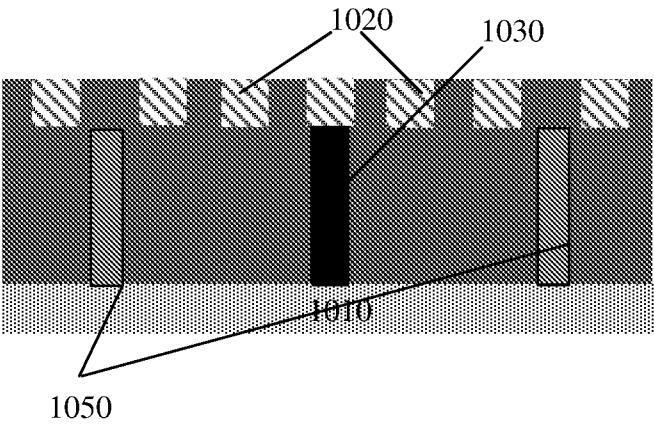


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/116890

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/544(2006.01)i; H01L 21/66(2006.01)i; H01L 23/525(2006.01)i; G01R 31/26(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 金属, 导体, 导线, 布线, 第一, 顶, 上, 行, 水平, 横, 第二, 下, 底, 列, 竖直, 垂直, 纵, 绝缘, 间隔, 介电, 介质, 测, 通孔, 插塞, 电阻, 阻值, metal?, conductor?, wire?, line?, first, topper, upper, row, horizontal, lateral, second, lower, bottom, vertical, column, insulat+, separat+, dielectric, test+, prob+, detect+, measur+, inspect+, via??. plug?, hole?, resistance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 105097778 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 25 November 2015 (2015-11-25) description, paragraphs [0028]-[0042], and figures 4A-5	1-7, 10-14
X	US 2003230810 A1 (NEC ELECTRONICS CORP.) 18 December 2003 (2003-12-18) description, paragraphs [0017]-[0031], and figures 1 and 3	1-7, 10-14
X	CN 109786359 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP. et al.) 21 May 2019 (2019-05-21) description, paragraphs [0051]-[0100], and figures 5-12	1-7, 10-14
Y	CN 105097778 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORP.) 25 November 2015 (2015-11-25) description, paragraphs [0028]-[0042], and figures 4A-5	8-9,15-17
Y	CN 102064155 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 18 May 2011 (2011-05-18) description, paragraphs [0050]-[0056], and figures 1-2	8-9,15-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 May 2022

Date of mailing of the international search report

13 May 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)

No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/116890

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 110335861 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORP.) 15 October 2019 (2019-10-15) entire document	1-17

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/116890

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105097778	A	25 November 2015	CN	105097778	B	12 March 2019
US	2003230810	A1	18 December 2003	JP	2004022570	A	22 January 2004
				TW	200405499	A	01 April 2004
				US	6787802	B2	07 September 2004
				TW	1222149	B	11 October 2004
				JP	3853260	B2	06 December 2006
CN	109786359	A	21 May 2019	CN	109786359	B	27 November 2020
CN	102064155	A	18 May 2011	JP	2011109055	A	02 June 2011
				KR	20110055342	A	25 May 2011
				TW	201118997	A	01 June 2011
				US	2011115073	A1	19 May 2011
				KR	101133625	B1	10 April 2012
				CN	102064155	B	26 September 2012
				JP	5240947	B2	17 July 2013
				TW	1408786	B	11 September 2013
				US	8748305	B2	10 June 2014
CN	110335861	A	15 October 2019	CN	110335861	B	23 April 2021

国际检索报告

国际申请号

PCT/CN2021/116890

A. 主题的分类

H01L 23/544(2006.01)i; H01L 21/66(2006.01)i; H01L 23/525(2006.01)i; G01R 31/26(2014.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; G01R

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, CNKI, IEEE: 金属, 导体, 导线, 布线, 第一, 顶, 上, 行, 水平, 横, 第二, 下, 底, 列, 竖直, 垂直, 纵, 绝缘, 间隔, 介电, 介质, 测, 通孔, 插塞, 电阻, 阻值, metal?, conductor?, wire?, line?, first, topper, upper, row, horizontal, lateral, second, lower, bottom, vertical, column, insulat+, separat+, dielectric, test+, prob+, detect+, measur+, inspect+, via??. plug?, hole?, resistance

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 105097778 A (中芯国际集成电路制造上海有限公司) 2015年11月25日 (2015 - 11 - 25) 说明书第[0028]-[0042]段, 图4A-5	1-7, 10-14
X	US 2003230810 A1 (NEC ELECTRONICS CORPORATION) 2003年12月18日 (2003 - 12 - 18) 说明书第[0017]-[0031]段, 图1、3	1-7, 10-14
X	CN 109786359 A (中芯国际集成电路制造上海有限公司 等) 2019年5月21日 (2019 - 05 - 21) 说明书第[0051]-[0100]段, 图5-12	1-7, 10-14
Y	CN 105097778 A (中芯国际集成电路制造上海有限公司) 2015年11月25日 (2015 - 11 - 25) 说明书第[0028]-[0042]段, 图4A-5	8-9, 15-17
Y	CN 102064155 A (台湾积体电路制造股份有限公司) 2011年5月18日 (2011 - 05 - 18) 说明书第[0050]-[0056]段, 图1-2	8-9, 15-17

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年5月4日

国际检索报告邮寄日期

2022年5月13日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

胡晓英

电话号码 86-(10)-53961456

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 110335861 A（上海华虹宏力半导体制造有限公司）2019年10月15日（2019 - 10 - 15） 全文	1-17

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/116890

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105097778	A	2015年11月25日	CN	105097778	B	2019年3月12日
US	2003230810	A1	2003年12月18日	JP	2004022570	A	2004年1月22日
				TW	200405499	A	2004年4月1日
				US	6787802	B2	2004年9月7日
				TW	1222149	B	2004年10月11日
				JP	3853260	B2	2006年12月6日
CN	109786359	A	2019年5月21日	CN	109786359	B	2020年11月27日
CN	102064155	A	2011年5月18日	JP	2011109055	A	2011年6月2日
				KR	20110055342	A	2011年5月25日
				TW	201118997	A	2011年6月1日
				US	2011115073	A1	2011年5月19日
				KR	101133625	B1	2012年4月10日
				CN	102064155	B	2012年9月26日
				JP	5240947	B2	2013年7月17日
				TW	1408786	B	2013年9月11日
				US	8748305	B2	2014年6月10日
CN	110335861	A	2019年10月15日	CN	110335861	B	2021年4月23日