(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년06월03일
(11) 등록번호 10-2403389
(24) 등록일자 2022년05월25일

(51) 국제특허분류(Int. Cl.)
*H01L 27/12* (2006.01) *G09G 3/3233* (2016.01)
*G09G 3/36* (2006.01) *G09G 5/39* (2006.01)
*H01L 27/02* (2006.01)
(52) CPC특허분류
*H01L 27/1225* (2013.01)
*G09G 3/3233* (2013.01)
(21) 출원번호 10-2019-7009699
(22) 출원일자(국제) 2017년09월06일
심사청구일자 2020년07월16일
(85) 번역문제출일자 2019년04월04일
(65) 공개번호 10-2019-0045930
(43) 공개일자 2019년05월03일
(86) 국제출원번호 PCT/IB2017/055351
(87) 국제공개번호 WO 2018/047067
국제공개일자 2018년03월15일
(30) 우선권주장
JP-P-2016-178106 2016년09월12일 일본(JP)
*(뒷면에 계속)*
(56) 선행기술조사문헌
JP2015181151 A*
KR1020150061578 A*
KR1020150126272 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**가부시키가이샤 한도오따이 에네루기 켄큐쇼**
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
**야마자키 슌페이**
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
**코에즈카 준이치**
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
**오카자키 겐이치**
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 나이
(74) 대리인
**김태홍, 김진희**

전체 청구항 수 : 총 19 항 심사관 : 장영주

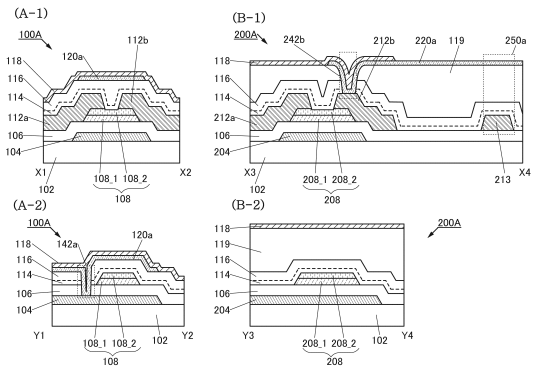
(54) 발명의 명칭 **표시 장치 및 전자 기기**

## (57) 요 약

신규 표시 장치를 제공한다. 표시 장치는 화소부 및 화소부를 구동하는 구동 회로를 포함한다. 구동 회로는 듀얼 게이트 구조를 갖는 제 1 트랜지스터를 포함한다. 화소부는 싱글 게이트 구조를 갖는 제 2 트랜지스터 및 제 2 트랜지스터에 전기적으로 접속되는 화소 전극을 포함한다. 제 1 트랜지스터 및 제 2 트랜지스터는 각각 채널

(뒷면에 계속)

## 대 표 도



로서 기능하는 제 1 금속 산화물막을 포함한다. 금속 산화물막은 각각 제 1 영역 및 제 2 영역을 포함한다. 제 1 영역은 In 또는 Zn과 산소를 포함한다. 제 2 영역은 In 또는 원소 *M*과 산소를 포함한다. 제 1 영역 및 제 2 영역은 모자이크 패턴으로 분산 또는 분포되어 있다.

(52) CPC특허분류

***G09G 3/3648*** (2013.01)
***G09G 3/3677*** (2013.01)
***G09G 3/3688*** (2013.01)
***G09G 5/39*** (2013.01)
***H01L 27/0251*** (2013.01)
***H01L 27/1248*** (2013.01)
***H01L 27/1255*** (2013.01)
*G09G 2320/103* (2013.01)
*G09G 2330/021* (2013.01)

(30) 우선권주장

JP-P-2016-183322 2016년09월20일 일본(JP)
JP-P-2016-233577 2016년11월30일 일본(JP)
JP-P-2017-099483 2017년05월19일 일본(JP)

# 명 세 서

## 청구범위

### 청구항 1

표시 장치로서,

화소부; 및

상기 화소부를 구동하는 구동 회로를 포함하고,

상기 구동 회로는 제 1 트랜지스터를 포함하고,

상기 화소부는 제 2 트랜지스터 및 상기 제 2 트랜지스터에 전기적으로 접속되는 화소 전극을 포함하고,

상기 제 1 트랜지스터는 제 1 게이트 전극, 상기 제 1 게이트 전극 위에서 채널로서 기능하는 제 1 금속 산화물막, 및 상기 제 1 금속 산화물막 위의 제 2 게이트 전극을 포함하고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극은 서로 전기적으로 접속되고,

상기 제 2 트랜지스터는 채널로서 기능하는 제 2 금속 산화물막을 포함하고,

상기 화소 전극은 제 3 금속 산화물막을 포함하고,

상기 제 3 금속 산화물막은 상기 제 2 금속 산화물막보다 수소 농도가 높은 영역을 포함하고,

상기 제 1 금속 산화물막, 상기 제 2 금속 산화물막, 및 상기 제 3 금속 산화물막은 각각 In, Zn, 및 원소 *M*을 포함하고,

상기 제 1 금속 산화물막, 상기 제 2 금속 산화물막, 및 상기 제 3 금속 산화물막은 각각 복수의 제 1 영역과 복수의 제 2 영역을 포함하고,

상기 복수의 제 1 영역은 In과 산소, 또는 In과 Zn과 산소를 포함하고,

상기 복수의 제 2 영역은 원소 *M*과 산소, 또는 원소 *M*과 Zn과 산소를 포함하고,

상기 복수의 제 1 영역과 상기 복수의 제 2 영역은 모자이크 패턴으로 분산 또는 분포되어 있도록 혼합되고,

상기 원소 *M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중 하나 이상인, 표시 장치.

### 청구항 2

제 1 항에 있어서,

절연막이 상기 제 1 금속 산화물막 및 상기 제 2 트랜지스터 위에 있고,

상기 제 2 금속 산화물막은 게이트 절연막 위에 있고,

상기 제 3 금속 산화물막 및 상기 제 2 게이트 전극은 상기 절연막 위에 있고,

상기 제 3 금속 산화물막은 상기 절연막의 개구에서 상기 제 2 트랜지스터에 전기적으로 접속되는, 표시 장치.

### 청구항 3

제 1 항에 있어서,

제 1 절연막 및 제 2 절연막이 상기 제 2 트랜지스터 위에 이 순서대로 적층되고,

상기 제 1 절연막은 상기 제 1 금속 산화물막 위에 있고,

상기 제 1 절연막 및 상기 제 2 절연막은 각각 상기 제 2 트랜지스터 위에 개구를 갖고,

상기 제 2 금속 산화물막은 게이트 절연막 위에 있고,

상기 제 2 게이트 전극은 상기 제 1 절연막 위에 있고,

상기 제 3 금속 산화물막은 상기 제 2 절연막 위에 있고,

상기 제 3 금속 산화물막은 상기 제 1 절연막 및 상기 제 2 절연막의 상기 개구에서 상기 제 2 트랜지스터에 전기적으로 접속되는, 표시 장치.

**청구항 4**

제 3 항에 있어서,

상기 제 1 절연막은 무기 절연막을 포함하고,

상기 제 2 절연막은 유기 수지막을 포함하는, 표시 장치.

**청구항 5**

제 1 항에 있어서,

상기 제 2 트랜지스터는 제 3 게이트 전극, 및 상기 제 3 게이트 전극과 상기 제 2 금속 산화물막 사이의 게이트 절연막을 포함하고,

상기 제 2 금속 산화물막 및 상기 제 3 금속 산화물막은 상기 게이트 절연막 위에 있는, 표시 장치.

**청구항 6**

제 1 항에 있어서,

상기 제 3 금속 산화물막의 수소 농도는 $1\times10^{20}$ atoms/$cm^3$ 이상인, 표시 장치.

**청구항 7**

제 1 항에 있어서,

상기 제 1 금속 산화물막, 상기 제 2 금속 산화물막, 및 상기 제 3 금속 산화물막은 각각, In의 함유량이 In, *M*, 및 Zn 원자의 총합의 40% 이상 50% 이하를 차지하는 영역과, *M*의 함유량이 In, *M*, 및 Zn 원자의 총합의 5% 이상 30% 이하를 차지하는 영역을 포함하는, 표시 장치.

**청구항 8**

제 1 항에 있어서,

상기 제 1 금속 산화물막, 상기 제 2 금속 산화물막, 및 상기 제 3 금속 산화물막에서 In 대 *M* 대 Zn의 원자수비가 4:x:y일 때, x가 1.5 이상 2.5 이하이고, y가 2 이상 4 이하인, 표시 장치.

**청구항 9**

제 1 항에 있어서,

상기 제 1 금속 산화물막, 상기 제 2 금속 산화물막, 및 상기 제 3 금속 산화물막에서 In 대 *M* 대 Zn의 원자수비가 5:*x*:*y*일 때, *x*가 0.5 이상 1.5 이하이고, *y*가 5 이상 7 이하인, 표시 장치.

**청구항 10**

표시 장치로서,

화소부; 및

상기 화소부를 구동하는 구동 회로를 포함하고,

상기 구동 회로는 제 1 트랜지스터를 포함하고,

상기 화소부는 제 2 트랜지스터 및 상기 제 2 트랜지스터에 전기적으로 접속되는 화소 전극을 포함하고,

제 1 절연막 및 제 2 절연막은 상기 제 2 트랜지스터 위에 이 순서대로 적층되고,

상기 제 1 절연막 및 상기 제 2 절연막은 각각 상기 제 2 트랜지스터 위에 개구를 갖고,

상기 제 1 트랜지스터는 제 1 게이트 전극, 상기 제 1 게이트 전극 위에서 채널로서 기능하는 제 1 금속 산화물막, 상기 제 1 금속 산화물막 위의 상기 제 1 절연막, 및 상기 제 1 절연막 위의 제 2 게이트 전극을 포함하고,

상기 제 1 게이트 전극 및 상기 제 2 게이트 전극은 서로 전기적으로 접속되고,

상기 제 2 트랜지스터는 채널로서 기능하는 제 2 금속 산화물막을 포함하고,

상기 화소 전극은 상기 제 2 절연막 위에 있고,

상기 화소 전극은 상기 제 1 절연막 및 상기 제 2 절연막의 상기 개구에서 상기 제 2 트랜지스터에 전기적으로 접속되고,

상기 제 1 금속 산화물막 및 상기 제 2 금속 산화물막은 각각 In, Zn, 및 원소 *M*을 포함하고,

상기 제 1 금속 산화물막 및 상기 제 2 금속 산화물막은 각각 복수의 제 1 영역과 복수의 제 2 영역을 포함하고,

상기 복수의 제 1 영역은 In과 산소, 또는 In과 Zn과 산소를 포함하고,

상기 복수의 제 2 영역은 원소 *M*과 산소, 또는 원소 *M*과 Zn과 산소를 포함하고,

상기 복수의 제 1 영역과 상기 복수의 제 2 영역은 모자이크 패턴으로 분산 또는 분포되어 있도록 혼합되고,

상기 원소 *M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중 하나 이상인, 표시 장치.

**청구항 11**

제 10 항에 있어서,

상기 화소 전극은 제 3 금속 산화물막을 포함하고,

상기 제 3 금속 산화물막은 In, Zn, 및 원소 *M*을 포함하고,

상기 제 3 금속 산화물막은 상기 제 2 금속 산화물막보다 수소 농도가 높은 영역을 포함하는, 표시 장치.

**청구항 12**

제 11 항에 있어서,

상기 제 3 금속 산화물막의 수소 농도는 $1\times10^{20}$ atoms/$cm^3$ 이상인, 표시 장치.

**청구항 13**

제 10 항에 있어서,

상기 제 1 절연막은 무기 절연막을 포함하고,

상기 제 2 절연막은 유기 수지막을 포함하는, 표시 장치.

**청구항 14**

제 10 항에 있어서,

상기 제 1 금속 산화물막 및 상기 제 2 금속 산화물막은 각각, In의 함유량이 In, *M*, 및 Zn 원자의 총합의 40% 이상 50% 이하를 차지하는 영역과, *M*의 함유량이 In, *M*, 및 Zn 원자의 총합의 5% 이상 30% 이하를 차지하는 영역을 포함하는, 표시 장치.

**청구항 15**

제 10 항에 있어서,

상기 제 1 금속 산화물막 및 상기 제 2 금속 산화물막에서 In 대 *M* 대 Zn의 원자수비가 4:*x*:*y*일 때, *x*가 1.5 이상 2.5 이하이고, *y*가 2 이상 4 이하인, 표시 장치.

**청구항 16**

제 10 항에 있어서,

상기 제 1 금속 산화물막 및 상기 제 2 금속 산화물막에서 In 대 *M* 대 Zn의 원자수비가 5:*x*:*y*일 때, *x*가 0.5 이상 1.5 이하이고, *y*가 5 이상 7 이하인, 표시 장치.

**청구항 17**

제 1 항 또는 제 10 항에 있어서,

상기 제 1 트랜지스터는 듀얼 게이트 구조를 갖고,

상기 제 2 트랜지스터는 싱글 게이트 구조를 갖는, 표시 장치.

**청구항 18**

전자 기기로서,

제 1 항 또는 제 10 항에 따른 표시 장치; 및

수신기를 포함하는, 전자 기기.

**청구항 19**

제 1 항 또는 제 10 항에 있어서,

상기 복수의 제 1 영역은 각각 0.5㎚ 이상 3㎚ 이하의 크기를 갖고,

상기 복수의 제 2 영역은 각각 0.5㎚ 이상 3㎚ 이하의 크기를 갖는, 표시 장치.

**청구항 20**

삭제

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명의 일 형태는 표시 장치 및 전자 기기에 관한 것이다.

[0002] 또한, 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다.

[0003] 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.

### *배 경 기 술*

[0004] 트랜지스터에 사용할 수 있는 반도체 재료로서, 산화물 반도체가 주목을 받고 있다. 예를 들어, 복수의 산화물 반도체층 중 채널로서 기능하는 산화물 반도체층이 인듐 및 갈륨을 포함하고, 상기 인듐의 비율이 상기 갈륨의 비율보다 높은 상기 복수의 산화물 반도체층을 적층함으로써 전계 효과 이동도(단순히 이동도 또는 μFE라고 하

는 경우가 있음)가 향상된 반도체 장치가 개시되어 있다(특허문헌 1 참조).

[0005] 산화물 반도체 트랜지스터를 액정 디스플레이 및 유기 일렉트로루미네선스(EL) 디스플레이 등의 표시 장치에 사용하는 기술이 주목을 받고 있다. 산화물 반도체 트랜지스터의 오프 상태 전류는 매우 낮다. 특허문헌 2 및 특허문헌 3에는 각각, 이러한 매우 낮은 오프 상태 전류를 사용하여, 정지 화상을 표시할 때의 리프레시 빈도를 줄이고 액정 디스플레이 또는 유기 EL 디스플레이의 소비전력을 저감하는 기술이 개시되어 있다. 또한, 본 명세서에서, 표시 장치의 소비전력을 저감하는 이러한 구동 방법을 아이들링 스톱(IDS: idling stop) 구동이라고 한다.

## 선행기술문헌

### 특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2014-007399호

(특허문헌 0002) 일본 공개특허공보 특개2011-141522호

(특허문헌 0003) 일본 공개특허공보 특개2011-141524호

## 발명의 내용

### 해결하려는 과제

[0007] 산화물 반도체막을 채널 영역으로서 사용하는 트랜지스터의 전계 효과 이동도는 가능한 한 높은 것이 바람직하다. 그러나, 전계 효과 이동도가 높아지면, 트랜지스터는 그 특성에 문제를 갖고, 즉 트랜지스터가 노멀리 온이 되는 경향이 있다. 또한, "노멀리 온"이란, 게이트 전극에 전압을 인가하지 않아도 채널이 존재하고, 트랜지스터를 통하여 전류가 흐르는 상태를 의미한다.

[0008] 또한, 산화물 반도체막을 채널 영역에 사용하는 트랜지스터에서, 산화물 반도체막에 형성되는 산소 결손은 트랜지스터 특성에 악영향을 미친다. 예를 들어, 산화물 반도체막에 형성된 산소 결손이 수소와 결합하여 캐리어 공급원으로서 작용한다. 산화물 반도체막에 생성된 캐리어 공급원은 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화, 대표적으로는 문턱 전압의 변동을 일으킨다.

[0009] 산화물 반도체막에서 산소 결손의 양이 지나치게 많으면, 예를 들어 트랜지스터의 문턱 전압이 음의 방향으로 변동되어, 트랜지스터가 노멀리 온 특성을 갖게 된다. 따라서, 특히 산화물 반도체막의 채널 영역에서는, 산소 결손의 양이 적거나 또는 노멀리 온 특성을 나타내지 않는 양인 것이 바람직하다.

[0010] 표시 장치를 제작하기 위하여 절연 표면 상에 복수의 상이한 회로를 형성하는 경우(예를 들어, 화소부 및 구동 회로를 같은 기판 위에 형성하는 경우), 화소부에 사용하는 트랜지스터에는 높은 온/오프비 등의 우수한 스위칭 특성이 요구되고, 구동 회로에 사용하는 트랜지스터에는 빠른 동작 속도가 요구된다. 특히, 초고해상도(4K 해상도, 4K2K, 또는 4K라고도 함) 표시 장치 또는 super-high-definition(8K 해상도, 8K4K, 또는 8K라고도 함) 표시 장치 등과 같이, 표시 장치의 해상도가 높아질수록 표시 화상의 기록 시간은 짧아지기 때문에, 구동 회로에 사용하는 트랜지스터가 고속으로 동작하는 것이 바람직하다.

[0011] 상술한 문제를 감안하여, 본 발명의 일 형태의 과제는 금속 산화물막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 다른 과제는 금속 산화물막을 포함하는 트랜지스터의 전기 특성의 변화를 억제하고, 트랜지스터의 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 다른 과제는 표시 품질이 좋고 해상도가 높은 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 소비전력이 저감된 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 표시 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 전자 기기를 제공하는 것이다.

[0012] 또한, 상기 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서 상기 과제를 모두 달성할 필요는 없다. 상기 과제 외의 과제는 명세서 등의 기재로부터 명백해질 것이며 추출될 수 있다.

### 과제의 해결 수단

[0013] 본 발명의 일 형태는 화소부 및 화소부를 구동하는 구동 회로를 포함하는 표시 장치이다. 구동 회로는 제 1 트

랜지스터를 포함한다. 화소부는 제 2 트랜지스터 및 제 2 트랜지스터에 전기적으로 접속되는 화소 전극을 포함한다. 제 1 트랜지스터는 제 1 게이트 전극, 제 2 게이트 전극, 및 제 1 게이트 전극과 제 2 게이트 전극 사이에서 채널로서 기능하는 제 1 금속 산화물막을 포함한다. 제 1 게이트 전극 및 제 2 게이트 전극은 서로 전기적으로 접속된다. 제 2 트랜지스터는 채널로서 기능하는 제 2 금속 산화물막을 포함한다. 화소 전극은 제 3 금속 산화물막을 사용하여 형성된다. 제 3 금속 산화물막은 제 2 금속 산화물막보다 수소 농도가 높은 영역을 포함한다. 제 1 금속 산화물막, 제 2 금속 산화물막, 및 제 3 금속 산화물막은 각각 제 1 영역 및 제 2 영역을 포함한다. 제 1 영역은 In 또는 Zn과 산소를 포함한다. 제 2 영역은 In 또는 원소 *M*과 산소를 포함한다. 제 1 영역 및 제 2 영역은 모자이크 패턴으로 분산 또는 분포되어 있다.

[0014] 또한, 표시 장치는, 절연막이 제 1 금속 산화물막 및 제 2 트랜지스터 위에 있고; 절연막이 제 2 트랜지스터 위에 개구를 갖고; 제 2 금속 산화물막이 게이트 절연막 위에 있고; 제 3 금속 산화물막, 및 제 1 게이트 전극 및 제 2 게이트 전극 중 한쪽이 절연막 위에 있고; 제 3 금속 산화물막이 절연막의 개구에서 제 2 트랜지스터에 전기적으로 접속되는 구조를 가져도 좋다.

[0015] 또는, 표시 장치는, 제 1 절연막 및 제 2 절연막이 제 1 금속 산화물막 및 제 2 트랜지스터 위에 이 순서대로 적층되고; 제 1 절연막 및 제 2 절연막이 각각 제 2 트랜지스터 위에 개구를 갖고; 제 2 금속 산화물막이 게이트 절연막 위에 있고; 제 1 게이트 전극 및 제 2 게이트 전극 중 한쪽이 제 1 절연막 위에 있고; 제 3 금속 산화물막이 제 2 절연막 위에 있고; 제 3 금속 산화물막이 제 1 절연막 및 제 2 절연막의 개구에서 제 2 트랜지스터에 전기적으로 접속되는 구조를 가져도 좋다.

[0016] 제 1 절연막이 무기 절연막을 포함하고 제 2 절연막이 유기 수지막을 포함하여도 좋다.

[0017] 제 2 트랜지스터가 제 3 게이트 전극 및 게이트 절연막을 포함하여도 좋다. 제 2 금속 산화물막 및 제 3 금속 산화물막이 게이트 절연막 위에 있어도 좋다.

[0018] 본 발명의 일 형태는 화소부 및 화소부를 구동하는 구동 회로를 포함하는 표시 장치이다. 구동 회로는 제 1 트랜지스터를 포함한다. 화소부는 제 2 트랜지스터 및 제 2 트랜지스터에 전기적으로 접속되는 화소 전극을 포함한다. 제 1 절연막 및 제 2 절연막은 제 2 트랜지스터 위에 이 순서대로 적층된다. 제 1 절연막 및 제 2 절연막은 각각 제 2 트랜지스터 위에 개구를 갖는다. 제 1 트랜지스터는 제 1 게이트 전극, 제 2 게이트 전극, 및 제 1 게이트 전극과 제 2 게이트 전극 사이에서 채널로서 기능하는 제 1 금속 산화물막을 포함한다. 제 1 게이트 전극 및 제 2 게이트 전극은 서로 전기적으로 접속된다. 제 2 트랜지스터는 채널로서 기능하는 제 2 금속 산화물막을 포함한다. 제 1 게이트 전극 및 제 2 게이트 전극 중 한쪽은 제 1 절연막 위에 있다. 화소 전극은 제 2 절연막 위에 있다. 화소 전극은 제 1 절연막 및 제 2 절연막의 개구에서 제 2 트랜지스터에 전기적으로 접속된다. 제 1 금속 산화물막 및 제 2 금속 산화물막은 각각 제 1 영역 및 제 2 영역을 포함한다. 제 1 영역은 In 또는 Zn과 산소를 포함한다. 제 2 영역은 In 또는 원소 *M*과 산소를 포함한다. 제 1 영역 및 제 2 영역은 모자이크 패턴으로 분산 또는 분포되어 있다.

[0019] 제 1 절연막이 무기 절연막을 포함하고 제 2 절연막이 유기 수지막을 포함하여도 좋다.

[0020] 제 3 금속 산화물막의 수소 농도는 $1\times10^{20}$atoms/cm$^3$ 이상이어도 좋다.

[0021] 제 1 금속 산화물막, 제 2 금속 산화물막, 및 제 3 금속 산화물막은 각각, In의 함유량이 In, *M*, 및 Zn 원자의 총합의 40% 이상 50% 이하를 차지하는 영역과, *M*의 함유량이 In, *M*, 및 Zn 원자의 총합의 5% 이상 30% 이하를 차지하는 영역을 포함한다.

[0022] 제 1 금속 산화물막, 제 2 금속 산화물막, 및 제 3 금속 산화물막의 각각에서는, In 대 *M* 대 Zn의 원자수비가 4:*x*:*y*일 때, *x*가 1.5 이상 2.5 이하이고, *y*가 2 이상 4 이하이어도 좋다.

[0023] 제 1 금속 산화물막, 제 2 금속 산화물막, 및 제 3 금속 산화물막의 각각에서는, In 대 *M* 대 Zn의 원자수비가 5:*x*:*y*일 때, *x*가 0.5 이상 1.5 이하이고, *y*가 5 이상 7 이하이어도 좋다.

[0024] 원소 *M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 중 하나 이상이어도 좋다.

[0025] 제 1 트랜지스터가 듀얼 게이트 구조를 갖고 제 2 트랜지스터가 싱글 게이트 구조를 가져도 좋다.

[0026] 본 발명의 다른 일 형태는, 상기 표시 장치들 중 임의의 것 및 터치 센서를 포함하는 표시 모듈이다. 본 발명

의 다른 일 형태는 상기 표시 장치들 중 임의의 것 또는 표시 모듈, 및 수신기, 조작 키, 또는 배터리를 포함하는 전자 기기이다.

## 발명의 효과

[0027] 본 발명의 일 형태는 금속 산화물막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시킬 수 있다. 본 발명의 일 형태는 금속 산화물막을 포함하는 트랜지스터의 전기 특성의 변화를 억제하고, 트랜지스터의 신뢰성을 향상시킬 수 있다. 본 발명의 일 형태는 표시 품질이 좋고 해상도가 높은 표시 장치를 제공할 수 있다. 본 발명의 일 형태는 소비전력이 저감된 표시 장치를 제공할 수 있다. 본 발명의 일 형태는 신규 표시 장치를 제공할 수 있다. 본 발명의 일 형태는 신규 전자 기기를 제공할 수 있다.

[0028] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 효과를 모두 반드시 달성할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

## 도면의 간단한 설명

[0029] 도 1의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치를 도시한 단면도.

도 2의 (A) 및 (B)는 표시 장치를 도시한 상면도.

도 3은 금속 산화물의 구성의 개념도.

도 4의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치를 도시한 단면도.

도 5의 (A-1) 내지 (A-3) 및 도 5의 (B-1) 내지 (B-3)은 표시 장치의 제작 방법을 도시한 단면도.

도 6의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치의 제작 방법을 도시한 단면도.

도 7의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치의 제작 방법을 도시한 단면도.

도 8의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치를 도시한 단면도.

도 9의 (A) 및 (B)는 표시 장치를 도시한 상면도.

도 10의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치를 도시한 단면도.

도 11의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치의 제작 방법을 도시한 단면도.

도 12의 (A-1), (A-2), (B-1), 및 (B-2)는 표시 장치의 제작 방법을 도시한 단면도.

도 13의 (A-1) 및 (B-1)은 표시 장치의 제작 방법을 도시한 단면도.

도 14의 (A) 내지 (C)는 트랜지스터를 도시한 상면도 및 단면도.

도 15의 (A) 내지 (C)는 트랜지스터를 도시한 상면도 및 단면도.

도 16의 (A) 및 (B)는 금속 산화물막 내로 확산되는 산소 또는 과잉 산소의 확산 경로를 도시한 개념도.

도 17의 (A) 내지 (C)는 트랜지스터를 도시한 상면도 및 단면도.

도 18은 측정한 시료의 XRD 스펙트럼을 나타낸 것.

도 19의 (A) 및 (B)는 시료의 TEM 이미지이고, 도 19의 (C) 내지 (L)은 그 전자 회절 패턴이다.

도 20의 (A) 내지 (C)는 시료의 EDX 매핑 이미지를 나타낸 것.

도 21은 수평 전계 모드의 액정 소자를 사용한 표시 장치의 제작 공정을 도시한 것.

도 22는 표시 장치의 일 형태를 도시한 상면도.

도 23은 표시 장치의 일 형태를 도시한 단면도.

도 24는 표시 장치의 일 형태를 도시한 단면도.

도 25는 표시 장치의 일 형태를 도시한 단면도.

도 26은 표시 장치의 일 형태를 도시한 단면도.

도 27은 표시 장치의 일 형태를 도시한 단면도.

도 28은 표시 장치의 일 형태를 도시한 단면도.

도 29의 (A) 내지 (C)는 표시 장치를 각각 도시한 블록도 및 회로도.

도 30은 컨트롤러 IC의 구성예를 도시한 블록도.

도 31의 (A) 내지 (C)는 파라미터를 도시한 도면.

도 32의 (A) 및 (B)는 프레임 메모리의 구성예를 도시한 것.

도 33은 레지스터의 구성예를 도시한 블록도.

도 34는 레지스터의 구성예를 도시한 회로도.

도 35는 표시 모듈을 도시한 것.

도 36의 (A) 내지 (E)는 전자 기기를 도시한 것.

도 37의 (A) 내지 (G)는 전자 기기를 도시한 것.

도 38은 방송 시스템의 구조예를 도시한 블록도.

도 39는 방송 시스템의 구조예를 도시한 블록도.

도 40은 방송 시스템에서의 데이터 전송을 도시한 모식도.

도 41의 (A) 내지 (D)는 각각 수신기의 구조예를 도시한 것.

도 42의 (A) 및 (B)는 실시예의 블록도.

도 43은 실시예에서의 디스플레이의 동작 범위를 나타낸 것.

도 44의 (A) 및 (B)는 실시예에서의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸 것.

도 45의 (A) 및 (B)는 실시예에서의 트랜지스터 특성의 변화를 나타낸 것.

도 46의 (A) 및 (B)는 실시예의 블록도.

도 47은 실시예에서 트랜지스터에 각각 수행된 GBT 시험의 결과를 나타낸 것.

도 48의 (A) 및 (B)는 각각 실시예에서의 트랜지스터 특성의 변화를 나타낸 것.

도 49는 실시예의 블록도.

도 50은 실시예의 회로도.

도 51은 실시예의 블록도.

도 52는 실시예의 타이밍 차트.

도 53은 실시예에서의 이동도와 기록 시간의 관계를 나타낸 것.

도 54의 (A) 및 (B)는 각각 실시예에서의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸 것.

도 55는 실시예에서 트랜지스터에 수행된 GBT 시험의 결과를 나타낸 것.

도 56의 (A) 및 (B)는 각각 실시예에서의 트랜지스터 특성의 변화를 나타낸 것.

도 57은 실시예에서의 트랜지스터 특성의 변화를 나타낸 것.

도 58의 (A) 및 (B)는 실시예에서의 ESR 분석 결과를 나타낸 것.

## *발명을 실시하기 위한 구체적인 내용*

[0030] 이하에서는, 실시형태에 대하여 도면을 참조하여 설명한다. 그러나, 실시형태는 다양한 형태로 실시될 수

있다. 본 발명의 취지 및 범위에서 벗어나지 않고 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자에 의하여 쉽게 이해될 것이다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되는 것은 아니다.

[0031] 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 크기, 층의 두께, 또는 영역은 도시된 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 나타낸 모식도이고, 본 발명의 형태는 도면에 나타낸 형상 또는 값에 한정되지 않는다.

[0032] 또한, 본 명세서에서 "제 1", "제 2", 및 "제 3" 등의 서수는 구성 요소의 혼동을 피하기 위하여 사용되는 것이며, 이들 용어는 구성 요소를 수적으로 한정하지 않는다.

[0033] 본 명세서에서 "위에", "상방에", "아래에", 및 "하방에" 등 배치를 설명하는 용어는, 도면을 참조하여 구성 요소 간의 위치 관계를 설명하는 데 편의상 사용된다. 또한, 구성 요소 간의 위치 관계는, 각 구성 요소를 설명하는 방향에 따라 적절히 변화된다. 따라서, 본 명세서에서 사용되는 용어에 대한 한정은 없고, 상황에 따라 적절히 설명할 수 있다.

[0034] 본 명세서 등에서 트랜지스터는, 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 채널 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한, 본 명세서 등에서 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0035] 또한, 소스와 드레인의 기능은, 예를 들어 다른 극성을 갖는 트랜지스터를 채용하거나, 또는 회로 동작에서 전류가 흐르는 방향이 변화될 때 바뀔 수 있다. 그러므로, 본 명세서 등에서는, "소스" 및 "드레인"이라는 용어를 서로 바꿀 수 있다.

[0036] 또한, 본 명세서 등에서, "전기적으로 접속"이라는 용어는 구성 요소가 "어떠한 전기적 작용을 갖는 물체"를 통하여 접속되는 경우를 포함한다. "어떠한 전기적 작용을 갖는 물체"에는, 그 물체를 통하여 접속된 구성 요소 간에서 전기 신호가 송수신될 수 있기만 하면, 특별한 한정은 없다. "어떠한 전기적 작용을 갖는 물체"의 예에는 전극 및 배선에 더하여, 트랜지스터 등의 스위칭 소자, 레지스터, 인덕터, 용량 소자, 및 다양한 기능을 갖는 소자가 포함된다.

[0037] 본 명세서 등에서, "평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때문에, 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. "수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 그 각도가 85° 이상 95° 이하인 경우도 포함한다.

[0038] 본 명세서 등에서는, "막" 및 "층"이라는 용어를 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한, "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0039] 별도로 명시되지 않으면, 본 명세서 등에서 오프 상태 전류란, 오프 상태(비도통 상태 또는 차단(cutoff) 상태라고도 함)에서의 트랜지스터의 드레인 전류를 말한다. 별도로 명시되지 않으면, n채널 트랜지스터의 오프 상태는 그 게이트와 소스 사이의 전압($V_{gs}$: 게이트-소스 전압)이 문턱 전압 $V_{th}$보다 낮은 것을 의미하고, p채널 트랜지스터의 오프 상태는 게이트-소스 전압 $V_{gs}$가 문턱 전압 $V_{th}$보다 높은 것을 의미한다. 예를 들어, n채널 트랜지스터의 오프 상태 전류는 게이트-소스 전압 $V_{gs}$가 문턱 전압 $V_{th}$보다 낮을 때 흐르는 드레인 전류를 말하는 경우가 있다.

[0040] 트랜지스터의 오프 상태 전류는 $V_{gs}$에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 상태 전류가 $I$ 이하"란, 트랜지스터의 오프 상태 전류가 $I$ 이하가 되는 $V_{gs}$가 있다는 것을 의미하는 경우가 있다. 트랜지스터의 오프 상태 전류란, 예를 들어 소정의 $V_{gs}$, 소정의 범위 내의 $V_{gs}$, 또는 충분히 낮은 오프 상태 전류가 얻어지는 $V_{gs}$에서의 오프 상태 전류를 말하는 경우가 있다.

[0041] 일례로서, 문턱 전압 $V_{th}$가 0.5V이고, 드레인 전류가 $V_{gs}$ 0.5V에서 $1\times10^{-9}$A, $V_{gs}$ 0.1V에서 $1\times10^{-13}$A, $V_{gs}$ -0.5V에서 $1\times10^{-19}$A, 그리고 $V_{gs}$ -0.8V에서 $1\times10^{-22}$A인 n채널 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류

는 $V_{gs}$ -0.5V에서 또는 $V_{gs}$ -0.5V 내지 -0.8V의 범위에서 $1\times10^{-19}$A 이하이기 때문에, 상기 트랜지스터의 오프 상태 전류는 $1\times10^{-19}$A 이하라고 할 수 있다. 상기 트랜지스터의 드레인 전류가 $1\times10^{-22}$A 이하가 되는 $V_{gs}$가 있기 때문에, 상기 트랜지스터의 오프 상태 전류는 $1\times10^{-22}$A 이하라고 하는 경우가 있다.

[0042] 본 명세서 등에서는, 채널 폭 $W$의 트랜지스터의 오프 상태 전류를 채널 폭 $W$에 관련된 전류값 또는 소정의 채널 폭(예를 들어, 1μm)당 전류값으로 나타내는 경우가 있다. 후자(後者)의 경우, 오프 상태 전류는 길이당 전류의 차원을 갖는 단위(예를 들어, A/μm)로 나타내어질 수 있다.

[0043] 트랜지스터의 오프 상태 전류는 온도에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는 실온, 60℃, 85℃, 95℃, 또는 125℃에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 온도, 또는 상기 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서의 오프 상태 전류인 경우가 있다. 트랜지스터의 오프 상태 전류가 $I$ 이하인 상태는 실온, 60℃, 85℃, 95℃, 125℃, 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 온도, 또는 상기 반도체 장치 등이 사용되는 온도(예를 들어, 5℃ 내지 35℃의 범위의 온도)에서의 트랜지스터의 오프 상태 전류가 소정의 $V_{gs}$에서 $I$ 이하인 것을 가리키는 경우가 있다.

[0044] 트랜지스터의 오프 상태 전류는 드레인과 소스 간의 전압 $V_{ds}$에 의존하는 경우가 있다. 별도로 명시되지 않으면, 본 명세서에서의 오프 상태 전류는, $V_{ds}$ 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 $V_{ds}$, 또는 상기 반도체 장치 등에서 사용되는 $V_{ds}$에서의 오프 상태 전류인 경우가 있다. 트랜지스터의 오프 상태 전류가 $I$ 이하인 상태는, 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V의 $V_{ds}$, 상기 트랜지스터를 포함하는 반도체 장치 등의 신뢰성이 보장되는 $V_{ds}$, 또는 상기 반도체 장치 등에서 사용되는 $V_{ds}$에서의 트랜지스터의 오프 상태 전류가, 소정의 $V_{gs}$에서 $I$ 이하인 것을 가리키는 경우가 있다.

[0045] 오프 상태 전류에 대한 상기 기재에서, 드레인이 소스와 교체되어도 좋다. 즉, 오프 상태 전류는 오프 상태의 트랜지스터의 소스를 통하여 흐르는 전류를 말하는 경우가 있다.

[0046] 본 명세서 등에서, "누설 전류"라는 용어는 오프 상태 전류와 같은 뜻을 표현하는 경우가 있다. 본 명세서 등에서, 오프 상태 전류는 예를 들어, 트랜지스터가 오프 상태일 때 소스와 드레인 사이에 흐르는 전류를 말하는 경우가 있다.

[0047] 본 명세서 등에서, 트랜지스터의 문턱 전압은 트랜지스터에 채널이 형성될 때의 게이트 전압($V_g$)을 말한다. 구체적으로는, 가로축이 게이트 전압($V_g$)을 나타내고 세로축이 드레인 전류($I_d$)의 제곱근을 나타내는 그래프에서, 트랜지스터의 문턱 전압은 드레인 전류($I_d$)의 제곱근이 0($I_d$=0A)일 때와, 플롯된 곡선($V_g$-$\sqrt{I_d}$ 특성)에 대한 최대 기울기와의 접선인 외삽된 직선의 교점에서의 게이트 전압($V_g$)을 말하는 경우가 있다. 또는, 트랜지스터의 문턱 전압이란, $L$을 채널 길이로 하고, $W$를 채널 폭으로 한 $I_d$[A]×$L$[μm]/$W$[μm]의 값이 $1\times10^{-9}$[A]인 게이트 전압($V_g$)을 말할 수 있다.

[0048] 본 명세서 등에서 "반도체"는 예를 들어 도전성이 충분히 낮을 때는 "절연체"의 특성을 포함하는 경우가 있다. 또한, "반도체"와 "절연체"의 경계는 명백하지 않기 때문에, "반도체"와 "절연체"를 서로 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "절연체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "절연체"를 "반도체"라고 부를 수 있는 경우가 있다. 본 명세서 등에서 "절연체"를 "반절연체"라고 부를 수 있는 경우가 있다.

[0049] 본 명세서 등에서 "반도체"는 예를 들어 도전성이 충분히 높을 때는 "도전체"의 특성을 포함하는 경우가 있다. 또한, "반도체"와 "도전체"의 경계는 명백하지 않기 때문에, "반도체"와 "도전체"를 서로 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서에서 "반도체"를 "도전체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "도전체"를 "반도체"라고 부를 수 있는 경우가 있다.

[0050] 본 명세서 등에서, 반도체 내의 불순물은 반도체막의 주성분이 아닌 원소를 말한다. 예를 들어, 농도가

0.1atomic% 미만의 원소는 불순물이다. 반도체가 불순물을 포함하면, 예를 들어 반도체 내에 DOS(density of states)가 형성되거나, 캐리어 이동도가 저하되거나, 또는 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체를 포함하는 경우, 반도체의 특성을 변화시키는 불순물의 예에는 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 주성분 이외의 전이 금속(transition metal)이 포함되고, 구체적인 예에는 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 포함된다. 반도체가 산화물 반도체인 경우, 예를 들어 수소 등의 불순물이 들어감으로써 산소 결손이 형성될 수 있다. 또한, 반도체가 실리콘을 포함하는 경우, 반도체의 특성을 변화시키는 불순물의 예에는 산소, 수소 이외의 1족 원소, 2족 원소, 13족 원소, 및 15족 원소가 포함된다.

[0051] 본 명세서 등에서 금속 산화물이란 넓은 의미에서 금속의 산화물을 의미한다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 및 산화물 반도체(단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 사용되는 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 바꿔 말하면, 증폭 작용, 정류(整流) 작용, 및 스위칭 작용 중 적어도 하나를 갖는 금속 산화물을 금속 산화물 반도체(OS라고 줄여 씀)라고 할 수 있다. 즉, OS FET는 금속 산화물 또는 산화물 반도체를 포함하는 트랜지스터이다.

[0052] 본 명세서 등에서는, 질소를 포함하는 금속 산화물을 금속 산화물이라고 하는 경우도 있다. 또는, 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.

[0053] (실시형태 1)

[0054] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치 및 이 표시 장치의 제작 방법에 대하여 도 1의 (A-1), (A-2), (B-1), 및 (B-2), 도 2의 (A) 및 (B), 도 3, 도 4의 (A-1), (A-2), (B-1), 및 (B-2), 도 5의 (A-1) 내지 (A-3) 및 (B-1) 내지 (B-3), 도 6의 (A-1), (A-2), (B-1), 및 (B-2), 도 7의 (A-1), (A-2), (B-1), 및 (B-2), 도 8의 (A-1), (A-2), (B-1), 및 (B-2), 도 9의 (A) 및 (B), 도 10의 (A-1), (A-2), (B-1), 및 (B-2), 도 11의 (A-1), (A-2), (B-1), 및 (B-2), 도 12의 (A-1), (A-2), (B-1), 및 (B-2), 도 13의 (A-1) 및 (B-1), 도 14의 (A) 내지 (C), 도 15의 (A) 내지 (C), 그리고 도 16의 (A) 및 (B)를 참조하여 설명한다.

[0055] <1-1. 표시 장치의 구조예 1>

[0056] 도 2의 (A) 및 (B)는 본 발명의 일 형태에 따른 표시 장치의 구동 회로 및 표시부에 포함되는 트랜지스터의 상면도이다. 도 2의 (A)는 구동 회로에 포함되는 트랜지스터(100A)의 상면도이고, 도 2의 (B)는 화소부에 포함되는 트랜지스터(200A)의 상면도이다. 도 1의 (A-1)은 도 2의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 1의 (A-2)는 도 2의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당하고, 도 1의 (B-1)은 도 2의 (B)의 일점쇄선 X3-X4를 따라 취한 단면도에 상당하고, 도 1의 (B-2)는 도 2의 (B)의 일점쇄선 Y3-Y4를 따라 취한 단면도에 상당한다. 또한, 도 2의 (A) 및 (B)에서는, 복잡화를 피하기 위하여 트랜지스터(100A 및 200A)의 구성 요소의 일부(예를 들어, 게이트 절연막으로서 기능하는 절연막)를 도시하지 않았다. 상기 트랜지스터들에서는, 일점쇄선 X1-X2 및 X3-X4 방향을 채널 길이 방향이라고 부르고, 일점쇄선 Y1-Y2 및 Y3-Y4 방향을 채널 폭 방향이라고 부를 수 있다. 도 2의 (A) 및 (B)에서와 같이, 이하에서 설명하는 트랜지스터의 상면도에서는 구성 요소의 일부를 도시하지 않은 경우가 있다.

[0057] 도 1의 (A-1) 및 (A-2)에 도시된 바와 같이, 구동 회로는 트랜지스터(100A)를 포함한다.

[0058] 트랜지스터(100A)는 기판(102) 위의 도전막(104), 기판(102) 및 도전막(104) 위의 절연막(106), 절연막(106) 위의 금속 산화물막(108), 금속 산화물막(108) 위의 도전막(112a), 및 금속 산화물막(108) 위의 도전막(112b)을 포함한다. 또한, 트랜지스터(100A) 위, 구체적으로는 금속 산화물막(108), 도전막(112a), 및 도전막(112b) 위에 절연막(114), 절연막(114) 위의 절연막(116), 및 절연막(116) 위의 절연막(118)이 형성되어 있다.

[0059] 절연막(106, 114, 및 116)은 개구(142a)를 갖는다. 도전막(120a)은 개구(142a)를 통하여 도전막(104)에 전기적으로 접속된다.

[0060] 또한, 트랜지스터(100A)는 소위 채널 에치(channel-etched) 트랜지스터이고, 듀얼 게이트 구조를 갖는다.

[0061] 도 1의 (B-1) 및 (B-2)에 도시된 바와 같이, 화소부는 트랜지스터(200A), 화소 전극으로서 기능하는 도전막(220a), 용량 배선으로서 기능하는 도전막(213), 및 용량 소자(250a)를 포함한다.

[0062] 트랜지스터(200A)는 기판(102) 위의 도전막(204), 기판(102) 및 도전막(204) 위의 절연막(106), 절연막(106) 위의 금속 산화물막(208), 금속 산화물막(208) 위의 도전막(212a), 및 금속 산화물막(208) 위의 도전막(212b)을 포함한다. 또한, 트랜지스터(200A) 위, 구체적으로는 금속 산화물막(208), 도전막(212a), 및 도전막(212b) 위

에 절연막(114), 절연막(114) 위의 절연막(116), 및 절연막(116) 위의 절연막(118)이 형성되어 있다.

[0063] 절연막(114 및 116)은 개구(242a)를 갖는다. 화소 전극으로서 기능하는 도전막(220a)은 개구(242a)를 통하여 도전막(212b)에 전기적으로 접속된다. 용량 배선으로서 기능하는 도전막(213)이 절연막(106) 위에 형성된다. 도전막(213)은 도전막(112a, 112b, 212a, 및 212b)과 동시에 형성되지만, 도전막(213)은 도전막(104 및 204)과 동시에 형성되어도 좋다. 도전막(213), 절연막(114 및 116), 및 도전막(220a)은 용량 소자(250a)를 형성한다.

[0064] 또한, 트랜지스터(200A)는 소위 채널 에치 트랜지스터이고, 싱글 게이트 구조를 갖는다.

[0065] 트랜지스터(100A)에 포함되는 도전막(120a) 및 화소 전극으로서 기능하는 도전막(220a)은 같은 단계에서 형성된다. 도전막(120a 및 220a)은 나중에 설명하는 산화물 도전막(OC)을 사용하여 형성되는 것이 바람직하다. 도전막(120a 및 220a)에 산화물 도전막을 사용하면, 절연막(114 및 116)에 산소를 첨가할 수 있다. 절연막(114 및 116)에 첨가한 산소는 금속 산화물막(108 및 208)으로 이동하여 금속 산화물막(108 및 208) 내의 산소 결손을 보충할 수 있다. 이 결과, 트랜지스터(100A 및 200A)의 신뢰성을 높일 수 있다. 또한, 도전막(120a 및 220a)은, 도전막(104, 112a, 112b, 204, 212a, 및 212b)에도 사용할 수 있는 재료를 사용하여 형성되어도 좋다.

[0066] 절연막(106)은 트랜지스터(100A 및 200A)의 제 1 게이트 절연막으로서 기능한다. 절연막(114 및 116)은 트랜지스터(100A)의 제 2 게이트 절연막으로서 기능한다. 절연막(118)은 트랜지스터(100A 및 200A)의 보호 절연막으로서 기능한다. 트랜지스터(100A)에서는, 도전막(104)이 제 1 게이트 전극으로서 기능하고, 도전막(112a)이 소스 전극으로서 기능하고, 도전막(112b)이 드레인 전극으로서 기능하고, 도전막(120a)이 제 2 게이트 전극으로서 기능한다. 트랜지스터(200A)에서는, 도전막(204)이 게이트 전극으로서 기능하고, 도전막(212a)이 소스 전극으로서 기능하고, 도전막(212b)이 드레인 전극으로서 기능한다.

[0067] 트랜지스터(100A)에서는, 도 1의 (A-2)에 도시된 바와 같이, 도전막(120a)이 개구(142a)를 통하여 도전막(104)에 전기적으로 접속된다.

[0068] 또한, 도 1의 (A-2)에 도시된 바와 같이, 금속 산화물막(108)은, 도전막(104 및 120a)과 대향하도록, 게이트 전극으로서 기능하는 2개의 도전막들 사이에 배치되어 있다. 도전막(120a)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이는 각각, 금속 산화물막(108)의 채널 길이 방향의 길이 및 채널 폭 방향의 길이보다 길고, 금속 산화물막(108)은 절연막(114 및 116)을 개재(介在)하여 도전막(120a)으로 전체적으로 덮여 있다.

[0069] 바꿔 말하면, 도전막(104) 및 도전막(120a)은 절연막(106, 114, 및 116)에 제공되는 개구를 통하여 접속되고, 각각 금속 산화물막(108)의 단부 외측에 위치하는 영역을 포함한다.

[0070] 이 구조에 의하여, 트랜지스터(100A)에 포함되는 금속 산화물막(108)을 도전막(104 및 120a)의 전계에 의하여 전기적으로 둘러쌀 수 있다. 트랜지스터(100A)와 같이, 채널 영역이 형성되는 금속 산화물막을 제 1 게이트 전극 및 제 2 게이트 전극의 전계에 의하여 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 S-channel(surrounded channel) 구조라고 할 수 있다.

[0071] 트랜지스터(100A)는 S-channel 구조를 갖기 때문에, 제 1 게이트 전극으로서 기능하는 도전막(104)에 의하여, 채널을 유발시키기 위한 전계를 금속 산화물막(108)에 효과적으로 인가할 수 있고, 따라서 트랜지스터(100A)의 전류 구동 능력이 향상되고 높은 온 상태 전류 특성을 얻을 수 있다. 온 상태 전류를 높일 수 있기 때문에, 트랜지스터(100A)의 크기를 축소할 수 있다. 또한, 트랜지스터(100A)는, 제 1 게이트 전극으로서 기능하는 도전막(104) 및 제 2 게이트 전극으로서 기능하는 도전막(120a)에 의하여 금속 산화물막(108)을 둘러싸는 구조를 갖기 때문에, 트랜지스터(100A)의 기계적 강도를 높일 수 있다.

[0072] 트랜지스터(100A)에서, 금속 산화물막(108)은 절연막(106) 위의 금속 산화물막(108_1) 및 금속 산화물막(108_1) 위의 금속 산화물막(108_2)을 포함한다. 트랜지스터(200A)에서, 금속 산화물막(208)은 절연막(106) 위의 금속 산화물막(208_1) 및 금속 산화물막(208_1) 위의 금속 산화물막(208_2)을 포함한다. 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)은 같은 원소를 포함한다. 예를 들어, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)은 각각 독립적으로 In, *M*(*M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘), 및 Zn을 포함하는 것이 바람직하다.

[0073] 또한, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)은 각각 독립적으로 In의 원자수비가 *M*보다 높은 영역을 갖는 것이 바람직하다. 예를 들어, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2) 각각의 In 대 *M* 대 Zn의 원자수비를 In:*M*:Zn=4:2:3 또는 그 근방으로 하는 것이 바람직하다. 또한, 여기서 "근방"이란 용어는, In이 4

일 때 *M*이 1.5 이상 2.5 이하이고, Zn이 2 이상 4 이하를 포함한다. 또는, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2) 각각의 In 대 *M* 대 Zn의 원자수비를 5:1:6 또는 그 근방으로 하는 것이 바람직하다. 상술한 바와 같이 실질적으로 같은 조성을 갖는 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)은 같은 스퍼터링 타깃을 사용하여 형성될 수 있기 때문에, 제작 비용을 삭감할 수 있다. 같은 스퍼터링 타깃을 사용하는 경우에는, 같은 체임버에 있어서 진공에서 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)을 연속적으로 형성할 수 있다. 이에 의하여, 금속 산화물막(108_1)과 금속 산화물막(108_2)의 계면, 및 금속 산화물막(208_1)과 금속 산화물막(208_2)의 계면에 불순물이 들어가는 것을 방지할 수 있다.

[0074] 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)에는, CAC(cloud-aligned composite) 구성을 갖는 금속 산화물이 적합하게 사용된다. 도 3을 참조하여 이 금속 산화물에 대하여 설명한다.

[0075] 도 3은 CAC 구성을 갖는 금속 산화물의 개념도이다. 본 명세서에서는, 반도체 기능을 갖는 본 발명의 일 형태에 따른 금속 산화물을 CAC-MO(cloud-aligned composite metal oxide semiconductor) 또는 CAC-OS(cloud-aligned composite oxide semiconductor)라고 정의한다.

[0076] CAC-MO 또는 CAC-OS에서는, 예를 들어 도 3에 도시된 바와 같이, 금속 산화물에 포함되는 원소들이 불균일하게 분포되어, 상기 원소들 중 임의의 것을 주성분으로서 각각 포함하는 영역(001 및 002)을 형성한다. 영역은 혼합되어 모자이크 패턴으로 형성 또는 분포된다. 바꿔 말하면, CAC-MO 또는 CAC-OS는, 금속 산화물에 포함되는 원소들이 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 각각 갖는 영역에 불균일하게 분포된 구성을 갖는다. 또한, 금속 산화물에 관한 이하의 설명에서는, 하나 이상의 금속 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 각각 갖는 영역에 불균일하게 분포되고, 상기 금속 원소(들)를 포함하는 영역이 혼합된 상태를 모자이크 패턴 또는 패치상 패턴이라고 한다.

[0077] CAC-MO 또는 CAC-OS는 재료의 일부에서는 도전성의 기능을 갖고, 재료의 다른 일부에서는 절연성의 기능을 갖고, 전체로서는 CAC-MO 또는 CAC-OS는 반도체의 기능을 갖는다. CAC-MO 또는 CAC-OS를 트랜지스터의 채널에 사용하는 경우, 도전성의 기능은 캐리어로서 기능하는 전자(또는 정공)를 흘리는 것이고, 절연성의 기능은 캐리어로서 기능하는 전자를 흘리지 않는 것이다. 도전성의 기능과 절연성의 기능의 상보적인 작용에 의하여, CAC-MO 또는 CAC-OS는 스위칭 기능(온/오프 기능)을 가질 수 있다. CAC-MO 또는 CAC-OS에서는, 상기 기능을 분리함으로써 각 기능을 극대화할 수 있다.

[0078] 본 명세서 등에서, CAC-MO 또는 CAC-OS는 도전성 영역 및 절연성 영역을 포함한다. 예를 들어, 도 3에 도시된 영역(001 및 002) 중 한쪽이 도전성 영역이고 다른 쪽이 절연성 영역이어도 좋다. 도전성 영역은 상술한 도전성의 기능을 갖고, 절연성 영역은 상술한 절연성의 기능을 갖는다. 재료에서는, 도전성 영역 및 절연성 영역이 나노 입자 레벨로 분리되어 있는 경우가 있다. 도전성 영역 및 절연성 영역이 재료에 불균일하게 분포되어 있는 경우가 있다. 도전성 영역은, 그 경계가 흐릿해져 클라우드상(cloud-like)으로 연결하여 관찰되는 경우가 있다.

[0079] CAC-MO 또는 CAC-OS는 상이한 밴드 갭을 갖는 성분을 포함하여도 좋다. 예를 들어, CAC-MO 또는 CAC-OS는 절연성 영역에 기인하는 와이드 갭(wide gap)을 갖는 성분과, 도전성 영역에 기인하는 내로 갭(narrow gap)을 갖는 성분을 포함한다. 이러한 구성의 경우에는, 내로 갭을 갖는 성분에 캐리어가 주로 흐른다. 내로 갭을 갖는 성분이 와이드 갭을 갖는 성분을 보완하고, 내로 갭을 갖는 성분과 연동하여 와이드 갭을 갖는 성분에도 캐리어가 흐른다. 따라서, 상술한 CAC-MO 또는 CAC-OS를 트랜지스터의 채널 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동 능력, 즉 높은 온 상태 전류 및 높은 전계 효과 이동도를 얻을 수 있다.

[0080] 또한, CAC-MO 또는 CAC-OS를 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 할 수도 있다. CAC-MO 또는 CAC-OS의 자세한 사항에 대해서는 실시형태 2에서 설명한다.

[0081] 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)이 각각 독립적으로 CAC 구성과, In의 원자수비가 *M*의 원자수비보다 높은 영역을 갖는 경우, 트랜지스터(100A 및 200A)의 전계 효과 이동도를 높일 수 있다. 구체적으로, 트랜지스터(100A 및 200A)는 $40cm^2/Vs$보다 높은, 바람직하게는 $50cm^2/Vs$보다 높은, 더 바람직하게는 $100cm^2/Vs$보다 높은 전계 효과 이동도를 가질 수 있다.

[0082] S-channel 구조를 갖는 트랜지스터(100A)는 전계 효과 이동도가 높고 구동 능력이 높기 때문에, 구동 회로, 대표적인 예로서는 게이트 신호를 생성하는 게이트 드라이버에 트랜지스터(100A)를 사용함으로써, 베젤의 폭이 좁은(내로 베젤(narrow bezel)) 표시 장치로 할 수 있다. 표시 장치에 포함되는 신호선으로부터 신호를 공급하는

소스 드라이버(특히, 소스 드라이버에 포함되는 시프트 레지스터의 출력 단자에 접속되는 디멀티플렉서)에 트랜지스터(100A)를 사용함으로써, 표시 장치에 접속되는 배선 수를 줄일 수 있다.

[0083] 또한, 트랜지스터(100A 및 200A)는 각각 채널 에치 트랜지스터이기 때문에, 저온 폴리실리콘을 사용하여 형성된 트랜지스터보다 적은 단계 수를 거쳐 제작될 수 있다. 또한, 트랜지스터(100A 및 200A)의 채널에 금속 산화물막을 사용하기 때문에, 저온 폴리실리콘을 사용하여 형성된 트랜지스터의 경우와 달리 레이저 결정화 단계를 필요로 하지 않는다. 따라서, 대형 기판을 사용하여 형성된 표시 장치의 경우에도 제작 비용을 삭감할 수 있다. 초고해상도(4K 해상도, 4K2K, 또는 4K) 또는 super-high-definition(8K 해상도, 8K4K, 또는 8K)과 같이 해상도가 높은 대형 표시 장치의 구동 회로 및 표시부에, 트랜지스터(100A 및 200A)와 같이 전계 효과 이동도가 높은 트랜지스터를 사용하면, 짧은 시간에 기록할 수 있고 표시 결함을 저감할 수 있어 바람직하다.

[0084] <1-2. 표시 장치의 구성 요소>

[0085] 다음으로, 본 실시형태의 표시 장치의 구성 요소에 대하여 자세히 설명한다.

[0086] [기판]

[0087] 적어도 나중에 수행되는 가열 처리에 견딜 수 있을 정도로 높은 내열성을 갖는 재료이기만 하면, 기판(102)의 재료 등에 특별한 한정은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등을 기판(102)으로서 사용하여도 좋다. 또는, 기판(102)으로서, 실리콘 또는 탄소화 실리콘의 단결정 반도체 기판 또는 다결정 반도체 기판, 실리콘 저마늄의 화합물 반도체 기판, 또는 SOI 기판 등을 사용할 수 있고, 또는 반도체 소자가 제공된 이들 기판 중 임의의 것을 사용하여도 좋다. 기판(102)으로서 유리 기판을 사용하는 경우, 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm), 및 제 10 세대(2950mm×3400mm) 중 임의의 크기를 갖는 유리 기판을 사용할 수 있다. 따라서, 대형 표시 장치를 제작할 수 있다.

[0088] 또는, 기판(102)으로서 플렉시블 기판을 사용하여도 좋고, 트랜지스터(100A 및 200A)를 플렉시블 기판에 직접 제공하여도 좋다. 또는, 기판(102)과 각 트랜지스터(100A 및 200A) 사이에 분리층을 제공하여도 좋다. 분리층은, 분리층 위에 형성된 반도체 장치의 일부 또는 전체를 기판(102)으로부터 분리하고 다른 기판으로 전치(轉置)할 때 사용할 수 있다. 이러한 경우, 트랜지스터(100A 및 200A)를 내열성이 낮은 기판 또는 플렉시블 기판으로도 전치할 수 있다.

[0089] [도전막]

[0090] 게이트 전극으로서 기능하는 도전막(104, 204, 및 120a), 소스 전극으로서 기능하는 도전막(112a 및 212a), 및 드레인 전극으로서 기능하는 도전막(112b 및 212b)은 각각, 크로뮴(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브데넘(Mo), 탄탈럼(Ta), 타이타늄(Ti), 텅스텐(W), 망가니즈(Mn), 니켈(Ni), 철(Fe), 및 코발트(Co)에서 선택된 금속 원소, 이들 금속 원소 중 임의의 것을 성분으로서 포함하는 합금, 또는 이들 금속 원소 중 임의의 것의 조합을 포함하는 합금 등을 사용하여 형성될 수 있다.

[0091] 도전막(104, 112a, 112b, 120a, 204, 212a, 및 212b)은, 인듐 및 주석을 포함하는 산화물(In-Sn 산화물), 인듐 및 텅스텐을 포함하는 산화물(In-W 산화물), 인듐, 텅스텐, 및 아연을 포함하는 산화물(In-W-Zn 산화물), 및 인듐 및 타이타늄을 포함하는 산화물(In-Ti 산화물), 인듐, 타이타늄, 및 주석을 포함하는 산화물(In-Ti-Sn 산화물), 인듐 및 아연을 포함하는 산화물(In-Zn 산화물), 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물), 또는 인듐, 갈륨, 및 아연을 포함하는 산화물(In-Ga-Zn 산화물) 등의 금속 산화물을 사용하여 형성될 수 있다. 금속 산화물은 산화물 도전체 또는 산화물 반도체일 수 있다.

[0092] 여기서, 산화물 도전체에 대하여 설명한다. 본 명세서 등에서는 산화물 도전체를 OC라고 하여도 좋다. 예를 들어, 산화물 도전체는 다음과 같이 얻어진다. 금속 산화물에 산소 결손을 형성한 다음, 이 산소 결손에 수소를 첨가함으로써, 전도대 근방에 도너 준위가 형성된다. 이로써 금속 산화물의 도전성이 높아져 금속 산화물이 도전체가 된다. 도전체가 된 금속 산화물을 산화물 도전체라고 할 수 있다. 일반적으로, 산화물 반도체는 에너지 갭이 크기 때문에 가시광을 투과시킨다. 산화물 도전체는 전도대 근방에 도너 준위를 갖는 금속 산화물이기 때문에, 산화물 도전체에서는 도너 준위로 인한 흡수의 영향이 작고, 산화물 도전체는 산화물 반도체에 상당하는 가시광 투과성을 갖는다.

[0093] 산화물 도전체의 수소 농도는 채널로서 기능하는 금속 산화물(예를 들어, 산화물 반도체)보다 높고, 대표적으로는 $8\times10^{19}$atoms/cm$^3$ 이상, 바람직하게는 $1\times10^{20}$atoms/cm$^3$ 이상, 더 바람직하게는 $5\times10^{20}$atoms/cm$^3$ 이상이다.

[0094] 산화물 도전체는 결함 및 불순물을 포함하기 때문에, 도전성을 갖는다. 산화물 도전체를 포함하는 도전막의 저항률은 $1\times10^{-3}$Ωcm 이상 $1\times10^{4}$Ωcm 미만, 바람직하게는 $1\times10^{-3}$Ωcm 이상 $1\times10^{-1}$Ωcm 미만이다.

[0095] 산화물 도전체를 포함하는 도전막의 도전율은, 대표적으로는 $1\times10^{-2}$S/m 이상 $1\times10^{5}$S/m 이하, 또는 $1\times10^{3}$S/m 이상 $1\times10^{5}$S/m 이하이다.

[0096] 산화물 도전체는 불순물에 더하여 결함을 포함한다. 산화물 도전체를 포함하는 도전막의 대표적인 예로서는, 희가스가 첨가되거나 플라스마에 노출됨으로써 결함이 생성된 막이 있다.

[0097] 산화물 도전체는 CAC 구성을 갖는 금속 산화물을 사용하여 형성되는 것이 바람직하다.

[0098] 도전막(104, 112a, 112b, 120a, 204, 212a, 및 212b)에는 Cu-*X* 합금막(*X*는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 사용하여도 좋다. Cu-*X* 합금막을 사용하면, 웨트 에칭 공정을 가공을 하는 데 사용할 수 있기 때문에, 제작 비용을 삭감할 수 있다. Cu-*X* 합금막의 저항이 낮기 때문에, 도전막(104, 112a, 112b, 120a, 204, 212a, 및 212b)에 Cu-*X* 합금막을 사용함으로써 배선의 지연을 저감할 수 있다. 그러므로, 대형 표시 장치를 제작하는 데 있어서, Cu-*X* 합금막은 배선에 적합하게 사용된다.

[0099] 상술한 금속 원소 중, 구리, 타이타늄, 텅스텐, 탄탈럼, 및 몰리브데넘에서 선택된 어느 하나 이상의 원소가 도전막(112a, 112b, 212a, 및 212b)에 포함되는 것이 바람직하다. 특히, 도전막(112a, 112b, 212a, 및 212b)에 질화 탄탈럼막을 사용하는 것이 적합하다. 질화 탄탈럼막은 도전성을 갖고, 구리 또는 수소에 대한 배리어성이 높다. 질화 탄탈럼막은 그 자체로부터 수소를 거의 방출하지 않기 때문에, 금속 산화물막(108 및 208)과 접촉하는 도전막 또는 금속 산화물막(108 및 208) 근방의 도전막에 바람직하게 사용될 수 있다. 도전막(112a, 112b, 212a, 및 212b)에 구리막을 사용하면, 도전막(112a, 112b, 212a, 및 212b)의 저항을 저감할 수 있어 바람직하다.

[0100] 도전막(112a, 112b, 212a, 및 212b)은 무전해 도금에 의하여 형성할 수 있다. 무전해 도금에 의하여 퇴적될 수 있는 재료로서는, 예를 들어 Cu, Ni, Al, Au, Sn, Co, Ag, 및 Pd에서 선택된 하나 이상의 원소를 사용할 수 있다. Cu 또는 Ag를 사용하면 도전막의 저항을 저감할 수 있어 더 바람직하다.

[0101] [게이트 절연막으로서 기능하는 절연막]

[0102] 트랜지스터(100A 및 200A)의 게이트 절연막으로서 기능하는 절연막(106)으로서는, PECVD(plasma-enhanced chemical vapor deposition)법 또는 스퍼터링법 등에 의하여 형성된 다음의 막들 중 적어도 하나를 포함하는 절연층을 사용할 수 있다: 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막. 또한, 절연막(106)은 2층 또는 3층 이상의 적층 구조를 가져도 좋다.

[0103] 트랜지스터(100A 및 200A)의 채널 영역으로서 기능하는 금속 산화물막(108 및 208)과 접촉하는 절연막(106)은 산화물 절연막인 것이 바람직하고, 화학량론적 조성을 초과하여 산소를 포함하는 영역(과잉 산소 영역)을 포함하는 것이 바람직하다. 바꿔 말하면, 절연막(106)은 산소를 방출할 수 있는 절연막이다. 절연막(106)에 과잉 산소 영역을 제공하기 위해서는, 예를 들어 산소 분위기에서 절연막(106)을 형성하거나, 또는 퇴적된 절연막(106)에 산소 분위기에서 가열 처리를 실시한다.

[0104] 절연막(106)에 산화 하프늄을 사용하는 경우, 다음 효과가 얻어진다. 산화 하프늄은 산화 실리콘 및 산화질화 실리콘보다 비유전율(dielectric constant)이 높다. 따라서, 산화 하프늄을 사용함으로써, 절연막(106)의 두께를 산화 실리콘을 사용하는 경우와 비교하여 두껍게 할 수 있어, 터널 전류로 인한 누설 전류를 낮게 할 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄보다 비유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 제공하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 다만, 본 발명의 일 형태는 이에 한정되지 않는다.

[0105] 또한, 본 발명의 일 형태는 상기 구조에 한정되지 않고, 금속 산화물막(108 및 208)과 접촉하는 절연막(106)에 질화물 절연막을 사용하여도 좋다. 예를 들어, 질화 실리콘막을 형성하고, 이 질화 실리콘막의 표면에 수행되는 산소 플라스마 처리 등에 의하여 질화 실리콘막의 표면을 산화시킨다. 질화 실리콘막의 표면에 산소 플라스마 처리 등을 수행한 경우에는, 질화 실리콘막의 표면이 원자 레벨로 산화될 수 있다. 이러한 이유로, 트랜지

스터의 단면 관찰을 수행하는 경우에 산화막이 관찰되지 않거나, 또는 질화 실리콘막 및 금속 산화물이 서로 접촉하여 관찰되는 경우가 있다. 또한, 산소 플라스마 처리에서는, 산소 가스를 포함하는 분위기에서 발생시킨 플라스마를 물체에 조사한다. 산소 가스는 산소, 오존, 또는 일산화이질소 등 산소를 포함하는 가스이다.

[0106] 또한, 질화 실리콘막은 산화 실리콘막보다 비유전율이 높고, 산화 실리콘막과 동등한 정전 용량을 위하여 더 두꺼운 두께가 필요하다. 따라서, 트랜지스터의 게이트 절연막으로서 질화 실리콘막을 포함하면, 절연막(106)의 두께를 두껍게 할 수 있다. 이에 의하여, 트랜지스터의 내전압의 저하를 억제하고, 또한 내전압을 높일 수 있기 때문에, 트랜지스터에 대한 정전 방전 대미지가 저감된다.

[0107] 본 실시형태에서는, 절연막(106)으로서 질화 실리콘막과 산화 실리콘막의 적층막을 형성한다.

[0108] [금속 산화물막]

[0109] 금속 산화물막(108 및 208)은 상술한 재료를 사용하여 형성될 수 있다.

[0110] 금속 산화물막(108 및 208)이 In-*M*-Zn 산화물을 포함하는 경우, In-*M*-Zn 산화물을 형성하기 위하여 사용되는 스퍼터링 타깃의 금속 원소의 원자수비는 In>*M*을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비는 예를 들어, In:*M*:Zn=2:1:3, 3:1:2, 4:2:4.1, 5:1:6, 5:1:7, 5:1:8, 6:1:6, 또는 5:2:5이다.

[0111] In-*M*-Zn 산화물을 사용하여 금속 산화물막(108 및 208)을 형성하는 경우, 스퍼터링 타깃으로서는 다결정 In-*M*-Zn 산화물을 포함하는 타깃을 사용하는 것이 바람직하다. 다결정 In-*M*-Zn 산화물을 포함하는 타깃을 사용하면, 결정성을 갖는 금속 산화물막(108 및 208)의 형성이 용이해진다. 또한, 형성된 금속 산화물막(108 및 208)의 금속 원소의 원자수비는 상술한 스퍼터링 타깃의 금속 원소의 원자수비로부터 ±40%의 범위 내에서 변동된다. 예를 들어, In 대 Ga 대 Zn의 원자수비가 4:2:4.1인 스퍼터링 타깃을 사용하는 경우, 형성된 금속 산화물막(108 및 208)의 In 대 Ga 대 Zn의 원자수비는 4:2:3 또는 4:2:3 근방이 될 수 있다.

[0112] 금속 산화물막(108 및 208) 각각의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상이다. 이러한 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터(100A 및 200A) 각각의 오프 상태 전류를 저감할 수 있다.

[0113] 또한, 금속 산화물막(108 및 208)은 각각 비단결정 구조를 갖는 것이 바람직하다. 비단결정 구조의 예에는 후술하는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 구조, 미결정(microcrystalline) 구조, 및 비정질 구조가 포함한다. 비단결정 구조 중, 비정질 구조는 결함 준위 밀도가 가장 높은 한편, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0114] 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)이 각각 독립적으로 In의 원자수비가 *M*의 원자수비보다 높은 영역을 갖더라도, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2) 각각의 결정성이 높으면 전계 효과 이동도가 낮아질 수 있다.

[0115] 그러므로, 금속 산화물막(108_1)은 금속 산화물막(108_2)보다 결정성이 낮은 영역을 가져도 좋고, 금속 산화물막(208_1)은 금속 산화물막(208_2)보다 결정성이 낮은 영역을 가져도 좋다. 또한, 금속 산화물막(108_1, 108_2, 208_1, 및 208_2)의 결정성은 예를 들어, X선 회절(XRD: X-ray diffraction)에 의한 분석 또는 투과 전자 현미경(TEM: transmission electron microscope)을 사용한 분석에 의하여 판정할 수 있다.

[0116] 금속 산화물막(108_1 및 208_1)이 각각 결정성이 낮은 영역을 갖는 경우, 다음 효과를 달성할 수 있다.

[0117] 먼저, 금속 산화물막(108)에 형성될 수 있는 산소 결손에 대하여 설명한다.

[0118] 금속 산화물막(108)에 형성되는 산소 결손은 트랜지스터 특성에 악영향을 미치므로 문제를 일으킨다. 예를 들어, 금속 산화물막(108)에 형성되는 산소 결손은 수소와 결합하여 캐리어 공급원으로서 작용한다. 금속 산화물막(108)에 생성된 캐리어 공급원은, 금속 산화물막(108)을 포함하는 트랜지스터(100A)의 전기 특성의 변화, 대표적으로는 문턱 전압의 변동을 일으킨다. 따라서, 금속 산화물막(108)의 산소 결손의 양은 가능한 한 적은 것이 바람직하다.

[0119] 이를 감안하여, 본 발명의 일 형태는, 금속 산화물막(108)의 근방의 절연막, 구체적으로는 금속 산화물막(108) 위에 형성되는 절연막(114 및 116)이 과잉 산소를 포함하는 구조이다. 산소 또는 과잉 산소가 절연막(114 및 116)으로부터 금속 산화물막(108)으로 이동함으로써, 금속 산화물막 내의 산소 결손을 저감할 수 있다.

[0120] 여기서, 금속 산화물막(108)으로 확산되는 산소 또는 과잉 산소의 경로에 대하여 도 16의 (A) 및 (B)를 참조하여 설명한다. 도 16의 (A) 및 (B)는 금속 산화물막(108)으로 확산되는 산소 또는 과잉 산소의 경로를 도시한

개념도이다. 도 16의 (A)는 채널 길이 방향의 개념도이고 도 16의 (B)는 채널 폭 방향의 개념도이다. 여기서는, 설명을 위하여 금속 산화물막(108)을 사용하지만, 금속 산화물막(108)의 경우와 비슷한 식으로 금속 산화물막(208)으로도 산소가 확산된다.

[0121] 절연막(114 및 116)의 산소 또는 과잉 산소는 상방으로부터, 즉 금속 산화물막(108_2)을 통하여 금속 산화물막(108_1)으로 확산된다(도 16의 (A) 및 (B)의 루트 1).

[0122] 절연막(114 및 116)의 산소 또는 과잉 산소도 금속 산화물막(108_1 및 108_2)의 측면을 통하여 금속 산화물막(108)으로 확산된다(도 16의 (B)의 루트 2).

[0123] 도 16의 (A) 및 (B)에 도시된 루트 1을 통한 산소 또는 과잉 산소의 확산은, 예를 들어 금속 산화물막(108_2)의 결정성이 높으면 방지되는 경우가 있다. 한편, 도 16의 (B)에 도시된 루트 2의 경우에는, 금속 산화물막(108_1 및 108_2)의 측면을 통하여 금속 산화물막(108_1 및 108_2)으로 산소 또는 과잉 산소가 확산될 수 있다.

[0124] 또한, 금속 산화물막(108_1)이 금속 산화물막(108_2)보다 결정성이 낮은 영역을 갖는 경우, 상기 영역은 과잉 산소의 확산 경로로서 기능하기 때문에, 금속 산화물막(108_1)보다 결정성이 높은 금속 산화물막(108_2)으로 도 16의 (B)에 도시된 루트 2를 통하여 과잉 산소를 확산시킬 수 있다. 도 16의 (A) 및 (B)에는 도시하지 않았지만, 절연막(106)이 산소 또는 과잉 산소를 포함하는 경우, 산소 또는 과잉 산소는 절연막(106)으로부터 금속 산화물막(108)으로 확산될 수 있다.

[0125] 상술한 바와 같이, 결정성이 상이한 금속 산화물막을 포함하는 적층 구조를 채용하고, 결정성이 낮은 영역을 과잉 산소의 확산 경로로서 사용함으로써, 트랜지스터의 신뢰성을 높일 수 있다.

[0126] 또한, 결정성이 낮은 금속 산화물막만으로 금속 산화물막(108)이 구성되는 경우, 금속 산화물막의 백 채널 측, 즉 금속 산화물막(108_2)에 상당하는 영역에 불순물(예를 들어, 수소 또는 수분)이 부착되거나 또는 들어가기 때문에, 신뢰성이 낮아질 수 있다.

[0127] 금속 산화물막(108)에 들어간 수소 또는 수분 등의 불순물은 트랜지스터 특성에 악영향을 미치므로 문제를 일으킨다. 따라서, 금속 산화물막(108)의 수소 또는 수분 등의 불순물의 양은 가능한 한 적은 것이 바람직하다.

[0128] 따라서, 금속 산화물막(108)의 상층의 결정성을 높임으로써, 금속 산화물막(108)에 불순물이 들어가는 것을 방지할 수 있다. 특히, 금속 산화물막(108_2)의 결정성을 높인 경우, 도전막(112a 및 112b)을 가공할 때의 대미지를 방지할 수 있다. 금속 산화물막(108)의 표면, 즉 금속 산화물막(108_2)의 표면은, 도전막(112a 및 112b)을 가공할 때의 에천트 또는 에칭 가스에 노출된다. 그러나, 금속 산화물막(108_2)이 결정성이 높은 영역을 갖는 경우, 금속 산화물막(108_2)은 금속 산화물막(108_1)보다 에칭 내성이 우수하다. 그러므로, 금속 산화물막(108_2)은 에칭 스토퍼로서 기능한다.

[0129] 또한, 금속 산화물막(108)으로서 불순물 농도가 낮고 결함 준위 밀도가 낮은 금속 산화물막을 사용하면, 트랜지스터의 전기 특성이 더 우수해질 수 있어 바람직하다. 여기서, 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손의 양이 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 금속 산화물막에 포함되는 불순물의 대표적인 예에는 물 및 수소가 포함된다. 본 명세서 등에서는, 금속 산화물막으로부터 물 및 수소를 저감 또는 제거하는 것을 탈수화 또는 탈수소화라고 하는 경우가 있다. 또한, 금속 산화물막 또는 산화절연막에 산소를 첨가하는 것을 산소 첨가라고 하는 경우가 있고, 화학량론적 조성을 초과하는 산소가 산소 첨가로 인하여 포함되는 상태를 과잉 산소 상태라고 하는 경우가 있다.

[0130] 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 캐리어 발생원이 적으므로 캐리어 밀도를 낮출 수 있다. 따라서, 이 금속 산화물막에 채널 영역이 형성되는 트랜지스터가 음의 문턱 전압을 갖는 것은 드물다(노멀리 온이 되는 것은 드물다). 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 결함 준위 밀도가 낮기 때문에 트랩 준위의 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 오프 상태 전류가 매우 낮기 때문에, 소자의 채널 폭 $W$가 $1\times10^{6}$ μm이고 채널 길이 $L$이 10 μm이더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V에서 10V까지일 때, 오프 상태 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1\times10^{-13}$A 이하가 될 수 있다.

[0131] 금속 산화물막(108_1)이 금속 산화물막(108_2)보다 결정성이 낮은 영역을 포함하면, 금속 산화물막(108_1)의 캐리어 밀도가 높아지는 경우가 있다.

[0132] 금속 산화물막(108_1)의 캐리어 밀도가 높으면, 금속 산화물막(108_1)의 전도대에 대하여 페르미 준위가 상대적

으로 높아지는 경우가 있다. 이에 의하여 금속 산화물막(108_1)의 전도대 하단이 낮아져, 금속 산화물막(108_1)의 전도대 하단과, 게이트 절연막(여기서는 절연막(106))에 형성될 수 있는 트랩 준위의 에너지 차이가 커지는 경우가 있다. 에너지 차이가 커지면, 게이트 절연막에서의 전하의 트랩이 저감되고 트랜지스터의 문턱 전압의 변동이 저감될 수 있는 경우가 있다. 또한, 금속 산화물막(108_1)의 캐리어 밀도가 높으면, 금속 산화물막(108)의 전계 효과 이동도를 높일 수 있다.

[0133] [보호 절연막으로서 기능하는 절연막 1]

[0134] 절연막(114 및 116)은 트랜지스터(100A 및 200A)의 보호 절연막으로서 기능한다. 또한, 절연막(114 및 116)은 각각 금속 산화물막(108 및 208)에 산소를 공급하는 기능을 갖는다. 즉, 절연막(114 및 116)은 산소를 포함한다. 절연막(114)은 산소를 투과시킬 수 있는 절연막이다. 절연막(114)은 나중의 단계에서의 절연막(116) 형성 시에 금속 산화물막(108 및 208)에 대한 대미지를 완화하는 막으로서도 기능한다.

[0135] 절연막(114)에는 두께 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하의 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.

[0136] 또한, 절연막(114)의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 실리콘의 댕글링 본드(dangling bond)로 인하여 $g$=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 $3\times10^{17}$spins/cm$^3$ 이하인 것이 바람직하다. 절연막(114)에서의 결함 밀도가 높으면, 산소가 상기 결함과 결합되고, 절연막(114)의 산소 투과성이 저하된다.

[0137] 또한, 외부로부터 절연막(114)에 들어가는 모든 산소가 절연막(114) 외부로 이동하지는 않고, 일부의 산소는 절연막(114)에 남는다. 또한, 산소가 절연막(114)에 들어가고 절연막(114)에 포함되는 산소가 절연막(114) 외부로 이동하는 식으로 절연막(114)에서 산소의 이동이 일어나는 경우가 있다. 절연막(114)으로서 산소를 투과시키는 산화물 절연막을 형성하면, 절연막(114) 위에 제공되는 절연막(116)으로부터 방출된 산소가 절연막(114)을 통하여 금속 산화물막(108 및 208)으로 이동할 수 있다.

[0138] 또한, 절연막(114)은 질소 산화물로 인한 준위 밀도가 낮은 산화물 절연막을 사용하여 형성될 수 있다. 또한, 질소 산화물로 인한 준위 밀도는 금속 산화물막의 가전자대 상단($E_{v_os}$)과 전도대 하단($E_{c_os}$) 사이에 형성될 수 있다. 상술한 산화물 절연막으로서는, 질소 산화물의 방출량이 적은 산화질화 실리콘막 또는 질소 산화물의 방출량이 적은 산화질화 알루미늄막 등을 사용할 수 있다.

[0139] 또한, 질소 산화물의 방출량이 적은 산화질화 실리콘막은, TDS(thermal desorption spectroscopy)에서 질소 산화물의 방출량보다 암모니아의 방출량이 많은 막이고, 암모니아의 방출량은 대표적으로는 $1\times10^{18}$molecules/cm$^3$ 이상 $5\times10^{19}$molecules/cm$^3$ 이하이다. 또한, 암모니아의 방출량은 막의 표면 온도가 50℃ 이상 650℃ 이하, 바람직하게는 50℃ 이상 550℃ 이하가 되는 가열 처리에 의하여 방출되는 암모니아의 양이다.

[0140] 예를 들어, 질소 산화물($NO_x$; $x$는 0보다 크고 2 이하, 바람직하게는 1 이상 2 이하), 대표적으로는 $NO_2$ 또는 NO는 절연막(114)에 준위를 형성한다. 이 준위는 금속 산화물막(108 및 208) 각각의 에너지 갭에 위치한다. 그러므로, 질소 산화물이 절연막(114)과 각 금속 산화물막(108 및 208)의 계면으로 확산되면, 전자가 절연막(114) 측의 준위에 의하여 트랩되는 경우가 있다. 이 결과, 트랩된 전자가 절연막(114)과 각 금속 산화물막(108 및 208)의 계면 근방에 남기 때문에, 트랜지스터의 문턱 전압이 양의 방향으로 변동된다.

[0141] 질소 산화물은 가열 처리에서 암모니아 및 산소와 반응한다. 절연막(114)에 포함되는 질소 산화물은 가열 처리에서 절연막(116)에 포함되는 암모니아와 반응하기 때문에, 절연막(114)에 포함되는 질소 산화물이 저감된다. 그러므로, 절연막(114)과 각 금속 산화물막(108 및 208)의 계면에서 전자가 트랩되기 어렵다.

[0142] 이러한 산화물 절연막을 사용함으로써, 절연막(114)에 의하여 트랜지스터의 문턱 전압의 변동이 저감되어, 트랜지스터의 전기 특성의 변화를 작게 할 수 있다.

[0143] SIMS(secondary ion mass spectrometry)에 의하여 측정되는 상기 산화물 절연막의 질소 농도는 $6\times10^{20}$atoms/cm$^3$ 이하이다.

[0144] 상술한 산화물 절연막을, 기판 온도 220℃ 이상 350℃ 이하에서 실레인 및 일산화이질소를 사용하여 PECVD법으로 형성함으로써, 치밀하고 경도가 높은 막을 형성할 수 있다.

[0145] 절연막(116)은 화학량론적 조성보다 높은 비율로 산소를 포함하는 산화물 절연막이다. 가열에 의하여 상술한 산화물 절연막으로부터 산소의 일부가 방출된다. TDS에서 산화물 절연막으로부터의 산소 방출량은 $1.0\times10^{19}$atoms/cm$^3$ 이상, 바람직하게는 $3.0\times10^{20}$atoms/cm$^3$ 이상이다. 또한, 상기 산소 방출량은, TDS에서 50℃ 내지 650℃ 또는 50℃ 내지 550℃의 온도 범위의 가열 처리에 의하여 방출되는 산소의 총량이다. 또한, 상기 산소 방출량은 TDS에서 산소 원자로 환산된 산소의 총 방출량이다.

[0146] 절연막(116)에는, 두께 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의 산화 실리콘막 또는 산화질화 실리콘막 등을 사용할 수 있다.

[0147] 절연막(116)에서의 결함 수는 적은 것이 바람직하고, 대표적으로는 ESR 측정에 의하여 실리콘의 댕글링 본드로 인하여 $g$=2.001에서 나타나는 신호에 대응하는 스핀 밀도가 $1.5\times10^{18}$spins/cm$^3$ 미만, 바람직하게는 $1\times10^{18}$spins/cm$^3$ 이하이다. 또한, 절연막(116)은 절연막(114)보다 더 금속 산화물막(108 및 208)에서 떨어지도록 제공되기 때문에 절연막(116)은 절연막(114)보다 결함 밀도가 높아도 좋다.

[0148] 또한, 절연막(114 및 116)은 같은 종류의 재료로 형성되는 절연막을 사용하여 형성할 수 있으므로, 절연막들(114 및 116)의 경계는 명확하게 관찰될 수 없는 경우가 있다. 따라서, 본 실시형태에서는 절연막들(114 및 116)의 경계를 파선으로 나타내었다. 본 실시형태에서는 절연막들(114 및 116)의 2층 구조에 대하여 설명하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 절연막(114)의 단층 구조 또는 3개 이상의 층의 적층 구조를 사용하여도 좋다.

[0149] [보호 절연막으로서 기능하는 절연막 2]

[0150] 절연막(118)은 트랜지스터(100A 및 200A)의 보호 절연막으로서 기능한다.

[0151] 절연막(118)은 수소 및 질소 중 한쪽 또는 양쪽을 포함한다. 또는, 절연막(118)은 질소 및 실리콘을 포함한다. 절연막(118)은 산소, 수소, 물, 알칼리 금속, 및 알칼리 토금속 등을 차단하는 기능을 갖는다. 절연막(118)을 제공함으로써, 금속 산화물막(108 및 208)으로부터의 산소의 외부 확산, 절연막(114 및 116)에 포함되는 산소의 외부 확산, 그리고 외부로부터 금속 산화물막(108 및 208)에 수소 또는 물 등이 들어가는 것을 방지할 수 있다.

[0152] 절연막(118)으로서는, 예를 들어 질화물 절연막을 사용할 수 있다. 이 질화물 절연막의 예에는, 질화실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 및 질화산화 알루미늄막이 포함된다.

[0153] 상술한 도전막, 절연막, 금속 산화물막, 및 금속막 등의 다양한 막은 스퍼터링법 또는 PECVD법에 의하여 형성할 수 있지만, 이들을 다른 방법, 예를 들어 열 CVD(thermal chemical vapor deposition)법에 의하여 형성하여도 좋다. 열 CVD법의 예에는 MOCVD(metal organic chemical vapor deposition)법 및 ALD(atomic layer deposition)법이 포함된다.

[0154] 열 CVD법은, 막을 형성하는 데 플라스마를 이용하지 않기 때문에 플라스마 대미지로 인한 결함이 생기지 않는다는 이점을 갖는다. 열 CVD법에서는, 체임버에 원료 가스를 도입하고, 체임버를 대기압 또는 감압으로 하고, 기판에 막을 퇴적시킨다.

[0155] 또한, ALD법에서는, 체임버에 원료 가스를 도입하고, 체임버를 대기압 또는 감압으로 하고, 기판에 막을 퇴적시킨다.

[0156] <1-3. 표시 장치의 구조예 2>

[0157] 다음으로, 보호 절연막의 적층 구조가 다른 표시 장치에 대하여 도 4의 (A-1), (A-2), (B-1), 및 (B-2)를 참조하여 설명한다.

[0158] 도 4의 (A-1)은 도 2의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 4의 (A-2)는 도 2의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당하고, 도 4의 (B-1)은 도 2의 (B)의 일점쇄선 X3-X4를 따라 취한 단면도에 상당하고, 도 4의 (B-2)는 도 2의 (B)의 일점쇄선 Y3-Y4를 따라 취한 단면도에 상당한다.

[0159] 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치는, 화소부에 제공되는 트랜지스터(200A) 위에 절연막(114 및 116)을, 그리고 절연막(116) 위에 평탄화막으로서 기능하는 절연막(119)을 포함한다. 절연막(114, 116, 및 119)은 개구(242b)를 갖는다. 절연막(119) 위에 화소 전극으로서 기능하는 도전막(220a)이 형성된다. 도전막(220a)은 개구(242b)에서 도전막(212b)에 전기적으로 접속된다. 절연막(119) 및 도전막(220a) 위에 절연

막(118)이 제공된다. 절연막(118)은 도전막(220a)의 일부가 노출된 개구를 갖는다.

[0160] 절연막(119)은 평탄화 절연막에 사용할 수 있는 유기 재료를 사용하여 형성된다. 절연막(119)은, 폴리이미드 수지 또는 아크릴 수지 등의 유기 재료를 사용하여, 스핀 코팅법 또는 인쇄법 등의 웨트 프로세스에 의하여 형성할 수 있다. 상기 유기 재료 이외에는, 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료 중 임의의 것을 사용하여 형성되는 복수의 절연막을 적층시킴으로써, 평탄화 절연막을 형성하여도 좋다. 절연막(119)에는, 폴리이미드로 대표되는 투광성 유기 수지를 사용하는 것이 바람직하다. 표시 장치가 투과형 액정 표시 장치인 경우, 절연막(119)에 투광성 유기 수지를 사용함으로써, 백라이트로부터의 광의 투과성을 높일 수 있다.

[0161] 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치에서는, 평탄화막으로서 기능하는 절연막(119)이 구동 회로에 형성되지 않는다. 그러므로, 산화물 도전막을 도전막(120a)에 사용하면, 절연막(114 및 116)에 산소를 첨가할 수 있다. 절연막(114 및 116)에 첨가한 산소는 금속 산화물막(108)으로 이동하여 금속 산화물막(108) 내의 산소 결손을 보충할 수 있어, 트랜지스터(100A)의 신뢰성이 높아진다.

[0162] 한편, 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치의 화소부에서는, 평탄화막으로서 기능하는 절연막(119)이 절연막(116) 위에 형성된다. 또한, 화소 전극으로서 기능하는 도전막(220a)이 절연막(119) 위에 형성된다. 도전막(220a)은 평탄성이 높기 때문에, 표시 장치가 액정 표시 장치인 경우에는 액정층의 배향 결함을 저감할 수 있다. 또한, 절연막(119)은, 도전막(220a)과 게이트 배선으로서 기능하는 도전막(204) 사이의 거리, 및 도전막(220a)과 신호선으로서 기능하는 도전막(212a) 사이의 거리를 넓힐 수 있기 때문에, 배선 지연을 저감할 수 있다.

[0163] <1-4. 표시 장치의 구조예 3>

[0164] 다음으로, 화소 전극으로서 기능하는 도전막의 형상이 다른 표시 장치에 대하여 도 8의 (A-1), (A-2), (B-1), 및 (B-2), 그리고 도 9의 (A) 및 (B)를 참조하여 설명한다.

[0165] 도 9의 (A) 및 (B)는 본 발명의 일 형태에 따른 표시 장치에 제공되는 구동 회로 및 표시부에 포함되는 트랜지스터의 상면도이다. 도 9의 (A)는 구동 회로에 포함되는 트랜지스터(100A)의 상면도이고, 도 9의 (B)는 화소부에 포함되는 트랜지스터(200B)의 상면도이다. 도 8의 (A-1)은 도 9의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 8의 (A-2)는 도 9의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당하고, 도 8의 (B-1)은 도 9의 (B)의 일점쇄선 X3-X4를 따라 취한 단면도에 상당하고, 도 8의 (B-2)는 도 9의 (B)의 일점쇄선 Y3-Y4를 따라 취한 단면도에 상당한다.

[0166] 도 8의 (A-1) 및 (B-2)에 도시된 바와 같이, 구동 회로는 트랜지스터(100A)를 포함한다.

[0167] 도 8의 (B-1) 및 (B-2)에 도시된 바와 같이, 화소부는 트랜지스터(200B), 화소 전극으로서 기능하는 도전막(210), 및 용량 소자(250)를 포함한다.

[0168] 트랜지스터(200B)는, 도 1의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 트랜지스터(200A), 그리고 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 트랜지스터(200A)와 화소 전극으로서 기능하는 도전막과의 접속이 다르다. 트랜지스터(200B)는, 절연막(106)과 도전막(212b) 사이에서, 화소 전극으로서 기능하는 도전막(210)에 접속된다.

[0169] 도전막(210)은 트랜지스터(100A)의 금속 산화물막(108) 및 트랜지스터(200B)의 금속 산화물막(208)과 동시에 형성된다. 도전막(210)에서는, 섬 형상의 도전막(210_1) 및 섬 형상의 도전막(210_2)이 이 순서대로 적층된다. 도전막(210_1)은 금속 산화물막(108_1 및 208_1)과 동시에 형성되고, 도전막(210_2)은 금속 산화물막(108_2 및 208_2)과 동시에 형성된다.

[0170] 도 8의 (B-1)에서, 절연막(118)은, 도전막(210)이 노출되는 개구(211)를 갖는다. 또는, 도 10의 (B-1)에 도시된 바와 같이, 절연막(118)은 도전막(210)을 덮어도 좋다. 예를 들어, 표시 장치가 액정 표시 장치인 경우에는, 화소 전극으로서 기능하는 도전막(210) 위에 절연막(118)을 제공하지 않는 것이 바람직하다. 그러나, 액정층에 인가되는 전압에 따라서는, 도전막(210) 위에 절연막(118)을 제공할 수 있다.

[0171] 도전막(210)에는 산화물 도전막(OC)을 사용하는 것이 바람직하다. 그러므로, 도전막(210)은, 트랜지스터(100A 및 200B)에 포함되는 금속 산화물막(108 및 208)보다 수소 농도가 높다.

[0172] <1-5. 트랜지스터의 변형예>

[0173] 다음으로, 본 실시형태에서 설명하는 트랜지스터에 적용 가능한 트랜지스터의 변형예에 대하여 설명한다. 도 14의 (A)는 트랜지스터(100C)의 상면도이고, 도 14의 (B)는 도 14의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 14의 (C)는 도 14의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당한다. 또한, 여기서는 트랜지스터(100A)의 변형예로서 트랜지스터(100C)에 대하여 설명하지만, 트랜지스터(100C)의 구조는 트랜지스터(200A 및 200B)에 적절히 적용할 수 있다.

[0174] 트랜지스터(100C)는, 도전막(112a 및 112b)이 각각 3층 구조를 갖는 점에서 상술한 트랜지스터(100A)와 다르다.

[0175] 트랜지스터(100C)의 도전막(112a)은 도전막(112a_1), 도전막(112a_1) 위의 도전막(112a_2), 및 도전막(112a_2) 위의 도전막(112a_3)을 포함한다. 트랜지스터(100C)의 도전막(112b)은 도전막(112b_1), 도전막(112b_1) 위의 도전막(112b_2), 및 도전막(112b_2) 위의 도전막(112b_3)을 포함한다.

[0176] 예를 들어, 도전막(112a_1), 도전막(112b_1), 도전막(112a_3), 및 도전막(112b_3)은 타이타늄, 텅스텐, 탄탈럼, 몰리브데넘, 인듐, 갈륨, 주석, 및 아연에서 선택된 하나 이상의 원소를 포함하는 것이 바람직하다. 또한, 도전막(112a_2) 및 도전막(112b_2)은 구리, 알루미늄, 및 은에서 선택된 하나 이상의 원소를 포함하는 것이 적합하다.

[0177] 구체적으로, 도전막(112a_1), 도전막(112b_1), 도전막(112a_3), 및 도전막(112b_3)은 In-Sn 산화물 또는 In-Zn 산화물 사용하여 형성할 수 있고, 도전막(112a_2) 및 도전막(112b_2)은 구리를 사용하여 형성할 수 있다.

[0178] 상술한 구조는, 도전막(112a 및 112b)의 배선 저항을 저감하고 금속 산화물막(108)으로의 구리의 확산을 억제할 수 있기 때문에 적합하다. 또한, 상술한 구조는 도전막(112b)과, 도전막(112b)과 접촉하는 도전막 사이의 접촉 저항을 낮게 할 수 있기 때문에 적합하다. 상술한 구조를 화소부의 트랜지스터(200A) 등에 적용하면, 도전막(212b)과 도전막(220a) 사이의 접촉 저항을 낮출 수 있기 때문에 적합하다. 트랜지스터(100C)의 다른 구성 요소는 상술한 트랜지스터(100A)와 비슷하고, 비슷한 효과를 갖는다.

[0179] 도 15의 (A)는 본 실시형태에서 설명하는 트랜지스터에 적용 가능한 트랜지스터(100D)의 상면도이다. 도 15의 (B)는 도 15의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 15의 (C)는 도 15의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당한다.

[0180] 트랜지스터(100D)는, 도전막(112a 및 112b)이 각각 3층 구조를 갖는 점에서 상술한 트랜지스터(100A)와 다르다. 또한, 트랜지스터(100D)는 도전막(112a 및 112b)의 형상이 상술한 트랜지스터(100C)와 다르다.

[0181] 트랜지스터(100D)의 도전막(112a)은 도전막(112a_1), 도전막(112a_1) 위의 도전막(112a_2), 및 도전막(112a_2) 위의 도전막(112a_3)을 포함한다. 트랜지스터(100D)의 도전막(112b)은 도전막(112b_1), 도전막(112b_1) 위의 도전막(112b_2), 및 도전막(112b_2) 위의 도전막(112b_3)을 포함한다. 또한, 도전막(112a_1), 도전막(112a_2), 도전막(112a_3), 도전막(112b_1), 도전막(112b_2), 및 도전막(112b_3)은 상술한 재료 중 임의의 것을 사용하여 형성할 수 있다.

[0182] 도전막(112a_1)의 단부는 도전막(112a_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전막(112a_3)은 도전막(112a_2)의 상면 및 측면을 덮고, 도전막(112a_1)과 접촉하는 영역을 갖는다. 도전막(112b_1)의 단부는 도전막(112b_2)의 단부보다 외측에 위치하는 영역을 갖는다. 도전막(112b_3)은 도전막(112b_2)의 상면 및 측면을 덮고, 도전막(112b_1)과 접촉하는 영역을 갖는다.

[0183] 상술한 구조는, 도전막(112a 및 112b)의 배선 저항을 저감하고 금속 산화물막(108)으로의 구리의 확산을 억제할 수 있기 때문에 적합하다. 또한, 트랜지스터(100D)에서는 상술한 트랜지스터(100C)보다 구리의 확산을 더 효과적으로 억제할 수 있다. 상술한 구조는 도전막(112b)과, 도전막(112b)과 접촉하는 도전막 사이의 접촉 저항을 낮게 할 수도 있기 때문에 적합하다. 트랜지스터(100D)의 다른 구성 요소는 상술한 트랜지스터와 비슷하고, 비슷한 효과를 갖는다.

[0184] 또한, 트랜지스터(100A, 100C, 200A, 및 200B) 각각은 6개의 포토마스크를 사용하여 제작된다. 한편, 트랜지스터(100D)는, 도전막(112a 및 112b)을 형성하기 위하여 2개의 포토마스크가 필요하기 때문에, 7개의 포토마스크를 사용하여 제작된다.

[0185] 도 17의 (A)는 본 실시형태에서 설명하는 트랜지스터에 적용 가능한 트랜지스터(100E)의 상면도이고, 도 17의 (B)는 도 17의 (A)의 일점쇄선 X1-X2를 따라 취한 단면도에 상당하고, 도 17의 (C)는 도 17의 (A)의 일점쇄선 Y1-Y2를 따라 취한 단면도에 상당한다.

[0186] 도 17의 (A) 내지 (C)에 도시된 트랜지스터(100E)는, 절연막(118) 및 도전막(120a)의 적층 순서가 상술한 트랜지스터(100D)와 다르다. 트랜지스터(100E)에서는, 절연막(116) 위에 절연막(118)이 있고, 절연막(118) 위에 도전막(120a)이 있다. 도전막(104) 및 도전막(120a)은, 절연막(106, 114, 116, 및 118)의 개구(142a)에서 서로 전기적으로 접속된다.

[0187] 상술한 트랜지스터의 구조는, 본 실시형태의 트랜지스터와 서로 자유로이 조합할 수 있다.

[0188] <1-6. 표시 장치의 제작 방법 1>

[0189] 다음으로, 본 발명의 일 형태에 따른 표시 장치에 포함되는 트랜지스터(100A 및 200A)의 제작 방법에 대하여 도 5의 (A-1) 내지 (A-3) 및 (B-1) 내지 (B-3), 도 6의 (A-1), (A-2), (B-1), 및 (B-2), 그리고 도 7의 (A-1), (A-2), (B-1), 및 (B-2)를 참조하여 설명한다.

[0190] 도 5의 (A-1) 내지 (A-3) 및 (B-1) 내지 (B-3), 도 6의 (A-1), (A-2), (B-1), 및 (B-2), 그리고 도 7의 (A-1), (A-2), (B-1), 및 (B-2)는, 표시 장치의 제작 방법을 도시한 단면도이다. 도 5의 (A-1) 내지 (A-3), 도 6의 (A-1) 및 (A-2), 그리고 도 7의 (A-1) 및 (A-2)는 트랜지스터(100A)의 채널 길이 방향의 단면도이고, 도 5의 (B-1) 내지 (B-3), 도 6의 (B-1) 및 (B-2), 그리고 도 7의 (B-1) 및 (B-2)는 트랜지스터(200A)의 채널 길이 방향의 단면도이다.

[0191] 먼저, 기판(102) 위에 도전막을 형성하고, 리소그래피 공정 및 에칭 공정을 통하여 가공하여, 트랜지스터(100A)의 제 1 게이트 전극으로서 기능하는 도전막(104) 및 트랜지스터(200A)의 게이트 전극으로서 기능하는 도전막(204)을 형성한다. 그리고, 제 1 게이트 절연막으로서 기능하는 절연막(106)을 도전막(104) 위에 형성한다(도 5의 (A-1) 및 (B-1) 참조).

[0192] 본 실시형태에서는, 기판(102)으로서 유리 기판을 사용하고, 도전막(104 및 204)으로서 두께 50nm의 타이타늄막 및 두께 200nm의 구리막을 스퍼터링법에 의하여 형성한다. 절연막(106)으로서 두께 400nm의 질화 실리콘막 및 두께 50nm의 산화질화 실리콘막을 PECVD법에 의하여 형성한다.

[0193] 또한, 상술한 질화 실리콘막은, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막의 3층 구조를 갖는다. 예를 들어, 이 3층 구조는 다음과 같이 형성할 수 있다.

[0194] 예를 들어, 제 1 질화 실리콘막은 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 조정하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 50nm로 형성할 수 있다.

[0195] 제 2 질화 실리콘막은 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 2000sccm의 암모니아 가스를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 조정하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 300nm로 형성할 수 있다.

[0196] 제 3 질화 실리콘막은 유량 200sccm의 실레인 및 유량 5000sccm의 질소를 원료 가스로서 PECVD 장치의 반응 체임버에 공급하고, 반응 체임버의 압력을 100Pa로 조정하고, 27.12MHz의 고주파 전원을 사용하여 2000W의 전력을 공급하는 조건하에서 두께 50nm로 형성할 수 있다.

[0197] 또한, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막은 각각 기판 온도 350℃ 이하에서 형성할 수 있다.

[0198] 질화 실리콘막이 상술한 3층 구조를 가지면, 예를 들어 구리를 포함하는 도전막을 도전막(104)에 사용하는 경우에 다음 효과를 얻을 수 있다.

[0199] 제 1 질화 실리콘막은 도전막(104 및 204)으로부터의 구리의 확산을 억제할 수 있다. 제 2 질화 실리콘막은 수소를 방출하는 기능을 가지며, 게이트 절연막으로서 기능하는 절연막의 내전압을 향상시킬 수 있다. 제 3 질화 실리콘막은 수소의 방출량이 적으며, 제 2 질화 실리콘막으로부터 방출되는 수소의 확산을 억제할 수 있다.

[0200] 다음으로, 절연막(106) 위에 금속 산화물막(108_1_0) 및 금속 산화물막(108_2_0)을 형성한다(도 5의 (A-2) 및 (B-2) 참조).

[0201] 도 5의 (A-1) 및 (B-1)은 절연막(106) 위에 금속 산화물막(108_1_0 및 108_2_0)을 형성한 경우의 퇴적 장치 내부를 도시한 단면 모식도이다. 도 5의 (A-1) 및 (B-1)에서는, 퇴적 장치로서 스퍼터링 장치가 사용되고, 상기 스퍼터링 장치 내부에 배치된 타깃(191) 및 타깃(191) 아래에 생성된 플라스마(192)를 모식적으로 도시하였다.

[0202] 도 5의 (A-1 및 B-1)에서는, 절연막(106)에 첨가되는 산소 또는 과잉 산소를 파선의 화살표로 모식적으로 나타내었다. 예를 들어, 금속 산화물막(108_1_0) 형성 시에 산소 가스를 사용하면, 절연막(106)에 산소를 바람직하게 첨가할 수 있다.

[0203] 금속 산화물막(108_1_0)은, 두께 1nm 이상 25nm 이하, 바람직하게는 5nm 이상 20nm 이하로 절연막(106) 위에 형성된다. 금속 산화물막(108_1_0)은 불활성 가스(Ar 가스로 대표됨) 및 산소 가스 중 한쪽 또는 양쪽을 사용하여 형성된다. 또한, 금속 산화물막(108_1_0)을 형성할 때 퇴적 가스 전체에서의 산소 가스의 비율(이하, 산소 유량비라고도 함)은 0% 이상 30% 미만, 바람직하게는 5% 이상 15% 이하이다.

[0204] 금속 산화물막(108_1_0) 형성을 위한 산소 유량비를 상술한 범위로 하면, 금속 산화물막(108_1_0)의 결정성을 금속 산화물막(108_2_0)보다 낮게 할 수 있다.

[0205] 다음으로, 금속 산화물막(108_1_0) 위에 금속 산화물막(108_2_0)을 형성한다. 금속 산화물막(108_2_0)을 형성할 때, 산소 가스를 포함하는 분위기에서 플라스마 방전을 수행한다. 이때, 금속 산화물막(108_2_0)이 형성될 금속 산화물막(108_1_0)에 산소가 첨가된다. 금속 산화물막(108_2_0) 형성 시의 산소 유량비는 30% 이상 100% 이하, 바람직하게는 50% 이상 100% 이하, 더 바람직하게는 70% 이상 100% 이하이다.

[0206] 금속 산화물막(108_2_0)의 두께는 20nm 이상 100nm 이하, 바람직하게는 20nm 이상 50nm 이하이다.

[0207] 상술한 바와 같이, 금속 산화물막(108_2_0) 형성을 위한 산소 유량비는 금속 산화물막(108_1_0) 형성을 위한 산소 유량비보다 높은 것이 바람직하다. 바꿔 말하면, 금속 산화물막(108_1_0)은, 금속 산화물막(108_2_0)보다 낮은 산소 분압하에서 형성되는 것이 바람직하다.

[0208] 금속 산화물막(108_1_0 및 108_2_0) 형성 시의 기판 온도는, 실온(25℃) 이상 200℃ 이하, 바람직하게는 실온 이상 130℃ 이하로 한다. 기판 온도를 상술한 범위로 하는 것은 대형 유리 기판(예를 들어, 상술한 제 8 세대 내지 제 10 세대 유리 기판)에 적합하다. 구체적으로는, 금속 산화물막(108_1_0 및 108_2_0)을 형성하기 위한 기판 온도를 실온으로 하면, 기판의 휨 또는 왜곡을 억제할 수 있다. 금속 산화물막(108_2_0)의 결정성을 높이기 위해서는, 금속 산화물막(108_2_0) 형성 시의 기판 온도를 높이는 것이 바람직하다.

[0209] 또한, 금속 산화물막(108_1_0) 및 금속 산화물막(108_2_0)을 진공에서 연속적으로 형성하면, 그 계면에 불순물이 포획되는 것을 방지할 수 있기 때문에 더 바람직하다.

[0210] 또한, 스퍼터링 가스의 순도를 높일 필요가 있다. 예를 들어, 스퍼터링 가스로서 사용되는 산소 가스 또는 아르곤 가스로서, -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하의 이슬점을 갖도록 고순도화된 가스를 사용함으로써, 금속 산화물막에 수분 등이 들어가는 것을 최소화할 수 있다.

[0211] 금속 산화물막을 스퍼터링법에 의하여 퇴적하는 경우에는, 금속 산화물막에 대하여 불순물로서 작용하는 물 등을 가능한 한 제거하기 위하여, 크라이오펌프(cryopump) 등의 흡착 진공 배기 펌프를 사용하여 스퍼터링 장치의 체임버를 고진공 상태가 되도록(약 $5\times10^{-7}$Pa 내지 $1\times10^{-4}$Pa 정도까지) 배기하는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 모드(standby mode)에서의, 체임버 내의 $H_2O$에 상당하는 가스 분자($m/z$=18의 가스 분자)의 분압은 $1\times10^{-4}$Pa 이하인 것이 바람직하고, $5\times10^{-5}$Pa 이하인 것이 더 바람직하다.

[0212] 본 실시형태에서는, In-Ga-Zn 금속 산화물 타깃(원자수비 In:Ga:Zn=4:2:4.1)을 사용한 스퍼터링법에 의하여 금속 산화물막(108_1_0)을 형성한다. 금속 산화물막(108_1_0) 형성 시의 기판 온도는 실온으로 하고, 퇴적 가스로서 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 사용한다(산소 유량비: 10%).

[0213] 또한, In-Ga-Zn 금속 산화물 타깃(원자수비 In:Ga:Zn=4:2:4.1)을 사용한 스퍼터링법에 의하여 금속 산화물막(108_2_0)을 형성한다. 금속 산화물막(108_2_0) 형성 시의 기판 온도는 실온으로 하고, 퇴적 가스로서 유량 200sccm의 산소 가스를 사용한다(산소 유량비: 100%).

[0214] 금속 산화물막(108_1_0) 형성 시의 산소 유량비가 금속 산화물막(108_2_0) 형성 시와 상이하면, 복수 종류의 결정성을 갖는 적층막을 형성할 수 있다.

[0215] 또한, 형성 방법은 상술한 스퍼터링법에 한정되지 않고, PLD(pulsed laser deposition)법, PECVD법, 열 CVD법, ALD법, 또는 진공 증착법 등을 사용하여도 좋다. 열 CVD법의 예로서는, MOCVD법을 들 수 있다.

[0216] 다음으로, 금속 산화물막(108_1_0 및 108_2_0)을 원하는 형상으로 가공하여 섬 형상의 금속 산화물막(108_1,

108_2, 208_1, 및 208_2)을 형성한다. 본 실시형태에서는, 금속 산화물막(108_1 및 108_2)이 섬 형상의 금속 산화물막(108)을 구성하고(도 5의 (A-3) 참조), 금속 산화물막(208_1 및 208_2)이 섬 형상의 금속 산화물막(208)을 구성한다(도 5의 (B-3) 참조).

[0217] 금속 산화물막(108 및 208)을 형성한 후, 금속 산화물막(108 및 208)에 산소 플라스마 처리를 수행하여도 좋다. 이 결과, 금속 산화물막(108 및 208)의 표면에 산소를 첨가할 수 있어, 금속 산화물막(108 및 208) 내의 산소 결손이 저감된다. 특히, 금속 산화물막(108 및 208)의 측면에서의 산소 결손을 저감하면, 트랜지스터의 누설 전류를 방지할 수 있어 바람직하다.

[0218] 금속 산화물막(108 및 208)을 형성한 후에 가열 처리(이하, 제 1 가열 처리라고 함)를 수행하는 것이 적합하다. 제 1 가열 처리에 의하여, 금속 산화물막(108 및 208)에 포함되는 수소 또는 물 등을 저감할 수 있다. 수소 또는 물 등의 저감을 목적으로 하는 가열 처리는, 금속 산화물막(108_1_0 및 108_2_0)을 섬 형상으로 가공하기 전에 수행되어도 좋다. 또한, 제 1 가열 처리는 금속 산화물막의 순도를 높이기 위한 처리 중 한 종류이다.

[0219] 제 1 가열 처리는 예를 들어 150℃ 이상 기판의 변형점 미만, 바람직하게는 200℃ 이상 450℃ 이하, 더 바람직하게는 250℃ 이상 350℃ 이하의 온도에서 수행할 수 있다.

[0220] 또한, 제 1 가열 처리에는 전기로(electric furnace) 또는 RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우에 기판의 변형점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다. 제 1 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 공기), 또는 희가스(예를 들어, 아르곤, 헬륨)의 분위기에서 수행되어도 좋다. 질소, 산소, 초건조 공기, 또는 희가스에 수소 및 물 등이 포함되지 않는 것이 바람직하다. 또한, 질소 분위기 또는 희가스 분위기에서 가열 처리를 수행한 후에, 산소 분위기 또는 초건조 공기 분위기에서 가열 처리를 추가로 수행하여도 좋다. 이 결과, 금속 산화물막에 포함되는 수소 또는 물 등을 방출할 수 있고, 동시에 금속 산화물막에 산소를 공급할 수 있다. 따라서, 금속 산화물막 내의 산소 결손의 수를 줄일 수 있다.

[0221] 다음으로, 절연막(106) 및 금속 산화물막(108 및 208) 위에 도전막을 형성한다. 그리고, 상기 도전막을 원하는 형상으로 가공하여 도전막(112a 및 112b), 도전막(212a 및 212b), 및 도전막(213)을 형성한다.

[0222] 본 실시형태에서는, 도전막(112a, 112b, 212a, 212b, 및 213)에 두께 30nm의 타이타늄막, 두께 200nm의 구리막, 및 두께 10nm의 타이타늄막을 스퍼터링법에 의하여 이 순서대로 형성한다.

[0223] 본 실시형태에서는, 웨트 에칭 장치에 의하여 도전막을 가공한다. 또한, 도전막의 가공 방법은 상술한 방법에 한정되지 않고, 예를 들어 드라이 에칭 장치를 사용하여도 좋다.

[0224] 도전막(112a, 112b, 212a, 212b, 및 213)을 형성한 후, 금속 산화물막(108 및 208)(구체적으로는, 금속 산화물막(108_2 및 208_2))의 표면(백 채널 측)을 세정하여도 좋다. 상기 세정은 예를 들어, 인산 등의 화학 용액을 사용하여 수행할 수 있다. 인산 등의 화학 용액을 사용한 세정에 의하여, 금속 산화물막(108_2 및 208_2)의 표면에 부착된 불순물(예를 들어, 도전막(112a, 112b, 212a, 및 212b)에 포함되는 원소)을 제거할 수 있다. 또한, 세정을 반드시 수행할 필요는 없고, 세정을 수행하지 않는 경우도 있다.

[0225] 도전막(112a, 112b, 212a, 212b, 및 213)을 형성하는 단계 및/또는 상기 세정 단계에서는, 도전막(112a, 112b, 212a, 및 212b)으로 덮여 있지 않은 영역에서 금속 산화물막(108 및 208)이 얇아지는 경우가 있다.

[0226] 또한, 도전막(112a, 112b, 212a, 및 212b)으로 덮여 있지 않은 영역, 즉 금속 산화물막(108_2 및 208_2)은 결정성이 높은 것이 바람직하다. 불순물(특히, 도전막(112a, 112b, 212a, 및 212b)의 구성 원소)은 결정성이 높은 금속 산화물막으로 확산되기 어렵다. 그러므로, 신뢰성이 높은 트랜지스터를 제작할 수 있다.

[0227] 도 5의 (A-3) 및 (B-3)에는 도전막(112a, 112b, 212a, 및 212b)으로 덮여 있지 않은 금속 산화물막(108 및 208)의 표면, 즉 금속 산화물막(108_2 및 208_2)의 표면에 오목부가 형성되는 예를 도시하였지만, 본 발명의 일 형태는 이 예에 한정되지 않고, 도전막(112a, 112b, 212a, 및 212b)으로 덮여 있지 않은 금속 산화물막(108 및 208)의 표면에 오목부가 반드시 형성될 필요는 없다.

[0228] 다음으로, 금속 산화물막(108 및 208) 및 도전막(112a, 112b, 212a, 212b, 및 213) 위에 절연막(114 및 116)을 형성한다(도 6의 (A-1) 및 (B-1) 참조).

[0229] 또한, 절연막(114)을 형성한 후, 대기에 노출시키지 않고 절연막(116)을 연속적으로 형성하는 것이 바람직하다.

절연막(114)을 형성한 후, 원료 가스의 유량, 압력, 고주파 전력, 및 기판 온도 중 적어도 하나를 조절하면서 대기에 노출시키지 않고 절연막(116)을 연속적으로 형성하면, 절연막들(114 및 116)의 계면에서 대기 성분에 기인하는 불순물의 농도를 저감할 수 있다.

[0230] 예를 들어, 절연막(114)으로서 산화질화 실리콘막을 PECVD법에 의하여 형성할 수 있다. 이 경우, 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 원료 가스로서 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인이 포함된다. 산화성 가스의 예에는 일산화이질소 및 이산화질소가 포함된다. 산화성 가스의 유량은 퇴적 가스의 20배 이상 500배 이하, 바람직하게는 40배 이상 100배 이하이다.

[0231] 본 실시형태에서는 절연막(114)으로서, 기판(102)을 온도 220℃로 유지하고, 유량 50sccm의 실레인 및 유량 2000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리 체임버 내의 압력을 20Pa로 하고, 평행 평판 전극에 13.56MHz로 100W(전력 밀도로서는 $1.6\times10^{-2}W/cm^2$)의 고주파 전력을 공급하는 조건하에서 PECVD법에 의하여 산화질화 실리콘막을 형성한다.

[0232] 절연막(116)으로서는, 진공 배기된 PECVD 장치의 처리 체임버 내에 놓인 기판을 180℃ 이상 350℃ 이하의 온도에서 유지하고, 처리 체임버에 원료 가스를 도입하여 처리 체임버 내의 압력을 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리 체임버 내에 제공된 전극에 $0.17W/cm^2$ 이상 $0.5W/cm^2$ 이하, 바람직하게는 $0.25W/cm^2$ 이상 $0.35W/cm^2$ 이하의 고주파 전력을 공급하는 조건하에서 산화 실리콘막 또는 산화질화 실리콘막을 형성한다.

[0233] 절연막(116)의 퇴적 조건으로서, 상술한 전력 밀도의 고주파 전력을 상술한 압력의 반응 체임버에 공급함으로써, 플라스마에서의 원료 가스의 분해 효율이 높아지고, 산소 라디칼이 증가되고, 원료 가스의 산화가 촉진되기 때문에, 절연막(116)의 산소 함유량이 화학량론적 조성보다 높아진다. 상술한 온도 범위 내의 기판 온도에서 형성된 막에서는 실리콘과 산소의 결합이 약하기 때문에, 이 막 내의 산소의 일부가 나중의 단계에서 가열 처리에 의하여 방출된다. 그러므로, 화학량론적 조성보다 산소를 더 포함하고 산소의 일부가 가열에 의하여 방출되는 산화물 절연막을 형성할 수 있다.

[0234] 또한, 절연막(116)을 형성하는 단계에서 절연막(114)은 금속 산화물막(108 및 208)의 보호막으로서 기능한다. 그러므로, 금속 산화물막(108 및 208)에 대한 대미지를 저감하면서 전력 밀도가 높은 고주파 전력을 사용하여 절연막(116)을 형성할 수 있다.

[0235] 또한, 절연막(116)의 퇴적 조건에서, 산화성 가스에 대한 실리콘을 포함하는 퇴적 가스의 유량을 높이면, 절연막(116)의 결함량을 저감할 수 있다. 대표적으로는, 결함량이 적은, 즉 ESR 측정에 의하여 실리콘의 댕글링 본드에 기인하는 $g$=2.001에서 나타나는 신호의 스핀 밀도가 $6\times10^{17}spins/cm^3$ 미만, 바람직하게는 $3\times10^{17}spins/cm^3$ 이하, 더 바람직하게는 $1.5\times10^{17}spins/cm^3$ 이하인 산화물 절연막을 형성할 수 있다. 이 결과, 트랜지스터(100A 및 200A)의 신뢰성을 향상시킬 수 있다.

[0236] 절연막(114 및 116)을 형성한 후에 가열 처리(이하, 제 2 가열 처리라고 함)를 수행하는 것이 적합하다. 제 2 가열 처리에 의하여 절연막(114 및 116)에 포함되는 질소 산화물을 저감할 수 있다. 제 2 가열 처리에 의하여, 절연막(114 및 116)에 포함되는 산소의 일부를 금속 산화물막(108 및 208)으로 이동시킬 수 있어, 금속 산화물막(108 및 208)에 포함되는 산소 결손의 양을 저감할 수 있다.

[0237] 제 2 가열 처리의 온도는 대표적으로 400℃ 미만, 바람직하게는 375℃ 미만, 더 바람직하게는 150℃ 이상 350℃ 이하로 한다. 제 2 가열 처리는 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(예를 들어, 아르곤, 헬륨)의 분위기에서 수행되어도 좋다. 수소 및 물 등이 질소, 산소, 초건조 공기, 또는 희가스에 포함되지 않는 것이 바람직하다. 가열 처리에는 전기로 또는 RTA 등을 사용할 수 있다.

[0238] 다음으로, 절연막(114 및 116)의 원하는 영역에 개구(142a 및 242a)를 형성한다.

[0239] 본 실시형태에서는, 개구(142a 및 242a)를 드라이 에칭 장치를 사용하여 형성한다. 또한, 개구(142a)는 도전막(104)에 도달하고, 개구(242a)는 도전막(212b)에 도달한다.

[0240] 다음으로, 절연막(116) 위에 도전막(120)을 형성한다(도 6의 (A-2) 및 (B-2) 참조).

[0241] 도 6의 (A-1) 및 (B-1)은 절연막(116) 위에 도전막(120)을 형성하는 경우의 퇴적 장치 내부를 도시한 단면 모식도이다. 도 6의 (A-1) 및 (B-1)에는, 퇴적 장치로서 스퍼터링 장치를 사용하고, 스퍼터링 장치 내에 배치된 타깃(193) 및 타깃(193) 아래에 형성된 플라스마(194)를 모식적으로 도시하였다.

[0242] 도전막(120)을 형성할 때, 산소 가스를 포함하는 분위기에서 플라스마 방전을 수행한다. 이때, 도전막(120)이 형성될 절연막(116)에 산소가 첨가된다. 도전막(120)을 형성할 때, 불활성 가스(예를 들어, 헬륨 가스, 아르곤 가스, 또는 제논 가스)와 산소 가스를 혼합하여도 좋다.

[0243] 산소 가스는 적어도 도전막(120)을 형성할 때 혼합된다. 도전막(120) 형성을 위한 퇴적 가스에서의 산소 가스의 비율은 0%보다 높고 100% 이하, 바람직하게는 10% 이상 100% 이하, 더 바람직하게는 30% 이상 100% 이하이다.

[0244] 도 6의 (A-1) 및 (B-1)에서, 절연막(116)에 첨가되는 산소 또는 과잉 산소를 파선의 화살표로 모식적으로 나타내었다.

[0245] 본 실시형태에서는, In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용한 스퍼터링법에 의하여 도전막(120)을 형성한다. 또는, ITO 타깃과, 퇴적 가스로서 산소 가스(100%)를 사용한 스퍼터링법에 의하여 도전막(120)을 형성하여도 좋다.

[0246] 또한, 본 실시형태에서는 도전막(120)을 형성할 때 절연막(116)에 산소를 첨가하지만, 산소의 첨가 방법은 이에 한정되지 않는다. 예를 들어, 도전막(120)을 형성한 후에 절연막(116)에 산소를 더 첨가하여도 좋다.

[0247] 절연막(116)에 산소를 첨가하는 방법으로서는, 예를 들어 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물, ITSO라고도 함)의 타깃(중량%에서 $In_2O_3$:$SnO_2$:$SiO_2$=85:10:5)을 사용하여 두께 5nm의 ITSO막을 형성할 수 있다. 이 경우, ITSO막의 두께를 1nm 이상 20nm 이하 또는 2nm 이상 10nm 이하로 하면, 산소를 바람직하게 투과시키고 산소의 방출을 억제할 수 있어 바람직하다. 그 후, ITSO막을 통하여 절연막(116)에 산소를 첨가한다. 산소는 예를 들어, 이온 도핑, 이온 주입, 또는 플라스마 처리에 의하여 첨가할 수 있다. 산소를 첨가할 때 기판 측에 바이어스 전압을 인가함으로써, 산소를 절연막(116)에 효과적으로 첨가할 수 있다. 예를 들어, 애싱 장치를 사용하고, 애싱 장치의 기판 측에 인가되는 바이어스 전압의 전력 밀도를 1W/$cm^2$ 이상 5W/$cm^2$ 이하로 할 수 있다. 산소 첨가 중의 기판 온도를 실온 이상 300℃ 이하, 바람직하게는 100℃ 이상 250℃ 이하로 함으로써, 절연막(116)에 산소를 효과적으로 첨가할 수 있다.

[0248] 다음으로, 도전막(120)을 원하는 형상으로 가공하여, 도전막(120a_1 및 220a_1)을 형성한다(도 7의 (A-1) 및 (B-1) 참조).

[0249] 본 실시형태에서는, 웨트 에칭 장치를 사용하여 도전막(120)을 도전막(120a_1 및 220a_1)으로 가공한다.

[0250] 다음으로, 절연막(116) 및 도전막(120a_1 및 220a_1) 위에 절연막(118)을 형성한다(도 7의 (A-2) 및 (B-2) 참조).

[0251] 절연막(118)은 수소 및 질소 중 어느 한쪽 또는 양쪽을 포함한다. 절연막(118)으로서는 예를 들어, 질화 실리콘막을 사용하는 것이 적합하다. 절연막(118)은 예를 들어, 스퍼터링법 또는 PECVD법으로 형성할 수 있다. 절연막(118)을 PECVD법으로 형성하는 경우에는, 예를 들어 기판 온도를 400℃ 미만, 바람직하게는 375℃ 미만, 더 바람직하게는 180℃ 이상 350℃ 이하로 한다. 절연막(118) 형성 시의 기판 온도를 상술한 범위 내로 하면, 치밀한 막을 형성할 수 있으므로 바람직하다. 또한, 절연막(118) 형성 시의 기판 온도를 상술한 범위 내로 하면, 절연막(114 및 116)의 산소 또는 과잉 산소를 금속 산화물막(108 및 208)으로 이동시킬 수 있다.

[0252] 절연막(118)으로서 PECVD법으로 질화 실리콘막을 형성하는 경우, 실리콘을 포함하는 퇴적 가스, 질소, 및 암모니아를 원료 가스로서 사용하는 것이 바람직하다. 질소의 양과 비교하여 소량의 암모니아를 사용함으로써 암모니아가 플라스마에서 해리되고 활성종이 생성된다. 이 활성종은 실리콘을 포함하는 퇴적 가스에 포함되는 실리콘과 수소의 결합, 및 질소 분자들의 3중 결합을 절단한다. 이 결과, 실리콘과 질소의 결합의 형성이 촉진되어, 실리콘과 수소의 결합이 적고 결함이 적은 치밀한 질화 실리콘막이 형성된다. 질소에 대한 암모니아의 양이 많으면, 실리콘을 포함하는 퇴적 가스의 분해 및 질소의 분해가 촉진되지 않아, 실리콘과 수소의 결합이 남아 있고 결함이 증가된 거친 질화 실리콘막이 형성된다. 그러므로, 원료 가스에서, 질소의 유량은 암모니아의 유량의 바람직하게는 5배 이상 50배 이하, 더 바람직하게는 10배 이상 50배 이하로 한다.

[0253] 본 실시형태에서는, PECVD 장치를 사용하여, 실레인, 질소, 및 암모니아를 원료 가스로서 사용하여 절연막(11

8)으로서 두께 50nm의 질화 실리콘막을 형성한다. 실레인의 유량은 50sccm로 하고, 질소의 유량은 5000sccm로 하고, 암모니아의 유량은 100sccm로 한다. 처리 체임버의 압력은 100Pa로 하고, 기판 온도는 350℃로 하고, 27.12MHz의 고주파 전원을 사용하여 평행 평판 전극에 1000W의 고주파 전력을 공급한다. PECVD 장치는 전극 면적이 6000$cm^2$인 평행 평판 PECVD 장치이고, 공급된 전력을 환산한 단위 면적당 전력(전력 밀도)은 $1.7\times10^{1}$ $W/cm^2$이다.

[0254] In-Ga-Zn 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 도전막(120a_1 및 220a_1)을 형성하는 경우, 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a_1 및 220a_1)에 들어갈 수 있다. 이 경우, 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a_1 및 220a_1) 내의 산소 결손과 결합하여 도전막(120a_1 및 220a_1)의 저항을 저하시킨다. 따라서, 저항이 낮은 도전막(120a 및 220a)을 형성할 수 있다. 또한, 저항이 낮은 도전막은 산화물 도전막이다. 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a 및 220a)으로 이동하기 때문에, 도전막(120a 및 220a)의 수소 농도 및/또는 질소 농도는 금속 산화물막(108 및 208)보다 높다.

[0255] 절연막(118)을 형성한 후, 제 1 가열 처리 또는 제 2 가열 처리와 비슷한 가열 처리(이하, 제 3 가열 처리라고 함)를 수행하여도 좋다.

[0256] 제 3 가열 처리에 의하여, 절연막(116)에 포함되는 산소가 금속 산화물막(108 및 208)으로 이동하여 금속 산화물막(108 및 208) 내의 산소 결손을 보충한다.

[0257] 상술한 공정을 통하여, 도 1의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치를 제작할 수 있다.

[0258] <1-7. 표시 장치의 제작 방법 2>

[0259] 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치의 제작 방법에 대하여 설명한다. 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치를 제작하기 위해서는, 먼저 도 1의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치의 경우와 같이 절연막(116)까지의 구성 요소를 형성한다. 다음으로, 절연막(119)을 화소부에 형성한다. 절연막(119)은, 절연막(116)에 감광성 수지를 도포한 다음 노광 및 현상을 수행하거나; 또는 절연막(116)에 비감광성 수지를 도포하고 소성하고, 레지스트 마스크를 형성하고, 소성한 비감광성 수지를 상기 레지스트 마스크를 사용하여 에칭하는 식으로 형성될 수 있다.

[0260] 그리고, 도 1의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치의 경우와 비슷한 식으로, 절연막(116 및 119) 위에 도전막(120a_1 및 220a_1)을 형성한다. 또한, 도전막(120a_1) 형성 시에 절연막(114 및 116)에 산소를 첨가할 수 있다. 따라서, 트랜지스터(100A)의 금속 산화물막(108) 및 트랜지스터(200A)의 금속 산화물막(208) 내의 산소 결손을 저감할 수 있다.

[0261] 다음으로, 절연막(116 및 119) 및 도전막(120a_1 및 220a_1) 위에 절연막(118)을 형성한다. 또한, 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a_1 및 220a_1)에 들어가는 경우가 있다. 이 경우, 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a_1 및 220a_1) 내의 산소 결손과 결합하여 도전막(120a_1 및 220a_1)의 저항을 저하시킨다. 따라서, 저항이 낮은 도전막(120a 및 220a)을 형성할 수 있다. 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(120a 및 220a)으로 이동하기 때문에, 도전막(120a 및 220a)의 수소 농도 및/또는 질소 농도는 금속 산화물막(108 및 208)보다 높다.

[0262] 그 후, 도전막(220a)과 중첩되는 절연막(118)의 일부를 에칭하여도 좋다.

[0263] 상술한 공정을 통하여, 도 4의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치를 제작할 수 있다.

[0264] <1-8. 표시 장치의 제작 방법 3>

[0265] 도 8의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치의 제작 방법에 대하여 설명한다. 먼저, 기판(102) 위에 도전막을 형성하고 리소그래피 공정 및 에칭 공정을 통하여 가공하여, 트랜지스터(100A)의 제 1 게이트 전극으로서 기능하는 도전막(104), 트랜지스터(200A)의 게이트 전극으로서 기능하는 도전막(204), 및 용량 배선(205)을 형성한다. 그리고, 제 1 게이트 절연막으로서 기능하는 절연막(106)을 도전막(104) 위에 형성한다. 그 후, 금속 산화물막(108), 금속 산화물막(208), 및 금속 산화물막(209)을 절연막(106) 위에 형성한다(도 11의 (A-1) 및 (B-1) 참조). 또한, 금속 산화물막(209_1 및 209_2)은 섬 형상의 금속 산화물막(209)을 구성한다.

[0266] 금속 산화물막(108, 208, 및 209)을 형성한 후, 제 1 가열 처리를 수행하여도 좋다.

[0267] 다음으로, 금속 산화물막(108) 위에 도전막(112a 및 112b)을 형성하고, 금속 산화물막(208) 위에 도전막(212a)을 형성하고, 금속 산화물막(208 및 209) 위에 도전막(212b)을 형성한다(도 11의 (A-2) 및 (B-2) 참조).

[0268] 그리고, 금속 산화물막(108, 208, 및 209) 및 도전막(112a, 112b, 212a, 및 212b) 위에 절연막(114 및 116)을 형성한다(도 12의 (A-1) 및 (B-1) 참조). 절연막(114 및 116)은 금속 산화물막(209)이 노출되는 개구(117)를 갖는다.

[0269] 그 후, 절연막(116) 위에 도전막(120a)을 형성한다. 이어서, 절연막(114 및 116), 도전막(120a 및 212b), 및 금속 산화물막(209) 위에 절연막(118)을 형성한다(도 12의 (A-2) 및 (B-2) 참조). 또한, 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 금속 산화물막(209)에 들어가는 경우가 있다. 이 경우, 수소 및 질소 중 어느 한쪽 또는 양쪽이 금속 산화물막(209) 내의 산소 결손과 결합됨으로써 금속 산화물막의 저항이 저하되고, 이 결과 도전막(210)이 형성된다. 또한, 도전막(210_1 및 210_2)이 도전막(210)을 구성한다. 절연막(118)에 포함되는 수소 및 질소 중 어느 한쪽 또는 양쪽이 도전막(210)으로 이동하기 때문에, 도전막(210)은 금속 산화물막(108 및 208)보다 수소 농도 및/또는 질소 농도가 높다.

[0270] 그리고, 도전막(210)과 중첩되는 절연막(118)의 일부를 에칭하여도 좋다(도 13의 (A-1) 및 (B-1) 참조).

[0271] 상술한 공정을 통하여, 도 8의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치를 제작할 수 있다.

[0272] 또한, 도 10의 (A-1), (A-2), (B-1), 및 (B-2)에 도시된 표시 장치를 도 12의 (A-2) 및 (B-2)의 단계까지의 단계를 통하여 제작할 수 있다.

[0273] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0274] (실시형태 2)

[0275] 본 실시형태에서는, 본 발명의 일 형태에 따른 금속 산화물막에 대하여 도 18, 도 19의 (A) 내지 (L), 및 도 20의 (A) 내지 (C)를 참조하여 설명한다.

[0276] <CAC-OS의 구성>

[0277] 이하에서는, 본 발명의 일 형태에 개시되는 트랜지스터에 사용할 수 있는 CAC 구성을 갖는 금속 산화물의 자세한 사항에 대하여 설명한다. CAC 구성을 갖는 금속 산화물의 대표적인 예로서, 여기서는 CAC-OS에 대하여 설명한다.

[0278] CAC-OS에서는, 예를 들어 도 3에 도시된 바와 같이, 금속 산화물막에 포함되는 원소가 불균일하게 분포됨으로써, 상기 원소 중 임의의 것을 각각 주성분으로서 포함하는 영역(001 및 002)이 형성된다. 영역은 혼합되어 모자이크 패턴으로 형성 또는 분포된다. 바꿔 말하면, CAC-OS는 금속 산화물에 포함되는 원소가 불균일하게 분포되는 구성을 갖는다. 불균일하게 분포된 원소를 포함하는 재료는 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하, 또는 이와 비슷한 크기를 갖는다.

[0279] 불균일하게 분포된 원소를 포함하는 영역의 물리 특성은, 상기 원소의 성질에 의하여 결정된다. 예를 들어, 금속 산화물에 포함되는 원소들 중에서 비교적 절연체로서 기능할 경향이 있는, 불균일하게 분포된 원소를 포함하는 영역은, 유전체 영역으로서 기능한다. 한편, 금속 산화물에 포함되는 원소들 중에서 비교적 도체로서 기능할 경향이 있는, 불균일하게 분포된 원소를 포함하는 영역은, 도전체 영역으로서 기능한다. 도전체 영역과 유전체 영역이 혼합되어 모자이크 패턴을 형성하는 재료는 반도체로서 기능한다.

[0280] 즉, 본 발명의 일 형태에서 금속 산화물은 물리 특성이 상이한 재료가 혼합된, 매트릭스 복합재 또는 금속 매트릭스 복합재의 일종이다.

[0281] 또한, 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 이에 더하여, 원소 *M*(*M*은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상)을 포함하여도 좋다.

[0282] 예를 들어, CAC-OS에서 CAC 구성을 갖는 In-Ga-Zn 산화물(이러한 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)은 인듐 산화물($InO_{X1}$(*X1*은 0보다 큰 실수(實數))) 또는 인듐 아연 산화물($In_{X2}Zn_{Y2}O_{Z2}$(*X2*, *Y2*, 및 *Z2*는 0보다 큰 실수))와, 갈륨 산화물($GaO_{X3}$(*X3*은 0보다 큰 실수)), 또는 갈륨 아연 산화물($Ga_{X4}Zn_{Y4}O_{Z4}$(*X4*, *Y4*, 및 *Z4*는

0보다 큰 실수))로 재료가 분리됨으로써 모자이크 패턴이 형성되는 구성을 갖는다. 모자이크 패턴을 형성하는 $InO_{X1}$ 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 균일하게 분포된다. 이 구성을 클라우드상(cloud-like) 구성이라고도 한다.

[0283] 즉, CAC-OS는 $GaO_{X3}$을 주성분으로서 포함하는 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역이 혼합되는 구성을 갖는 복합 산화물 반도체이다. 또한, 본 명세서에서, 예를 들어 제 1 영역의 원소 *M*에 대한 In의 원자수비가 제 2 영역의 원소 *M*에 대한 In의 원자수비보다 클 때, 제 1 영역은 제 2 영역보다 In의 농도가 높다.

[0284] 또한, IGZO로서, In, Ga, Zn, 및 O를 포함하는 화합물도 알려져 있다. 대표적인 IGZO의 예에는 $InGaO_3(ZnO)_{m1}$(*m1*은 자연수) 및 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$(-1=*x0*=1, *m0*은 임의의 수)으로 나타내어지는 결정성 화합물이 포함된다.

[0285] 상기 결정성 화합물은, 단결정 구조, 다결정 구조, 또는 CAAC 구조를 갖는다. 또한, CAAC 구조는 복수의 IGZO 나노 결정이 c축 배향을 갖고 a-b면 방향에서는 배향하지 않고 연결된 결정 구조이다.

[0286] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. In, Ga, Zn, 및 O를 포함하는 CAC-OS의 재료 구성에서, Ga을 주성분으로서 포함하는 나노 입자 영역이 CAC-OS의 일부에 관찰되고, In을 주성분으로서 포함하는 나노 입자 영역이 그 일부에 관찰된다. 이들 나노 입자 영역은 무작위로 분산되어 모자이크 패턴을 형성한다. 따라서, 이 결정 구조는 CAC-OS에서 부차적인 요소이다.

[0287] 또한, CAC-OS에서, 원자수비가 다른 2개 이상의 막을 포함하는 적층 구조는 포함되지 않는다. 예를 들어, In을 주성분으로서 포함하는 막과 Ga을 주성분으로서 포함하는 막의 2층 구조는 포함되지 않는다.

[0288] $GaO_{X3}$을 주성분으로서 포함하는 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역의 경계가 명확하게 관찰되지 않는 경우가 있다.

[0289] CAC-OS에서 갈륨 대신에, 알루미늄, 실리콘, 붕소, 이트륨, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되는 경우, CAC-OS의 일부에 상기 선택된 원소(들)를 주성분으로서 포함하는 나노 입자 영역이 관찰되고, 그 일부에 In을 주성분으로서 포함하는 나노 입자 영역이 관찰되고, 이들 나노 입자 영역은 CAC-OS에서 무작위로 분산되어 모자이크 패턴을 형성한다.

[0290] <CAC-OS의 분석>

[0291] 다음으로, 각종 방법에 의한 기판 위의 산화물 반도체의 측정 결과에 대하여 설명한다.

[0292] <<시료의 구조 및 그 형성 방법>>

[0293] 이하에서는, 본 발명의 일 형태의 9개의 시료에 대하여 설명한다. 시료들은 산화물 반도체 형성 시와 다른 기판 온도 및 다른 산소 가스 유량비에서 형성된다. 또한, 각 시료는 기판 및 기판 위의 산화물 반도체를 포함한다.

[0294] 시료들의 형성 방법에 대하여 설명한다.

[0295] 기판으로서는 유리 기판을 사용한다. 스퍼터링 장치를 사용하여 유리 기판 위에 산화물 반도체로서 두께 100nm의 In-Ga-Zn 산화물을 형성한다. 형성 조건은 다음과 같다: 체임버 내의 압력이 0.6Pa이고, 타깃으로서 산화물 타깃(원자수비 In:Ga:Zn=4:2:4.1)을 사용한다. 스퍼터링 장치 내에 제공된 산화물 타깃에 2500W의 AC 전력을 공급한다.

[0296] 9개의 시료의 산화물의 형성 조건으로서, 기판의 온도는, 의도적인 가열로 높아지지 않는 온도(이하, 이러한 온도를 실온 또는 R.T.라고도 함), 130℃, 및 170℃로 한다. Ar과 산소의 혼합 가스의 유량에 대한 산소 가스의 유량비(산소 가스 유량비라고도 함)를 10%, 30%, 및 100%로 한다.

[0297] <<X선 회절에 의한 분석>>

[0298] 본 항목에서는, 9개의 시료에 대하여 수행된 X선 회절(XRD) 측정의 결과에 대하여 설명한다. XRD 장치로서는 D8 ADVANCE(Bruker AXS 제조)를 사용한다. 조건으로서는, out-of-plane법에 의하여 θ/2θ에서 주사하고, 주사 범위를 15deg. 내지 50deg.로 하고, 스텝 폭을 0.02deg.로 하고, 주사 속도를 3.0deg./min으로 한다.

[0299] 도 18에 out-of-plane법에 의하여 측정한 XRD 스펙트럼을 나타내었다. 도 18에서, 상단에는 기판 온도 170℃에

서 형성된 시료의 측정 결과를 나타내고, 중단에는 기판 온도 130℃에서 형성된 시료의 측정 결과를 나타내고, 하단에는 기판 온도 R.T.에서 형성된 시료의 측정 결과를 나타낸다. 왼쪽 열에는 산소 가스 유량비 10%로 형성된 시료의 측정 결과를 나타내고, 중앙 열에는 산소 가스 유량비 30%로 형성된 시료의 측정 결과를 나타내고, 오른쪽 열에는 산소 가스 유량비 100%로 형성된 시료의 측정 결과를 나타낸다.

[0300] 도 18에 나타낸 XRD 스펙트럼에서는, 형성 시의 기판 온도를 높게 하거나, 또는 형성 시의 산소 가스 유량비를 높일수록, 2θ=31° 부근의 피크 강도가 높아진다. 또한, 2θ=31° 부근의 피크는, 결정성 IGZO 화합물의 형성면 또는 상면에 실질적으로 수직인 방향으로 c축이 배향되는 결정성 IGZO 화합물(이러한 화합물은 CAAC(c-axis aligned crystalline) IGZO라고도 함)에서 유래하는 것을 알았다.

[0301] 도 18의 XRD 스펙트럼에 나타낸 바와 같이, 형성 시의 기판 온도가 낮을수록 또는 형성 시의 산소 가스 유량비가 낮을수록 피크가 명확히 보이지 않는다. 따라서, 더 낮은 기판 온도에서 또는 더 낮은 산소 가스 유량비에서 형성되는 시료의 측정 영역에는 a-b면 방향 및 c축 방향의 배향이 없는 것을 알았다.

[0302] <<전자 현미경에 의한 분석>>

[0303] 본 항목에서는, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료를, HAADF-STEM(high-angle annular dark-field scanning transmission electron microscope)에 의하여 관찰 및 분석한 결과에 대하여 설명한다. HAADF-STEM에 의하여 취득한 이미지를 TEM 이미지라고도 한다.

[0304] HAADF-STEM에 의하여 취득한 평면 이미지 및 단면 이미지(각각 평면 TEM 이미지 및 단면 TEM 이미지라고도 함)의 이미지 분석의 결과에 대하여 설명한다. TEM 이미지는 구면 수차 보정 기능을 사용하여 관찰한다. HAADF-STEM 이미지는, 원자 분해능 분석 전자 현미경 JEM-ARM200F(JEOL Ltd. 제조)를 사용하여 가속 전압을 200kV로 하고, 직경 약 0.1nm$\phi$의 전자빔을 조사하는 조건하에서 얻는다.

[0305] 도 19의 (A)는 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성한 시료의 평면 TEM 이미지이다. 도 19의 (B)는 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성한 시료의 단면 TEM 이미지이다.

[0306] <<전자 회절 패턴의 분석>>

[0307] 본 항목에서는, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성한 시료에 프로브 직경 1nm의 전자빔(나노빔이라고도 함)을 조사하여 얻은 전자 회절 패턴에 대하여 설명한다.

[0308] 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성한 시료의 도 19의 (A)의 평면 TEM 이미지에서, 흑점 a1, 흑점 a2, 흑점 a3, 흑점 a4, 및 흑점 a5로 나타낸 지점의 전자 회절 패턴을 관찰한다. 또한, 전자 회절 패턴은 전자빔 조사를 35초 동안 일정한 속도로 수행하면서 관찰한다. 도 19의 (C), (D), (E), (F), 및 (G)는 각각, 흑점 a1, 흑점 a2, 흑점 a3, 흑점 a4, 및 흑점 a5로 나타낸 지점의 결과를 나타낸 것이다.

[0309] 도 19의 (C), (D), (E), (F), 및 (G)에서는, 원(고리) 패턴으로 휘도가 높은 영역을 볼 수 있다. 또한, 고리 형상에 복수의 스폿을 볼 수 있다.

[0310] 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성한 시료의 도 19의 (B)의 단면 TEM 이미지에서, 흑점 b1, 흑점 b2, 흑점 b3, 흑점 b4, 및 흑점 b5로 나타낸 지점의 전자 회절 패턴을 관찰한다. 도 19의 (H), (I), (J), (K), 및 (L)은 각각, 흑점 b1, 흑점 b2, 흑점 b3, 흑점 b4, 및 흑점 b5로 나타낸 지점의 결과를 나타낸 것이다.

[0311] 도 19의 (H), (I), (J), (K), 및 (L)에서는, 고리 패턴으로 휘도가 높은 영역을 볼 수 있다. 또한, 고리 형상에 복수의 스폿을 볼 수 있다.

[0312] 예를 들어, 시료면에 평행한 방향으로 프로브 직경 300nm의 전자빔을 $InGaZnO_4$ 결정을 포함하는 CAAC-OS에 대하여 입사시키면, $InGaZnO_4$ 결정의 (009)면에 귀속되는 스폿을 포함하는 회절 패턴이 얻어진다. 즉, CAAC-OS는 c축 배향을 갖고, c축이 CAAC-OS의 형성면 또는 상면에 실질적으로 수직인 방향으로 배향된다. 한편, 같은 시료에 대하여, 프로브 직경 300nm의 전자빔을 시료면에 수직인 방향으로 입사시키면, 고리 형상의 회절 패턴이 확인된다. 즉, CAAC-OS는 a축 배향도 b축 배향도 갖지 않는 것을 알았다.

[0313] 또한, 나노 결정을 포함하는 산화물 반도체(nanocrystalline oxide semiconductor(nc-OS))에 대하여, 프로브 직경이 큰(예를 들어, 50nm 이상) 전자빔을 사용하는 전자 회절을 실시하면, 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 작은(예를 들어, 50nm 미만) 전자빔을 사용하여 얻어진 nc-OS의

나노빔 전자 회절 패턴에는 휘점이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에서는, 원(고리) 패턴으로 휘도가 높은 영역이 보이는 경우가 있다. 또한, nc-OS의 나노빔 전자 회절 패턴에서는, 고리 형상에 복수의 휘점이 보이는 경우가 있다.

[0314] 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료의 전자 회절 패턴은 고리 패턴으로 휘도가 높은 영역을 갖고, 상기 고리 패턴에 복수의 휘점이 나타난다. 따라서, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료는 nc-OS와 비슷한 전자 회절 패턴을 나타내고, 평면 방향 및 단면 방향에서 배향성을 나타내지 않는다.

[0315] 상술한 것에 따르면, 낮은 기판 온도 또는 낮은 산소 가스 유량비로 형성된 산화물 반도체는, 비정질 구조를 갖는 산화물 반도체막 및 단결정 구조를 갖는 산화물 반도체막과 명확히 다른 특성을 갖기 쉽다고 추정할 수 있다.

[0316] <<원소 분석>>

[0317] 본 항목에서는, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료에 포함된 원소의 분석 결과에 대하여 설명한다. 이 분석을 위하여, 에너지 분산형 X선 분광법(EDX: energy dispersive X-ray spectroscopy)에 의하여, EDX 매핑 이미지를 얻는다. EDX 측정에는, 원소 분석 장치로서 에너지 분산형 X선 분석 장치 AnalysisStation JED-2300T(JEOL Ltd. 제조)를 사용한다. 시료로부터 방출된 X선의 검출에는 Si 드리프트 검출기를 사용한다.

[0318] EDX 측정에서는, 시료의 검출 대상 영역의 점에 전자빔 조사를 수행하고, 이 조사에 의하여 발생되는 시료의 특성 X선의 에너지와 그 빈도를 측정하는 식으로, 점의 EDX 스펙트럼을 얻는다. 본 실시형태에서, 점의 EDX 스펙트럼의 피크는 In 원자의 L껍질로의 전자 전이(electron transition), Ga 원자의 K껍질로의 전자 전이, Zn 원자의 K껍질 및 O 원자의 K껍질로의 전자 전이에 귀속되고, 점에서의 원자의 비율을 산출한다. 시료의 분석 대상 영역에서 이 공정을 통하여, 원자의 비율의 분포를 나타낸 EDX 매핑 이미지를 얻을 수 있다.

[0319] 도 20의 (A) 내지 (C)는, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료의 단면에서의 EDX 매핑 이미지를 나타낸 것이다. 도 20의 (A)는 Ga 원자의 EDX 매핑 이미지를 나타낸 것이다. 모든 원자에서의 Ga 원자의 비율은 1.18atomic% 내지 18.64atomic%이다. 도 20의 (B)는 In 원자의 EDX 매핑 이미지를 나타낸 것이다. 모든 원자에서의 In 원자의 비율은 9.28atomic% 내지 33.74atomic%이다. 도 20의 (C)는 Zn 원자의 EDX 매핑 이미지를 나타낸 것이다. 모든 원자에서의 Zn 원자의 비율은 6.69atomic% 내지 24.99atomic%이다. 도 20의 (A) 내지 (C)는 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료의 단면에서의 같은 영역을 나타낸 것이다. EDX 매핑 이미지에서, 원소의 비율은 그레이 스케일에 의하여 나타내어진다: 한 영역은 측정 원자가 많이 존재할수록 밝아지고; 한 영역은 측정 원자가 적게 존재할수록 어두워진다. 도 20의 (A) 내지 (C)에서의 EDX 매핑 이미지의 배율은 720만배이다.

[0320] 도 20의 (A) 내지 (C)에서의 EDX 매핑 이미지는 밝기의 상대적 분포를 나타내고, 기판 온도 R.T.에서, 그리고 산소 가스 유량비 10%로 형성된 시료에서 각 원소가 분포를 갖는 것을 나타낸다. 도 20의 (A) 내지 (C)에서 실선으로 둘러싼 영역 및 파선으로 둘러싼 범위를 조사한다.

[0321] 도 20의 (A)에서, 실선으로 둘러싼 범위에서는 상대적으로 어두운 영역이 넓은 범위를 차지하고, 파선으로 둘러싼 범위에서는 상대적으로 밝은 영역이 넓은 범위를 차지한다. 도 20의 (B)에서, 실선으로 둘러싼 범위에서는 상대적으로 밝은 영역이 넓은 범위를 차지하고, 파선으로 둘러싼 범위에서는 상대적으로 어두운 영역이 넓은 범위를 차지한다.

[0322] 즉, 실선으로 둘러싼 범위는 상대적으로 다수의 In 원자를 포함하는 영역이고, 파선으로 둘러싼 범위는 상대적으로 소수의 In 원자를 포함하는 영역이다. 도 20의 (C)에서는, 실선으로 둘러싼 범위의 오른쪽 부분이 상대적으로 밝고, 왼쪽 부분이 상대적으로 어둡다. 따라서, 실선으로 둘러싼 범위는 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$ 등을 주성분으로서 포함하는 영역이다.

[0323] 실선으로 둘러싼 범위는 상대적으로 소수의 Ga 원자를 포함하는 영역이고, 파선으로 둘러싼 범위는 상대적으로 다수의 Ga 원자를 포함하는 영역이다. 도 20의 (C)에서는, 파선으로 둘러싼 범위의 왼쪽 위의 부분이 상대적으로 밝고, 오른쪽 아래의 부분이 상대적으로 어둡다. 따라서, 파선으로 둘러싼 범위는 $GaO_{X3}$ 또는 $Ga_{X4}Zn_{Y4}O_{Z4}$ 등을 주성분으로서 포함하는 영역이다.

[0324] 또한, 도 20의 (A) 내지 (C)에 나타낸 바와 같이, In 원자는 Ga 원자보다 상대적으로 균일하게 분포되고, $InO_{X1}$을 주성분으로서 포함하는 영역은 $In_{X2}Zn_{Y2}O_{Z2}$를 주성분으로서 포함하는 영역을 통하여 서로 외견상 연결된다. 따라서, $In_{X2}Zn_{Y2}O_{Z2}$ 및 $InO_{X1}$을 주성분으로서 포함하는 영역은 클라우드상으로 연장된다.

[0325] $GaO_{X3}$ 등을 주성분으로서 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역이 불균일하게 분포되고 혼합되는 구성을 갖는 In-Ga-Zn 산화물을 CAC-OS라고 할 수 있다.

[0326] CAC-OS의 결정 구조는 nc 구조를 포함한다. nc 구조를 갖는 CAC-OS의 전자 회절 패턴에서는, 단결정, 다결정, 또는 CAAC를 포함하는 IGZO에 기인하는 휘점에 더하여, 몇 군데 이상의 휘점이 나타난다. 또는, 결정 구조를, 몇 군데 이상의 휘점에 더하여, 고리 패턴으로 나타나는 휘도가 높은 영역을 갖는 것으로 정의한다.

[0327] 도 20의 (A) 내지 (C)에 나타낸 바와 같이, $GaO_{X3}$ 등을 주성분으로서 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역 각각은 0.5nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 크기를 갖는다. 또한, EDX 매핑 이미지에서, 각 금속 원소를 주성분으로서 포함하는 영역의 직경은 1nm 이상 2nm 이하인 것이 바람직하다.

[0328] 상술한 바와 같이, CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 다른 구조를 갖고, IGZO 화합물과는 다른 특성을 갖는다. 즉, CAC-OS에서, $GaO_{X3}$ 등을 주성분으로서 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역은 분리되어, 모자이크 패턴을 형성한다.

[0329] $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역의 도전성은, $GaO_{X3}$ 등을 주성분으로서 포함하는 영역보다 높다. 바꿔 말하면, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역을 통하여 캐리어가 흐르면, 산화물 반도체의 도전성이 발현된다. 따라서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로서 포함하는 영역이 산화물 반도체에 클라우드상으로 분포됨으로써, 높은 전계 효과 이동도(μ)가 실현될 수 있다.

[0330] 한편, $GaO_{X3}$ 등을 주성분으로서 포함하는 영역의 절연성은, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$을 주성분으로 포함하는 영역보다 높다. 바꿔 말하면, $GaO_{X3}$ 등을 주성분으로서 포함하는 영역이 산화물 반도체에 분포됨으로써, 누설 전류가 억제되고 양호한 스위칭 동작이 실현될 수 있다.

[0331] 따라서, CAC-OS를 반도체 소자에 사용한 경우, $GaO_{X3}$ 등에 기인하는 절연성과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 $InO_{X1}$에 기인하는 도전성이 서로를 보완함으로써, 높은 온 상태 전류($I_{on}$) 및 높은 전계 효과 이동도(μ)가 실현될 수 있다.

[0332] CAC-OS를 포함하는 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이로 대표되는 다양한 반도체 장치에 적합하게 사용된다.

[0333] <금속 산화물막을 포함하는 트랜지스터>

[0334] 다음으로, 금속 산화물막을 포함하는 트랜지스터에 대하여 설명한다.

[0335] 상기 금속 산화물막을 트랜지스터에 사용함으로써, 캐리어 이동도가 높고 스위칭 특성이 높은 트랜지스터로 할 수 있다. 또한, 신뢰성이 높은 트랜지스터로 할 수 있다.

[0336] 트랜지스터에는 캐리어 밀도가 낮은 금속 산화물막을 사용하는 것이 바람직하다. 예를 들어, 금속 산화물막의 캐리어 밀도를 $8\times10^{11}/cm^3$ 미만, 바람직하게는 $1\times10^{11}/cm^3$ 미만, 더 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상으로 한다.

[0337] 금속 산화물막의 캐리어 밀도를 저감하기 위해서는, 금속 산화물막 내의 불순물 농도를 저감하여 결함 준위 밀도를 저감할 수 있다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 상태를 고순도 진성 또는 실질적으로 고순도 진성 상태라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 캐리어 발생원이 적으므로 캐리어 밀도를 낮출 수 있다. 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 결함 준위 밀도가 낮기 때문에 트랩 준위의 밀도가 낮은 경우가 있다.

[0338] 금속 산화물막의 트랩 준위에 의하여 트랩된 전하는 방출되는 데 긴 시간이 걸리고, 고정 전하처럼 작용할 수 있다. 따라서, 트랩 준위의 밀도가 높은 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불

안정해질 수 있다.

[0339] 트랜지스터의 안정적인 전기 특성을 얻기 위해서는, 금속 산화물막 내의 불순물 농도를 저감하는 것이 효과적이다. 금속 산화물막 내의 불순물 농도를 저감하기 위해서는, 금속 산화물막에 인접한 막의 불순물 농도를 저감하는 것이 바람직하다. 불순물의 예로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘 등이 제시된다.

[0340] 여기서, 금속 산화물막에서의 불순물의 영향에 대하여 설명한다.

[0341] 14족 원소 중 하나인 실리콘 또는 탄소가 금속 산화물막에 포함되면, 산화물 반도체에 결함 준위가 형성된다. 따라서, 산화물 반도체에서의, 그리고 산화물 반도체와의 계면 근방에서의 실리콘 또는 탄소의 농도(SIMS에 의하여 측정됨)를 $2\times10^{18}$atoms/cm$^3$ 이하, 바람직하게는 $2\times10^{17}$atoms/cm$^3$ 이하로 한다.

[0342] 금속 산화물막이 알칼리 금속 또는 알칼리 토금속을 포함하면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서, 알칼리 금속 또는 알칼리 토금속이 포함된 금속 산화물막을 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 금속 산화물막 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 금속 산화물막 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1\times10^{18}$atoms/cm$^3$ 이하, 바람직하게는 $2\times10^{16}$atoms/cm$^3$ 이하로 한다.

[0343] 금속 산화물막이 질소를 포함하면, 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의하여 금속 산화물막이 n형화되기 쉽다. 따라서, 반도체가 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 상기 산화물 반도체의 질소는 가능한 한 저감되어 있는 것이 바람직하고, SIMS에 의하여 측정되는 질소의 농도를 예를 들어, $5\times10^{19}$atoms/cm$^3$ 미만, 바람직하게는 $5\times10^{18}$atoms/cm$^3$ 이하, 더 바람직하게는 $1\times10^{18}$atoms/cm$^3$ 이하, 더욱 바람직하게는 $5\times10^{17}$atoms/cm$^3$ 이하로 한다.

[0344] 금속 산화물막에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손($V_O$)을 발생시키는 경우가 있다. 산소 결손($V_O$)에 수소가 들어감으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서, 수소를 포함한 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체의 수소 농도를 $1\times10^{20}$atoms/cm$^3$ 미만, 바람직하게는 $1\times10^{19}$atoms/cm$^3$ 미만, 더 바람직하게는 $5\times10^{18}$atoms/cm$^3$ 미만, 더욱 바람직하게는 $1\times10^{18}$atoms/cm$^3$ 미만으로 한다.

[0345] 금속 산화물막에 산소를 도입함으로써 금속 산화물막 내의 산소 결손($V_O$)을 저감할 수 있다. 즉, 산소 결손($V_O$)이 산소로 충전되면, 금속 산화물 내의 산소 결손($V_O$)은 소멸된다. 따라서, 금속 산화물막에서의 산소의 확산은 트랜지스터 내의 산소 결손($V_O$)을 저감하고, 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0346] 금속 산화물 반도체막에 산소를 도입하는 방법으로서는, 예를 들어 산화물 반도체와 접하여 화학량론적 조성보다 산소 함유량이 높은 산화물을 제공한다. 즉, 산화물에는, 화학량론적 조성을 초과하여 산소를 포함하는 영역(이하, 과잉 산소 영역이라고도 함)을 형성하는 것이 바람직하다. 특히, 트랜지스터에 금속 산화물막을 사용하는 경우, 과잉 산소 영역을 포함하는 산화물을 트랜지스터 근방의 하지막 또는 층간막 등에 제공함으로써, 트랜지스터의 산소 결손이 저감되어, 신뢰성을 향상시킬 수 있다.

[0347] 불순물 농도가 충분히 저감된 금속 산화물막을 트랜지스터의 채널 형성 영역에 사용하면, 전기 특성이 안정된 트랜지스터로 할 수 있다.

[0348] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0349] (실시형태 3)

[0350] 본 실시형태에서는, 표시 소자로서 수평 전계 모드의 액정 소자를 사용하는 표시 장치에 대하여 도 21을 참조하여 설명한다.

[0351] 도 21은 수평 전계 모드의 액정 소자를 사용한 표시 장치의 제작 공정을 나타낸 흐름도를 나타낸 것이다. 도

21은, 트랜지스터의 채널로서, 산화물 반도체(특히, CAC-OS)를 사용하는 경우, LTPS(low-temperature poly-silicon)를 사용하는 경우, 그리고 수소화 비정질 실리콘(a-Si:H)을 사용하는 경우의 제작 공정의 예를 나타낸 것이다.

[0352] <3-1. CAC-OS>

[0353] CAC-OS를 트랜지스터에 사용하는 경우에 대하여 설명한다. 먼저, 스퍼터링 장치(SP)를 사용하여 게이트 전극(GE: gate electrode)을 형성한다. 또한, 게이트 전극을 가공할 때 하나의 마스크를 사용한다.

[0354] 그리고, 게이트 전극 위에 PECVD 장치를 사용하여 게이트 절연막(GI: gate insulator)을 형성한다. 그 후, 게이트 절연막 위에 스퍼터링 장치를 사용하여 활성층이 되는 산화물 반도체(OS)막을 형성한다. 또한, 산화물 반도체막을 섬 형상으로 가공할 때 하나의 마스크를 사용한다.

[0355] 그리고, 게이트 절연막의 일부를 가공하여 게이트 전극까지의 개구를 형성한다. 또한, 개구를 형성할 때 하나의 마스크를 사용한다.

[0356] 그리고, 게이트 절연막 및 산화물 반도체막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 소스 전극 및 드레인 전극(S/D 전극)을 형성한다. 또한, 소스 전극 및 드레인 전극을 형성할 때 하나의 마스크를 사용한다.

[0357] 그 후, 산화물 반도체막, 소스 전극, 및 드레인 전극 위에 PECVD 장치를 사용하여 패시베이션막을 형성한다.

[0358] 그리고, 패시베이션막을 부분적으로 가공하여 소스 전극 및 드레인 전극에 도달하는 개구를 형성한다. 또한, 개구를 형성할 때 하나의 마스크를 사용한다.

[0359] 그리고, 패시베이션막에 형성된 개구를 덮도록 패시베이션막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 공통 전극을 형성한다. 또한, 공통 전극을 형성할 때 하나의 마스크를 사용한다.

[0360] 그리고, 패시베이션막 및 공통 전극 위에 PECVD 장치를 사용하여 절연막을 형성한다. 그 후, 소스 전극 및 드레인 전극에 도달하는 개구를 상기 절연막의 일부에 형성한다. 또한, 절연막을 형성할 때(절연막의 일부에 개구를 형성할 때) 하나의 마스크를 사용한다.

[0361] 그리고, 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 상기 도전막을 가공하여 화소 전극을 형성한다. 또한, 화소 전극을 형성할 때 하나의 마스크를 사용한다.

[0362] 상술한 공정을 통하여, 수평 전계 모드의 액정 표시 장치를 제작할 수 있다. 또한, CAC-OS를 사용하는 경우, 수평 전계 모드의 액정 표시 장치의 제작에는 총 8장의 마스크를 사용한다.

[0363] <3-2. LTPS>

[0364] LTPS를 트랜지스터에 사용하는 경우에 대하여 설명한다. 먼저, 스퍼터링 장치를 사용하여 차광막을 형성한다. 또한, 차광막을 가공할 때 하나의 마스크를 사용한다.

[0365] 그리고, 차광막 위에 PECVD 장치를 사용하여 하지 절연막을 형성한다. 그 후, 하지 절연막 위에 PECVD 장치를 사용하여 활성층이 되는 Si막을 형성한 다음, 이 Si막을 결정화시키기 위하여 ELA(excimer laser annealing)를 한다. ELA 공정에 의하여, 활성층의 Si막은 결정화 실리콘(폴리실리콘 또는 p-Si)막이 된다. 또한, ELA를 대면적에서 수행하기 위해서는 대형 설비가 필요하다. ELA 특유의 선 형상의 불균일 등이 일어나는 경우가 있다.

[0366] 그리고, p-Si막을 섬 형상으로 가공한다. 또한, p-Si막을 섬 형상으로 가공할 때 하나의 마스크를 사용한다.

[0367] 그리고, p-Si막 위에 PECVD 장치를 사용하여 게이트 절연막(GI)을 형성한 다음, 게이트 절연막 위에 스퍼터링 장치를 사용하여 게이트 전극(GE)을 형성한다. 또한, 게이트 전극을 형성할 때 하나의 마스크를 사용한다. 게이트 전극을 형성할 때 게이트 절연막의 일부가 제거된다.

[0368] 그 후, p-Si막에 $n^+$ 영역을 형성하기 위하여 이온 도핑(ID: ion doping) 장치를 사용하여 불순물 주입을 수행한다. 또한, $n^+$ 영역을 형성할 때 하나의 마스크를 사용한다. 그리고, p-Si막에 $n^-$ 영역을 형성하기 위하여 이온 도핑 장치를 사용하여 이온 주입을 수행한다. 또한, $n^-$ 영역을 형성하는 경우에는, 마스크를 사용하지 않고 도핑을 표면 전체에 수행한다. 그리고, p-Si막에 $p^+$ 영역을 형성하기 위하여 이온 도핑 장치를 사용하여 불순물

주입을 수행한다. 또한, $p^+$ 영역을 형성하기 위하여 하나의 마스크를 사용한다.

[0369] 그 후, 열 활성화를 수행한다. 열 활성화에는, 아닐로(annealing furnace) 또는 RTA 장치 등을 사용할 수 있다.

[0370] 그리고, p-Si막 및 게이트 전극 위에 PECVD 장치를 사용하여 층간 절연막을 형성한다. 그 후, 상기 층간 절연막의 일부 및 게이트 절연막의 일부를 가공하여 $n^+$ 영역 및 $p^+$ 영역까지의 개구를 형성한다. 또한, 개구를 형성할 때 하나의 마스크를 사용한다.

[0371] 그리고, 개구가 형성된 층간 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 소스 전극 및 드레인 전극(S/D 전극)을 형성한다. 또한, 소스 전극 및 드레인 전극을 형성할 때 하나의 마스크를 사용한다.

[0372] 그 후, 소스 전극 및 드레인 전극 위에 코터 장치(coater apparatus)를 사용하여 평탄화 절연막을 형성한다. 평탄화 절연막으로서는, 예를 들어 유기 수지막을 사용할 수 있다. 또한, 평탄화 절연막을 형성할 때 하나의 마스크를 사용한다.

[0373] 그리고, 평탄화 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 공통 전극을 형성한다. 또한, 공통 전극을 형성할 때 하나의 마스크를 사용한다.

[0374] 그리고, 공통 전극 위에 PECVD 장치를 사용하여 절연막을 형성한다. 그 후, 소스 전극 및 드레인 전극에 도달하는 개구를 상기 절연막의 일부에 형성한다. 또한, 절연막을 형성할 때(절연막의 일부에 개구를 형성할 때) 하나의 마스크를 사용한다.

[0375] 그리고, 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 상기 도전막을 가공하여 화소 전극을 형성한다. 또한, 화소 전극을 형성할 때 하나의 마스크를 사용한다.

[0376] 상술한 공정을 통하여, 수평 전계 모드의 액정 표시 장치를 제작할 수 있다. 또한, LTPS를 사용하는 경우, 수평 전계 모드의 액정 표시 장치의 제작에는 총 11장의 마스크를 사용한다.

[0377] <3-3. a-Si:H>

[0378] a-Si:H를 트랜지스터에 사용하는 경우에 대하여 설명한다. 먼저, 스퍼터링 장치를 사용하여 게이트 전극(GE)을 형성한다. 또한, 게이트 전극을 가공할 때 하나의 마스크를 사용한다.

[0379] 그리고, 게이트 전극 위에 PECVD 장치를 사용하여 게이트 절연막(GI)을 형성한다. 그 후, 게이트 절연막 위에 PECVD 장치를 사용하여 활성층이 되는 실리콘(Si)막을 형성한다. 또한, 실리콘막을 섬 형상으로 가공할 때 하나의 마스크를 사용한다.

[0380] 그리고, 게이트 절연막의 일부를 가공하여 게이트 전극까지의 개구를 형성한다. 또한, 개구를 형성할 때 하나의 마스크를 사용한다.

[0381] 그리고, 게이트 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 용량 전극을 형성한다. 또한, 용량 전극을 가공할 때 하나의 마스크를 사용한다.

[0382] 그리고, 게이트 절연막 및 실리콘막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 소스 전극 및 드레인 전극(S/D 전극)을 형성한다. 또한, 소스 전극 및 드레인 전극을 형성할 때 하나의 마스크를 사용한다.

[0383] 그리고, 소스 전극 및 드레인 전극 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 이 도전막을 가공하여 공통 전극을 형성한다. 또한, 공통 전극을 형성할 때 하나의 마스크를 사용한다.

[0384] 그리고, 공통 전극 위에 PECVD 장치를 사용하여 절연막을 형성한다. 그 후, 소스 전극 및 드레인 전극에 도달하는 개구를 상기 절연막의 일부에 형성한다. 또한, 절연막을 형성할 때(절연막의 일부에 개구를 형성할 때) 하나의 마스크를 사용한다.

[0385] 그리고, 절연막 위에 스퍼터링 장치를 사용하여 도전막을 형성하고, 상기 도전막을 가공하여 화소 전극을 형성한다. 또한, 화소 전극을 형성할 때 하나의 마스크를 사용한다.

[0386] 상술한 공정을 통하여, 수평 전계 모드의 액정 표시 장치를 제작할 수 있다. 또한, a-Si:H를 사용하는 경우,

수평 전계 모드의 액정 표시 장치의 제작에는 총 8장의 마스크를 사용한다.

[0387] 또한, CAC-OS, LTPS, 및 a-Si:H의 각 흐름도에서, 공통 전극을 형성하는 단계, 공통 전극 위에 절연막을 형성하는 단계; 및 화소 전극을 형성하는 단계는 수평 전계 모드의 액정 표시 장치의 제작 공정에 있어서 특유하다. 따라서, 수직 전계 모드(예를 들어, VA 모드)의 액정 소자를 사용하여 액정 표시 장치를 제작하는 경우, 또는 표시 소자로서 유기 EL 소자를 사용하는 경우에는, 수평 전계 모드의 액정 표시 장치와 다른 공정을 사용한다.

[0388] 도 21에 도시된 바와 같이, 수평 전계 모드의 액정 소자를 위한 트랜지스터에 CAC-OS를 사용하는 경우, LTPS를 사용하는 경우보다 단순한 공정에 의하여 트랜지스터를 제작할 수 있다. 또한, CAC-OS를 사용한 트랜지스터는, a-Si:H를 사용한 트랜지스터의 제작에 사용한 것과 같은 수의 마스크를 사용하여 제작될 수 있고, s-Si:H를 사용한 트랜지스터보다 이동도가 높다. 그러므로, CAC-OS를 사용한 트랜지스터를 채용함으로써, 표시 장치에 구동 회로(게이트 드라이버 또는 소스 드라이버)의 일부 또는 모두를 제공할 수 있다.

[0389] 표 1은 각 공정의 특성을 나타낸 것이다.

[0390] [표 1]

[0391]

| | CAC-OS | | LTPS | | a-Si:H | |
|---|---|---|---|---|---|---|
| | TN, VA | 수평 전계 | TN, VA | 수평 전계 | TN, VA | 수평 전계 |
| LCD를 형성하기 위한 마스크의 수 | 6-7 | 6-8 | 9 | 11 | 4-5 | 8 이하 |
| FET를 형성하기 위한 마스크의 수 | (5) | | (6) | | (4) | |
| 최고 공정 온도 | 350℃ 이하 | | 400℃ 이하 | | 350℃ 이하 | |
| 게이트 드라이버 | 가능 | | 가능 | | 가능 | |
| 이동도[$cm^2$/Vs] | 100 이하 | | 100 이하 | | 1 이하 | |
| 온/오프비 | 20 이하 | | 9 이하 | | 7 이하 | |
| 장치의 비용 | 낮음 | | 높음 | | 낮음 | |
| 플랜트 코스트 | 낮음 | | 높음 | | 낮음 | |

[0392] 표 1에 나타낸 바와 같이, CAC-OS를 사용하는 경우, 마스크의 수는 a-Si:H를 사용하는 경우와 거의 동등하고, 전계 효과 이동도(또는, 단순히 이동도라고 함) 및 온/오프비 등의 전기 특성은 a-Si:H를 사용하는 경우보다 우수하다. 따라서, CAC-OS를 사용하면 표시 품질이 높은 표시 장치가 실현된다. 또한, 표 1에 나타낸 바와 같이, CAC-OS의 최고 공정 온도, 장치의 비용, 및 플랜트 코스트(plant cost)가 LTPS보다 낮다. 따라서, 표시 장치의 제작 비용을 절약할 수 있다.

[0393] 또한, 실리콘을 사용한 트랜지스터와 비교하여, CAC-OS로 대표되는 산화물 반도체를 사용한 트랜지스터는, 오프 상태 전류가 낮고, 단채널 효과가 없거나 매우 적고, 내전압이 높고, 그리고 온도 특성의 변화가 작다는 등의 이로운 효과를 실현한다. 또한, 산화물 반도체를 사용한 트랜지스터는, 실리콘을 사용한 트랜지스터와 스위칭 속도 또는 주파수 특성이 비슷하기 때문에 고속으로 동작할 수 있다. 그러므로, 산화물 반도체를 사용한 트랜지스터를 포함하는 표시 장치의 표시 품질 및 신뢰성을 높게 할 수 있다.

[0394] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0395] (실시형태 4)

[0396] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터를 포함하는 표시 장치의 예에 대하여 도 22 내지 도 28을 참조하여 이하에서 설명한다.

[0397] 도 22는 표시 장치의 예를 도시한 상면도이다. 도 22의 표시 장치(700)는, 제 1 기판(701) 위에 제공된 화소부(702), 제 1 기판(701) 위에 제공된 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706), 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸도록 제공된 실란트(712), 및 제 1 기판(701)과 대향하도록 제공된 제 2 기판(705)을 포함한다. 제 1 기판(701)과 제 2 기판(705)은 실란트(712)로 서로 접착되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 제 1 기판(701), 실란트(712), 및 제 2 기판(705)으로 밀봉되어 있다. 도 22에는 도시하지 않았지만, 제 1 기판(701)과 제 2 기판(705) 사이에는 표시 소자가 제공된다.

[0398] 표시 장치(700)에서, 제 1 기판(701) 위에 있고 실란트(712)로 둘러싸여 있는 영역과는 다른 영역에, 화소부

(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)와 전기적으로 접속되는 FPC(flexible printed circuit) 단자부(708)가 제공된다. 또한, FPC 단자부(708)에는 FPC(716)가 접속되고, FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 각종 신호 등이 공급된다. 또한, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에는 신호선(710)이 접속된다. 신호선(710)을 통하여 FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 각종 신호 등이 공급된다.

[0399] 표시 장치(700)에 복수의 게이트 드라이버 회로부(706)를 제공하여도 좋다. 표시 장치(700)의 구조는, 화소부(702)에 더하여 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)가 제 1 기판(701) 위에 형성되는, 여기서 나타낸 예에 한정되지 않는다. 예를 들어, 게이트 드라이버 회로부(706)만을 제 1 기판(701) 위에 형성하여도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기판(701) 위에 형성하여도 좋다. 이 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을, 제 1 기판(701)에 형성하여도 좋다. 또한, 별도로 준비된 구동 회로 기판의 접속 방법에 특별한 제한은 없으며, COG(chip on glass) 방식 또는 와이어 본딩 방식 등을 사용할 수 있다.

[0400] 표시 장치(700)에 포함되는 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 복수의 트랜지스터를 포함한다.

[0401] 표시 장치(700)는 다양한 소자를 포함할 수 있다. 상기 소자의 예로서는, 일렉트로루미네선스(EL) 소자(예를 들어, 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자, 또는 LED), 발광 트랜지스터 소자(전류에 따라 광을 방출하는 트랜지스터), 전자 방출체(electron emitter), 액정 소자, 전자 잉크 디스플레이, 전기 영동 소자, 일렉트로웨팅 소자, PDP(plasma display panel), MEMS(micro electro mechanical systems) 디스플레이(예를 들어, GLV(grating light valve), DMD(digital micromirror device), 또는 DMS(digital micro shutter) 소자, 및 압전 세라믹 디스플레이를 들 수 있다.

[0402] EL 소자를 포함하는 표시 장치의 예로서 EL 디스플레이가 있다. 전자 방출체를 포함하는 표시 장치의 예에는 FED(field emission display) 및 SED 방식 평판 디스플레이(SED: surface-conduction electron-emitter display)가 포함된다. 액정 소자를 포함하는 표시 장치의 예로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)가 있다. 전자 잉크 디스플레이 또는 전기 영동 소자를 포함하는 표시 장치의 예로서는 전자 종이가 있다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이에서, 화소 전극의 일부 또는 모두는 반사 전극으로서 기능하여도 좋다. 예를 들어, 화소 전극의 일부 또는 모두는 알루미늄 또는 은 등을 포함할 수 있다. 이 경우, 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수 있어, 소비전력이 저감된다.

[0403] 표시 장치(700)의 표시 방식으로서, 프로그레시브 방식 또는 인터레이스 방식 등을 채용할 수 있다. 또한, 컬러 화상 표시 시에 화소에서 제어되는 색 요소는, R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함)의 3색에 한정되지 않는다. 예를 들어, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개의 화소를 사용하여도 좋다. 또는, 색 요소는, 펜타일(PenTile) 레이아웃에서와 같이, R, G, 및 B 중 2색으로 구성되어도 좋다. 색 요소에 따라 2색이 상이하여도 좋다. 또는, RGB에 황색, 시안, 및 마젠타(magenta) 등 중 하나 이상의 색을 추가하여도 좋다. 또한, 표시 영역의 크기는 색 요소의 도트들마다 상이하여도 좋다. 개시된 발명의 일 형태는 컬러 표시 장치에 한정되지 않고, 개시된 발명은 흑백 표시 장치에 적용될 수도 있다.

[0404] 백라이트(예를 들어, 유기 EL 소자, 무기 EL 소자, LED, 또는 형광등)에 백색광(W)을 사용한 풀 컬러 표시 장치를 얻기 위하여, 착색층(컬러 필터라고도 함)을 사용하여도 좋다. 예를 들어, 적색(R) 착색층, 녹색(G) 착색층, 청색(B) 착색층, 및 황색(Y) 착색층을 적절히 조합할 수 있다. 착색층을 사용하면, 착색층이 없는 경우와 비교하여 높은 색 재현성을 얻을 수 있다. 여기서, 착색층이 있는 영역과 착색층이 없는 영역을 제공함으로써, 착색층이 없는 영역에서의 백색광을 직접 표시에 이용하여도 좋다. 착색층이 없는 영역을 부분적으로 제공함으로써, 착색층으로 인한 밝은 화상의 휘도 저하를 억제할 수 있고, 소비전력을 약 20% 내지 30% 저감할 수 있는 경우가 있다. 유기 EL 소자 또는 무기 EL 소자 등의 자기 발광 소자를 사용하여 풀 컬러 표시를 수행하는 경우, 소자들이 R, G, B, Y, 및 W 각 색의 광을 방출하여도 좋다. 자기 발광 소자를 사용함으로써, 착색층을 사용하는 경우와 비교하여 소비전력을 더 저감할 수 있다.

[0405] 착색 시스템으로서는, 백색광의 일부를 컬러 필터를 통하여 적색광, 녹색광, 및 청색광으로 변환하는 상술한 컬러 필터 시스템, 적색광, 녹색광, 및 청색광을 사용하는 3색 시스템, 및 청색광의 일부를 적색광 또는 녹색광으로 변환하는 색 변환 시스템 또는 퀀텀닷(quantum dot) 시스템 중 임의의 시스템을 사용하여도 좋다.

[0406] 본 실시형태에서는, 표시 소자로서 액정 소자를 포함하는 구조 및 표시 소자로서 EL 소자를 포함하는 구조에 대하여 도 23 내지 도 28을 참조하여 설명한다. 도 23 내지 도 25 및 도 27은 각각 도 22의 일점쇄선 Q-R를 따라 취한 단면도이고, 각각 표시 소자로서 액정 소자를 포함하는 구조를 도시한 것이다. 도 26 및 도 28은 각각 도 22의 일점쇄선 Q-R를 따라 취한 단면도이고, 각각 표시 소자로서 EL 소자를 포함하는 구조를 도시한 것이다.

[0407] 우선, 도 23 내지 도 28에서 공통된 부분에 대하여 설명한 다음에, 상이한 부분에 대하여 설명한다.

[0408] <4-1. 표시 장치에서 공통된 부분>

[0409] 도 23 내지 도 28의 표시 장치(700)는, 리드 배선부(711), 화소부(702), 소스 드라이버 회로부(704), 및 FPC 단자부(708)를 포함한다. 리드 배선부(711)는 신호선(710)을 포함한다. 화소부(702)는 트랜지스터(750) 및 용량 소자(미도시)를 포함한다. 소스 드라이버 회로부(704)는 트랜지스터(752)를 포함한다.

[0410] 트랜지스터(750) 및 트랜지스터(752)는 각각, 상술한 트랜지스터(100D)와 비슷한 구조를 갖는다. 또한, 트랜지스터(750)는 제 2 게이트 전극을 포함하지 않는다. 트랜지스터(750) 및 트랜지스터(752)는 각각, 상기 실시형태에서 설명한 다른 트랜지스터들 중 임의의 것의 구조를 가져도 좋다.

[0411] 본 실시형태에서 사용하는 트랜지스터는, 고순도화되고 산소 결손의 형성이 억제된 금속 산화물막을 포함한다. 이 트랜지스터는 오프 상태 전류를 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호가 오랫동안 유지될 수 있고, 온 상태에서 기록 간격을 길게 할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있어, 소비전력이 저감된다.

[0412] 또한, 본 실시형태에서 사용하는 트랜지스터는, 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에 고속 동작이 가능하다. 예를 들어, 고속 동작이 가능한 이러한 트랜지스터를 포함하는 액정 표시 장치에서는, 화소부의 스위칭 트랜지스터와 드라이버 회로부의 구동 트랜지스터를 하나의 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 반도체 장치가, 구동 회로로서 추가적으로 필요하지 않기 때문에, 반도체 장치의 부품 수를 줄일 수 있다. 또한, 고속 동작이 가능한 트랜지스터를 화소부에 사용함으로써, 고품질의 화상을 제공할 수 있다.

[0413] 도 23 내지 도 28은 각각 화소부(702)에 포함되는 트랜지스터(750)와, 소스 드라이버 회로부(704)에 포함되는 트랜지스터(752)가 같은 구조를 갖는 예를 도시한 것이지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 화소부(702)와 소스 드라이버 회로부(704)는 상이한 트랜지스터를 포함하여도 좋다. 구체적으로는, 화소부(702)에 스태거형 트랜지스터를 사용하고 소스 드라이버 회로부(704)에 실시형태 1에서 설명한 역 스태거형 트랜지스터를 사용하는 구조, 또는 화소부(702)에 실시형태 1에서 설명한 역 스태거형 트랜지스터를 사용하고 소스 드라이버 회로부(704)에 스태거형 트랜지스터를 사용하는 구조를 채용하여도 좋다. 또한, "소스 드라이버 회로부(704)"라는 용어는 "게이트 드라이버 회로부"라는 용어와 치환할 수 있다.

[0414] 신호선(710)은, 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 통하여 형성된다. 구리 원소를 포함하는 재료를 사용하여 신호선(710)을 형성하는 경우, 배선 저항으로 인한 신호 지연 등이 저감되고, 이에 의하여 대화면 표시가 가능해진다.

[0415] FPC 단자부(708)는, 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 포함한다. 또한, 접속 전극(760)은 트랜지스터(750 및 752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 같은 공정을 통하여 형성된다. 접속 전극(760)은, 이방성 도전막(780)을 통하여 FPC(716)에 포함되는 단자에 전기적으로 접속된다.

[0416] 예들 들어, 제 1 기판(701) 및 제 2 기판(705)으로서, 유리 기판을 사용할 수 있다. 제 1 기판(701) 및 제 2 기판(705)으로서, 플렉시블 기판을 사용하여도 좋다. 플렉시블 기판의 예에는 플라스틱 기판이 있다.

[0417] 제 1 기판(701)과 제 2 기판(705) 사이에 구조체(778)를 제공한다. 구조체(778)는, 절연막의 선택적 에칭에 의하여 얻어지는 기둥형 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또는, 구조체(778)로서, 구(球)형 스페이서를 사용하여도 좋다.

[0418] 제 2 기판(705) 측에는, 블랙 매트릭스로서 기능하는 차광막(738), 컬러 필터로서 기능하는 착색막(736), 및 차광막(738) 및 착색막(736)과 접촉하는 절연막(734)이 제공된다.

[0419] <4-2. 액정 소자를 포함하는 표시 장치의 구조예>

[0420] 도 23에서의 표시 장치(700)는 액정 소자(775)를 포함한다. 액정 소자(775)는 도전막(772), 도전막(774), 및 액정층(776)을 포함한다. 도전막(774)은 제 2 기판(705) 측에 제공되며 대향 전극으로서 기능한다. 도 23에서

의 표시 장치(700)는, 도전막(772)과 도전막(774) 사이에 인가되는 전압에 따라 변화되는 액정층(776)의 배향 상태에 의하여 광의 투과 또는 비투과를 제어하는 식으로, 화상을 표시할 수 있다.

[0421] 도전막(772)은, 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막에 전기적으로 접속된다. 도전막(772)은, 트랜지스터(750)의 게이트 절연막 위에 형성되고, 화소 전극, 즉 표시 소자의 한쪽 전극으로서 기능한다. 도전막(772)은 반사 전극의 기능을 갖는다. 도 23에서의 표시 장치(700)는, 도전막(772)에 의하여 외광을 반사하여 착색막(736)을 통하여 화상을 표시하는, 소위 반사형 컬러 액정 표시 장치이다.

[0422] 가시광을 투과시키는 도전막 또는 가시광을 반사하는 도전막을 도전막(772)에 사용할 수 있다. 예들 들어, 인듐(In), 아연(Zn), 및 주석(Sn)에서 선택된 원소를 포함하는 재료를, 가시광을 투과시키는 도전막에 사용하는 것이 바람직하다. 예를 들어, 알루미늄 또는 은을 포함하는 재료를, 가시광을 반사하는 도전막에 사용하는 것이 바람직하다. 본 실시형태에서는, 가시광을 반사하는 도전막을 도전막(772)에 사용한다.

[0423] 도 24에 도시된 바와 같이, 평탄화막으로서 기능하는 절연막(770)이 화소부(702)에 형성되어도 좋다. 도전막(772)이 절연막(770) 위에 형성된다. 또한, 개구를 갖는 절연막(735)이 도전막(772) 위에 형성된다.

[0424] 또한, 표시 장치(700)는 반사형 컬러 액정 표시 장치를 각각 도시한 도 23 및 도 24의 예에 한정되지 않고, 가시광을 투과시키는 도전막을 도전막(772)에 사용하는 투과형 컬러 액정 표시 장치이어도 좋다. 또는, 표시 장치(700)는 반사형 컬러 액정 표시 장치와 투과형 컬러 액정 표시 장치를 조합한 소위 반투과형 컬러 액정 표시 장치이어도 좋다.

[0425] 도 25는 투과형 컬러 액정 표시 장치의 예를 도시한 것이다. 도 25는 도 22의 일점쇄선 Q-R를 따라 취한 단면도이고, 표시 소자로서 액정 소자를 포함하는 구조를 도시한 것이다. 도 25에 도시된 표시 장치(700)는 액정 소자의 구동 모드로서 수평 전계 모드(예를 들어, FFS(fringe field switching) 모드)를 채용한 예이다. 도 25에 도시된 구조에서는, 화소 전극으로서 기능하는 도전막(772) 위에 절연막(773)이 제공되고, 절연막(773) 위에 도전막(774)이 제공된다. 이러한 구조에서, 도전막(774)은 공통 전극으로서 기능하고, 절연막(773)을 통하여 도전막(772)과 도전막(774) 사이에 발생하는 전계는 액정층(776)의 배향 상태를 제어할 수 있다.

[0426] 도 23 내지 도 25에는 도시하지 않았지만, 도전막(772) 및/또는 도전막(774)에, 액정층(776)과 접촉하는 측에 배향막을 제공하여도 좋다. 도 23 내지 도 25에는 도시하지 않았지만, 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기판 및 위상차 기판을 사용함으로써, 원형 편광을 얻어도 좋다. 또한, 광원으로서 백라이트 또는 사이드 라이트 등을 사용하여도 좋다.

[0427] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 또는 반(anti)강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.

[0428] 수평 전계 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은, 콜레스테릭 액정의 온도가 상승될 때 콜레스테릭상이 등방상으로 전이하기 직전에 발현하는, 액정상 중 하나이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 향상시키기 위하여, 수 중량% 이상을 차지하도록 키랄제를 혼합한 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은 응답 시간이 짧고, 광학적 등방성을 갖고, 이에 의하여 배향 처리가 불필요해진다. 배향막을 제공할 필요가 없기 때문에 러빙 처리가 필요하지 않고, 이에 따라 러빙 처리에 기인하는 정전기 방전 대미지를 방지할 수 있고, 제작 공정에서의 액정 표시 장치의 불량 및 대미지를 저감할 수 있다. 또한, 블루상을 나타내는 액정 재료는 시야각 의존성이 작다.

[0429] 표시 소자로서 액정 소자를 사용하는 경우, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(anti-ferroelectric liquid crystal) 모드 등을 사용할 수 있다.

[0430] 또한, 수직 배향(VA: vertical alignment) 모드의 투과형 액정 표시 장치 등의 노멀리 블랙 액정 표시 장치를 사용하여도 좋다. 수직 배향 모드에는 몇 가지 예가 있고, 예를 들어 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 또는 ASV 모드 등을 채용할 수 있다.

[0431] <4-3. 발광 소자를 포함하는 표시 장치>

[0432] 도 26에 도시된 표시 장치(700)는 발광 소자(782)를 포함한다. 발광 소자(782)는 도전막(772), EL층(786), 및

도전막(788)을 포함한다. 도 26에 도시된 표시 장치(700)는 발광 소자(782)의 EL층(786)으로부터의 발광을 이용함으로써 화상을 표시할 수 있다. 또한, EL층(786)은 유기 화합물, 또는 퀀텀닷 등의 무기 화합물을 포함한다.

[0433] 유기 화합물에 사용할 수 있는 재료의 예에는 형광 재료 및 인광 재료가 포함된다. 퀀텀닷에 사용할 수 있는 재료의 예에는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어 셸형 퀀텀닷 재료, 및 코어형 퀀텀닷 재료가 포함된다. 12족 및 16족에 속하는 원소, 13족 및 15족에 속하는 원소, 또는 14족 및 16족에 속하는 원소를 포함하는 재료를 사용하여도 좋다. 또는, 카드뮴(Cd), 셀레늄(Se), 아연(Zn), 황(S), 인(P), 인듐(In), 텔루륨(Te), 납(Pb), 갈륨(Ga), 비소(As), 또는 알루미늄(Al) 등의 원소를 포함하는 퀀텀닷 재료를 사용하여도 좋다.

[0434] 도 26에 도시된 표시 장치(700)에서는, 트랜지스터(750) 위에 절연막(730)이 제공되어 있다. 절연막(730)은 도전막(772)의 일부를 덮는다. 또한, 발광 소자(782)는 톱 이미션 구조를 갖는다. 따라서, 도전막(788)은 투광성을 가지며, EL층(786)으로부터 방출되는 광을 투과시킨다. 본 실시형태에서는 톱 이미션 구조를 예시하였지만, 구조는 이에 한정되지 않는다. 예를 들어, 광이 도전막(772) 측으로 방출되는 보텀 이미션 구조, 또는 광이 도전막(772) 측과 도전막(788) 측의 양쪽으로 방출되는 듀얼 이미션 구조를 채용하여도 좋다.

[0435] 착색막(736)은 발광 소자(782)와 중첩되도록 제공되고, 차광막(738)은 절연막(730)과 중첩되도록 리드 배선부(711) 및 소스 드라이버 회로부(704)에 제공된다. 도 23에서와 같이, 착색막(736) 및 차광막(738)은 절연막(734)으로 덮여도 좋다. 발광 소자(782)와 착색막(736) 사이의 공간은 밀봉막(732)으로 충전되어 있다. 표시 장치(700)의 구조는 착색막(736)이 제공된 도 26의 예에 한정되지 않는다. 예를 들어, EL층(786)이 분리 착색에 의하여 형성되는 경우에는 착색막(736)이 없는 구조를 채용하여도 좋다.

[0436] 절연막(730)은, 폴리이미드 수지, 아크릴 수지, 폴리이미드 아마이드 수지, 벤조사이클로뷰텐 수지, 폴리아마이드 수지, 또는 에폭시 수지 등의 내열성 유기 재료를 사용하여 형성할 수 있다. 또한, 이들 재료로부터 형성되는 복수의 절연막을 적층함으로써 절연막(730)을 형성하여도 좋다.

[0437] <4-4. 입출력 장치가 제공된 표시 장치의 구조예>

[0438] 도 25 및 도 26에 도시된 표시 장치(700)에는 입출력 장치를 제공하여도 좋다. 입출력 장치의 예로서는, 터치 패널 등을 들 수 있다.

[0439] 도 27은 도 25에 도시된 표시 장치(700)에 터치 패널(791)이 제공된 구조를 도시한 것이다. 도 28은 도 26에 도시된 표시 장치(700)에 터치 패널(791)이 제공된 구조를 도시한 것이다.

[0440] 도 27은 도 25에 도시된 표시 장치(700)에 터치 패널(791)이 제공된 구조의 단면도이고, 도 28은 도 26에 도시된 표시 장치(700)에 터치 패널(791)이 제공된 구조의 단면도이다.

[0441] 먼저, 도 27 및 도 28에 도시된 터치 패널(791)에 대하여 이하에서 설명한다.

[0442] 도 27 및 도 28에 도시된 터치 패널(791)은 제 2 기판(705)과 착색막(736) 사이에 제공되는, 소위 인셀 터치 패널이다. 터치 패널(791)은 착색막(736)을 형성하기 전에 제 2 기판(705) 측에 형성된다.

[0443] 또한, 터치 패널(791)은 차광막(738), 절연막(792), 전극(793), 전극(794), 절연막(795), 전극(796), 및 절연막(797)을 포함한다. 예를 들어, 손가락 또는 스타일러스 등의 물체가 근접하면, 전극들(793 및 794) 사이의 용량의 변화를 검출할 수 있다.

[0444] 도 27 및 도 28에 도시된 트랜지스터(750)의 상부에는, 전극(793)이 전극(794)과 교차되는 부분을 도시하였다. 절연막(795)에 제공된 개구를 통하여, 전극(794)이 개재되는 2개의 전극(793)에 전극(796)이 전기적으로 접속되어 있다. 또한, 전극(796)이 제공된 영역이 화소부(702)에 제공되는 구조를 예로서 도 27 및 도 28에 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 전극(796)이 제공된 영역을 소스 드라이버 회로부(704)에 제공하여도 좋다.

[0445] 전극(793) 및 전극(794)은 차광막(738)과 중첩되는 영역에 제공된다. 도 27에 도시된 바와 같이, 전극(793)은 액정 소자(775)와 중첩되지 않는 것이 바람직하다. 도 28에 도시된 바와 같이, 전극(793)은 발광 소자(782)와 중첩되지 않는 것이 바람직하다. 바꿔 말하면, 전극(793)은 발광 소자(782) 및 액정 소자(775)와 중첩되는 영역에 개구를 갖는다. 즉, 전극(793)은 메시 형상을 갖는다. 이러한 구조로 함으로써, 전극(793)은 발광 소자(782)로부터 방출되는 광을 차단하지 않거나, 또는 전극(793)은 액정 소자(775)를 투과하는 광을 차단하지 않는다. 따라서, 터치 패널(791)이 제공되더라도 휘도는 저감되기 어렵기 때문에, 시인성이 높고 소비전력이 낮은

표시 장치를 얻을 수 있다. 또한, 전극(794)은 전극(793)과 비슷한 구조를 가질 수 있다.

[0446] 전극(793) 및 전극(794)은 발광 소자(782)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다. 또한, 전극(793) 및 전극(794)은 액정 소자(775)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다.

[0447] 따라서, 가시광의 투과율이 높은 산화물 재료를 사용하는 경우와 비교하여, 전극(793 및 794)의 저항을 저감할 수 있기 때문에, 터치 패널의 센서의 감도를 높일 수 있다.

[0448] 예를 들어, 전극(793, 794, 및 796)에는 도전성 나노와이어를 사용하여도 좋다. 이 나노와이어는 1nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하의 평균 직경을 가져도 좋다. 상기 나노와이어로서는, Ag 나노와이어, Cu 나노와이어, 또는 Al 나노와이어 등의 금속 나노와이어, 또는 카본 나노튜브를 사용할 수 있다. 예를 들어, 전극(793, 794, 및 796) 중 어느 하나 또는 모두에 Ag 나노와이어를 사용하는 경우, 가시광의 투과율을 89% 이상으로 할 수 있고, 시트 저항을 40Ω/sq. 이상 100Ω/sq. 이하로 할 수 있다.

[0449] 도 27 및 도 28 각각에는 인셀 터치 패널의 구조를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 표시 장치(700) 위에 형성되는 터치 패널, 소위 온셀 터치 패널, 또는 표시 장치(700)에 접합되는 터치 패널, 소위 아웃셀 터치 패널을 사용하여도 좋다.

[0450] 이러한 식으로, 본 발명의 일 형태에 따른 표시 장치는 다양한 형태의 터치 패널과 조합될 수 있다.

[0451] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0452] (실시형태 5)

[0453] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치에 대하여 도 29의 (A) 내지 (C)를 참조하여 설명한다.

[0454] <표시 장치의 회로 구성>

[0455] 도 29의 (A)에 도시된 표시 장치는, 표시 소자의 화소를 포함하는 영역(이하, 화소부(502)라고 함), 화소부(502) 외부에 제공되고 화소를 구동시키기 위한 회로를 포함하는 회로부(이하, 이 회로부를 드라이버 회로부(504)라고 함), 소자를 보호하는 기능을 갖는 회로(이하, 이 회로를 보호 회로(506)라고 함), 및 단자부(507)를 포함한다. 또한, 보호 회로(506)를 반드시 제공할 필요는 없다.

[0456] 드라이버 회로부(504)의 일부 또는 전체를, 화소부(502)가 형성되는 기판 위에 형성하면, 부품 수와 단자 수를 줄일 수 있어 바람직하다. 드라이버 회로부(504)의 일부 또는 전체를, 화소부(502)가 형성되는 기판 위에 형성하지 않는 경우, 드라이버 회로부(504)의 일부 또는 전체를 COG 또는 TAB(tape automated bonding)에 의하여 실장할 수 있다.

[0457] 화소부(502)는, *X*행(*X*는 2 이상의 자연수임) *Y*열(*Y*는 2 이상의 자연수임)로 배치된 표시 소자들을 구동시키기 위한 복수의 회로(이하, 이러한 회로를 화소 회로(501)라고 함)를 포함한다. 드라이버 회로부(504)는, 화소를 선택하는 신호(주사 신호)를 공급하기 위한 회로(이하, 이 회로를 게이트 드라이버(504a)라고 함) 및 화소의 표시 소자를 구동시키는 신호(데이터 신호)를 공급하기 위한 회로(이하, 이 회로를 소스 드라이버(504b)라고 함) 등의 구동 회로를 포함한다.

[0458] 게이트 드라이버(504a)는 시프트 레지스터 등을 포함한다. 게이트 드라이버(504a)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호를 받고, 신호를 출력한다. 예를 들어, 게이트 드라이버(504a)는, 스타트 펄스 신호 또는 클럭 신호 등을 받고, 펄스 신호를 출력한다. 게이트 드라이버(504a)는, 주사 신호를 공급받는 배선(이하, 이러한 배선을 주사선(GL_1 내지 GL_*X*)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 복수의 게이트 드라이버(504a)를 제공하여 주사선(GL_1 내지 GL_*X*)을 개별적으로 제어하여도 좋다. 또는, 게이트 드라이버(504a)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 게이트 드라이버(504a)는 다른 신호를 공급할 수 있다.

[0459] 소스 드라이버(504b)는 시프트 레지스터 등을 포함한다. 소스 드라이버(504b)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호뿐만 아니라, 데이터 신호의 바탕이 되는 신호(화상 신호)를 받는다. 소스 드라이버(504b)는, 화소 회로(501)에 기록될, 화상 신호에 기초한 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 스타트 펄스 신호 또는 클럭 신호 등의 입력에 의하여 생성되는 펄스 신호에 따라, 데

이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 데이터 신호를 공급받는 배선(이하, 이러한 배선을 데이터선(DL_1 내지 DL_*Y*)이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(504b)는 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 소스 드라이버(504b)는 다른 신호를 공급할 수 있다.

[0460] 소스 드라이버(504b)는 예를 들어, 복수의 아날로그 스위치 등을 포함한다. 소스 드라이버(504b)는, 복수의 아날로그 스위치를 순차적으로 온으로 함으로써, 화상 신호를 시분할하여 얻어지는 신호를, 데이터 신호로서 출력할 수 있다. 소스 드라이버(504b)는 시프트 레지스터 등을 포함하여도 좋다.

[0461] 주사 신호를 공급받는 복수의 주사선(GL) 중 하나 및 데이터 신호를 공급받는 복수의 데이터선(DL) 중 하나를 통하여, 복수의 화소 회로(501) 각각에, 펄스 신호 및 데이터 신호가 각각 입력된다. 복수의 화소 회로(501) 각각에서의 데이터 신호의 기록 및 유지는, 게이트 드라이버(504a)에 의하여 제어된다. 예를 들어, *m*행 *n*열째(*m*은 *X* 이하의 자연수이고, *n*은 *Y* 이하의 자연수임)의 화소 회로(501)에는, 주사선(GL_*m*)을 통하여 게이트 드라이버(504a)로부터 펄스 신호가 입력되고, 주사선(GL_*m*)의 전위에 따라 데이터선(DL_*n*)을 통하여 소스 드라이버(504b)로부터 데이터 신호가 입력된다.

[0462] 도 29의 (A)에 나타낸 보호 회로(506)는, 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 주사선(GL)에 접속된다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 화소 회로(501) 사이의 데이터선(DL)에 접속된다. 또는, 보호 회로(506)는, 게이트 드라이버(504a)와 단자부(507) 사이의 배선에 접속될 수 있다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 단자부(507) 사이의 배선에 접속될 수 있다. 또한, 단자부(507)는, 외부 회로로부터 표시 장치에 전력, 제어 신호, 및 화상 신호를 입력하기 위한 단자를 갖는 부분을 의미한다.

[0463] 보호 회로(506)는, 이 보호 회로에 접속된 배선에 특정한 범위 외의 전위가 인가되었을 때, 이 보호 회로에 접속된 해당 배선을 다른 배선에 전기적으로 접속시키는 회로이다.

[0464] 도 29의 (A)에 나타낸 바와 같이, 화소부(502) 및 드라이버 회로부(504)에 보호 회로(506)를 제공함으로써, ESD(electrostatic discharge) 등에 의하여 발생되는 과전류에 대한 표시 장치의 내성을 향상시킬 수 있다. 또한, 보호 회로(506)의 구성은 이에 한정되지 않고, 예를 들어 보호 회로(506)는 게이트 드라이버(504a)에 접속되어도 좋고, 또는 보호 회로(506)는 소스 드라이버(504b)에 접속되어도 좋다. 또는, 보호 회로(506)는 단자부(507)에 접속되어도 좋다.

[0465] 도 29의 (A)에 드라이버 회로부(504)가 게이트 드라이버(504a) 및 소스 드라이버(504b)를 포함하는 예를 나타내었지만, 구조는 이에 한정되지 않는다. 예를 들어, 게이트 드라이버(504a)만을 형성하여도 좋고, 소스 드라이버 회로가 형성된 별도로 준비된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막으로 형성된 구동 회로 기판)을 실장하여도 좋다.

[0466] 도 29의 (A)에서의 복수의 화소 회로(501) 각각은 예를 들어, 도 29의 (B)에 도시된 구조를 가질 수 있다.

[0467] 도 29의 (B)의 화소 회로(501)는 액정 소자(570), 트랜지스터(550), 및 용량 소자(560)를 포함한다. 트랜지스터(550)로서는, 상술한 실시형태에서 설명한 트랜지스터를 사용할 수 있다.

[0468] 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위는 화소 회로(501)의 사양에 따라 적절히 설정된다. 액정 소자(570)의 배향 상태는, 기록되는 데이터에 의존한다. 복수의 화소 회로(501) 각각에 포함되는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위를 공급하여도 좋다. 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공급되는 전위는 행마다 달라도 좋다.

[0469] 액정 소자(570)를 포함하는 표시 장치의 구동 방법의 예에는 TN 모드, STN 모드, VA 모드, ASM 모드, OCB 모드, FLC 모드, AFLC 모드, MVA 모드, PVA 모드, IPS 모드, FFS 모드, 및 TBA(transverse bend alignment) 모드가 포함된다. 표시 장치의 구동 방법의 다른 예에는 ECB(electrically controlled birefringence) 모드, PDLC(polymer-dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 및 게스트 호스트 모드가 포함된다. 이에 한정되지 않고, 다양한 액정 소자 및 구동 방법을 사용할 수 있다.

[0470] *m*행 *n*열째 화소 회로(501)에 있어서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은 데이터선(DL_*n*)에 전기적으로 접속되고, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은 주사선(GL_*m*)에 전기적으로 접속된다. 트랜지스터(550)는 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0471] 용량 소자(560)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선(VL)이라고 함)에 전기적으로 접속되고, 용량 소자(560)의 한 쌍의 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽에 전기적으로 접속된다. 전위 공급선(VL)의 전위는, 화소 회로(501)의 사양에 따라 적절히 설정된다. 용량 소자(560)는, 기록된 데이터를 저장하기 위한 저장 용량 소자(storage capacitor)로서 기능한다.

[0472] 예를 들어, 도 29의 (B)의 화소 회로(501)를 포함하는 표시 장치에서는, 도 29의 (A)의 게이트 드라이버(504a)에 의하여 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(550)를 온으로 하고, 데이터 신호를 기록한다.

[0473] 트랜지스터(550)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행함으로써, 화상을 표시할 수 있다.

[0474] 도 29의 (A)의 복수의 화소 회로(501) 각각은, 예를 들어 도 29의 (C)에 도시된 구성을 가질 수 있다.

[0475] 도 29의 (C)에 도시된 화소 회로(501)는, 트랜지스터(552 및 554), 용량 소자(562), 및 발광 소자(572)를 포함한다. 트랜지스터들(552 및 554) 중 한쪽 또는 양쪽으로서, 상술한 실시형태에서 설명한 트랜지스터들 중 임의의 것을 사용할 수 있다.

[0476] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터 신호가 공급되는 배선(이하, 신호선(DL_*n*)이라고 함)에 전기적으로 접속된다. 트랜지스터(552)의 게이트 전극은, 게이트 신호가 공급되는 배선(이하, 주사선(GL_*m*)이라고 함)에 전기적으로 접속된다.

[0477] 트랜지스터(552)는 데이터 신호를 기록할지 여부를 제어하는 기능을 갖는다.

[0478] 용량 소자(562)의 한 쌍의 전극 중 한쪽은 전위가 공급되는 배선(이하, 전위 공급선(VL_a)이라고 함)에 전기적으로 접속되고, 용량 소자(562)의 한 쌍의 전극 중 다른 쪽은 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0479] 용량 소자(562)는, 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.

[0480] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 한쪽은, 전위 공급선(VL_a)에 전기적으로 접속된다. 트랜지스터(554)의 게이트 전극은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0481] 발광 소자(572)의 양극 및 음극 중 한쪽은 전위 공급선(VL_b)에 전기적으로 접속되고, 발광 소자(572)의 양극 및 음극 중 다른 쪽은 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다.

[0482] 발광 소자(572)로서는, 예를 들어 유기 전계 발광 소자(유기 EL 소자라고도 함)를 사용할 수 있다. 또한, 발광 소자(572)는 이에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자이어도 좋다.

[0483] 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에 고전원 전위($V_{DD}$)가 공급되고, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 다른 쪽에 저전원 전위($V_{SS}$)가 공급된다.

[0484] 예를 들어, 도 29의 (C)의 화소 회로(501)를 포함하는 표시 장치에서는, 도 29의 (A)에 도시된 게이트 드라이버(504a)에 의하여 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(552)를 온으로 하고, 데이터 신호를 기록한다.

[0485] 트랜지스터(552)가 오프가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 또한, 트랜지스터(554)의 소스 전극과 드레인 전극 사이에 흐르는 전류량은, 기록된 데이터 신호의 전위에 의하여 제어된다. 발광 소자(572)는 흐르는 전류량에 대응하는 휘도로 광을 방출한다. 이 동작을 행마다 순차적으로 수행함으로써, 화상을 표시할 수 있다.

[0486] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0487] (실시형태 6)

[0488] 도 30은 표시 장치(800)의 구성예를 도시한 블록도이다. 표시 장치(800)는 표시 유닛(810), 터치 센서 유닛(820), 컨트롤러 IC(815), 및 호스트(840)를 포함한다. 표시 장치(800)는 필요에 따라 광 센서(843) 및 개폐 센서(844)를 포함하여도 좋다. 표시 유닛(810)은 화소부(502), 게이트 드라이버(504a), 및 소스 드라이버(504b)를 포함한다.

[0489] <<컨트롤러 IC>>

[0490] 도 30에서, 컨트롤러 IC(815)는 인터페이스(850), 프레임 메모리(851), 디코더(852), 센서 컨트롤러(853), 컨트롤러(854), 클럭 생성 회로(855), 화상 처리부(860), 메모리(870), 타이밍 컨트롤러(873), 레지스터(875), 및 터치 센서 컨트롤러(884)를 포함한다.

[0491] 컨트롤러 IC(815)와 호스트(840) 간의 통신은 인터페이스(850)를 통하여 수행된다. 화상 데이터 및 각종 제어 신호 등이 호스트(840)로부터 컨트롤러 IC(815)로 전송된다. 터치 센서 컨트롤러(884)에 의하여 취득한 터치 위치 등에 관한 정보가 컨트롤러 IC(815)로부터 호스트(840)로 전송된다. 또한, 컨트롤러 IC(815)에 포함되는 회로를 선택할지 여부는 호스트(840)의 규격 및 표시 장치(800)의 사양 등에 따라 적절히 선택된다.

[0492] 프레임 메모리(851)는 컨트롤러 IC(815)에 입력된 화상 데이터를 저장하기 위한 메모리이다. 압축된 화상 데이터가 호스트(840)로부터 전송되는 경우, 프레임 메모리(851)는 압축된 화상 데이터를 저장할 수 있다. 디코더(852)는 압축된 화상 데이터의 압축을 풀기 위한 회로이다. 화상 데이터의 압축을 풀 필요가 없는 경우에는, 디코더(852)에서 처리가 수행되지 않는다. 또는, 디코더(852)를 프레임 메모리(851)와 인터페이스(850) 사이에 제공할 수 있다.

[0493] 화상 처리부(860)는 화상 데이터에 대하여 각종 화상 처리를 수행하는 기능을 갖는다. 예를 들어, 화상 처리부(860)는 감마 보정 회로(861), 디밍(dimming) 회로(862), 및 토닝(toning) 회로(863)를 포함한다.

[0494] 표시 장치(800)의 표시 소자로서, 유기 EL 또는 LED 등 전류가 흐를 때 광을 방출하는 표시 소자가 사용되는 경우, 화상 처리부(860)는 보정 회로(864)를 포함하여도 좋다. 이 경우, 소스 드라이버(504b)는 표시 소자에 흐르는 전류를 검출하기 위한 회로를 포함하는 것이 바람직하다. 보정 회로(864)는 소스 드라이버(504b)로부터 전송되는 신호에 기초하여 표시 소자의 휘도를 조절하는 기능을 갖는다.

[0495] 화상 처리부(860)에서 처리된 화상 데이터는 메모리(870)를 통하여 소스 드라이버(504b)에 출력된다. 메모리(870)는 화상 데이터를 일시적으로 저장하기 위한 메모리이다. 소스 드라이버(504b)는 입력된 화상 데이터를 처리하고, 화소부(502)의 소스선에 화상 데이터를 기록하는 기능을 갖는다. 또한, 소스 드라이버(504b)의 개수는 한정되지 않고, 화소부(502)의 화소를 위하여 필요한 개수의 소스 드라이버(504b)를 제공한다.

[0496] 타이밍 컨트롤러(873)는, 소스 드라이버(504b), 터치 센서 컨트롤러(884), 및 게이트 드라이버(504a)에서 사용되는 타이밍 신호를 생성하는 기능을 갖는다.

[0497] 터치 센서 컨트롤러(884)는 터치 센서 유닛(820)의 구동 회로를 제어하는 기능을 갖는다. 터치 센서 유닛(820)으로부터 판독된 터치 정보를 포함하는 신호는, 터치 센서 컨트롤러(884)에서 처리되고 인터페이스(850)를 통하여 호스트(840)로 전송된다. 호스트(840)는 터치 정보를 반영한 화상 데이터를 생성하고, 이 화상 데이터를 컨트롤러 IC(815)로 전송한다. 또한, 컨트롤러 IC(815)는 터치 정보를 화상 데이터에 반영할 수 있다.

[0498] 클럭 생성 회로(855)는 컨트롤러 IC(815)에서 사용되는 클럭 신호를 생성하는 기능을 갖는다. 컨트롤러(854)는 인터페이스(850)를 통하여 호스트(840)로부터 전송되는 각종 제어 신호를 처리하고, 컨트롤러 IC(815) 내의 각종 제어 회로를 제어하는 기능을 갖는다. 컨트롤러(854)는 컨트롤러 IC(815) 내의 각종 회로로의 전원 공급을 제어하는 기능도 갖는다. 이하, 사용되지 않는 회로로의 전원 공급을 일시적으로 정지하는 것을 파워 게이팅이라고 한다. 또한, 도 30에는 전원 공급선을 도시하지 않았다.

[0499] 레지스터(875)는 컨트롤러 IC(815)의 동작에 사용되는 데이터를 저장한다. 레지스터(875)에 저장되는 데이터에는, 화상 처리부(860)에서 보정 처리를 수행하기 위하여 사용되는 파라미터, 및 타이밍 컨트롤러(873)에서 각종 타이밍 신호의 파형을 생성하기 위하여 사용되는 파라미터 등이 포함된다. 레지스터(875)에는 복수의 레지스터를 포함하는 스캔 체인 레지스터가 제공된다.

[0500] 센서 컨트롤러(853)는 광 센서(843)에 전기적으로 접속된다. 광 센서(843)는 광(845)을 검지하고 검지 신호를 생성한다. 센서 컨트롤러(853)는 검지 신호에 기초하여 제어 신호를 생성한다. 센서 컨트롤러(853)에서 생성되는 제어 신호는 예를 들어, 컨트롤러(854)에 출력된다.

[0501] 광 센서(843) 및 센서 컨트롤러(853)를 사용하여 측정한 광(845)의 밝기에 따라, 화상 처리부(860)는 화소의 휘도를 조정할 수 있다. 바꿔 말하면, 광(845)의 밝기가 어두운 환경에서는, 화소의 휘도를 낮추어 눈부심과 소비전력을 저감할 수 있다. 광(845)의 밝기가 밝은 환경에서는, 화소의 휘도를 높여 시인성이 우수한 표시 품질을 얻을 수 있다. 이 조정은, 사용자가 설정한 휘도에 기초하여 이루어질 수 있다. 여기서는, 상기 조정을 디

밍 또는 디밍 처리라고 할 수 있다. 또한, 이 처리를 수행하는 회로를 디밍 회로라고 한다.

[0502] 광 센서(843) 및 센서 컨트롤러(853)가 광(845)의 색조를 측정하는 기능을 가질 수 있으면, 색조를 보정할 수 있다. 예를 들어, 해 질 녘의 불그스름한 색조의 환경에서는, 표시 장치(800)의 사용자는 색순응 때문에 불그스름한 색조를 백색으로 인식한다. 이 경우, 표시 장치(800)의 표시는 푸르스름한 백색으로 보인다. 그러므로, 표시 장치(800)에서 적색(R)을 강조함으로써 색조를 보정할 수 있다. 여기서는, 상기 조정을 토닝 또는 토닝 처리라고 할 수 있다. 또한, 이 처리를 수행하는 회로를 토닝 회로라고 한다.

[0503] 화상 처리부(860)는 표시 장치(800)의 사양에 따라 RGB-RGBW 변환 회로 등의 다른 처리 회로를 포함할 수 있다. RGB-RGBW 변환 회로는, 적색, 녹색, 및 청색(RGB)의 화상 데이터를 적색, 녹색, 청색, 및 백색(RGBW)의 화상 데이터로 변환하는 기능을 갖는다. 즉, 표시 장치(800)가 RGBW의 4가지 색의 화소를 포함하는 경우, 화상 데이터 내의 백색(W) 성분을 백색(W) 화소를 사용하여 표시함으로써, 소비전력을 저감할 수 있다. 또한, 표시 장치(800)가 RGBY(적색, 녹색, 청색, 및 황색)의 4가지 색의 화소를 포함하는 경우, 예를 들어 RGB-RGBY 변환 회로를 사용할 수 있다.

[0504] <파라미터>

[0505] 감마 보정, 디밍, 또는 토닝 등의 화상 보정 처리는, 입력의 화상 데이터 X에 대하여 출력의 보정 데이터 Y를 생성하는 처리에 상당한다. 화상 처리부(860)가 사용하는 파라미터는, 화상 데이터 X를 보정 데이터 Y로 변환하기 위한 파라미터이다.

[0506] 파라미터의 설정 방식으로서는, 테이블 방식 및 함수 근사 방식이 있다. 도 31의 (A)에서 설명하는 테이블 방식에서는, 화상 데이터 $X_n$에 대한 보정 데이터 $Y_n$을 파라미터로서 테이블에 저장한다. 테이블 방식에서는, 상기 테이블에 대응하는 파라미터를 저장하는 레지스터를 다수 필요로 하지만, 보정을 자유도 높게 수행할 수 있다. 한편, 미리 경험적으로 화상 데이터 X에 대한 보정 데이터 Y를 결정할 수 있는 경우에는, 도 31의 (B)에서 설명하는 바와 같이 함수 근사 방식을 채용하는 것이 효과적이다. 또한, a1, a2, 및 b2 등은 파라미터이다. 여기서는, 기간마다 선형 근사를 수행하는 방식을 나타내었지만, 비선형 함수에 의한 근사를 수행하는 방식을 채용할 수 있다. 함수 근사 방식에서는, 보정이 자유도 낮게 수행되지만, 함수를 정의하는 파라미터를 저장하는 레지스터의 개수를 적게 할 수 있다.

[0507] 타이밍 컨트롤러(873)가 사용하는 파라미터는, 도 31의 (C)에서 설명하는 바와 같이 타이밍 컨트롤러(873)의 생성 신호가 기준 신호에 대하여 "L"(또는 "H")이 되는 타이밍을 나타낸다. 파라미터 Ra(또는 Rb)는, 기준 신호에 대하여 파라미터가 "L"(또는 "H")이 되는 타이밍에 대응하는 클럭 사이클의 수를 나타낸다.

[0508] 보정을 위한 상기 파라미터는 레지스터(875)에 저장될 수 있다. 레지스터(875)에 저장될 수 있는 다른 파라미터에는, 표시 장치(800)의 휘도, 색조, 전력 절약의 설정(표시를 어둡게 하거나, 또는 표시를 오프로 하는 데 걸리는 시간), 및 터치 센서 컨트롤러(884)의 감도 등이 포함된다.

[0509] <파워 게이팅>

[0510] 호스트(840)로부터 전송되는 화상 데이터가 변화되지 않은 경우, 컨트롤러(854)는 컨트롤러 IC(815) 내의 일부 회로의 파워 게이팅을 수행할 수 있다. 구체적으로는, 예를 들어 영역(890) 내의 회로(프레임 메모리(851), 디코더(852), 화상 처리부(860), 메모리(870), 타이밍 컨트롤러(873), 및 레지스터(875))의 동작을 일시적으로 정지시킬 수 있다. 화상 데이터에 변화가 없는 것을 나타내는 제어 신호를 호스트(840)로부터 컨트롤러 IC(815)로 전송하고 컨트롤러(854)에 의하여 검출한 경우에 파워 게이팅을 수행할 수 있다.

[0511] 또는, 화상 데이터가 변화되지 않은 경우에 컨트롤러(854)에 타이머 기능을 통합함으로써, 예를 들어 타이머에 의하여 측정한 시간에 기초하여, 영역(890) 내의 회로로의 전원 공급을 재개하는 타이밍을 결정하여도 좋다.

[0512] 영역(890) 내의 회로의 파워 게이팅에 더하여, 소스 드라이버(504b)의 파워 게이팅을 수행하여도 좋다.

[0513] 또한, 도 30에 도시된 구성에서는, 소스 드라이버(504b)를 컨트롤러 IC(815)에 제공하여도 좋다. 바꿔 말하면, 소스 드라이버(504b) 및 컨트롤러 IC(815)를 같은 칩 상에 형성하여도 좋다.

[0514] 프레임 메모리(851) 및 레지스터(875)의 구체적인 회로 구성예에 대하여 이하에서 설명한다.

[0515] <프레임 메모리(851)>

[0516] 도 32의 (A)는 프레임 메모리(851)의 구성예를 도시한 것이다. 프레임 메모리(851)는 제어부(902), 셀 어레이

(903), 및 주변 회로(908)를 포함한다. 주변 회로(908)는 감지 증폭기 회로(904), 드라이버(905), 메인 증폭기(906), 및 입출력 회로(907)를 포함한다.

[0517] 제어부(902)는 프레임 메모리(851)를 제어하는 기능을 갖는다. 예를 들어, 제어부(902)는 드라이버(905), 메인 증폭기(906), 및 입출력 회로(907)를 제어한다.

[0518] 드라이버(905)는 복수의 배선(WL 및 CSEL)에 전기적으로 접속된다. 드라이버(905)는 복수의 배선(WL 및 CSEL)에 출력하는 신호를 생성한다.

[0519] 메모리 셀 어레이(903)는 복수의 메모리 셀(909)을 포함한다. 메모리 셀(909)은 배선(WL, LBL(또는 LBLB), 및 BGL)에 전기적으로 접속된다. 배선(WL)은 워드선이다. 배선(LBL 및 LBLB)은 로컬 비트선이다. 도 32의 (A)의 예에서는, 셀 어레이(903)의 구성에 폴디드 비트선 방식(folded-bit-line method)을 채용하지만, 오픈 비트선 방식(open-bit-line)을 채용할 수도 있다.

[0520] 도 32의 (B)는 메모리 셀(909)의 구성예를 도시한 것이다. 메모리 셀(909)은 트랜지스터(NW1) 및 용량 소자(CS1)를 포함한다. 메모리 셀(909)은 DRAM(dynamic random access memory)의 메모리 셀과 비슷한 회로 구성을 갖는다. 이 예에서의 트랜지스터(NW1)는 백 게이트를 갖는 트랜지스터이다. 트랜지스터(NW1)의 백 게이트는 배선(BGL)에 전기적으로 접속된다. 배선(BGL)에는 전압($V_{bg_w1}$)이 입력된다.

[0521] 트랜지스터(NW1)는, 채널이 형성되는 반도체층에 금속 산화물의 일종인 산화물 반도체를 사용한 트랜지스터(OS 트랜지스터이라고도 함)이다. OS 트랜지스터의 오프 상태 전류는 매우 낮기 때문에, OS 트랜지스터를 메모리 셀(909)에 사용함으로써 용량 소자(CS1)로부터 전하가 누설되는 것을 억제할 수 있고, 따라서 프레임 메모리(851)의 리프레시 동작의 빈도를 줄일 수 있다. 전원 공급이 정지되더라도, 프레임 메모리(851)는 화상 데이터를 오랫동안 유지할 수 있다. 또한, 전압($V_{bg_w1}$)을 음의 전압으로 함으로써, 트랜지스터(NW1)의 문턱 전압을 양의 전위 측으로 변동시킬 수 있기 때문에, 메모리 셀(909)의 유지 시간을 길게 할 수 있다.

[0522] 여기서, 오프 상태 전류란 오프 상태에서 트랜지스터의 소스와 드레인 사이를 흐르는 전류를 말한다. n채널 트랜지스터의 경우, 예를 들어, 트랜지스터의 문턱 전압이 약 0V 내지 2V이면, 소스에 대한 게이트의 전압이 음일 때 소스와 드레인 사이를 흐르는 전류를 오프 상태 전류라고 할 수 있다. 오프 상태 전류가 매우 낮다는 것은, 예를 들어, 채널 폭 1μm당 오프 상태 전류가 100zA(z는 젭토를 나타내고, $10^{-21}$의 인수(factor)를 나타냄) 이하임을 의미한다. 오프 상태 전류는 가능한 한 낮은 것이 바람직하기 때문에, 이 정규화된 오프 상태 전류는 10zA/μm 이하 또는 1zA/μm 이하인 것이 바람직하고, 10yA/μm(y는 욕토를 나타내고, $10^{-24}$의 인수를 나타냄) 이하인 것이 더 바람직하다.

[0523] 셀 어레이(903)에 포함되는 복수의 메모리 셀(909)에서 트랜지스터(NW1)는 OS 트랜지스터이기 때문에, 다른 회로의 트랜지스터로서는 예를 들어, 실리콘 웨이퍼 위에 형성되는 Si 트랜지스터를 사용할 수 있다. 따라서, 셀 어레이(903)를 감지 증폭기 회로(904) 위에 적층할 수 있다. 그러므로, 프레임 메모리(851)의 회로 면적을 축소할 수 있어, 컨트롤러 IC(815)가 소형화된다.

[0524] 셀 어레이(903)는 감지 증폭기 회로(904) 위에 적층된다. 감지 증폭기 회로(904)는 복수의 감지 증폭기(SA)를 포함한다. 감지 증폭기(SA)는 인접한 배선(LBL 및 LBLB)(한 쌍의 로컬 비트선), 배선(GBL 및 GBLB)(한 쌍의 글로벌 비트선), 및 복수의 배선(CSEL)에 전기적으로 접속된다. 감지 증폭기(SA)는 배선들(LBL 및 LBL)의 전위차를 증폭하는 기능을 갖는다.

[0525] 감지 증폭기 회로(904)에서는, 4개의 배선(LBL)에 하나의 배선(GBL)이 제공되고, 4개의 배선(LBLB)에 하나의 배선(GBLB)이 제공된다. 그러나, 감지 증폭기 회로(904)의 구성은 도 32의 (A)의 구성예에 한정되지 않는다.

[0526] 메인 증폭기(906)는 감지 증폭기 회로(904) 및 입출력 회로(907)에 접속된다. 메인 증폭기(906)는 배선들(GBL 및 GBLB)의 전위차를 증폭하는 기능을 갖는다. 메인 증폭기(906)는 반드시 제공될 필요는 없다.

[0527] 입출력 회로(907)는, 기록 데이터에 대응하는 전위를 배선(GBL 및 GBLB) 또는 메인 증폭기(906)에 출력하는 기능과, 배선(GBL 및 GBLB)의 전위 또는 메인 증폭기(906)의 출력 전위를 판독 데이터로서 외부에 출력하는 기능을 갖는다. 배선(CSEL)의 신호를 사용하여, 데이터를 판독하는 감지 증폭기(SA) 및 데이터를 기록하는 감지 증폭기(SA)를 선택할 수 있다. 따라서, 입출력 회로(907)에 멀티플렉서 등의 선택 회로를 제공할 필요가 없다. 따라서, 입출력 회로(907)는 회로 구성이 단순해지고 차지하는 면적이 작아질 수 있다.

[0528] <레지스터(875)>

[0529] 도 33은 레지스터(875)의 구성예를 도시한 블록도이다. 레지스터(875)는 스캔 체인 레지스터부(875A) 및 레지스터부(875B)를 포함한다. 스캔 체인 레지스터부(875A)는 복수의 레지스터(930)를 포함한다. 스캔 체인 레지스터는 복수의 레지스터(930)에 의하여 형성된다. 레지스터부(875B)는 복수의 레지스터(931)를 포함한다.

[0530] 레지스터(930)는 전원 공급이 정지되어도 데이터를 잃지 않는 비휘발성 레지스터이다. 여기서는, 비휘발화하기 위하여, 레지스터(930)에는 OS 트랜지스터를 포함하는 유지 회로가 제공된다.

[0531] 다른 레지스터(931)는 휘발성 레지스터이다. 레지스터(931)의 회로 구성에는 특별한 제한은 없고, 데이터를 저장할 수 있기만 하면 래치 회로 또는 플립플롭 회로 등을 사용한다. 화상 처리부(860) 및 타이밍 컨트롤러(873)는 레지스터부(875B)에 접속되고, 대응하는 레지스터(931)로부터 데이터를 취득한다. 또는, 화상 처리부(860) 및 타이밍 컨트롤러(873)의 처리 내용은 레지스터부(875B)로부터 공급되는 데이터에 의하여 제어된다.

[0532] 레지스터(875)에 저장되어 있는 데이터를 갱신하기 위해서는, 먼저 스캔 체인 레지스터부(875A)의 데이터를 변경한다. 스캔 체인 레지스터부(875A)의 레지스터(930)의 데이터를 재기록한 후, 상기 데이터를 레지스터부(875B)의 레지스터(931)에 동시에 로드한다.

[0533] 이에 의하여, 화상 처리부(860) 및 타이밍 컨트롤러(873) 등은, 총체적으로 갱신된 데이터를 사용하여 각종 처리를 수행할 수 있다. 데이터의 갱신에서 동시성이 유지될 수 있기 때문에, 컨트롤러 IC(815)의 동작이 안정될 수 있다. 스캔 체인 레지스터부(875A) 및 레지스터부(875B)를 제공함으로써, 화상 처리부(860) 및 타이밍 컨트롤러(873)의 동작 중에도 스캔 체인 레지스터부(875A)의 데이터를 갱신할 수 있다.

[0534] 컨트롤러 IC(815)의 파워 게이팅 시에는, 레지스터(930)의 유지 회로에 데이터를 저장(세이브)한 후에 전원 공급을 정지한다. 전원이 회복된 후, 레지스터(930)의 데이터를 레지스터(931)에 복귀(로드)하고 나서 통상 동작이 재개된다. 또한, 레지스터(930)에 저장되는 데이터와 레지스터(931)에 저장되는 데이터가 서로 일치하지 않는 경우에는, 레지스터(931)의 데이터를 레지스터(930)에 세이브한 다음, 이 데이터를 레지스터(930)의 유지 회로에 저장하는 것이 바람직하다. 예를 들어, 스캔 체인 레지스터부(875A)에 갱신 데이터를 삽입하는 동안에는 레지스터(930)의 데이터와 레지스터(931)의 데이터는 서로 일치하지 않는다.

[0535] 도 34는 레지스터(930 및 931)의 회로 구성예를 도시한 것이다. 도 34에는, 스캔 체인 레지스터부(875A)의 2개의 레지스터(930) 및 대응하는 2개의 레지스터(931)를 도시하였다. 레지스터(930)에는 신호 Scan In이 입력되고, 레지스터(930)는 신호 Scan Out를 출력한다.

[0536] 레지스터(930)는 각각 유지 회로(947), 실렉터(948), 및 플립플롭 회로(949)를 포함한다. 실렉터(948) 및 플립플롭 회로(949)는 스캔 플립플롭 회로를 형성한다. 실렉터(948)에는 신호 SAVE1이 입력된다.

[0537] 유지 회로(947)에는 신호 SAVE2 및 신호 LOAD2가 입력된다. 유지 회로(947)는 트랜지스터(T1), 트랜지스터(T2), 트랜지스터(T3), 트랜지스터(T4), 트랜지스터(T5), 트랜지스터(T6), 용량 소자(C4), 및 용량 소자(C6)를 포함한다. 트랜지스터(T1) 및 트랜지스터(T2)는 OS 트랜지스터이다. 트랜지스터(T1) 및 트랜지스터(T2)는 각각, 메모리 셀(909)의 트랜지스터(NW1)(도 32의 (B) 참조)와 같이, 백 게이트를 갖는 OS 트랜지스터이어도 좋다.

[0538] 트랜지스터(T1), 트랜지스터(T3), 트랜지스터(T4), 및 용량 소자(C4)에 의하여 3트랜지스터형 게인 셀이 형성된다. 마찬가지로, 트랜지스터(T2), 트랜지스터(T5), 트랜지스터(T6), 및 용량 소자(C6)에 의하여 3트랜지스터형 게인 셀이 형성된다. 2개의 게인 셀은, 플립플롭 회로(949)에 유지되는 상보 데이터를 저장한다. 트랜지스터(T1) 및 트랜지스터(T2)는 OS 트랜지스터이기 때문에, 전원 공급이 정지되더라도 유지 회로(947)는 데이터를 오랫동안 유지할 수 있다. 레지스터(930)에서, 트랜지스터(T1) 및 트랜지스터(T2) 외의 트랜지스터는 Si를 사용하여 형성될 수 있다.

[0539] 유지 회로(947)는 플립플롭 회로(949)에 유지되는 상보 데이터를 신호 SAVE2에 응하여 저장하고, 유지되는 데이터를 신호 LOAD2에 응하여 플립플롭 회로(949)에 로드한다.

[0540] 실렉터(948)의 출력 단자는 플립플롭 회로(949)의 입력 단자에 전기적으로 접속되고, 레지스터(931)의 입력 단자는 데이터 출력 단자에 전기적으로 접속된다. 플립플롭 회로(949)는 인버터(950), 인버터(951), 인버터(952), 인버터(953), 인버터(954), 인버터(955), 아날로그 스위치(957), 및 아날로그 스위치(958)를 포함한다. 아날로그 스위치(957) 및 아날로그 스위치(958) 각각의 온/오프 상태는 스캔 클럭 신호에 의하여 제어된다. 플

립플롭 회로(949)는 도 34에서의 회로 구성에 한정되지 않고, 다양한 플립플롭 회로(949)를 채용할 수 있다.

[0541] 실렉터(948)의 2개의 입력 단자들 중 한쪽에는 레지스터(931)의 출력 단자가 전기적으로 접속되고, 실렉터(948)의 상기 입력 단자들 중 다른 쪽에는 전단(previous stage)의 플립플롭 회로(949)의 출력 단자가 전기적으로 접속된다. 또한, 스캔 체인 레지스터부(875A)의 전단의 실렉터(948)의 입력 단자에는, 레지스터(875)의 외부로부터 데이터가 입력된다.

[0542] 레지스터(931)는 인버터(961), 인버터(962), 인버터(963), 클럭드 인버터(964), 아날로그 스위치(965), 및 버퍼(966)를 포함한다. 레지스터(931)는 신호 LOAD1에 기초하여 플립플롭 회로(949)의 데이터를 로드한다. 레지스터(931)의 트랜지스터는 Si 트랜지스터를 사용하여 형성될 수 있다.

[0543] <<동작예>>

[0544] 출하 전, 표시 장치(800)를 포함하는 전자 기기의 기동 시, 및 통상 동작 시의, 표시 장치(800)의 컨트롤러 IC(815) 및 레지스터(875)의 동작예에 대하여 따로따로 설명한다.

[0545] <출하 전>

[0546] 출하 전에는, 표시 장치(800)의 사양 등에 관련된 파라미터를 레지스터(875)에 저장한다. 이들 파라미터에는 예를 들어, 화소 수, 터치 센서의 개수, 및 타이밍 컨트롤러(873)에서 각종 타이밍 신호의 파형을 생성하는 데 사용되는 파라미터가 포함된다. 화상 처리부(860)가 보정 회로(864)를 포함하는 경우, 이 보정 데이터도 파라미터로서 레지스터(875)에 저장된다. 전용 ROM을 제공하고, 이들 파라미터를 레지스터(875) 이외의 ROM에 저장하여도 좋다.

[0547] <기동 시>

[0548] 표시 장치(800)를 포함하는 전자 기기의 기동 시에는, 호스트(840)로부터 전송되는, 사용자 등에 의하여 설정되는 파라미터를 레지스터(875)에 저장한다. 이들 파라미터에는 예를 들어, 표시의 휘도 및 색조, 터치 센서의 감도, 전력 절약의 설정(표시를 어둡게 하거나, 또는 표시를 오프로 하는 데 걸리는 시간), 및 감마 보정의 커브 또는 테이블이 포함된다. 또한, 레지스터(875)에 상기 파라미터를 저장할 때, 스캔 클럭 신호 및 이 스캔 클럭 신호와 동기하여 상기 파라미터에 상당하는 데이터가 컨트롤러(854)로부터 레지스터(875)로 전송된다.

[0549] <통상 동작>

[0550] 통상 동작은, 동영상 등을 표시하는 상태, 정지 화상을 표시하면서 IDS 구동을 수행할 수 있는 상태, 및 화상을 표시하지 않는 상태 등으로 분류될 수 있다. 동영상 등을 표시하는 상태에서는 화상 처리부(860) 및 타이밍 컨트롤러(873) 등이 동작하고 있지만, 스캔 체인 레지스터부(875A)에서의 레지스터(875)의 데이터만이 변경되기 때문에, 화상 처리부(860) 등은 영향을 받지 않는다. 스캔 체인 레지스터부(875A)의 데이터가 변경된 후, 스캔 체인 레지스터부(875A)의 데이터를 레지스터부(875B)에 동시에 로드함으로써, 레지스터(875)의 데이터 변경이 완료된다. 화상 처리부(860) 등의 동작은, 상기 데이터에 대응한 동작으로 전환된다.

[0551] 정지 화상을 표시하면서 IDS 구동을 수행할 수 있는 상태에서는, 영역(890) 내의 다른 회로에서와 같이 레지스터(875)의 파워 게이팅을 수행할 수 있다. 이 경우, 스캔 체인 레지스터부(875A)에 포함되는 레지스터(930) 내에서는, 파워 게이팅 전에, 플립플롭 회로(949)에 유지되는 상보 데이터를 신호 SAVE2에 응하여 유지 회로(947)에 저장한다.

[0552] 파워 게이팅이 정지되기 전에, 유지 회로(947)에 유지되는 데이터를 신호 LOAD2에 응하여 플립플롭 회로(949)에 로드하고, 플립플롭 회로(949)의 데이터를 신호 LOAD1에 응하여 레지스터(931)에 로드한다. 이러한 식으로, 파워 게이팅 전과 같은 상태에서, 레지스터(875)의 데이터가 유효하게 된다. 또한, 레지스터(875)가 파워 게이팅의 상태에 있더라도, 호스트(840)에 의하여 파라미터의 변경이 요구된 경우에는, 파워 게이팅을 정지함으로써 레지스터(875)의 파라미터를 변경할 수 있다.

[0553] 화상을 표시하지 않는 상태에서는, 예를 들어 영역(890) 내의 회로(레지스터(875)를 포함함)의 파워 게이팅을 수행할 수 있다. 이 경우, 호스트(840)의 동작이 정지될 수도 있다. 파워 게이팅이 정지된 경우, 프레임 메모리(851) 및 레지스터(875)는 비휘발성이기 때문에, 호스트(840)의 동작의 재개를 기다리지 않고 파워 게이팅 전의 상태의 화상(정지 화상)을 표시할 수 있다.

[0554] 예를 들어, 폴더블 정보 단말의 표시부에 표시 장치(800)를 채용하는 경우, 개폐 센서(844)로부터의 신호에 의하여, 정보 단말이 접히고 표시 장치(800)의 표시면이 사용되지 않는 것이 검출되면, 영역(890) 내의 회로의 파

워 게이팅에 더하여, 센서 컨트롤러(853) 및 터치 센서 컨트롤러(884) 등의 파워 게이팅을 수행할 수 있다.

[0555] 정보 단말이 접혔을 때, 호스트(840)의 규격에 따라서는 호스트(840)의 동작이 정지될 수 있다. 호스트(840)의 동작이 정지되는 동안에 정보 단말이 펼쳐지더라도, 프레임 메모리(851) 및 레지스터(875)는 비휘발성이므로, 호스트(840)로부터 화상 데이터 및 각종 제어 신호 등이 전송되기 전에 프레임 메모리(851) 내의 화상 데이터를 표시할 수 있다.

[0556] 상술한 바와 같이 레지스터(875)가 스캔 체인 레지스터부(875A) 및 레지스터부(875B)를 포함하고 스캔 체인 레지스터부(875A)의 데이터를 변경하면, 화상 처리부(860) 및 타이밍 컨트롤러(873) 등에 영향을 미치지 않고 데이터를 원활하게 변경할 수 있다. 스캔 체인 레지스터부(875A)의 각 레지스터(930)는 유지 회로(947)를 포함하므로, 파워 게이팅을 원활하게 시작하고 정지할 수 있다.

[0557] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0558] (실시형태 7)

[0559] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치를 각각 포함하는 표시 모듈 및 전자 기기에 대하여 도 35, 도 36의 (A) 내지 (E), 및 도 37의 (A) 내지 (G)를 참조하여 설명한다.

[0560] <7-1. 표시 모듈>

[0561] 도 35는 광학 터치 센서를 포함하는 표시 모듈(7000)의 단면 개략도이다. 도 35에 도시된 표시 모듈(7000)에서는, 상부 커버(7001)와 하부 커버(7002) 사이에, FPC와 접속된 표시 패널(7006), 백라이트(미도시), 프레임(7009), 인쇄 회로 기판(7010), 및 배터리(7011)가 제공된다.

[0562] 본 발명의 일 형태에 따른 표시 장치는 예를 들어, 표시 패널(7006)에 사용할 수 있다.

[0563] 상부 커버(7001) 및 하부 커버(7002)의 형상 및 크기는, 표시 패널(7006)의 크기에 따라 적절히 변경될 수 있다.

[0564] 도시하지 않았지만, 백라이트는 광원을 포함한다. 또한, 광원은 백라이트 위에 제공될 수 있지만, 그 대신에 백라이트의 단부에 광원을 제공하고, 광 확산판도 포함하는 구조를 채용할 수 있다. 또한, 유기 EL 소자 등의 자기 발광의 발광 소자를 사용하는 경우 또는 반사형 패널 등을 채용하는 경우, 백라이트를 제공할 필요는 없다.

[0565] 프레임(7009)은 표시 패널(7006)을 보호하고, 또한 인쇄 회로 기판(7010)의 동작에 의하여 발생되는 전자기파를 차단하기 위한 전자기 실드로서 기능한다. 프레임(7009)은 방열판(radiator plate)으로서 기능하여도 좋다.

[0566] 인쇄 회로 기판(7010)에는 전원 회로와, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 별도로 제공된 배터리(7011)를 사용한 전원을 사용하여도 좋다. 배터리(7011)는 상용 전원을 사용하는 경우에는 생략할 수 있다.

[0567] 표시 모듈(7000)에, 편광판, 위상차판, 또는 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.

[0568] 표시 모듈(7000)은, 인쇄 회로 기판(7010)에 제공된 발광부(7015) 및 수광부(7016)를 포함한다. 상부 커버(7001) 및 하부 커버(7002)로 둘러싸인 영역에 한 쌍의 도광부(도광부(7017a) 및 도광부(7017b))가 제공된다.

[0569] 예를 들어, 상부 커버(7001) 및 하부 커버(7002)에는 플라스틱 등을 사용할 수 있다. 상부 커버(7001) 및 하부 커버(7002)는 각각 얇게(예를 들어, 0.5㎜ 이상 5㎜ 이하) 할 수 있다. 이 경우, 표시 모듈(7000)을 매우 가볍게 할 수 있다. 또한, 적은 양의 재료로 상부 커버(7001) 및 하부 커버(7002)를 제작할 수 있기 때문에, 제작 비용을 삭감할 수 있다.

[0570] 표시 패널(7006)은, 프레임(7009)을 개재하여 인쇄 회로 기판(7010) 및 배터리(7011)와 중첩된다. 표시 패널(7006) 및 프레임(7009)은 도광부(7017a) 및 도광부(7017b)에 고정되어 있다.

[0571] 발광부(7015)로부터 방출된 광(7018)은, 도광부(7017a)를 통하여 표시 패널(7006) 위를 이동하고, 도광부(7017b)를 통하여 수광부(7016)에 도달한다. 예를 들어, 손가락 또는 스타일러스 등의 검지 대상에 의한 광(7018)의 차단을, 터치 동작으로서 검출할 수 있다.

[0572] 복수의 발광부(7015)는 예를 들어, 표시 패널(7006)의 인접한 2변을 따라 제공된다. 복수의 수광부(7016)는 발

광부(7015)와 대향하도록 제공된다. 따라서, 터치 동작의 위치에 관한 정보를 얻을 수 있다.

[0573] 발광부(7015)로서는, LED 소자 등의 광원을 사용할 수 있다. 발광부(7015)로서는, 사용자가 시각적으로 인식하지 않고, 사용자에게 무해한 적외선을 방출하는 광원을 사용하는 것이 특히 바람직하다.

[0574] 수광부(7016)로서는, 발광부(7015)에 의하여 방출되는 광을 받고 전기 신호로 변환하는 광전 소자를 사용할 수 있다. 적외선을 받을 수 있는 포토다이오드를 바람직하게 사용할 수 있다.

[0575] 도광부(7017a 및 7017b)에는, 적어도 광(7018)을 투과시키는 부재를 사용할 수 있다. 도광부(7017a 및 7017b)를 사용함으로써, 발광부(7015) 및 수광부(7016)를 표시 패널(7006) 아래에 배치할 수 있고, 수광부(7016)에 도달한 외광으로 인한 터치 센서의 오동작을 방지할 수 있다. 가시광을 흡수하고 적외선을 투과시키는 수지를 사용하는 것이 특히 바람직하다. 이는 터치 센서의 오동작을 방지하는 데 더 효과적이다.

[0576] 도 35에는 광학 터치 센서를 포함하는 표시 모듈을 도시하였지만, 표시 패널(7006)과 중첩되도록 저항 터치 패널 또는 정전 용량 터치 패널을 적절히 제공하여도 좋다. 또는, 표시 패널(7006)의 대향 기판(밀봉 기판)이 터치 패널 기능을 가질 수 있다. 또는, 표시 패널(7006)의 각 화소에 광 센서를 제공하여 광학 터치 패널을 형성하여도 좋다.

[0577] <7-2. 전자 기기 1>

[0578] 다음으로, 도 36의 (A) 내지 (E)에 전자 기기의 예를 도시하였다.

[0579] 도 36의 (A)는 파인더(8100)가 장착된 카메라(8000)의 외관도이다.

[0580] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004) 등을 포함한다. 또한, 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착된다.

[0581] 여기서 카메라(8000)의 렌즈(8006)는 교환을 위하여 하우징(8001)에서 떼어낼 수 있지만 렌즈(8006)는 하우징(8001)에 포함되어도 좋다.

[0582] 셔터 버튼(8004)을 눌러 카메라(8000)로 촬상할 수 있다. 또한, 터치 패널로서 기능하는 표시부(8002)를 터치하여 촬상할 수 있다.

[0583] 카메라(8000)의 하우징(8001)은 전극을 포함하는 마운트를 포함하기 때문에, 파인더(8100) 또는 스트로보스코프 등을 하우징(8001)에 접속시킬 수 있다.

[0584] 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103) 등을 포함한다.

[0585] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트를 포함하기 때문에, 파인더(8100)를 카메라(8000)에 접속시킬 수 있다. 이 마운트는 전극을 포함하고, 전극을 통하여 카메라(8000)로부터 수신한 화상 등을 표시부(8102)에 표시할 수 있다.

[0586] 버튼(8103)은 전원 버튼으로서 기능한다. 버튼(8103)을 사용하여 표시부(8102)를 온 및 오프로 할 수 있다.

[0587] 본 발명의 일 형태에 따른 표시 장치를 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 사용할 수 있다.

[0588] 도 36의 (A)에서 카메라(8000)와 파인더(8100)는 분리되어 있고 탈착 가능한 전자 기기이지만, 카메라(8000)의 하우징(8001)에는 표시 장치를 갖는 파인더가 포함되어도 좋다.

[0589] 도 36의 (B)는 헤드 마운트 디스플레이(8200)의 외관도이다.

[0590] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 포함한다. 장착부(8201)는 배터리(8206)를 포함한다.

[0591] 케이블(8205)을 통하여 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 포함하여 화상 데이터 등의 영상 데이터를 수신하고 그것을 표시부(8204)에 표시한다. 본체(8203)의 카메라에 의하여 사용자의 눈알 및 눈꺼풀의 움직임을 파악한 다음, 그 파악한 데이터를 사용하여 사용자의 시점의 좌표를 산출함으로써, 사용자의 눈을 입력 수단으로서 이용한다.

[0592] 장착부(8201)는 사용자와 접촉하도록 복수의 전극을 포함하여도 좋다. 본체(8203)는 사용자의 눈알의 움직임에 따라 전극을 흐르는 전류를 검지함으로써 사용자의 눈의 방향을 인식하도록 구성되어도 좋다. 본체(8203)는 상

기 전극을 흐르는 전류를 검지함으로써 사용자의 맥박을 모니터하도록 구성되어도 좋다. 장착부(8201)는 사용자의 생체 정보를 표시부(8204)에 표시할 수 있도록, 온도 센서, 압력 센서, 또는 가속도 센서 등의 센서를 포함하여도 좋다. 본체(8203)는 사용자의 머리 등의 움직임을 검지하여 사용자의 머리 등의 움직임에 맞추어 표시부(8204)에 표시하는 영상을 바꾸도록 구성되어도 좋다.

[0593] 본 발명의 일 형태에 따른 표시 장치를 표시부(8204)에 사용할 수 있다.

[0594] 도 36의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관도이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 밴드 등의 고정구(8304), 및 한 쌍의 렌즈(8305)를 포함한다.

[0595] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 표시부(8302)는 휘어져 있는 것이 적합하다. 표시부(8302)가 휘어져 있으면, 사용자는 화상에 대한 높은 현실감을 느낄 수 있다. 본 실시형태에서 예로서 설명한 구조는 하나의 표시부(8302)를 갖지만, 제공되는 표시부(8302)의 개수는 하나에 한정되지 않는다. 예를 들어, 2개의 표시부(8302)를 제공하여도 좋고, 이 경우 하나의 표시부가 사용자의 한쪽 눈에 대응하도록 제공되어, 시차(視差)를 사용한 입체적인 표시 등이 가능해진다.

[0596] 본 발명의 일 형태에 따른 표시 장치를 표시부(8302)에 사용할 수 있다. 본 발명의 일 형태에 따른 표시 장치는 해상도가 매우 높으므로, 도 36의 (E)에 도시된 바와 같이, 렌즈(8305)를 사용하여 화상을 확대하더라도, 사용자는 화소를 인식하지 않아, 더 현실적인 화상을 표시할 수 있다.

[0597] <7-3. 전자 기기 2>

[0598] 다음으로, 도 37의 (A) 내지 (G)는 도 36의 (A) 내지 (E)에 도시된 것과 다른 전자 기기의 예를 도시한 것이다.

[0599] 도 37의 (A) 내지 (G)에 도시된 전자 기기는 각각 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전 수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 및 마이크로폰(9008) 등을 포함할 수 있다.

[0600] 도 37의 (A) 내지 (G)에 도시된 전자 기기는 다양한 기능, 예를 들어 다양한 정보(정지 화상, 동영상, 및 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능에 의하여 다양한 컴퓨터 네트워크에 접속되는 기능, 무선 통신 기능에 의하여 다양한 데이터를 송수신하는 기능, 및 기억 매체에 저장된 프로그램 또는 데이터를 판독하고 이 프로그램 또는 데이터를 표시부에 표시하는 기능을 갖는다. 또한, 도 37의 (A) 내지 (G)에 도시된 전자 기기의 기능은 이에 한정되지 않고, 전자 기기는 다양한 기능을 가질 수 있다. 도 37의 (A) 내지 (G)에는 도시하지 않았지만, 전자 기기들은 각각 복수의 표시부를 가져도 좋다. 전자 기기들의 각각은 카메라 등을 가져도 좋고, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 기억 매체(외부 기억 매체 또는 카메라에 포함되는 기억 매체)에 저장하는 기능, 및 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.

[0601] 다음으로, 상기 전자 기기들 중 임의의 것을 포함하는 방송 시스템에 대하여 설명한다. 특히, 여기서는 방송 신호를 전송하는 시스템에 대하여 설명한다.

[0602] <7-4. 방송 시스템>

[0603] 도 38은 방송 시스템의 구조예를 모식적으로 도시한 블록도이다. 방송 시스템(1500)은 카메라(1510), 송신기(1511), 및 전자 기기 시스템(1501)을 포함한다. 전자 기기 시스템(1501)은 수신기(1512) 및 표시 장치(1513)를 포함한다. 카메라(1510)는 이미지 센서(1520) 및 이미지 프로세서(1521)를 포함한다. 송신기(1511)는 인코더(1522) 및 변조기(1523)를 포함한다.

[0604] 수신기(1512) 및 표시 장치(1513)는 전자 기기 시스템(1501)에 포함되는 안테나, 복조기, 디코더, 논리 회로, 이미지 프로세서, 및 디스플레이 유닛으로 구성된다. 구체적으로는, 예를 들어 수신기(1512)는 안테나, 복조기, 디코더, 및 논리 회로를 포함하고, 표시 장치(1513)는 이미지 프로세서 및 디스플레이 유닛을 포함한다. 디코더 및 논리 회로는 수신기(1512)가 아니라 표시 장치(1513)에 포함되어도 좋다.

[0605] 카메라(1510)가 8K 영상을 촬영할 수 있는 경우, 이미지 센서(1520)는 8K 해상도의 컬러 화상을 촬영하기에 충분한 개수의 화소를 갖는다. 예를 들어, 하나의 화소에 하나의 적색(R) 부화소, 2개의 녹색(G) 부화소, 및 하

나의 청색(B) 부화소가 포함되는 경우, 8K 카메라의 이미지 센서(1520)에는 적어도 7680×4320×4개[R, G+G, B]의 화소가 필요하고, 4K 카메라의 이미지 센서(1520)에는 적어도 3840×2160×4개의 화소가 필요하고, 2K 카메라의 이미지 센서(1520)에는 적어도 1920×1080×4개의 화소가 필요하다.

[0606] 이미지 센서(1520)는 미가공의 Raw 데이터(1540)를 생성한다. 이미지 프로세서(1521)는, Raw 데이터(1540)에 화상 처리(노이즈 제거 또는 보간 처리 등)를 수행하고, 영상 데이터(1541)를 생성한다. 영상 데이터(1541)는 송신기(1511)에 출력된다.

[0607] 송신기(1511)는 영상 데이터(1541)를 처리하고, 방송 대역에 맞는 방송 신호(방송파)(1543)를 생성한다. 인코더(1522)는 영상 데이터(1541)를 처리하고 부호화 데이터(1542)를 생성한다. 인코더(1522)는 영상 데이터(1541)의 부호화, 영상 데이터(1541)에 대한 방송 제어용 데이터(예를 들어, 인증 데이터)의 부가, 암호화, 또는 스크램블링(스펙트럼 확산을 위한 데이터의 재배열) 등의 처리를 수행한다.

[0608] 변조기(1523)는 부호화 데이터(1542)에 대하여 IQ 변조(직교 진폭 변조)를 수행함으로써 방송 신호(1543)를 생성하고 출력한다. 방송 신호(1543)는 I(동일 위상) 성분과 Q(직교 위상) 성분에 대한 데이터를 포함한 복합 신호이다. TV 방송국은 영상 데이터(1541)의 취득 및 방송 신호(1543)의 공급을 맡는다.

[0609] 전자 기기 시스템(1501)에 포함되는 수신기(1512)는 방송 신호(1543)를 수신한다.

[0610] 도 39에는 다른 전자 기기 시스템을 포함하는 방송 시스템(1500A)을 도시하였다.

[0611] 방송 시스템(1500A)은 카메라(1510), 송신기(1511), 전자 기기 시스템(1501A), 및 화상 생성 장치(1530)를 포함한다. 전자 기기 시스템(1501A)은 수신기(1512) 및 표시 장치(1513)를 포함한다. 카메라(1510)는 이미지 센서(1520) 및 이미지 프로세서(1521)를 포함한다. 송신기(1511)는 인코더(1522A), 인코더(1522B), 및 변조기(1523)를 포함한다.

[0612] 수신기(1512) 및 표시 장치(1513)는 전자 기기 시스템(1501A)에 포함되는 안테나, 복조기, 디코더, 이미지 프로세서, 및 디스플레이 유닛으로 구성된다. 구체적으로는, 예를 들어 수신기(1512)는 안테나, 복조기, 및 디코더를 포함하고, 표시 장치(1513)는 이미지 프로세서 및 디스플레이 유닛을 포함한다. 디코더는 수신기(1512)가 아니라 표시 장치(1513)에 포함되어도 좋다.

[0613] 카메라(1510), 및 카메라(1510)에 포함되는 이미지 센서(1520) 및 이미지 프로세서(1521)에 관해서는 상술한 기재를 참조한다. 이미지 프로세서(1521)는 영상 데이터(1541A)를 생성한다. 영상 데이터(1541A)는 송신기(1511)에 출력된다.

[0614] 화상 생성 장치(1530)는 이미지 프로세서(1521)에서 생성된 화상 데이터에 부가되는 글, 도형, 또는 무늬 등의 화상 데이터를 생성한다. 글, 도형, 또는 무늬 등의 화상 데이터는 영상 데이터(1541B)로서 송신기(1511)로 전송된다.

[0615] 송신기(1511)는 영상 데이터(1541A) 및 영상 데이터(1541B)를 처리하고, 방송 대역에 맞는 방송 신호(방송파)(1543)를 생성한다. 인코더(1522A)는 영상 데이터(1541A)를 처리하고 부호화 데이터(1542A)를 생성한다. 인코더(1522B)는 영상 데이터(1541B)를 처리하고 부호화 데이터(1542B)를 생성한다. 인코더(1522A) 및 인코더(1522B)는 영상 데이터(1541A) 및 영상 데이터(1541B) 각각의 부호화, 영상 데이터(1541A) 및 영상 데이터(1541B)에 대한 방송 제어용 데이터(예를 들어, 인증 데이터)의 부가, 암호화, 또는 스크램플링(스펙트럼 확산을 위한 데이터의 재배열) 등의 처리를 수행한다.

[0616] 방송 시스템(1500A)은, 영상 데이터(1541A) 및 영상 데이터(1541B)를 처리하기 위하여, 도 38에 도시된 방송 시스템(1500)과 같이 하나의 인코더를 사용하는 구성을 가져도 좋다.

[0617] 부호화 데이터(1542A) 및 부호화 데이터(1542B)는 변조기(1523)로 전송된다. 변조기(1523)는 부호화 데이터(1542A) 및 부호화 데이터(1542B)에 대하여 IQ 변조를 수행함으로써 방송 신호(1543)를 생성하고 출력한다. 방송 신호(1543)는 I 성분 및 Q 성분을 갖는 복합 신호이다. TV 방송국은 영상 데이터(1541)의 취득 및 방송 신호(1543)의 공급을 맡는다.

[0618] 방송 신호(1543)는 전자 기기 시스템(1501A)에 포함되는 수신기(1512)에 의하여 수신된다.

[0619] 도 40은 방송 시스템에서의 데이터 전송을 모식적으로 도시한 것이다. 도 40은 방송국(1561)에서 전송된 전파(방송 신호)가 각 가정의 텔레비전 수신기(TV)(1560)까지 전달되는 경로를 도시한 것이다. TV(1560)에는 수신기(1512) 및 표시 장치(1513)가 제공되어 있다. 인공 위성(1562)의 예로서는 CS(communication satellite) 및

BS(broadcast satellite)를 들 수 있다. 안테나(1564)의 예로서는 BS/110° CS 안테나 및 CS 안테나를 들 수 있다. 안테나(1565)의 예에는 UHF(ultra-high frequency) 안테나가 포함된다.

[0620] 전파(1566A 및 1566B)는 위성 방송용 방송 신호이다. 전파(1566A)를 수신하면, 인공 위성(1562)은 지상을 향하여 전파(1566B)를 전송한다. 각 가정의 안테나(1564)는 전파(1566B)를 수신하고, TV(1560)에서 위성 TV 방송을 시청할 수 있다. 또는, 전파(1566B)는 다른 방송국의 안테나로 수신되고, 그 방송국의 수신기는 광 케이블로 전송될 수 있는 신호로 전파(1566B)를 가공한다. 방송국은 광 케이블망을 사용하여 방송 신호를 각 가정의 TV(1560)의 입력부로 전송한다. 전파(1567A 및 1567B)는 지상파 방송용 방송 신호이다. 방송탑(1563)은 수신한 전파(1567A)를 증폭하고, 전파(1567B)로서 전송한다. 안테나(1565)가 전파(1567B)를 수신하면 각 가정의 TV(1560)에서 지상파 TV 방송을 시청할 수 있다.

[0621] 본 실시형태의 영상 분배 시스템은 TV 방송용 시스템에 한정되지 않는다. 분배되는 영상 데이터는 동영상 데이터이어도 좋고 정지 화상 데이터이어도 좋다.

[0622] 도 41의 (A) 내지 (D)는 수신기의 구조예를 도시한 것이다. TV(1560)는 수신기에 의하여 방송 신호를 수신하고 표시를 수행할 수 있다. 도 41의 (A)에는 수신기(1571)를 TV(1560) 외부에 제공한 경우를 도시하였다. 도 41의 (B)에는 안테나(1564 및 1565) 및 TV(1560)가 무선 기기(1572 및 1573)를 통하여 데이터의 송수신을 수행하는 다른 경우를 도시하였다. 이 경우, 무선 기기(1572 또는 1573)는 수신기로서 기능한다. 무선 기기(1573)는 TV(1560)에 내장되어도 좋다(도 41의 (C) 참조).

[0623] 휴대할 수 있도록 수신기의 크기를 줄일 수 있다. 도 41의 (D)에 도시된 수신기(1574)는 커넥터부(1575)를 포함한다. 표시 장치, 및 정보 단말(예를 들어, 퍼스널 컴퓨터, 스마트폰, 휴대 전화, 또는 태블릿 단말) 등의 전자 기기가 커넥터부(1575)에 접속될 수 있는 단자를 포함하면, 이들을 위성 방송 또는 지상파 방송을 시청하는 데 사용할 수 있다.

[0624] 도 38의 방송 시스템(1500)의 인코더(1522)에 반도체 장치를 사용할 수 있다. 또는, 전용 IC 및 프로세서(예를 들어, GPU 또는 CPU) 등을 조합함으로써 인코더(1522)를 형성할 수 있다. 또는, 인코더(1522)를 하나의 전용 IC칩에 집적할 수 있다.

[0625] 본 실시형태의 적어도 일부는, 본 명세서에서 설명하는 다른 실시형태 및 실시예 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0626] (실시예 1)

[0627] 본 실시예에서는, 본 발명의 일 형태에 따른 금속 산화물을 포함하는 트랜지스터를 사용함으로써, 고해상도의 대형 표시 모듈이 동작될 수 있는 것을 검증하였다.

[0628] [8K 디스플레이]

[0629] Recommendation ITU-R BT.2020-2는 8K 디스플레이에 관한 국제 규격이다. 이 규격에서, 수평 해상도는 7680이고, 수직 해상도는 4320이고, 구동 방식은 프로그레시브 방식이고, 최대 프레임 레이트는 120Hz이다.

[0630] 도 42의 (A)는 이상적인 표시 모듈의 블록도이다. 도 42의 (A)에 도시된 구조에서는, 기판 위에 형성된 하나의 화소부(Pixel Area)에 하나의 소스 드라이버(Source Driver) 및 한 쌍의 게이트 드라이버(Gate Driver)가 제공되어 있다. 한 쌍의 게이트 드라이버는 화소에 포함되는 트랜지스터와 같은 공정에서 형성되는 것이 바람직하고, 소위 GOA(gate on array) 방식에 의하여 표시 모듈에 실장되어 있는 것이 바람직하다. 소스 드라이버로서 기능하는 IC는 COG 방식 등에 의하여 기판에 실장되어 있는 것이 바람직하다.

[0631] 이러한 고해상도의 표시 모듈을 구동하기 위하여 사용되는 트랜지스터는 매우 높은 전계 효과 이동도가 요구된다. 특히, 대형 표시 패널에서는, 비정질 실리콘 등의 반도체를 포함하는, 전계 효과 이동도가 낮은 트랜지스터에 의해서는 프레임 기간 내에 화상의 재기록을 수행할 수 없고, 구동할 수 없는 경우가 있다.

[0632] 비정질 실리콘을 포함하는 트랜지스터를 사용하는 경우, 도 42의 (B)에 도시된 바와 같이 화소부를 4가지 부분으로 분할하고 각 부분에 소스 드라이버 및 게이트 드라이버를 제공할 수 있다. 이러한 구조에 의하여 4개의 화소부의 재기록을 동시에 수행할 수 있으므로, 전계 효과 이동도가 낮은 트랜지스터를 사용하여도 프레임 기간 내에 화상을 재기록할 수 있다. 트랜지스터는 전계 효과 이동도가 낮기 때문에, 게이트 드라이버를 GOA 방식에 의하여 실정하기가 어려운 경우에는, 도 42의 (B)에 도시된 바와 같이, 게이트 드라이버로서 기능하는 IC를 소스 드라이버와 비슷한 식으로 실장하는 것이 바람직하다.

[0633] 그러나, 도 42의 (B)에 도시된 구조는 예를 들어, 소스 드라이버 및 게이트 드라이버 등의 IC의 개수 및 그 재료의 양의 증가로 인한 비용 증가, 배선 수의 증가로 인한 개구율의 저하, IC의 실장으로 인한 베젤 면적의 증대, 분할된 화소부들을 동기화하는 회로의 필요성, 및 분할된 화소부들의 경계부가 시각적으로 인식되는 것으로 인한 시인성의 저하의 문제를 갖는다. 또한, 입력되는 화상 데이터를 4가지 부분으로 분할하기 위한 화상 처리 등이 필요하기 때문에, 고속에서 동작할 수 있는 대규모 화상 처리 회로가 요구될 수 있다.

[0634] [조사 모델]

[0635] 여기서는, 본 발명의 일 형태에 따른 금속 산화물을 포함하는 트랜지스터의 사용과, 비교를 위하여 비정질 실리콘을 포함하는 트랜지스터의 사용에 의하여, 대형 8K 액정 표시 모듈을 동작시킬 수 있는지 여부에 대한 조사에 대하여 설명한다.

[0636] 조사에 사용한 액정 표시 모듈의 사양으로서는, 화소부의 크기를 65인치로 하고, 유효 화소 수를 7680×RGB(H)×4320(V)로 하고, 화소 크기를 187.5㎛×187.5㎛로 하고, 액정 모드로서 VA 모드를 사용하고, 그레이 레벨을 12비트로 하였다. 소스 드라이버 IC의 데이터 전압을 3.5V 내지 14.5V로 하고, 1수평 기간을 1.92㎲로 하고, 도트 반전 구동 방식을 사용하였다. 게이트 드라이버의 클럭 주파수를 260.16kHz로 하고, 전압을 -6.0V 내지 22.0V로 하고, 액정 소자의 공통 전위를 9.0V로 하였다.

[0637] 또한, 하나의 부화소는 하나의 트랜지스터 및 하나의 용량 소자를 포함하였다. 화소에 포함되는 트랜지스터는, 채널 길이가 4㎛이고 채널 폭이 8㎛인 채널 에치 싱글 게이트 트랜지스터(channel-etched single-gate transistor)로 하였다. 게이트 드라이버에 포함되는 트랜지스터는, 채널 길이가 4㎛이고 채널 폭이 4000㎛인 채널 에치 듀얼 게이트 트랜지스터(channel-etched dual-gate transistor)(S-channel 구조를 가짐)로 하였다. 본 발명의 일 형태에 따른 금속 산화물(CAC-OS)을 각 트랜지스터의 반도체층에 사용하였다.

[0638] 비교를 위하여, 상기 각 트랜지스터의 반도체층에 수소화 비정질 실리콘(a-Si:H)을 사용하는 경우에 대하여 조사하였다.

[0639] [조사]

[0640] 조사에서는, 게이트선의 전위가 완전히 강하될 때까지의 시간(게이트 강하 시간)과, 소스선의 전위가 최대 입력 전압의 95%에 도달할 때까지의 시간(소스선 충전 시간)의 합계를 추정하였다. 조사 결과를 이하에 나타낸다.

[0641] [표 2]

[0642]

| | 게이트 강하 시간 | 소스선 충전 시간 (>95%) | 합계 | 1수평 기간 | 동작 |
|---|---|---|---|---|---|
| a-Si:H | 2.25㎲ | – | | 1.92㎲ | 동작하지 않음 |
| CAC-OS | 0.70㎲ | 1.21㎲ | 1.91㎲ | | 동작함 |

[0643] CAC-OS를 사용한 경우, 게이트 강하 시간과 소스선 충전 시간의 합계는 1.91㎲로 추정되었고, 이는 120Hz 구동 시의 1수평 기간 1.92㎲보다 짧고, 동작 가능하다는 것을 나타낸다. 따라서, 통합된 게이트 드라이버를 채용할 수 있다. 이 경우, 게이트 드라이버 측의 베젤 폭은 3.85㎜로 추정되기 때문에, 베젤 폭이 매우 좁은 표시 모듈을 제작할 수 있다.

[0644] 한편, 수소화 비정질 실리콘을 사용한 경우에는, 게이트 강하 시간이 1수평 기간을 초과하였기 때문에, 게이트 드라이버를 통합시킬 수 없다. 또한, 검증은, 게이트선 및 소스선 등의 배선에 대한 부하가 동등한 것으로 상정하여 수행하였다. 그러나, 수소화 비정질 실리콘을 사용한 경우에는, 화소에 제공되는 트랜지스터의 크기가 컸기 때문에, CAC-OS를 사용하는 경우보다 부하가 커졌다.

[0645] 그리고, CAC-OS를 사용한 경우 및 수소화 비정질 실리콘을 사용한 경우에 관하여, 게이트 드라이버를 통합시킬 수 있는 패널 크기(화소부의 크기)와 프레임 레이트의 관계를 판정하였다.

[0646] 도 43에 결과를 나타내었다. 도 43에서, 세로축은 패널 크기를 나타내고, 가로축은 프레임 레이트를 나타낸다. CAC-OS를 사용함으로써, 게이트 드라이버를 통합시킬 수 있는, 해상도가 8K이고 프레임 레이트가 120Hz의 70인치까지의 12비트 표시 패널을 제공할 수 있는 것이 확인될 수 있다.

[0647] 상술한 결과에 따르면, 본 발명의 일 형태에 따른 금속 산화물을 사용함으로써, 고해상도의 대형 표시 모듈을 제공할 수 있다.

[0648] (실시예 2)

[0649] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 제작하였다. 또한, 신뢰성 평가를 위하여 트랜지스터의 $I_d$-$V_g$ 특성을 측정하였다.

[0650] [트랜지스터의 제작]

[0651] 먼저, 상술한 트랜지스터(100E)에 각각 상당하는 트랜지스터를 제작하여 이 트랜지스터의 전기 특성을 측정하였다. 본 실시예에서는, 이하에서 설명하는 시료 A1 및 시료 A2를 제작하였다.

[0652] 시료 A1 및 A2는 각각 채널 길이 $L$이 3㎛이고 채널 폭 $W$가 50㎛인 트랜지스터를 포함하였다.

[0653] [시료 A1 및 A2의 제작 방법]

[0654] 먼저, 유리 기판 위에 두께 100nm의 텅스텐막을 스퍼터링 장치를 사용하여 형성하였다. 그리고, 상기 도전막을 포토리소그래피법에 의하여 가공하여, 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성하였다.

[0655] 그리고, 기판 및 도전막(104) 위에 4개의 절연막을 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다. 절연막(106)을 형성하기 위해서는, PECVD 장치를 사용하여 진공에서 막을 연속적으로 형성하였다. 절연막(106)을 형성하기 위해서는, 두께 50nm의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 두께 50nm의 질화 실리콘막, 및 두께 50nm의 산화질화 실리콘막을 아래에서 이 순서대로 적층하였다.

[0656] 다음으로, 절연막(106) 위에 2개의 금속 산화물막(제 1 금속 산화물막 및 제 2 금속 산화물막)을 순차적으로 형성하였다. 그리고, 상기 적층된 금속 산화물막을 섬 형상으로 가공하여 금속 산화물막(108)을 형성하였다.

[0657] 또한, 시료 A1 및 시료 A2의 금속 산화물막은 다른 조건하에서 형성하였다.

[0658] <시료 A1의 금속 산화물막의 형성>

[0659] 시료 A1에서는, 두께 20nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 25nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0660] 제 1 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 퇴적 가스 전체에서의 산소의 비율을 산소 유량비라고 하는 경우가 있다. 제 1 금속 산화물막 형성 시의 산소 유량비는 10%이었다.

[0661] 제 2 금속 산화물막은, 스퍼터링 가스의 유량을 제외하고는 상기 제 1 금속 산화물막과 같은 퇴적 조건하에서 형성하였다. 구체적으로는, 체임버 내로의 아르곤 가스의 도입을 정지하고, 유량 200sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하였다. 제 2 금속 산화물막의 형성 시의 산소 유량비는 100%이었다.

[0662] <시료 A2의 금속 산화물막의 형성>

[0663] 시료 A2에서는, 두께 20nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 25nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0664] 제 1 금속 산화물막은, 기판 온도를 170℃로 하고, 유량 140sccm의 아르곤 가스 및 유량 60sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 1 금속 산화물막 형성 시의 산소 유량비는 30%이었다.

[0665] 제 2 금속 산화물막은, 기판 온도를 170℃로 하고, 유량 100sccm의 아르곤 가스 및 유량 100sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=1:1:1.2[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 2 금속 산화물막 형성 시의 산소 유량비는 50%이었다.

[0666] 상술한 단계에서 시료 A1 및 시료 A2의 금속 산화물막(108)을 형성하였다.

[0667] 다음으로, 다음과 같이 가열 처리를 가열 온도 350℃에서 수행하였다: 질소 분위기에서 가열 처리를 1시간 동안 수행한 다음, 질소와 산소를 포함하는 혼합 가스 분위기에서 가열 처리를 1시간 동안 수행하였다.

[0668] 그리고, 절연막(106) 및 금속 산화물막(108) 위에 도전막을 형성하고 가공하여, 도전막(112a 및 112b)을 형성하

였다. 도전막에는, 두께 30nm의 제 1 타이타늄막 및 두께 200nm의 구리막을 스퍼터링 장치를 사용하여 이 순서대로 형성하였다. 그 후, 포토리소그래피법에 의하여 구리막을 에칭한 다음, 두께 50nm의 제 2 타이타늄막을 스퍼터링 장치를 사용하여 형성하였다. 이어서, 제 1 타이타늄막 및 제 2 타이타늄막을 포토리소그래피법에 의하여 에칭함으로써, 도전막(112a 및 112b)을 형성하였다.

[0669] 다음으로, 금속 산화물막(108)의 노출된 표면(백 채널 측)을 인산을 사용하여 세정하였다.

[0670] 그리고, 절연막(106), 금속 산화물막(108), 및 도전막(112a 및 112b) 위에 절연막(114)을 형성하고, 절연막(114) 위에 절연막(116)을 형성하였다. 절연막(114) 및 절연막(116)은 PECVD 장치를 사용하여 진공에서 연속적으로 형성하였다. 절연막(114)은 두께 30nm의 산화질화 실리콘막을 사용하여 형성하고, 절연막(116)은 두께 400nm의 산화질화 실리콘막을 사용하여 형성하였다.

[0671] 다음으로, 가열 온도 350℃, 질소 분위기에서, 1시간 동안 가열 처리를 수행하였다.

[0672] 그리고, 절연막(116) 위에 도전막을 형성하였다. 도전막으로서는 두께 6nm의 ITSO막을 스퍼터링 장치에 의하여 형성하였다.

[0673] 이어서, 플라스마 처리에 의하여 도전막을 통하여 절연막(116)에 산소를 첨가하였다. 플라스마 처리에서는, 산소 가스를 포함하는 분위기에서 플라스마를 방전시켰다.

[0674] 다음으로, 도전막을 제거하였다.

[0675] 그리고, 절연막(116) 위에 절연막(118)을 형성하였다. 절연막(118)으로서는, PECVD 장치를 사용하여 두께 100nm의 질화 실리콘막을 형성하였다.

[0676] 그 후, 절연막의 원하는 영역에 개구를 형성하였다. 개구는 드라이 에칭법에 의하여 형성하였다.

[0677] 다음으로, 개구를 충전하도록 도전막을 형성하고 섬 형상으로 가공함으로써, 제 2 게이트 전극으로서 기능하는 도전막(120a)을 형성하였다. 도전막(120a)으로서는, 스퍼터링 장치를 사용하여 두께 100nm의 ITSO막을 형성하였다.

[0678] 다음으로, 절연막(118) 및 도전막(120a) 위에 절연막을 형성하였다. 절연막에는 두께 1.5μm의 아크릴계 감광성 수지를 사용하였다.

[0679] 상술한 식으로, 시료 A1 및 시료 A2를 제작하였다.

[0680] [트랜지스터의 $I_d$-$V_g$ 특성]

[0681] 다음으로, 상기 제작된 시료 A1 및 시료 A2의 트랜지스터의 $I_d$-$V_g$ 특성을 측정하였다. 트랜지스터의 $I_d$-$V_g$ 특성의 측정에서는, 제 1 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 게이트 전압($V_g$)이라고도 함) 및 제 2 게이트 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 백 게이트 전압($V_{bg}$)이라고도 함)을 -15V에서 +20V까지 0.25V의 증분으로 변화시켰다. 소스 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 소스 전압($V_s$)이라고도 함)을 0V(comm)로 하고, 드레인 전극으로서 기능하는 도전막에 인가되는 전압(이하, 이 전압을 드레인 전압($V_d$)이라고도 함)을 0.1V 및 20V로 하였다.

[0682] 도 44의 (A) 및 (B)는 각각 시료 A1 및 시료 A2의 $I_d$-$V_g$ 특성의 결과를 나타낸 것이다. 도 44의 (A) 및 (B) 각각에서, 제 1 세로축은 $I_d$(A)를 나타내고, 제 2 세로축은 전계 효과 이동도(μFE($cm^2$/Vs))를 나타내고, 가로축은 $V_g$(V)를 나타낸다. 또한, 전계 효과 이동도는 $V_d$가 20V일 때 측정하였다.

[0683] <전계 효과 이동도>

[0684] 여기서, 전계 효과 이동도에 대하여 설명한다. 트랜지스터의 전류 구동 능력의 지표로서는 전계 효과 이동도가 사용된다. 트랜지스터의 온 영역은 선형 영역과 포화 영역으로 나누어진다. 이들 영역의 특성으로부터, GCA(gradual channel approximation)에 따른 드레인 전류의 해석 공식에 기초하여 트랜지스터의 전계 효과 이동도를 산출할 수 있다. 선형 영역에서의 전계 효과 이동도 및 포화 영역에서의 전계 효과 이동도는, 이들을 서로 구별할 필요가 있는 경우에는, 각각 선형 이동도 및 포화 이동도라고 한다. 포화 이동도는 다음 식(1)으로 나타내어진다.

[0685] [식 1]

$$\mu_{\mathrm{FE}}^{\mathrm{sat}} = \frac{2L}{WC_{ox}}\left(\frac{\partial\sqrt{I_{\mathrm{d}}}}{\partial V_{\mathrm{g}}}\right)^2 \qquad (1)$$

[0686]

[0687] 본 명세서 등에서는, 식(1)으로부터 산출되는 곡선을 이동도 곡선이라고 한다. 도 44의 (A) 및 (B)는 식(1)을 사용하여 $I_d$-$V_g$ 특성으로부터 추정한 포화 이동도의 이동도 곡선을 나타낸 것이다.

[0688] 도 44의 (A) 및 (B)에 나타낸 바와 같이, 이들 조건 모두에서 전계 효과 이동도가 높고 스위칭 특성이 양호한 트랜지스터가 제작되었다.

[0689] [게이트 바이어스-온도 스트레스 시험]

[0690] 도 47은 시료 A1의 스트레스 시험의 결과를 나타낸 것이다. 스트레스 시험으로서는, GBT 시험(게이트 바이어스-온도 스트레스 시험)을 실시하였다. GBT 시험은 가속 시험의 일종이고, 장기간의 사용으로 인한 트랜지스터 특성의 변화를 단시간에 평가할 수 있다. 여기서, 각 GBT 시험에서는, 트랜지스터가 형성된 기판을 60℃로 유지하고, 트랜지스터의 소스 및 드레인에 0V를 인가하고, 게이트에 30V 또는 -30V를 인가하고, 이 상태를 3600초 동안 유지하였다. 또한, 게이트에 양의 전압을 인가하는 시험을 PBTS라고 하고, 게이트에 음의 전압을 인가하는 시험을 NBTS라고 한다. 또한, 100001x의 백색 LED의 광 조사하에서 게이트에 30V 또는 -30V를 인가하고, 이 상태를 3600초 동안 유지하였다. 또한, 게이트에 양의 전압을 인가하는 시험을 PBITS라고 하고, 게이트에 음의 전압을 인가하는 시험을 NBITS라고 한다.

[0691] 도 47에는 GBT 시험의 결과를 나타내었다. 도 47의 결과는, 문턱값의 변동량($\Delta V_{\mathrm{th}}$)이 ±1V 이하로 양호하다는 것을 나타낸다. GBT 시험에서의 양호한 결과에 대한 개연성이 있는 요인으로서는, 예를 들어 시료 A1에 포함되는 트랜지스터의 금속 산화물막(108)에 CAC-OS막과 CAAC-OS막을 포함한 적층을 사용하는 것, 매립된 채널이 형성되는 것, 그리고 백 채널에서의 금속 산화물막(108)과 절연막(114)의 계면에서 결함 및 대미지의 영향이 저감되는 것이 있다.

[0692] [신뢰성 평가 1]

[0693] 다음으로, 시료 A1 및 A2 각각에 신뢰성 평가를 수행하였다.

[0694] 신뢰성 평가에서는, 트랜지스터에 펄스 전압을 반복적으로 인가하여 트랜지스터를 구동하고, 온 상태 전류의 변화율을 측정하였다.

[0695] 측정에서는, 소스 전극에 -8V의 정전위를 인가하면서, 제 1 게이트 전극, 제 2 게이트 전극, 및 드레인 전극에 하이 레벨 전압이 20V이고 로 레벨 전압이 -8V인 펄스 전압을 인가하였다. 펄스 전압의 주파수는 약 17.1kHz이고, 20V의 전압이 인가되는 기간이 20%를 차지하고, -8V의 전압이 인가되는 기간이 80%를 차지하였다(즉, 듀티 사이클(duty cycle)이 20%이었음).

[0696] 일정한 기간 펄스 전압을 인가한 후, 트랜지스터의 온 상태 전류를 측정하였다. 온 상태 전류의 측정에서는, 게이트 전압($V_g$) 및 백 게이트 전압($V_{bg}$)을 15V로 하고, 소스 전압($V_s$)을 0V(comm)로 하고, 드레인 전압($V_d$)을 5V로 하고, 측정의 샘플링 기간을 7.5msec(듀티 사이클: 7.5%)로 하였다.

[0697] 측정에 사용한 시료 A1 및 A2의 트랜지스터는 각각 채널 길이가 4㎛이고 채널 폭이 1000㎛이었다.

[0698] 도 45의 (A)는 측정한 $I_d$-$V_g$ 특성으로부터 추정한, 시료 A1 및 A2의 온 상태 전류의 변화율을 나타낸 것이다. 도 45의 (A)에서, 가로축은 시간을 나타내고, 세로축은 온 상태 전류의 변화율을 나타낸다.

[0699] 도 45의 (B)는 온 상태 전류가 50%로 강하할 때까지의 시간을 나타낸 것이다. 시료 A2에서는 약 4.2시간이고 시료 A1에서는 약 55.5시간이다.

[0700] 상술한 결과에 따르면, 본 발명의 일 형태에 따른 금속 산화물을 포함하는 트랜지스터는 신뢰성이 높다.

[0701] [신뢰성 평가 2]

[0702] 다음으로, 상술한 신뢰성 평가와 다른 조건하에서 신뢰성 평가를 수행하였다. 신뢰성 평가는 시료 A1과 같은 조건하에서 제작된 3개의 트랜지스터에 대하여 수행하였다. 3개의 트랜지스터의 채널 길이는 3㎛, 4㎛, 및 6

μm이고, 3개의 트랜지스터의 채널 폭은 각각 1000μm이었다. 또한, 신뢰성 평가의 결과는, 다른 시료를 측정하였기 때문에 신뢰성 평가 1과 신뢰성 평가 2 사이에서 약간 다르다.

[0703] 측정에서는, 소스 전극에 -9V의 정전위를 인가하면서, 제 1 게이트 전극, 제 2 게이트 전극, 및 드레인 전극에 하이 레벨 전압이 20V이고 로 레벨 전압이 -9V인 펄스 전압을 인가하였다. 펄스 전압에 대해서는, 20V의 전압이 인가되는 기간이 20%를 차지하고, -9V의 전압이 인가되는 기간이 80%를 차지하였다(즉, 듀티 사이클이 20%이었음).

[0704] 일정한 기간 펄스 전압을 인가한 후, 트랜지스터의 온 상태 전류를 측정하였다. 온 상태 전류의 측정에서는, 게이트 전압($V_g$) 및 백 게이트 전압($V_{bg}$)을 15V로 하고, 소스 전압($V_s$)을 0V(comm)로 하고, 드레인 전압($V_d$)을 5V로 하고, 측정의 샘플링 기간을 7.5msec(듀티 사이클: 7.5%)로 하였다.

[0705] 도 48의 (A) 및 (B)는 측정 결과를 나타낸 것이다. 도 48의 (A)에는 측정 결과를 반대수 그래프(semi-log graph)로 나타내고, 도 48의 (B)에는 측정 결과를 양대수 그래프(log-log graph)로 나타내었다. 도 48의 (A) 및 (B)의 각각에서, 가로축은 측정 시간을 나타내고, 세로축은 신뢰성 평가에서의 온 상태 전류의 변화율을 나타낸다. 도 48의 (B)의 결과로부터, 온 상태 전류가 열화에 의하여 70%로 저하되는 데 약 125000초 걸리는 것이 추정될 수 있다. 상술한 결과에 따르면, 본 발명의 일 형태에 따른 금속 산화물을 포함하는 트랜지스터는 신뢰성이 높다.

[0706] [트랜지스터의 제작]

[0707] 다음으로, 상술한 트랜지스터(100A)에 각각 상당하는 트랜지스터를 제작하여 이 트랜지스터의 전기 특성을 측정하였다. 본 실시예에서는, 이하에서 설명하는 시료 A3 및 시료 A4를 제작하였다. 또한, 시료 A3 및 A4의 각 트랜지스터에서는, 도전막(120a)과 절연막(118)의 적층 순서가 트랜지스터(100A)에서와 상이하였다.

[0708] 시료 A3 및 A4는 각각 채널 길이 $L$이 2μm이고 채널 폭 $W$가 50μm인 트랜지스터를 포함하였다.

[0709] [시료 A3 및 A4의 제작 방법]

[0710] 먼저, 유리 기판 위에 두께 100nm의 텅스텐막을 스퍼터링 장치를 사용하여 형성하였다. 그리고, 상기 도전막을 포토리소그래피법에 의하여 가공하여, 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성하였다.

[0711] 다음으로, 시료 A3 및 A4를 위하여 다른 절연막(106)을 형성하였다.

[0712] 시료 A3을 위해서는, 기판 및 도전막(104) 위에 4개의 절연막을 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다. 시료 A3의 절연막(106)을 형성하기 위해서는, PECVD 장치를 사용하여 진공에서 막을 연속적으로 형성하였다. 시료 A3의 절연막(106)을 형성하기 위해서는, 두께 50nm의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 두께 50nm의 질화 실리콘막, 및 두께 50nm의 산화질화 실리콘막을 아래에서 이 순서대로 적층하였다.

[0713] 시료 A4를 위해서는, 기판 및 도전막(104) 위에 3개의 절연막을 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다. 시료 A4의 절연막(106)을 형성하기 위해서는, PECVD 장치를 사용하여 진공에서 막을 연속적으로 형성하였다. 시료 A4의 절연막(106)을 형성하기 위해서는, 두께 50nm의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 및 두께 50nm의 질화 실리콘막을 아래에서 이 순서대로 적층하였다. 시료 A4를 위해서는, 절연막(106)을 형성한 후에 절연막(106)의 표면에 산소 플라스마 처리를 수행하였다.

[0714] 다음으로, 절연막(106) 위에 2개의 금속 산화물막(제 1 금속 산화물막 및 제 2 금속 산화물막)을 순차적으로 형성하였다. 그리고, 상기 적층된 금속 산화물막을 섬 형상으로 가공하여 금속 산화물막(108)을 형성하였다.

[0715] 두께 10nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 25nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0716] 제 1 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 1 금속 산화물막 형성 시의 산소 유량비는 10%이었다.

[0717] 제 2 금속 산화물막은, 스퍼터링 가스의 유량을 제외하고는 상기 제 1 금속 산화물막과 같은 퇴적 조건하에서 형성하였다. 구체적으로는, 체임버 내로의 아르곤 가스의 도입을 정지하고, 유량 200sccm의 산소 가스를 스퍼

터링 장치의 체임버 내에 도입하였다. 제 2 금속 산화물막의 형성 시의 산소 유량비는 100%이었다.

[0718] 다음으로, 다음과 같이 가열 처리를 가열 온도 350℃에서 수행하였다: 질소 분위기에서 가열 처리를 1시간 동안 수행한 다음, 질소와 산소를 포함하는 혼합 가스 분위기에서 가열 처리를 1시간 동안 수행하였다.

[0719] 그리고, 절연막(106) 및 금속 산화물막(108) 위에 도전막을 형성하고 가공하여, 도전막(112a 및 112b)을 형성하였다. 도전막을 위해서는, 두께 50nm의 텅스텐막, 두께 400nm의 알루미늄막, 및 두께 100nm의 타이타늄막을 스퍼터링 장치를 사용하여 이 순서대로 형성하였다. 이어서, 도전막을 포토리소그래피법에 의하여 에칭함으로써, 도전막(112a 및 112b)을 형성하였다.

[0720] 다음으로, 금속 산화물막(108)의 노출된 표면(백 채널 측)을 인산을 사용하여 세정하였다.

[0721] 그리고, 절연막(106), 금속 산화물막(108), 및 도전막(112a 및 112b) 위에 절연막(114)을 형성하고, 절연막(114) 위에 절연막(116)을 형성하였다. 절연막(114) 및 절연막(116)은 PECVD 장치를 사용하여 진공에서 연속적으로 형성하였다. 절연막(114)은 두께 30nm의 산화질화 실리콘막을 사용하여 형성하고, 절연막(116)은 두께 400nm의 산화질화 실리콘막을 사용하여 형성하였다.

[0722] 다음으로, 가열 온도 350℃, 질소 분위기에서, 1시간 동안 가열 처리를 수행하였다.

[0723] 그리고, 절연막(116) 위에 도전막을 형성하였다. 도전막으로서는 두께 6nm의 ITSO막을 스퍼터링 장치에 의하여 형성하였다.

[0724] 이어서, 플라스마 처리에 의하여 도전막을 통하여 절연막(116)에 산소를 첨가하였다. 플라스마 처리에서는, 산소 가스를 포함하는 분위기에서 플라스마를 방전시켰다.

[0725] 다음으로, 도전막을 제거하였다.

[0726] 그리고, 절연막(116) 위에 절연막(118)을 형성하였다. 절연막(118)으로서는, PECVD 장치를 사용하여 두께 100nm의 질화 실리콘막을 형성하였다.

[0727] 그 후, 절연막의 원하는 영역에 개구를 형성하였다. 개구는 드라이 에칭법에 의하여 형성하였다.

[0728] 다음으로, 개구를 충전하도록 도전막을 형성하고 섬 형상으로 가공함으로써, 제 2 게이트 전극으로서 기능하는 도전막(120a)을 형성하였다. 도전막(120a)으로서는, 스퍼터링 장치를 사용하여 두께 100nm의 ITSO막을 형성하였다.

[0729] 다음으로, 절연막(118) 및 도전막(120a) 위에 절연막을 형성하였다. 절연막에는 두께 1.5μm의 아크릴계 감광성 수지를 사용하였다.

[0730] 상술한 식으로, 시료 A3 및 시료 A4를 제작하였다.

[0731] [트랜지스터의 $I_d$-$V_g$ 특성]

[0732] 다음으로, 시료 A3 및 A4의 트랜지스터의 $I_d$-$V_g$ 특성을 측정하였다. 또한, 각 시료를 위하여 10개의 트랜지스터를 제작하였다. 상기 트랜지스터의 $I_d$-$V_g$ 특성은, $V_g$ 및 $V_{bg}$를 각각 -15V에서 +15V까지 0.25V의 증분으로 변화시키고, $V_s$를 0V(comm)고 하고, $V_d$를 0.1V 또는 20V로 하는 조건하에서 측정하였다.

[0733] 도 54의 (A)는 시료 A3의 10개의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸 것이다. 도 54의 (B)는 시료 A4의 10개의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸 것이다. 도 54의 (A) 및 (B) 각각의 가로축은 $V_g$를 나타낸다. 도 54의 (A) 및 (B) 각각의 세로축은 드레인 전류($I_d$)를 대수 눈금으로 나타낸다. 도 54의 (A)의 프로파일군(331)은, $V_d$가 0.1V일 때의 시료 A3의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸다. 도 54의 (A)의 프로파일군(332)은 $V_d$가 20V일 때의 시료 A3의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸다. 도 54의 (B)의 프로파일군(341)은 $V_d$가 0.1V일 때의 시료 A4의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸다. 도 54의 (B)의 프로파일군(342)은 $V_d$가 20V일 때의 시료 A4의 트랜지스터의 $I_d$-$V_g$ 특성을 나타낸다.

[0734] 도 54의 (A) 및 (B)의 결과는, 시료 A3 및 시료 A4의 양쪽에서, 트랜지스터의 오프 상태 전류가 작고, 트랜지스터들 간의 편차가 작은 것을 나타낸다. 이에 의하여, 시료 A3의 트랜지스터 및 시료 A4의 트랜지스터가 양호한

전기 특성을 갖는 것이 시사된다.

[0735] [게이트 바이어스-온도 스트레스 시험]

[0736] 다음으로, 시료 A3 및 A4의 트랜지스터에 GBT 시험을 실시하였다. 상기 트랜지스터는 각각 채널 길이 $L$이 3μm이고 채널 폭 $W$가 50μm이었다. 여기서, 각 GBT 시험에서는, 트랜지스터가 형성된 기판을 60℃로 유지하고, 트랜지스터의 소스 및 드레인에 0V를 인가하고, 게이트에 30V 또는 -30V를 인가하고, 이 상태를 3600초 동안 유지하였다. 또한, 게이트에 양의 전압을 인가하는 시험을 PBTS라고 하고, 게이트에 음의 전압을 인가하는 시험을 NBTS라고 한다. 또한, 100001x의 백색 LED의 광 조사하에서 게이트에 30V 또는 -30V를 인가하고, 이 상태를 3600초 동안 유지하였다. 또한, 게이트에 양의 전압을 인가하는 시험을 PBITS라고 하고, 게이트에 음의 전압을 인가하는 시험을 NBITS라고 한다.

[0737] 도 55에는 GBT 시험의 결과를 나타내었다. 시료 A3의 트랜지스터의 문턱값의 변동량($\Delta V_{th}$)은 PBTS에서 0.49V, NBTS에서 0.04V, PBITS에서 0.06V, 그리고 NBITS에서 -0.50V이다. 한편, 시료 A4의 트랜지스터의 $\Delta V_{th}$는 PBTS에서 0.74V, NBTS에서 0.05V, PBITS에서 0.11V, 그리고 NBITS에서 -1.96V이다. GBT 시험으로 인한 시료 A3 및 A4의 트랜지스터의 $V_{th}$의 변화량은 2V 미만이다. 이에 의하여, 시료 A3 및 A4의 트랜지스터의 신뢰성이 높다는 것이 시사된다.

[0738] 일반적으로, 채널이 형성되는 반도체층에 수소화 비정질 실리콘층을 사용하는 트랜지스터(a-Si:H 트랜지스터라고도 함)는, 게이트 절연층으로서 질화 실리콘층을 포함한다. 본 발명의 일 형태에서는, OS 트랜지스터의 게이트 절연층에 질화 실리콘층을 사용할 수 있다. 따라서, a-Si:H 트랜지스터 제조 라인을 OS 트랜지스터 제조 라인으로 전환하는 데 아주 큰 설비 변경을 필요로 하지 않는다. 그러므로, a-Si:H 트랜지스터 제조 라인으로부터 OS 트랜지스터 제조 라인으로의 제조 라인 전환이 비교적 쉽다.

[0739] (실시예 3)

[0740] 본 실시예에서는, 8K 디스플레이를 가정한 동작 검증용 표시 모듈에 대하여 설명한다. 또한, 표시 모듈에 포함되는 트랜지스터로서는, 본 발명의 일 형태에 따른 금속 산화물을 포함한 트랜지스터를 사용할 수 있다.

[0741] 8K 디스플레이를 가정한 동작 검증용 표시 모듈을 제작하기 위해서는, 8K 디스플레이를 상정한 동작 환경으로서, 2K 또는 4K 표시 모듈의 화소부에 8K 디스플레이와 동등한 부하를 제공한다.

[0742] 도 46의 (A)는 동작 검증용 표시 모듈을 도시한 블록도이다. 도 46의 (A)에 도시된 구조에서는, 기판 위에 형성된 하나의 화소부(601)에 하나의 소스 드라이버(603) 및 한 쌍의 게이트 드라이버(605)가 제공된다. 한 쌍의 게이트 드라이버(605)는 화소에 포함되는 트랜지스터와 같은 공정에서 형성되고, 소위 GOA 방식에 의하여 표시 모듈에 실장되는 것이 바람직하다. 소스 드라이버(603)는 COG 방식 등에 의하여 기판에 실장되는 것이 바람직하다.

[0743] 기판 위에는, FPC와 접속되는 단자부(607), 단자부(607)와 게이트 드라이버(605) 사이의 배선(609), 게이트 드라이버(605)에 접속되는 배선(611), 및 소스 드라이버(603)에 접속되는 배선(613)이 제공되어 있다. 배선(609)은 게이트 드라이버(605)용 신호선 및 전원선으로서 기능한다. 배선(611)은 게이트 배선으로서 기능한다. 배선(613)은 신호선으로서 기능한다.

[0744] 화소부(601)는 영역(601_1, 601_2, 601_3, 및 601_4)을 포함한다. 영역(601_1)과 영역(601_2) 사이, 영역(601_1)과 영역(601_3) 사이, 영역(601_2)과 영역(601_4) 사이, 영역(601_3)과 영역(601_4) 사이, 그리고 한 쌍의 게이트 드라이버(605) 사이의 각 배선에 부하(602)가 제공된다. 부하(602)는 배선 부하이고, 레지스터 또는 용량 소자 등이 각 배선에 제공된다.

[0745] 화소부(601) 및 구동 회로에서 부하(602)를 적절히 제공함으로써, 표시 모듈의 영역마다 다른 동작을 재현할 수 있다.

[0746] 예를 들어, 영역(601_1)과 소스 드라이버(603) 사이, 그리고 영역(601_1)과 게이트 드라이버(605) 사이에는 부하가 제공되지 않는다. 그러므로, 영역(601_1)에서는 신호선 및 게이트 배선을 통한 신호의 파형 왜곡이 작고, 따라서 화소부(601)에서 화소에 대한 신호의 기록 조건이 가장 관대하다.

[0747] 영역(601_2)과 소스 드라이버(603) 사이에는 부하가 없지만, 영역(601_2)과 게이트 드라이버(605) 사이에는 부하(602)가 제공되어 있다. 그러므로, 영역(601_2)에서는, 신호선을 통한 신호의 파형 왜곡이 작고, 게이트 배

선을 통한 신호의 파형 왜곡이 크다.

[0748] 영역(601_3)과 소스 드라이버(603) 사이에는 부하가 있지만, 영역(601_3)과 게이트 드라이버(605) 사이에는 부하가 제공되지 않는다. 그러므로, 영역(601_3)에서는, 신호선을 통한 신호의 파형 왜곡이 크고, 게이트 배선을 통한 신호의 파형 왜곡이 작다.

[0749] 영역(601_4)과 소스 드라이버(603) 및 게이트 드라이버(605) 각각 사이에 부하(602)가 제공되어 있다. 그러므로, 영역(601_4)에서는 신호선 및 게이트 배선을 통한 신호의 파형 왜곡이 크고, 따라서 화소부(601)에서 화소에 대한 신호의 기록 조건이 가장 어렵다.

[0750] 도 46의 (B)는 실제의 8K 표시 모듈의 블록도이다. 화소부(621)에 화소(623)가 제공되어 있다. 화소(623)는 도 46의 (A)의 부하(602)에 상당한다. 도 46의 (A)의 영역(601_1)은 도 46의 (B)의 화소부(621)의 영역(621_1)에 상당한다. 도 46의 (A)의 영역(601_2)은 도 46의 (B)의 화소부(621)의 영역(621_2)에 상당한다. 도 46의 (A)의 영역(601_3)은 도 46의 (B)의 화소부(621)의 영역(621_3)에 상당한다. 도 46의 (A)의 영역(601_4)은 도 46의 (B)의 화소부(621)의 영역(621_4)에 상당한다.

[0751] 도 46의 (A)에 도시된 바와 같이, 화소부(601)에 부하(602)를 제공함으로써, 하나의 표시 모듈에서, 4가지 조건 하에서의 화소에 대한 기록 동작의 검증이 가능하다. 또한, 8K 디스플레이와 동등한 부하를 구동할 수 있는 소스 드라이버 및 게이트 드라이버의 동작 검증이 가능하다. 따라서, 2K 또는 4K 표시 모듈을 사용하여 8K 표시 모듈의 동작 검증이 가능하다.

[0752] (실시예 4)

[0753] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 사용한, 대형 8K 액정 표시 장치의 실행 가능성을 조사하기 위한 시뮬레이션 결과에 대하여 설명한다.

[0754] [조사 모델]

[0755] 표 3은 조사한 액정 표시 장치의 사양을 나타낸 것이다. 액정 표시 장치의 화면 대각선은 65인치이고, R, G, 및 B의 3개의 부화소를 화소에 스트라이프로 배치하였다. 화소 회로는 셀마다 하나의 트랜지스터 및 하나의 용량 소자를 포함하였다. 화소 회로에 포함되는 트랜지스터는 CAC-OS막을 포함하는 채널 에치 트랜지스터로서 상정하였다. 게이트 드라이버가 통합되고 소스 드라이버로서 외부 IC가 사용되었다. 프레임 레이트를 120Hz로서 상정한 경우에 비디오 신호를 기록하는 데 요하는 시간을 시뮬레이션을 통하여 확인하였다.

[0756] [표 3]

[0757]

| | |
|---|---|
| 화면 대각선 | 65인치 |
| 구동 방식 | 액티브 매트릭스 |
| 유효 화소 수 | 7680×RGB×4320 |
| 화소 피치 | 0.1875mm×0.1875mm |
| 화소 밀도 | 136ppi |
| 화소 회로 | 1Tr+1C/셀 |
| 프레임 레이트 | 120Hz |
| 소스 드라이버 | IC |
| 게이트 드라이버 | 통합됨 |

[0758] 도 49는 조사한 액정 표시 장치의 개략도이다. 대형 디스플레이에서는, 특히 화소 영역 내의 시상수(time constant)를 가능한 한 작게 하는 것이 바람직하다. 그러므로, 게이트 드라이버를 화소 영역의 양측에 배치하여, 게이트 선택 신호를 게이트선의 양측으로부터 입력하였다. 이러한 구조의 게이트선의 시상수는, 화소 영역의 한쪽 측에만 게이트 드라이버를 제공한 구조의 1/4로 저감될 수 있다. 따라서, 게이트선의 충방전 시간을 짧게 할 수 있다. 비디오 신호의 기록 시간을 최대화하기 위하여, 2개의 게이트선을 버퍼에 접속하고, 양쪽 게이트선을 동시에 선택하고, 비디오 신호를 2행에 동시에 기록할 수 있다. 이 구조에 의하여, 게이트 드라이버의 시프트 레지스터의 단수를 4320에서 2160으로 절반으로 줄일 수 있고, 1수평 선택 기간을 1.92μs에서 3.83μs로 길게 할 수 있다.

[0759] 도 50은 액정 표시 장치에 포함되는 화소의 회로도이다. 각 화소는 적색(R), 녹색(G), 및 청색(B)의 3개의 부화소를 포함한다. 각 부화소는 트랜지스터(M1), 용량 소자(Cs), 및 액정 소자(LC)를 포함한다. 선택 트랜지스

터로서 기능하는 트랜지스터(M1)에서는, 게이트가 게이트선(GL)에 접속되고, 소스 및 드레인 중 한쪽이 소스선(SL)에 접속된다. 용량 소자(Cs)는 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 공통 전위선(CsCOM) 사이에 제공되어 있다. 액정 소자(LC)는 트랜지스터(M1)의 소스 및 드레인 중 다른 쪽과 공통 전위선(TCOM) 사이에 제공되어 있다. 각 부화소는 하나의 트랜지스터 및 하나의 용량 소자를 포함하는 가장 단순한 구조를 갖는다. 비디오 신호를 2행에 동시에 기록하기 위하여, 하나의 열의 화소에 2개의 소스선을 제공한다(이러한 구조를 더블 소스선 구조라고 부름). 홀수 행의 화소에서는, 한쪽 소스선(예를 들어, SL11)이 트랜지스터(M1)에 접속된다. 짝수 행의 화소에서는, 다른 쪽 소스선(예를 들어, SL12)이 트랜지스터(M1)에 접속된다.

[0760] 도 51은 시뮬레이션에 사용한 구조를 도시한 블록도이다. CAC-OS막을 포함하는 트랜지스터의 실측값에 기초하여, 화소 회로 및 게이트 드라이버의 트랜지스터에 관하여 모델 파라미터를 추출하였다. 소스 드라이버에는 행동 모델(behavior model)을 사용하였다. 화소 영역의 게이트선 및 소스선의 기생 용량, 및 게이트 드라이버의 CLK선의 기생 성분에는 RC 부하 모델을 사용하였다. 기생 용량과 기생 저항은 경계 요소법에 의하여 추출하였다. 화소 영역에서는, RC 부하가 가장 높은 화소에 관하여, 비디오 신호의 기록에 요하는 시간을 계산하였다.

[0761] 도 52는 화소에 대한 기록 동작을 나타낸 타이밍 차트이다. 비디오 신호는, 바로 앞의 행의 트랜지스터(M1)를 오프로 한 후에 화소에 기록된다. 바꿔 말하면, 게이트 드라이버에 CLK 신호가 입력되고 나서 트랜지스터(M1)가 오프가 되는 데 요하는 시간(게이트선 강하 시간(a))과, 비디오 신호가 입력되고 나서 화소의 전위가 비디오 신호의 전위에 도달할 때까지의 시간(소스선 상승 시간(b))의 합이 화소에 대한 기록 시간(c)에 상당한다. 화소에 대한 기록 시간은 게이트선 강하 시간과 소스선 상승 시간의 합으로부터 계산하였다. 또한, 게이트선 강하 시간은 진폭이 목표 진폭의 75%로 강하할 때까지의 기간으로 가정하고, 소스선 상승 시간은 전압이 목표 전압의 95%로 상승할 때까지의 기간으로 가정하였다. 화소에 대한 기록 시간(c)이 1수평 선택 기간(여기서는, 3.83μs)보다 짧으면, 액정 표시 장치가 동작할 수 있다고 판정될 수 있다.

[0762] [계산 결과]

[0763] 표 4는 게이트선, 소스선, 게이트 드라이버, 및 CLK선의 기생 저항 및 기생 용량의 추출 결과를 나타낸 것이다. 표 4에는 화소 용량의 추출 결과도 나타내었다. 이들 추출 결과를 사용하여 과도 상태 분석(transient analysis)을 수행하였다.

[0764] [표 4]

[0765]

| | |
|---|---|
| 게이트선 저항 | 3.60kΩ |
| 게이트선 용량 | 364pF |
| 소스선 저항 | 4.83kΩ |
| 소스선 용량 | 182pF |
| CLK선 저항 | 270Ω |
| CLK선 용량 | 915pF |
| 화소 용량 | 191fF |

[0766] 표 5는 과도 상태 분석에 의하여 구한 게이트선 강하 시간 및 소스선 상승 시간의 계산 결과를 나타낸 것이다.

[0767] [표 5]

[0768]

| | |
|---|---|
| 게이트선 강하 시간(>75%) | 1.69ms |
| 소스선 상승 시간(>95%) | 1.82ms |
| 전체 시간 | 3.51ms |

[0769] 게이트선 강하 시간과 소스선 상승 시간의 합이, 1수평 선택 기간인 3.83μs보다 짧으면, 동작이 가능하다. 표 5는, 화소에 대한 기록 시간(3.51μs)이 1수평 선택 기간(3.83μs)보다 짧은 것을 나타낸 것이고, 액정 표시 장치가 동작할 수 있는 것이 시사된다.

[0770] 도 53은 트랜지스터의 전계 효과 이동도와, 화소에 대한 기록 시간의 관계의 계산 결과를 나타낸 것이다. 세로축은 화소에 대한 기록 시간을 나타내고, 가로축은 CAC-OS막을 포함하는 트랜지스터의 전계 효과 이동도를 1로 간주하였을 때의 전계 효과 이동도를 나타낸다. 전계 효과 이동도가 낮아질수록, 화소에 대한 기록 시간은 길어진다. 전계 효과 이동도의 파라미터가 약 0.75배로 저하되면, 화소에 대한 기록 시간이 1수평 선택 기간보다 길어지고, 액정 표시 장치가 동작할 수 없는 것이 시사된다.

[0771] CAC-OS막을 포함하는 트랜지스터를 사용함으로써, 8K의 고해상도를 갖는 대형(65인치) 표시 패널이어도 120Hz의 높은 프레임 레이트로 구동할 수 있다는 것이 확인되었다.

[0772] (실시예 5)

[0773] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 제작하고, 신뢰성을 평가하였다.

[0774] [트랜지스터의 제작]

[0775] 먼저, 상술한 트랜지스터(100A)에 상당하는 트랜지스터를 제작하였다. 본 실시예에서는, 이하에서 설명하는 시료 B를 제작하였다. 또한, 시료 B의 트랜지스터에서는, 도전막(120a)과 절연막(118)의 적층 순서가 트랜지스터(100A)에서와 상이하였다.

[0776] 시료 B는 채널 길이 $L$이 4㎛이고 채널 폭 $W$가 1000㎛인 트랜지스터를 포함하였다.

[0777] [시료 B의 제작 방법]

[0778] 먼저, 유리 기판 위에 두께 100nm의 텅스텐막을 스퍼터링 장치를 사용하여 형성하였다. 그리고, 상기 도전막을 포토리소그래피법에 의하여 가공하여, 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성하였다.

[0779] 그리고, 기판 및 도전막(104) 위에 4개의 절연막을 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다. 절연막(106)을 형성하기 위해서는, PECVD 장치를 사용하여 진공에서 막을 연속적으로 형성하였다. 절연막(106)을 형성하기 위해서는, 두께 50nm의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 두께 50nm의 질화 실리콘막, 및 두께 15nm의 산화질화 실리콘막을 아래에서 이 순서대로 적층하였다.

[0780] 다음으로, 절연막(106) 위에 2개의 금속 산화물막(제 1 금속 산화물막 및 제 2 금속 산화물막)을 순차적으로 형성하였다. 그리고, 상기 적층된 금속 산화물막을 섬 형상으로 가공하여 금속 산화물막(108)을 형성하였다.

[0781] 두께 20nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 25nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0782] 제 1 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 1 금속 산화물막 형성 시의 산소 유량비는 10%이었다.

[0783] 제 2 금속 산화물막은, 스퍼터링 가스의 유량을 제외하고는 상기 제 1 금속 산화물막과 같은 퇴적 조건하에서 형성하였다. 구체적으로는, 체임버 내로의 아르곤 가스의 도입을 정지하고, 유량 200sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하였다. 제 2 금속 산화물막의 형성 시의 산소 유량비는 100%이었다.

[0784] 다음으로, 다음과 같이 가열 처리를 가열 온도 350℃에서 수행하였다: 질소 분위기에서 가열 처리를 1시간 동안 수행한 다음, 질소와 산소를 포함하는 혼합 가스 분위기에서 가열 처리를 1시간 동안 수행하였다.

[0785] 그리고, 절연막(106) 및 금속 산화물막(108) 위에 도전막을 형성하고 가공하여, 도전막(112a 및 112b)을 형성하였다. 도전막을 위해서는, 두께 50nm의 텅스텐막, 두께 400nm의 알루미늄막, 및 두께 100nm의 타이타늄막을 스퍼터링 장치를 사용하여 이 순서대로 형성하였다. 이어서, 도전막을 포토리소그래피법에 의하여 에칭함으로써, 도전막(112a 및 112b)을 형성하였다.

[0786] 다음으로, 금속 산화물막(108)의 노출된 표면(백 채널 측)을 인산을 사용하여 세정하였다.

[0787] 그리고, 절연막(106), 금속 산화물막(108), 및 도전막(112a 및 112b) 위에 절연막(114)을 형성하고, 절연막(114) 위에 절연막(116)을 형성하였다. 절연막(114) 및 절연막(116)은 PECVD 장치를 사용하여 진공에서 연속적으로 형성하였다. 절연막(114)은 두께 30nm의 산화질화 실리콘막을 사용하여 형성하고, 절연막(116)은 두께 400nm의 산화질화 실리콘막을 사용하여 형성하였다.

[0788] 다음으로, 가열 온도 350℃, 질소 분위기에서, 1시간 동안 가열 처리를 수행하였다.

[0789] 그리고, 절연막(116) 위에 도전막을 형성하였다. 도전막으로서는 두께 6nm의 ITSO막을 스퍼터링 장치에 의하여 형성하였다.

[0790] 이어서, 플라스마 처리에 의하여 도전막을 통하여 절연막(116)에 산소를 첨가하였다. 플라스마 처리에서는, 산

소 가스를 포함하는 분위기에서 플라스마를 방전시켰다.

[0791] 다음으로, 도전막을 제거하였다.

[0792] 그리고, 절연막(116) 위에 절연막(118)을 형성하였다. 절연막(118)으로서는, PECVD 장치를 사용하여 두께 100nm의 질화 실리콘막을 형성하였다.

[0793] 그 후, 절연막의 원하는 영역에 개구를 형성하였다. 개구는 드라이 에칭법에 의하여 형성하였다.

[0794] 다음으로, 개구를 충전하도록 도전막을 형성하고 섬 형상으로 가공함으로써, 제 2 게이트 전극으로서 기능하는 도전막(120a)을 형성하였다. 도전막(120a)으로서는, 스퍼터링 장치를 사용하여 두께 100nm의 ITSO막을 형성하였다.

[0795] 다음으로, 절연막(118) 및 도전막(120a) 위에 절연막을 형성하였다. 절연막에는 두께 1.5㎛의 아크릴계 감광성 수지를 사용하였다.

[0796] 상술한 식으로, 시료 B를 제작하였다.

[0797] [신뢰성 평가]

[0798] 다음으로, 시료 B의 트랜지스터에 대하여 신뢰성 평가를 수행하였다. 신뢰성 평가에서는, 트랜지스터에 펄스 전압을 반복적으로 인가하여 트랜지스터를 구동하고, 온 상태 전류의 변화율을 측정하였다.

[0799] 측정에서는, 실온(25℃)에서 소스 전극에 -8V의 정전위를 인가하면서, 제 1 게이트 전극, 제 2 게이트 전극, 및 드레인 전극에 하이 레벨 전압이 20V이고 로 레벨 전압이 -8V인 펄스 전압을 인가하였다. 주기는 58.4㎲sec이고, 20V의 전압이 인가되는 기간이 20%(주기당 11.68㎲sec)를 차지하고, -8V의 전압이 인가되는 기간이 80%를 차지하였다(즉, 듀티 사이클이 20%이었음). 소스 전류($I_s$)의 상한은 10mA로 하였다.

[0800] 일정한 기간 펄스 전압을 인가한 후, 트랜지스터의 온 상태 전류를 측정하였다. 온 상태 전류의 측정에서는, 게이트 전압($V_g$) 및 백 게이트 전압($V_{bg}$)을 15V로 하고, 소스 전압($V_s$)을 0V(comm)로 하고, 드레인 전압($V_d$)을 5V로 하고, 측정의 샘플링 기간을 7.5msec(듀티 사이클: 7.5%)로 하였다.

[0801] 도 56의 (A) 및 (B)는 측정 결과를 나타낸 것이다. 도 56의 (A)에는 측정 결과를 반대수 그래프로 나타내고, 도 56의 (B)에는 측정 결과를 양대수 그래프로 나타내었다. 도 56의 (A) 및 (B)의 각각에서, 가로축은 측정 시간을 나타내고, 세로축은 신뢰성 평가에서의 온 상태 전류의 변화율을 나타낸다. 도 56의 (B)의 결과로부터, 온 상태 전류가 열화에 의하여 70%로 저하되는 데 약 364시간 걸리는 것이 추정될 수 있다. 상술한 결과에 따르면, 본 발명의 일 형태에 따른 금속 산화물을 포함하는 트랜지스터는 신뢰성이 높다.

[0802] (실시예 6)

[0803] 본 실시예에서는, 본 발명의 일 형태에 따른 트랜지스터를 제작하고, 신뢰성을 평가하였다.

[0804] [트랜지스터의 제작]

[0805] 먼저, 상술한 트랜지스터(100A)에 상당하는 트랜지스터를 제작하였다. 본 실시예에서는, 이하에서 설명하는 시료 C를 제작하였다.

[0806] 시료 C는 채널 길이 $L$이 3㎛이고 채널 폭 $W$가 50㎛인 트랜지스터를 포함하였다.

[0807] [시료 C의 제작 방법]

[0808] 먼저, 유리 기판 위에 두께 100nm의 텅스텐막을 스퍼터링 장치를 사용하여 형성하였다. 그리고, 상기 도전막을 포토리소그래피법에 의하여 가공하여, 제 1 게이트 전극으로서 기능하는 도전막(104)을 형성하였다.

[0809] 그리고, 기판 및 도전막(104) 위에 4개의 절연막을 적층하여 제 1 게이트 절연막으로서 기능하는 절연막(106)을 형성하였다. 절연막(106)을 형성하기 위해서는, PECVD 장치를 사용하여 진공에서 막을 연속적으로 형성하였다. 절연막(106)을 형성하기 위해서는, 두께 50nm의 질화 실리콘막, 두께 300nm의 질화 실리콘막, 두께 50nm의 질화 실리콘막, 및 두께 15nm의 산화질화 실리콘막을 아래에서 이 순서대로 적층하였다.

[0810] 다음으로, 절연막(106) 위에 2개의 금속 산화물막(제 1 금속 산화물막 및 제 2 금속 산화물막)을 순차적으로 형성하였다. 그리고, 상기 적층된 금속 산화물막을 섬 형상으로 가공하여 금속 산화물막(108)을 형성하였다.

[0811] 두께 10nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 25nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0812] 제 1 금속 산화물막은, 기판 온도를 130℃로 하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 1 금속 산화물막 형성 시의 산소 유량비는 10%이었다.

[0813] 제 2 금속 산화물막은, 스퍼터링 가스의 유량을 제외하고는 상기 제 1 금속 산화물막과 같은 퇴적 조건하에서 형성하였다. 구체적으로는, 체임버 내로의 아르곤 가스의 도입을 정지하고, 유량 200sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하였다. 제 2 금속 산화물막의 형성 시의 산소 유량비는 100%이었다.

[0814] 다음으로, 다음과 같이 가열 처리를 가열 온도 350℃에서 수행하였다: 질소 분위기에서 가열 처리를 1시간 동안 수행한 다음, 질소와 산소를 포함하는 혼합 가스 분위기에서 가열 처리를 1시간 동안 수행하였다.

[0815] 그리고, 절연막(106) 및 금속 산화물막(108) 위에 도전막을 형성하고 가공하여, 도전막(112a 및 112b)을 형성하였다. 도전막을 위해서는, 두께 50nm의 텅스텐막, 두께 400nm의 알루미늄막, 및 두께 100nm의 타이타늄막을 스퍼터링 장치를 사용하여 이 순서대로 형성하였다. 이어서, 도전막을 포토리소그래피법에 의하여 에칭함으로써, 도전막(112a 및 112b)을 형성하였다.

[0816] 다음으로, 금속 산화물막(108)의 노출된 표면(백 채널 측)을 인산을 사용하여 세정하였다.

[0817] 그리고, 절연막(106), 금속 산화물막(108), 및 도전막(112a 및 112b) 위에 절연막(114)을 형성하고, 절연막(114) 위에 절연막(116)을 형성하였다. 절연막(114) 및 절연막(116)은 PECVD 장치를 사용하여 진공에서 연속적으로 형성하였다. 절연막(114)은 두께 30nm의 산화질화 실리콘막을 사용하여 형성하고, 절연막(116)은 두께 300nm의 산화질화 실리콘막을 사용하여 형성하였다.

[0818] 절연막(116)을 형성한 후, 연속적으로 진공에서 플라스마 처리에 의하여 산소를 절연막(116)에 첨가하였다. 플라스마 처리에서는, 산소 가스를 포함하는 분위기에서 플라스마를 방전시켰다.

[0819] 다음으로, 가열 온도 350℃, 질소 분위기에서, 1시간 동안 가열 처리를 수행하였다.

[0820] 다음으로, 2층의 금속 산화물막을 형성하고 섬 형상으로 가공하여, 제 2 게이트 전극으로서 기능하는 도전막(120a)을 형성하였다.

[0821] 두께 10nm의 In-Ga-Zn막을 사용하여 제 1 금속 산화물막을 형성하고, 두께 90nm의 In-Ga-Zn막을 사용하여 제 2 금속 산화물막을 형성하였다.

[0822] 제 1 금속 산화물막은, 기판 온도를 170℃로 하고, 유량 200sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하고, 압력을 0.6Pa로 하고, 인듐, 갈륨, 및 아연을 포함하는 금속 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])에 2.5kw의 교류 전력을 인가하는 조건하에서 형성하였다. 제 1 금속 산화물막 형성 시의 산소 유량비는 100%이었다.

[0823] 제 2 금속 산화물막은, 스퍼터링 가스의 유량을 제외하고는 상기 제 1 금속 산화물막과 같은 퇴적 조건하에서 형성하였다. 구체적으로는, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 스퍼터링 장치의 체임버 내에 도입하였다. 제 2 금속 산화물막의 형성 시의 산소 유량비는 10%이었다.

[0824] 그리고, 도전막(120a) 위에 절연막(118)을 형성하였다. 절연막(118)으로서는, PECVD 장치를 사용하여 두께 100nm의 질화 실리콘막을 형성하였다.

[0825] 다음으로, 절연막(118) 위에 절연막을 형성하였다. 절연막에는 두께 1.5㎛의 아크릴계 감광성 수지를 사용하였다.

[0826] 상술한 식으로, 시료 C를 제작하였다.

[0827] [트랜지스터의 $I_d$-$V_g$ 특성]

[0828] 다음으로, 상기 제작된 시료 C의 트랜지스터의 $I_d$-$V_g$ 특성을 측정하였다. 트랜지스터의 $I_d$-$V_g$ 특성의 측정에서는, $V_g$ 및 $V_{bg}$를 -15V에서 +20V까지 0.25V의 증분으로 변화시켰다. 또한, $V_s$를 0V(comm)로 하고, $V_d$를

0.1V 또는 20V로 하였다.

[0829] 도 57은 시료 C의 $I_d$-$V_g$ 특성의 결과를 나타낸 것이다. 도 57에서, 제 1 세로축은 $I_d$(A)를 나타내고, 제 2 세로축은 전계 효과 이동도(μFE($cm^2$/Vs))를 나타내고, 가로축은 $V_g$(V)를 나타낸다. 또한, 전계 효과 이동도는 $V_d$가 20V일 때 측정하였다.

[0830] 도 57에 나타낸 바와 같이, 제작된 트랜지스터는 전계 효과 이동도가 높고 스위칭 특성이 양호하다.

[0831] (실시예 7)

[0832] 트랜지스터의 제작 공정에서, 금속 산화물막(산화물 반도체막)은 다양한 단계에서 손상된다. 구체적으로는, 소스 전극 및 드레인 전극의 형성 단계, 소스 전극 및 드레인 전극의 에칭 공정(특히, 드라이 에칭 공정), 및 패시베이션막의 형성 단계 등에서 금속 산화물막은 손상될 수 있다.

[0833] 본 실시예에서는, 금속 산화물막 위에 패시베이션막 또는 소스 및 드레인 전극을 형성한 시료에 ESR 분석을 수행하여, 막 형성으로 인한 대미지를 평가하였다.

[0834] 본 실시예의 ESR 분석은, *g*인자가 1.9 부근의 시그널에 중점을 두어 수행하였다. 이 ESR 시그널은, 금속 산화물막 중의 도너인 산소 결손($V_O$)에 들어간 수소에 기인한 전도 전자 스핀 공명으로 인한 것으로 생각된다.

[0835] 도 58의 (A) 및 (B)는 본 실시예의 시료의 ESR 분석에 의하여 얻은 정량된 스핀 밀도를 나타낸 것이다. 본 실시예에서는, 금속 산화물로서 nc-IGZO 및 CAAC-IGZO를 사용하였다. 도 58의 (A)는 금속 산화물막 위에 패시베이션막(SiON막으로 형성됨)을 형성한 시료의 결과를 나타낸 것이다. 도 58의 (B)는 금속 산화물막 위에 소스 및 드레인 전극(W막으로 형성됨)을 형성한 시료의 결과를 나타낸 것이다.

[0836] 도 58의 (A) 및 (B)의 결과에 의하여, CAAC-IGZO는 산소 결손에 들어간 수소에 기인한 ESR 시그널이 nc-IGZO보다 작다는 것이 시사된다. 이는, CAAC-IGZO가 트랜지스터의 제작 공정에서 특히 손상되기 어렵고, CAAC-IGZO의 저항이 저감되기 어려운 것을 의미한다.

## *부호의 설명*

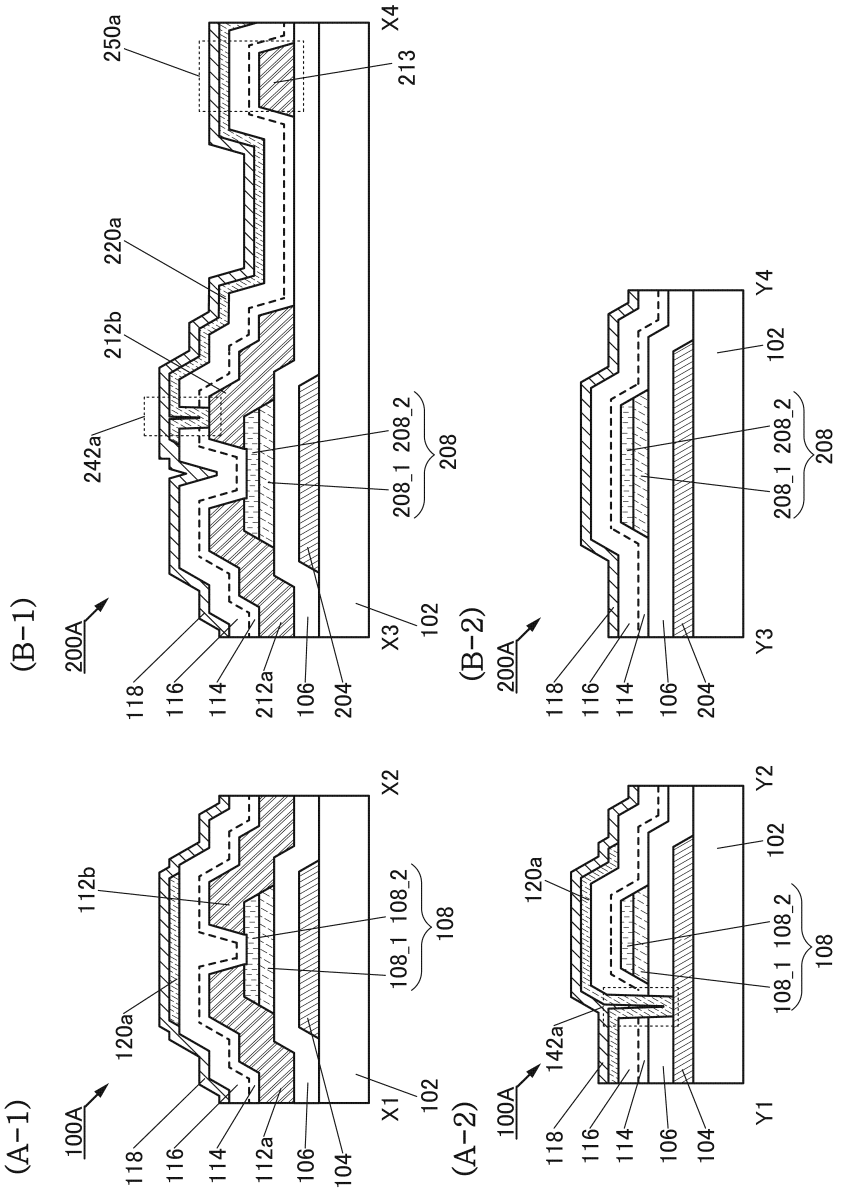
[0837] 100A: 트랜지스터, 100C: 트랜지스터, 100D: 트랜지스터, 100E: 트랜지스터, 102: 기판, 104: 도전막, 106: 절연막, 108: 금속 산화물막, 108_1: 금속 산화물막, 108_1_0: 금속 산화물막, 108_2: 금속 산화물막, 108_2_0: 금속 산화물막, 112a: 도전막, 112a_1: 도전막, 112a_2: 도전막, 112a_3: 도전막, 112b: 도전막, 112b_1: 도전막, 112b_2: 도전막, 112b_3: 도전막, 114: 절연막, 116: 절연막, 117: 개구, 118: 절연막, 119: 절연막, 120: 도전막, 120a: 도전막, 120a_1: 도전막, 142a: 개구, 191: 타깃, 192: 플라스마, 193: 타깃, 194: 플라스마, 200A: 트랜지스터, 200B: 트랜지스터, 204: 도전막, 205: 용량 배선, 208: 금속 산화물막, 208_1: 금속 산화물막, 208_2: 금속 산화물막, 209: 금속 산화물막, 209_1: 금속 산화물막, 209_2: 금속 산화물막, 210: 도전막, 210_1: 도전막, 210_2: 도전막, 211: 개구, 212a: 도전막, 212b: 도전막, 213: 도전막, 220a: 도전막, 220a_1: 도전막, 242a: 개구, 242b: 개구, 250: 용량 소자, 250a: 용량 소자, 331: 프로파일군, 332: 프로파일군, 341: 프로파일군, 342: 프로파일군, 501: 화소 회로, 502: 화소부, 504: 드라이버 회로부, 504a: 게이트 드라이버, 504b: 소스 드라이버, 506: 보호 회로, 507: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터, 560: 용량 소자, 562: 용량 소자, 570: 액정 소자, 572: 발광 소자, 601: 화소부, 601_1: 영역, 601_2: 영역, 601_3: 영역, 601_4: 영역, 602: 부하, 603: 소스 드라이버, 605: 게이트 드라이버, 607: 단자부, 609: 배선, 611: 배선, 613: 배선, 621: 화소부, 621_1: 영역, 621_2: 영역, 621_3: 영역, 621_4: 영역, 623: 화소, 700: 표시 장치, 701: 기판, 702: 화소부, 704: 소스 드라이버 회로부, 705: 기판, 706: 게이트 드라이버 회로부, 708: FPC 단자부, 710: 신호선, 711: 리드 배선부, 712: 실란트, 716: FPC, 730: 절연막, 732: 밀봉막, 734: 절연막, 735: 절연막, 736: 착색막, 738: 차광막, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 770: 절연막, 772: 도전막, 773: 절연막, 774: 도전막, 775: 액정 소자, 776: 액정층, 778: 구조, 780: 이방성 도전막, 782: 발광 소자, 786: EL층, 788: 도전막, 791: 터치 패널, 792: 절연막, 793: 전극, 794: 전극, 795: 절연막, 796: 전극, 797: 절연막, 800: 표시 장치, 810: 표시 유닛, 815: 컨트롤러 IC, 820: 터치 센서 유닛, 840: 호스트, 843: 광 센서, 844: 개폐 센서, 845: 광, 850: 인터페이스, 851: 프레임 메모리, 852: 디코더, 853: 센서 컨트롤러, 854: 컨트롤러, 855: 클럭 생성 회로, 860: 화상 처리부, 861: 감마 보정 회로, 862: 디밍(dimming) 회로, 863: 토닝(toning) 회로, 864: 보정 회로, 870: 메모리, 873: 타이밍 컨트롤러, 875: 레지스터, 875A: 스캔 체인 레지스터부, 875B: 레지스터부, 884: 터치 센서 컨트롤러, 890: 영역, 902: 제어부,

903: 셀 어레이, 904: 감지 증폭기 회로, 905: 드라이버, 906: 메인 증폭기, 907: 입출력 회로, 908: 주변 회로, 909: 메모리 셀, 930: 레지스터, 931: 레지스터, 947: 유지 회로, 948: 실렉터, 949: 플립플롭 회로, 950: 인버터, 955: 인버터, 957: 아날로그 스위치, 958: 아날로그 스위치, 961: 인버터, 963: 인버터, 964: 클럭드 인버터, 965: 아날로그 스위치, 966: 버퍼, 1500: 방송 시스템, 1500A: 방송 시스템, 1501: 전자 기기 시스템, 1501A: 전자 기기 시스템, 1510: 카메라, 1511: 송신기, 1512: 수신기, 1513: 표시 장치, 1520: 이미지 센서, 1521: 이미지 프로세서, 1522: 인코더, 1522A: 인코더, 1522B: 인코더, 1523: 변조기, 1530: 화상 생성 장치, 1540: Raw 데이터, 1541: 영상 데이터, 1541A: 영상 데이터, 1541B: 영상 데이터, 1542: 부호화 데이터, 1542A: 부호화 데이터, 1542B: 부호화 데이터, 1543: 방송 신호, 1560: TV, 1561: 방송국, 1562: 인공 위성, 1563: 방송탑, 1564: 안테나, 1565: 안테나, 1566A: 전파, 1566B: 전파, 1567A: 전파, 1567B: 전파, 1571: 수신기, 1572: 무선 기기, 1573: 무선 기기, 1574: 수신기, 1575: 접속부, 7000: 표시 모듈, 7001: 상부 커버, 7002: 하부 커버, 7006: 표시 패널, 7009: 프레임, 7010: 인쇄 회로 기판, 7011: 배터리, 7015: 발광부, 7016: 수광부, 7017a: 도광부, 7017b: 도광부, 7018: 광, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 헤드 마운트 디스플레이, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부, 8205: 케이블, 8206: 배터리, 8300: 헤드 마운트 디스플레이, 8301: 하우징, 8302: 표시부, 8304: 밴드, 8305: 렌즈, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰.

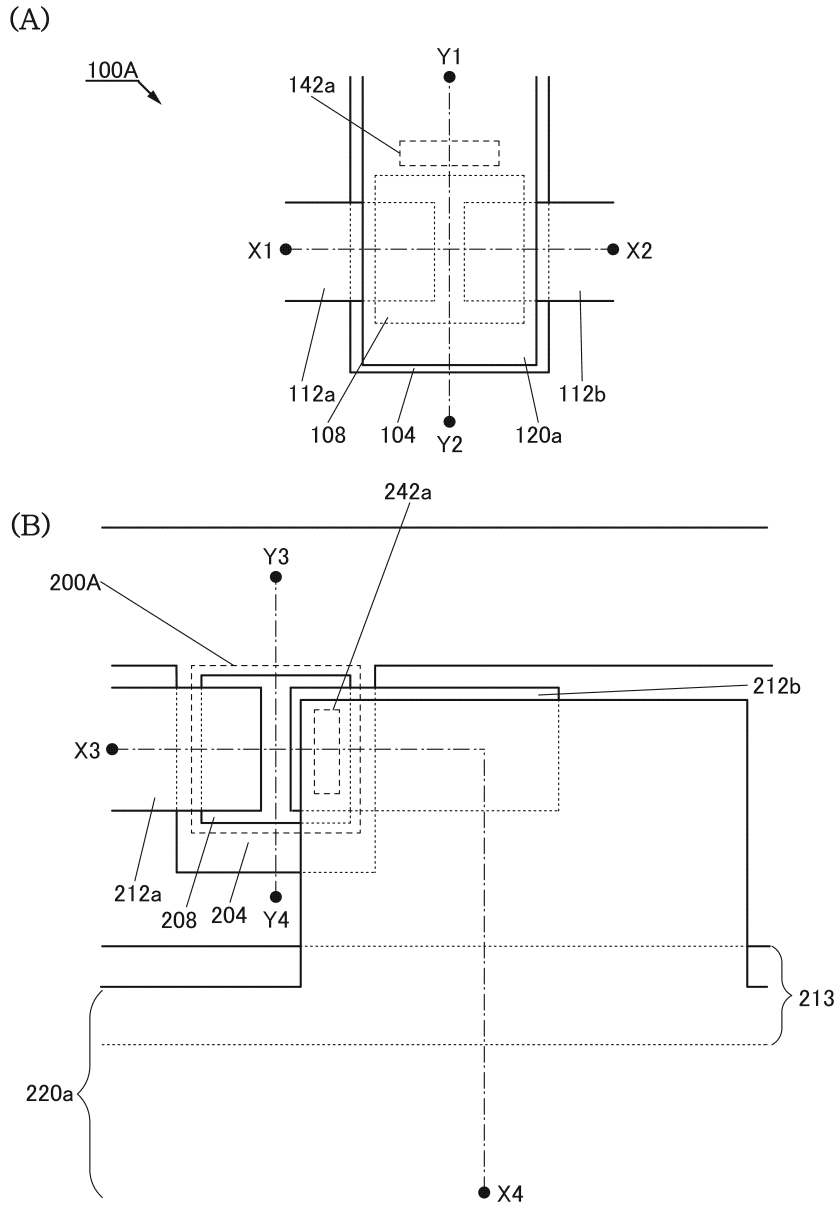
본 출원은 2016년 9월 12일에 일본 특허청에 출원된 일련 번호 2016-178106의 일본 특허 출원, 2016년 9월 20일에 일본 특허청에 출원된 일련 번호 2016-183322의 일본 특허 출원, 2016년 11월 30일에 일본 특허청에 출원된 일련 번호 2016-233577의 일본 특허 출원, 및 2017년 5월 19일에 일본 특허청에 출원된 일련 번호 2017-099483의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

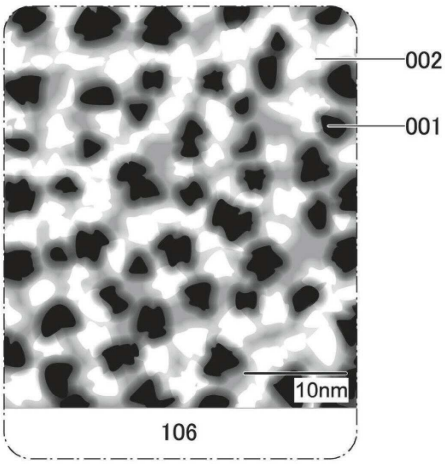
도면1


(A-1)
100A
118
116
114
112a
106
104
120a
112b
108_1 108_2
108
X1
X2
102
(A-2)
100A
118
116
114
106
104
142a
120a
108_1 108_2
108
Y1
Y2
102
(B-1)
200A
118
116
114
212a
106
204
242a
212b
220a
250a
208_1 208_2
208
X3
X4
213
102
(B-2)
200A
118
116
114
106
204
208_1 208_2
208
Y3
Y4
102

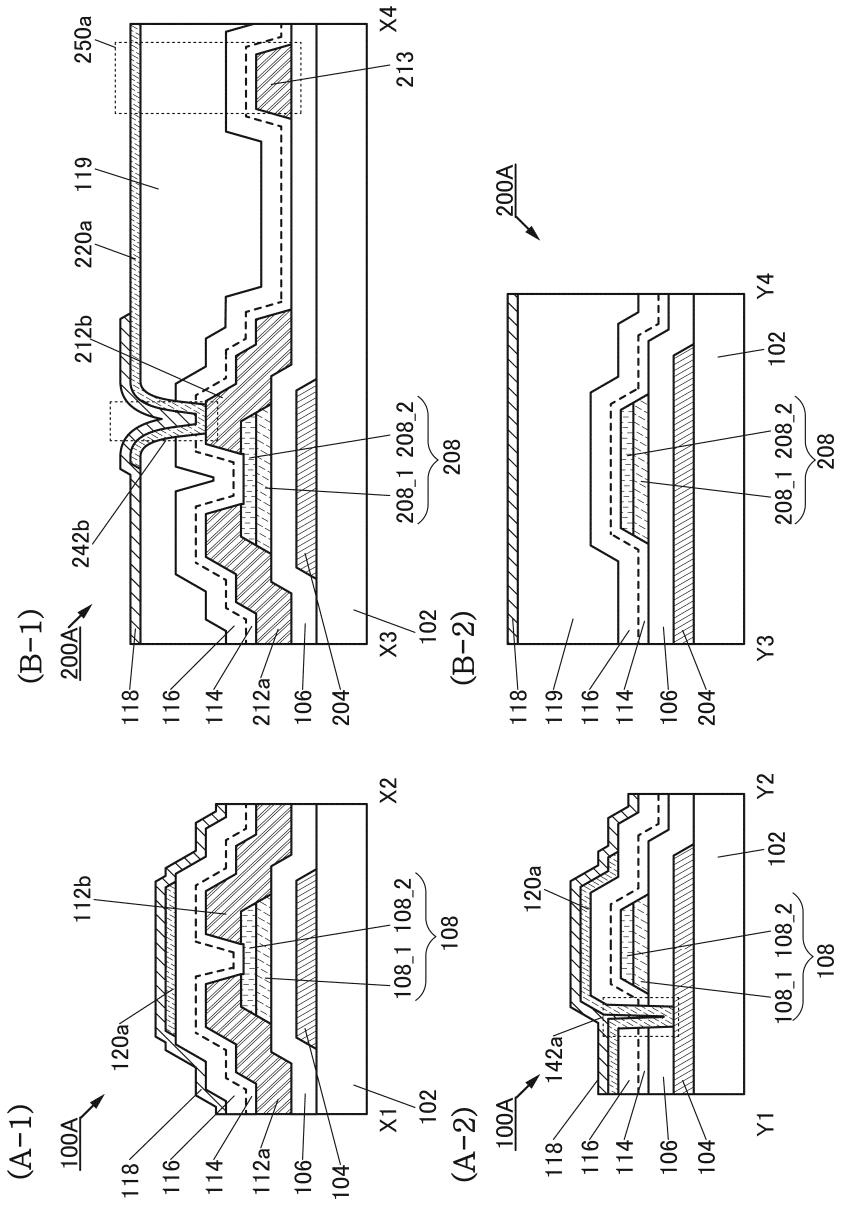
도면2


(A)
100A
142a
Y1
X1
X2
112a
108
104
Y2
120a
112b
(B)
242a
Y3
200A
212b
X3
212a
208
204
Y4
213
220a
X4

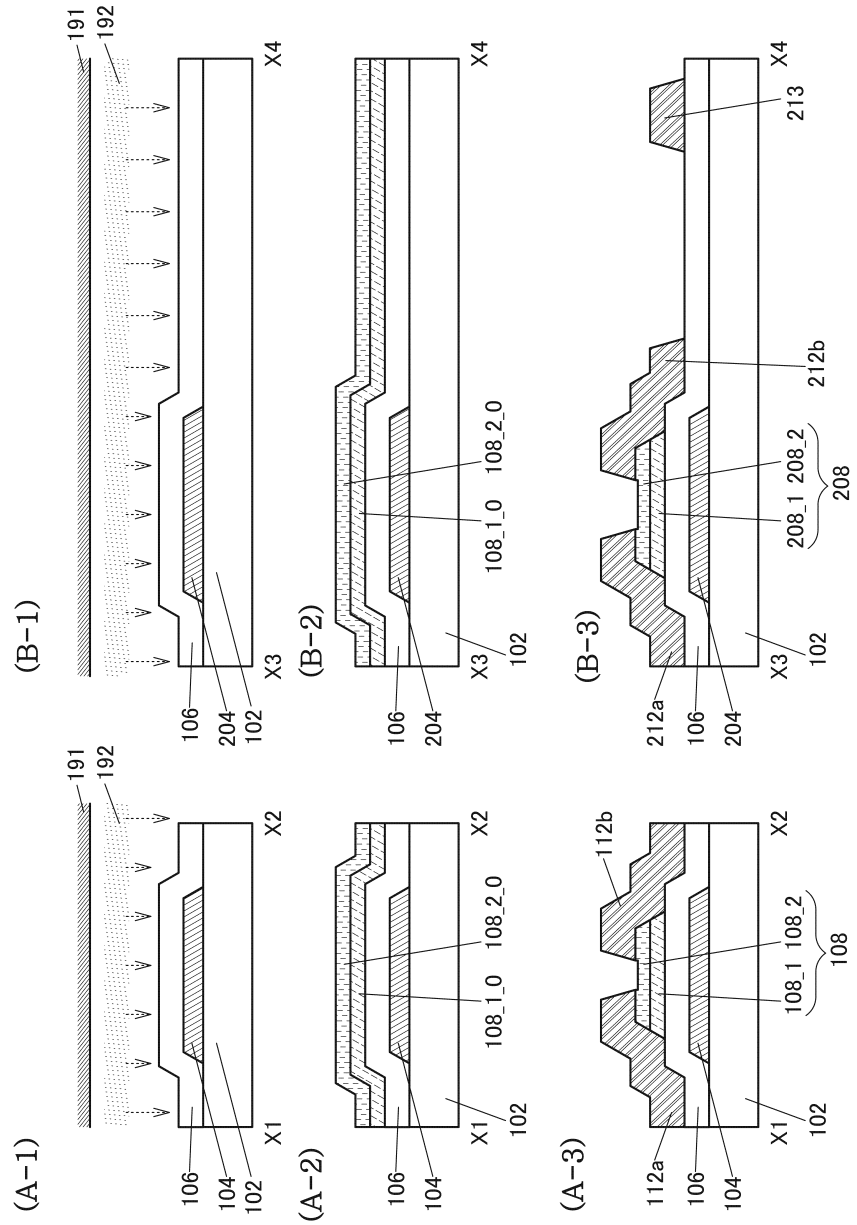
도면3


002
001
10nm
106

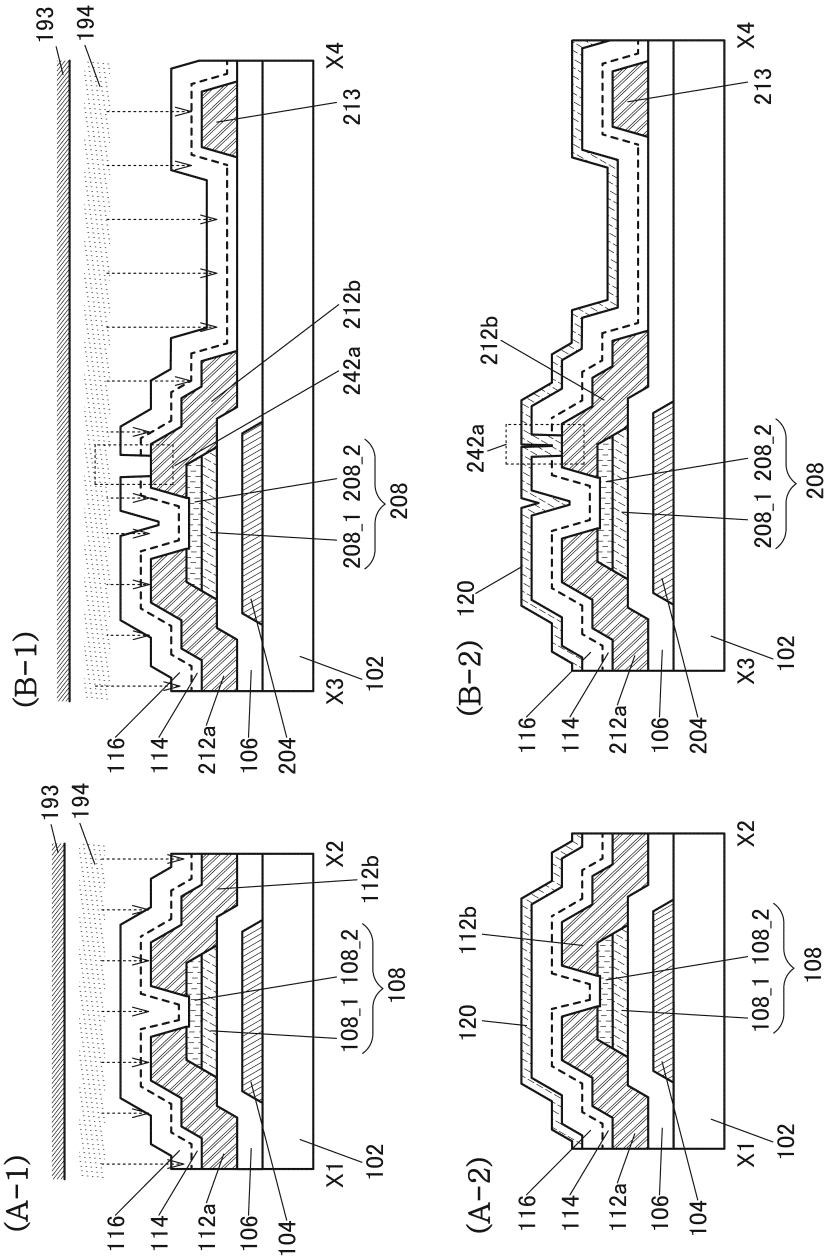
도면4


(A-1)
100A
118
116
114
112a
106
104
120a
112b
108_1
108_2
108
X1
X2
102
(A-2)
100A
118
116
114
106
104
142a
120a
108_1
108_2
108
Y1
Y2
102
(B-1)
200A
118
116
114
212a
106
204
242b
212b
220a
119
250a
208_1
208_2
208
X3
X4
213
102
(B-2)
200A
118
119
116
114
106
204
208_1
208_2
208
Y3
Y4
102

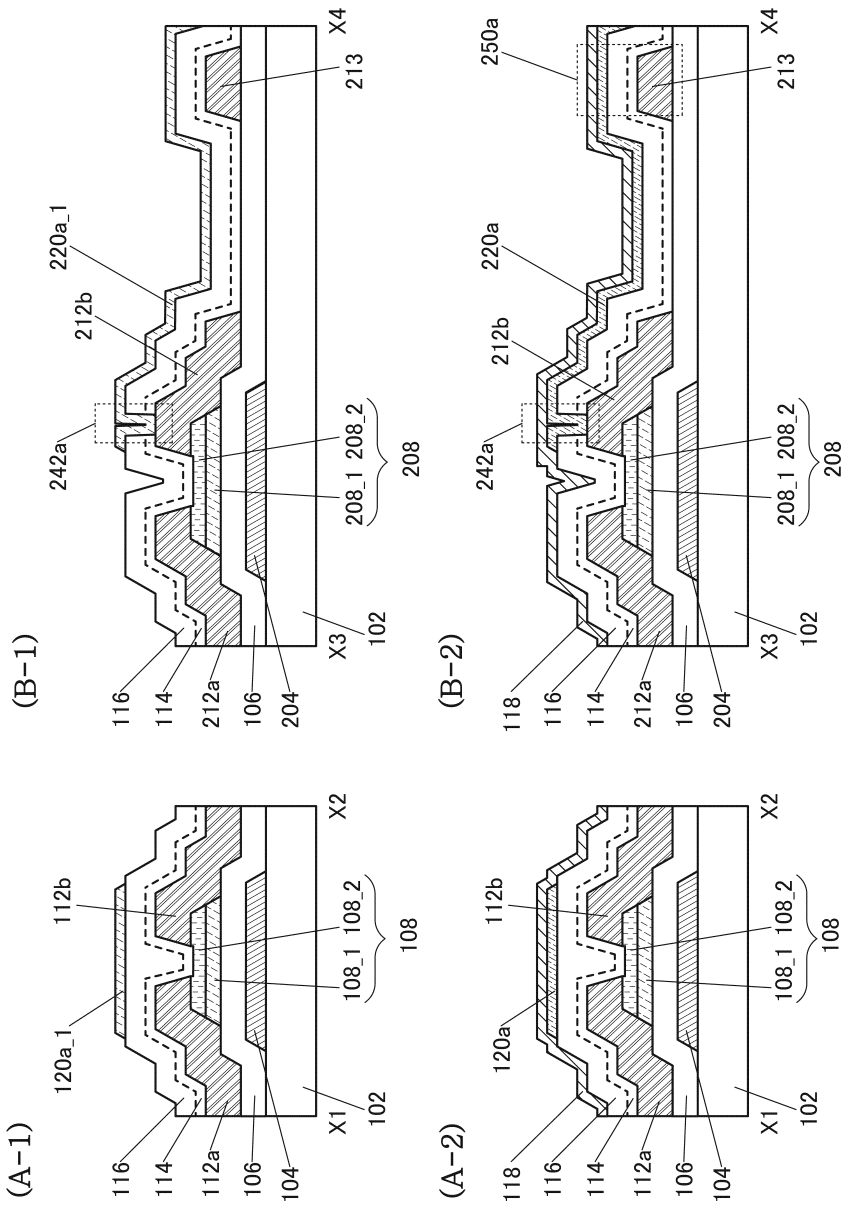
도면5


(A-1)
(A-2)
(A-3)
(B-1)
(B-2)
(B-3)
191
192
X1
X2
X3
X4
102
104
106
108
108_1
108_2
108_2_0
112a
112b
204
208
208_1
208_2
212a
212b
213

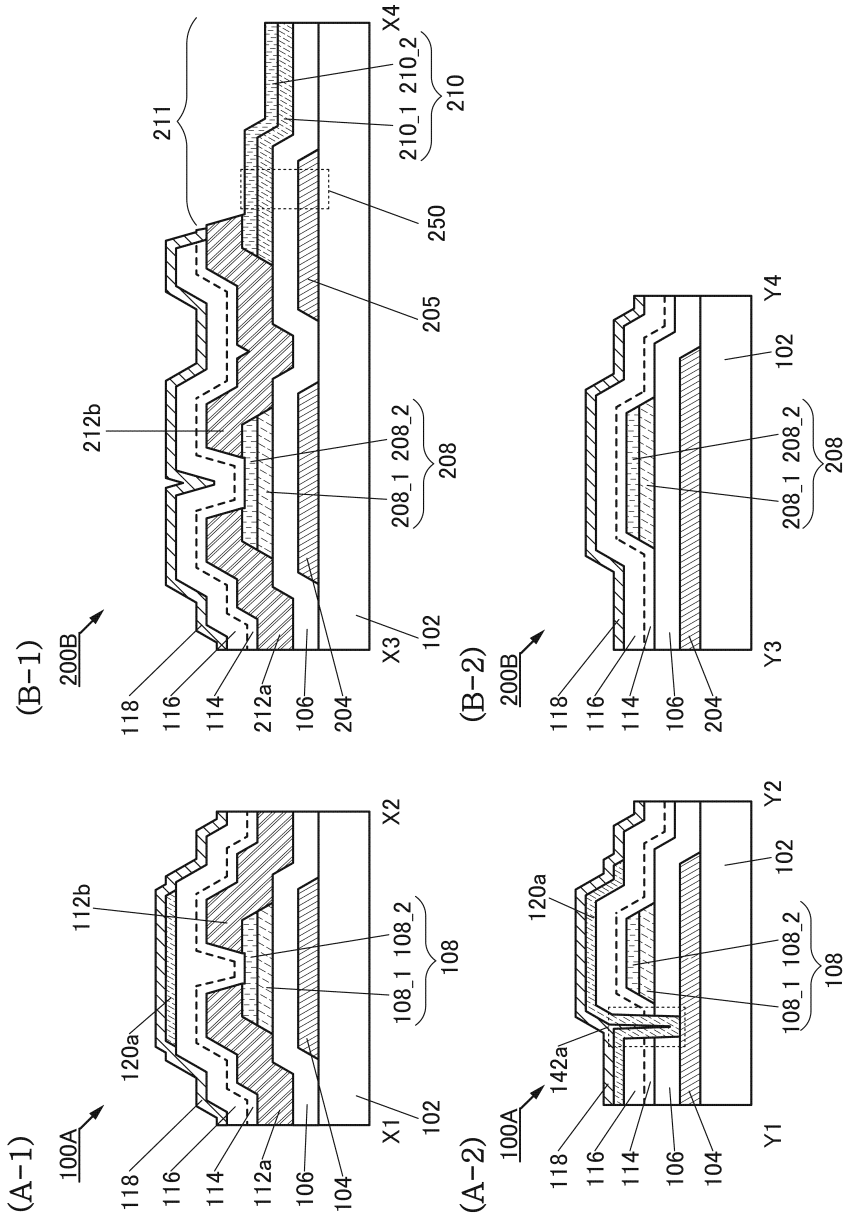
도면6


(A-1)
(A-2)
(B-1)
(B-2)
193
194
X1
X2
X3
X4
102
104
106
108
108_1
108_2
112a
112b
114
116
120
204
208
208_1
208_2
212a
212b
213
242a

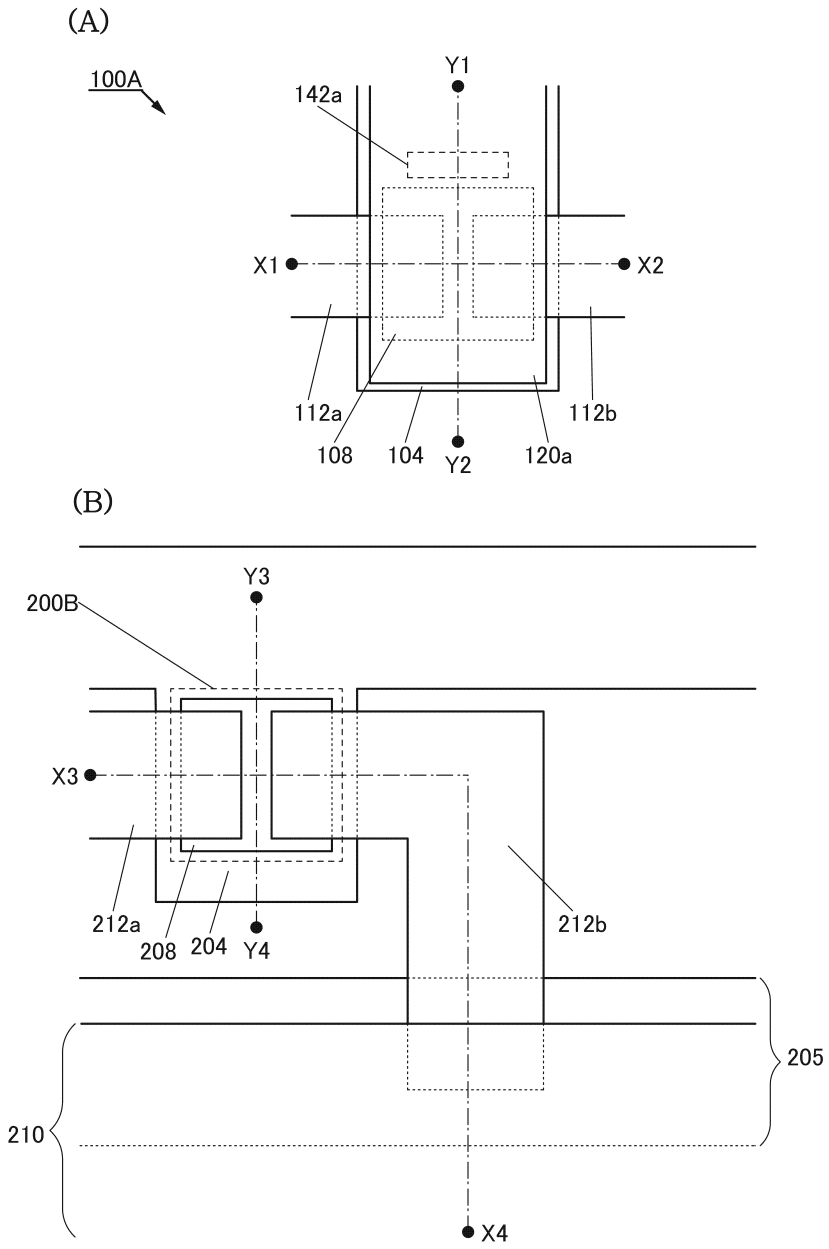
도면7


(B-1)
220a_1
212b
242a
213
X4
208_1 208_2
208
X3
102
116
114
212a
106
204
(B-2)
250a
220a
212b
242a
213
X4
208_1 208_2
208
X3
102
118
116
114
212a
106
204
(A-1)
112b
120a_1
108_1 108_2
108
X2
X1
102
116
114
112a
106
104
(A-2)
112b
120a
108_1 108_2
108
X2
X1
102
118
116
114
112a
106
104

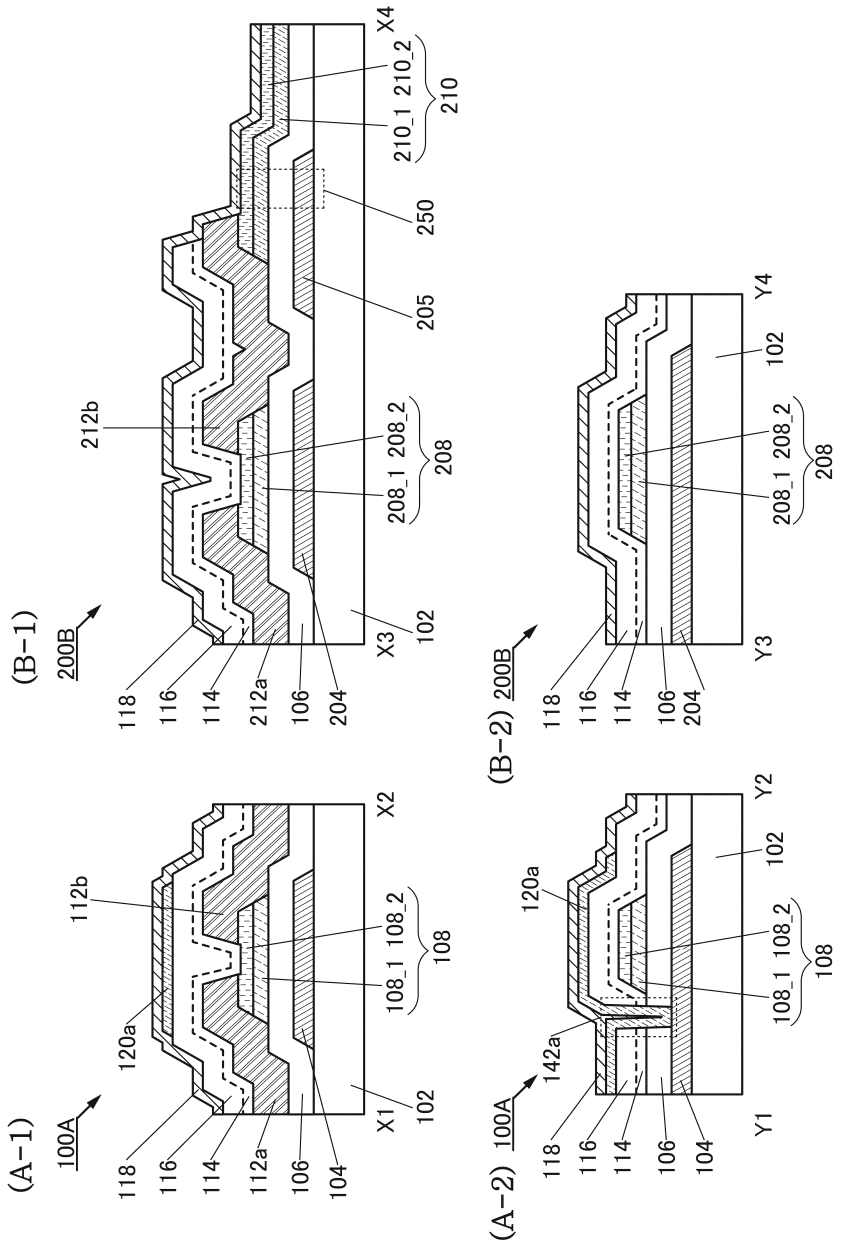
도면8


(A-1)
100A
118
116
114
112a
106
104
120a
112b
108_1 108_2
108
X1
X2
102
(A-2)
100A
118
116
114
106
104
142a
120a
108_1 108_2
108
Y1
Y2
102
(B-1)
200B
118
116
114
212a
106
204
212b
208_1 208_2
208
205
250
211
210_1 210_2
210
X3
X4
102
(B-2)
200B
118
116
114
106
204
208_1 208_2
208
Y3
Y4
102

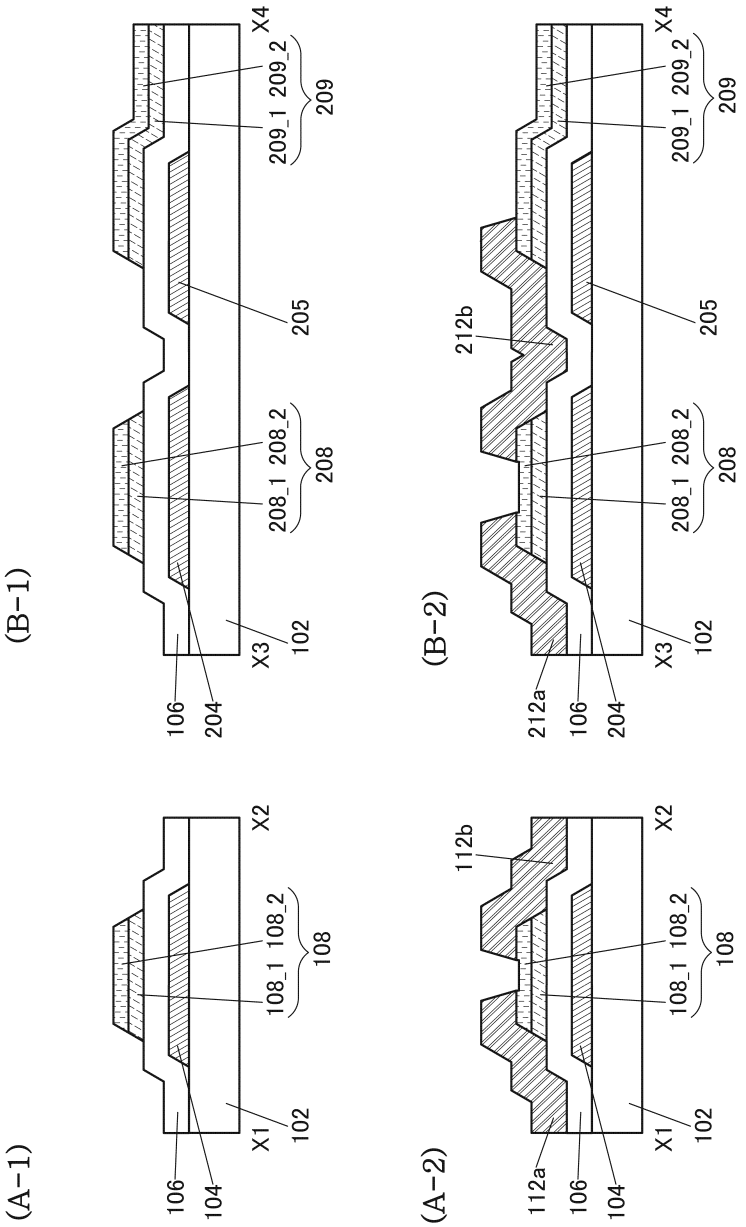
도면9


(A)
100A
142a
Y1
X1
X2
112a
108
104
Y2
120a
112b
(B)
200B
Y3
X3
212a
208
204
Y4
212b
205
210
X4

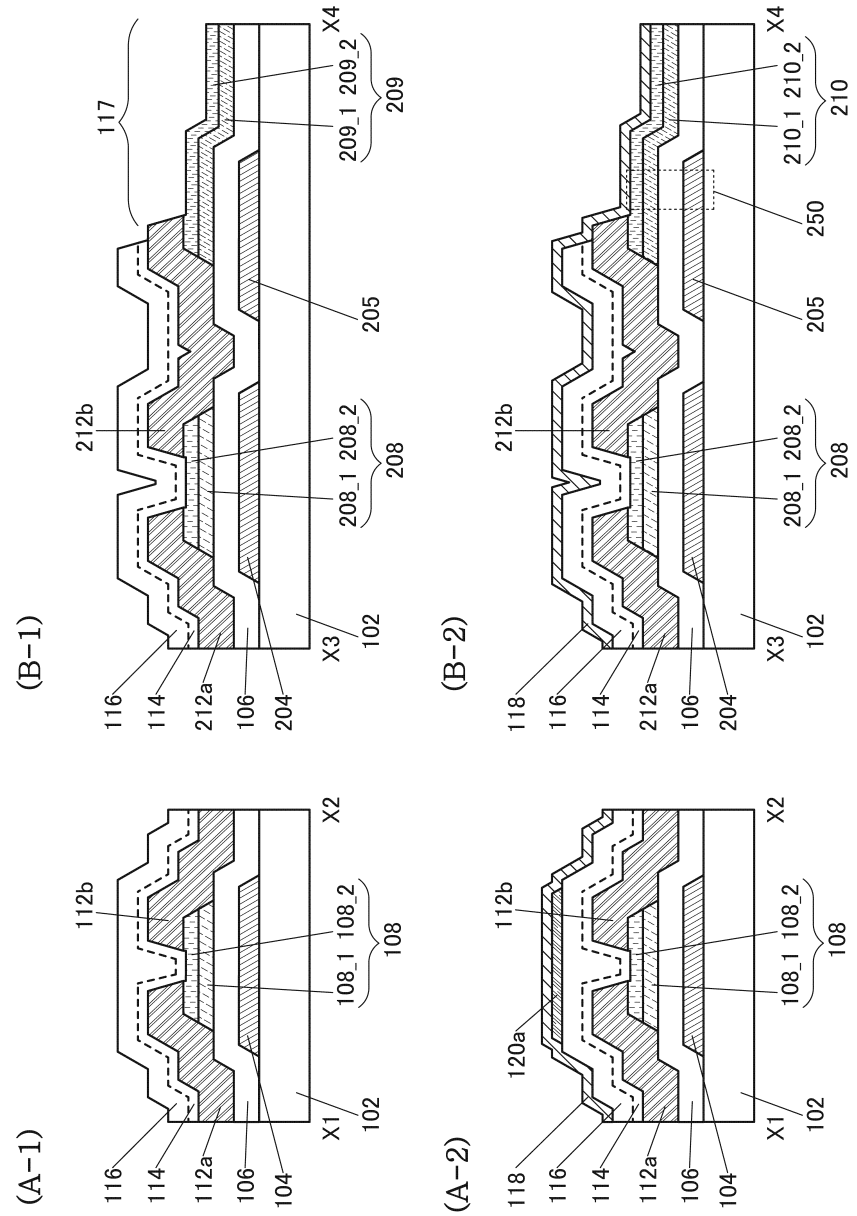
도면10


(A-1)
100A
118
116
114
112a
106
104
120a
112b
108_1 108_2
108
X1
X2
102
(A-2) 100A
142a
Y1
Y2
(B-1)
200B
212b
208_1 208_2
208
X3
X4
210_1 210_2
210
205
250
204
(B-2) 200B
Y3
Y4

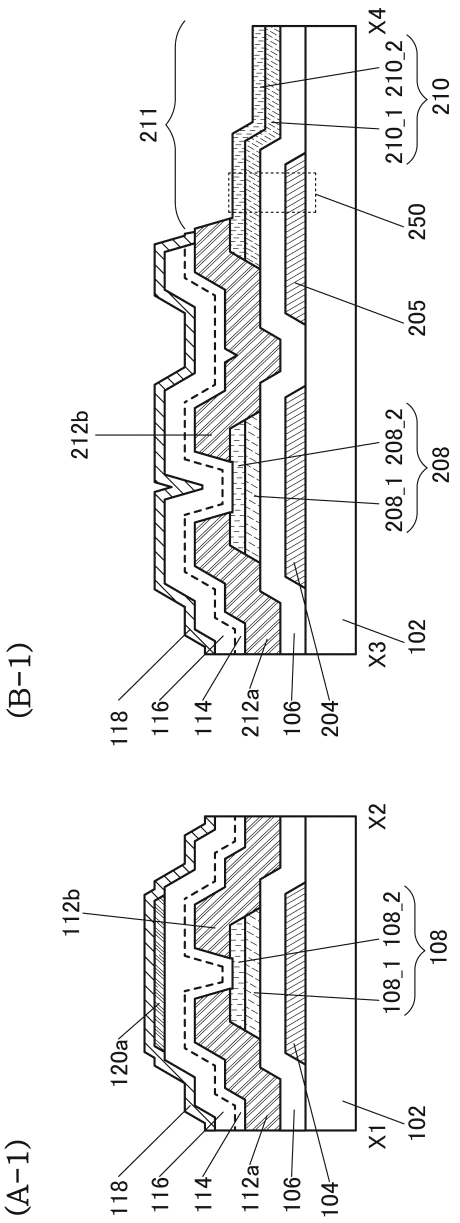
도면11


(A-1)
(A-2)
(B-1)
(B-2)
X1
X2
X3
X4
102
104
106
108
108_1
108_2
112a
112b
204
205
208
208_1
208_2
209
209_1
209_2
212a
212b

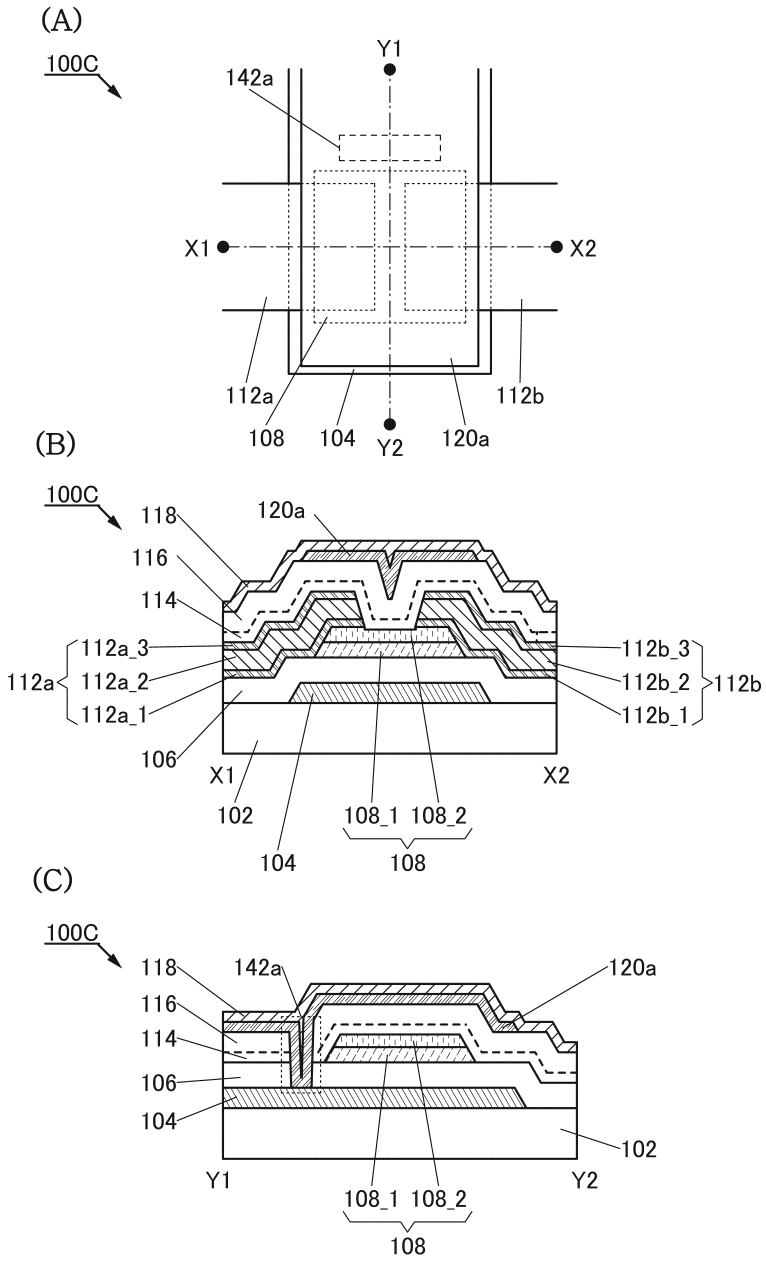
도면12


(A-1)
(A-2)
(B-1)
(B-2)
X1
X2
X3
X4
102
104
106
108
108_1
108_2
112a
112b
114
116
117
118
120a
204
205
208
208_1
208_2
209
209_1
209_2
210
210_1
210_2
212a
212b
250

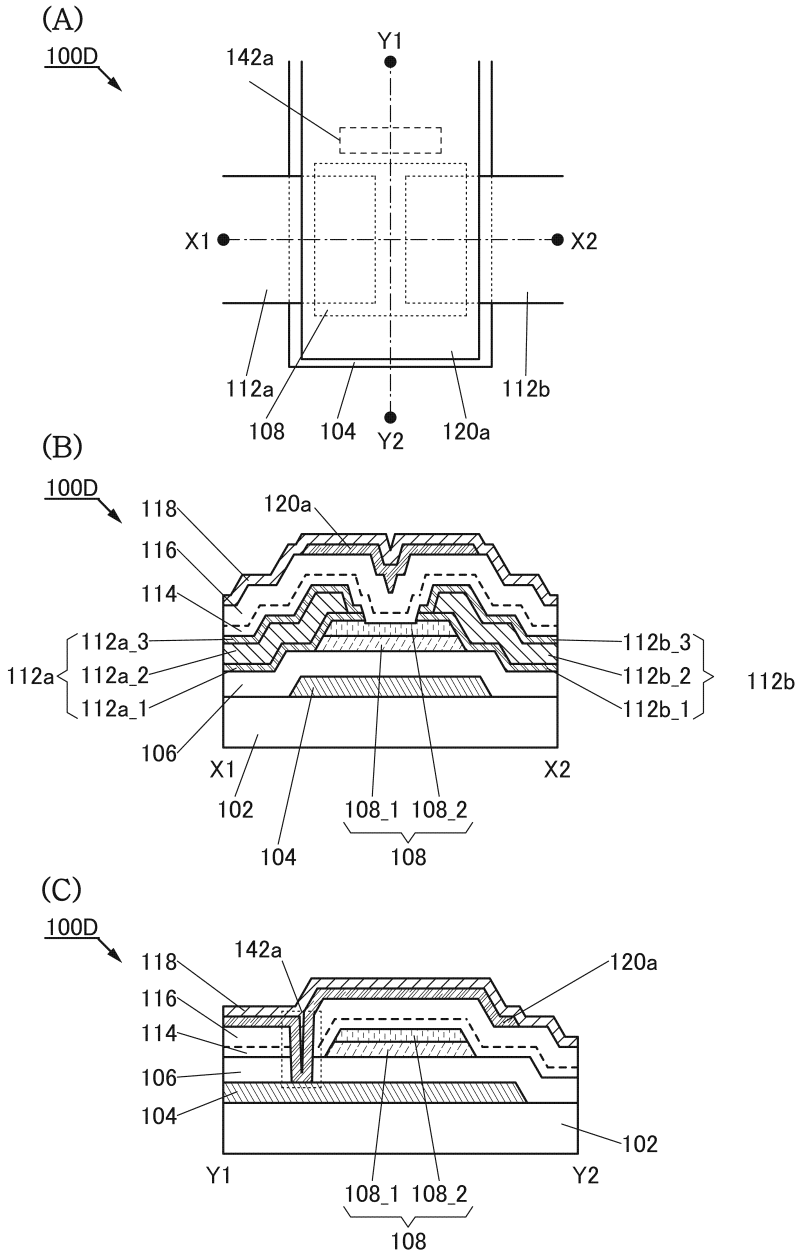
도면13


(B-1)
118
116
114
212a
106
204
212b
211
X3
102
208_1
208_2
208
205
250
X4
210_1
210_2
210
(A-1)
118
116
114
112a
106
104
120a
112b
X1
102
108_1
108_2
108
X2

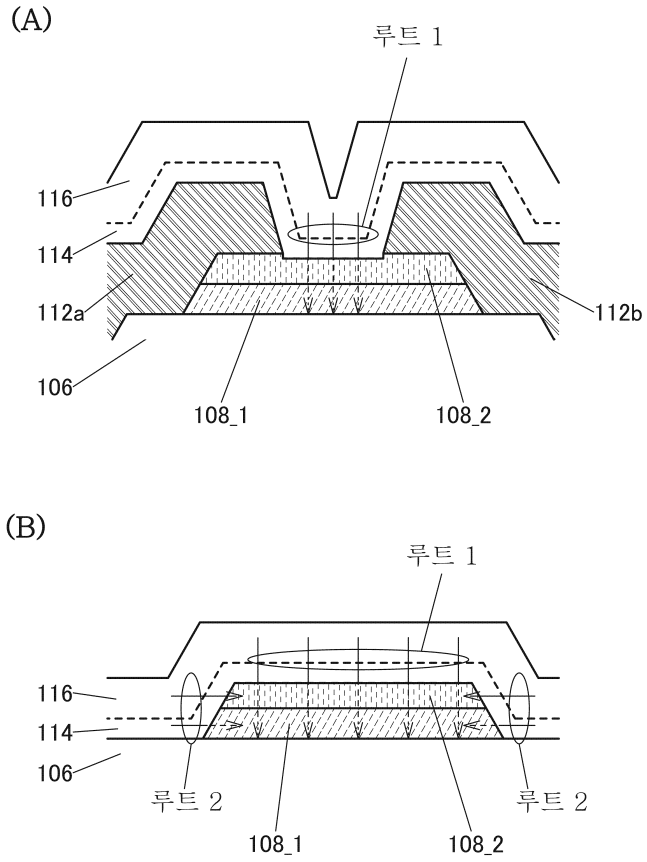
도면14


(A)
100C
142a
Y1
X1
X2
112a
112b
108
104
Y2
120a
(B)
100C
118
120a
116
114
112a_3
112a_2
112a_1
112a
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108
(C)
100C
118
142a
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

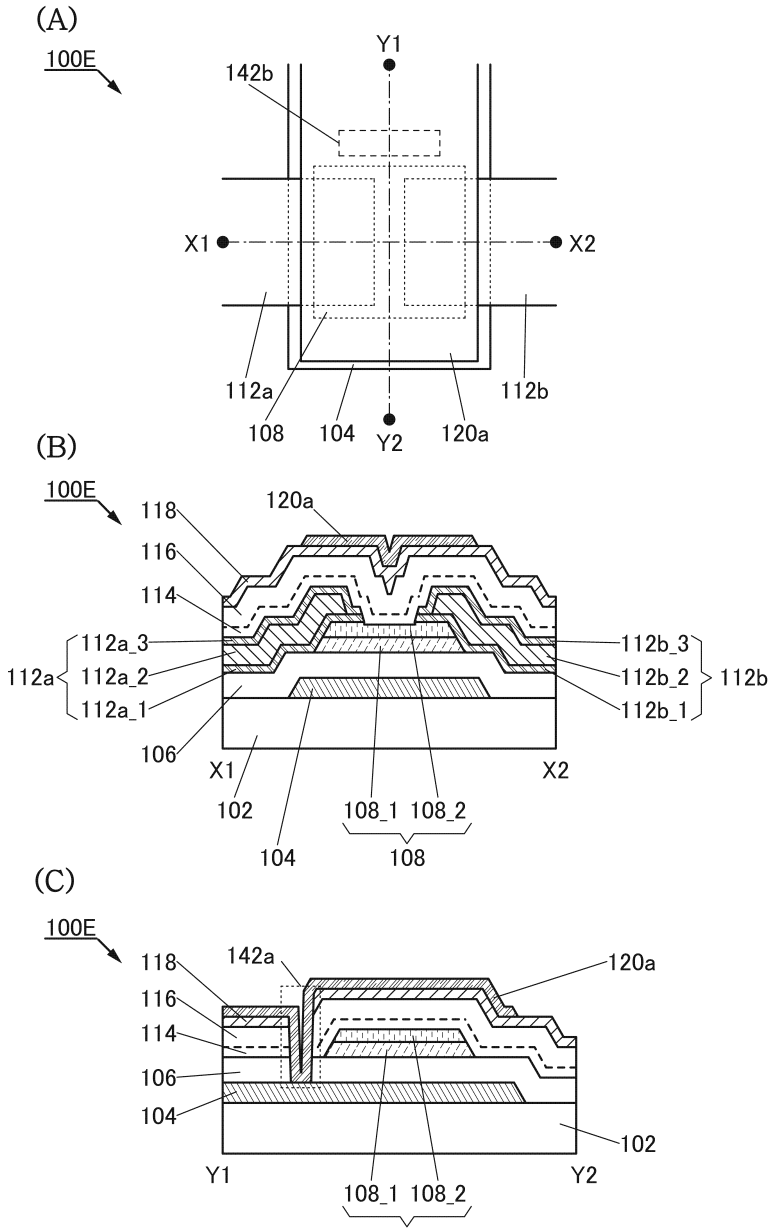
도면15


(A)
100D
142a
Y1
X1
X2
112a
108
104
Y2
120a
112b
(B)
100D
118
120a
116
114
112a_3
112a
112a_2
112a_1
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108
(C)
100D
142a
118
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

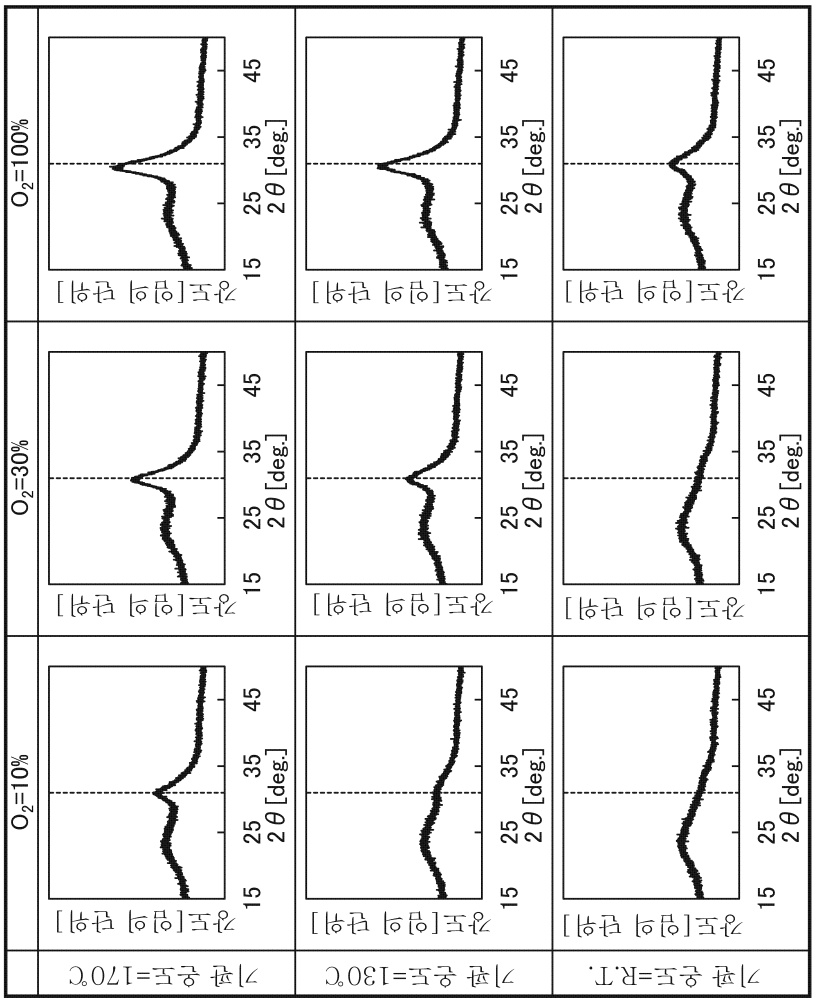
도면16


(A)
루트 1
116
114
112a
106
108_1
108_2
112b
(B)
루트 1
116
114
106
루트 2
루트 2
108_1
108_2

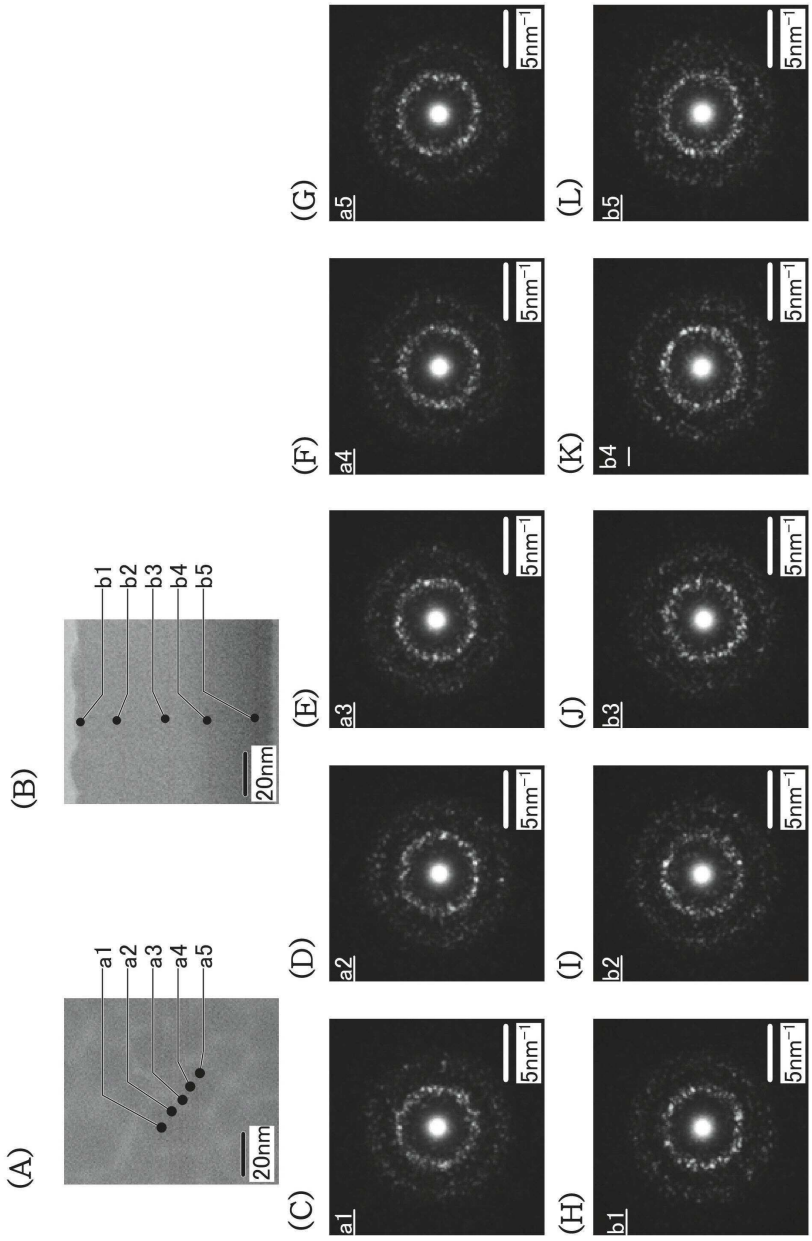
도면17


(A)
100E
142b
Y1
X1
X2
112a
108
104
Y2
120a
112b
(B)
100E
118
116
114
120a
112a_3
112a_2
112a_1
112a
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108
(C)
100E
118
142a
120a
116
114
106
104
102
Y1
Y2
108_1
108_2

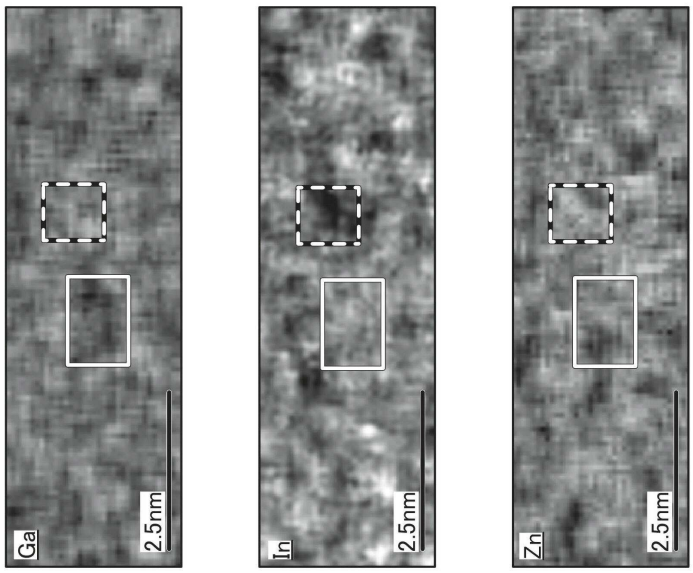
도면18


기판 온도=R.T.
기판 온도=130℃
기판 온도=170℃
O2=10%
O2=30%
O2=100%
강도[임의 단위]
15 25 35 45
2θ [deg.]

도면19

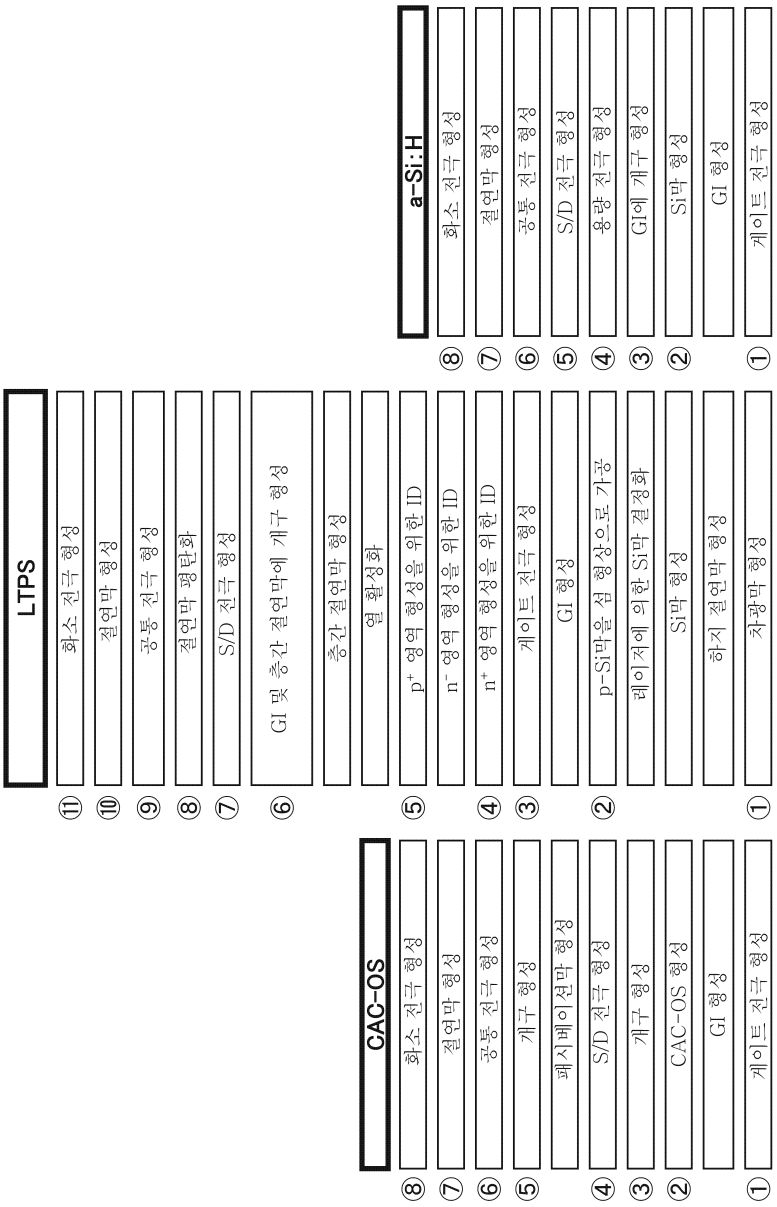

(A)
a1
a2
a3
a4
a5
20nm
(B)
b1
b2
b3
b4
b5
20nm
(C)
a1
5nm⁻¹
(D)
a2
5nm⁻¹
(E)
a3
5nm⁻¹
(F)
a4
5nm⁻¹
(G)
a5
5nm⁻¹
(H)
b1
5nm⁻¹
(I)
b2
5nm⁻¹
(J)
b3
5nm⁻¹
(K)
b4
5nm⁻¹
(L)
b5
5nm⁻¹

도면20

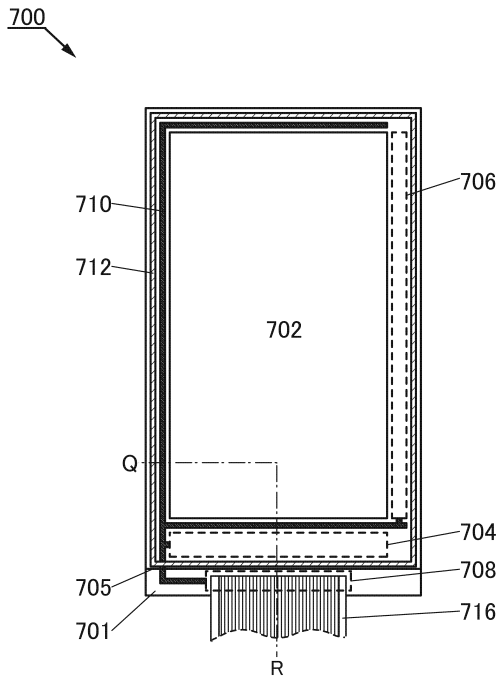



(A) (B) (C)

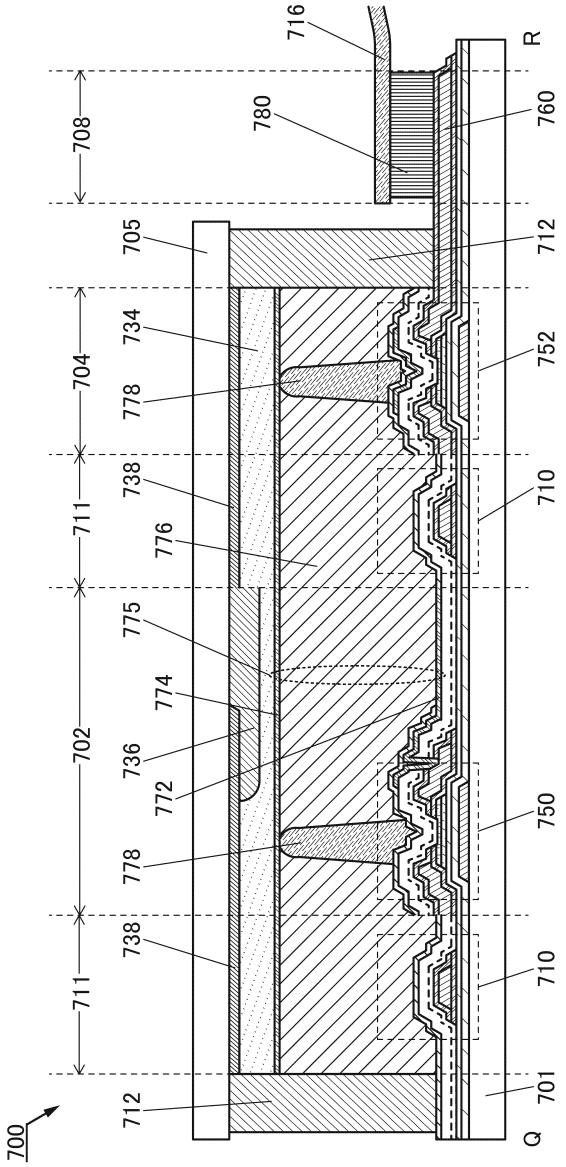
도면21


LTPS
⑪ 화소 전극 형성
⑩ 절연막 형성
⑨ 공통 전극 형성
⑧ 절연막 평탄화
⑦ S/D 전극 형성
⑥ GI 및 층간 절연막에 개구 형성
층간 절연막 형성
열 활성화
⑤ p+ 영역 형성을 위한 ID
n- 영역 형성을 위한 ID
④ n+ 영역 형성을 위한 ID
③ 게이트 전극 형성
GI 형성
② p-Si막을 섬 형상으로 가공
레이저에 의한 Si막 결정화
Si막 형성
하지 절연막 형성
① 차광막 형성
CAC-OS
⑧ 화소 전극 형성
⑦ 절연막 형성
⑥ 공통 전극 형성
⑤ 개구 형성
패시베이션막 형성
④ S/D 전극 형성
③ 개구 형성
② CAC-OS 형성
GI 형성
① 게이트 전극 형성
a-Si:H
⑧ 화소 전극 형성
⑦ 절연막 형성
⑥ 공통 전극 형성
⑤ S/D 전극 형성
④ 용량 전극 형성
③ GI에 개구 형성
② Si막 형성
GI 형성
① 게이트 전극 형성

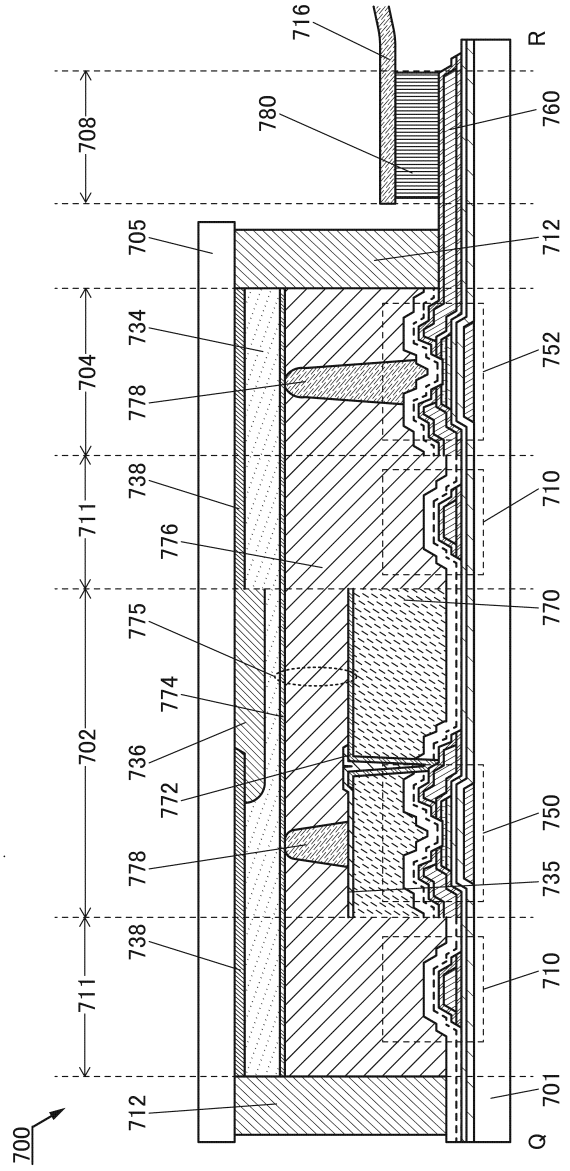
도면22



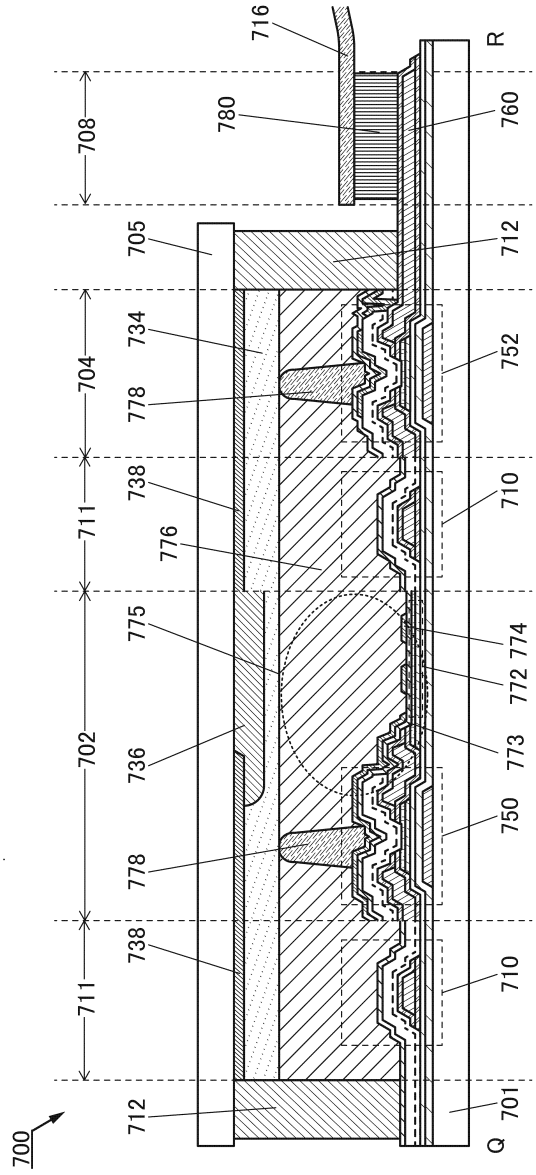
도면23


716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
775
774
736
772
750
778
738
710
711
712
701
700
Q

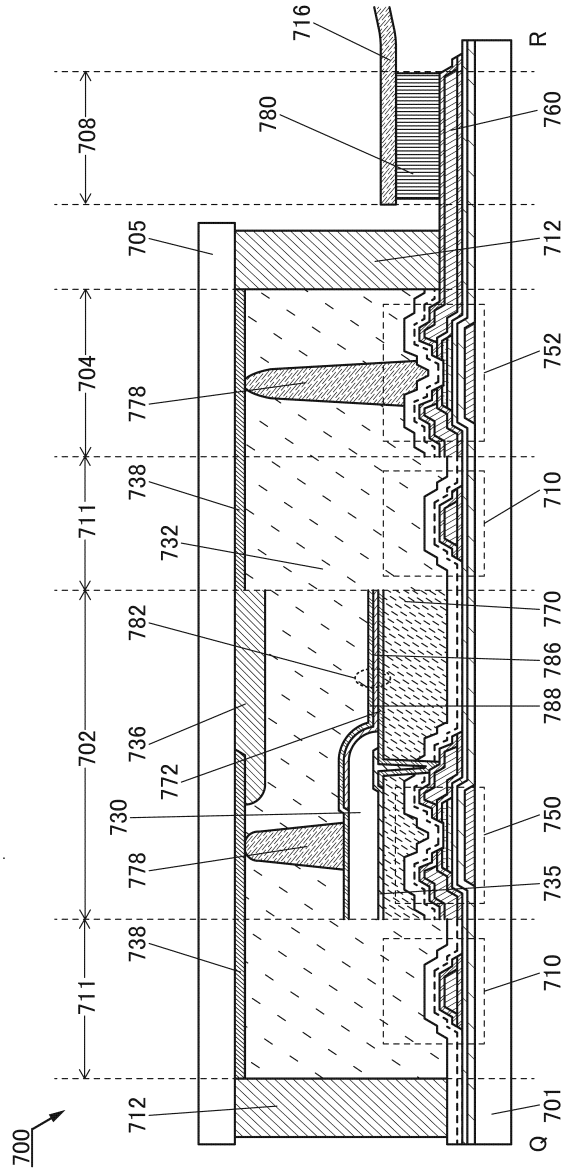
도면24


716
780
R
760
708
705
712
734
752
704
778
738
710
711
776
770
775
774
736
772
750
702
778
735
738
710
711
712
701
700
Q

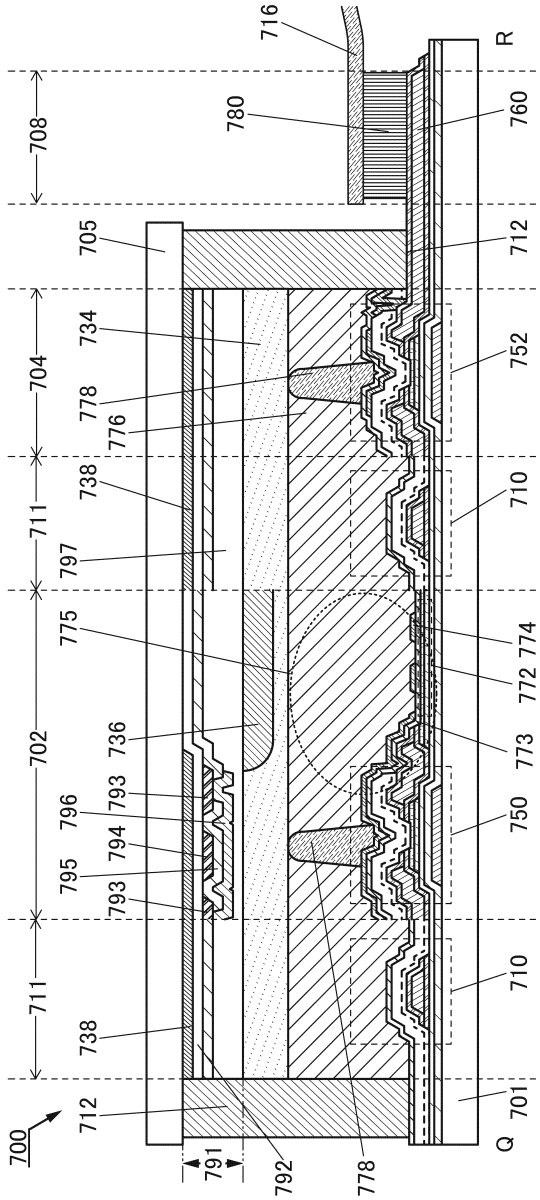
도면25


716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
775
774
772
702
736
773
750
778
738
710
711
712
701
Q
700

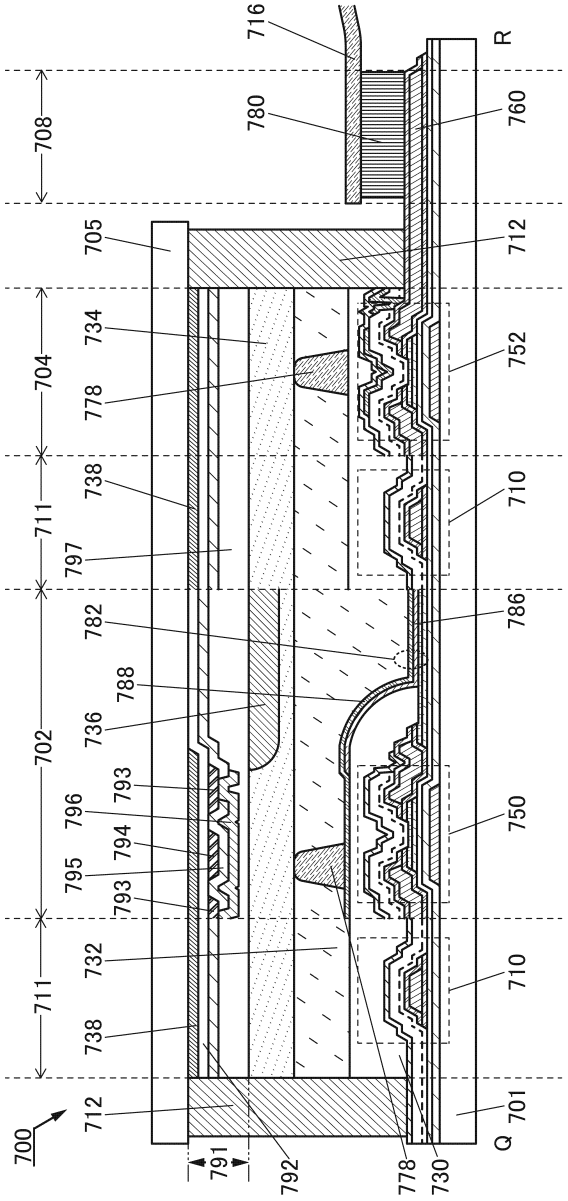
도면26


716
780
760
R
708
705
712
704
778
752
738
711
732
710
782
770
786
788
736
772
730
750
778
735
738
711
710
712
701
Q
700

도면27

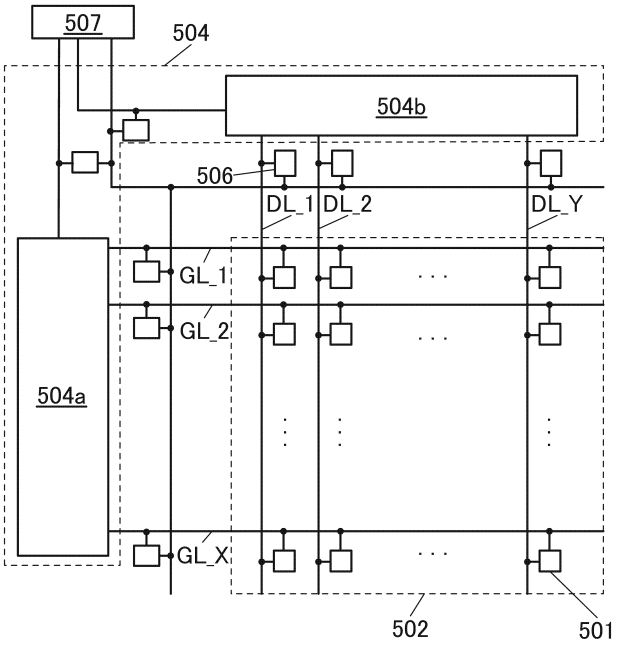

716
780
760
R
708
705
712
734
752
704
778
776
738
710
711
797
775
774
772
736
773
702
793
796
750
794
795
793
711
738
710
712
701
700
Q
791
792
778

도면28

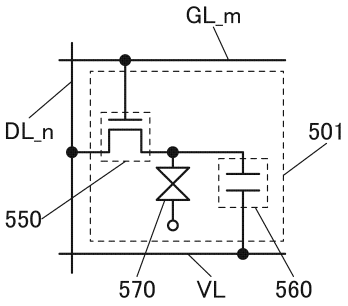

716
780
760
R
708
705
712
734
752
704
778
738
710
711
797
782
786
788
736
793
796
750
794
795
793
732
710
711
738
712
701
700
Q
791
792
778
730

도면29

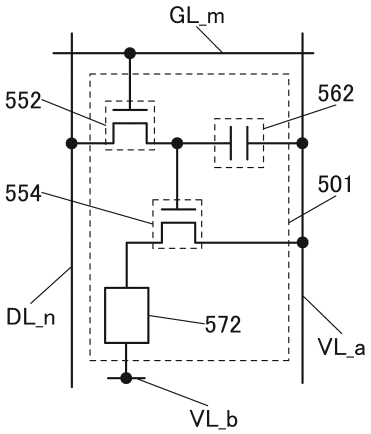
(A)


507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
504a
GL_X
502
501

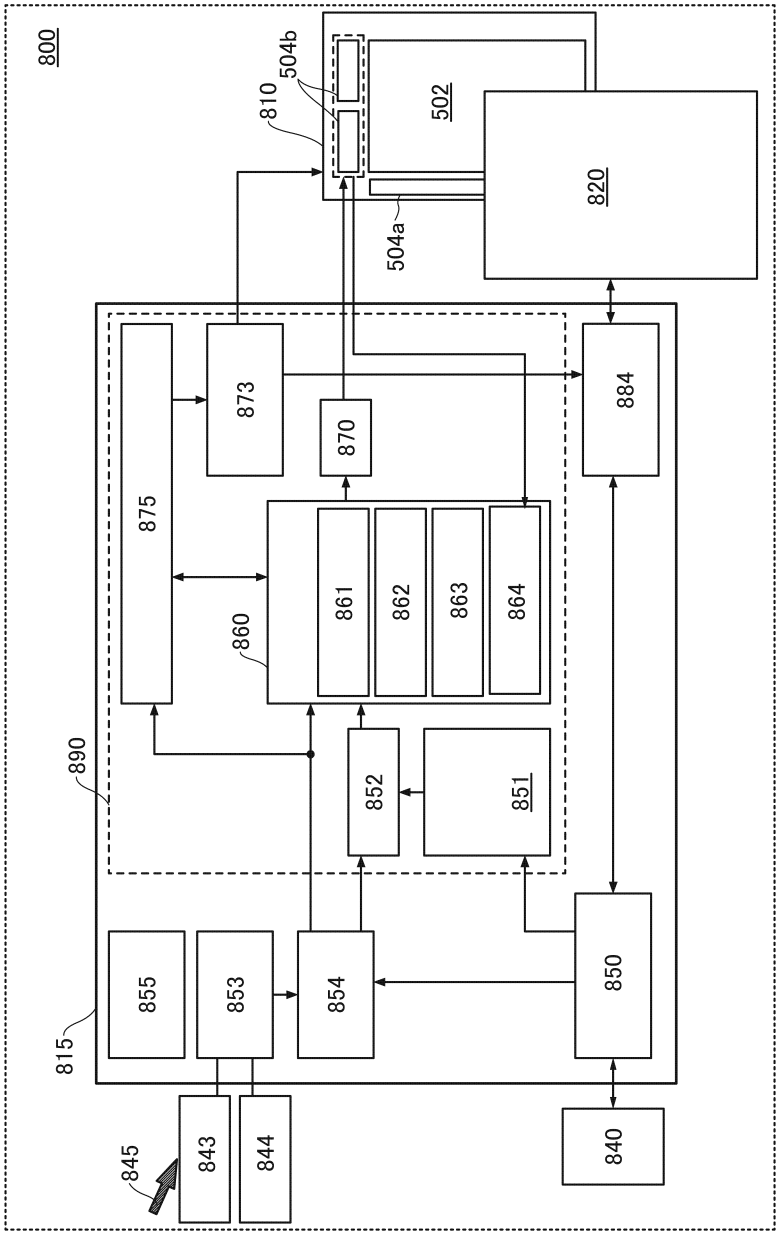
(B)


GL_m
DL_n
501
550
570
VL
560

(C)

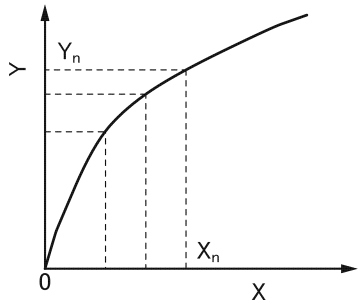

GL_m
552
562
554
501
DL_n
572
VL_a
VL_b

도면30

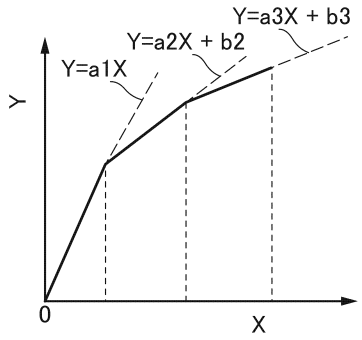

800
504b
810
502
820
504a
873
870
884
875
861
862
863
864
860
890
852
851
855
853
854
850
815
845
843
844
840

도면31

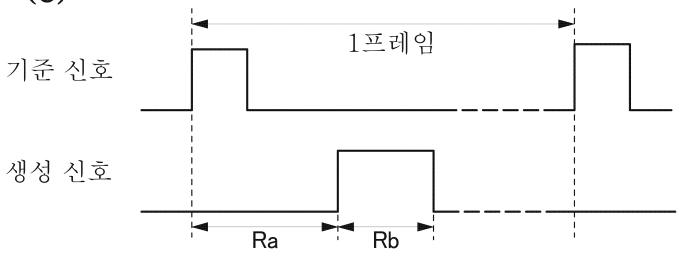
(A)



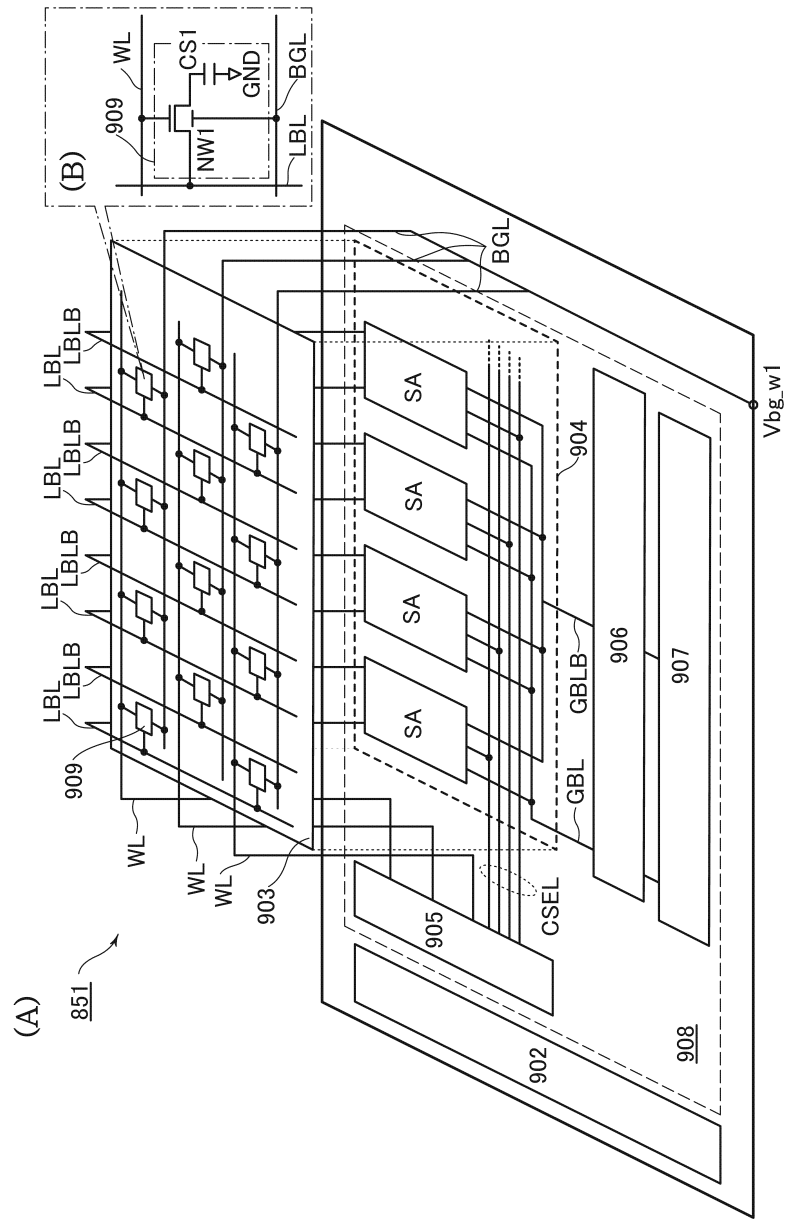

(B)



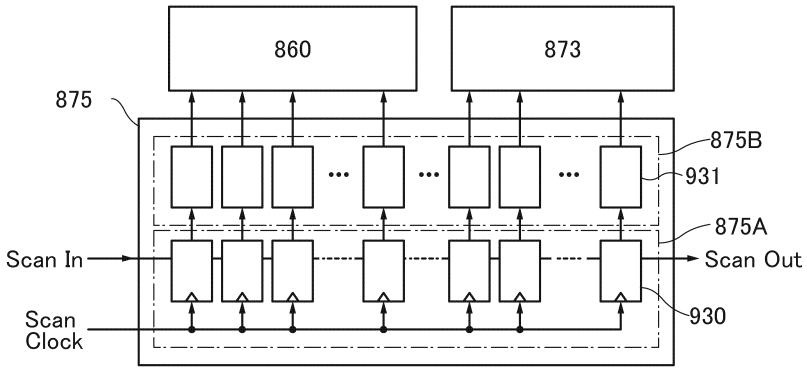

(C)



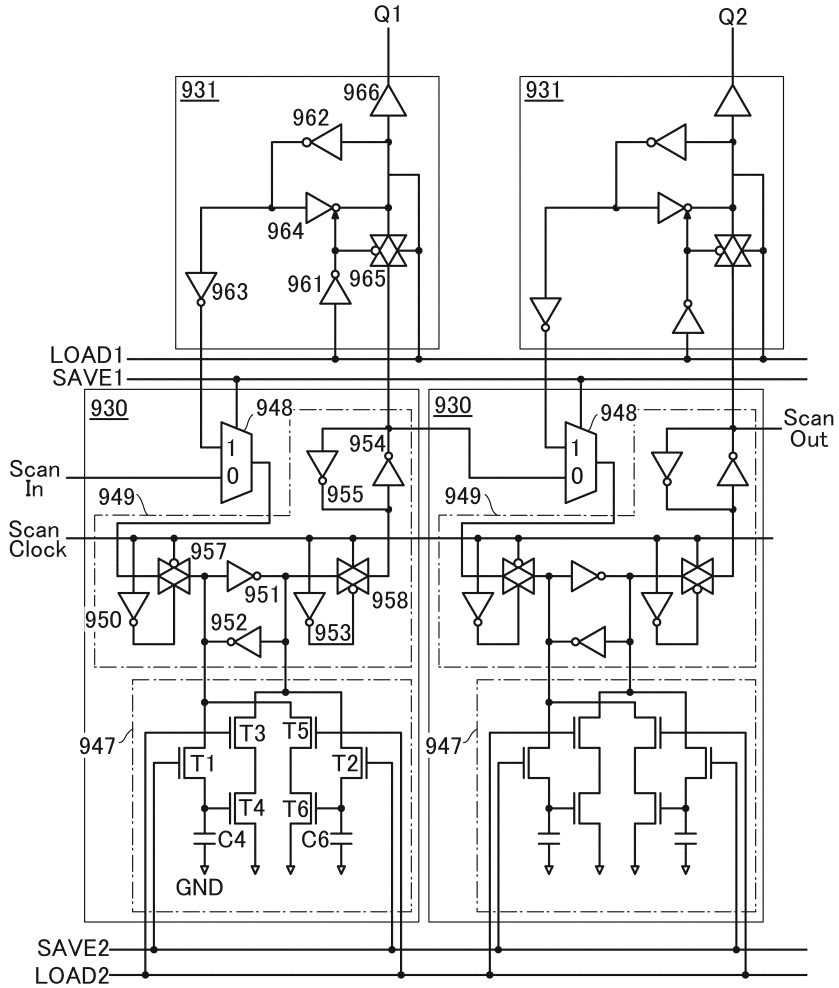
도면32


(B)
WL
CS1
GND
BGL
909
NW1
LBL
(A)
851
LBL
LBLB
SA
BGL
Vbg_w1
904
906
907
GBLB
GBL
CSEL
903
905
902
908

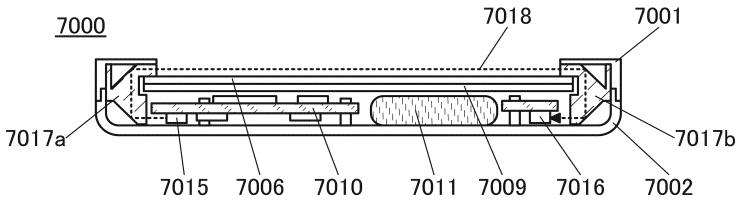
도면33


860
873
875
875B
931
875A
Scan In
Scan Out
Scan
Clock
930

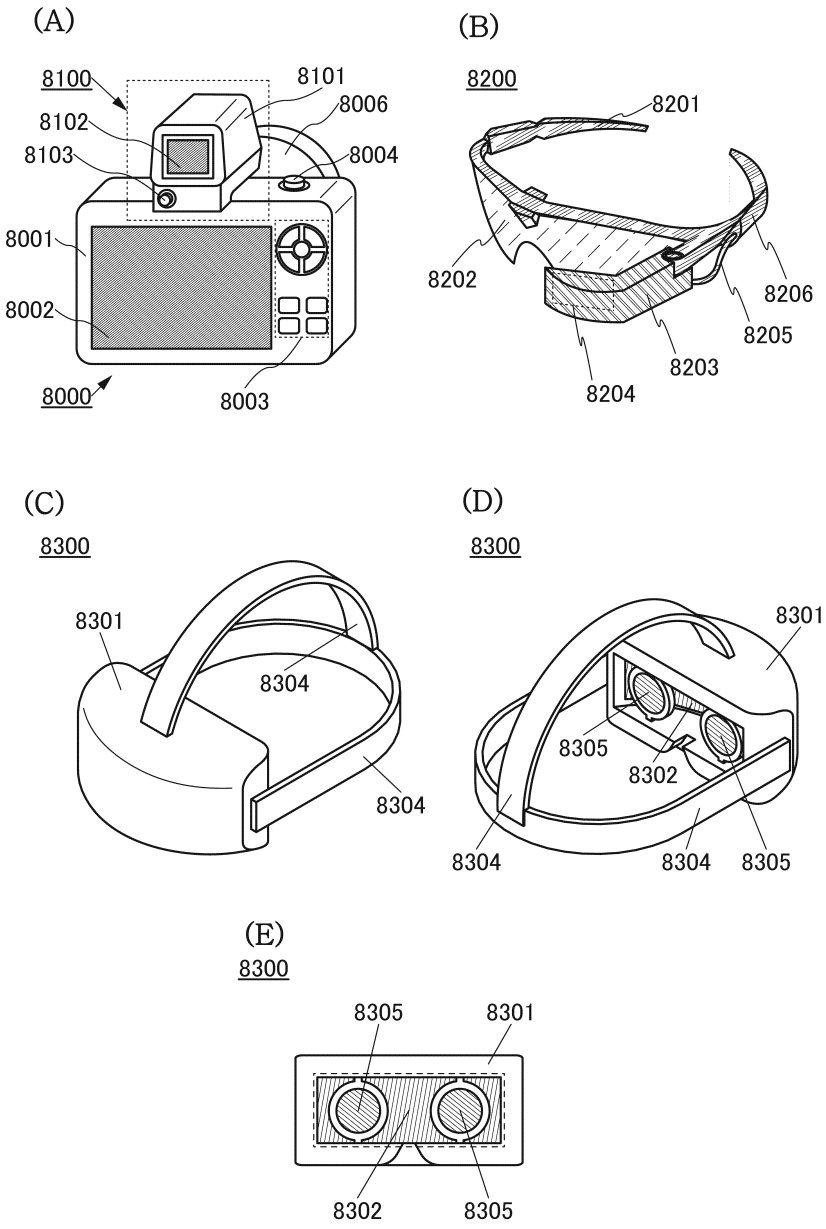
도면34


Q1
Q2
931
966
962
964
963
961
965
931
LOAD1
SAVE1
930
948
954
955
930
948
Scan
Out
Scan
In
949
949
Scan
Clock
957
951
958
950
952
953
947
T3
T5
T1
T2
T4
T6
C4
C6
GND
947
SAVE2
LOAD2

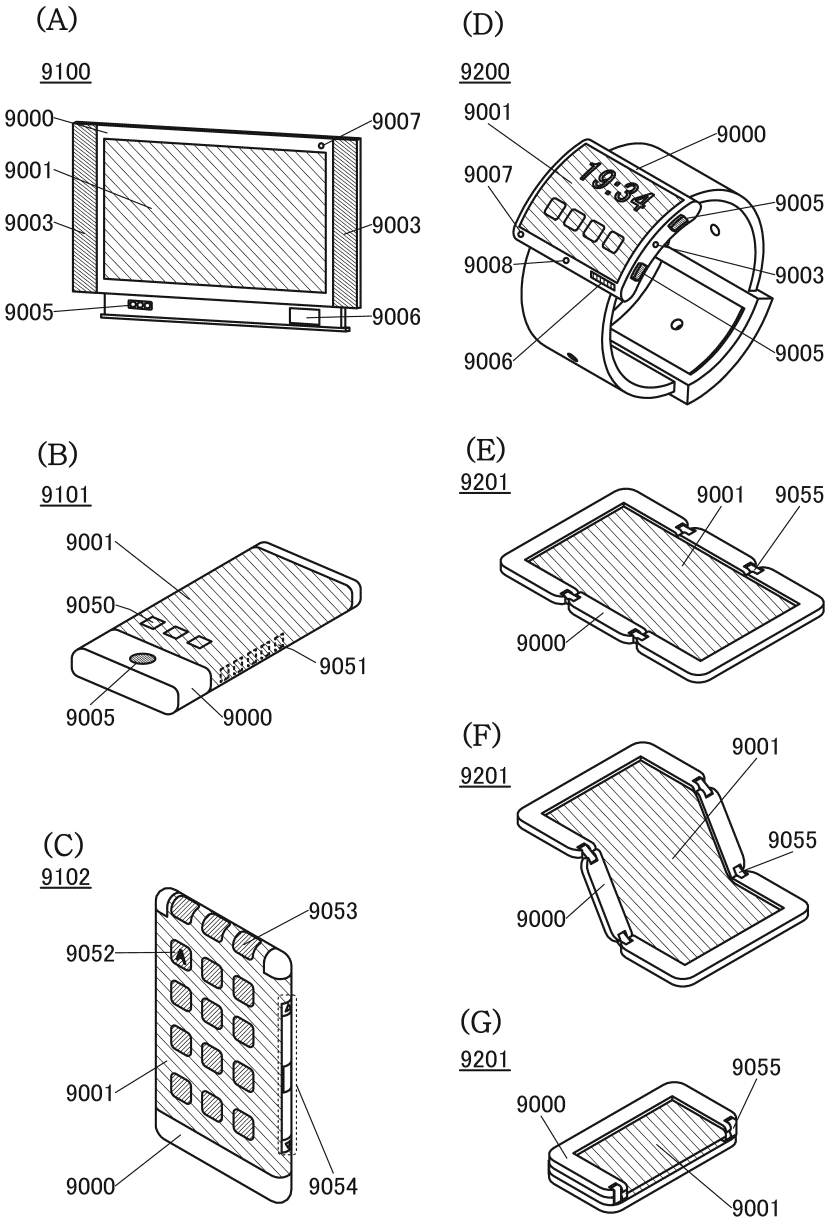
도면35


7000
7018
7001
7017a
7017b
7015
7006
7010
7011
7009
7016
7002

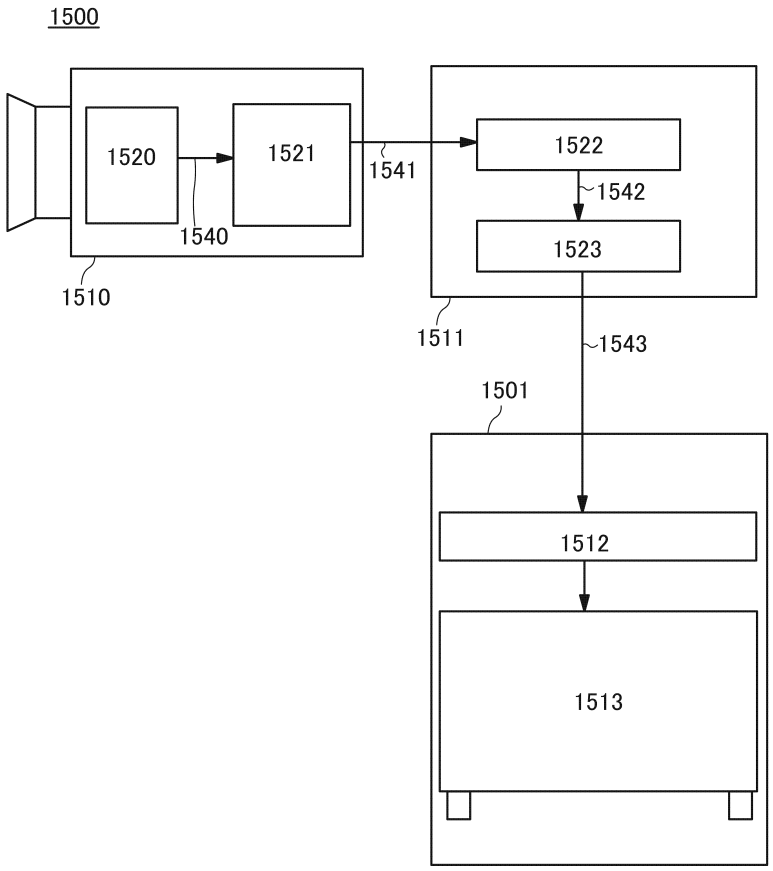
도면36


(A)
8100
8101
8006
8102
8004
8103
8001
8002
8000
8003
(B)
8200
8201
8202
8206
8205
8203
8204
(C)
8300
8301
8304
8304
(D)
8300
8301
8305
8302
8304
8304
8305
(E)
8300
8305
8301
8302
8305

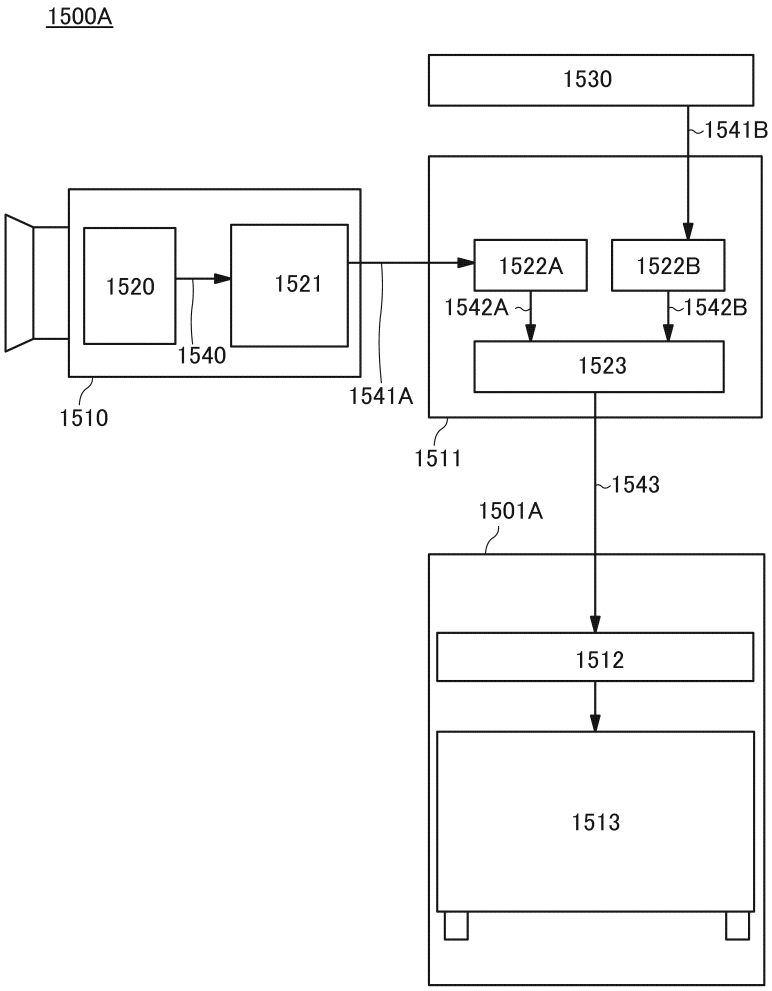
도면37


(A)
9100
9000
9007
9001
9003
9003
9005
9006
(D)
9200
9001
9000
9007
19:34
9005
9008
9003
9006
9005
(B)
9101
9001
9050
9051
9005
9000
(E)
9201
9001
9055
9000
(C)
9102
9053
9052
9001
9000
9054
(F)
9201
9001
9055
9000
(G)
9201
9055
9000
9001

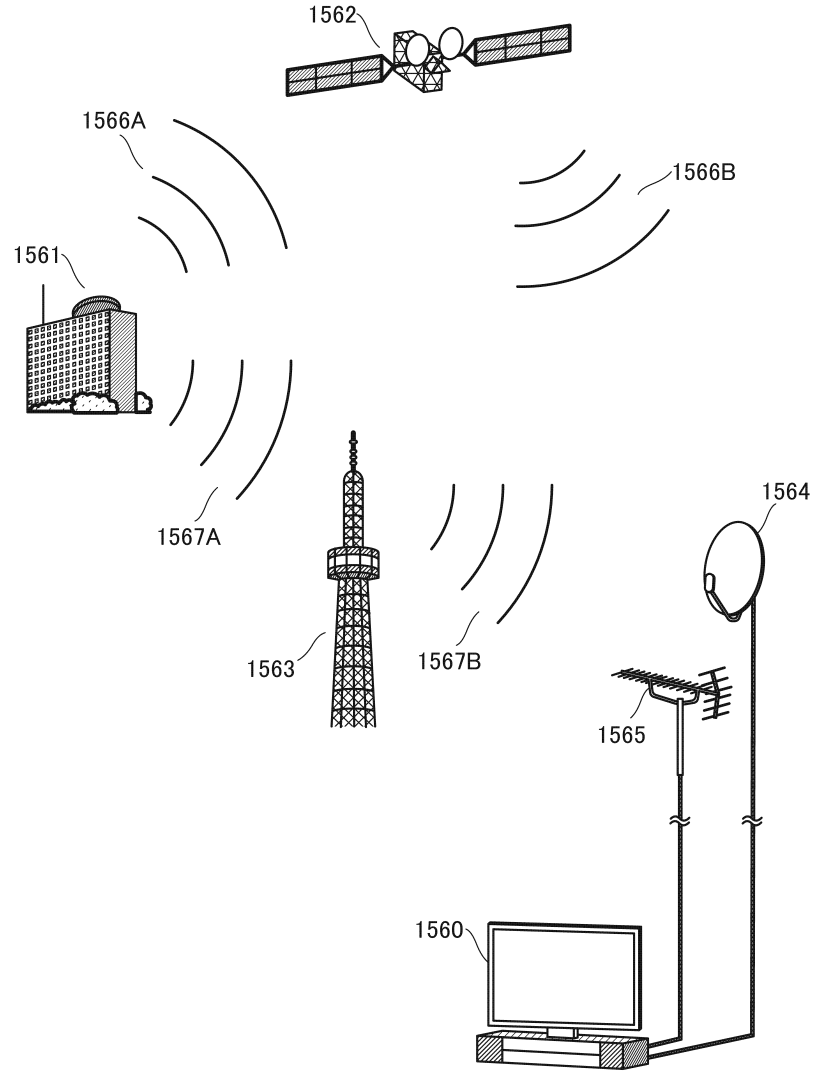
도면38


1500
1520
1521
1540
1541
1510
1522
1542
1523
1511
1543
1501
1512
1513

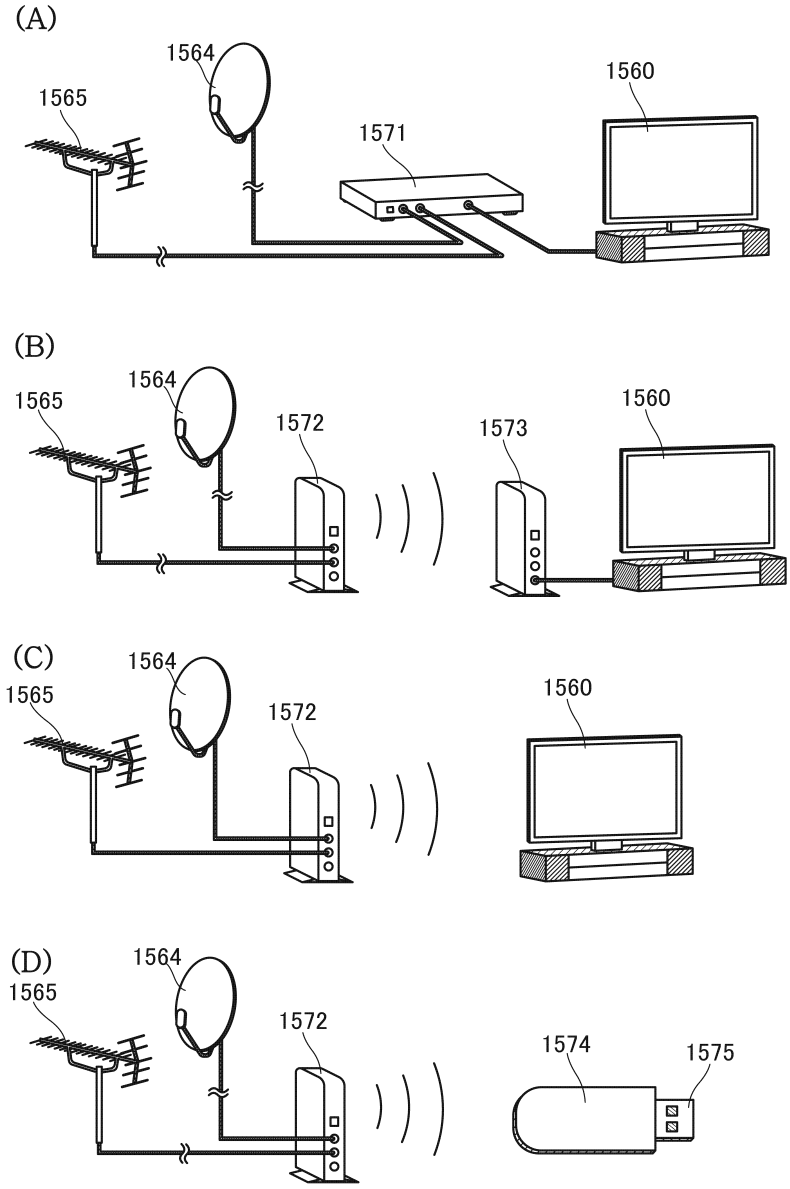
도면39


1500A
1530
1541B
1520
1521
1522A
1522B
1542A
1542B
1523
1540
1510
1541A
1511
1543
1501A
1512
1513

도면40

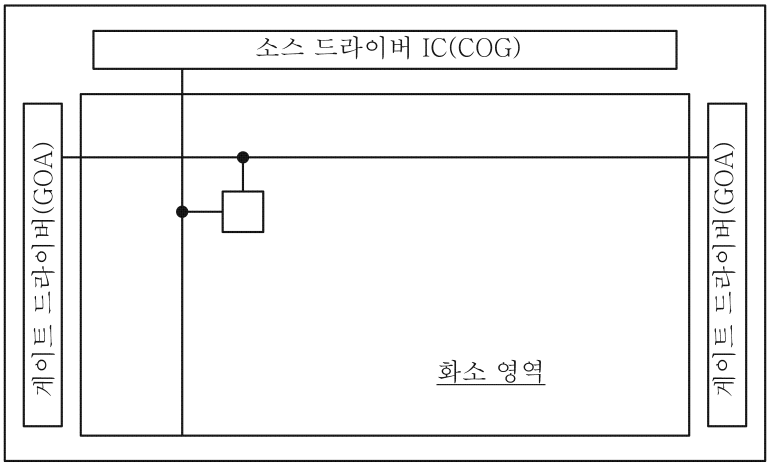


도면41

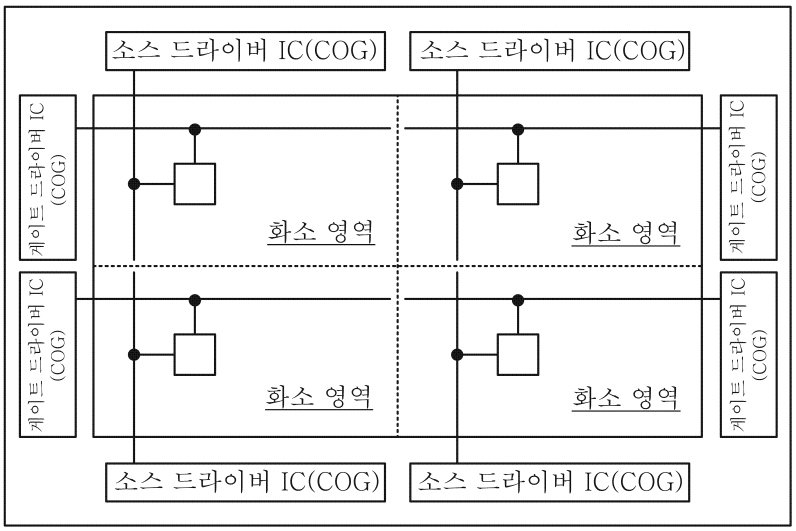

(A)
1564
1565
1571
1560
(B)
1564
1565
1572
1573
1560
(C)
1564
1565
1572
1560
(D)
1564
1565
1572
1574
1575

도면42

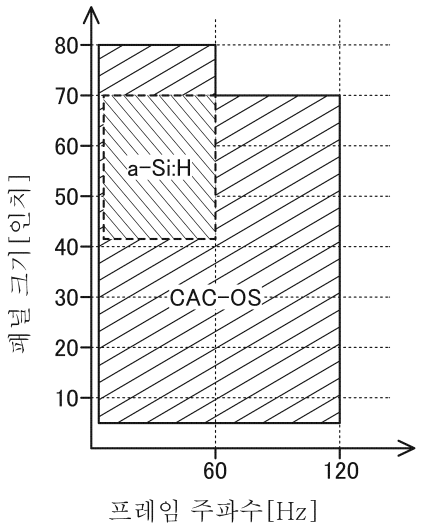
(A)


소스 드라이버 IC(COG)
게이트 드라이버(GOA)
게이트 드라이버(GOA)
화소 영역

(B)


소스 드라이버 IC(COG)
소스 드라이버 IC(COG)
게이트 드라이버 IC (COG)
게이트 드라이버 IC (COG)
게이트 드라이버 IC (COG)
게이트 드라이버 IC (COG)
화소 영역
화소 영역
화소 영역
화소 영역
소스 드라이버 IC(COG)
소스 드라이버 IC(COG)

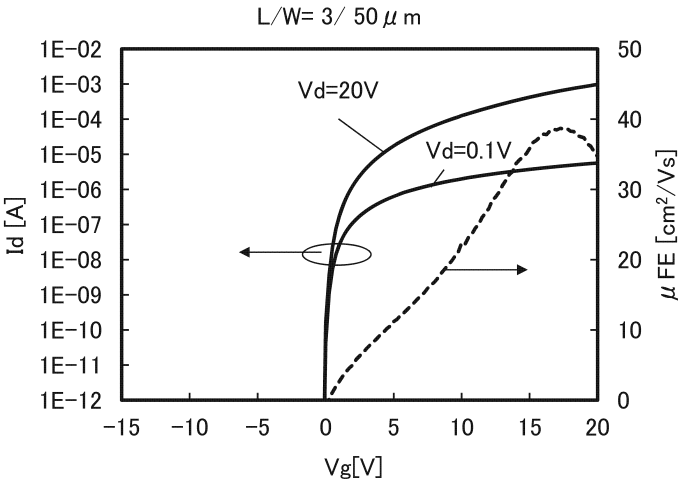
도면43


80
70
60
50
40
30
20
10
a-Si:H
CAC-OS
60
120
패널 크기[인치]
프레임 주파수[Hz]

도면44

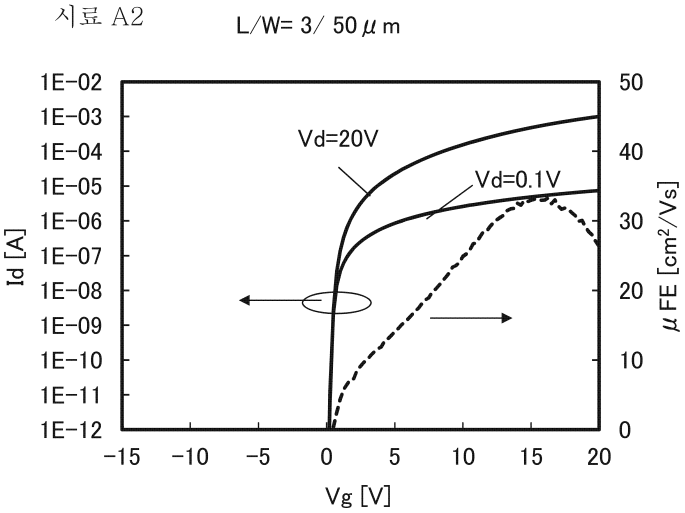
(A)

시료 A1



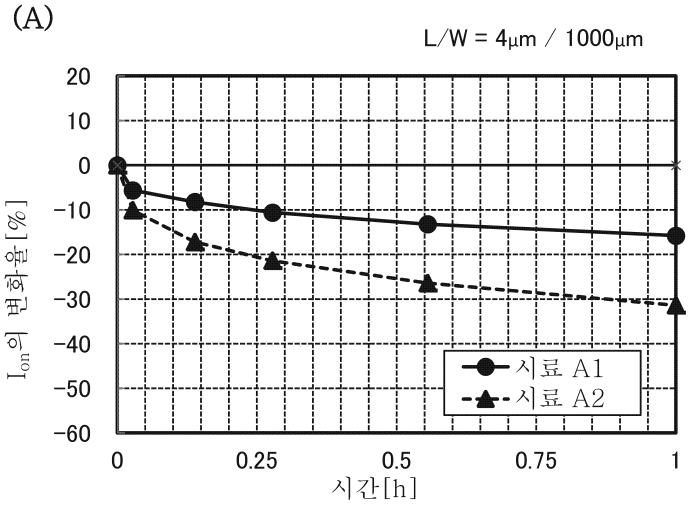

(B)

시료 A2

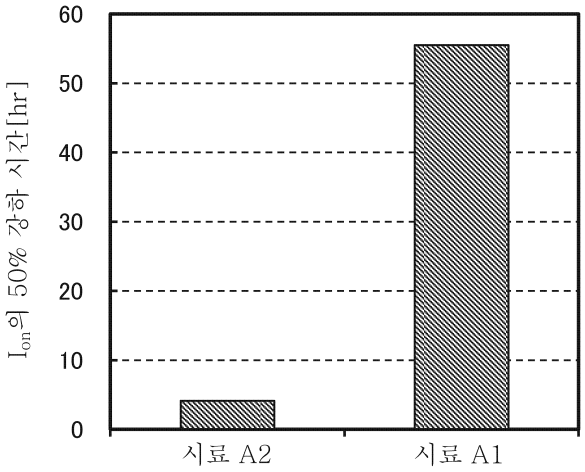


도면45

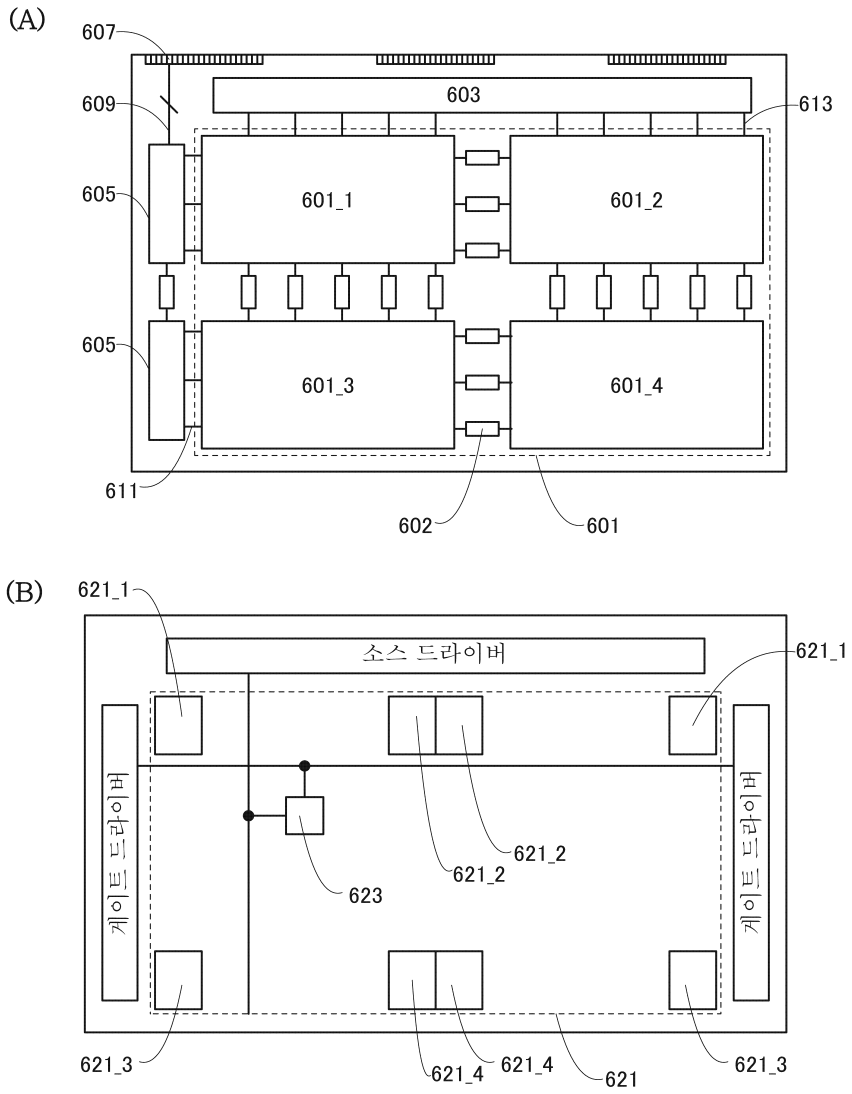
(A)


L/W = 4μm / 1000μm
20
10
0
-10
-20
-30
-40
-50
-60
0
0.25
0.5
0.75
1
시간[h]
Ion의 변화율[%]
시료 A1
시료 A2

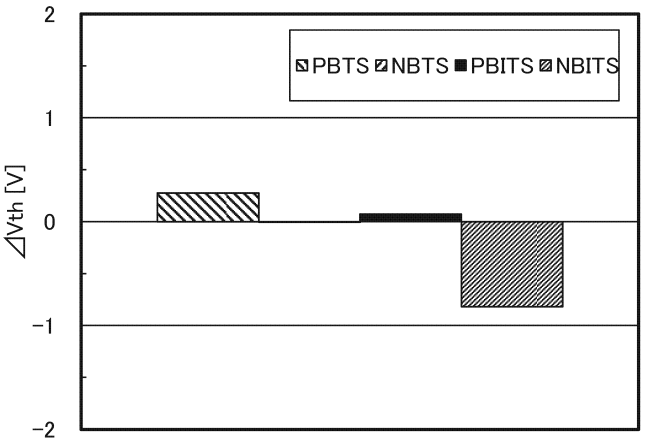
(B)


60
50
40
30
20
10
0
Ion의 50% 강하 시간[hr]
시료 A2
시료 A1

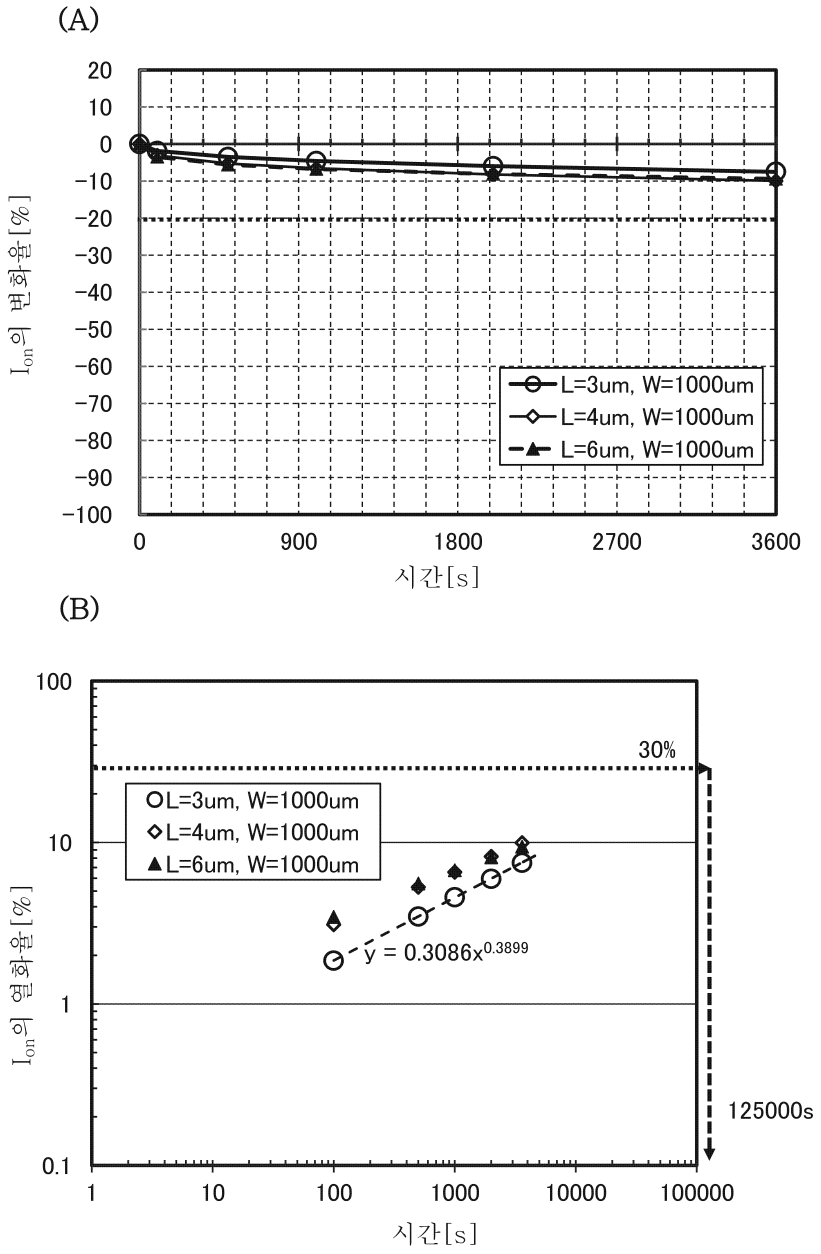
도면46


(A)
607
609
603
613
605
601_1
601_2
605
601_3
601_4
611
602
601
(B)
621_1
소스 드라이버
621_1
게이트 드라이버
게이트 드라이버
621_2
621_2
623
621_3
621_4
621_4
621
621_3

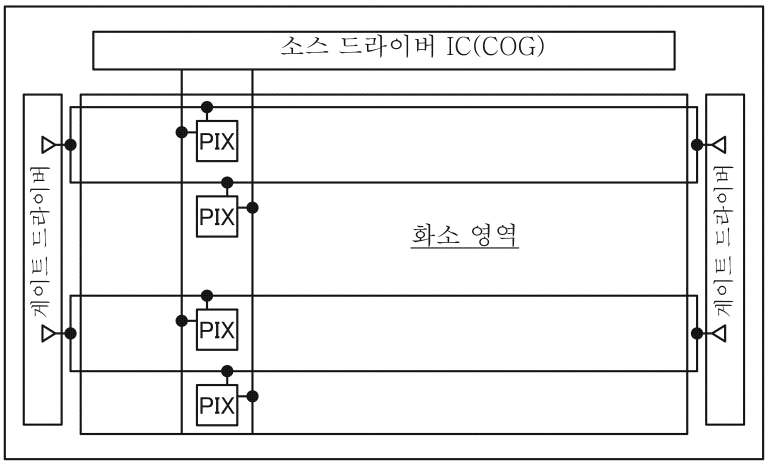
도면47


2
1
0
−1
−2
ΔVth [V]
PBTS NBTS PBITS NBITS

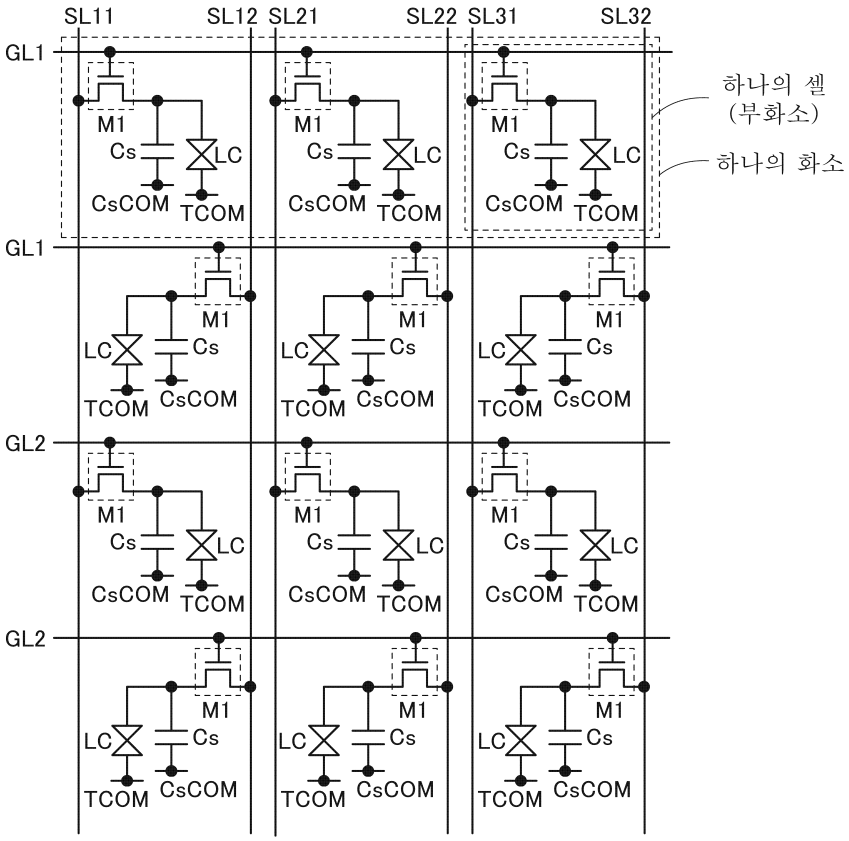
도면48


(A)
20
10
0
-10
-20
-30
-40
-50
-60
-70
-80
-90
-100
0
900
1800
2700
3600
시간[s]
Ion의 변화율[%]
L=3um, W=1000um
L=4um, W=1000um
L=6um, W=1000um
(B)
100
10
1
0.1
1
10
100
1000
10000
100000
시간[s]
Ion의 열화율[%]
30%
125000s
y = 0.3086x^0.3899

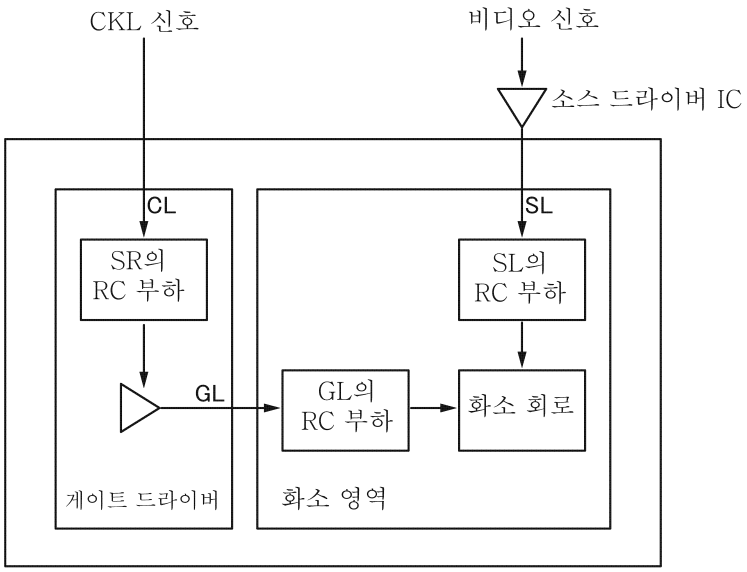
도면49


소스 드라이버 IC(COG)
게이트 드라이버
게이트 드라이버
PIX
PIX
PIX
PIX
화소 영역

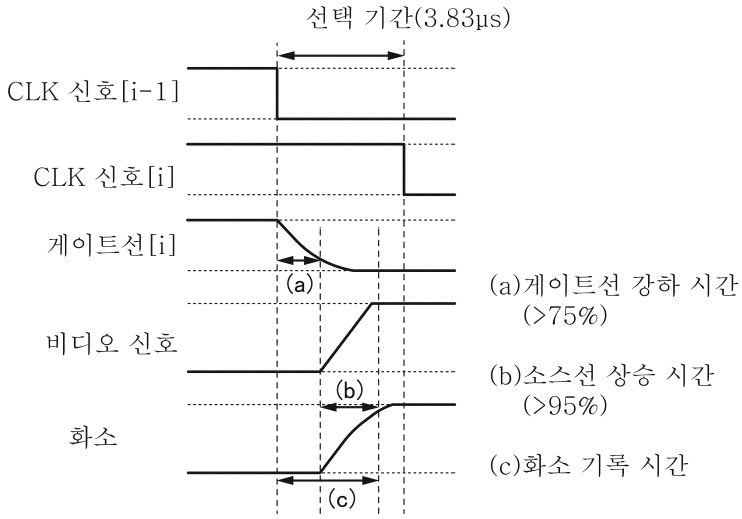
도면50


SL11
SL12
SL21
SL22
SL31
SL32
GL1
GL1
GL2
GL2
M1
Cs
LC
CsCOM
TCOM
하나의 셀
(부화소)
하나의 화소

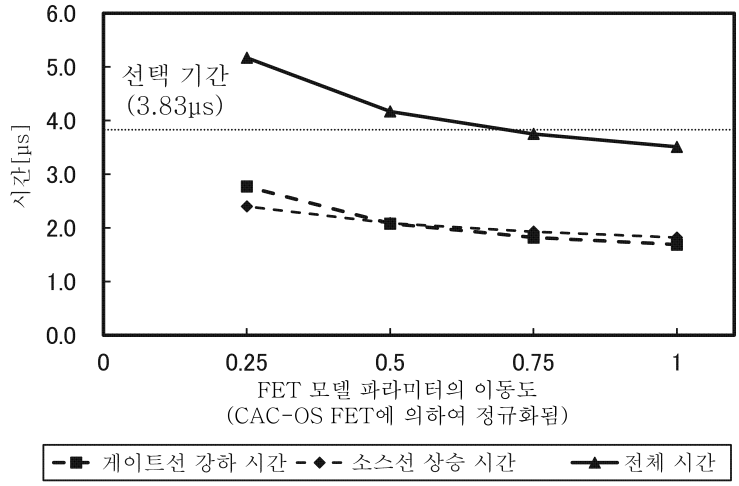
도면51


CKL 신호
비디오 신호
소스 드라이버 IC
CL
SL
SR의
RC 부하
SL의
RC 부하
GL
GL의
RC 부하
화소 회로
게이트 드라이버
화소 영역

도면52

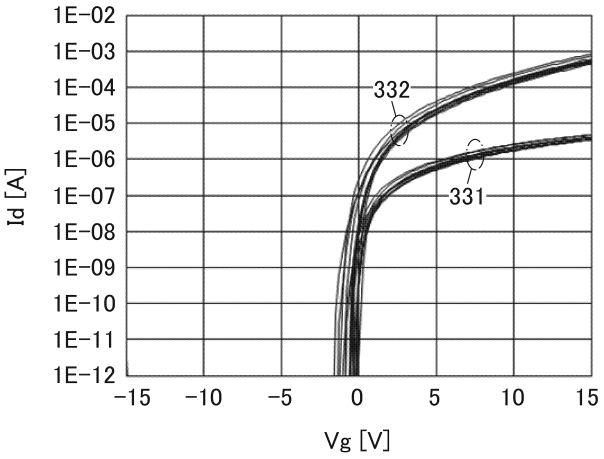

선택 기간(3.83μs)
CLK 신호[i-1]
CLK 신호[i]
게이트선[i]
(a)
비디오 신호
(b)
화소
(c)
(a)게이트선 강하 시간
(>75%)
(b)소스선 상승 시간
(>95%)
(c)화소 기록 시간

도면53

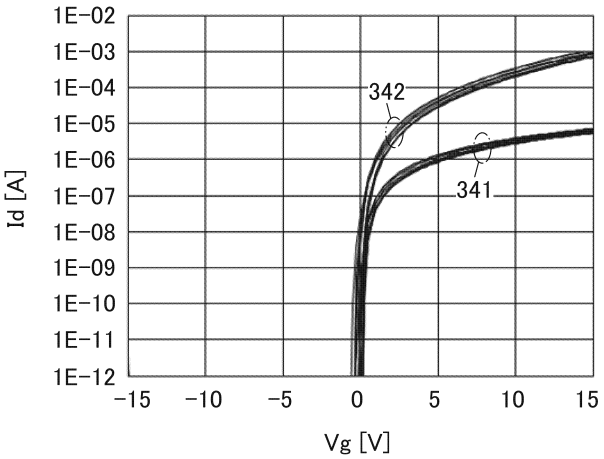

6.0
5.0
4.0
3.0
2.0
1.0
0.0
시간[μs]
선택 기간
(3.83μs)
0
0.25
0.5
0.75
1
FET 모델 파라미터의 이동도
(CAC-OS FET에 의하여 정규화됨)
게이트선 강하 시간
소스선 상승 시간
전체 시간

도면54

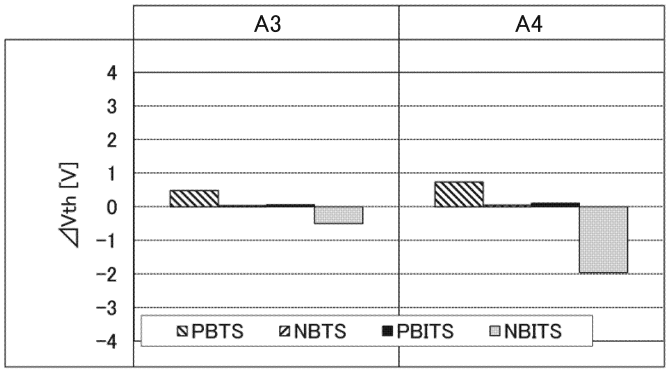
(A)


1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
332
331
−15
−10
−5
0
5
10
15
Vg [V]

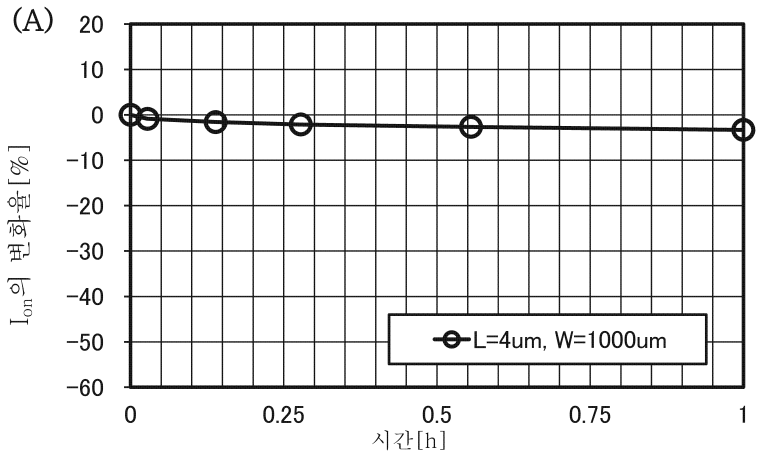
(B)

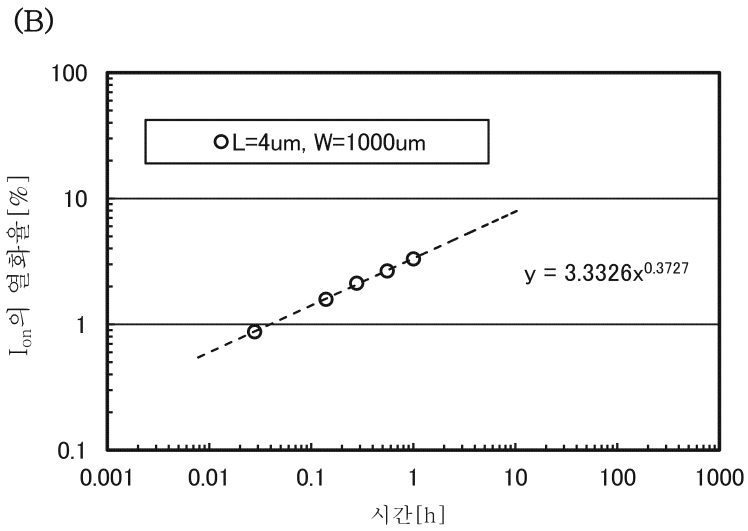

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
342
341
−15
−10
−5
0
5
10
15
Vg [V]

도면55

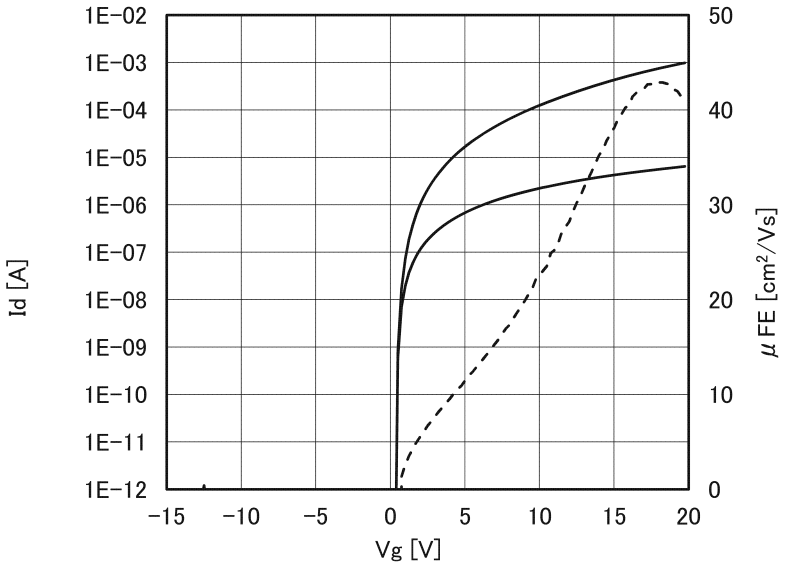

A3
A4
4
3
2
1
0
−1
−2
−3
−4
ΔVth [V]
PBTS
NBTS
PBITS
NBITS

도면56


(A)
20
10
0
−10
−20
−30
−40
−50
−60
0
0.25
0.5
0.75
1
시간[h]
Ion의 변화율[%]
L=4um, W=1000um

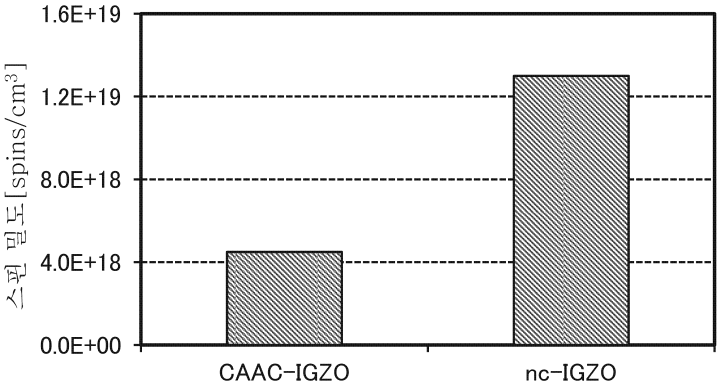

(B)
100
10
1
0.1
0.001
0.01
0.1
1
10
100
1000
시간[h]
Ion의 열화율[%]
L=4um, W=1000um
y = 3.3326x0.3727

도면57

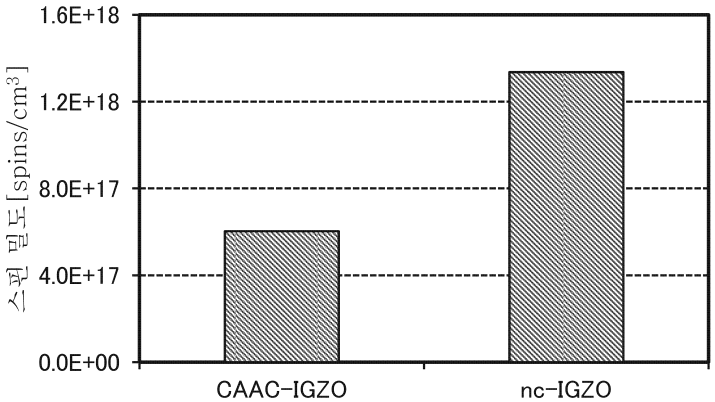

1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
−15
−10
−5
0
5
10
15
20
Vg [V]

도면58

(A)


1.6E+19
1.2E+19
8.0E+18
4.0E+18
0.0E+00
스핀 밀도[spins/cm³]
CAAC-IGZO
nc-IGZO

(B)


1.6E+18
1.2E+18
8.0E+17
4.0E+17
0.0E+00
스핀 밀도[spins/cm³]
CAAC-IGZO
nc-IGZO