(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
G11C 11/40

(45) 공고일자 1991년05월04일
(11) 공고번호 특1991-0002801

(21) 출원번호	특1985-0007685	(65) 공개번호	특1986-0004348
(22) 출원일자	1985년10월18일	(43) 공개일자	1986년06월20일

(30) 우선권주장 672907 1984년11월19일 미국(US)

(71) 출원인 쓴 이엠아이노스 아메리카 인코포레이티드 죤 에이. 스콜라스
미합중국, 콜로라도 80112, 이글우드, 스위트 102, 인베른니스 드라이브 이스트 2

(72) 발명자 제임스 디. 알랜
미합중국, 콜로라도 80907, 콜로라도 스프링즈, 노스 네바다 애비뉴 1616

(74) 대리인 이병호, 최달용

심사관 : 김영길 (책자공보 제2280호)

(54) DRAM 회로 및 이 회로의 감지 및 복귀 작동 제어 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

DRAM 회로 및 이 회로의 감지 및 복귀 작동 제어 방법

[도면의 간단한 설명]

제1도는 제1 및 제2쌍의 감지신호를 수신하기 위해 장치된 공지의 DRAM 감지 증폭기의 회로 개략도를 도시한다.

제2도는 제1 및 제2쌍의 감지신호 ϕ_{S1}, ϕ_{S2}를 발생하기 위한 공지된 논리회로의 개략도를 도시한다.

제3도는 제1 및 제2쌍의 감지신호 ϕ_{S1}, ϕ_{S2}를 제공하기 위해 본 발명과 함께 사용될 수 있는 논리회로의 개략적인 회로도를 도시한다.

제4도는 종래의 제1 및 제2쌍의 감지신호의 타이밍 관계를 도시하는 타이밍 다이어그램.

제5도는 본 발명의 실시예의 여러가지 신호의 타이밍을 도시하는 타이밍 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

10, 12 : 비트라인 26 : P 채널 트랜지스터

64 : NOR 게이트 76 : MOS 인버터

[발명의 상세한 설명]

본 발명은 동적 랜덤 억세스 메모리(DRAM ; Dynamic Access Memory) 회로 및 이러한 메모리 회로에 있어서의 전류 서어지를 안정화 시키는 방법에 관한 것이다.

동적 랜덤 억세스 메모리(이하, DRAM으로 표기함)의 작동시에는, 상당한 전원 전류의 서어지가 발생된다. 이러한 전류 서어지는 통상, 메모리 셀들이 설치되어 있는 비트 라인과 관련된 대용량의 커패시턴스로 인한 것이며, 이와같은 커패시턴스는 충전 및 방전의 각 사이클중에 극복되지 않으면 안된다.

DRAM에 있어서는, 행어드레스 스트로브 RAS의 논리보수 $\overline{RAS}$가 "사이클"을 규정하는데 사용된다. 이와같은 사이클은 통상 100 내지 120nsec이며, 이 기간중에서 $\overline{RAS}$는 약 40nsec 정도 동안 "하이"상태이다. $\overline{RAS}$ 의 "하이"에서 "로우"에 이르는 연부와 $\overline{RAS}$의 다음 "로우"에서 "하이"에 이

르는 연부 사이의 시간을 "유효주기"라고 한다. 종래의 DRAM에 있어서 $\overline{RAS}$가 "하이"인 경우에는, 비트 라인의 사전 충전이 발생한다. 유효주기가 계속되고 있는 동안에는, 디코더들이 셋업되어 지정된 메모리 셀을 억세스한다. 그후에, 단 유효주기가 계속되고 있는 동안, 감지 및 복귀 동작이 발생한다. 이러한 동작들은 $\overline{RAS}$가 "하이"로 될때 종료하며, 이때 유효주기의 종료 신호가 발생한다.

예를 들어, 고속 256K CMOS DRAM에 있어서는 1024쌍의 비트 라인이 있으며, 각각은 통상 800fF(femtofarads)의 커패시턴스를 갖는다. 이와같은 DRAM에서 중점 감지를 채택할 경우, DRAM은 감지의 개시와 유효주기의 종료(이것은 사전충전 주기의 개시에 해당함) 사이의 시간동안 800pF의 축적 커패시턴스를 Vcc/2의 사전 충전 레벨로부터 Vcc의 레벨로 되어야 한다.

통상의 칩 유효주기중에 있어서, 감지는 일반적으로 유효주기가 종료되기 약 30nsec 이전에 개시된다. 이 30nsec 동안, 시간 프레임, 감지 및 복귀 신호들은 비트 라인에 결합된 감지 증폭기, 예를 들면 제1도에 도시된 바와 같은 감지 증폭기의 2개 이상의 직렬 풀-업 트랜지스터에 공급되어야만 한다. 종래의 DRAM 구성에 있어서, 제1의 감지 및 복귀 신호는 비교적 소형 풀-업 트랜지스터를 온시킨다. 다음에, 이후의 연속하는 감지 및 복귀 신호들은 각각 보다 대형의 풀-업 트랜지스터 또는 이와같은 트랜지스터 쌍을 온시킨다. 이러한 형식에 있어서, 풀-업 트랜지스터를 통해 DRAM 회로로 유도되는 전류의 양은 사용중인 트랜지스터의 규격에 의해 다소 제어된다. 또한, 이러한 신호들의 개시 사이의 타이밍 관계는 트랜지스터들의 온과 관련된 전류의 서어지를 제어하는데 도움이 된다.

제1도는 종래의 DRAM 감지 증폭기 회로를 도시한 것으로서, 비트 라인(10) 및 (12) 사이의 차이를 증폭하도록 구성된 P 채널 트랜지스터쌍(14) 및 (16)과 N 채널 트랜지스터쌍(18) 및 (20)의 플립-플롭 구성을 구비하고 있다. 제1도의 감지 증폭기는, 라인(22)을 Vcc에 접속하고 또한 라인(24)을 접지 전위에 접속함으로써 온된다. 라인(22)은, 2개의 채널 트랜지스터(26) 및 (28)로 구성된 P 채널 트랜지스터 세트를 온시킴으로써 Vcc에 접속된다. 라인(24)은, 2개의 N 채널 트랜지스터(30) 및 (32)로 구성된 N 채널 트랜지스터 세트를 온시킴으로써 접지전위에 접속된다.

전형적으로, 트랜지스터쌍(26) 및 (30)의 각각은 트랜지스터쌍(28) 및 (32)의 각각 보다 소형의 장치이다. 이러한 제1의 트랜지스터(26) 및 (30)들이 먼저 온되고, 이에 따라 이들 트랜지스터(26) 및 (30)의 규격을 물리적으로 제한함으로써 감지 증폭기를 통해 서어지하는 최대 전류를 제한한다. 이러한 트랜지스터들이 소정의 시간 주기동안 일단 온된후에, 보다 대형 트랜지스터(28) 및 (32)들이 온되어 보다 대전류를 전달함으로써 감지 및 복귀 동작을 끝마친다.

제1도의 회로에 있어서, 제1의 N 채널 트랜지스터(30)는, 라인(34)상에 제1감지신호 ϕ_{S1}가 수신되는 경우에 온된다. 마찬가지로, 제2의 N 채널 트랜지스터(32)는, 라인(36)상에 제2감지신호 ϕ_{S2}가 수신되는 경우에 온된다. 또한, 제1 및 제2P 채널 트랜지스터(26) 및 (28)는, 라인(38) 및 (40)상에 각각 제1 및 제2감지신호의 논리 보수 $\overline{\phi_{S1}}, \overline{\phi_{S2}}$가 수신되는 경우에 온된다. 제1 및 제2감지신호 ϕ_{S1}, ϕ_{S2} 사이의 시간 구간은, 제2의 대형 트랜지스터(28) 및 (32)들이 온되기 전에 제1소형 트랜지스터(26, 30)가 온되는 시간의 크기를 결정한다. 이 시간 구간은 또한, 제2트랜지스터(28) 양단의 소오스-드레인 전위를 감소시킴으로써 이 제2트랜지스터(28)가 구동되는 경우에, 이 제2트랜지스터(28)를 통해 DRAM 회로망으로 유도되는 전류를 결정한다.

감지 증폭기에서 서로 다른 시간으로 트랜지스터를 온시키는 이런 일반적인 방법은 비트 라인(10, 12)의 커패시턴스를 극복하기 위해 사용된다. 비트 라인에 대응하는 충전량이 회로에 공급되어야 한다는 것을 고려해야 한다. 이는 단시간 동안에 대전류 또는 장시간 동안의 소전류를 공급하여 이루어질 수 있다. 제1도에 대해 기술된 방법에서, 트랜지스터(26, 30)와 같이 소형 트랜지스터를 온시켜서 어떤 주기 동안 지속을 시키면 어떤 량의 전하가 비트 라인(10, 12)에 전달이 되어 부분적으로 기생 커패시턴스를 극복할 수 있으며, 대형 트랜지스터(28, 32)가 온되기 전에 비트 라인에서 전위를 상승시킨다. 상기 트랜지스터가 온되었을 때, 대형 트랜지스터는 비교적 큰 전류가 흐르게 되며 상기 트랜지스터가 Vcc/2의 전위에서 Vcc로 될 때까지 비트 라인에 부가적인 전하를 전달한다. 그래서 제1도에 도시된 바와 같은 감지 증폭기는 2개의 P/

N 채널 트랜지스터쌍(26/40, 28/32)로 도시된 대형 풀-업 트랜지스터를 점차로 온시키기 위해 타임-스태거 감지 및 복귀 신호에 의해 각 단에서 온될 수 있다. 이는 모든 트랜지스터쌍을 동시에 온시키는 비교적 동시에 처리하기 어려운 전류 서어지 대신에 전류에서 점차적인 증가를 제공한다.

상기와 같은 타임-스태거 감지와 복구 신호를 제공하기 위한 종래의 논리회로가 제2도에 도시되어 있다. 감지 증폭기를 통해 유도된 전류를 제어하기 위한 상기 종래 회로에서 $\overline{RAS}$ 신호가 로우로 됨에 따라, 제1감지신호 ϕ_{S1}은 연속적인 시간 to에서 개시될 것이다. $\overline{RAS}$가 로우로 되어 to로 가는 기간은 감지를 위해 비트 라인을 셋트업 시키는데 필요한 시간이다. 이 시간은 DRAM이 작동하는 조건, 예컨대 온도와 전원 전압에 의존된다.

제2감지신호 ϕ_{S2}는 제1감지신호 ϕ_{S1}의 개시후의 지연시간 t_1 후에 발생된다. 시간 t_1은 제2도에 도시된 바와 같이 온-칩 회로에 의해 결정된 지연을 삽입시키는 일련의 MOS 인버터에 의해 제어될 수 있다. 예를 들어 칩 제조기에 의해 10개 내지 12개의 MOS 인버터가 직렬로 구비될 수 있다. $\overline{RAS}$가 사전 충전 주기의 개시를 표시하는 하이 상태로 되었을 때, 2개의 감지신호 ϕ_{S1}, ϕ_{S2}는 ϕ_{pre} 신호에 의해 종료가 된다.

특히, 제2도에 도시된 논리회로에서, 행어드레스 스트로브 보수신호 $\overline{RAS}$는 라인(42)에서 수신된

다. 이는 제1 및 제2감지신호의 지연 발생을 위해 NOR 게이트(46, 48)를 인에이블시키는 제1$ø_{pre}$ 신호를 라인(44)상에서 발생시킨다. 제1감지신호는 DRAM의 비트 라인을 셋트업시키는데 필요한 시간에 의해 결정된바와 $\overline{RAS}$ 신호의 개시 다음에 시간 to에서 발생되며, 상기 시간 to는 지연 블럭(50)에서 표시되어 있다. 제1감지신호$ø_{S1}$은 노드(52)에서 발생이 되어, 라인(34) (제1도)을 통해 감지 증폭기에 공급이 된다. 인버터(54)는 제1감지신호의 논리보수 $\overline{\phi_{S1}}$를 발생하여, 상기 보수를 라인(38)을 통해 제1도 회로의 트랜지스터(26)에 공급한다.

제2감지신호 $ø_{S2}$는 제1감지신호 $ø_{S1}$의 개시후 시간 t_1에서 발생이 될 것이다. 시간 t_1은 제1 및 제2감지신호 사이의 소정의 지연을 만들기 위해 장치된 직렬 MOS 인버터(56)에 의해 결정이 된다. 그래서 제1감지신호 $ø_{S1}$의 개시후 시간 t_1에서 제2감지신호 $ø_{S2}$는 NOR 게이트(48)의 출력에서 발생이 되어 라인(36) (제1도)을 통해 제1도의 N 채널 트랜지스터(32)에 공급이 된다. 인버터 게이트(58)는 라인(40)을 통해 제1도의 대형 트랜지스터(28)를 온시키기 위해 장치된 제2감지신호의 논리보수 $\overline{\phi_{S2}}$를 발생시키는데 사용된다. 이와같은 형태로, 비트 라인 커패시턴스가 극복되어야 할 필요가 있을때 전류 서어지를 제어하기 위한 시도가 된적이 있었다.

그러나 상기의 종래 방법은 여러가지 단점을 갖고 있었다. 전형적인 DRAM은 광범위한 온도, 전원 및 처리변수에 대해 특정한 억세스 시간을 충족시키는 것이 요구되었다. 통상적으로, 최악의 경우 또는 가장 늦은 타이밍 조건에서 30nsec의 시간 간격이 제1셋트의 감지 및 복귀신호 $ø_{S1}$, $\overline{\phi_{S2}}$과 제2셋트의 감지 및 복귀신호 $ø_{S1}$, $\overline{\phi_{S2}}$ 사이에 필요하다. 최상의 경우 또는 가장 빠른 타이밍 조건에서 상기 시간 간격은 약 15nsec 정도로 줄어들 것이다.

최상의 조건에서, 주변온도는 약 0℃이며 Vcc=5.5 볼트이다. DRAM 회로는 15nsec 동안 약 2.25 볼트로부터 약 5.5볼트까지 비트 라인과 연관된 800pF의 커패시턴스를 이동시킬 수 있어야 할 것이다. 이러한 것은 Vcc 핀을 통해 공급될 2600 피코쿨롱의 전하를 필요로 한다. 삼각전류 파형으로 이러한 만큼의 전하를 완전하게 공급하는 것이 가능하다 할지라도 이는 nsec당 45㎃의 전류 램프(Current ramp) 비율에서 최도 350㎃의 전류 피크까지를 필요로 한다. 이들 두 변수는 전형적인 DRAM 회로가 받아들일 수 없을 정도로 높으며, 칩 전원 공급을 저하시키는 경향이 있다. 또한 주변 회로는 상기와 같이 반복된 전류 서어지 후에는 고장이 날수도 있다.

한편, 만약 DRAM이 최악의 경우 조건에서 작동한다면, 회로는 가장 저속으로 작동할 것이다. 즉, 주변 온도가 약 100℃이며 전원이 약 4.5볼트일 때, to는 가장 최소치에 있을 것이다. 마찬가지로, 인버터 지연주기는 최대 인버터 게이트에 있을 것이다. 제1감지신호$ø_{S2}$는 칩 활성화 주기에 있도록 개시될 것이며, 2감지신호 $ø_{S2}$ 칩 활성화 주기가 종료되기 전 짧은 시간에서 비교적 길게 지연된 후 발생이 된다. 이들 두 감지신호는 칩 활성화 주기의 마지막에서 종료가 될 것이다. 이와같은 주변 조건에서 발생될 수 있는 최대전류는 가장 최상의 조건하에서 발생되는 것보다 일반적으로 적게 발생이 된다. 그래서, 제1 및 제2감지신호 사이의 지연은 원하는 전류 안정화를 제공할 수 있는 정도로 길 필요가 없다. 그러나 상기 방법에서 지연특성 때문에 DRAM을 위한 억세스 타임은 허용될 수 없다.

그래서, 어떤 작동 조건하에서 비트 라인의 고유 커패시턴스를 극복하기 위한 공지된 방법은 회로의 전류 제한 또는 필요한 신속한 억세스 타임과 호환성이 없다.

본 발명의 목적은 광범위한 작동 조건에 걸쳐서 DRAM 회로를 통해 유도된 제어 전류로 소정의 억세스 타임을 허용하는 방법을 제공하는 것이다.

본, 발명의 제1특성에 있어서, 활성 및 사전 충전 주기를 가진 DRAM 회로의 감지 및 복귀 작동 동안 전류 서어지를 안정화시키기 위한 방법을 제공하는 것으로 그 방법은 활성 주기 동안 감지 및 복귀 작동을 개시하는 것과, 사전 충전 주기 동안 감지 및 복귀 작동을 완료하는 것을 구비한다.

일반적으로 본 발명은 온도 및 전원 공급 변화와 같이 전체 작동 범위에 걸쳐서 신속한 억세스 타임을 허용하는 반면 RAM의 비트 라인과 연관된 전류 스파이크를 제어하는 방법을 제공하는 것이다. 양호한 실시예에 있어서, 본 발명은 활성화 주기의 개시에 이어 제1지연 주기후 제1감지신호를 개시하는 단계를 구비한다. 제1지연 주기는 회로의 온도 및 전원 공급의 변화와 함께 변한다. 제1감지신호는 전류가 흐르도록 하기 위해 감지 증폭기에서 소형 장치를 온시키는데 사용된다. 본 실시예에서, 전류는 피크에 도달할 것이며 드레인 대 소스 전압 강하와 같이 감소를 시작한다.이어 제2감지신호가 발생되며 감지 증폭기에서 대형 장치를 온시키는데 사용되며, 따라서 부가적인 전류가 인가되어 각 단에서 비트 라인 커패시터를 극복한다. 그러나, 종래 기술과는 달리, 제2(또는 연속)감지신호의 발생이 종래 감지신호 발생에 의존하는 곳에서, 본 발명을 사용하여 제2(또는 연속)감지신호는 의존되지 않게 한다. 또한 메모리가 보다 신속하게 작동함에 따라(주변 온도 및 Vcc 전압 레벨과 같이 작동 조건에 의한 영향으로), 하나의 감지신호와 다음 감지신호 사이의 시간 간격은 감소하지 않을 것이며, 그러나 증가하는 것이 바람직하다.

제2감지신호는 양호하게 비교적 안정한 신호에 의존될 것이다. 이것은 비교적 안정한 로우 시간을 갖는 $\overline{RAS}$ 신호가 될 것이다. 양호한 실시예에서, 제2감지신호의 발생은 $\overline{RAS}$의 변이에 의존될 것이다. 양호하게 제2(또는 최종)감지신호는 $\overline{RAS}$가 하이로 되는데 응답하여 감지 및 복귀 기능을 완료하기 위해 발생될 것이며, 상기 하이 상태는 DRAM이 사전 충전 단계로 복귀할 때 DRAM 활성화 주기의 완료를 통상적으로 표시한다. 그러나, 몇몇 $\overline{RAS}$ 하이 시간은 복귀 기능을 수행하는데

사용된다. 비트 라인을 사전 충전시키는데 전용된 시간중의 일부가 사용될 수 있다. 왜냐하면 사전 충전이 Vcc/2로 되는 곳에서, 비트 라인을 서로 단락시킴에 의한 신속한 사전 충전은 나머지 시간에서 가능할 것이기 때문이다. 본 발명의 방법은 또한 제2지연 주기후 제1 및 제2감지신호를 종료시키는 단계를 포함한다. 싸이클 타임상에서 양호한 방법의 전체 효과는 $\overline{RAS}$ 로우 상태 시간을 연장시키는 것뿐이다. 상기 결과는 종래의 회로보다 광범위한 조건에 걸쳐 적당한 억세스 시간으로 보다 짧은 싸이클을 고유하게 가진 효율적인 감지 및 복귀 작동을 말한다.

상기 규정된 방법은 감지를 위한 비트 라인을 셋트업하는데 필요한 시간에 의해 결정된 제1시간 지연후 제1또는 예비 감지신호를 발생하기 위해 DRAM 활성 주기의 개시에 응답하는 제1논리 수단을 포함한 논리 회로에서 사용될 수 있다. 상기 제1지연은 회로 온도 및 전원 공급 변화의 함수로 변한다. 그리고 제2논리 수단은 DRAM 사전 충전 주기의 개시에서 DRAM 활성 주기의 완료에 응답하여 제2 또는 최종 감지신호를 발생한다.

본 발명에 따른 장치는 또한 선택 가능한 제 2온-칩 지연 주기 다음 감지신호를 종료시키기 위해 DRAM 활성 주기의 완료에 응답하는 제3논리 수단을 포함한다.

본 발명의 다른 특징에 있어서 칩 활성 및 사전 충전 주기를 가지며 회로에서 제어 전류 서어지에 대한 주변 조건 변화를 보상하는 수단을 가진 DRAM 회로가 제공되며, 상기 보상 수단은 인에이블링 신호를 발생하기 위한 활성 주기의 개시에 응답하는 제어 수단과, 상기 인에이블링 신호를 수신하고 상기 활성 주기의 개시에 응답하여 주변조건 변화지연 후 제1감지신호를 발생하기 위해 접속된 제1 발생수단과, 제2감지신호를 발생하기 위해 상기 활성 주기의 종료에 응답하여 상기 인에이블 신호를 수신하도록 접속된 제2발생수단을 구비한다.

본 발명의 실시예에 관하여 이하 첨부된 도면을 참고로 설명하기로 한다.

상기에서 설명된 바와 같이, 제1도 및 제2도를 참고로 기술된 종래의 방법은 DRAM 회로의 주변 조건에서는 시간 및 온도 변화에 적절히 대처할 수 없었다. t0는 이상적인 조건에 응답하여 DRAM의 "신속한"작동중에 감소하기 때문에, t_1은 마찬가지로 감소할 것이다. 그래서, 제1 및 제2감지신호는 전류가 DRAM 회로가 허용할 수 있는 높은 값으로 서어지되기 쉬울 때의 시간 동안 서로 아주 근접될 것이다.

제3도는 제1도에 도시된 바와 같은 감지 증폭기를 구동하는데 사용될 수 있는 제1 및 제2쌍의 감지 신호(ϕ_{S1}, $\overline{\phi_{S1}}$, 및 ϕ_{S2}, $\overline{\phi_{S2}}$)를 발생하는 본 발명의 실시예의 개략적인 논리 회로도를 도시한다.

제3도에서, 행어드레서 스트로브 보수 신호 $\overline{RAS}$는 라인(60)상에서 수신이 되며 그 보수 4는 라인(62)상의 인버터를 통해 발생이 된다. 이들 두 신호 $\overline{RAS}$ 및 ϕ_a는 제5도에 도시되어 있다. 종래의 방법과 비슷한 방법으로 제1감지신호 ϕ_{S1}은 $\overline{RAS}$ 신호의 개시후($\overline{RAS}$가 로우로 된 후)시간 t0에서 NOR 게이트(64)의 출력에서 발생이 된다. 다시 시간 t0는 비트 라인을 셋업시키는데 필요한 시간을 나타낸다. 상기 지연은 DRAM의 온도 및 전원 공급에 의해 영향을 받는다. 그리고 제3도에서 지연블럭(66)에 의해 표시되어 있다. 제1감지신호 ϕ_{S1}은 NOR 게이트(64)에 출력에서 발생이 된다. 왜냐하면 NOR 게이트(64)에 대한 2개의 입력은 상기 시간에서 로우로 될 것이다. ϕ_{pre}로 표시된 라인(68)상의 신호는 로우로 될 것이다. 왜냐하면 라인(62)상의 ϕ_a 신호는 NOR 게이트(70)에 대한 한 입력으로 역할을 하여 $\overline{RAS}$ 가 로우로 되어있는 만큼 하이로 된다. 이는 라인(68)상의 NOR 게이트(70)의 출력이 로우로 되는 것을 확실하게 한다. 그래서, 제1감지신호는 비트 라인(10, 12)을 셋트업시키는데 필요한 시간을 나타내는 t0 만큼 칩 활성 주기의 개시후에 지연될 것이며 t0는 동적인 RAM의 온도 및 전원 공급 상태에 종속되는 변수이다.

제2감지신호의 발생은 양호한 실시예가 전류 서어지에 대해 적당히 보상되도록 하여 감지 및 복귀 기능동안 동적인 RAM에 의해 유도된 전체 전류를 안정화시키게 한다. 왜냐하면 라인(62)상의 ϕ_a 신호가 NOR 게이트(72)에 대해 입력 역활을 하기 때문에 NOR 게이트(72)의 출력인 제2감지신호는 라인(62)상의 ϕ_a가 로우 값으로 내려갈 때까지 발생되지 않을 것이다. 이는 활성 주기의 종료와 칩 사전 충전 주기의 개시를 나타내는 라인(60)상의 $\overline{RAS}$ 신호가 하이 상태로 될때만 발생될 수 있다. 상기 시간에 제2감지신호는 NOR 게이트(72)의 출력에서 발생될 수 있다. 상기 시간에 라인(68)상의 ϕ_{pre} 신호는 로우 상태에 유지되는 것에 유의하여야 한다. 왜냐하면 NOR 게이트(70)에 대한 입력인 라인(62)상의 ϕ_a 신호가 로우 상태로 될지라도, NOR 게이트(70)에 대한 다른 입력인 라인(74)상의 ϕ_6 신호는 사전 충전 주기의 개시 다음인 주기 t_2 동안 하이 상태로 유지된다. 이와 같은 방식으로, 제2감지신호는 입력으로서 제1감지신호를 수신하는 회로에 의해 발생되지 않는다. 이와같이 제2감지신호는 제1감지신호가 발생되는 시간에 관계없이 발생된다. 소정 수의 인버터에 의해 이루어지는 시간 지연 만큼 제1감지신호의 다음이라기 보다 제2감지신호 ϕ_{S2}는 일반적으로 칩 사전 충전 주기의 개시와 거의 일치한다.

제1감지신호와 무관한 제2감지신호의 발생은 만들어지는 동적 RAM 작동 조건에서 볼수 있는 온도 및 전원 공급 변화를 위한 적당한 보상을 실행한다. to와 마찬가지 방식으로 온도 및 전원 공급과 함께 변하는 시간 t_1에 의해 결정된 제1 및 제2감지신호 사이의 시간 지연이라기보다 상기 지연은 현재 활성 주기의 함수이며, $\overline{RAS}$ 가 로우 상태인 전체 시간에서 t0를 뺀 것이다. 그래서 t0가 최소 값

일때(즉, 칩이 가장 최적 모우드 즉 가장 신속하게 작동할 때), 제1 및 제2감지신호 사이의 지연은 가장 길어질 것이다. 이러한 것은 만약 너무 빨리 온되는 반면 전압차가 너무 큰 경우 DRAM의 회로를 가장 신속하게 작동하도록 하는 조건이 P 채널 트랜지스터(28)를 통해 수용할 수 없을 정도의 높은 전류 서어지를 발생시키는 조건을 가장쉽게 제공하기 때문에 필요하다. 그래서 본 발명의 양호한 실시예에서, P 채널 트랜지스터(26)는, 트랜지스터(28)가 신속하게 온 되었더라면 허용될 수 없는 대전류가 대전류 트랜지스터(28)를 통해 서어지가 될수 있는 그런 조건에서 장시간의 주기(및 전하를 전달하는 주기)동안 온 될 것이다. 본 발명을 이용하면 DRAM 회로를 통해 유도된 최대 전류는 초기에 P 채널 트랜지스터(26)를 통해 유도된 전류를 초과하지 않는다. 왜냐하면, 트랜지스터(26)는 비교적 소형 장치이기 때문에, 대부분의 경우 상기 트랜지스터를 통한 전류를 처리할 수 있다.

DRAM(및 인버터 회로)이 최악의 모우드에서 작동할 때(제3도에서 블럭(66)으로 표시되어 있으며, 시간 t0로 측정된 바와 같이 비트라인을 셋트업하는데 시간이 오래 걸린 경우). 제1 및 제1감지신호를 분리하는 시간 주기는 가장 짧아질 수 있다. 이는 비트 라인을 천천히 셋트업시키는 조건이 항시 과도 전류를 발생하기 쉬운 조건과 같기 때문이다. 그래서 제1 및 제2감지신호의 개시 사이의 주기는 짧아질 수 있다. 또한 제2감지신호는 칩 사전 충전 주기의 개시와 일치하기 때문에, 상기 접점에서 $\overline{RAS}$ 신호가 하이로 되는 것에 의해 이루어지는 서어지는 감지 및 복귀 작동을 수행하는데 도움을 준다.

상술한 바와 같이, 라인(74)상의 ϕ_6 신호는 제3도에 도시된 회로에서 NOR 게이트(70)를 제어하는데 대한 제2입력이 된다. 상기 입력은 라인(62)상에서 존재하는 ϕ_a 신호의 시간 지연으로 발생이 된다. 그래서, 라인(62)상의 ϕ_a가 로우로 되어 칩 활성 주기의 종료와 칩 사전 충전의 개시를 나타낼 때, 라인(74)상의 신호는 시간 t2후에 대응하는 로우 상태로 될 것이다. NOR 게이트(70)에 대한 2개의 입력이 로우일 때, 라인(68)상의 NOR 게이트(70)의 출력은 하이로 되어 NOR 게이트(64, 72)를 디제에이블 시키고 제1 및 제2감지신호를 종료시킨다. 그래서 제2감지신호의 지속 시간은 일련의 MOS 인버터(76)에 의해 결정이 되는 시간 t_2에 의해 결정이 된다.

제2감지신호는 감지 및 복귀 기능을 달성하기 위해 제2감지신호에 의해 발생된 대전류를 위해 필요한 시간의 최소한 일부에 대응하는 주기 동안 지속되는 것을 알 수 있다. 저 전원 공급 전압과 높은 온도에서 회로가 작동할 때 제2감지신호는 감지 및 복귀 기능을 끝마치기 위해 오랜 시간 동안 지속되는 것이 바람직하다. 설명된 실시예에서, 이것은 지연이 응답하는 같은 온도 및 전원 공급 변화에 t_2 의 MOS 지연이 대응하기 때문에 생긴다. 이것은 회로가 가장 늦은 속도로 작동할 때 제2감지신호가 보다 짧은 시간 주기 동안 지속되는 종래 방법과는 직접 대조를 이룬다.

제3도에 도시된 논리회로는 제1도에 도시된 감지 증폭기와 호환성이 있다. NOR 게이트(64)의 출력에서 제1감지신호는 라인(34)을 통해 제1N 채널 트랜지스터(30)에 제공된다. 인버터(78)의 출력으로부터 제1감지신호의 논리 보수는 라인(38)에 의해 제1P 채널 트랜지스터(26)에 공급이 된다. 마찬가지로, NOR 게이트(72)의 출력에서 제2감지신호는 라인(36)을 통해 제2N 채널 트랜지스터(32)에 공급이 된다. 그리고 제2감지신호의 논리 보수는 라인(40)을 통해 대전류 P 채널 트랜지스터(28)에 공급이 된다. 통상적인 256K DRAM 칩에서, 1,024개의 감지 증폭기 및 비트 라인 쌍이 있을 것이다. 그러나, 제3도의 논리 회로는 칩 아키텍춰상에서 단한번 설계될 필요가 있다.

제4도는 $\overline{RAS}$, ϕ_{pre} 신호, 제1 및 제2감지신호 ϕ_{S1}, ϕ_{S2}와 감지 및 복귀 기능을 제공하기 위한 방법에서 신호의 타이밍 관계를 도시한다. 감지 및 복귀 기능이 $\overline{RAS}$ 신호가 로울일때 칩활성 주기 동안 이루어지는 것을 간단한 상기 파형의 분석으로부터 알 수 있을 것이다.

제5도는 $\overline{RAS}$ 신호, ϕ_{pre} 신호 및 제1 및 제2감지신호 ϕ_{S1}, ϕ_{S2} 및 본 발명에 따라 발생된 다른 신호 사이의 타이밍 관계를 도시한 일련의 파형을 나타낸다. 이러한 파형의 분석으로부터 제2감지신호는 칩 활성주기가 종료되고 사전 충전 주기가 시작된 후 개시되는 것을 알수 있을 것이다. 또한, 제 2감지신호는 제1감지신호와 무관하게 발생이 되며, 실제로 칩이 빠른 속도로 작동할 때 제이 감지신호보다 훨씬 지연될 것이다. 이것은 활성 주기가 감지 및 복귀 기능을 적당히 수행하는 허용 범위까지 연장되었을 경우, 발생되는 것보다 전체 칩 싸이클 시간에 큰 충격이 없이 감지 및 복귀 기능을 수행하는 양호한 방법이다. 이것은 특히 중점 감지가 이용될 때 특히 양호하다. 왜냐하면, 비트 라인은 사전 주기 동안 상기 기능을 평형을 유지하기 위해 짧아질 필요가 있다.

이상 본 발명의 하나의 실시예를 들어 상술되었다. 그러나 본 발명의 기술 사상에 근거하여 각종의 변형과 수정이 이루어질 수 있다. 예를 들어, 본 발명은 2개의 감지신호를 단지 제공하는 데만 제한되지 않으며, 단지 2쌍의 트랜지스터에 신호를 인가하는 것에 한정되지도 않는다. 다른 장치도 고려될 수 있다. 예를 들어 감지 증폭기에서 3쌍 이상의 트랜지스터와 대응하는 수의 감지신호가 있을 수 있다. 여러쌍의 트랜지스터가 감지 증폭기에 있을 수 있으며 상기 트랜지스터보다 적은 수의 개별 신호가 그들 사이에서 분배될 수 있다. 몇몇 감지신호는 또 다른 감지신호를 형성하기 위해 조합될 수도 있을 것이다. 본 발명은 $\overline{RAS}$의 하이 상태에 응답하여 제2 또는 최종 감지신호를 발생하는데만 한정되는 것은 결코 아니다. 감지 증폭기에서 트랜지스터를 스위치 온하는 간격을 감소시킬 수 없지만 DRAM이 신속한 작동을 하도록 증가시킬 수 있도록 하기 위해 다른 신호가 사용 또는 발생될 수 있다.

(57) 청구의 범위

청구항 1

활성 및 사전 충전 주기를 갖는 DRAM 회로의 감지 및 복귀 작동의 제어를 위하여, 감지 및 복귀작동

을 개시하도록, 제1의 시간 지연(to)후에, 활성 주기의 개시에 응답하여 구동 전류를 감지 증폭기에 인가시키는 단계와, 감지신호($ø_{S2}$)를 발생하고, 구동 전류를 감지 증폭기까지 흐르게 하기 위하여 감지신호를 이용하는 단계를 구비한 DRAM 회로의 감지 및 복귀 작동 제어 방법에 있어서, 감지신호는 감지 및 복귀 동작이 사전 충전 기간 동안 완료되도록 활성 주기 종료후, 제2의 시간 지연(t_2)후에 끝나는 것을 특징으로 하는 DRAM 회로의 감지 및 복귀 작동 제어 방법.

청구항 2

제1항에 있어서, 감지신호는 구동 신호의 개시에 의해 정해지지 않은 시간에서 발생하는 DRAM 회로의 감지 및 복귀 작동 제어 방법.

청구항 3

제2항에 있어서, 감지신호는 활성 주기의 완료에 응답하여 발생하는 DRAM 회로의 감지 및 복귀작동 제어 방법.

청구항 4

제1, 2 또는 3항에 있어서, 상기 제2의 시간 지연(t_2)는 MOS 인버터(76)에서 정해지는 DRAM 회로의 감지 및 복귀 작동 제어 방법.

청구항 5

제1항 내지 제3항 중의 어느 한항에 있어서, 상기 제1의 시간 지연(t0)은 상기 MOS 인버터상의 비트라인을 셋업하는데 요하는 시간과 거의 같은 시간인 DRAM 회로 감지 및 복귀 작동 제어 방법.

청구항 6

제1 내지 3항중의 어느 한항에 있어서, 상기 제1의 시간 지연(t0)은 상기 메모리 회로내의 주위온도에 따라 가변되는 DRAM 회로 감지 및 복귀 작동 제어 방법.

청구항 7

활성 주기 개시후, 제1의 시간 지연(t0)후에 제1의 감지신호($ø_{S1}$)를 발생하기 위해 활성 주기의 개시에 응답하는 제1논리수단(64)과, 활성 주기 종료후 제2의 감지신호($ø_{S2}$)을 발생시키는 제2의 논리수단(72)과, 구동 전류를 개시하여 감지 증폭기에 흐르도록 제1, 제2의 감지신호($ø_{S1}$, $ø_{S2}$)를 연속적으로 이용하는 수단을 구비한 전류 서어지 안정화 수단과, 활성 주기 및 사전 충전 주기를 갖는 DRAM 회로에 있어서, 제 3논리 수단(70)은 상기 제1, 제2감지신호($ø_{S1}$, $ø_{S2}$)들이 사전 충전 주기 동안에 종료되도록, 활성 주기 종료후 제2의 시간 지연(t_2)후에 감지신호들을 종료시키도록 작동하는 수단을 구비한 것을 특징으로 하는 DRAM 회로.

청구항 8

제7항에 있어서, 상기 제1의 시간 지연(t0)은 감지를 위하여 칩 비트 라인을 셋업하는데 요하는 시간을 표시하는 DRAM 회로.

청구항 9

제7항 또는 제8항에 있어서, 회로의 작동 전압 및 온도의 함수로서 상기 제1의 시간 지연(t0)을 행하는 수단을 구비한 DRAM 회로.

청구항 10

제7항에 있어서, 제2논리 수단(72)는 활성 주기의 완료에 응답하여 제2감지신호를 발생하도록 작동하는 DRAM 회로.

청구항 11

제10항에 있어서, 활성 주기는 비교적 일정하며, 제1, 제2감지신호 발생($ø_{S1}$, $ø_{S2}$)의 시간적 간격은 비트라인 감지 셋업 시간의 감소에 따라 증가하고, 비트 라인 감지 셋업 시간의 증가에 따라 감소하는 DRAM 회로.

청구항 12

제7항에 있어서, 회로의 작동 전압 및 온도에 함수로서 제2의 시간 지연을 행하는 MOS 인버터(76)을 구비한 DRAM 회로.

청구항 13

제7항에 있어서, 상기 제2논리 수단은 제1, 제2논리 수단(64, 72)을 작동하도록, 활성 주기의 개시에 응답하는 DRAM 회로.

청구항 14

제7항에 있어서, 상기 제2시간 지연(t_2)는 일련의 MOS 인버터(76)에 의해 정해지는 DRAM 회로.

청구항 15

제13항에 있어서, 제어 신호를 발생하기 위하여 활성 주기에 개시에 응답하는 제어 수단을 구비하며, 제1논리 수단(66, 64)은 상기 제어 신호를 수신하도록 접속되어서, 제1의 시간 지연(t0) 후에 제1감지신호($ø_{S1}$)을 발생하도록 상기 활성 주기의 개시에 응답하며, 제2논리 수단(72)은 상기 제어 신호를 수신하도록 연결되어서, 제2감지신호($ø_{S2}$)를 발생하도록 상기 활성 주기의 종료에 응답하는 DRAM 회로.

청구항 16

제15항에 있어서, 상기 활성 주기의 종료에 응답하고, 제어 신호가 활성 주기가 종료 후 제2의 시간 지연(t_2) 상태에서 제1, 제2논리수단을 디제이블하도록 하는 제어 수단에 연결된 MOR 인버터(76)을 구비하고, 제1, 제2감지신호($ø_{S1}$, $ø_{S2}$)의 기간에 상기 제2의 시간 지연(t_2)이 정해지는 DRAM 회로.

청구항 17

제16항에 있어서, 비트 라인들간의 진압차를 감지하기 위하여 제1, 제2감지신호($ø_{S1}$, $ø_{S2}$)를 각각 수신하도록 연결된 제1, 제2전류 제어 입력측(30, 32)을 갖는 감지 증폭기(14, 16, 18, 20)를 구비한 DRAM 회로.

청구항 18

제17항에 있어서, 상기 전류 제어 입력측은 제I, 제2트랜지스터의 게이트를 구바하며, 제1트랜지스터는 제2트랜지스터 보다 상당히 작은 DRAM 회로.

청구항 19

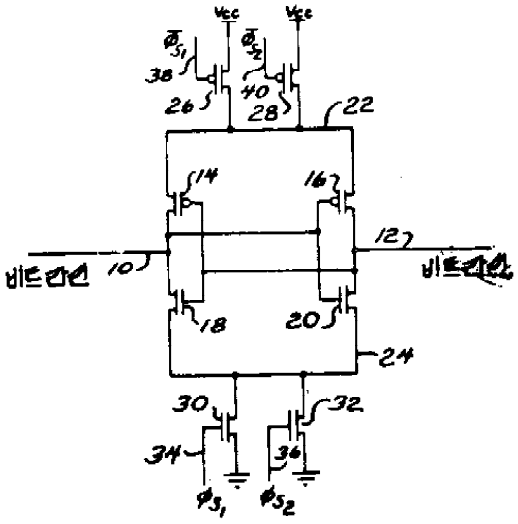
제18항에 있어서, 감지 증폭기는 구동을 위하여 제1, 제2감지신호($ø_{S1}$, $ø_{S2}$)와 이것의 보수 신호($\overline{\phi_{S1}}$, $\overline{\phi_{S2}}$)를 수신하기 위해 제1, 제2의 쌍형태의 입력측(34, 36, 38, 40)을 구비한 DRAM 회로.

청구항 20

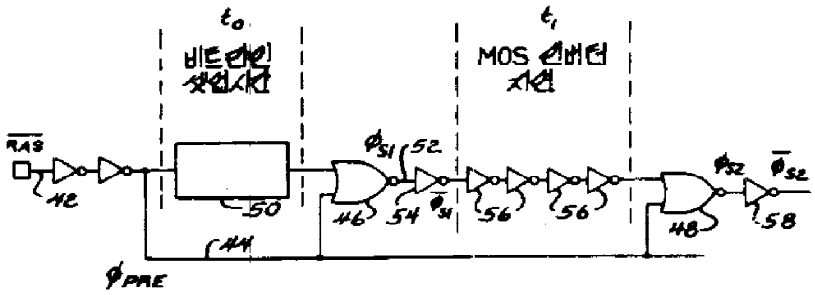
제19항에 있어서, 상기 제1쌍의 입력측은 제1쌍의 트랜지스터(26, 30)게이트측에 접속되며, 제2쌍의 입력측은 제2쌍의 트랜지스터(28, 32)의 게이트측에 접속되며, 제2쌍의 트랜지스터는 제1쌍의 트랜지스터보다 상당히 큰 DRAM 회로.

도면

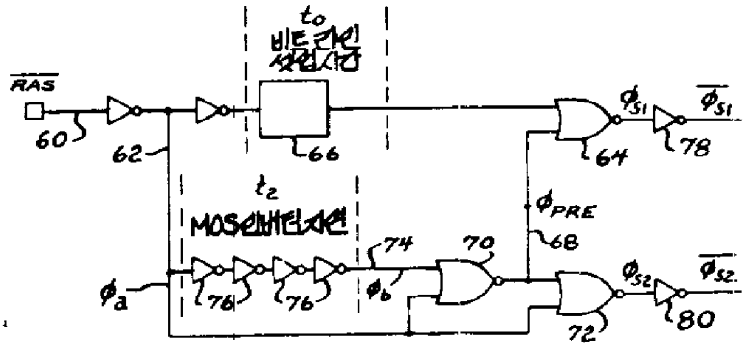
도면1



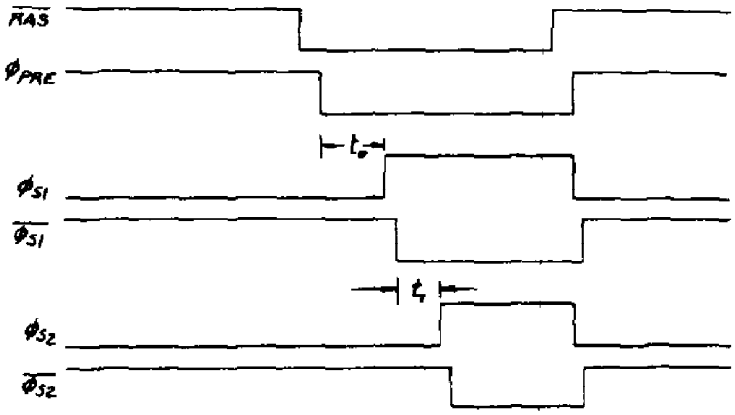
도면2


t_0
비트라인 셋업시간
t_1
MOS 인버터 지연
$\overline{RAS}$
42
50
44
ϕ_{PRE}
ϕ_{S1}
52
46
54
$\overline{\phi_{S1}}$
56
56
48
ϕ_{S2}
$\overline{\phi_{S2}}$
58

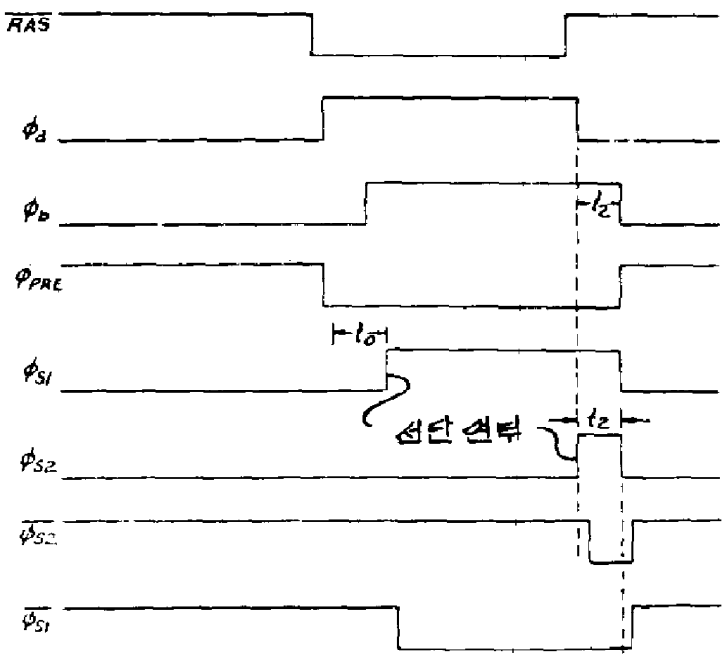
도면3


t_0
비트라인 셋업시간
$\overline{RAS}$
60
62
66
ϕ_{S1}
$\overline{\phi_{S1}}$
64
78
t_2
MOS인버터지연
ϕ_{PRE}
68
74
70
ϕ_a
76
76
ϕ_b
ϕ_{S2}
$\overline{\phi_{S2}}$
72
80

도면4


$\overline{RAS}$
ϕ_{PRE}
t_0
ϕ_{S1}
$\overline{\phi_{S1}}$
t_1
ϕ_{S2}
$\overline{\phi_{S2}}$

도면5


RAS
ϕ_a
ϕ_b
t_2
ϕ_{PRE}
t_0
ϕ_{S1}
선단 센터
t_2
ϕ_{S2}
$\overline{\phi_{S2}}$
$\overline{\phi_{S1}}$