

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5522622号
(P5522622)

(45) 発行日 平成26年6月18日 (2014. 6. 18)

(24) 登録日 平成26年4月18日 (2014. 4. 18)

(51) Int. Cl.	F I
HO 1 L 27/108 (2006. 01)	HO 1 L 27/10 6 7 1 A
HO 1 L 21/8242 (2006. 01)	HO 1 L 27/10 6 2 1 C
HO 1 L 27/105 (2006. 01)	HO 1 L 27/10 4 4 8

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2009-65907 (P2009-65907)	(73) 特許権者	513192281
(22) 出願日	平成21年3月18日 (2009. 3. 18)		ビーエスフォー ルクスコ エスエイアー ルエル
(65) 公開番号	特開2010-219386 (P2010-219386A)		P S 4 L u x c o S . a . r . l .
(43) 公開日	平成22年9月30日 (2010. 9. 30)		ルクセンブルク大公国エルー 2 1 2 1、ル クセンブルク、ヴァル デ ボン マラデ ス 2 0 8
審査請求日	平成24年1月5日 (2012. 1. 5)	(74) 代理人	100115738 弁理士 鷲頭 光宏
		(74) 代理人	100121681 弁理士 緒方 和文
		(74) 代理人	100130982 弁理士 黒瀬 泰之
		(74) 代理人	100127199 弁理士 三谷 拓也

最終頁に続く

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

マトリクス状に配置され、それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される複数のシリコンピラーと、

各シリコンピラーの間を互いに直交する方向に配線されたビット線及びワード線とを備え、

前記ビット線は、両側のシリコンピラーの下端と、1行おきに電氣的に接続し、

前記ワード線は、両側のシリコンピラー側壁にそれぞれ形成されたゲート電極と、1列おきに電氣的に接続し、

前記ビット線は、隣り合う他のビット線とは異なるシリコンピラーに接続し、

前記ワード線は、隣り合う他のワード線とは異なるシリコンピラーの側壁に形成されたゲート電極に接続することを特徴とする半導体記憶装置。

【請求項 2】

マトリクス状に配置され、それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される複数のシリコンピラーと、

各シリコンピラーの間を互いに直交する方向に配線されたビット線及びワード線とを備え、

前記ビット線は、両側のシリコンピラーの下端と、1行おきに電氣的に接続し、

前記ワード線は、両側のシリコンピラー側壁にそれぞれ形成されたゲート電極と、1列おきに電氣的に接続し、

10

20

隣り合うビット線は、互いに１行ずつずれた位置にあるシリコンピラーに接続し、
隣り合うワード線は、互いに１列ずつずれた位置にあるシリコンピラーの側壁に形成されたゲート電極に接続することを特徴とする半導体記憶装置。

【請求項３】

直交する第１のビット線及び第１のワード線と、
それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される第１乃至第４のシリコンピラーとを備え、
前記第１及び第２のシリコンピラーは、前記第１のビット線を挟んで隣り合い、
前記第３及び第４のシリコンピラーは、前記第１のビット線を挟んで隣り合い、
前記第１及び第３のシリコンピラーは、前記第１のワード線を挟んで隣り合い、
前記第２及び第４のシリコンピラーは、前記第１のワード線を挟んで隣り合い、
前記第１のビット線は前記第３及び第４のシリコンピラーの下端と電氣的に接続し、
前記第１のワード線は前記第１及び第３のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電氣的に接続することを特徴とする半導体記憶装置。

【請求項４】

前記第１のビット線に平行な第２のビット線と、
それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される第５及び第６のシリコンピラーとをさらに備え、
前記第１及び第２のビット線は、前記第２及び第４のシリコンピラーを挟んで隣り合い、
前記第２及び第５のシリコンピラーは、前記第２のビット線を挟んで隣り合い、
前記第４及び第６のシリコンピラーは、前記第２のビット線を挟んで隣り合い、
前記第５及び第６のシリコンピラーは、前記第１のワード線を挟んで隣り合い、
前記第２のビット線は前記第２及び第５のシリコンピラーの下端と電氣的に接続し、
前記第１のワード線は前記第１、第３、第５、及び第６のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電氣的に接続することを特徴とする請求項３に記載の半導体記憶装置。

【請求項５】

前記第１のワード線に平行な第２のワード線と、
側壁にゲート絶縁膜を介してゲート電極が形成され、かつ上端が記憶素子と電氣的に接続される第７のシリコンピラーとをさらに備え、
前記第１及び第２のワード線は、前記第３、第４、及び第６のシリコンピラーを挟んで隣り合い、
前記第７のシリコンピラーは、前記第１及び第２のビット線の間に位置し、
前記第４及び第７のシリコンピラーは、前記第２のワード線を挟んで隣り合い、
前記第２のビット線は前記第２、第５、及び第７のシリコンピラーの下端と電氣的接続し、
前記第２のワード線は前記第４及び第７のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電氣的に接続することを特徴とする請求項４に記載の半導体記憶装置。

【請求項６】

ワード線延伸方向に隣り合う２つのシリコンピラーの下部を接続するシリコンブリッジを有し、ビット線延伸方向に隣り合う２つのシリコンピラーが、互いに逆方向のシリコンピラーと前記シリコンブリッジにより接続されるマトリクス状のシリコンピラー群を形成するとともに、シリコンピラー間のビット線配線領域に少なくとも前記シリコンブリッジの上面と同じ高さまで絶縁層を形成する第１の工程と、
前記ビット線配線領域をエッチングすることにより、前記シリコンブリッジ内及び前記絶縁層内を貫くビットトレンチを形成する第２の工程と、
前記ビットトレンチ内にビット線を形成する第３の工程とを備えることを特徴とする半導体記憶装置の製造方法。

【請求項７】

前記第 1 の工程は、

各シリコンピラー及び各シリコンブリッジの形成領域をマスクする第 1 のマスクパターンを用い、第 1 の深さまでシリコン基板をエッチングする工程と、

前記エッチングにより形成された溝を埋める絶縁層を形成する工程と、

前記ビット線配線領域以外の領域をマスクする第 2 のマスクパターンを用い、前記第 1 の深さより浅い第 2 の深さまで、前記絶縁層が形成された前記シリコン基板をエッチングする工程とを備えることを特徴とする請求項 6 に記載の半導体記憶装置の製造方法。

【請求項 8】

前記第 2 の工程は、各シリコンピラーの側壁にサイドウォール絶縁膜を形成する工程を含み、前記サイドウォール絶縁膜の形成後に、前記ビット線配線領域をエッチングすることを特徴とする請求項 6 又は 7 に記載の半導体記憶装置の製造方法。

10

【請求項 9】

各シリコンピラーの前記ビット線上方の側壁に、前記ビット線との間に絶縁膜を介して、ゲート絶縁膜及びゲート電極を形成する第 4 の工程と、

ビット線延伸方向に隣り合う 2 つのシリコンピラーの側壁にそれぞれ形成された前記ゲート電極を、ビット線延伸方向及びワード線延伸方向それぞれについて 1 列おきに接続するゲートコンタクトを形成する第 5 の工程と、

前記ゲートコンタクトと電氣的に接続するワード線を形成する第 6 の工程とを備えることを特徴とする請求項 6 乃至 8 のいずれか一項に記載の半導体記憶装置の製造方法。

【請求項 10】

20

各シリコンピラーの上部に拡散層を形成する第 7 の工程をさらに備えることを特徴とする請求項 9 に記載の半導体記憶装置の製造方法。

【請求項 11】

シリコンピラー形成領域をワード線延伸方向に 2 つずつマスクするための複数のサブマスクパターンを有し、かつ各サブマスクパターンがビット線延伸方向に隣り合う 2 つのシリコンピラー形成領域を、互いに逆方向のシリコンピラー形成領域とともにマスクする第 1 のマスクパターンを用い、第 1 の深さまでシリコン基板をエッチングする第 1 の工程と、

前記エッチングにより形成された溝を埋める絶縁層を形成する第 2 の工程と、

ビット線配線領域以外の領域をマスクする第 2 のマスクパターンを用い、前記第 1 の深さより浅い第 2 の深さまで、前記絶縁層が形成された前記シリコン基板をエッチングする第 3 の工程と、

30

前記ビット線配線領域をエッチングすることにより、前記シリコン基板内及び前記絶縁層内にビットトレンチを形成する第 4 の工程と、

前記ビットトレンチ内にビット線を形成する第 5 の工程とを備えることを特徴とする半導体記憶装置の製造方法。

【請求項 12】

前記第 4 の工程は、前記第 1 乃至第 3 の工程により形成された各シリコンピラーの側壁にサイドウォール絶縁膜を形成する工程を含み、前記サイドウォール絶縁膜の形成後に、前記ビット線配線領域をエッチングすることを特徴とする請求項 11 に記載の半導体記憶装置の製造方法。

40

【請求項 13】

各シリコンピラーの前記ビット線上方の側壁に、前記ビット線との間に絶縁膜を介して、ゲート絶縁膜及びゲート電極を形成する第 6 の工程と、

ビット線延伸方向に隣り合う 2 つのシリコンピラーの側壁にそれぞれ形成された前記ゲート電極を、ビット線延伸方向及びワード線延伸方向それぞれについて 1 列おきに接続するゲートコンタクトを形成する第 7 の工程と、

前記ゲートコンタクトと電氣的に接続するワード線を形成する第 8 の工程とを備えることを特徴とする請求項 11 又は 12 に記載の半導体記憶装置の製造方法。

【請求項 14】

50

各シリコンピラーの上部に拡散層を形成する第9の工程をさらに備えることを特徴とする請求項13に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置及びその製造方法に関し、特に、シリコンピラーを用いた縦型トランジスタを有する半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

これまで、半導体記憶装置の集積度向上は、主にトランジスタの微細化によって達成されてきたが、トランジスタの微細化はもはや限界に近づいており、これ以上トランジスタサイズを縮小すると、短チャネル効果などによって正しく動作しないおそれが生じている。

10

【0003】

このような問題を根本的に解決する方法として、半導体基板を立体加工し、これによりトランジスタを3次元的に形成する方法が提案されている。中でも、半導体基板の主面に対して垂直方向に延びるシリコンピラーをチャンネルとして用いるタイプの3次元トランジスタは、占有面積が小さく且つ完全空乏化によって大きなドレイン電流が得られるという利点を有しており、 $4F^2$ (F は最小加工寸法)の最密レイアウトも実現可能である(特許文献1~4参照)。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-288391号公報

【特許文献2】特開2008-300623号公報

【特許文献3】特開2008-311641号公報

【特許文献4】特開2009-010366号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

30

シリコンピラーを用いた縦型トランジスタの具体的な構造には各種のものがあるが、そのうちのひとつにおいては、マトリクス状に多数配置されたシリコンピラーの間にビット線が配線される。各ビット線は隣接する各シリコンピラーの上端又は下端と電氣的に接続されるが、接続されるのは延伸方向片側に位置する各シリコンピラーのみである。このような接続は、具体的にはビット線を覆う絶縁用酸化膜の一部に開口部を設けることによって実現される。

【0006】

しかしながら、シリコンピラーを用いた縦型トランジスタは上述したように $4F^2$ の最密レイアウトを実現するためのものであるため、ビット線を覆う絶縁用酸化膜も大変薄く作られており、上記開口部を形成するためには F 値以下の加工精度が必要になる。そのため、開口部の形成には非常な困難が伴う。

40

【課題を解決するための手段】

【0007】

本発明による半導体記憶装置は、マトリクス状に配置され、それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される複数のシリコンピラーと、各シリコンピラーの間を互いに直交する方向に配線されたビット線及びワード線とを備え、前記ビット線は、両側のシリコンピラーの下端と、1行おきに電氣的に接続し、前記ワード線は、両側のシリコンピラー側壁にそれぞれ形成されたゲート電極と、1列おきに電氣的に接続することを特徴とする。

【0008】

50

また、本発明の他の一側面による半導体記憶装置は、直交する第1のビット線及び第1のワード線と、それぞれの側壁にゲート絶縁膜を介してゲート電極が形成され、かつそれぞれの上端が記憶素子と電氣的に接続される第1乃至第4のシリコンピラーとを備え、前記第1及び第2のシリコンピラーは、前記第1のビット線を挟んで隣り合い、前記第3及び第4のシリコンピラーは、前記第1のビット線を挟んで隣り合い、前記第1及び第3のシリコンピラーは、前記第1のワード線を挟んで隣り合い、前記第2及び第4のシリコンピラーは、前記第1のワード線を挟んで隣り合い、前記第1のビット線は前記第3及び第4のシリコンピラーの下端と電氣的に接続し、前記第1のワード線は前記第1及び第3のシリコンピラーの側壁にそれぞれ形成されたゲート電極と電氣的に接続することを特徴とする。

10

【0009】

また、本発明による半導体記憶装置の製造方法は、ワード線延伸方向に隣り合う2つのシリコンピラーの下部を接続するシリコンブリッジを有し、ビット線延伸方向に隣り合う2つのシリコンピラーが、互いに逆方向のシリコンピラーと前記シリコンブリッジにより接続されるマトリクス状のシリコンピラー群を形成するとともに、シリコンピラー間のビット線配線領域に少なくとも前記シリコンブリッジの上面と同じ高さまで絶縁層を形成する第1の工程と、前記ビット線配線領域をエッチングすることにより、前記シリコンブリッジ内及び前記絶縁層内を貫くビットトレンチを形成する第2の工程と、前記ビットトレンチ内にビット線を形成する第3の工程とを備えることを特徴とする。

【0010】

20

また、本発明の他の一側面による半導体記憶装置の製造方法は、シリコンピラー形成領域をワード線延伸方向に2つずつマスクするための複数のサブマスクパターンを有し、かつ各サブマスクパターンがビット線延伸方向に隣り合う2つのシリコンピラー形成領域を、互いに逆方向のシリコンピラー形成領域とともにマスクする第1のマスクパターンを用い、第1の深さまでシリコン基板をエッチングする第1の工程と、前記エッチングにより形成された溝を埋める絶縁層を形成する第2の工程と、ビット線配線領域以外の領域をマスクする第2のマスクパターンを用い、前記第1の深さより浅い第2の深さまで、前記絶縁層が形成された前記シリコン基板をエッチングする第3の工程と、前記ビット線配線領域をエッチングすることにより、前記シリコン基板内及び前記絶縁層内にビットトレンチを形成する第4の工程と、前記ビットトレンチ内にビット線を形成する第5の工程とを備えることを特徴とする。

30

【発明の効果】

【0011】

本発明によれば、ビット線とシリコンピラーとが接続する部分において、片側のみに開口部を設ける必要がなくなる。したがって、開口部の形成が容易になる。また、ビット線を両側のシリコンピラーと一列おきに電氣的に接続し、かつワード線を両側のシリコンピラーの側壁にそれぞれ形成されたゲート電極と1列おきに接続するようにしたので、メモリセルの選択及び読み書きを好適に実施できる。

【図面の簡単な説明】

【0012】

40

【図1】本発明の実施の形態による半導体記憶装置の平面図である。

【図2】図1のB-B'線断面図である。

【図3】図1のC-C'線断面図である。

【図4】本発明の実施の形態による半導体記憶装置の模式的な平面図である。

【図5】本発明の実施の形態による半導体記憶装置の平面図であり、製造工程の一部を示している。

【図6】本発明の実施の形態による半導体記憶装置の平面図であり、製造工程の一部を示している。

【図7】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

50

【図 8】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 9】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 10】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 11】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 12】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

10

【図 13】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 14】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 15】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 16】本発明の実施の形態による半導体記憶装置の平面図であり、製造工程の一部を示している。

【図 17】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

20

【図 18】本発明の実施の形態による半導体記憶装置の平面図であり、製造工程の一部を示している。

【図 19】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 20】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 21】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 22】本発明の実施の形態による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

30

【図 23】本発明の実施の形態の変形例による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 24】本発明の実施の形態の変形例による半導体記憶装置の側斜視断面図であり、製造工程の一部を示している。

【図 25】本発明の背景技術による半導体記憶装置の平面図である。

【図 26】図 25 の A - A ' 線断面図である。

【発明を実施するための形態】

【0013】

本発明の好ましい実施の形態について詳細に説明する前に、本発明の背景技術による半導体記憶装置の構造について説明する。

40

【0014】

図 25 は、背景技術による半導体記憶装置 1 の平面図である。また、図 26 は、図 25 の A - A ' 線断面図である。図 25 に示すように、半導体記憶装置 1 は、2F 間隔（中心距離）でマトリクス状に配置された多数のシリコンピラー 2 を有する。これらシリコンピラー 2 の間には、列方向（図 25 に示した Y 方向）に延伸する多数のビット線 BL が設けられる。また、行方向（図 25 に示した X 方向）には、一連のシリコンピラーと交差しつつ延伸するワード線 WL が設けられる。ビット線 BL、ワード線 WL のピッチはともに 2F である。

【0015】

各シリコンピラー 2 はセルトランジスタとして機能するものであり、ワード線 WL がこ

50

のセルトランジスタのゲート電極となる。これに対応し、各シリコンピラー 2 の側面にはゲート絶縁膜 3 が設けられている。

【 0 0 1 6 】

セルトランジスタのソース・ドレイン領域となる部分は、各シリコンピラー 2 の上端と下端とに設けられた不純物拡散領域 4 , 5 である。上端の不純物拡散領域 4 は、キャパシタなどの図示しない記憶素子と電氣的に接続されている。一方、下端の不純物拡散領域 5 はビット線 B L と接続されている。

【 0 0 1 7 】

ビット線 B L と不純物拡散領域 5 との接続について詳しく説明する。ビット線 B L は他の構成要素と絶縁分離するために絶縁膜 7 で覆われているが、その一部に開口部 8 を有する。ビット線 B L と不純物拡散領域 5 とは、この開口部 8 を介して接続する。開口部 8 は、ビット線 B L から見て X 方向一方側（図 2 5 では右側）に隣接するシリコンピラー 2 との間に設けられており、したがって、ビット線 B L は X 方向一方側に隣接する一連のシリコンピラー 2 と接続している。

【 0 0 1 8 】

セルトランジスタの動作について説明する。ある記憶素子に対して読み書きを行う場合、その記憶素子と接続されているシリコンピラー 2 のゲート電極であるワード線 W L を活性化させる。すると、シリコンピラー 2 の上端の不純物拡散領域 4 と下端の不純物拡散領域 5 との間にチャネル 6 ができ、ビット線 B L と記憶素子とが電氣的に接続される。これにより、ビット線 B L を用いて記憶素子の読み書きができるようになる。

【 0 0 1 9 】

さて、ビット線 B L と不純物拡散領域 5 とを接続するための開口部 8 の大きさは、図 2 5 及び図 2 6 から明らかなように、最小加工寸法 F に比べて非常に小さい。したがって、背景技術による半導体記憶装置 1 には、開口部 8 の形成が難しいという問題がある。本実施の形態による半導体記憶装置は、このような問題に鑑み、ビット線 B L とシリコンピラーとを電氣的に接続するための開口部の形成を容易化するものである。

【 0 0 2 0 】

以下、本実施の形態による半導体記憶装置の構造について説明する。

【 0 0 2 1 】

図 1 は、本実施の形態による半導体記憶装置 1 0 の平面図である。また、図 2 , 図 3 はそれぞれ、図 1 の B - B ' 線断面図 , C - C ' 線断面図である。半導体記憶装置 1 0 は P 型のシリコン基板上に形成されるものであり、図 1 に示すように、2 F 間隔（中心距離）でマトリクス状に配置された多数のシリコンピラー 1 1 を有している。これらシリコンピラー 1 1 の間には、列方向（図 1 に示した Y 方向）に延伸する多数のビット線 B L と、行方向（図 1 に示した X 方向）に延伸する多数のワード線 W L とが設けられる。ビット線 B L 、ワード線 W L のピッチはともに、背景技術と同じ 2 F である。

【 0 0 2 2 】

シリコンピラー 1 1 の側壁には、ゲート絶縁膜 1 2 を介してゲート電極 1 3 が形成される。ゲート電極 1 3 の上端の一部にはゲートコンタクト 1 4 が設けられており、このゲートコンタクト 1 4 により、ゲート電極 1 3 とワード線 W L とが接続する。

【 0 0 2 3 】

ゲートコンタクト 1 4 の配置について説明する。ゲートコンタクト 1 4 は、図 3 に示すように、Y 方向に隣り合う 2 つのシリコンピラー 1 1 のゲート電極間に設けられ、これらを互いに接続する。これにより、これら 2 つのシリコンピラー 1 1 のゲート電極は、同一のワード線 W L に接続することになる。

【 0 0 2 4 】

また、ある行に属する一連のシリコンピラー 1 1 に着目すると、ゲートコンタクト 1 4 によって接続される相手は、1 つずつ互いに異なる方向に位置するシリコンピラー 1 1 となっている。これにより、ワード線 W L は、両側のシリコンピラー 1 1 の側壁にそれぞれ形成されたゲート電極 1 3 と 1 列おきに電氣的に接続することになるとともに、隣り合う

10

20

30

40

50

ワード線WLは、互いに1列ずつずれた位置にあるシリコンピラー11の側壁に形成されたゲート電極13と接続することになる。言い換えれば、各ワード線WLが接続するゲート電極13は、隣り合う他のワード線WLとは異なるシリコンピラー11の側壁に形成されたゲート電極13となっている。

【0025】

シリコンピラー11の上端には、ソース・ドレイン領域の一方となるN型の不純物拡散領域15が設けられている。この不純物拡散領域15は、図2及び図3に示したエピタキシャル層17及びコンタクトプラグ18を介して記憶素子と電氣的に接続している。なお、半導体記憶装置10がDRAM(Dynamic Random Access Memory)である場合、この記憶素子としてキャパシタを用いる。一方、半導体記憶装置10がPRAM(Phase change Random Access Memory)である場合、この記憶素子として相変化膜を用いる。図2及び図3には、記憶素子としてキャパシタを用いる例を示している。この場合、同図に示すようにコンタクトプラグ18上には円筒形状の下部電極60が設置され、その内部には、容量絶縁膜61を介して上部電極62が設置される。上部電極62は、基準電位配線PLに接続している。

【0026】

シリコンピラー11の下端には、露出したビット線BLを取り囲むようにして、ソース・ドレイン領域の他方となるN型の不純物拡散領域16が設けられている。

【0027】

ビット線BLと不純物拡散領域16との接続について詳しく説明する。ビット線BLは他の構成要素と絶縁分離するためにシリコン酸化膜19で覆われているが、シリコン酸化膜19は一部に開口部20を有している。ビット線BLと不純物拡散領域16とは、この開口部20を介して接続する。開口部20は、図1に示すように、ビット線BLから見て両側に隣接するシリコンピラー11との間に1行おきに設けられている。したがって、ビット線BLは、両側のシリコンピラー11と1行おきに電氣的に接続している。

【0028】

また、ある列に属する一連のシリコンピラー11に着目すると、開口部20によって接続されるビット線BLは、1つつ互いに異なる方向に位置するビット線BLとなっている。同じことをビット線BLから見ると、隣り合うビット線BLは、互いに1行ずつずれた位置にあるシリコンピラー11と接続している。言い換えれば、各ビット線BLが接続するシリコンピラー11は、隣り合う他のビット線BLと異なるシリコンピラー11となっている。

【0029】

以上の構成により実現されるセルトランジスタの動作について説明する。ある記憶素子に対して読み書きを行う場合、その記憶素子と接続されているシリコンピラー11のゲート電極13に接続しているワード線WLを活性化させる。すると、これらのシリコンピラー11の上端の不純物拡散領域15と下端の不純物拡散領域16との間に、図2に示したようなチャンネル21ができる。つまり、これらのシリコンピラー11それぞれによって構成されるセルトランジスタがオン状態となる。したがって、これらのシリコンピラー11に接続している記憶素子は、ビット線BLと接続された状態になる。

【0030】

図4は、セルトランジスタの動作について説明するための図であり、半導体記憶装置10の模式的な平面図である。同図では、図1に示した構成要素のうち、シリコンピラー11、ワード線WL、ゲートコンタクト14、ビット線BL、及び開口部20のみを抜き出して描いている。また、同図中では、シリコンピラー11(同図では、ゲート絶縁膜12、ゲート電極13も含めて、1つの四角形で表している。)、ワード線WL、ビット線BLの符号に下付きの添え字を付している。以下の図4の説明では、この添え字を引用することにより、これらを特定することにする。

【0031】

図4の例において例えばワード線WL₃を活性化すると、シリコンピラー11₂₁, 1

10

20

30

40

50

1_{23} , 11_{31} , 11_{33} においてチャンネル 21 (図2) が形成される。つまり、シリコンピラー 11_{21} , 11_{23} , 11_{31} , 11_{33} それぞれによって構成されるセルトランジスタがオン状態となる。したがって、シリコンピラー 11_{21} , 11_{23} , 11_{31} , 11_{33} はそれぞれ、ビット線 BL_1 , BL_2 , BL_3 , BL_4 と電氣的に接続される。つまり、1つのビット線 BL に1つの記憶素子が接続されることになるので、ビット線 BL を用いて記憶素子の読み書きができるようになる。

【0032】

以上説明したように、半導体記憶装置10では、ビット線 BL とシリコンピラー 11 とが接続する部分において、図26に示したような片側のみの開口部を設ける必要がない。具体的には、半導体記憶装置10では、ビット線 BL とシリコンピラー 11 とが接続する部分において、ビット線 BL は両側のシリコンピラー 11 と接続するので、図2に示したように、上面を除く全面を開口部とすることができる。したがって、開口部の形成が容易になる。

10

【0033】

また、ビット線 BL を両側のシリコンピラー 11 と一行おきに電氣的に接続し、かつワード線 WL を両側のシリコンピラー 11 の側壁にそれぞれ形成されたゲート電極 13 と1列おきに接続するようにしたので、上記したように、ビット線 BL を用いて記憶素子の読み書きができる。したがって、半導体記憶装置10では、メモリセルの選択及び読み書きを好適に実施できることになる。

【0034】

20

次に、半導体記憶装置10の製造方法について、図5～図22を参照しながら説明する。なお、図5～図22のうち、図5, 図6, 図16, 図18は、半導体記憶装置10の平面図である。この4つの図以外の各図は、図1中のD線に沿う断面図を含む、半導体記憶装置10の側斜視断面図である。

【0035】

まず、図5及び図6はそれぞれ、シリコンピラー 11 を形成するための第1及び第2のマスクパターンを示す図である。シリコンピラー 11 は、これら第1及び第2のマスクパターンを用いて、いわゆるダブルパターニング法により形成される。

【0036】

図5に一点鎖線で示した矩形の領域 $11p$ は、シリコンピラー形成領域を示している。図5に示すように、第1のマスクパターンは、シリコンピラー形成領域 $11p$ をX方向に2つつつマスクするための複数のサブマスクパターン 30 ($3F \times F$ のパターン) を有する。各サブマスクパターン 30 は、Y方向に隣り合う2つのシリコンピラー形成領域 $11p$ を、互いに逆方向のシリコンピラー形成領域 $11p$ とともにマスクする。

30

【0037】

一方、第2のマスクパターンは、図6に示すように、ビット線配線領域以外の領域をマスクするものであり、具体的には幅 F , 間隔 F の縞状パターン 31 を有する。なお、図6に一点鎖線で示した矩形の領域 30 は、図5に示したサブマスクパターン 30 である。

【0038】

初めに、P型のシリコン基板上に薄いシリコン酸化膜を介してシリコン窒化膜を堆積させ、図5に示した第1のマスクパターン状にパターニングする。具体的には、図5に示すように、X方向に $3F$ の長さを有し、Y方向に F の長さを有するパターン 30 を、X方向Y方向ともに間隔 F で、マトリクス状に形成する。なお、隣り合う行では、X方向に $2F$ ずつずらしてパターン 30 を形成する。

40

【0039】

次に、シリコン基板を、深さ 200 nm 程度 (第1の深さ) まで選択的にエッチングする。その結果、XY平面内の断面が $1F \times 3F$ の大きさであるシリコンピラー $11a$ が形成される。その後、図7に示すように、シリコンピラー $11a$ の間をシリコン酸化膜 19 (絶縁層) で埋め、CMP (Chemical Mechanical Polishing) 法などによって表面を平坦化する。

50

【0040】

次に、再度薄いシリコン酸化膜を介してシリコン窒化膜を堆積させ、図6に示した第2のマスクパターン状にパターニングする。具体的には、図6に示すように、幅F、間隔Fの縞状パターン31を形成する。なお、縞の長手方向はY方向とする。

【0041】

次に、パターン30、シリコン酸化膜19、及びシリコン基板を、シリコンピラー11aの下端から50nmの深さ(第2の深さ)までエッチングする。このエッチングでは、シリコン窒化膜、シリコン酸化膜、シリコン基板を等速でエッチングする必要があるが、これは複数ステップを有するドライエッチング法によって実現する。エッチングの結果、図8に示すように、XY平面内の断面が1F×1Fの大きさであるシリコンピラー11が、図1に示したようなマトリクス状に形成される。そして、X方向に隣り合う2つのシリコンピラー11の下部にはこれらを接続するシリコンブリッジ11bが形成され、さらに、Y方向に隣り合う2つのシリコンピラー11は、互いに逆方向のシリコンピラー11とシリコンブリッジ11bにより接続されることになる。

【0042】

次に、表面の熱酸化を行い、図9に示すように全面にシリコン酸化膜33を形成する。このシリコン酸化膜33は、表面保護のために形成するものである。続いて、窒化シリコンを堆積し、エッチバックを行うことで、シリコンピラー11の側壁に厚さ5nm程度のサイドウォール窒化膜34(絶縁膜)を形成する。なお、図9においてサイドウォール窒化膜34の上端がシリコン酸化膜33の上面よりも低い位置にあるが、これはプロセスの結果として生ずる形状である。

【0043】

次に、サイドウォール窒化膜34をストッパーとして用いてシリコン酸化膜19及びシリコン基板のエッチングを行うことにより、シリコンピラー11の間に、図10に示すような、シリコンブリッジ11b内及びシリコン酸化膜19内を貫いてX方向に延伸する溝35(ビットトレンチ)を形成する。このエッチングでも、シリコン酸化膜とシリコン基板とを等速でエッチングする必要があるので、複数ステップを有するドライエッチング法を用いる。

【0044】

溝35を形成したら、次にこの溝35の中に、ビット線BLとなる高濃度ポリシリコン36(高濃度の不純物がドーブされたドーブドポリシリコン。)を成膜し、エッチバックする。このとき、ポリシリコンからの不純物拡散により、高濃度ポリシリコン36周辺のシリコンピラー11内に、N型の不純物拡散領域16が形成される。その後、図11に示すように、高濃度ポリシリコン36の表面を酸化し、ビット線BLと上層とを分離するためのシリコン酸化膜37を形成する。

【0045】

以上の工程が完了したら、シリコン酸化膜33、サイドウォール窒化膜34、及び縞状パターン31(第2のマスクパターン)を除去する。そして、図12に示すように、シリコンピラー11の間にシリコン酸化膜38を埋め込み、CMP法などによりパターン30(第1のマスクパターン)の表面が露出する程度に平坦化する。

【0046】

次に、ゲート電極を形成するために、シリコン酸化膜38の全面エッチバックを行う。このとき、図13に示すように、厚さ程度のシリコン酸化膜38(絶縁膜)を残すようにする。このシリコン酸化膜38は、ビット線BLと上層とを分離するというシリコン酸化膜37と同様の目的の他、ビット線BL形成の際に行った異種材料のエッチングにより生じた段差を吸収する目的で形成されるものである。の具体的な値は、例えば20nmである。

【0047】

次に、シリコンピラー11の側面を酸化し、図14に示すようにゲート絶縁膜12を形成する。そして、全面にポリシリコンを成膜してエッチバックすることにより、シリコン

ピラー 11 の周囲に、図 14 に示すようなゲート電極 13 を形成する。なお、ゲート電極 13 の膜厚は、隣り合うシリコンピラー 11 間でゲート電極 13 が接触することのないような値（ゲート電極 13 の分離が確保されるような値）に設定する。具体的な例を挙げると、例えば最小加工寸法 F が 40 nm である場合、ゲート電極 13 の膜厚は 15 nm とすることが好適である。

【0048】

次に、図 15 に示すように、シリコンピラー 11 間の空間にシリコン酸化膜 39 を埋め込み、CMP 法などによりパターン 30（第 1 のマスクパターン）の表面が露出する程度に平坦化する。そして、シリコン酸化膜 39 のエッチバックにより図 15 に示すようなゲートコンタクト穴 40 を形成し、その内部に窒化チタンとタングステンの積層膜を成膜し、エッチバックすることによってゲートコンタクト 14 を形成する。このゲートコンタクト 14 は、Y 方向に隣り合う 2 つのシリコンピラー 11 の側壁にそれぞれ形成されたゲート電極 13 を、X 方向及び Y 方向それぞれについて 1 列おきに接続する。

【0049】

なお、シリコン酸化膜 39 のエッチバックには、図 16 に示すマスクパターンを用いる。このマスクパターンはゲートコンタクト穴 40 を形成するためのサブマスクパターンを有しており、例えばフォトリソグラフィー法によって形成するものである。なお、図 16 のマスクパターンを用いて露光を行う際には、ハッチングされていない領域がマスクされるように露光することになる。

【0050】

次に、ゲートコンタクト穴 40 をシリコン酸化膜で埋め、このシリコン酸化膜とシリコン酸化膜 39 とをエッチバックすることにより、シリコンピラー 11 の間に、図 17 に示すような Y 方向に延伸する溝 42 を形成する。このエッチバックには、図 18 に示す幅 F、間隔 F の縞状パターンを有するマスクパターンを用いる。縞状パターンの長手方向は X 方向である。また、溝 42 の深さは、ゲートコンタクト 14 の表面が露出する程度とする。そして、全面にシリコン酸化膜を積層してエッチバックすることにより、溝 42 の側壁に、図 17 に示すようなサイドウォール酸化膜 43 を形成する。このサイドウォール酸化膜 43 を形成するのは、後の工程（図 19）でパターン 30 を除去する際、穴の内面にワード線材料が露出するのを防止するためである。さらに、溝 42 の内部にワード線 WL とする配線材料 44（ポリシリコンや窒化チタンとタングステンの積層膜など。）を成膜し、エッチバックする。これにより、ゲートコンタクト 14 と電氣的に接続するワード線 WL が形成される。

【0051】

次に、図 19 に示すように、溝 42 内部をシリコン酸化膜 45 で埋め、CMP 法などにより平坦化する。その後、パターン 30 を構成するシリコン窒化膜を熱燐酸を用いたウェットエッチングにより除去し、その結果生じた穴の内部にサイドウォール窒化膜 46 をエッチバックにより形成する。このエッチバックでは、図 20 に示すように、シリコンピラー 11 の上面に形成されているシリコン酸化膜（パターン 30 を構成するシリコン酸化膜）も除去されるようにする。そして、シリコンピラー 11 の上面からシリコンのエピタキシャル結晶成長を行ってエピタキシャル層 17 を形成する。さらに、イオン注入によってシリコンピラー 11 の上端に N 型の不純物拡散領域 15 を形成する。

【0052】

次に、図 21 に示すように、シリコン酸化膜 47 を成膜し、容量コンタクト形成のためのコンタクトホール 48 を形成する。そして、このコンタクトホール 48 にタングステンなどの容量コンタクト材料を埋め込むことにより、図 22 に示すようにコンタクトプラグ 18 を形成する。その後、さらに上層にセルキャパシタを形成することにより、メモリセルが完成する。

【0053】

以上説明した製造方法によれば、ビット線 BL とシリコンピラー 11 とを接続するための開口部を、容易に形成できる。

【 0 0 5 4 】

以上、本発明の好ましい実施の形態について説明したが、本発明はこうした実施の形態に何等限定されるものではなく、本発明が、その要旨を逸脱しない範囲において、種々なる態様で実施され得ることは勿論である。

【 0 0 5 5 】

例えば、上記実施の形態ではビット線 B L に高濃度ポリシリコンを用いたが、金属材料によりビット線 B L を構成することも可能である。この場合、図 1 0 に示した状態においてシリコンウエットエッチングを行うことで、図 2 3 に示すように、シリコン酸化膜 1 9 が無い部分の溝 3 5 を広げる。そして、図 2 4 に示すように、その部分の内壁面をポリシリコン膜 4 9 で覆う。具体的には、全面に高濃度ポリシリコンを成膜し、サイドウォール窒化膜 3 4 を利用してエッチングを行うことで、ポリシリコン膜 4 9 を形成する。このとき、ポリシリコンからの不純物拡散により、高濃度ポリシリコン 3 6 周辺のシリコンピラー 1 1 内に、不純物拡散領域 1 6 が形成される。

10

【 0 0 5 6 】

その後、溝 3 5 の中にビット線 B L となる金属材料（タングステンなど。）を成膜し、エッチバックすることにより、ビット線 B L を形成する。そして、シリコン酸化膜 3 3、サイドウォール窒化膜 3 4、及び縞状パターン 3 1（第 2 のマスクパターン）を除去し、シリコンピラー 1 1 の間にシリコン酸化膜 3 8 を埋め込み、CMP 法などによりパターン 3 0（第 1 のマスクパターン）の表面が露出する程度に平坦化する。以降の工程は、図 1 3 以降の工程と同様である。

20

【 0 0 5 7 】

なお、ポリシリコン膜 4 9 と上記金属材料の間にシリサイド及び金属窒化物を形成することとしてもよい。この場合、CVD 法によりチタンなどの高融点金属材料をポリシリコン膜 4 9 上に堆積することでシリサイドを形成し、さらにアンモニア雰囲気とすることで金属窒化物（窒化チタン）を形成する。そして、その上にタングステンなどの金属材料を成膜すればよい。このようにシリサイドを用いることで、ビット線 B L の直流抵抗を低減することができる。

【 0 0 5 8 】

また、ポリシリコンを用いずにビット線 B L を構成することも可能である。この場合、図 2 2 の状態でリン処理を行い、気相から直接シリコン基板に不純物を拡散させることにより、不純物拡散領域 1 6 を形成する。その後は、上記と同様にして、溝 3 5 内にシリサイド、窒化チタン、及びタングステンを形成することで、ビット線 B L を形成することになる。

30

【 符号の説明 】

【 0 0 5 9 】

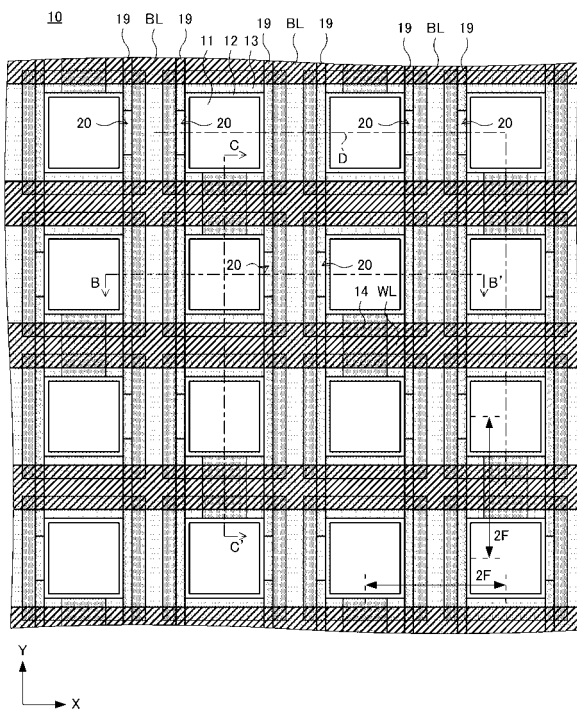
B L ビット線
F 最小加工寸法
P L 基準電位配線
W L ワード線
1 0 半導体記憶装置
1 1 , 1 1 a シリコンピラー
1 1 b シリコンブリッジ
1 2 ゲート絶縁膜
1 3 ゲート電極
1 4 ゲートコンタクト
1 5 , 1 6 不純物拡散領域
1 7 エピタキシャル層
1 8 コンタクトプラグ
1 9 絶縁膜
1 9 , 3 3 , 3 7 ~ 3 9 シリコン酸化膜

40

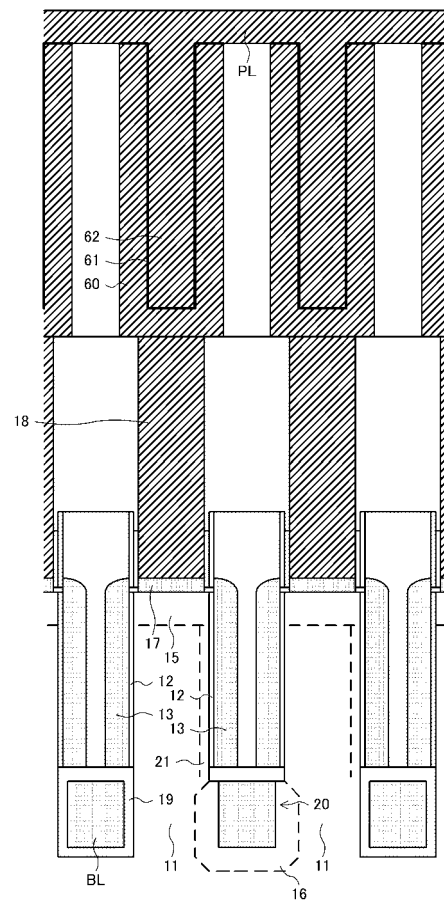
50

- 2 0 開口部
- 2 1 チャンネル
- 3 0 第 1 のマスクパターン
- 3 1 第 2 のマスクパターン
- 3 4 サイドウォール窒化膜
- 3 5 , 4 2 溝
- 3 6 高濃度ポリシリコン
- 4 0 ゲートコンタクト穴
- 4 3 サイドウォール酸化膜
- 4 4 配線材料
- 4 5 シリコン酸化膜
- 4 6 サイドウォール窒化膜
- 4 7 シリコン酸化膜
- 4 9 ポリシリコン膜
- 6 0 下部電極
- 6 1 容量絶縁膜
- 6 2 上部電極

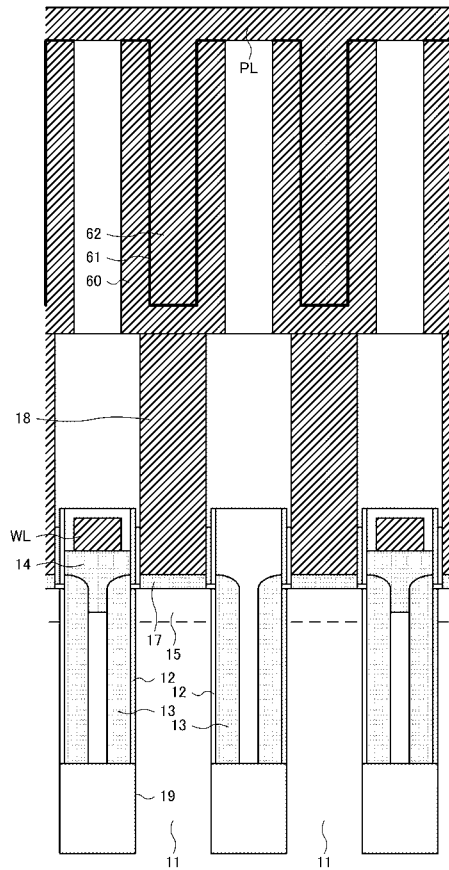
【図 1】



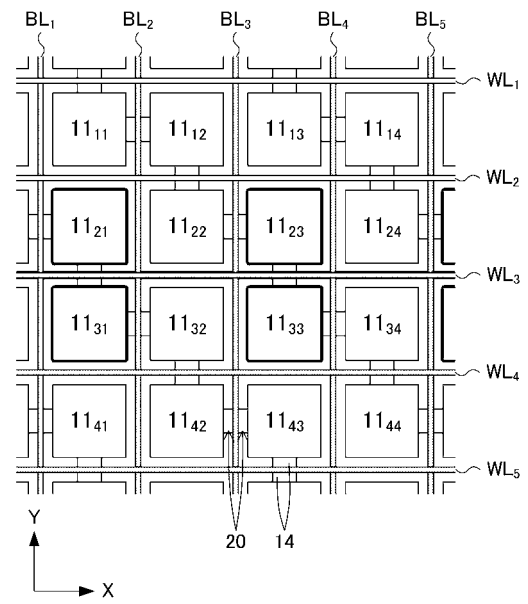
【図 2】



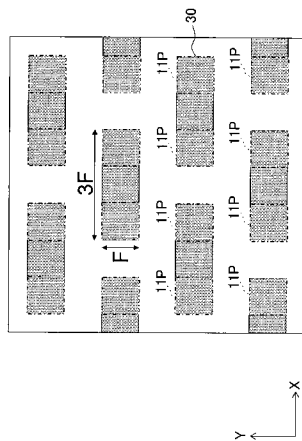
【図 3】



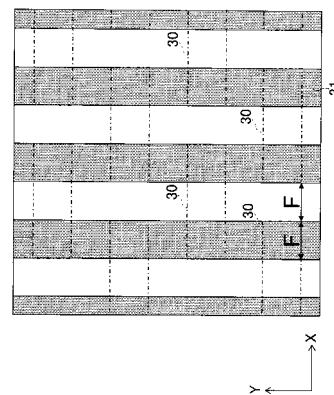
【図 4】



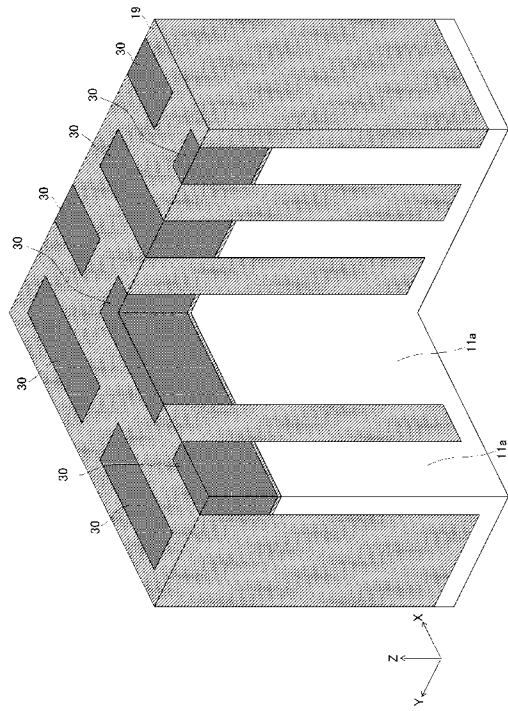
【図 5】



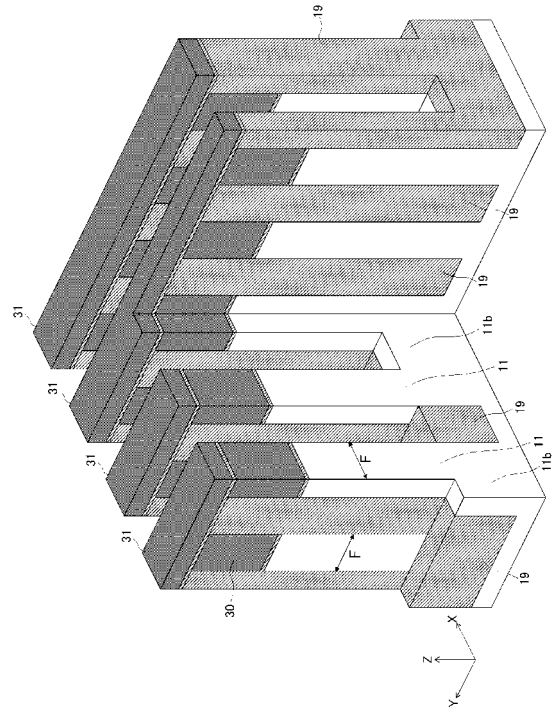
【図 6】



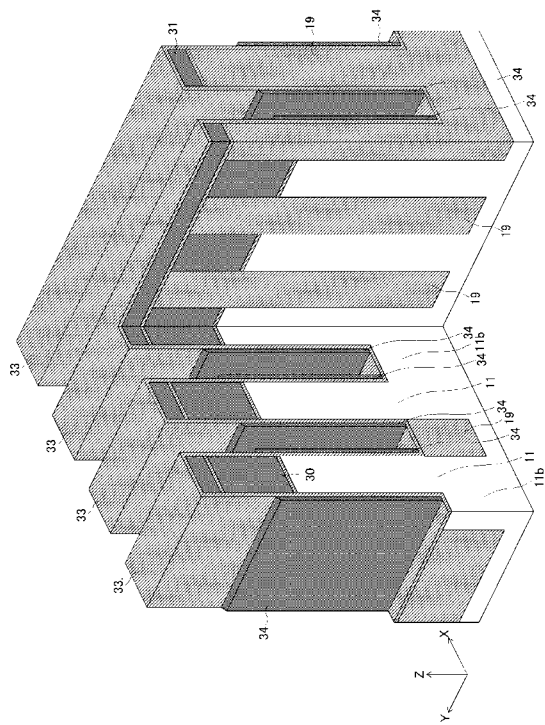
【図 7】



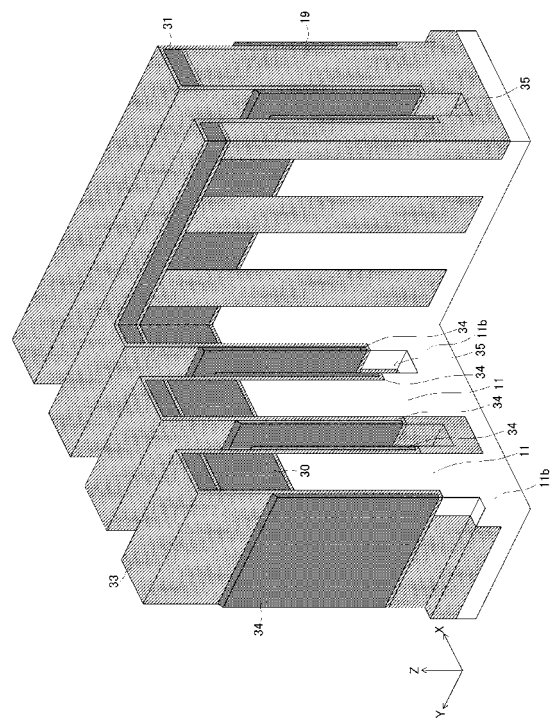
【図 8】



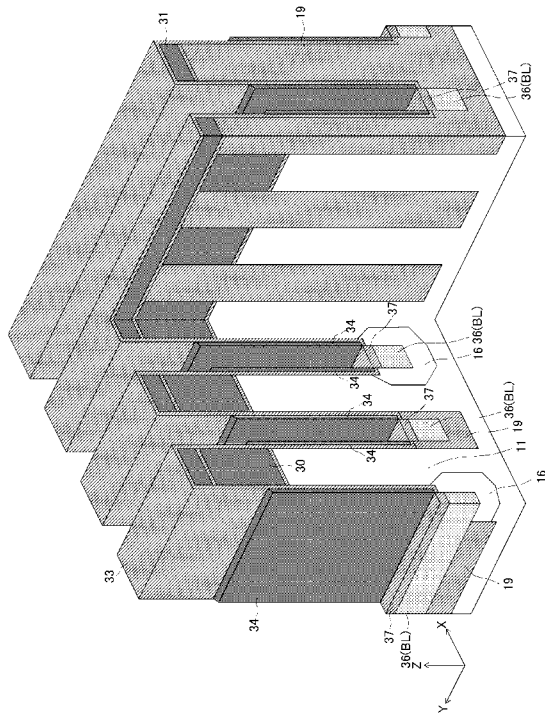
【図 9】



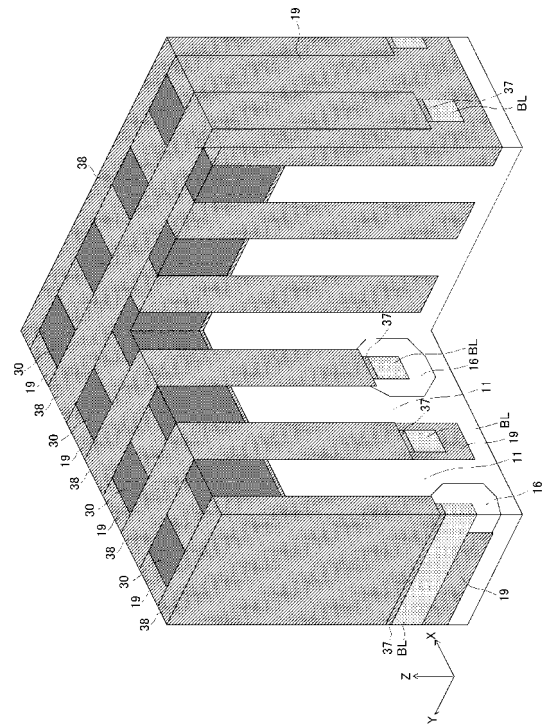
【図 10】



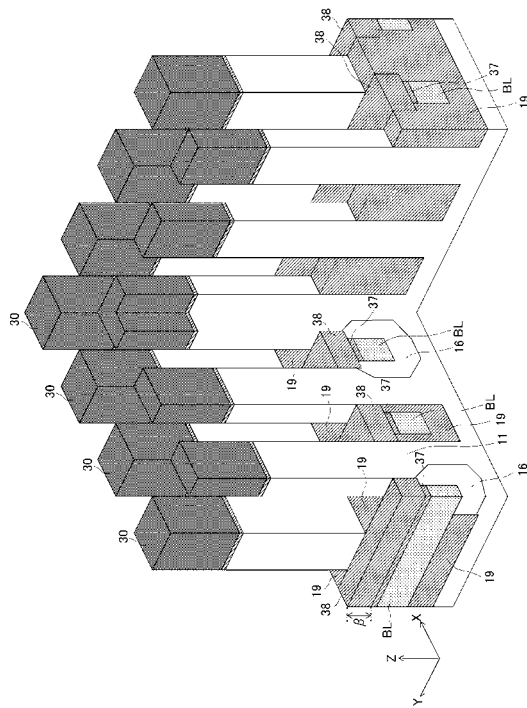
【図 1 1】



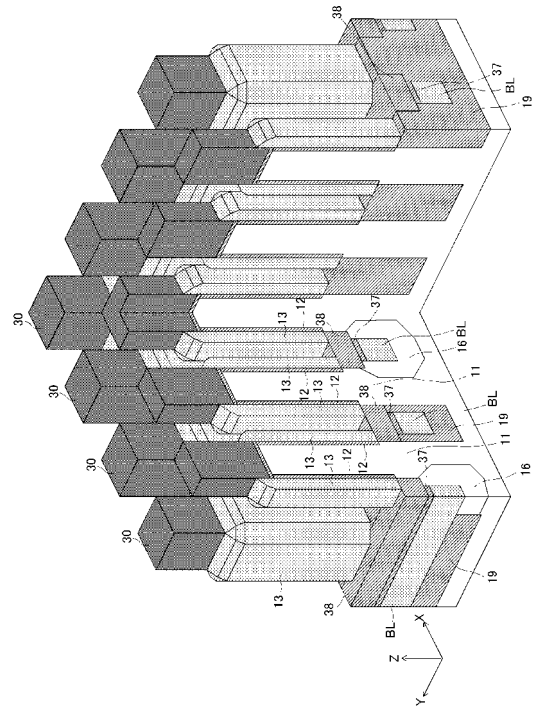
【図 1 2】



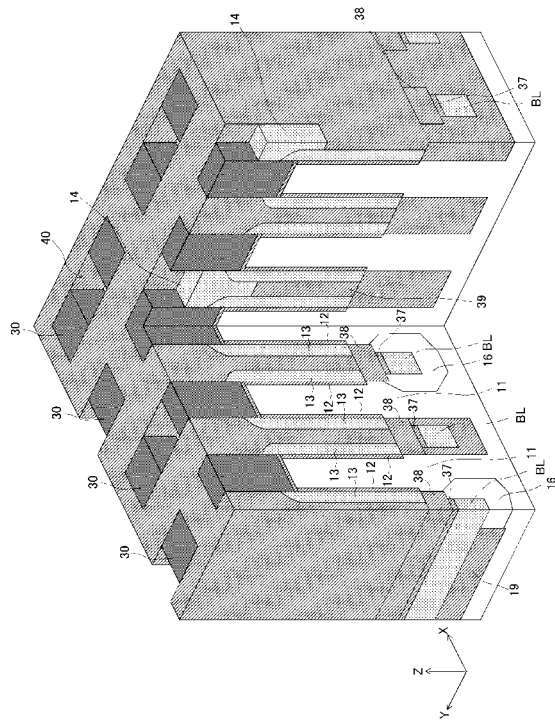
【図 1 3】



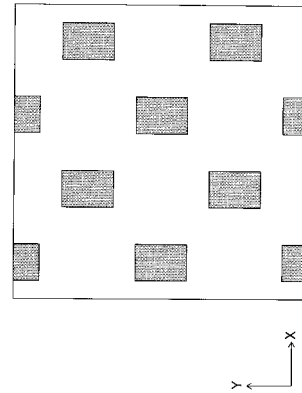
【図 1 4】



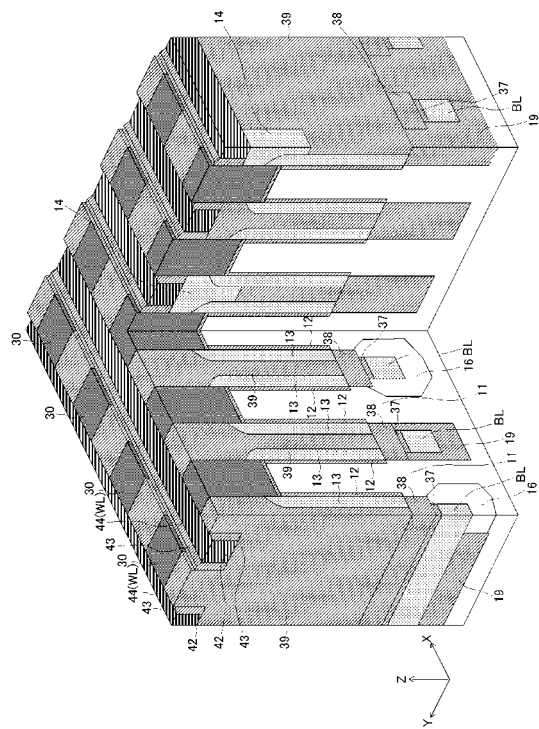
【図 15】



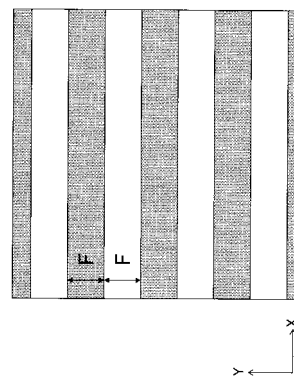
【図 16】



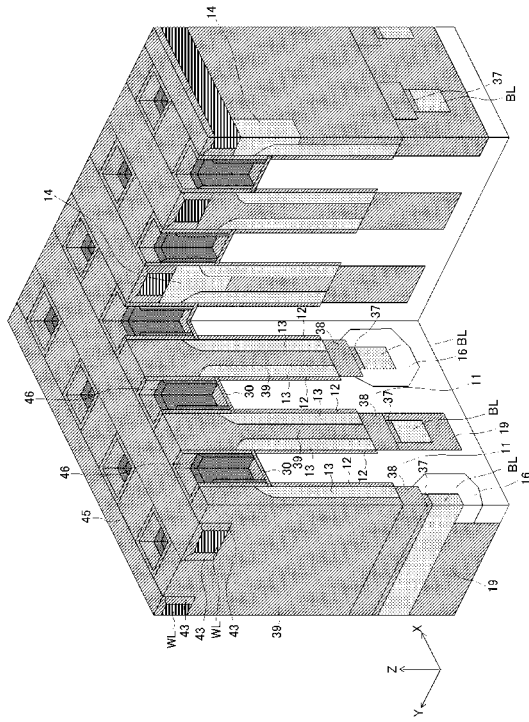
【図 17】



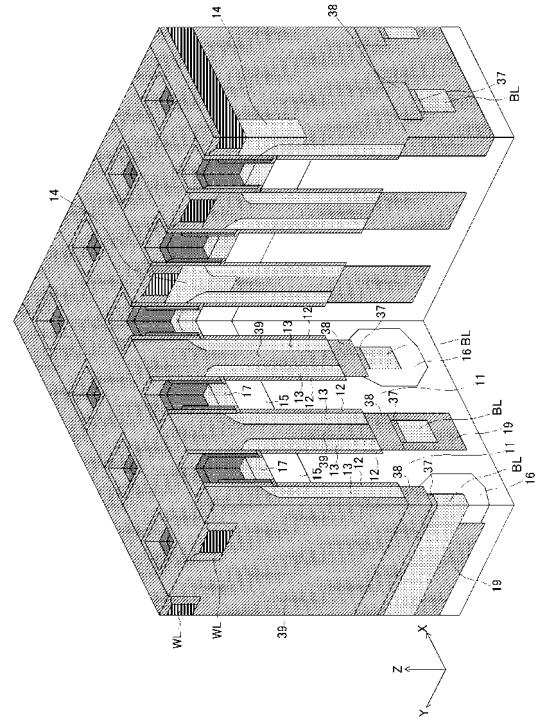
【図 18】



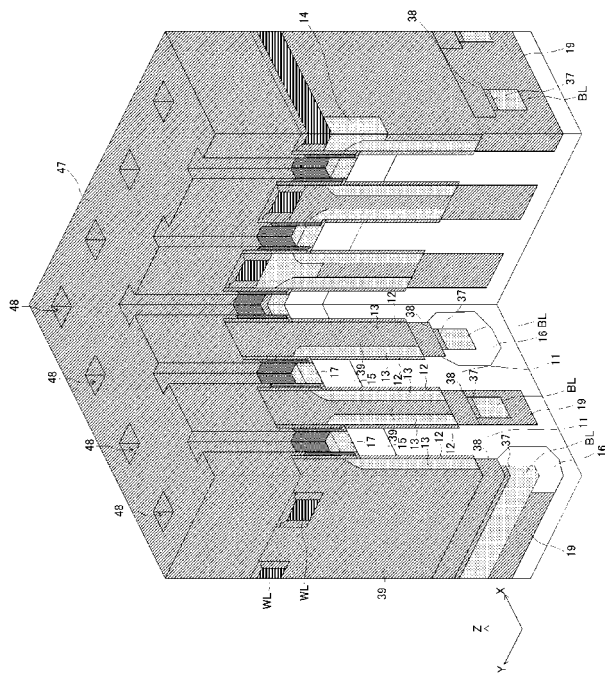
【図 19】



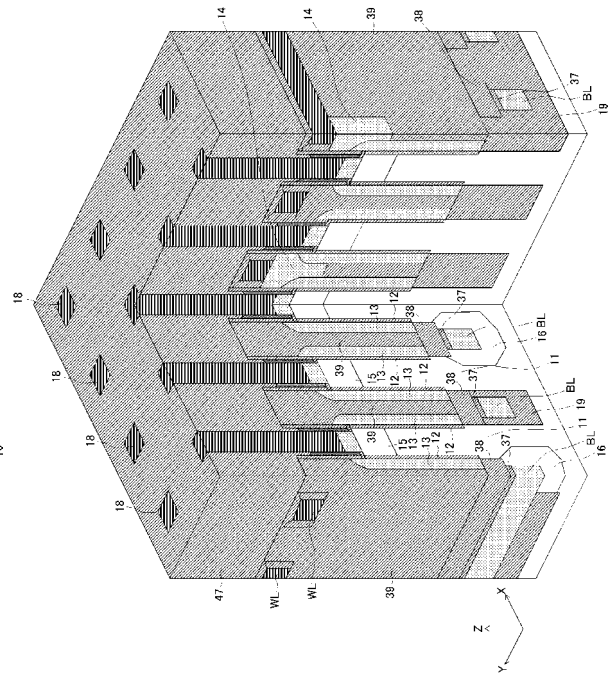
【図 20】



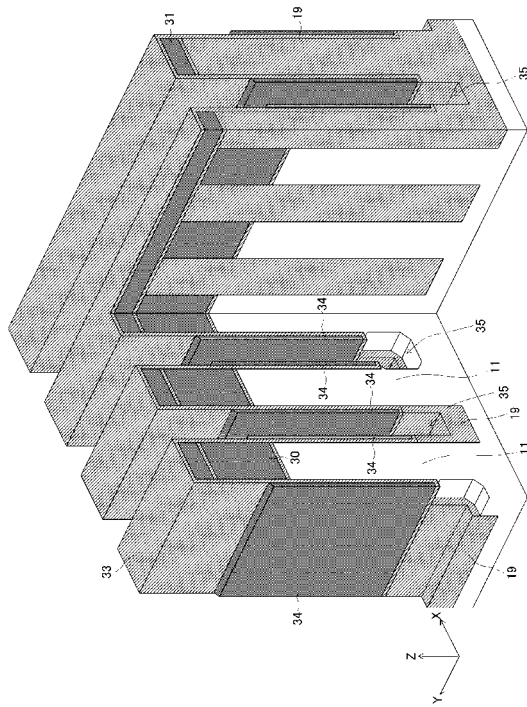
【図 21】



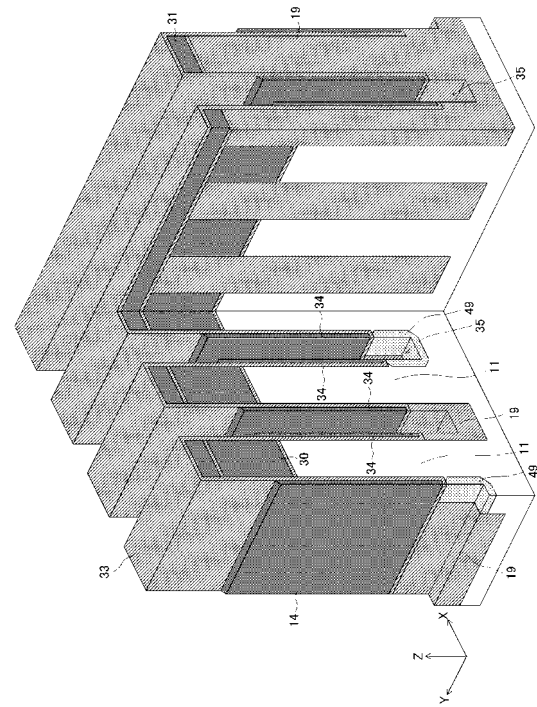
【図 22】



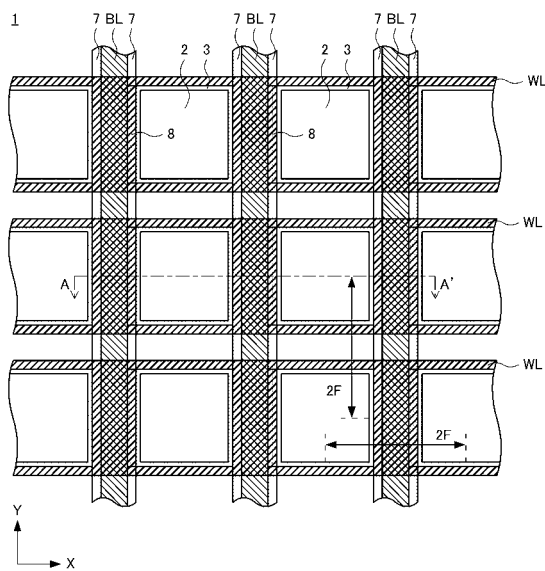
【図 23】



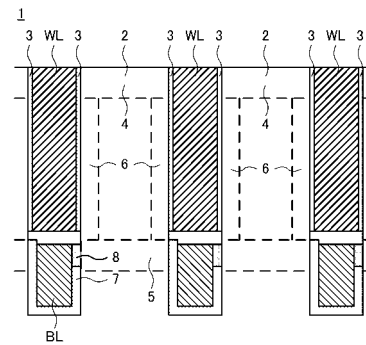
【図 24】



【図 25】



【図 26】



フロントページの続き

(72)発明者 野島 和弘
東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

審査官 石坂 博明

(56)参考文献 特開2009-010366(JP,A)
特開平11-135757(JP,A)
特開平06-291277(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/8229、21/8242-21/8247
27/10-27/115、27/28
51/05