(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 8 月 6 日(06.08.2015)

WIPO | PCT

(10) 国際公開番号
WO 2015/114970 A1

(51) 国際特許分類:
G02F 1/1368 (2006.01) *G09G 3/36* (2006.01)
G02F 1/133 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1343 (2006.01) *H01L 29/786* (2006.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2014/083101

(22) 国際出願日: 2014 年 12 月 15 日(15.12.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-015972 2014 年 1 月 30 日(30.01.2014) JP

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者: 宮田 英利(MIYATA Hidekazu). 青山 伊織(AOYAMA Iori). 喜夛 裕一(KITA Yuichi).

(74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜２丁目２番２８号堂島アクシスビル インテリクス特許法律事務所 Osaka (JP).

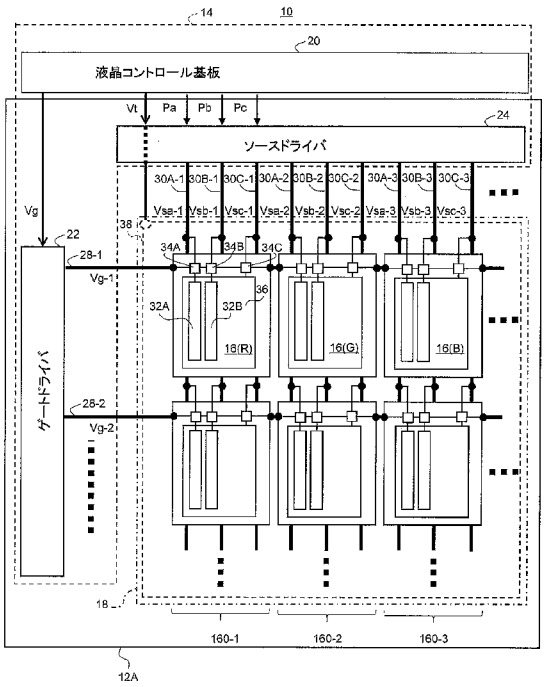
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) **Title**: LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 : 液晶表示装置



20 Liquid crystal control substrate
22 Gate driver
24 Source driver

(57) **Abstract**: An active matrix substrate (12A) of this liquid crystal display device (10) comprises: a pair of driving electrodes (32A, 32B) which are arranged in each pixel; a pixel electrode (36) which is provided in each pixel; a first switching element (34A) which is connected to the driving electrode (32A); a second switching element (34B) which is connected to the driving electrodes (32B); a third switching element (34C) which is connected to the pixel electrode (36); a first source line (30A) which is connected to the group of first switching elements (34); a second source line (30B) which is connected to the group of second switching elements (34B); a third source line (30C) which is connected to the group of third switching elements (34C); and a plurality of gate lines (28).

(57) 要約: 液晶表示装置（１０）のアクティブマトリクス基板（１２Ａ）は、画素ごとに配置された一対の駆動電極（３２Ａ、３２Ｂ）と、画素ごとに設けられる画素電極（３６）と、駆動電極（３２Ａ）の一方に接続される第１スイッチング素子（３４Ａ）と、駆動電極（３２Ｂ）に接続される第２スイッチング素子（３４Ｂ）と、画素電極（３６）に接続される第３スイッチング素子（３４Ｃ）と、第１スイッチング素子（３４）群に接続される第１ソース線（３０Ａ）と、第２スイッチング素子（３４Ｂ）群に接続される第２ソース線（３０Ｂ）と、第３スイッチング素子（３０Ｃ）群に接続される第３ソース線（３０Ｃ）と、複数のゲート線（２８）と、を有する。

WO 2015/114970 A1

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 液晶表示装置

技術分野

[0001] 本発明は、液晶表示装置に関し、詳しくは、縦電界と横電界を併用して液晶分子の配向を制御する液晶表示装置に関する。

背景技術

[0002] 液晶表示装置における液晶の動作モードには、縦電界を利用する動作モードや、横電界を利用する動作モードがある。縦電界は、液晶層を挟んで配置される一対の基板間に発生する。横電界は、液晶層を挟んで配置される一対の基板のうち一方の基板が有する電極間に発生する。縦電界を利用する動作モードは、例えば、ＴＮ（twisted nematic）モードやＶＡ（vertical alignment）モードである。横電界を利用する動作モードは、例えば、ＩＰＳ（in-plane switching）モードである。

[0003] また、近年では、縦電界と横電界を併用して液晶分子の配向を制御する液晶表示装置が提案されている。下記特許文献１では、縦電界により液晶の立ち上がり応答期間における配向状態を制御し、横電界によって液晶の立ち下り応答期間における配向状態を制御することが記載されている。下記特許文献２は、画像表示期間では、横電界により液晶を駆動し、画像非表示期間の初期段階では、縦電界により液晶を駆動することを開示している。下記特許文献３には、縦電界を印加した状態から印加しない状態に切り替える際に、横電界を印加する液晶装置が開示されている。

[0004] さらに、下記非特許文献１には、４つの電極により、縦電界と横電界を液晶層に同時にかける構成が提案されている。この非特許文献１では、横電界と縦電界を同時に液晶にかけることにより、液晶分子の配向を強制的に制御するＶ－ＩＰ駆動モードが紹介されている。これにより、低温においても高速な応答が可能になる。

先行技術文献

特許文献

[0005] 特許文献1：特開２００７－１０１９７２号公報

特許文献2：特開２００４－３５４４０７号公報

特許文献3：特許第３９００８５９号公報

非特許文献

[0006] 非特許文献1：DIGEST of SID 2013, pp431-434,(34.1), Y. Iwata et al. “Novel Super-Fast-Response, Ultra-Wide Temperature Range VA-LCD”

発明の概要

発明が解決しようとする課題

[0007] 上記従来技術のように縦電界と横電界を併用して液晶分子の配向を制御する液晶表示装置では、画素内の横電界は、一方のガラス基板上に形成された一対の電極間の電位差により形成される。そのため、横電界は、ガラス基板間の液晶層のガラス基板法線方向で一様に同じ横電界とはならない。横電界が画素内のガラス基板法線方向で一様でないため、ある適当な１つの縦電界とある適当な１つの横電界を印加した場合、そのバランスによっては、画素内の液晶層の液晶分子の配向方向はいくつかの安定状態を持ってしまう場合がある。いくつかの安定状態がある場合は、印加電圧に対して、透過率が１対１にならず、正確な階調表示ができなくなってしまう。そのため、本願は、より正確な階調表示をするために縦電界と横電界のバランスを制御することができる液晶表示装置を開示する。

課題を解決するための手段

[0008] 本発明の実施形態における液晶表示装置は、複数の画素が並んで形成される画素列が複数配置される表示領域を有するアクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置される対向基板と、前記アクティブマトリクス基板と前記対向基板との間に封入される液晶層とを備える。前記アクティブマトリクス基板は、画素ごとに絶縁層の上に配置される一対の駆動電極と、前記一対の駆動電極と前記絶縁層を挟んで反対側に、画素

ごとに設けられる画素電極と、各画素の前記一対の駆動電極の一方に接続される第１スイッチング素子と、各画素の前記一対の駆動電極の他方に接続される第２スイッチング素子と、各画素の前記画素電極に接続される第３スイッチング素子と、画素列ごとに設けられ、各画素列に含まれる画素群の第１スイッチング素子群に接続される第１ソース線と、画素列ごとに設けられ、各画素列に含まれる画素群の第２スイッチング素子群に接続される第２ソース線と、画素列ごとに設けられ、各画素列に含まれる画素群の第３スイッチング素子群に接続される第３ソース線と、各画素の前記第１スイッチング素子、第２スイッチング素子、及び第３スイッチングへ制御信号を供給する複数のゲート線と、を有する。前記対向基板は、前記画素電極及び前記一対の駆動電極に対向して配置される対向電極を有する。

発明の効果

[0009] 本発明の実施形態における液晶表示装置においては、縦電界と横電界のバランスを制御することができる。

図面の簡単な説明

[0010] [図1]図１は、実施形態１における液晶表示装置１０の構成例を示す模式図である。

[図2]図２は、図１に示す画素１６の等価回路図である。

[図3]図３は、図１に示す画素１６の平面図である。

[図4]図４は、図３におけるＩＶ－ＩＶ断面図である。

[図5]図５は、図３におけるＶ－Ｖ断面図である。

[図6]図６は、液晶コントロール基板２０の構成例を示す機能ブロック図である。

[図7]図７は、横電界の例を示す図である。

[図8]図８は、縦電界の例を示す図である。

[図9]図９は、白表示の電圧印加時の液晶分子の配向状態の一例を示す図である。

[図10]図１０は、表示階調ごとに設定された電圧値の例を示すグラフである

。

[図11]図１１は、液晶表示装置における引込み電圧値の一例を示す図である。

[図12]図１２は、引き込み電圧も考慮して設定された電圧値の例を示すグラフである。

[図13]図１３は、上記図１０又は図１２に示すように設定される、表示階調値に対する各電極の電圧値の一例を示す表である。

[図14]図１４は、ソースドライバ入力データ値（８ビット）に対する出力電圧値の一例を示す表である。

[図15]図１５は、ＬＵＴの内容の一例を示す表である。

[図16]図１６は、表示階調値に応じた電圧信号を、３電極それぞれに供給する動作例を説明するための図である。

[図17]図１７は、複数のソースドライバがカスケードに接続される構成の例を示す図である。

[図18]図１８は、ソースドライバ内のラダーの構成例を示す図である。

[図19]図１９は、本実施形態における液晶表示装置１０の、各表示階調入力に対するパネル出力輝度と、画素電極を共通にした場合のパネル出力輝度の特性を表す。

[図20]図２０は、図１９に示すグラフの階調７０付近を拡大した図である。

[図21]図２１は、実施形態２における液晶表示装置１０の構成例を示す機能ブロック図である。

[図22]図２２は、ソースドライバ２４の動作を説明するための図である。

[図23]図２３は、実施形態３における３電極の各階調の電圧設定の例を示すグラフである。

[図24]図２４は、実施形態４における液晶表示装置１０の配線構成例を示す。

。

[図25]図２５は、実施形態５における液晶表示装置１０の配線構成例を示す機能ブロック図である。

発明を実施するための形態

[0011] 本発明の実施の形態による液晶表示装置は、アクティブマトリクス基板と、前記アクティブマトリクス基板に対向して配置される対向基板と、前記アクティブマトリクス基板と前記対向基板との間に封入される液晶層とを備える。前記アクティブマトリクス基板は、画素ごとに配置される一対の駆動電極と、前記一対の駆動電極と前記絶縁層を挟んで反対側に、画素ごとに設けられる画素電極と、各画素の前記一対の駆動電極の一方に接続される第１スイッチング素子と、各画素の前記一対の駆動電極の他方に接続される第２スイッチング素子と、各画素の前記画素電極に接続される第３スイッチング素子と、画素列ごとに設けられ、各画素列に含まれる画素群の第１スイッチング素子群に接続される第１ソース線と、画素列ごとに設けられ、各画素列に含まれる画素群の第２スイッチング素子群に接続される第２ソース線と、画素列ごとに設けられ、各画素列に含まれる画素群の第３スイッチング素子群に接続される第３ソース線と、各画素の前記第１スイッチング素子、第２スイッチング素子、及び第３スイッチングへ制御信号を供給する複数のゲート線と、を有する。前記対向基板は、前記画素電極及び前記一対の駆動電極に対向して配置される対向電極を有する。

[0012] 上記構成においては、各画素に、絶縁層に配置される一対の駆動電極と画素電極が設けられる。これにより、一対の駆動電極間の電位差がある場合には、横電界が発生し、画素電極及び対向電極間に電位差がある場合には縦電界が発生する。一対の駆動電極と画素電極は、それぞれ、第１～第３スイッチング素子を介して、第１～３ソース線に接続される。第１～３ソース線の３本のソース線が、１本の画素列に対して設けられる。そのため、各画素の一対の駆動電極及び画素電極のそれぞれに対して、第１～第３スイッチング素子及び第１～第３ソース線を介して、別々の電圧値を印加することが可能になる。すなわち、一対の駆動電極及び画素電極それぞれの電圧を制御することができる。そのため、一対の駆動電極間による横電界と、画素電極と対向電極による縦電界とを、それぞれ細かく制御することが可能になる。その

結果、液晶に印加される電界の向きを精度よくバランスをとりながら制御することが可能になる。ひいては、液晶層の透過率を高精度で制御することが可能になる。

[0013] 上記の液晶表示装置は、前記表示領域に画像を表示させる制御部をさらに備えることができる。前記制御部は、画素に対して、各画素で表示すべき階調に対応する電圧を、前記第１ソース線、前記第２ソース線、及び前記第３ソース線を介して、前記一対の駆動電極及び前記画素電極にそれぞれ独立して供給する。これにより、制御部は、一対の駆動電極間による横電界と、画素電極と対向電極による縦電界とを細かく制御することにより、各画素で所望の階調を表示するのに適した電界を液晶層に印加することができる。

[0014] 上記液晶表示装置において、前記制御部は、各画素で表示すべき階調を示す表示階調値に基づいて、前記各画素における前記一対の駆動電極及び前記画素電極それぞれに印加すべき電圧に対応する電圧値を生成する変換部を含むことができる。変換部により、表示すべき階調を得るための電界の生成に寄与する一対の駆動電極及び前記画素電極のそれぞれの電極に対する電圧値が適切に設定される。ここで、変換部により生成される電圧値は、印加する電圧そのものであってもよいし、印加すべき電圧を表す電圧信号値であってもよい。電圧信号値は、例えば、印加すべき電圧を生成するために用いられる値である。このように、変換部により生成される電圧値は、電圧又は電圧信号値とすることができる。

[0015] 前記制御部は、前記画素で表示され得る全ての階調を示す全階調値と、前記全階調値に対応する前記一対の駆動電極それぞれの電圧値、及び、前記全階調値に対応する前記画素電極の電圧値を記録した変換値記録部を有することができる。前記変換部は、前記表示階調値に対応する前記一対の駆動電極それぞれの電圧値、及び、前記表示階調値に対応する前記画素電極の電圧値を、前記変換値記録部を参照して決定する。これにより、変換部は、１つの画素の表示階調値を受け取ると、表示階調値に対応する一対の駆動電極それぞれの電圧値及び画素電極の電圧値を適切に設定することができる。

[0016] 前記変換部は、前記表示階調値に対応する前記一対の駆動電極それぞれの電圧値の基準となる電圧値を出力する駆動電極電圧生成回路、及び、前記表示階調値に対応する前記画素電極の電圧値の基準となる電圧値を出力する画素電極電圧生成回路を有することもできる。これにより、変換部は、１つの画素の表示階調値に対応する一対の駆動電極それぞれの電圧値及び画素電極の電圧値を適切に生成し出力することができる。

[0017] 前記変換部は、前記画素で表示され得る全階調のうち一部の範囲において、前記一対の駆動電極の一方の電極の電圧値、前記一対の駆動電極の他方の電極の電圧値、もしくは、前記画素電極の電圧値の少なくとも１つが一定になるように、前記電圧値を生成することができる。例えば、前記変換部は、前記画素で表示され得る全階調において、連続するいくつかの範囲に分類し、それぞれの範囲において、前記一対の駆動電極の一方の電極に対する電圧値、前記一対の駆動電極の他方の電極に対する電圧値、もしくは、前記画素電極の電圧値のいずれか１つの電圧値を特定し、前記特定された電圧値の調整により、その範囲内の電圧信号値を決定することができる。これにより、各階調における望ましい表示出力輝度を得る階調値が得られやすくなる。その結果、表示出力輝度の階調変化が滑らか、すなわち、$\gamma = 2.2$のγ曲線に合うようにできる。

[0018] 前記各画素列に、前記第１ソース線、前記第２ソース線及び前記第３ソース線は、それぞれ２本ずつ設けられてもよい。各画素列の２本の第１ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第１ソース線には、極性の異なる電圧値が同時に入力される。各画素列の２本の第２ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第２ソース線には、極性の異なる電圧が同時に入力される。各画素列の２本の第３ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第３ソース線には、極性の異なる電圧が同時に入力される。さらに、前記画素列に対応する２つの隣接するゲート線を同時に選択すること

ができる。これにより、各画素列において互いに隣接する２つの画素の電圧の極性が異なるように駆動する際に、第１～第３のソース線それぞれの電圧の極性を、１フレーム期間中は反転させない駆動が可能となる。

[0019] 前記各画素列に設けられた、２本の前記第１ソース線、前記第２ソース線及び前記第３ソース線において、互いに隣り合う２本の線には、極性の異なる電圧が同時に入力されてもよい。さらに、前記第１ソース線の延びる方向に垂直な方向に互いに隣接する２つの画素の第１ソース線それぞれには、極性の異なる電圧が同時に入力されてもよい。

[0020] 前記制御部は、１フレーム期間を時分割し、時分割された各期間において、異なる色の画像を切り替えて表示することもできる。

[0021] 前記第１スイッチング素子、第２スイッチング素子及び第３スイッチング素子は、薄膜トランジスタにより形成することができる。前記薄膜トランジスタは、前記ゲート線に接続される電極に対向する位置に設けられた酸化物半導体を含む半導体層と、前記一対の駆動電極のいずれか又は前記画素電極に接続された第１の電極と、前記ソース線と接続された第２の電極とを有することができる。前記第１の電極と前記第２の電極が前記半導体層上で離間して形成されている。このように酸化物半導体を用いた薄膜トランジスタは、配置面積を小さくできる。そのため、第１～第３スイッチング素子が配置される領域が小さくなり、スイッチング素子の増設による開口率低下を抑えることができる。

[0022] 以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。図中同一または相当部分には同一符号を付してその説明は繰り返さない。なお、以下で参照する図面においては、説明を分かりやすくするために、構成が簡略化または模式化して示されたり、一部の構成部材が省略されたりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

[0023] ［実施形態１］

（アクティブマトリクス基板の構成例）

図１は、実施形態１における液晶表示装置１０の構成例を示す。図１では、主に、液晶表示装置１０が備えるアクティブマトリクス基板１２Ａの構成が示される。アクティブマトリクス基板１２Ａは、複数の画素１６が配置された表示領域１８を有する。表示領域１８には、複数の画素列１６０－１、１６０－２、１６０－３、…が、１つの方向（画面横方向）に並んで配置される。各画素列は、複数の画素１６が上記１つの方向とは異なる方向（図面縦方向）に並んで形成されている。これにより、複数の画素１６は、マトリクス状に配置される。

[0024] 各画素１６には、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６が含まれる。一対の駆動電極３２Ａ、３２Ｂ、及び画素電極３６は、それぞれ、薄膜トランジスタ（以下、ＴＦＴと称する）３４Ａ、３４Ｂ、３４Ｃを介して、３本のソース線３０Ａ－１、３０Ｂ－１、３０Ｃ－１に接続されている。すなわち、１つの画素１６に、３本のソース線が接続される。

[0025] 具体的には、各画素１６には、一対の駆動電極３２Ａ、３２Ｂの一方（ここでは駆動電極３２Ａ）に接続されるＴＦＴ３４Ａと、他方の駆動電極３２Ｂに接続されるＴＦＴ３４Ｂと、画素電極３６に接続されるＴＦＴ３４Ｃが含まれる。本実施形態では、ＴＦＴ３４Ａに接続されるソース線を第１ソース線３０Ａ、ＴＦＴ３４Ｂに接続されるソース線を第２ソース線３０Ｂ、ＴＦＴ３４Ｃに接続されるソース線を第３ソース線３０Ｃと称する。第１ソース線３０Ａは、画素列ごとに設けられる。各画素列の第１ソース線３０Ａは、それぞれの画素列を構成する複数の画素群のＴＦＴ３４Ａに接続される。すなわち１つの画素列における画素群の駆動電極３２Ａは、ＴＦＴ３４Ａを介して一本の第１ソース線３０Ａに接続される。第２ソース線３０Ｂ及び第３ソース線３０Ｃも、同様に、画素列ごとに設けられ、各画素列に含まれる複数の画素群のＴＦＴ３４Ｂ又はＴＦＴ３４Ｃにそれぞれ接続される。

[0026] ＴＦＴ３４Ａ、３４Ｂ、３４Ｃは、第１スイッチング素子、第２スイッチング素子及び第３スイッチング素子の一例である。１つの画素１６のＴＦＴ３４Ａ、３４Ｂ、３４Ｃは、いずれも複数のゲート線２８－１、２８－２、

…のうちの同一の１本のゲート線２８に接続される。ゲート線２８は、ＴＦＴ３４Ａ、３４Ｂ、３４Ｃへ制御信号を供給する伝送線路である。ゲート線２８は、ソース線３０と交わる方向に延びて形成される。１本のゲート線２８の延びる方向に並んだ複数の画素のＴＦＴ３４Ａ、３４Ｂ、３４Ｃは、いずれもその１本のゲート線２８に接続される。すなわち、画素の行ごとに、ゲート線２８は、設けられる。複数のゲート線２８及び複数のソース線３０は、格子状に配置される。

[0027] 図１には図示していないが、アクティブマトリクス基板１２Ａに対向する対向基板が、アクティブマトリクス基板１２Ａを覆うように配置される。アクティブマトリクス基板１２Ａと対向基板との間に液晶層が封入される。図１では、対向基板に設けられる対向電極３８の位置を破線で示している。図１に示す例では、対向電極３８は、画素電極３６及び一対の駆動電極３２Ａ、３２Ｂに平面視で重なる位置に配置される。対向電極３８は、表示領域１８の略全域を覆うように形成される。

[0028] 複数のゲート線２８－１、２８－２、…は、ゲートドライバ２２に接続される。複数のソース線３０は、ソースドライバ２４に接続される。ゲートドライバ２２は、複数のゲート線２８－１、２８－２、…に順次、電圧Ｖｇ－１、Ｖｇ－２、…を供給する。これにより、画素の各行を順次選択、すなわち走査することができる。ソースドライバ２４は、ゲートドライバ２２による各ゲート線の選択のタイミングと同期して、複数のソース線３０Ａ－１、３０Ｂ－１、３０Ｃ－１、３０Ａ－２、…に、各画素に表示する階調に応じた電圧Ｖｓａ－１、Ｖｓｂ－１、Ｖｓｃ－１、Ｖｓａ－２、…を供給する。

[0029] 図１に示す例では、１つの画素１６に接続される第１ソース線３０Ａ、第２ソース線３０Ｂ、及び第３ソース線３０Ｃのそれぞれに対して、その画素１６で表示する表示階調に応じた電圧Ｖｓａ－１、Ｖｓｂ－１、Ｖｓｃ－１が、別個に供給される。これにより、各画素で表示する階調に対応する値の電圧が、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６にそれぞれ独立して供給される。そのため、一対の駆動電極３２Ａ、３２Ｂにより発生する横

電界と、画素電極３６と対応電極３８により発生する縦電界とをバランスよく微妙に制御することが可能になる。この動作及び効果について後述する。

[0030] ゲートドライバ２２及びソースドライバ２４の動作は、液晶コントロール基板２０に設けられる制御回路によって制御することができる。液晶コントロール基板２０の制御回路は、例えば、ソースドライバ２４に対して、各画素における一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６それぞれの電圧値を入力することができる。図１に示す例では、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６にそれぞれに対して印加する電圧に対応する電圧信号値（Ｐａ、Ｐｂ、Ｐｃ）が液晶コントロール基板２０からソースドライバ２４へ順次入力される。また、各電圧信号値に対応するソース線に出力する電圧の基準となる基準電圧値Ｖｒ、対向電極３８の電圧Ｖｔを示す値がソースドライバ２４へ入力される。ゲートドライバ２２には、各ゲート線へ供給するゲート電圧Ｖｇが入力される。

[0031] 本実施形態では、ゲートドライバ２２、ソースドライバ２４及び液晶コントロール基板２０の制御回路のように、液晶表示装置１０の表示領域に画像を表示するための動作を制御する構成要素を、制御部１４と総称する。なお、ゲートドライバ２２、ソースドライバ２４及び液晶コントロール基板２０の少なくとも一部は、アクティブマトリクス基板１２Ａ上に実装された回路又は半導体チップによって形成することができる。或は、制御部１４の少なくとも一部を、アクティブマトリクス基板１２Ａに接続されたＦＰＣまたはＦＰＣを介して接続された基板に実装された回路又は半導体チップによって形成することができる。

[0032] （画素の構成例）

図２は、図１に示す画素１６の等価回路図である。図３は、図１に示す画素１６の平面図である。図４は、図３におけるＩＶ－ＩＶ断面図である。図５は、図３におけるＶ－Ｖ断面図である。

[0033] 図２に示す例では、ゲート線２８－１は、３つのＴＦＴ３４Ａ、３４Ｂ、３４Ｃに接続される。これらのうち２つのＴＦＴ３４Ａ、３４Ｂのソースは

、第１ソース線３０Ａ－１、及び第２ソース線３０Ｂ－１にそれぞれ接続される。この２つのうち一方のＴＦＴ３４Ａのドレインは駆動電極３２Ａに接続され、他方のＴＦＴ３４Ｂのドレインは駆動電極３２Ｂに接続される。また、残り１つのＴＦＴ３４Ｃのソースは、第３ソース線３０Ｃ－１に接続される。このＴＦＴ３４Ｃのドレインが画素電極３６に接続される。

[0034] これらの駆動電極３２Ａと駆動電極３２Ｂは、アクティブマトリクス基板１２Ａの面に平行な方向において、対向するよう配置されている（図３、図４を用いて詳細を後述）。また、駆動電極３２Ａ及び駆動電極３２Ｂは、アクティブマトリクス基板１２Ａの面に垂直な方向において、液晶層１２Ｃを挟んで対向基板１２Ｂと対向するよう配置されている。そのため、図２に示す等価回路図では、駆動電極３２Ａと駆動電極３２Ｂは、液晶層１２Ｃによる液晶容量を介して接続されている。また、駆動電極３２Ａと対向電極３８、及び、駆動電極３２Ｂと対向電極３８も、液晶層１２Ｃによる液晶容量を介して接続されている。

[0035] 一対の駆動電極３２Ａ、３２Ｂは、誘電体である絶縁層上に設けられる。画素電極３６は、駆動電極３２Ａ、３２Ｂとは絶縁層を挟んで反対側に設けられる（図４を用いて詳細を後述）。そのため、図２に示す等価回路図では、駆動電極３２Ａと画素電極３６、及び、駆動電極３２Ｂと画素電極３６も、絶縁層４６による容量を介して接続されている。

[0036] 図２に示す構成においては、一対の駆動電極３２Ａ、３２Ｂ間の液晶層１２Ｃにかかる電界、すなわち横電界は、駆動電極３２Ａ、及び駆動電極３２Ｂの電圧によって変化する。また、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６と、対向電極３８との間の液晶層１２Ｃにかかる電界、すなわち縦電界は、これら３つの電極の電圧によって変化する。ここで、駆動電極３２Ａの電圧は、第１ソース線３０Ａ－１の電圧及びＴＦＴ３４Ａのゲート線２８－１の制御信号によるスイッチングにより制御される。駆動電極３２Ｂの電圧は、第２ソース線３０Ｂ－１の電圧及びＴＦＴ３４Ｂのゲート線２８－１の制御信号によるスイッチングにより制御される。画素電極３６の電圧は

、第３ソース線３０Ｃ－１の電圧及びＴＦＴ３４Ｃのゲート線２８－１の制御信号によるスイッチングにより制御される。したがって、第１～第３ソース線３０Ａ－１、３０Ｂ－１、３０Ｃ－１の電圧及びＴＦＴ３４Ａ、ＴＦＴ３４Ｂ、ＴＦＴ３４Ｃのスイッチングにより、液晶層１２Ｃにかかる縦電界と横電界を細かく制御することが可能になる。これにより、縦電界と横電界のバランスを制御することができる。

[0037] 図３及び図４を参照しながら、画素１６の詳細な構成例について説明する。図４に示すように、液晶表示装置１０は、アクティブマトリクス基板１２Ａと、対向基板１２Ｂと、液晶層１２Ｃとを備える。

[0038] アクティブマトリクス基板１２Ａは、ベース基板４０と、複数のゲート線２８（図３参照）と、絶縁層４２と、複数のソース線３０（複数組のソース線 ３０Ａ、３０Ｂ、３０Ｃ）と、絶縁層４４と、一対の駆動電極３２Ａ、３２Ｂと、ＴＦＴ３４Ａ，３４Ｂ、３４Ｃ（図３参照）と、画素電極３６と、絶縁層４６とを備える。

[0039] 複数のゲート線２８は、例えば、ベース基板４０の主面の上方に形成される。絶縁層４２は、複数のゲート線２８を覆う。複数のソース線３０は、絶縁層４２を挟んで複数のゲート線２８とは反対側に形成される。絶縁層４４は、複数のソース線３０を覆う。画素電極３６は、絶縁層４４に接して形成される。画素電極３６は、画素ごとに設けられ、各画素領域の全体に亘って配置される。絶縁層４６は、画素電極３６を覆う。一対の駆動電極３２Ａ、３２Ｂは、絶縁層４６の上方に形成される。このように、画素電極３６は、一対の駆動電極３２Ａ、３２Ｂとは絶縁層４６の反対側に形成される。すなわち、画素電極３６は、一対の駆動電極３２Ａ、３２Ｂとは異なる層に配置される。また、画素電極３６は、一対の駆動電極３２Ａ、３２Ｂよりも液晶層１２Ｃから離れて配置される。これにより、画素電極３６と駆動電極３２Ａとの間、及び画素電極３６と駆動電極３２Ｂとの間に容量が形成される。ＴＦＴ３４Ａ、３４Ｂ、３４Ｃは、ゲート絶縁膜を介して、ゲート線２８と重なる位置に配置される。

[0040] 図３に示すように、駆動電極３２Ａは、第１電極部３２１Ａと、複数の第２電極部３２２Ａとを備える。第１電極部３２１Ａは、第１ソース線３０Ａと平行に延びるとともに、平面視で第１ソース線３０Ａに重なる。複数の第２電極部３２２Ａは、それぞれ、第１電極部３２１Ａに接続される。複数の第２電極部３２２Ａは、第１電極部３２１Ａが延びる方向に所定の間隔で並ぶ。

[0041] 第１電極部３２１Ａの他端には、接続電極部３２３Ａが形成されている。接続電極部３２３Ａは、コンタクトホール３２４Ａを有する。接続電極部３２３Ａは、接触電極部３２５Ａを介して、ドレイン電極部３２６Ａに接続される。接触電極部３２５Ａは、コンタクトホール３２４Ａと重なる位置に形成される。ドレイン電極部３２６Ａは、ＴＦＴ３４Ａのドレインに接続される。

[0042] 駆動電極３２Ｂは、第１電極部３２１Ｂと、複数の第２電極部３２２Ｂとを備える。第１電極部３２１Ｂは、第２ソース線３０Ｂと平行に延びるとともに、平面視で第２ソース線３０Ｂに重なる。複数の第２電極部３２２Ｂは、それぞれ、第１電極部３２１Ｂに接続される。複数の第２電極部３２２Ｂは、第１電極部３２１Ｂが延びる方向に所定の間隔で並ぶ。駆動電極３２Ｂが有する第２電極部３２２Ｂと、駆動電極３２Ａが有する第２電極部３２２Ａとは、ソース線３０が延びる方向に交互に並ぶ。

[0043] 第２電極部３２２Ｂの一端には、接続電極部３２３Ｂが形成されている。接続電極部３２３Ｂは、コンタクトホール３２４Ｂを有する。接続電極部３２３Ｂは、接触電極部３２５Ｂを介して、ドレイン電極部３２６Ｂに接続される。接触電極部３２５Ｂは、コンタクトホール３２４Ｂと重なる位置に形成される。ドレイン電極部３２６Ｂは、ＴＦＴ３４Ｂのドレインに接続される。

[0044] 画素電極３６は、平面視で駆動電極３２Ａ、３２Ｂと重なる位置に配置される。画素電極３６は、平面視で画素の全域にわたって形成されている。画素電極３６の端部であって、ゲート線２８と接近する箇所には、コンタクト

ホール３２４Ｃが形成される。コンタクトホール３２４Ｃは、絶縁層４４を貫通し、絶縁層４４の下にある接触電極部３２５Ｃに接続される。これにより画素電極３６は、は、コンタクトホール３２４Ｃ及び接触電極部３２５Ｃを介して、ドレイン電極部３２６Ｃに接続される。接触電極部３２５Ｃは、コンタクトホール３２４Ｃと重なる位置に形成される。ドレイン電極部３２６Ｃは、ＴＦＴ３４Ｃのドレインに接続される。

[0045] 上記例では、一対の駆動電極３２Ａ、３２Ｂは、櫛歯型であり、画素電極３６の上の層に設けられている。そのため、駆動電極３２Ａは、第１の上層櫛歯電極、駆動電極３２Ｂは、第２の上層櫛歯電極、画素電極３６は、下層電極と称することもできる。本例における画素構造では、駆動電極３２Ａ、３２Ｂの下層の画素電極３６にもＴＦＴ３４Ｃが設けられる。そのため、各画素の階調毎に各電極別に異なった電圧を制御できるような構造となる。

[0046] 対向基板１２Ｂは、アクティブマトリクス基板１２Ａに対向して配置される。対向基板１２Ｂは、ベース基板４８と、対向電極３８とを備える。対向電極３８は、例えば、ベース基板４８の主面の上方に形成される。

[0047] 液晶層１２Ｃは、アクティブマトリクス基板１２Ａと対向基板１２Ｂとの間に封入される。液晶層１２Ｃにおいて、液晶分子は、例えば、正の誘電率異方性を有し、垂直配向される。

[0048] （ＴＦＴの構成例）

図５は、図３におけるＴＦＴ３４Ｂが形成される部分を表した断面図である。図５に示す例では、アクティブマトリクス基板１２Ａのベース基板４０の上にゲート線２８が形成されている。この例では、ゲート線２８とＴＦＴ３４Ｂのゲートとが一体形成される。ゲート線２８の上にはゲート絶縁膜として絶縁層４２が形成されている。絶縁層４２を介してゲート線２８に対向する位置に、半導体層４７が形成されている。半導体層４７上には、ソース線３０Ｂと、ドレイン電極部３２６Ｂとが離間して形成される。半導体層４７上においてソース線３０Ｂとドレイン電極部３２６Ｂに挟まれた領域は、チャネル領域となる。この例では、ソース線３０ＢとＴＦＴ３４Ｂのソース

とが一体形成される。ドレイン電極部３２６Ｂは、駆動電極３２Ｂに接続される。絶縁層４２の上には、半導体層４７、ソース線３０Ｂおよびドレイン電極部３２６Ｂを覆う保護層としての絶縁層４４が設けられる。絶縁層４４は、例えば、ＳｉＯ２等の絶縁膜で構成される。絶縁層４４の上層に絶縁層４６、液晶層１２Ｃ、対向電極３８、及びベース基板４８が順に設けられる。

[0049] 本実施形態において、半導体層４７は、酸化物半導体を含む。酸化物半導体は、例えば、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）および酸素（Ｏ）を主成分とするＩｎＧａＺｎＯｘを用いることができる。このＩｎＧａＺｎＯｘ、すなわちＩｎ－Ｇａ－Ｚｎ－Ｏ系の半導体は、Ｉｎ、Ｇａ、Ｚｎの三元酸化物であって、Ｉｎ、Ｇａ、Ｚｎの割合（組成比）は特に限定されない。例えば、Ｉｎ：Ｇａ：Ｚｎ＝２：２：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：２等であってもよい。本実施形態における半導体層４７は、Ｉｎ、Ｇａ、Ｚｎが、一例として、１：１：２の割合で含まれるＩｎ－Ｇａ－Ｚｎ－Ｏ系の半導体を利用する。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体を含む半導体層４７を有するＴＦＴ１８は、ａ－Ｓｉを用いたＴＦＴと比べ、移動度は約２０倍以上であり、リーク電流は約１００分の１未満である。そのため、このような酸化物半導体は、画素を駆動するＴＦＴに好適に用いられる。Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体を含む半導体層４７を有するＴＦＴを、各画素に設けられる３つのＴＦＴ３４Ａ、３４Ｂ、３４Ｃとして用いることにより、液晶表示装置１０の消費電力を大幅に削減することが可能になる。さらに、ＴＦＴを小型化できるので、画素中のＴＦＴが増えることにより開口率の低下を抑えることができる。

[0050] なお、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体は、アモルファスでもよいし、結晶質部分を含み、結晶性を有していてもよい。結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体としては、ｃ軸が層面に概ね垂直に配向した結晶質Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体が好ましい。このような、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体の結晶構造は、例えば、特開２０１２－１３４４７５号公報に開示され

ている。参考のため、特開２０１２－１３４４７５号公報の開示内容の全てを本明細書において援用する。

[0051] また、半導体層４７は、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の半導体の代わりに、他の酸化物半導体を含んでいてもよい。具体的には、半導体層４７は、例えば、Ｚｎ－Ｏ系の半導体（ＺｎＯ）、Ｉｎ－Ｚｎ－Ｏ系の半導体（ＩＺＯ（登録商標））、Ｚｎ－Ｔｉ（チタン）－Ｏ系の半導体（ＺＴＯ）、Ｃｄ（カドミウム）－Ｇｅ（ゲルマニウム）－Ｏ系の半導体、Ｃｄ－Ｐｂ（鉛）－Ｏ系の半導体、ＣｄＯ（酸化カドミウム）－Ｍｇ（マグネシウム）－Ｚｎ－Ｏ系の半導体、Ｉｎ－Ｓｎ（錫）－Ｚｎ－Ｏ系の半導体（例えば、Ｉｎ２Ｏ３－ＳｎＯ２－ＺｎＯ）、Ｉｎ－Ｇａ（ガリウム）－Ｓｎ－Ｏ系の半導体等を含んでもよい。

[0052] （液晶コントロール基板の構成例）

図６は、液晶コントロール基板２０の構成例を示す機能ブロック図である。図６に示す例では、液晶コントロール基板２０は、タイミング制御部５１、表示データ受付部５３、電圧生成部５４、及び変換部５５を備える。

[0053] タイミング制御部５１は、外部から入力される表示タイミングを示すデータに基づいて、ゲートドライバ２２及びソースドライバ２４の動作タイミングを示す信号を生成する。タイミング制御部５１は、ゲートドライバ２２及びソースドライバ２４に対して、例えば、画素に対して電圧を印加するタイミングを示す信号を出力する。

[0054] 表示データ受付部５３は、外部から表示データの入力を受け付ける。表示データは、例えば、各画素で表示すべき階調を示す表示階調値とすることができる。一例として、表示データ受付部５３は、各画素の表示階調値を８ｂｉｔで表したデータを受信して、変換部５５へ出力することができる。変換部５５は、各画素の表示階調値に基づいて、各画素における一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６それぞれの電圧値を生成する。

[0055] 図６に示す例では、表示領域１８において、Ｒ（赤）色の光を発光する画素、Ｇ（緑）色を発光する画素、及びＢ（青）色の光を発光する画素が並ん

で設けられる。表示データ受付部５３は、ＲＧＢそれぞれの階調を８ｂｉｔで表す表示データを入力する。変換部５５は、ＲＧＢそれぞれについて、表示階調値を、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６それぞれの電圧信号値に変換するＲ変換部、Ｇ変換部、及びＢ変換部を有する。

[0056] 変換部５５におけるＲＧＢ各色の変換部は、ルックアップテーブル（ＬＵＴ）を参照して、表示階調値に対応する、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６それぞれの電圧信号値を取得することができる。ＬＵＴは、表示階調値に対応する、一対の駆動電極３２Ａ、３２Ｂそれぞれの電圧信号値、及び、表示階調値に対応する画素電極３６の電圧信号値を記録した変換値記録部の一例である。なお、本例では、変換部５５は、表示階調値を各電極の電圧信号値に変換する形態であるが、変換部５５は、表示階調値を各電極の電圧に変換する形態とすることもできる。

[0057] このように変換部５５で変換された一対の駆動電極３２Ａ、３２Ｂそれぞれの電圧信号値、及び、画素電極３６の電圧信号値は、３倍速に変換されたクロックで、ソースドライバ２４へ出力される。これにより、１つの画素について、３つの電圧信号値がソースドライバ２４へ出力される。図６に示す例では、液晶コントロール基板２０からソースドライバ２４へ電圧信号値を示す信号を伝達するための線は３本である。この場合、Ｒ画素のデータ、Ｇ画素のデータ、及びＢ画素のデータが順次、３分の１の周期でソースドライバ２４へ出力される。例えば、まず、赤色（Ｒ）の画素１６（Ｒ）について、駆動電極３２Ａの電圧信号値Ｐａ－１、駆動電極３２Ｂの電圧信号値Ｐｂ－１、及び画素電極３６の電圧信号値Ｐｃ－１がソースドライバ２４へ出力される。その後、緑色（Ｇ）の画素１６（Ｇ）について、電圧信号値Ｐａ－２、Ｐｂ－２、Ｐｃ－２のデータがソースドライバ２４へ出力される。さらにその後、青色（Ｂ）の画素１６（Ｂ）について、電圧信号値Ｐａ－３、Ｐｂ－３、Ｐｃ－３のデータがソースドライバ２４へ出力される。このように、３本の信号線を経由して、３倍のクロックで電圧信号値データをソースドライバ２４へ転送することで、従来のＲＧＢの３画素の階調値データを転送

するために用いていた配線構成と、同じ配線構成で、１画素あたりに３つの電圧信号値のデータを転送することができる。

[0058] ソースドライバ２４は、画素１６（Ｒ）の３つの電圧信号値Ｐａ－１、Ｐｂ－１、Ｐｃ－１に基づく電圧値を、画素１６（Ｒ）に接続されるソース線３０Ａ－１、３０Ｂ－１、３０Ｃ－１に出力する。同様に、ソースドライバ２４は、画素１６（Ｇ）の３つの電圧信号値Ｐａ－２、Ｐｂ－２、Ｐｃ－２に基づく電圧を、画素１６（Ｇ）に接続されるソース線３０Ａ－２、３０Ｂ－２、３０Ｃ－２に、画素１６（Ｂ）の３つの電圧信号値Ｐａ－３、Ｐｂ－３、Ｐｃ－３に基づく電圧を、画素１６（Ｂ）に接続されるソース線３０Ａ－３、３０Ｂ－３、３０Ｃ－３に出力する。

[0059] 電圧生成部５４は、ゲートドライバ２２がゲート線２８へ印加する電圧Ｖｇ及びソースドライバ２４がソース線３０へ印加する電圧を生成する為の基準となる電圧Ｖｒおよび対向電極３８へ印加する電圧Ｖｔを生成し、ゲートドライバ２２及びソースドライバ２４へ出力する。ソース線３０へ印加する電圧Ｖｒは、基準電圧値とすることができる。基準電圧値は、画素に印加される電圧値の内の一部の電圧であって、基準となる電圧である。ソースドライバ２４は、基準電圧と入力される電圧信号値によって、表示すべき階調に対応する各画素の電圧を生成することができる。

[0060] 図６に示す液晶コントロール基板２０の制御回路では、例えば、対向電極電圧を一定とし、ソース線に印加する電圧は、ドット反転駆動（画素毎にチドリに極性が反転する駆動方法）とすることができる。この場合、次のような動作が可能である。まず、入力表示データ信号および表示タイミングデータが、液晶コントロール基板２０に入力される。表示データ受付部５３は、表示データの各色（ＲＧＢ）の表示階調値を示すデータをそれぞれ、変換部５５のＲ変換部、Ｇ変換部、Ｂ変換部に入力する。変換部５５では、入力された表示階調値を、各画素電極に対応する電圧信号値を示すデータ（駆動電極３２Ａ用のデータ、駆動電極３２Ｂ用データ、画素電極３６用データ）に変換し、ソースドライバ２４へデータを転送する。

[0061] ゲート線２８の１ライン分の画素のデータが、ソースドライバ２４に保持されたタイミングで、ソースドライバ２４で保持された各画素のデータは、電圧生成部で生成された基準電圧に基づいて、電圧信号値に応じた電圧に変換され、ソース線３０に出力される。ここでは、１画素につき、３つの電圧信号値のデータ（駆動電極３２Ａ用のデータ、駆動電極３２Ｂ用データ、画素電極３６用データ）が、電圧に変換され、３本のソース線にそれぞれ出力される。

[0062] １ライン分の画素の電圧が、ソース線３０に出力されると同時に、書き込む画素のゲート線２８がＯＮ（電圧high）になる。ゲート線２８とソース線３０はＴＦＴ３４Ａ、３４Ｂ、３４Ｃを介して接続されている。ゲート線２８がＯＮ時に、ソース線３０の電圧値が各電極に印加される。その後、ゲート線がＯＦＦ（電圧low）になると、各電極に印
加された電圧に対応する電荷が保持される。

[0063] ドット反転駆動では、ソースドライバ２４から出力される電圧信号の極性は、３本のソース線ごとに、正と負が交互になるように制御することができる。また、画素のラインごとに極性が変わるように制御することもできる。すなわち、１フレーム期間において、ソース線に沿う画素列において、隣り合う２つの画素には、極性の異なる電圧信号が供給されるよう制御されてもよい。これにより、表示領域１８の上下方向においても、ライン毎に、電圧信号の極性を変えることができる。さらに、フレームごとに各画素の極性が反転するよう駆動することもできる。

[0064] （画素電極の電圧値を階調毎に変えることの技術的意義）

上記の液晶表示装置の構成においては、一対の駆動電極３２Ａ、３２Ｂに加えて、その下層の画素電極３６の電圧値を、階調によって変化させることが可能になる。ここでは、下層の画素電極３６の電圧値を階調毎に変えることの技術的意義について記述する。

[0065] 上記非特許文献１には、４つの電極による縦電界と横電界を使って液晶分子の方向を制御することによって階調表示を行うモードが記載されている。

このモードの場合、誘電異方性が正の液晶分子が使われる。そのため、白表示では、液晶分子の長軸方向がガラス基板に対して水平方向を向くように、一対の駆動電極３２Ａ、３２Ｂ間の電位差により横電界が印加される（図７参照）。黒表示では、液晶分子の長軸方向が、ベース基板４０に垂直な方向を向くように、対向電極３８と画素電極３６（下層電極）間で、縦電界が印加される（図８参照）。しかしながら、非特許文献１のように、下層電極を共通電極（パネル内画素で共通）にした場合、白表示においても、黒表示と同様の縦電界が印加されることになる。その場合、液晶分子を十分にベース基板４０に水平な方向へ倒す事が難しくなる。

[0066] 本実施形態の構成においては、例えば、液晶分子の長軸方向がガラス基板に垂直な方向から倒れる角度を制御することにより、パネル画素の透過率を制御し、階調表示を行うことができる。この場合、適切な階調表示を行うためには、液晶分子の配向方向（長軸方向の向き）を適切に制御することが好ましい。もし、非特許文献１のように縦電界が一定である場合、その制御は難しい。階調間で非常に細かい電圧設定が必要になり、適切な階調表示が不可能となることもある。これは、上記の液晶表示装置１０の構成を用いて、液晶分子の傾き具合により縦電界を弱くすることにより、回避することができる。すなわち、下層電極は共通にせず画素ごとに設け、表示階調に応じて下層電極の電圧を制御できる構成とすることで、縦電界と横電界とのバランスを調整することができる。これにより、液晶分子の配向方向を制御し、適切な階調表示が可能になる。また、これにより、液晶分子の配向方向を横電界と縦電界との組み合わせで制御するため、液晶分子の応答速度が向上する。

[0067] （電圧値の設定例１）

ここでは、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧値の階調ごとの設定例を説明する。本例では、対向電極３８の電圧を一定とし、各画素の駆動電極３２Ａ、３２Ｂ及び画素電極３６を、ドット反転駆動した場合の電圧設定例を説明する。

[0068] まず、画素を黒表示する場合の駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧値について説明する。黒表示の場合、縦電界を加えることが好ましいため、対向電極３８と、駆動電極３２Ａ、駆動電極３２Ｂ、及び画素電極３６との間に電圧が掛かるように設定する。液晶層１２Ｃに加わる縦電界の電圧をＶｐ（交流）とし、対向電極３８の電圧をＶｃとすると、それぞれの電極の電圧は、下記のようになる。なお、駆動電極３２Ａ、３２Ｂと画素電極３６については、電圧の極性が正の場合と負の場合の双方について電圧の設定値の例を示している。フレームごとに各電極の正極性と負極性を反転させて駆動させることができる。

[0069] 対向電極 ： Ｖｃ （一定）

駆動電極３２Ａ ：Ｖｃ＋Ｖｐ（正）、Ｖｃ－Ｖｐ（負）

駆動電極３２Ｂ ：Ｖｃ＋Ｖｐ（正）、Ｖｃ－Ｖｐ（負）

画素電極３６ ：Ｖｃ ＋Ｖｐ＋Ｖｍ（正）、Ｖｃ－Ｖｐ－Ｖｍ（負）

[0070] ここで、Ｖｍは、液晶層の誘電率、厚さおよび絶縁層４６の誘電率、厚さを考慮した値になる。この場合、液晶層の誘電率は液晶分子の長軸方向がガラス基板に対して、垂直になるように配向した場合の誘電率とし、ここでは、ε＿ｌｃ//で表し、液晶層の厚さをｄｌ、絶縁層４６の誘電率、厚さをそれぞれ、ε＿ｍ、ｄｍと表すと、上記Ｖｍは、下記式によって表すことができる。

[0071] Ｖｍ＝（ｄｍ／ｄｌ ） × （ε＿ｌｃ// ／ ε＿ｍ） × Ｖｐ

[0072] 一例として、具体的な電圧設定値を、下記のようにすることができる。

対向電極３８ ： ７．５Ｖ （一定）

駆動電極３２Ａ ：１４．５Ｖ（正）、０．５Ｖ（負）

駆動電極３２Ｂ ：１４．５Ｖ（正）、０．５Ｖ（負）

画素電極３６ ：１５．０Ｖ（正）、０．０Ｖ（負）

[0073] また、対向電極３８以外の電極は、すべて同極性にて駆動させることができる。さらに、絶縁層４６に関しては、上記条件を満たすような誘電率の材料及び、厚さに設計する。

[0074] 次に、白表示の場合の駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧値について、説明する。白表示の場合、なるべく大きな横電界を加えることが好ましい。そのため、一対の駆動電極３２Ａ、３２Ｂ間に横電界の電圧を加え、さらに、横電界の電気力線が乱れないような縦電界（理想はないことが望ましい）を加えるように、駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧を設定する。液晶層１２Ｃに加わる横電界の電圧をＶｈ（交流）とすると、それぞれの電極の電圧は、下記のようになる。

[0075] 対向電極３８ ：Ｖｃ （一定）

駆動電極３２Ａ ：Ｖｃ（正）、Ｖｃ（負） （両極性とも対向電極と同電位）

駆動電極３２Ｂ ：Ｖｃ＋Ｖｈ（正）、Ｖｃ－Ｖｈ（負）（正極性と負極性をフレームごとに反転）

画素電極３６ ：Ｖｃ ＋Ｖｎ（正）、Ｖｃ－Ｖｎ（負）（正極性と負極性をフレ

ームごとに反転）

[0076] ここで、Ｖｎは、液晶層１２Ｃの駆動電極３２Ａ、３２Ｂ間にかかる横電界のバランスが良くなるように、駆動電極３２Ａと画素電極３６間の電位差と、駆動電極３２Ｂと画素電極３６間の電位差が正負逆で同じ大きさになるように設定する。Ｖｎは、例えば、下記式のように設定することができる。

[0077] Ｖｃ－（Ｖｃ＋Ｖｎ） ＝ －（（Ｖｃ＋Ｖｈ） － （Ｖｃ＋Ｖｎ））

∴ Ｖｎ＝Ｖｈ／２

[0078] 一例として、具体的な電圧設定値は、下記のようにすることができる。

対向電極３８ ： ７．５Ｖ （一定）

駆動電極３２Ａ ： ７．５Ｖ（正）、７．５Ｖ（負）（正極性と負極性をフレームごとに反転）

駆動電極３２Ｂ ：１５．０Ｖ（正）、０．０Ｖ（負）（正極性と負極性をフレーム毎に反転）

画素電極３６ ：１１．２５Ｖ（正）、３．７５Ｖ（負）（正極性と

負極性をフレームごとに反転）

[0079] 図９は、上記の白表示の電圧を、対向電極３８、駆動電極３２Ａ、３２Ｂ及び画素電極３６に印加した場合の液晶分子の配向状態の一例を示す図である。図９に示す例では、駆動電極３２Ａと駆動電極３２Ｂとの間の横電界と、対向電極３８と、駆動電極３２Ａ、３２Ｂ及び画素電極３６との間の縦電界によって、液晶層１２Ｃの表示面に平行な方向に沿う電気力線がバランスよく分布している。また、図９に示す例では、白表示の電圧印加時には、駆動電極３２Ｂと対向電極３８とが同電位になる。そのため、駆動電極３２Ｂ上に縦電界は略存在しない。これにより、例えば、図７に示したように縦電界が発生するような電圧設定に比べて、白表示の電圧印加時の液晶分子の長軸方向が水平に向きやすく、透過率が向上する。

[0080] なお、図９に示す構成では、対向基板１２Ｂが誘電体層５２を備えている。誘電体層５２は、対向電極３８よりも液晶層１２Ｃ側に配置される。誘電体層５２は、例えば、有機膜、紫外線硬化樹脂、熱硬化樹脂からなる。このような態様においては、横電界が発生しているときに、対向電極３８付近の液晶分子が倒れやすくなる。そのため、透過率が向上する。

[0081] 上記のように、黒表示の電圧と白表示の電圧を設定した場合、白黒間の中間調は、合わせたいγに基づき、各電極の電圧を設定していくことができる。白黒間の中間調の表示では、原則として、駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧は、正負両極性とも白電圧と黒電圧の間の電圧に設定される。図１０は、そのようにして、表示階調ごとに設定された電圧値の例を示すグラフである。

[0082] 図１０において、横軸は表示階調、縦軸は各電極（駆動電極３２Ａ、３２Ｂ及び画素電極３６）の電圧を示している。表示階調の０は黒表示を示し、表示階調の２５５は白表示を示す。図１０に示す例では、表示階調が、黒表示から白表示に近づくにつれて、駆動電極３２Ａと駆動電極３２Ｂとの間の電位差が大きくなるように設定されている。さらに、画素電極３６と駆動電極３２Ａとの電位差及び画素電極３６と駆動電極３２Ｂとの電位差も、表示

階調が黒表示から白表示に近づくにつれて大きくなるよう設定されている。また、白表示に近い表示階調、すなわち１６０以上の領域では、画素電極３６と駆動電極３２Ａの電位差と、画素電極３６と駆動電極３２Ｂの電位差が略等しくなるように各電極の電圧が設定されている。

[0083] （電圧値の設定例２）

駆動電極３２Ａ、３２Ｂ及び画素電極３６の電圧設定においては、ゲート引き込み電圧を考慮した電圧を設定することができる。各画素では、ゲート線２８の制御信号によってＴＦＴ３４のゲートの電圧を変化させてＴＦＴ３４のオン／オフが切り替えられる。このとき、ゲートの電圧の降下によってＴＦＴ３４のドレインに接続された電極の電圧が影響を受けて変化する場合がある。この変化分がゲートの引き込み電圧となる。ソースドライバ２４は、この引き込み電圧に相当する分だけ補正した電圧信号をソース線３０に出力することができる。すなわち、ソースライン電圧として印加する電圧は、ゲートの引込み電圧を打ち消す成分を含めて設定することができる。

[0084] 引込み電圧ΔＶｇｄは、例えば、下記式で表すことができる。

ΔＶｇｄ ＝ Ｃｇｄ ／Σ（Ｃｌｃ＋Ｃｓ＋Ｃｏ＋Ｃｇｄ） × （Ｖｇｈ－Ｖｇｌ）

[0085] ここで、Ｃｌｃは、表示階調の液晶配向での対向電極３８と、画素電極３６又は駆動電極３２Ａ、３２Ｂとの容量、Ｃｓはソースラインと画素電極３６又は駆動電極３２Ａ、３２Ｂとの容量、Ｃｇｄは、ゲートラインと画素電極３６又は駆動電極３２Ａ、３２Ｂ間の容量（ＴＦＴのゲートードレイン容量も含む）、Ｃｏはそれ以外の電極と結合する容量を示し、Ｖｇｈ、Ｖｇｌは、ゲートＯＮ電圧と、ゲートＯＦＦ電圧を示す。本実施形態では、画素電極３６及び一対の駆動電極３２Ａ、３２Ｂの３電極が、それぞれ、ＴＦＴ３４Ａ、３４Ｂ、３４Ｃに接続されている。それゆえ、駆動電極３２Ａ、３２Ｂと画素電極３６とでこのΔＶｇｄの値を決めるパラメータの値が異なる。すなわち、引込み電圧値は、駆動電極３２Ａ、３２Ｂと画素電極３６とで同じにはならない。そのため、駆動電極３２Ａ、３２Ｂと画素電極３６それぞ

れにおいて、各階調での引込み電圧を見積ることが好ましい。

[0086] 図１１のグラフは、本実施形態の液晶表示装置における引込み電圧値の一例を示す。図１１では、上層に配置される駆動電極３２Ａ、３２Ｂに接続されるＴＦＴ３４Ａ、３４Ｂにおける引き込み電圧（上層引き込み）と、下層に配置される画素電極３６に接続されるＴＦＴ３４Ｃにおける引き込み電圧（下層引き込み）の階調による変化を示している。この引込みの電圧値は、対向電極に対する値となっている。ソース線３０へ電圧を印加する場合は、対向電極３８の電圧に対して、この引込み電圧分を加えた電圧の値を印加することが好ましい。図１２は、引込み電圧を考慮した、画素電極３６又は駆動電極３２Ａ、３２Ｂのソース線への印加電圧の設定例を示すグラフである。

[0087] なお、引き込み電圧の調整は、ソースドライバ２４の基準電圧を調整することにより行う方法も考えられる。しかし、本実施形態では、１つの画素に３本のソース線が接続され、３本のソース線には引き込み電圧の異なるＴＦＴが接続される。例えば、駆動電極３２Ａ、３２ＢのＴＦＴ３４Ａ、３４Ｂと画素電極３６のＴＦＴ３６ではその特性又は電極の容量が異なることがある。この場合、各階調で、駆動電極３２Ａ、３２Ｂと画素電極３６の引込み電圧の値が異なる。このような場合は、基準電圧による調整だと、３つのソース線に共通した電圧値の補正しかできず、引き込み電圧の異なるＴＦＴそれぞれに対応した電圧の補正ができない場合が生じる。そこで、図１２に示すように、駆動電極３２Ａ、３２Ｂ、及び画素電極３６それぞれについて階調ごとの電圧値を、引き込み電圧も考慮して設定しておくことができる。これにより、変換部５５が、表示階調の値に基づいて、上記のように引き込み電圧も考慮して設定された電圧値を得る電圧信号値を生成することができる。

[0088] （表示階調に応じた電圧値を生成するための構成例）

図１３は、例えば、上記図１０又は図１２に示すように設定される、表示階調値に対する各電極の電圧値の一例を示す表である。これらの電圧値が出

力できるように、ソースドライバ２４のラダーを設計し、基準電圧値を決めることができる。そのソースドライバ入力データ値（８ビット）に対する出力電圧値は、例えば、図１４に示す表のようになる。この例では、ソースドライバ２４に対して表の左欄に示す入力データ値を入力すると、ソースドライバ２４は、極性が正の場合は中央欄の対応する電圧、極性が負の場合は右欄の対応する電圧の信号を、ソース線に出力する。

[0089] 液晶コントロール基板２０に入力される表示階調値（表示データ）に対して、駆動電極３２Ａ、３２Ｂ、及び画素電極３６の電圧に対応するソースドライバへの入力データ値を、あらかじめテーブル（ＬＵＴ）として記録しておくことができる。変換部５５は、このテーブルを参照して、表示階調値を、駆動電極３２Ａ、３２Ｂ、及び画素電極３６それぞれの入力データ値（電圧信号値の一例）に変換することができる。図１５は、そのようなテーブルの内容の一例を示す。

[0090] 図１６は、表示階調値を、駆動電極３２Ａ、３２Ｂ、及び画素電極３６の電圧信号値に変換し、変換した電圧信号値に対応する電圧を、これらの電極それぞれに供給する動作例を説明するための図である。図１６に示す例では、液晶表示装置１０は、上位システムから表示データとクロック信号ＣＬＫを受信する。表示データとして、例えば、ＲＧＢの各表示階調を示す８ｂｉｔのデータが入力される。この場合、ＲＧＢの各表示階調値が、変換部５５（図６参照）によって、それぞれ、駆動電極３２Ａ、３２Ｂ、及び画素電極３６に対応する３つのデータ値（電圧信号値データ）に変換される。このとき、変換部５５は、例えば、図１５に示したようなテーブル（ＬＵＴ）を参照することができる。

[0091] すなわち、入力ＲＧＢ（各８ビット）表示データは、３つの電極(駆動電極３２Ａ、駆動電極３２Ｂ、画素電極３６）の表示階調に対応する電圧信号値データ（各８ビット）に変換される。変換された電圧信号値データは、３倍速変換回路により３倍にされたクロックで、ＲＧＢの順にソースドライバ２４へ入力される。ＲＧＢの順番は、パネルにおける画素構成の順番に合わせ

ることができる。

[0092] ソースドライバ２４には、基本的に、電源の他に、スタートパルスＳｔ、ラッチＬＳ、ＲＥＶ信号、ＣＬＫ（クロック信号）、変換された各電極の電圧信号値データおよび基準電圧値が入力される。ＲＥＶ信号は、ソース線に出力する電圧の極性、すなわち、正極性（＋）又は負極性（－）を制御するための信号である。

[0093] 基準電圧は、画素電極に印加される電圧のうち一部の電圧信号値に対応する電圧とすることができる。例えば、８ビット出力のソースドライバの場合、０から２５５のデータに対応する電圧が極性別に出力されるが、０、１６、３２、・・・、２５５のように１６の出力毎に１つの電圧信号値に対応する電圧を基準電圧とすることができる。また、基準電圧は、１つの電圧信号値について、正極性の場合の電圧と、負極性の場合の電圧の２つが設定される。例えば、正極性の基準電圧を、ＶＨ２５５、ＶＨ２４８、ＶＨ２３２、…、ＶＨ１６、ＶＨ０とし、負極性の基準電圧を、ＶＬ０、ＶＬ１６、…、ＶＬ２４８、ＶＬ２５５とすることができる。本実施例のソースドライバへ入力される基準電圧値は、例えば、図１０又は図１２に示される電圧値の出力が満たされるように設定することができる。

[0094] 次に、ソースドライバ２４について説明する。ソースドライバ２４は、例えば、図１７に示すように、複数のソースドライバがカスケードに接続されて構成される。１つの目のソースドライバ２４に、Ｓｔ＿０信号が入るとＣＬＫ毎に電圧信号値データがソースドライバ２４内に保存される。ソースドライバ２４の出力数分データが溜まったところで、次のソースドライバにＳｔ＿１信号が送られる。Ｓｔ＿１信号を受けた次のソースドライバ内に電圧信号値データが保存されていく。各ソースドライバにデータが保存された後、一水平期間の電圧信号値データに対応する電圧をパネルに出力するタイミングで、ＬＳ信号が入力される。ＬＳ信号が入力されると、各電圧信号値データに対する基準電圧に基づいた出力電圧値がソース線へ出力される。ソースドライバ２４からの出力では、３つの出力が１画素に対応する。Ｒ画素、

Ｇ画素、Ｂ画素の各画素列に対して、それぞれの３本のソース線で、それぞれの電圧が出力される。

[0095] ソースドライバ２４からの出力の際には、ＲＥＶ信号の０、１により決められた極性の電圧がソース線に出力される。本実施形態では、連続する３本のソース線に対する出力が同一の極性となるようにソースドライバ２４が動作する。すなわち、３つの出力毎に極性が反転するようなソースドライバの動作となるように設計される。図１６に示したように、ソースドライバ２４の入力の際は、クロック周波数および表示データの転送を３倍にしてソースドライバ２４へのデータ転送が行われる。ソースドライバ２４の出力は、出力極性が３出力毎に反転するように出力される。また、一水平期間毎にＲＥＶ信号が反転し、ライン毎に画素の極性が反転するよう駆動することができる。更に、フレーム毎に極性が反転するようにして、ドット反転駆動を実現する。

[0096] また、各電圧信号値の電圧出力（Ｄ／Ａ変換）は、ソースドライバに入力された各基準電圧をソースドライバ内の抵抗ラダー(もしくは容量分割)が電圧を分割し、それぞれの電圧信号値に対応する電圧として出力される。図１８は、ソースドライバ内の抵抗ラダーの構成例を示す図である。図１８に示す例では、抵抗ラダーにより、電圧信号値データが電圧値に変換されてソース線に出力される。

[0097] 具体的には、電圧信号値２５５、２４８、２３２、…１６、０に対応する正極性の電圧が、基準電圧ＶＨ２５５、ＶＨ２４８、ＶＨ２３２、…、ＶＨ１６、ＶＨ０としてラダーに入力される。また、電圧信号値０、１６、３２、…、２４８、２５５に対応する負極性の電圧が、基準電圧ＶＬ０、ＶＬ１６、…、ＶＬ２４８、ＶＬ２５５としてラダーに入力される。例えば、電圧信号値２５４の正極性の電圧は、基準電圧ＶＨ２５５とＶＨ２４８との間を１６段階に分割した電圧のうちＶＨ２５５から１段下の電圧となる。

[0098] （実施形態の効果）

本実施形態の液晶表示装置１０では、４電極により液晶駆動する表示モー

ドにおいて、上記した駆動方法および電圧設定方法により、３電極を電圧制御する。これにより、白の透過率（輝度）、コントラストを向上させ、更に、階調表示において、低階調における表示階調の遷移をなめらかにすることができる。

[0099] 図１９は、上記液晶表示装置１０を駆動した場合の各表示階調入力に対するパネル出力輝度の特性を表すグラフである。図１９において、横軸が表示入力データ、縦軸がパネル出力輝度を表す。四角のプロットは、上記液晶表示装置１０における各表示階調入力に対するパネル出力輝度を表す。三角のプロットは、画素電極すなわち下層電極を表示領域全ての画素で共通にした場合の各表示階調入力に対するパネル出力輝度を表す。図２０は、図１９に示すグラフの階調７０付近を拡大した図である。

[0100] 図１９に示すグラフのように、本実施形態の場合と、下層電極を共通にした場合とでは、黒輝度が同じで、ソースドライバの電圧値（電圧範囲）が同じであるが、白輝度（２５５階調の輝度）が異なっている。すなわち、本実施形態の、画素電極３６も階調毎に制御する駆動方法では、白表示の輝度が、画素電極（下層電極）を共通にした場合に比べて、$\gamma = 2.2$に合わせられない階調が出てくる。これに対し、本実施形態の駆動方法では、ほぼ$\gamma = 2.2$で合わせる事が可能となる。すなわち、画素ごとに一対の駆動電極の下層にある画素電極の電圧を制御して、階調に応じて画素電極の電圧を変えることで、所望のガンマ値の特性を実現するための電圧設定が容易になる。また、本実施形態の液晶表示においては、４電極による表示モードのため液晶応答特性が向上し、低温でも高速な応答が可能となり、表示品位が向上する。

[0101] ［実施形態２］

図２１は、実施形態２における液晶表示装置１０の構成例を示す。図２１に示す例では、ソースドライバ２４が、入力した表示データが示す各画素の表示階調値を、駆動電極３２Ａ、駆動電極３２Ｂ及び画素電極３６の３電極それぞれの電圧信号値電圧値に変換するよう構成されている。すなわち、液

晶コントロール基板２０では、各電極へのデータ変換が行われず、入力された各色（ＲＧＢ）の表示データ（表示階調値）が、そのまま、ソースドライバ２４に入力される。ソースドライバ２４内に、表示階調値を上記３電極の電圧信号値へデータ変換する変換部５５が設けられる。そのため、ソースドライバ２４は、ＬＵＴまたは上記３電極それぞれに対応する抵抗ラダーを備えることができる。

[0102] 図２２は、ソースドライバ２４の動作を説明するための図である。図２２に示す例では、ＲＧＢの表示階調値が、表示データとしてソースドライバ２４に入力される。ソースドライバ２４は、ＬＵＴを持つ変換部５５を備える。変換部５５は、表示階調値を、上記３電極それぞれの電圧信号値に変換する。ソースドライバ２４は、変換された電圧信号値に対応する電圧を、基準電圧を用いて生成し、上記３電極に繋がるソース線へ出力する。

[0103] 図２２に示す例では、ＬＵＴを用いて変換を行う構成である。これに対して、ソースドライバ２４に、上記３電極に対応する３種のラダーを設けてもよい。この場合、上記３種のラダーが、上記３電極に対応する３種の階調基準電圧と入力された表示階調値を用いて、上記３電極それぞれに供給する電圧値を生成することができる。

[0104] 例えば、入力された表示階調値に対応する駆動電極３２Ａの電圧を出力する駆動電極３２Ａ用のラダーと、入力された表示階調値に対応する駆動電極３２Ｂの電圧を出力する駆動電極３２Ｂ用のラダーと、入力された表示階調値に対応する画素電極３６の電圧を出力する画素電極３６用のラダーを、ソースドライバ２４に設けることができる。これらのラダーにより、１つの画素の表示階調値が入力されると、その画素の一対の駆動電極３２Ａ、３２Ｂ及び画素電極それぞれに対応する３つの電圧が生成される。このように、階調値データを電圧信号に変換する回路で、１つの画素の階調値から３電極の電圧を生成することもできる。

[0105] ［実施形態３］

図２３は、実施形態３における駆動電極３２Ａ、３２Ｂ及び画素電極３６

の３電極の各階調の電圧設定の例を示すグラフである。図２３に示す例では、実施形態１、２では、電圧設定方法を各階調において、上記３電極の電圧をすべて変化させるように制御していた。これに対して、本実施形態の液晶表示装置１０は、階調を複数の領域に分け、各領域において上記３電極のうち１つ又は２つの電圧を固定し、他の電極の電圧を、階調に応じて変化させる形態である。

[0106] 図２３に示す例では、全階調は、低低階調域Ｋ１、低階調域Ｋ２、中間階調域Ｋ３、高階調域Ｋ４の４領域に分けられる。液晶表示装置１０は、それぞれの階調域で、上記３電極のうち１つの電極のみにおいて、電圧を階調に応じて変化させる。具体的には、低低階調域Ｋ１では、駆動電極３２Ｂが階調に伴い電圧変化し、それ以外の電極の電圧は、変化しない。低階調域Ｋ２では、画素電極３６の電圧が階調に対して変化する。中間階調域Ｋ３では、駆動電極３２Ａが変化する。高階調域Ｋ４では、再度、画素電極３６の電圧が階調に応じて変化する。すなわち、この例では、全階調を、連続する複数の範囲に分類し、それぞれの範囲において、一対の駆動電極３２Ａ、３２Ｂ及び画素電極３６のいずれか１つの電圧信号値を特定し、特定された電圧信号値を調整する構成となっている。

[0107] 上記のような駆動を実現するために、例えば、図２３に示すような表示階調値と上記３電極の電圧との対応を示すＬＵＴを予め記録することができる。変換部５５は、ＬＵＴを参照して上記３電極の階調値又は電圧値を生成することにより、上記駆動が可能になる。

[0108] このように各電極の電圧設定を行うことにより、表示出力輝度の階調変化を滑らか（γ＝２．２に合う）にすることができる。例えば、全階調のうちの一部において、３電極のうちいずれかの電極の電圧を固定することで、所望のγ曲線にあう輝度を実現するための最適な電圧値を見つけやすくなる。

[0109] なお、図２３に示す例は、４領域Ｋ１～Ｋ４全てにおいて、上記３電極のうち１電極のみの電圧を変化させる形態であるが、各電極の電圧変化の形態は、これに限られない。例えば、４領域Ｋ１～Ｋ４のうち少なくとも１領域

において、１電極のみの電圧を変化させることもできる。また、領域の分割の方法も、図２３に示す４領域Ｋ１～Ｋ４に限られない。

[0110] ［実施形態４］

図２４は、実施形態４における液晶表示装置１０の配線構成例を示す。図２４に示す例では、ソース線に沿う画素列において第１ソース線３０Ａ、第２ソース線３０Ｂ、及び前記第３ソース線３０Ｃは、それぞれ２本ずつ設けられる。各画素列の２本の第１ソース線３０Ａ－１ａ、３０Ａ－１ｂは、この画素列においてゲート線２８－１、２８－２の走査方向に対して互いに隣接する２つの画素１６－１、１６－２それぞれに１本ずつ接続される。すなわち、２本のうち一方の第１ソース線３０Ａ－１ｂは、画素１６－１のＴＦＴ３４Ａに接続され、他方の第１ソース線３０Ａ－１ａは、画素列において、すなわちゲート信号の走査方向において画素１６－１に隣接する画素１６－２に接続される。これらの２本の第１ソース線３０Ａ－１ａ、３０Ａ－１ｂには、極性の異なる電圧が同時に入力される。ここで、画素列に対応する２つの隣接するゲート線は、同時に選択される。すなわち、２本の第１ソース線３０Ａ－１ａ、３０Ａ－１ｂのうち一方が接続される画素１６－１に接続されるゲート線２８－１と、この画素のゲート線の走査方向に隣接する画素１６－２に接続されるゲート線２８－２は、同時に選択することができる。

[0111] 各画素列の２本の第２ソース線３０Ｂ－１ａ、３０Ｂ－１ｂは、画素列においてゲート線２８－１、２８－２の走査方向に対して互いに隣接する２つの画素１６－１、１６－２それぞれに１本ずつ接続される。これら２本の第２ソース線３０Ｂ－１ａ、３０Ｂ－１ｂには、極性の異なる電圧が同時に入力される。

[0112] 各画素列の２本の第３ソース線３０Ｃ－１ａ、３０Ｃ－１ｂは、画素列においてゲート線２８－１、２８－２の走査方向に対して互いに隣接する２つの画素１６－１、１６－２それぞれに１本ずつ接続される。これら２本の第３ソース線３０Ｃ－１ａ、３０Ｃ－２には、極性の異なる電圧が同時に入力

される。

[0113] また、互いに隣り合う２本のソース線には、極性の異なる電圧を同時に入力される。例えば、第１ソース線３０Ａ－１ｂには正の極性の電圧が印加され、これと隣り合う第１ソース線３０Ａ－１ａ及び第２ソース線３０Ｂ－１ａには負の極性の電圧が同時に入力される。すなわち、ゲート線２８の方向に並ぶ複数のソース線３０Ａ－１ａ、３０Ａ－１ｂ、３０Ｂ－１ａ、３０Ｂ－１ｂ、…に対して、正極性と負極性の電圧が交互に同時入力される。

[0114] さらに、第１ソース線３０Ａの延びる方向に垂直な方向に互いに隣接する２つの画素１６－１、１６－３の第１ソース線３０Ａ－１ｂ、３０Ａ－２ａそれぞれには、極性の異なる電圧が同時に入力される。例えば、複数のソース線間で正極性の電圧と負極性の電圧とを交互に入力した場合に、ゲート線２８に沿う方向に隣接する２つの画素の第１ソース線で、電圧の極性の異なるように配線することができる。これにより、ドット反転駆動を効率よく行うことができる。

[0115] 図２４に示す例では、連続するソース線の一本ごとに電圧の極性を異ならせることができる。すなわち、複数のソース線のうち偶数番目のソース線の電圧の極性と、奇数番目のソース線の電圧の極性とを異ならせることができる。これにより、既存のソースドライバを流用する事が容易になる。その結果、コスト削減が可能になる。

[0116] ［実施形態５］

図２５は、実施形態５における液晶表示装置１０の配線構成例を示す。図２５に示す液晶表示装置１０は、１フレーム期間を時分割し、時分割された各期間において、異なる色の画像を切り替えて表示する駆動、いわゆるフィールドシーケンシャル駆動を行う。

[0117] 図２５に示す例では、表示データとして入力された１フレームにおけるＲＧＢの表示階調値を示すＲＧＢデータは、フレームメモリ２７に格納される。１フレーム期間は、ＲＧＢの各色に対応する複数のフィールドに時分割される。それぞれのフィールドの期間で、対応する色の画像の階調値を示すデ

ータがフレームメモリ２７から読み出されて表示される。例えば、３倍以上のサブフレーム構成によるフィールドシーケンシャル駆動を行うことができる。タイミング制御部５１は、バックライトで各色の光を照射するタイミングと、各色の画像を表示するタイミングを同期させるため、タイミング信号Ｔｆ、Ｔｓ、Ｔｇ、Ｔｂを、フレームメモリ２７、ソースドライバ２４及びゲートドライバ２２及びバックライト２５へ送信する。

[0118] 変換部５５は、フレームメモリ２７から読み出された各画素の表示階調値を、駆動電極３２Ａ、駆動電極３２Ｂ及び画素電極３６の３電極それぞれの電圧信号値又は電圧値に変換する。変換部５５、ソースドライバ２４、ソース線３０、ゲート線２８及び画素１６の構成には、上記実施形態１～４のいずれかの構成又は、実施形態１～４の少なくとも２つを組み合わせた構成を採用することができる。

[0119] このように、液晶表示装置をフィールドシーケンシャル表示で用いる場合は、３色の場合は最低３倍のリフレッシュレートで駆動することになる。そのため、高速応答が必要となる。本実施形態の液晶表示モードは、高速応答が可能であり。上記実施形態１～４いずれかの液晶表示装置で、フィールドシーケンシャル駆動を行うことで、混色の少ない、フィールドシーケンシャル表示を行うことが可能となる。

[0120] 以上、本発明の実施形態について、詳述してきたが、これらはあくまでも例示であって、本発明は、上述の実施形態によって、何等、限定されない。例えば、第１～第３の実施形態では、液晶分子が正の誘電率異方性を有していたが、液晶分子は負の誘電率異方性を有していてもよい。

請求の範囲

[請求項1] 複数の画素が並んで形成される画素列が複数配置される表示領域を有するアクティブマトリクス基板と、

前記アクティブマトリクス基板に対向して配置される対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に封入される液晶層とを備え、

前記アクティブマトリクス基板は、

画素ごとに絶縁層の上に配置される一対の駆動電極と、

前記一対の駆動電極と前記絶縁層を挟んで反対側に、画素ごとに設けられる画素電極と、

各画素の前記一対の駆動電極の一方に接続される第１スイッチング素子と、

各画素の前記一対の駆動電極の他方に接続される第２スイッチング素子と、

各画素の前記画素電極に接続される第３スイッチング素子と、

画素列ごとに設けられ、各画素列に含まれる画素群の第１スイッチング素子群に接続される第１ソース線と、

画素列ごとに設けられ、各画素列に含まれる画素群の第２スイッチング素子群に接続される第２ソース線と、

画素列ごとに設けられ、各画素列に含まれる画素群の第３スイッチング素子群に接続される第３ソース線と、

各画素の前記第１スイッチング素子、第２スイッチング素子、及び第３スイッチングへ制御信号を供給する複数のゲート線と、を有し、

前記対向基板は、前記画素電極及び前記一対の駆動電極に対向して配置される対向電極を有する、液晶表示装置。

[請求項2] 前記表示領域に画像を表示させる制御部をさらに備え、

前記制御部は、画素に対して、各画素で表示すべき階調に対応する電圧を、前記第１ソース線、前記第２ソース線、及び前記第３ソース

線を介して、前記一対の駆動電極及び前記画素電極にそれぞれ独立して供給する、請求項１に記載の液晶表示装置。

[請求項3] 前記制御部は、各画素で表示すべき階調を示す表示階調値に基づいて、前記各画素における前記一対の駆動電極及び前記画素電極それぞれに印加すべき電圧に対応する電圧値を生成する変換部を含む、請求項２に記載の液晶表示装置。

[請求項4] 前記制御部は、前記画素で表示され得る全ての階調を示す全階調値と、前記全階調値に対応する前記一対の駆動電極それぞれの電圧値、及び、前記全階調値に対応する前記画素電極の電圧値を記録した変換値記録部を有し、

前記変換部は、前記表示階調値に対応する前記一対の駆動電極それぞれの電圧値、及び、前記表示階調値に対応する前記画素電極の電圧値を、前記変換値記録部を参照して決定する、請求項３に記載の液晶表示装置。

[請求項5] 前記変換部は、前記表示階調値に対応する前記一対の駆動電極それぞれの電圧値の基準となる電圧値を出力する駆動電極電圧生成回路、及び、前記表示階調値に対応する前記画素電極の電圧値の基準となる電圧値を出力する画素電極電圧生成回路を有する、請求項３に記載の液晶表示装置。

[請求項6] 前記変換部は、前記画素で表示され得る全階調のうち一部の範囲において、前記一対の駆動電極の一方の電極の電圧値、前記一対の駆動電極の他方の電極の電圧値、もしくは、前記画素電極の電圧値の少なくとも１つが一定になるように、前記電圧値を生成する、請求項３～５のいずれか１項に記載の液晶表示装置。

[請求項7] 前記各画素列に、前記第１ソース線、前記第２ソース線及び前記第３ソース線は、それぞれ２本ずつ設けられ、

各画素列の２本の第１ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第１ソース

線には、極性の異なる電圧が同時に入力され、

各画素列の２本の第２ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第２ソース線には、極性の異なる電圧が同時に入力され、

各画素列の２本の第３ソース線は、前記画素列において互いに隣接する２つの画素それぞれに１本ずつ接続され、前記２本の第３ソース線には、極性の異なる電圧が同時に入力される、請求項１～６のいずれか１項に記載の液晶表示装置。

[請求項8] 前記各画素列に設けられた、２本の前記第１ソース線、前記第２ソース線及び前記第３ソース線において、互いに隣り合う２本の線には、極性の異なる電圧が同時に入力され、

前記第１ソース線の延びる方向に垂直な方向に互いに隣接する２つの画素の第１ソース線それぞれには、極性の異なる電圧が同時に入力される、請求項７に記載の液晶表示装置。

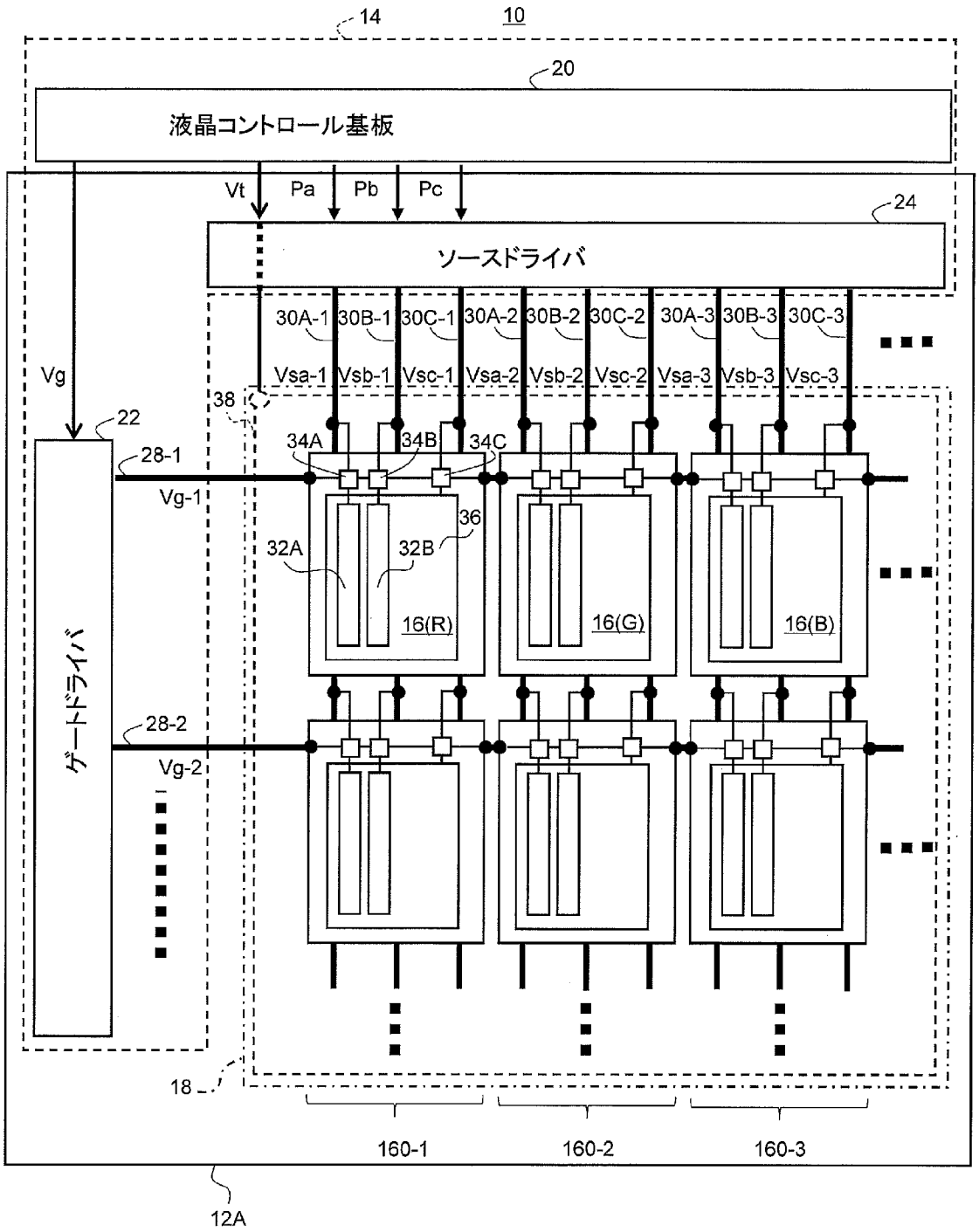
[請求項9] 前記制御部は、１フレーム期間を時分割し、時分割された各期間において、異なる色の画像を切り替えて表示する、請求項１～８のいずれか１項に記載の液晶表示装置。

[請求項10] 前記第１スイッチング素子、第２スイッチング素子及び第３スイッチング素子は、薄膜トランジスタにより形成され、

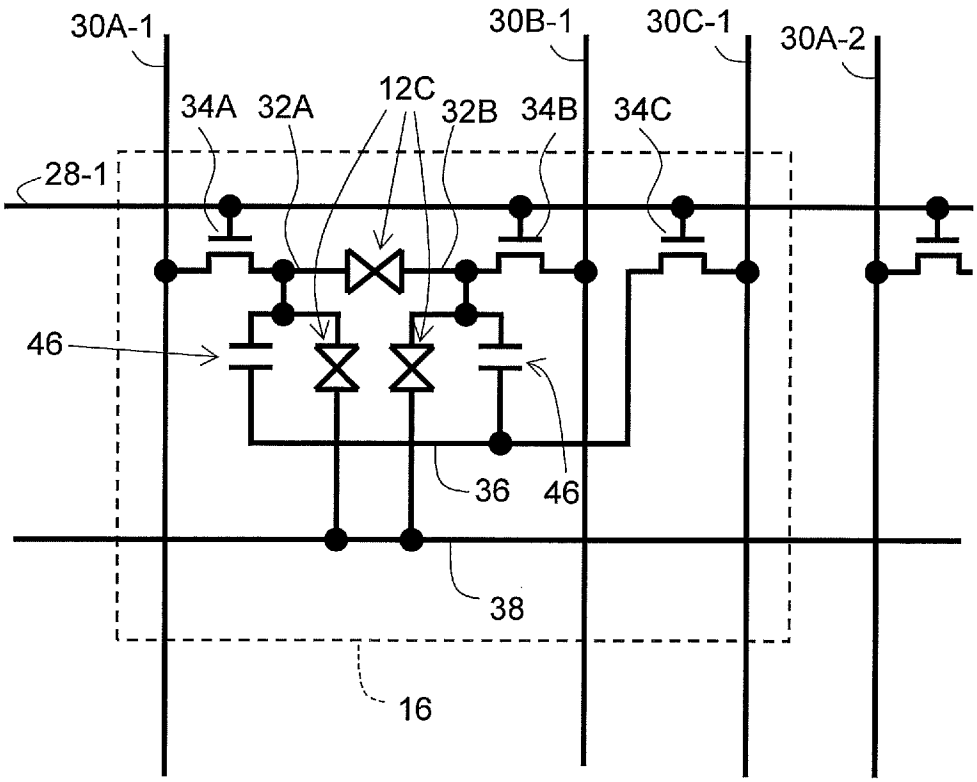
前記薄膜トランジスタは、前記ゲート線に接続される電極に対向する位置に設けられた酸化物半導体を含む半導体層と、前記一対の駆動電極のいずれか又は前記画素電極に接続された第１の電極と、前記ソース線と接続された第２の電極とを有し、

前記第１の電極と前記第２の電極が前記半導体層上で離間して形成されている、請求項１～９のいずれか１項に記載の液晶表示装置。

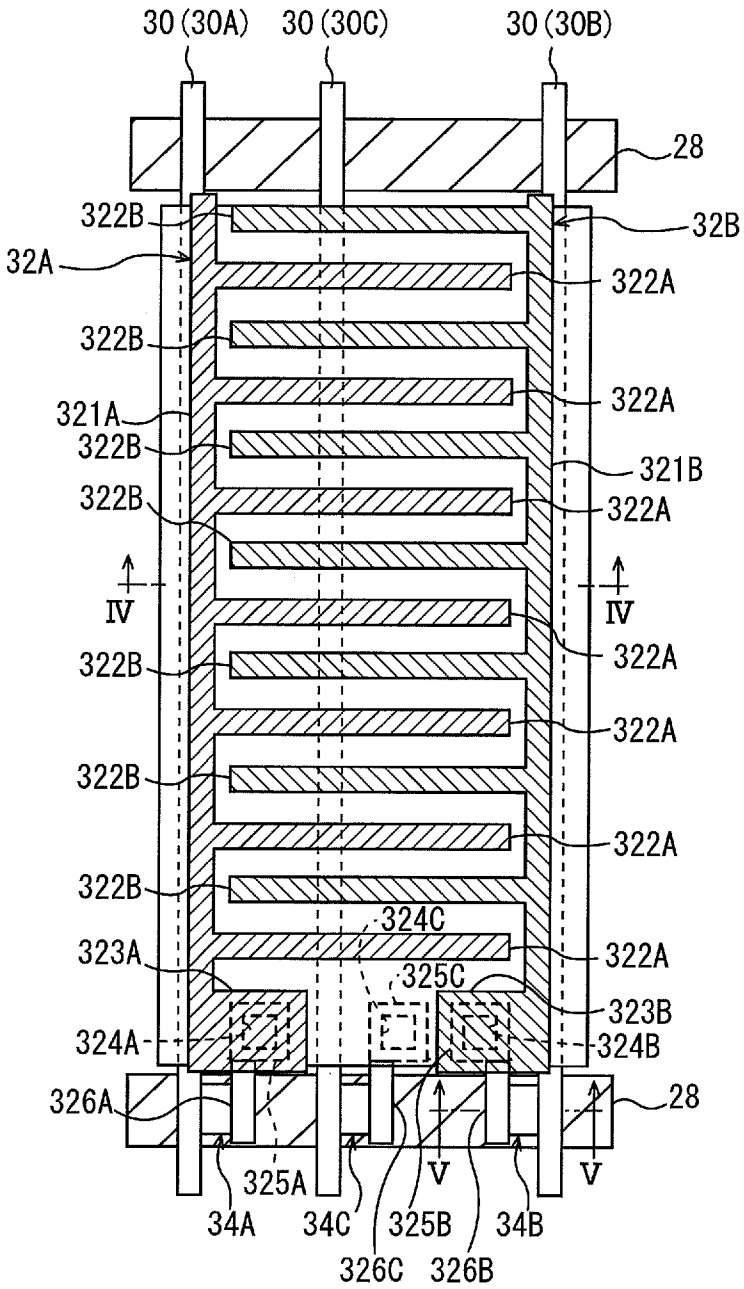
[図1]


14
10
20
液晶コントロール基板
Vt
Pa
Pb
Pc
24
ソースドライバ
30A-1
30B-1
30C-1
30A-2
30B-2
30C-2
30A-3
30B-3
30C-3
Vsa-1
Vsb-1
Vsc-1
Vsa-2
Vsb-2
Vsc-2
Vsa-3
Vsb-3
Vsc-3
Vg
38
22
28-1
Vg-1
34A
34B
34C
36
32A
32B
16(R)
16(G)
16(B)
ゲートドライバ
28-2
Vg-2
18
160-1
160-2
160-3
12A

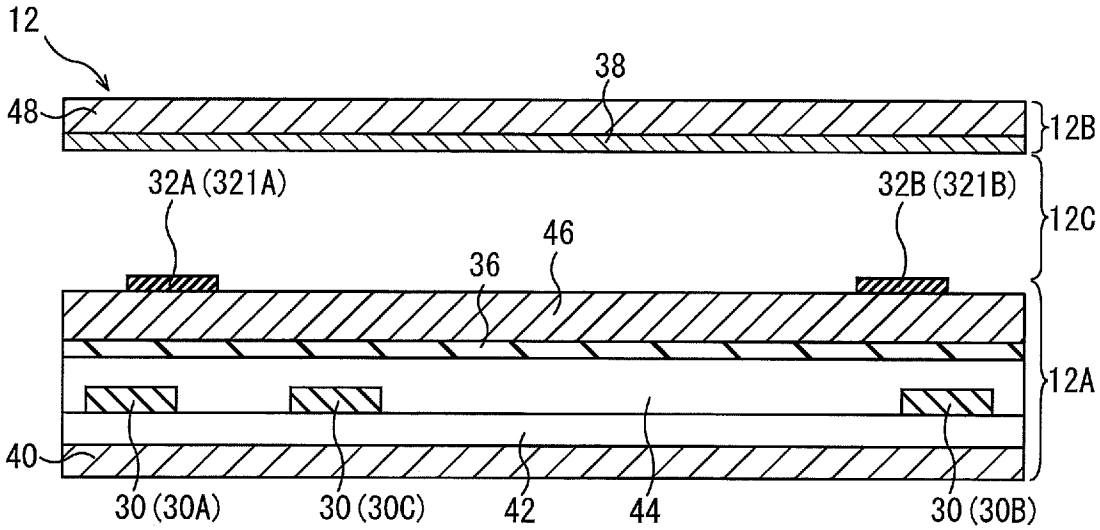
[図2]



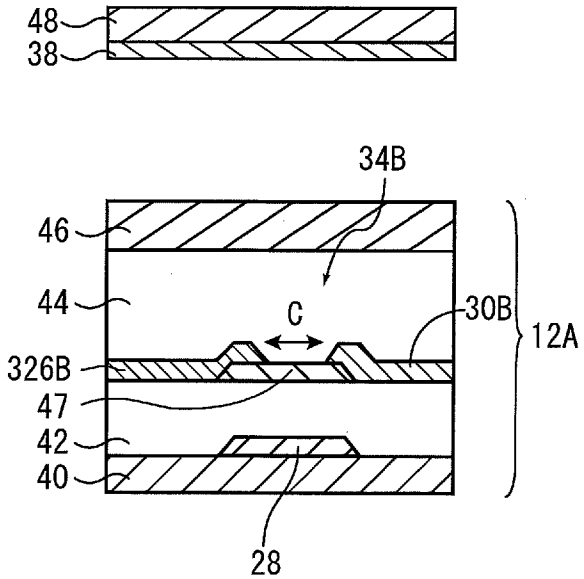
[図3]


30 (30A)
30 (30C)
30 (30B)
28
322B
32B
32A
322A
321A
321B
IV
IV
323A
324C
325C
323B
324A
324B
326A
325A
V
V
34A
34C
325B
34B
326C
326B

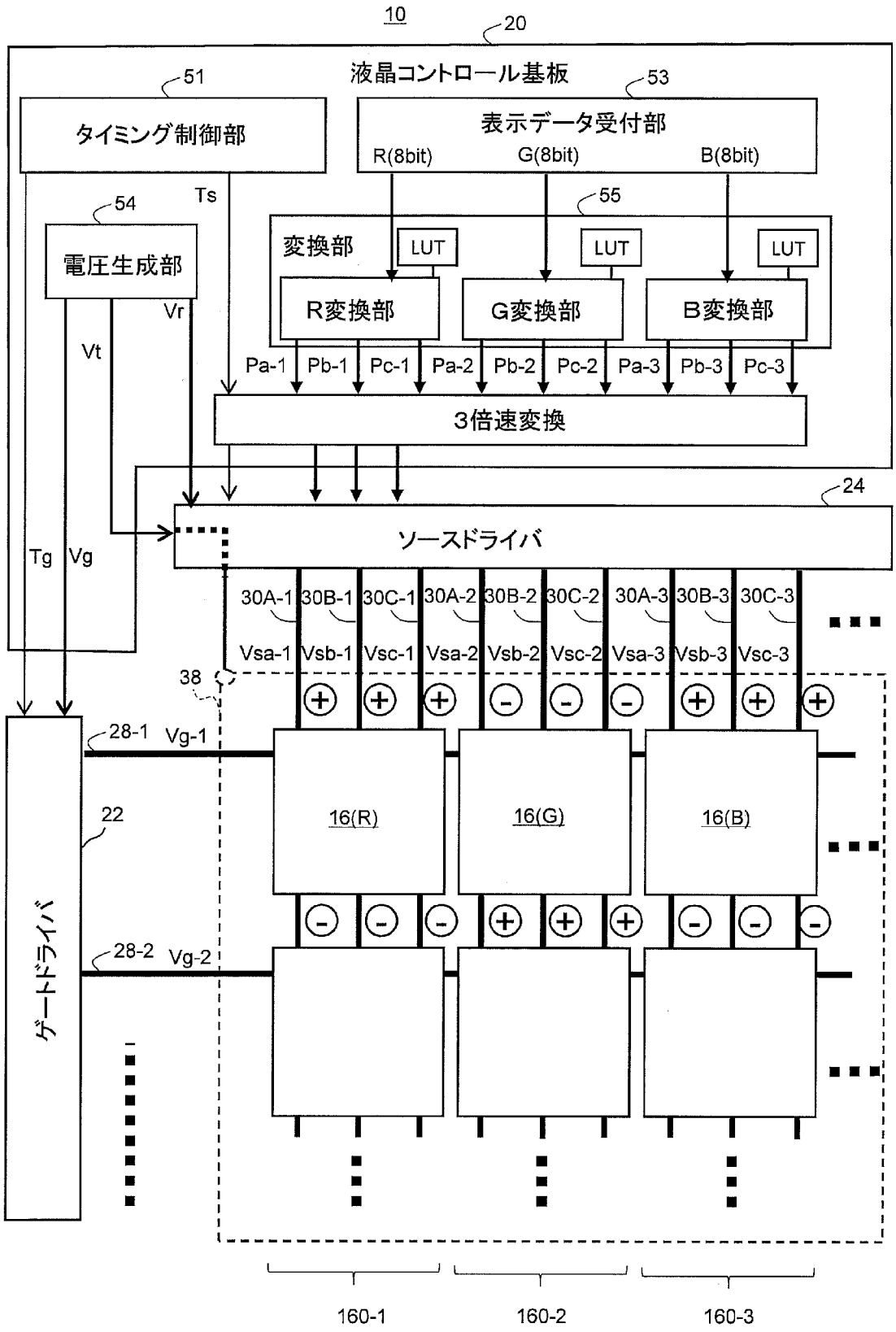
[図4]


12
38
48
12B
32A (321A)
32B (321B)
12C
46
36
12A
40
30 (30A)
30 (30C)
42
44
30 (30B)

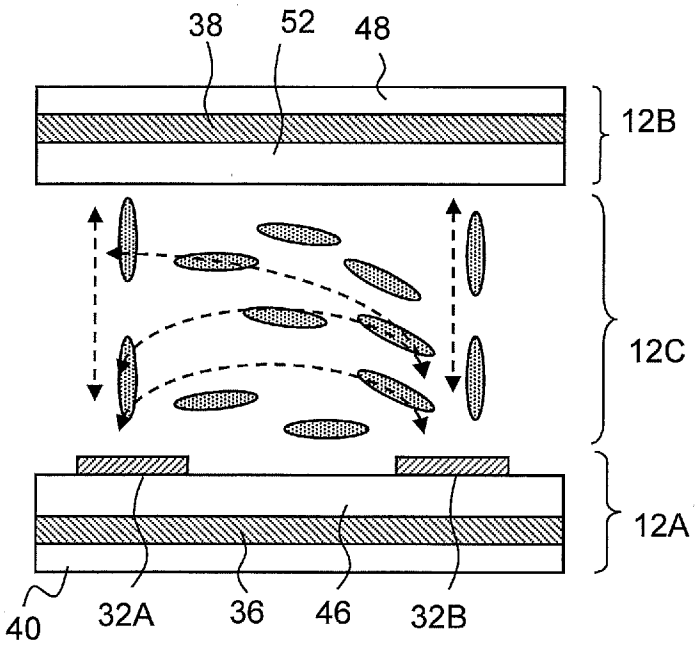
[図5]


48
38
34B
46
44
C
30B
12A
326B
47
42
40
28

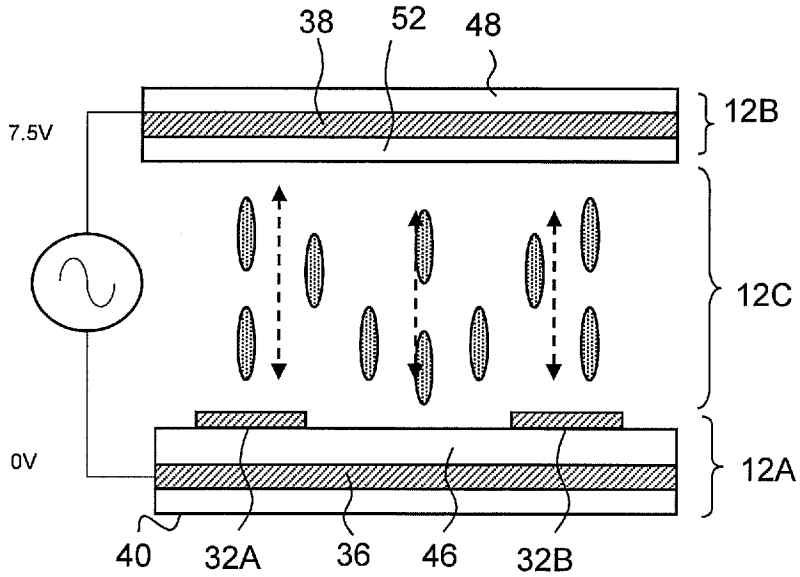
[図6]


10
20
液晶コントロール基板
51
タイミング制御部
53
表示データ受付部
R(8bit)
G(8bit)
B(8bit)
54
電圧生成部
Ts
55
変換部
LUT
LUT
LUT
R変換部
G変換部
B変換部
Vr
Vt
Pa-1 Pb-1 Pc-1 Pa-2 Pb-2 Pc-2 Pa-3 Pb-3 Pc-3
3倍速変換
24
ソースドライバ
Tg
Vg
30A-1 30B-1 30C-1 30A-2 30B-2 30C-2 30A-3 30B-3 30C-3
Vsa-1 Vsb-1 Vsc-1 Vsa-2 Vsb-2 Vsc-2 Vsa-3 Vsb-3 Vsc-3
38
28-1 Vg-1
22
16(R)
16(G)
16(B)
ゲートドライバ
28-2 Vg-2
160-1
160-2
160-3

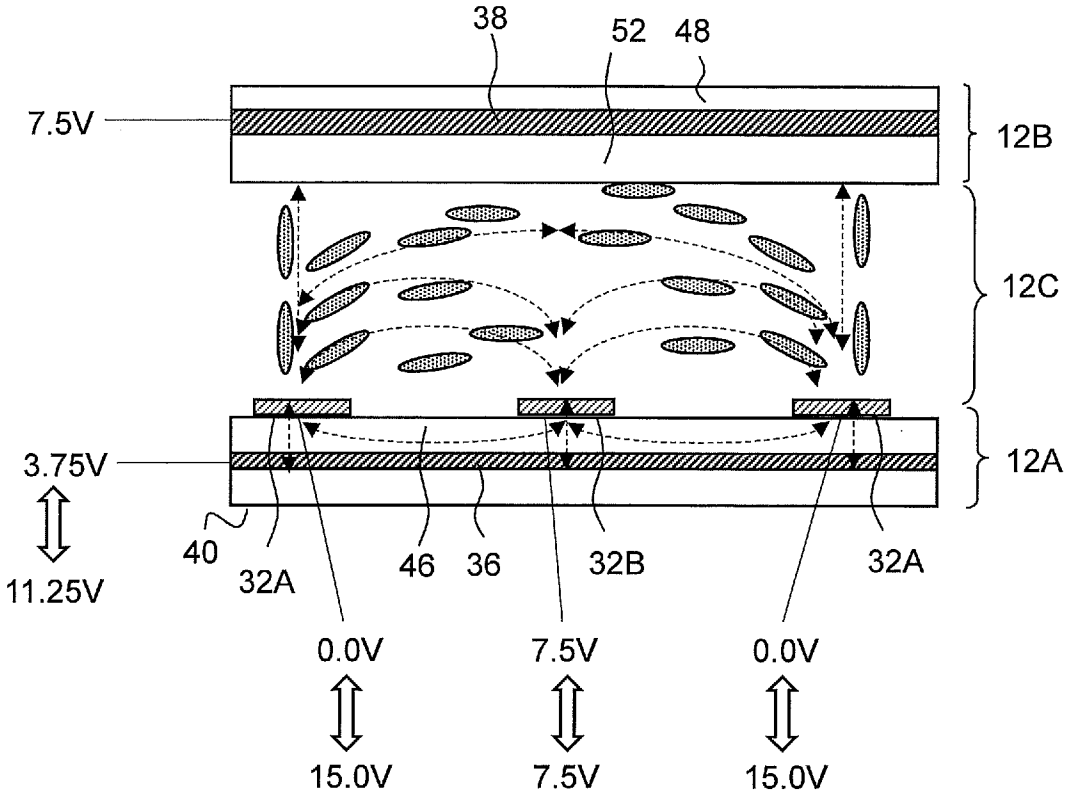
[図7]


38
52
48
12B
12C
12A
40
32A
36
46
32B

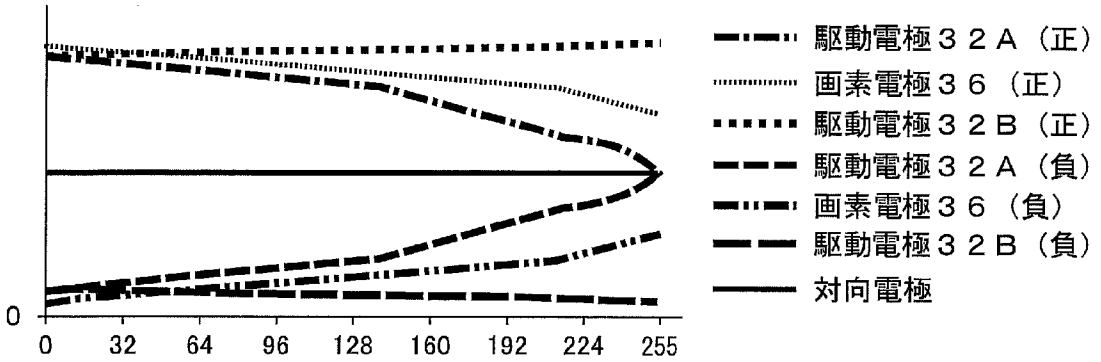
[図8]


38
52
48
12B
7.5V
12C
0V
12A
40
32A
36
46
32B

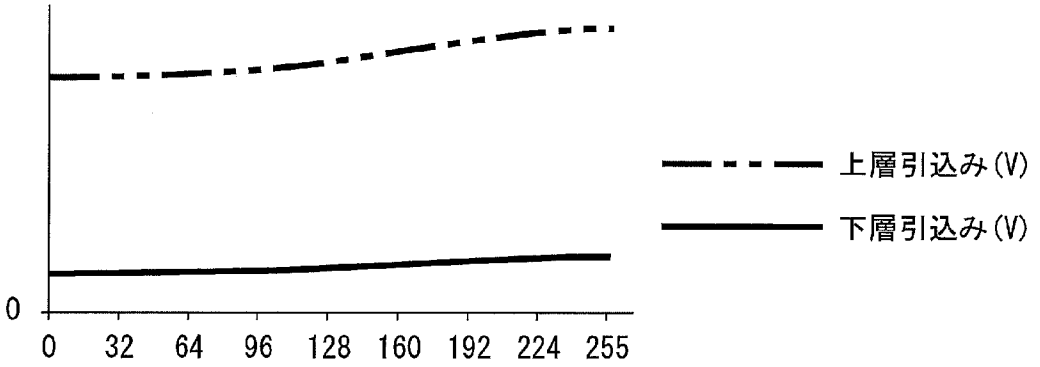
[図9]


38
52
48
7.5V
12B
12C
12A
3.75V
11.25V
40
32A
46
36
32B
32A
0.0V
7.5V
0.0V
15.0V
7.5V
15.0V

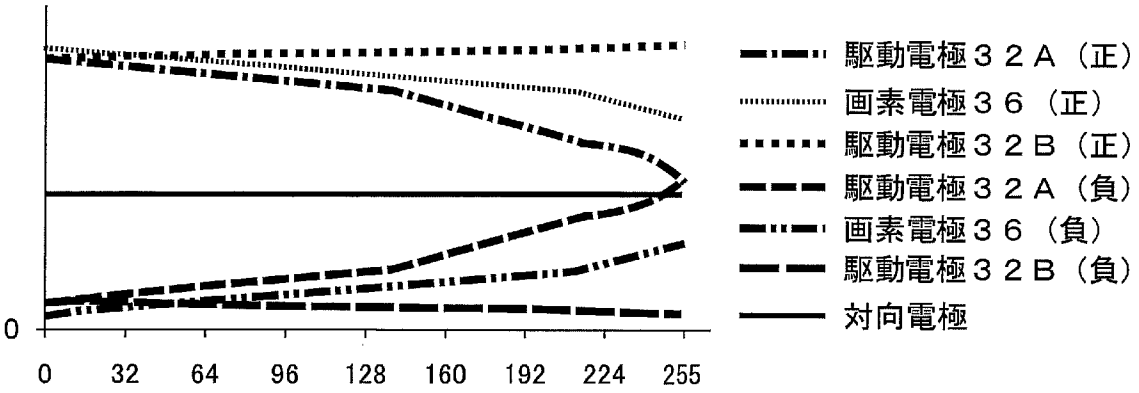
[図10]


駆動電極３２Ａ（正）
画素電極３６（正）
駆動電極３２Ｂ（正）
駆動電極３２Ａ（負）
画素電極３６（負）
駆動電極３２Ｂ（負）
対向電極
0
0
32
64
96
128
160
192
224
255

[図11]



[図12]



[図13]

表示階調値	正極性			負極性		
	駆動電極32A	駆動電極32B	画素電極36	駆動電極32A	駆動電極32B	画素電極36
0	15.07	15.74	15.07	1.59	0.74	1.59
1	15.05	15.71	15.07	1.60	0.76	1.59
2	15.04	15.68	15.07	1.61	0.79	1.58
⋮	⋮	⋮		⋮		
253	8.59	11.79	15.83	8.11	4.70	0.87
254	8.47	11.76	15.84	8.23	4.73	0.86
255	8.35	11.73	15.85	8.35	4.76	0.85

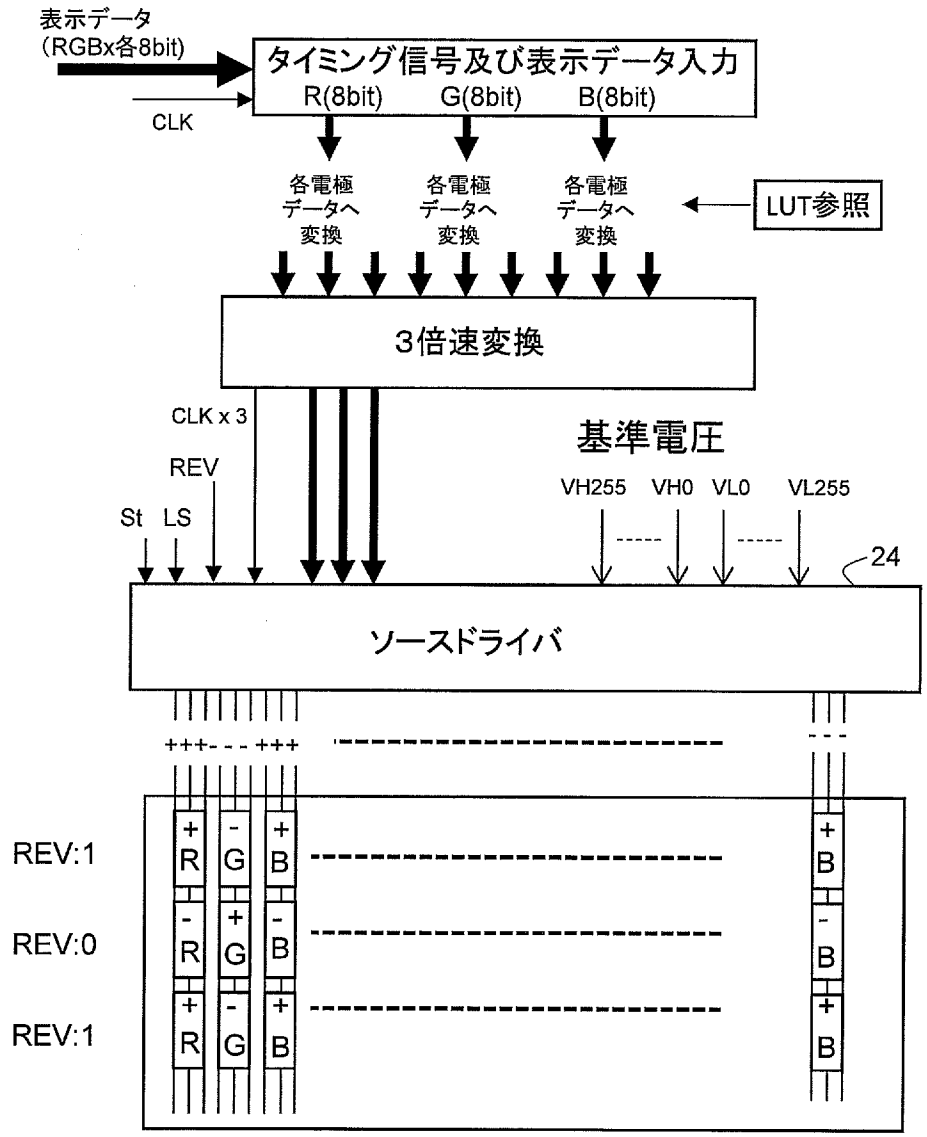
[図14]

ソースドライバ入力データ値	正極性出力電圧(V)	負極性出力電圧(V)
0	8.35	8.35
1	8.47	8.23
2	8.59	8.11
⋮	⋮	⋮
253	15.68	0.79
254	15.71	0.76
255	15.74	0.74

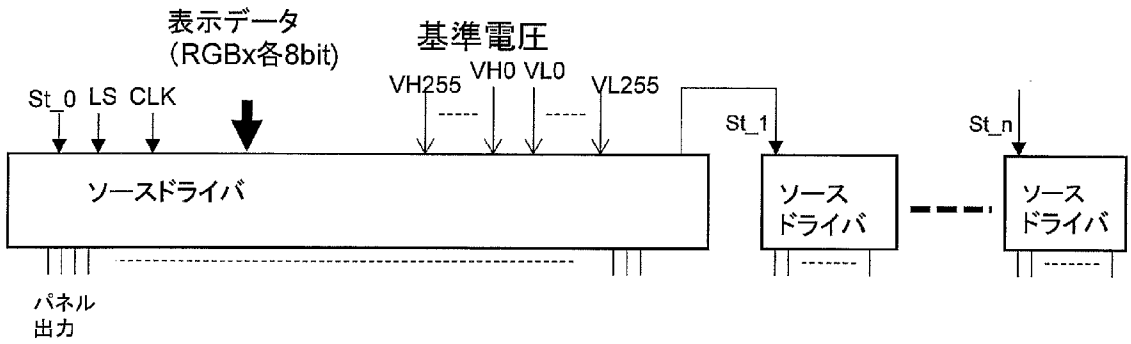
[図15]

表示階調値	ソースドライバ入力データ値		
	駆動電極 32A	駆動電極 32B	画素電極 36
0	210	250	210
1	209	249	210
2	208	248	210
⋮		⋮	
253	2	66	253
254	1	65	254
255	0	64	255

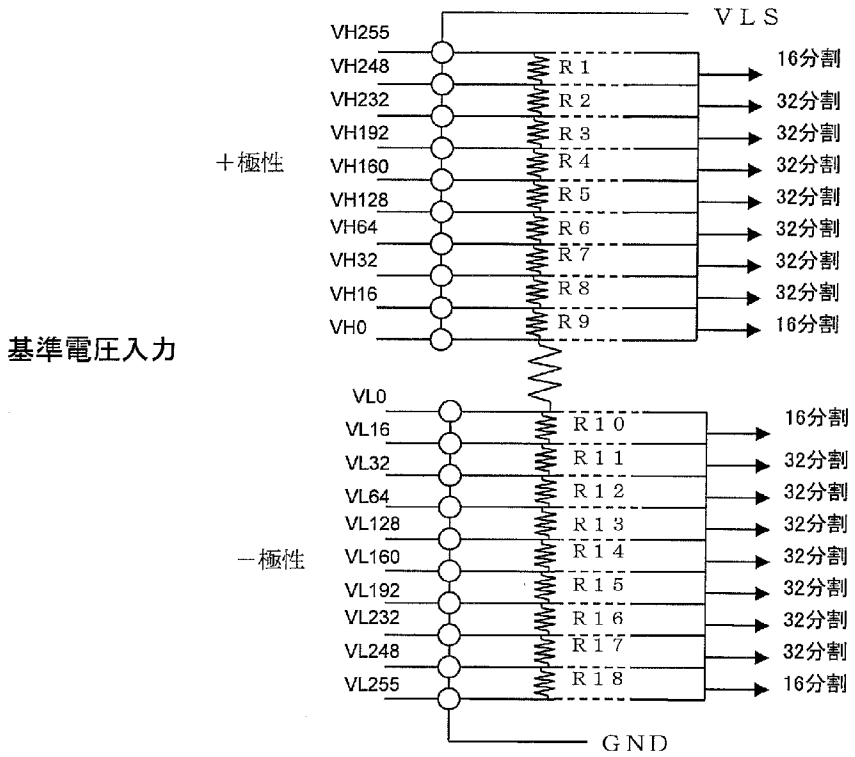
[図16]


表示データ
(RGBx各8bit)
CLK
タイミング信号及び表示データ入力
R(8bit) G(8bit) B(8bit)
各電極
データへ
変換
各電極
データへ
変換
各電極
データへ
変換
LUT参照
3倍速変換
CLK x 3
REV
St LS
基準電圧
VH255 VH0 VL0 VL255
24
ソースドライバ
+++- - - +++
REV:1
REV:0
REV:1
R
G
B

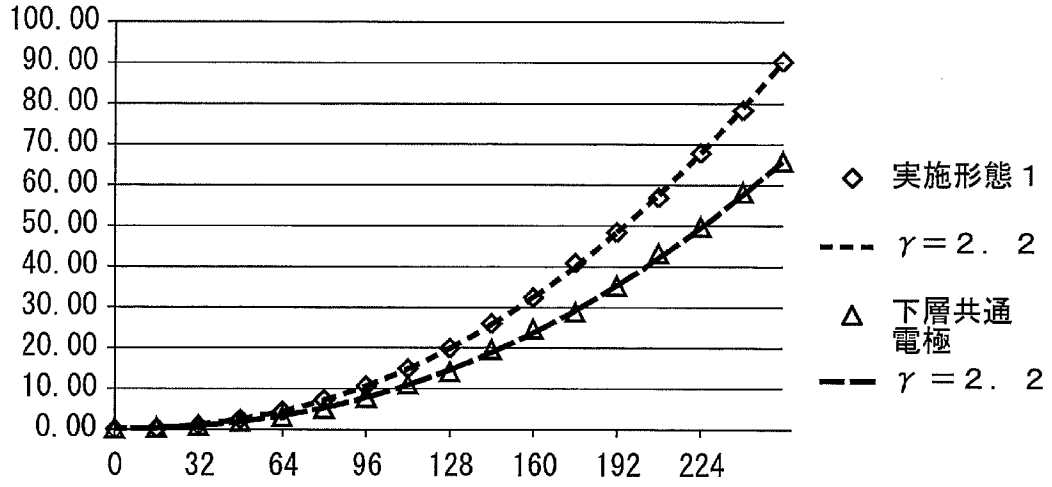
[図17]


表示データ
(RGBx各8bit)
基準電圧
St_0 LS CLK
VH255 VH0 VL0 VL255
St_1
St_n
ソースドライバ
ソース
ドライバ
ソース
ドライバ
パネル
出力

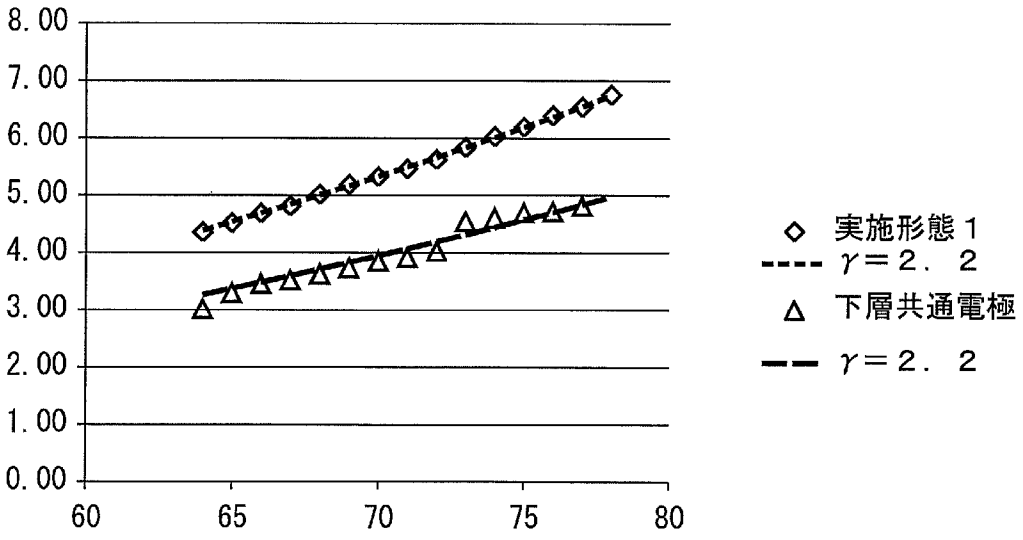
[図18]


VLS
VH255
VH248
VH232
VH192
＋極性
VH160
VH128
VH64
VH32
VH16
VH0
基準電圧入力
R1
R2
R3
R4
R5
R6
R7
R8
R9
16分割
32分割
32分割
32分割
32分割
32分割
32分割
32分割
16分割
VL0
VL16
VL32
VL64
VL128
－極性
VL160
VL192
VL232
VL248
VL255
R10
R11
R12
R13
R14
R15
R16
R17
R18
16分割
32分割
32分割
32分割
32分割
32分割
32分割
32分割
16分割
GND

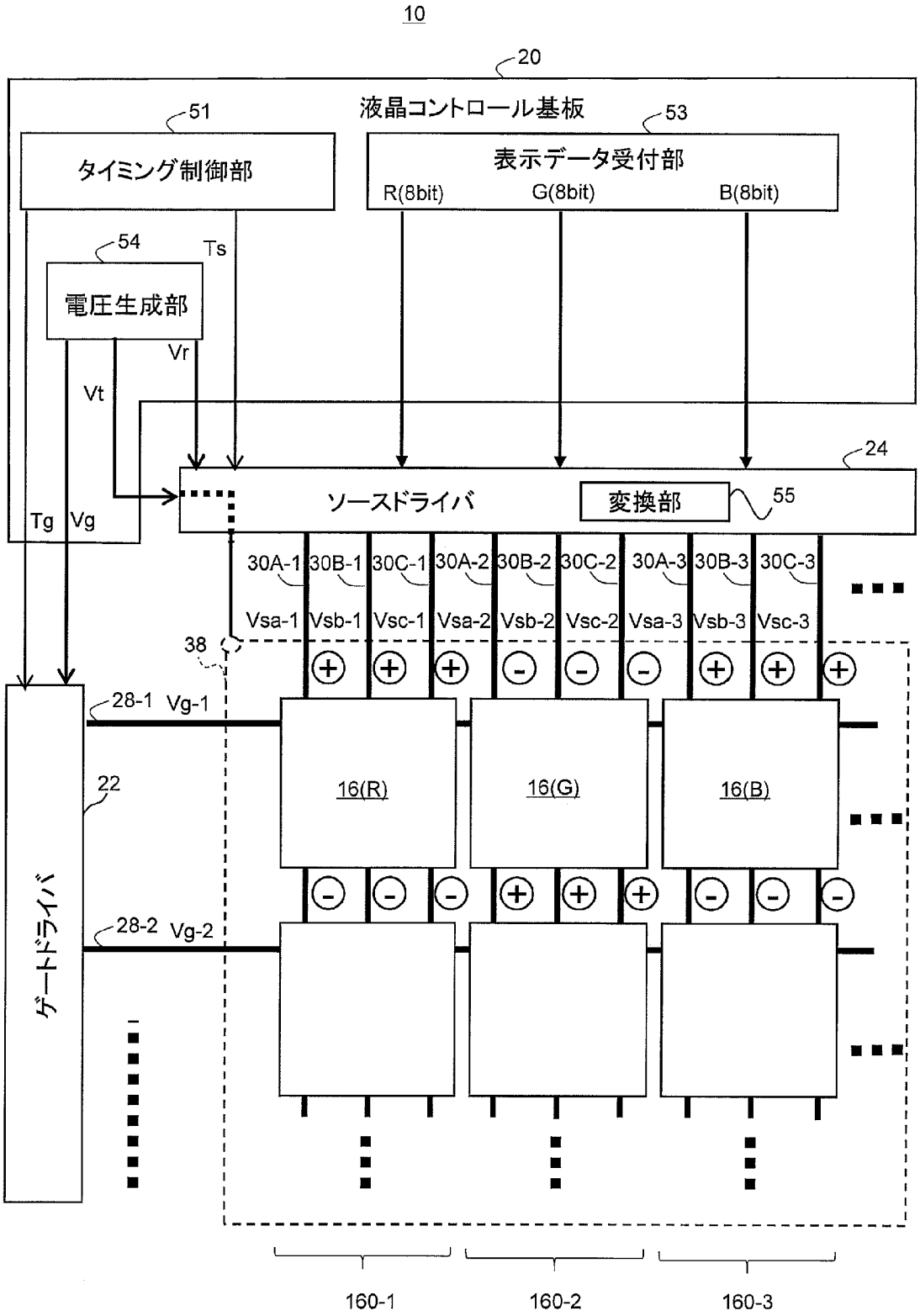
[図19]


100.00
90.00
80.00
70.00
60.00
50.00
40.00
30.00
20.00
10.00
0.00
0
32
64
96
128
160
192
224
実施形態１
γ＝２．２
下層共通電極
γ＝２．２

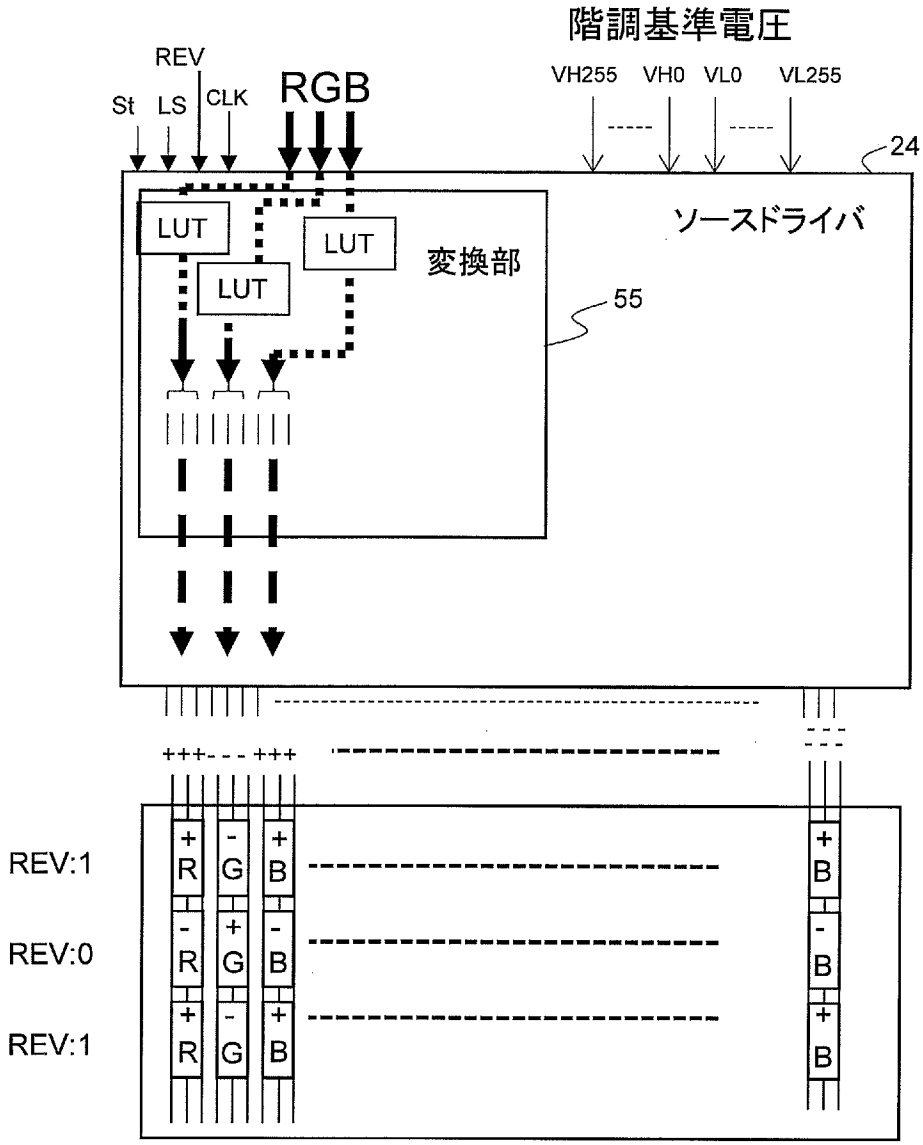
[図20]


8.00
7.00
6.00
5.00
4.00
3.00
2.00
1.00
0.00
60
65
70
75
80
実施形態１
γ＝２．２
下層共通電極
γ＝２．２

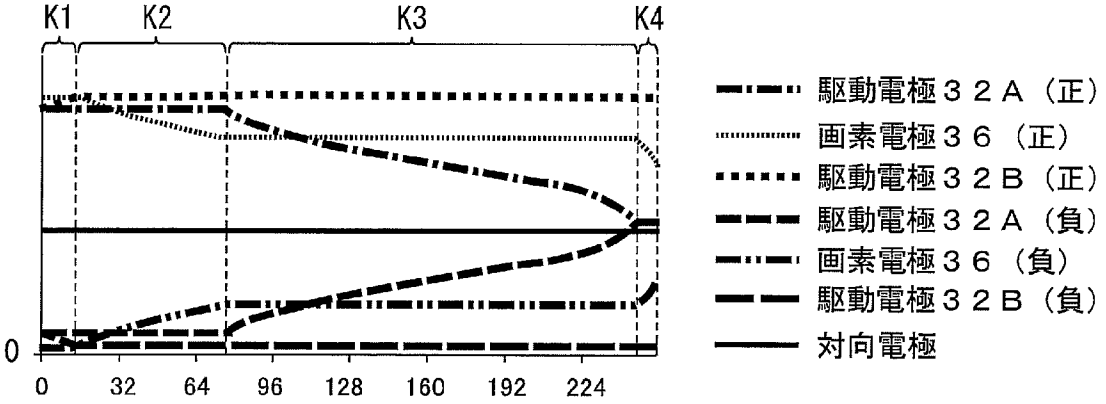
[図21]


10
20
液晶コントロール基板
51
タイミング制御部
53
表示データ受付部
R(8bit)
G(8bit)
B(8bit)
54
電圧生成部
Ts
Vr
Vt
Tg
Vg
24
ソースドライバ
変換部
55
30A-1
30B-1
30C-1
30A-2
30B-2
30C-2
30A-3
30B-3
30C-3
Vsa-1
Vsb-1
Vsc-1
Vsa-2
Vsb-2
Vsc-2
Vsa-3
Vsb-3
Vsc-3
38
28-1
Vg-1
22
16(R)
16(G)
16(B)
28-2
Vg-2
ゲートドライバ
160-1
160-2
160-3

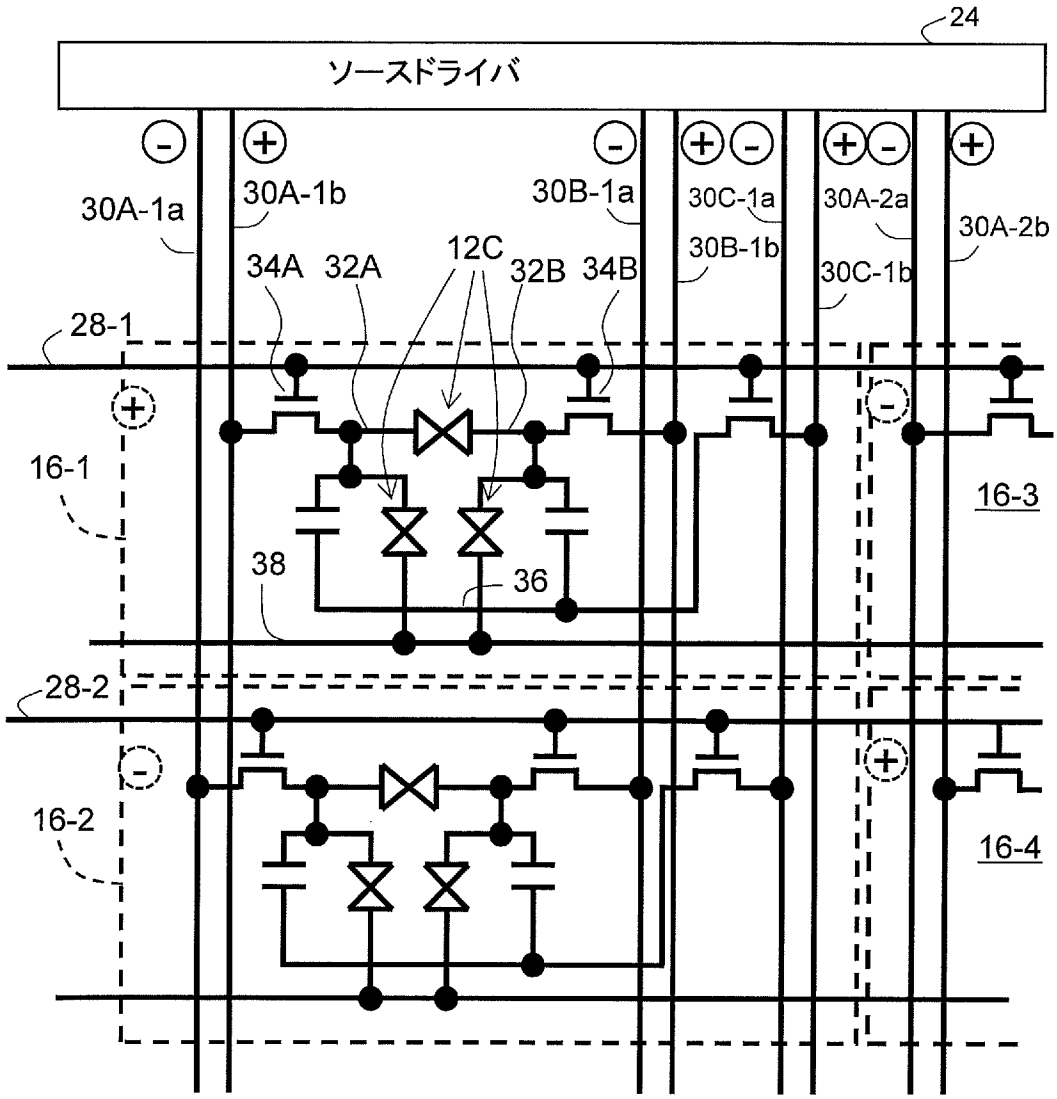
[図22]


階調基準電圧
REV
St
LS
CLK
RGB
VH255
VH0
VL0
VL255
24
LUT
LUT
LUT
変換部
55
ソースドライバ
+++- - - +++
REV:1
REV:0
REV:1
R
G
B

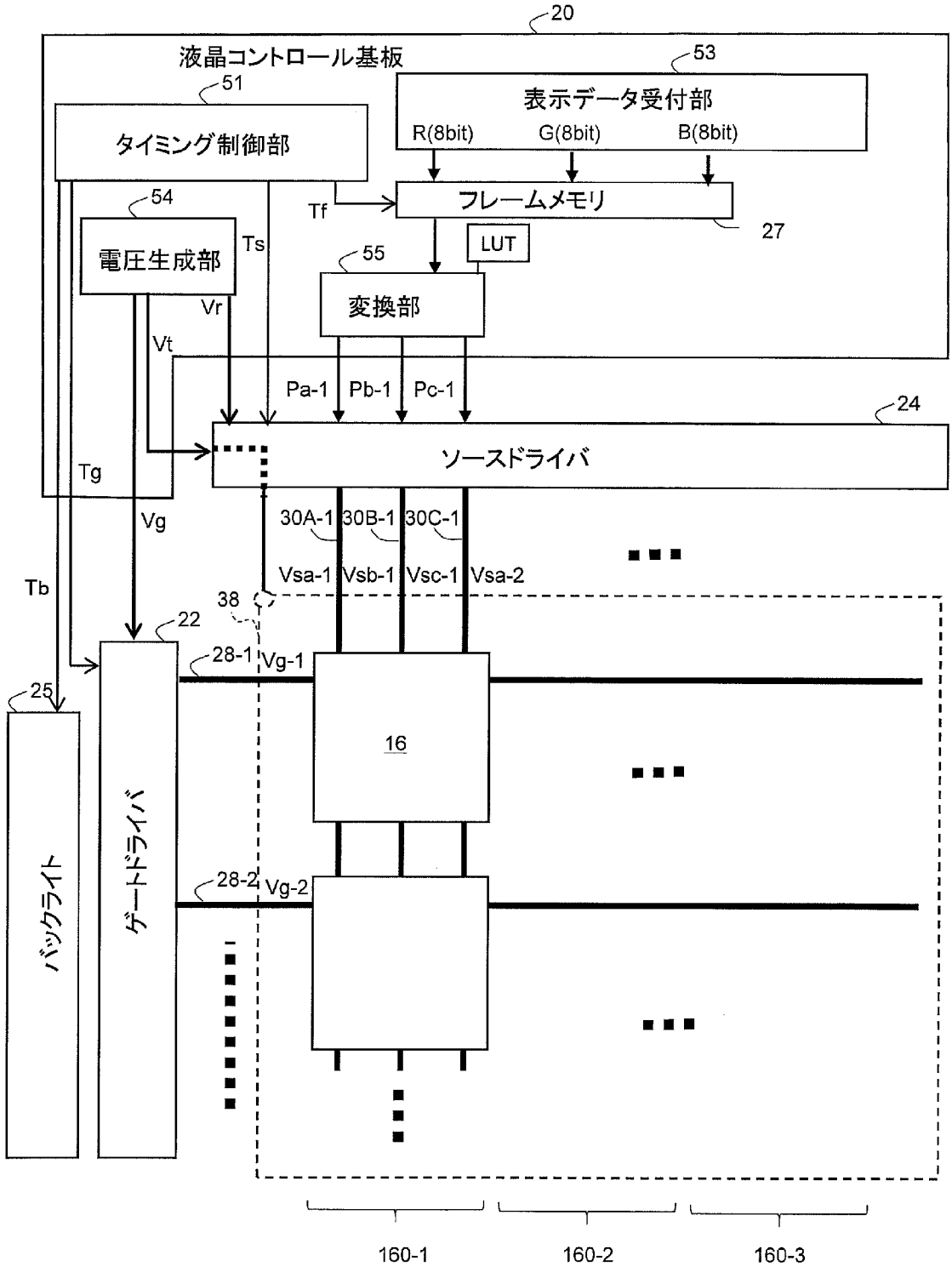
[図23]


K1
K2
K3
K4
0
0
32
64
96
128
160
192
224
駆動電極３２Ａ（正）
画素電極３６（正）
駆動電極３２Ｂ（正）
駆動電極３２Ａ（負）
画素電極３６（負）
駆動電極３２Ｂ（負）
対向電極

[図24]


24
ソースドライバ
30A-1a
30A-1b
30B-1a
30C-1a
30B-1b
30A-2a
30C-1b
30A-2b
34A
32A
12C
32B
34B
28-1
16-1
16-3
38
36
28-2
16-2
16-4

[図25]


20
液晶コントロール基板
53
表示データ受付部
R(8bit)
G(8bit)
B(8bit)
51
タイミング制御部
フレームメモリ
27
Tf
54
電圧生成部
Ts
LUT
55
変換部
Vr
Vt
Pa-1
Pb-1
Pc-1
24
ソースドライバ
Tg
Vg
30A-1
30B-1
30C-1
Vsa-1
Vsb-1
Vsc-1
Vsa-2
Tb
38
22
28-1
Vg-1
25
16
バックライト
ゲートドライバ
28-2
Vg-2
160-1
160-2
160-3

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/083101

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/1368(2006.01)i, *G02F1/133*(2006.01)i, *G02F1/1343*(2006.01)i, *G09G3/20*(2006.01)i, *G09G3/36*(2006.01)i, *H01L21/336*(2006.01)i, *H01L29/786*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2013/65529 A1 (Sharp Corp.), 10 May 2013 (10.05.2013), paragraphs [0065], [0071] to [0089]; fig. 1 to 3, 6, 11 & US 2014/0264330 A & CN 104024933 A	1-8,10 9
X Y	JP 2002-365657 A (Seiko Epson Corp.), 18 December 2002 (18.12.2002), paragraph [0048]; fig. 7 (Family: none)	1-6 9
Y	JP 7-56143 A (Sharp Corp.), 03 March 1995 (03.03.1995), fig. 2 & US 6175351 B1 & KR 10-0171233 B	9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 February 2015 (18.02.15)	03 March 2015 (03.03.15)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/083101

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-148596 A (Hitachi, Ltd.), 27 May 1994 (27.05.1994), entire text; all drawings (Family: none)	1-10

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／０８３１０１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G02F1/1343(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/1368, G02F1/133, G02F1/1343, G09G3/20, G09G3/36, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2013/65529 A1（シャープ株式会社）2013.05.10, 段落００６５，００７１－００８９，図１－３，６，１１	１－８、１０
Y	& US 2014/0264330 A & CN 104024933 A	9
X	JP 2002-365657 A（セイコーエプソン株式会社）2002.12.18, 段落００４８、図７（ファミリーなし）	１－６
Y		9

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１８．０２．２０１５	０３．０３．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｌ　３３０８
福村　拓
電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 7-56143 A（シャープ株式会社）1995.03.03, 図２ & US 6175351 B1 & KR 10-0171233 B	９
Ａ	JP 6-148596 A（株式会社日立製作所）1994.05.27, 全文、全図（ファミリーなし）	１－１０